



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

ミニ・チュートリアル 高い精度を実現する 連続時間型の $\Sigma\Delta$ ADC



目次

第1章：高精度のADCを含むシグナル・チェーンの設計時間を短縮する	p.3
第2章：シグナル・チェーンの設計者がCTSDについて理解しておくべきこと	p.11
第3章：エイリアス除去の能力を備える固有のアーキテクチャ	p.18
第4章：駆動が容易な信号入力部とリファレンス入力部、シグナル・チェーンの簡素化が可能に	p.27
第5章：非同期サンプル・レート変換によるデジタル・データ・インターフェースの簡素化	p.34
参考資料	p.44

第1章：高精度のADCを含むシグナル・チェーンの設計時間を短縮する

著者：Abhilasha Kawle、シニア・アナログ設計エンジニア
Wasim Shaikh、アプリケーション・エンジニア

概要

帯域幅が中程度のアプリケーションでは、ノイズ性能を確保して高精度のシグナル・チェーンを設計することが課題になります。ほとんどのケースでは、ノイズ性能と精度に関する何らかのトレードオフが生じます。市場投入までの時間を短縮するために最初から適切な設計を行うことが求められ、更なるプレッシャーに直面することもあるでしょう。このような課題に対処するための方法の1つが、連続時間型シグマ・デルタ（CTSD：Continuous-time Sigma-delta）方式のA/Dコンバータ（ADC）を採用することです。CTSD ADCのアーキテクチャに固有のメリットを活用することで、シグナル・チェーンの設計を簡素化することができます。その結果、ソリューションのサイズを削減し、最終製品を市場に投入するまでの時間を短縮することが可能になります。このミニ・チュートリアルでは、CTSD ADCのアーキテクチャが備えるメリットと、それを高精度・中程度の帯域幅のアプリケーションでどのように活かせばよいのか説明します。それに向けて、シグナル・チェーンの設計について深く掘り下げつつ、CTSD技術の主なメリットを明らかにします。更に、高精度のCTSD ADC [AD4134] を採用した場合に、シグナル・チェーンの設計がどのように容易化されるのか具体的に解説します。

はじめに

デジタル処理をベースとする多くのアプリケーションやアルゴリズムでは、ここ20年にわたり、あらゆるコンバータの分解能と精度を高めることが求められています。実際、ADCの分解能／精度には限界があるので、外部のデジタル・コントローラを活用することで性能を補うということが行われていました。例えば、平均化や最適化フィルタといった手法をソフトウェアによって適用し、より精度の高い結果を導き出して必要な場所に引き渡すということです。より性能／精度に優れるADCを使用できれば、マイクロコントローラやDSPによる膨大な後処理の負荷を軽減することが可能になります。それにより、デジタル領域で最適化を施すための処理時間が短縮されます。また、より廉価なマイクロコントローラやDSPの採用を検討できることとなります。高精度のADCは、以下に示すような広範なアプリケーションや市場で使用されます。

- ▶ 工業用計測：振動の分析、温度／圧力／歪み／流量の計測、動的な信号の分析、音響の分析
- ▶ 医療用計測：電気生理学、血液の分析、心電図（EKG/ECG）
- ▶ 防衛アプリケーション：ソナー、テレメトリ
- ▶ テスト／計測：音響テスト、HIL（Hardware-in-the-Loop）、電力品質の分析

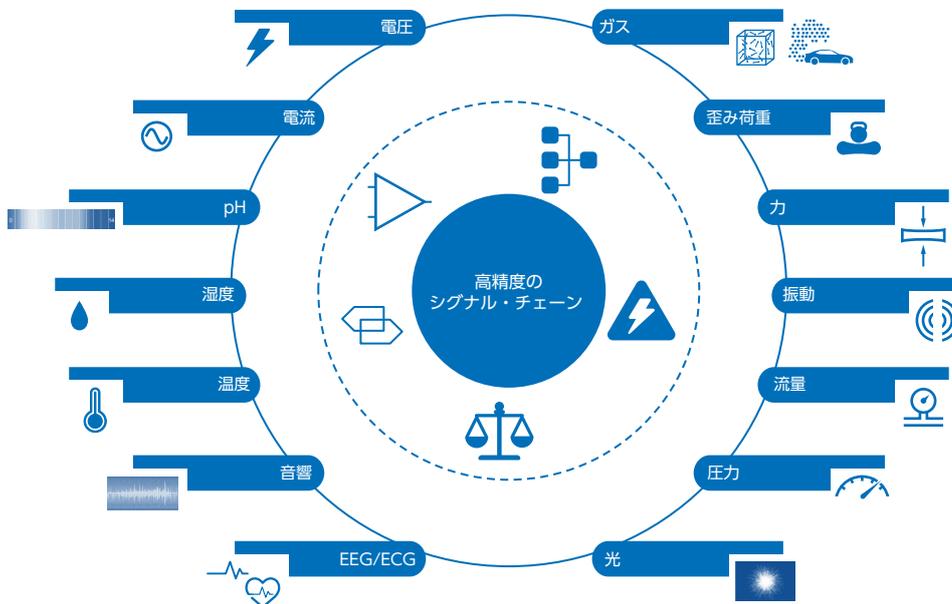


図1. 計測の対象となる事象。
高精度のADCを含むシグナル・チェーンが使われます。

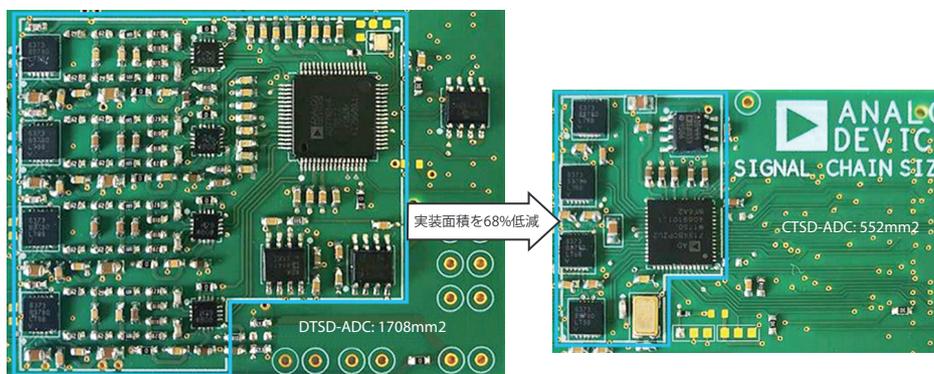


図2. CTSD ADCがもたらすメリット。アナログ・デバイセズは使いやすいCTSD ADC製品を提供しています。それらを採用すれば、実装面積を大幅に低減できます。

それぞれのアプリケーションにおいて、ADCを含むシグナル・チェーンにより、図1のような事象の計測を実施することになります。

ADCは、アナログ入力信号をデジタル出力信号に変換する処理を担います。入力信号としては、センサーからの電圧や電流、あるいは帯域幅がDCから数百Hz程度の帰還制御ループ信号などが想定されます。ADCのデジタル出力のフォーマットと出力データ・レート (ODR: Output Data Rate) は、アプリケーションや後続のデジタル・コントローラで実施する後処理に応じて決定します。一般に、シグナル・チェーンは、ナイキストのサンプリング定理に基づいて設計されます。つまり、デジタル・コントローラにデータを引き渡すADCのODRは、入力信号周波数の2倍以上になるように設定します。ほとんどのADC製品は、対象とする信号周波数帯に基づいてODRを調整できるようになっています。

通常、ADCに対しては、いくつかのシグナル・コンディショニング段を通過した後の信号を入力することになります。そのため、シグナル・コンディショニング回路は厳しい要件を満たしていなければなりません。また、ADCのデータシートに記載された性能を引き出すためには、個々のADC技術に応じてシグナル・コ

ンディショニング回路の設計／調整を実施する必要があります。シグナル・チェーンの設計作業は、ADC製品を選定した後も続きます。そうした周辺回路の設計と調整には、かなりの時間と労力が必要になります。アナログ・デバイセズは、そうした個々の設計で生じる課題を克服できるようにするために、シミュレーション用のツールやモデルといった高いレベルの技術サポートを提供しています。

新たなアプローチ——CTSDのアーキテクチャで設計を容易化

CTSDのアーキテクチャは、主にオーディオ用ADCや高速ADCで使用されてきました。同アーキテクチャは、シグナル・チェーンを簡素化できるという固有の性質を備えています。この特性を活用しながら最高の精度を実現できるようにするために、アプリケーションに応じた調整が行えるようになっています。同アーキテクチャがもたらすメリットにより、周辺部の設計に関連する負担を排除することが可能になります。また、CTSDをベースとするソリューションを採用すれば、高いチャンネル密度が得られます。図2をご覧ください。この例では、CTSD ADCによってシグナル・チェーンが簡素化されており、実装面積が68%も低減しています。

この章では、CTSD ADCによってシグナル・チェーンがどのように簡素化されるのかを示します。それに向けて、まずは一般的なアプリケーションで使われるシグナル・チェーンの設計にはどのような課題が伴うのかを明らかにします。その上で、CTSD ADCであればそれらの課題をどのように軽減できるのか解説します。

以下では、シグナル・チェーンの設計をいくつかのステップに分けて解説を加えることにします。それぞれの段階で発生する課題を明らかにすると共に、CTSD ADCを採用することでそれらの課題がどのように解決されるのか説明していきます。

【ステップ1】ADCの選択

数多くのADC製品の中から、対象とするアプリケーションに最適なADCを選択するには、様々な事柄について考慮しなければなりません。具体的には、デジタル出力の分解能、精度、信号帯域幅、ODR、信号の種類、測定範囲などのパラメータについて検討する必要があります。なお、ほとんどのアプリケーションで使われるデジタル・コントローラには、入力信号の振幅、位相、あるいは周波数に関する処理を行うためのアルゴリズムが必要です。

先述した物理的な事象のうちどれを対象にする場合でも、正確な計測を実施するためには、A/D変換の際に生じる誤差を最小限に抑えなければなりません。表1は、主要な誤差とそれらに関連するデータシート中の性能指標についてまとめたものです。詳細については「[Essential Guide to Data Conversion \(データ変換の基本\)](#)」をご覧ください。

表1. ADCの誤差と性能指標

ADCの誤差	データシート中の性能指標
1 熱ノイズ、量子化ノイズ	S/N比 (SNR)、 ダイナミック・レンジ (DR)
2 歪み	全高調波歪み (THD)、 相互変調歪み (IMD)
3 干渉	クロストーク、エイリアスの除去、 電源電圧変動除去比 (PSRR)、 同相ノイズ除去比 (CMRR)
4 振幅と位相の誤差	対象とする周波数における ゲイン誤差、振幅、位相のドループ
5 ADCへの入力から最終的なデジタル出力までの遅延	遅延、セトリング時間

表1に示した性能指標は、信号の振幅や周波数に関連しています。一般に、これらはAC性能パラメータと呼ばれています。

例えば、電力メータのアプリケーションでは50Hz～60Hzの入力信号を扱います。このようなDCまたはその近辺の信号を扱うアプリケーションでは、オフセット、ゲイン、積分非直線性 (INL)、フリッカ・ノイズといったADCの誤差を考慮する必要があります。また、これらのDC性能パラメータについては温度に対する安定性も求められます。アプリケーションの利用目的に応じて一定のレベルで安定していなければなりません。

アナログ・デバイセズは、業界をリードする高性能のADCを数多く提供しています。様々な精度、速度をターゲットとした製品や、制約のある電力バジェットに基づく製品などを用意することで、多様なアプリケーションに対応できるようにしています。ADC製品を選択する際には、一連の仕様だけを比較すればよいというものではありません。まずは、システム全体の性能と設計上の課題について考慮する必要があります。それにより、どのような変換方式、アーキテクチャのADCを選択すべきなのかが明らかになっていきます。

従来からよく使われているADCのアーキテクチャは、大きく2つに分けることができます。最も一般的なものは、単純なナイキストの定理に従う**逐次比較型** (SAR) のADCです。ナイキストの定理で明らかにされているように、元の信号を再現するためには、その信号周波数の2倍以上の周波数でサンプリングを実施する必要があります。SAR ADCは、優れたDC性能、小型のフォーム・ファクタ、小さな遅延といった特徴を備えています。また、ODRに応じて消費電力をスケールリングできることもメリットの1つです。

もう1つの主要な選択肢は、**離散時間型シグマ・デルタ** (DTSD: Discrete-time Sigma-delta) 方式のADCです。DTSD ADCは、わかりやすく言えば、サンプリング数が多いほど失われる情報は少ないという考え方に基づいて動作します。そのため、サンプリング周波数はナイキスト周波数よりもはるかに高く設定されます。この手法は、**オーバーサンプリング**と呼ばれています。DTSD ADCでは、サンプリングに伴う誤差を、対象とする周波数対域内で最小限に抑えることができます。DC性能、AC性能共に優れていますが、遅延が大きくなるという短所があります。

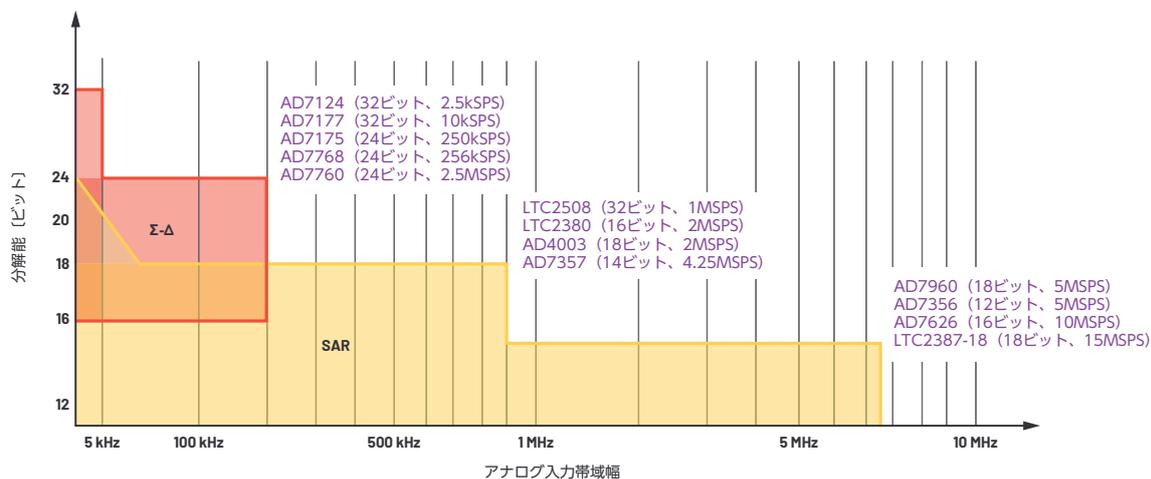


図3. 高精度のADCがカバーする分解能と入力帯域幅。各アーキテクチャの位置付けが見てとれます。

図3は、SAR ADCとDTSD ADCの標準的なアナログ入力帯域幅を示したものです。様々な速度、分解能に対応する具体的な製品を列挙しています。アナログ・デバイゼスの製品については、[「Precision Quick Search」](#) を使うことで選択が容易になります。

アナログ・デバイゼスは、このような製品群に加え、更に優れたADC製品を提供するようになりました。それがCTSD ADCです。その性能はDTSD ADCと同等ですが、シグナル・チェーンの設計過程を簡素化できるという点でははるかに高い優位性を持ちます。従来のADCを使用してシグナル・チェーンを設計する場合、様々な課題に直面することになります。CTSD ADCを採用すれば、それらの課題に容易に対処することができます。

【ステップ2】ADCの入力インターフェースの構築

通常、ADCで処理するのはセンサーの出力信号です。そのセンサーは、非常に感度が高い可能性があります。シグナル・チェーンの設計においては、ADCで生じる誤差によって、センサーからの信号が埋もれてしまったり、歪んでしまったりすることがないように配慮しなければなりません。そのためには、センサーに接続されるADCの入力構造を十分に理解しておく必要があります。

図4に示すように、従来のSAR ADCとDTSD ADCの入力部にはサンプル&ホールド回路が存在します。この回路は、スイッチド・キャパシタを使って実現されています。各サンプリング・クロックのエッジでは、スイッチのオン/オフの状態が変化します。新たにサンプリングした入力値でホールド用のコンデンサを充電するためには、必要な量の電流を供給する必要があります。この電流は入力源（図4の構成の場合、センサー）が供給しなければなりません。また、スイッチの寄生容量が原因となり、いくらかの電荷が入力源に戻ってきて注入されることとなります。これは、電荷のキックバックと呼ばれています。この現象も誤差の原因になるので、センサーからの信号が劣化しないようにするために、センサー側で電荷を吸収できるようにする必要があります。

ほとんどのセンサーは、上記の処理に必要な量の電流を供給することはできません。言い換えると、センサーによってスイッチング回路を直接駆動するのは不適切だということです。仮に、センサーが必要な電流量に対応できるとしても、センサーのインピーダンスが有限であることから、ADCの入力部には誤差が生じます。入力に依存して変化する電流により、入力に依存する電圧降下がセンサーのインピーダンスの両端に生じるのです。その結果、図4 (a) に示すようにADCに対する入力に誤差の成分が含まれることとなります。これらの問題を解決する方法の1つは、図4 (b) に示すように、ADCを駆動するためのアンプをセンサーとADCの間に配置することです。

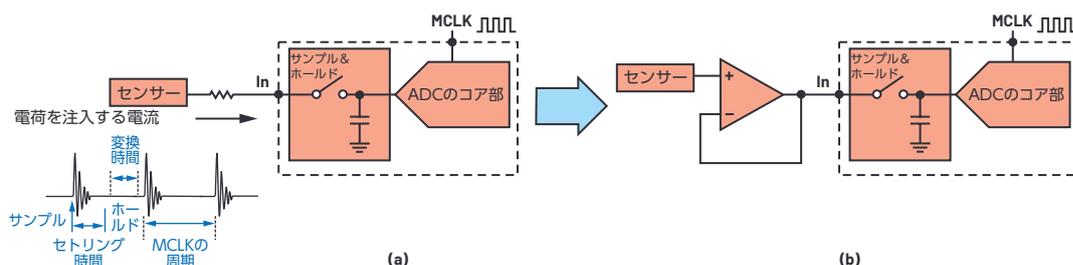


図4. ADCの入力部。(a) の構成では、スイッチド・キャパシタからセンサーへの電荷のキックバックが生じます。(b) の構成であれば、入力バッファにより、センサーに対するキックバックを回避できます。

では、このアンプはどのようなことを基準にして選択すればよいのでしょうか。最も基本的な要件は、必要な充電電流に対応でき、キックバックされる電荷を吸収する能力を備えていることです。次に、ADCが入力信号をサンプリングする際、誤差が生じないように、アンプの出力は実際にサンプリングが行われるタイミングまでに完全にセトリングしている必要があります。つまり、アンプは瞬間的に電流を供給し、過渡的な事象に対して高速に応答する必要がありますということです。アンプの性能指標で言えば、高いスルー・レートと広い帯域幅を備えていなければなりません。サンプリング周波数と分解能が高いADCを使用したい場合、これらの要件はより重要になります。

特に帯域幅が中程度のアプリケーションでは、ADCに適したアンプを特定することが設計上の大きな課題になります。先述したように、アナログ・デバイスは、このステップを容易化するためのシミュレーション用のモデルを用意しています。また、ADCの駆動に使用するドライバ（アンプ）の選定に役立つオンライン・ツール「Precision ADC Driver Tool」も提供しています。確かに、これらを活用すればADCのデータシートに記載された性能を達成できる可能性が高まります。ただ、設計者にとっては、設計時に踏むべきステップが増えることになるとも言えます。新世代のSAR ADCやDTSD ADCの中には、新たなサンプリング手法を採用することで必要な電流量を低減したものや、アンプを内蔵することによってこの課題に対応したものが存在します。しかし、どちらのソリューションでも、信号帯域幅が制限されたり、ADCの性能が低下したりすることになります。

CTSD ADCのメリット：CTSD ADCでは、スイッチド・キャパシタ入力ではなく、駆動が容易な抵抗性入力を使用します。そのため、上述した課題を回避できます。つまり、帯域幅が非常に広く、スルー・レートが非常に高いアンプが不要になるということです。この抵抗性負荷をセンサーによって直接駆動できる場合には、CTSD ADCとセンサーを直接接続することが可能です。直接駆動することはできない場合でも、センサーとCTSD ADCをつなぐインターフェースとしては、帯域幅が狭い低ノイズのアンプを使用することができます。

【ステップ3】ADCのリファレンス用のインターフェース

通常、ADCにはリファレンス電圧を入力する必要があります。そのインターフェースには、入力信号用のインターフェースと同様の課題があります。従来、ADCのリファレンス入力部にもスイッチド・キャパシタが使われてきたからです（図5）。サンプリング・クロックのエッジごとに、リファレンス源はADC内部のコンデンサを充電しなければなりません。そのために必要な電流を供給する能力とセトリングを高速に実現する能力が必要になります。一般に、リファレンスICは多くの電流を供給する能力は備えていませんし、帯域幅も限られています。

この部分のインターフェースにはもう1つの課題があります。それは、リファレンスICからのノイズがADCのノイズ（量子化ノイズなど）よりも大きいことです。このノイズをフィルタリングするためには、1次のRC回路を使用します。つまり、ノイズを抑えるためにリファレンスの帯域を制限する一方で、高速なセトリングを実現しなければならないのです。このような相反する2つの要件を満たすにはどうすればよいのでしょうか。そのための方法の1つは、図5（b）に示すように、低ノイズのバッファ・アンプを使用してADCのリファレンス・ピンを駆動するというものになります。このバッファのスルー・レートと帯域幅は、ADCのサンプリング周波数と分解能に基づいて決定します。

ADCの入力ドライバ向けのツールと同様に、アナログ・デバイスは、シミュレーションによってリファレンス用のバッファを選択できるようにするためのツールを提供しています。また、新世代のSAR ADCやDTSD ADCの中には、リファレンス・バッファを内蔵するというオプションを有しているものもあります。但し、これについても性能と帯域幅に対する制限が伴うことになります。

CTSD ADCのメリット：このステップは、CTSD ADCを採用することによって完全に省略することができます。CTSD ADCのリファレンスの駆動には、帯域幅が広くスルー・レートの高いバッファは必要ありません。抵抗性負荷を駆動するための簡素な手法を採用することができます。例えば、リファレンスICにローパス・フィルタを付加してリファレンス・ピンに接続するという具合です。

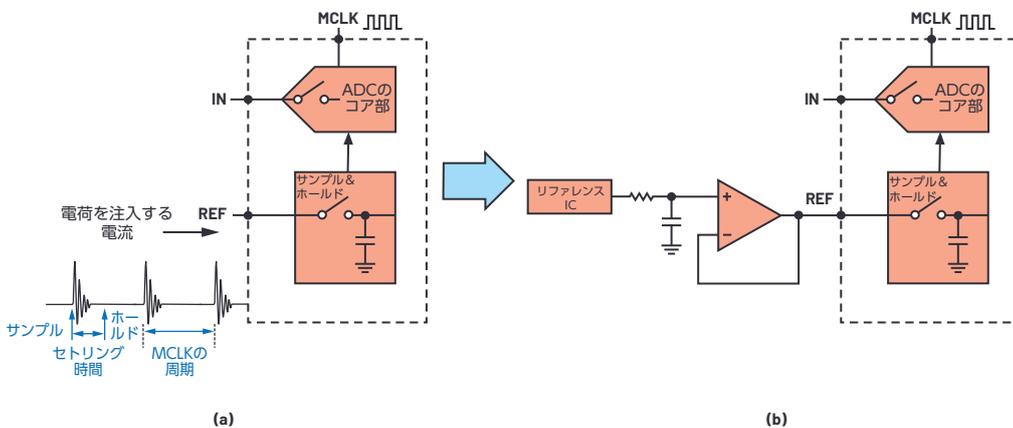


図5. ADCのリファレンス入力部。(a)の構成では、スイッチド・キャパシタからリファレンスICへの電荷のキックバックが生じます。(b)の構成であれば、リファレンス・バッファにより、リファレンスICに対するキックバックを回避できます。

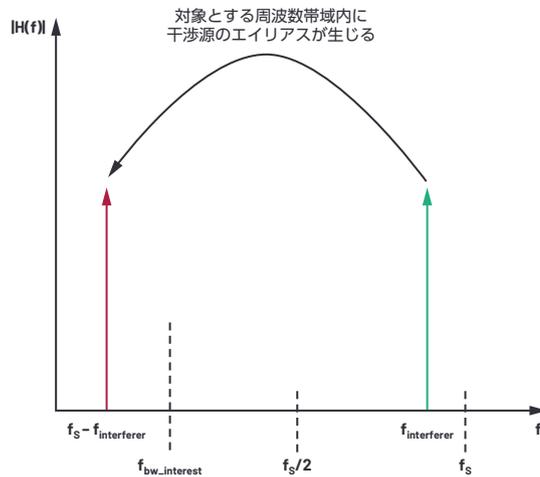


図6. サンプリングに伴うエイリアシング。
帯域外に存在する干渉源の折り返しが、対象とする周波数帯域内に生じます。

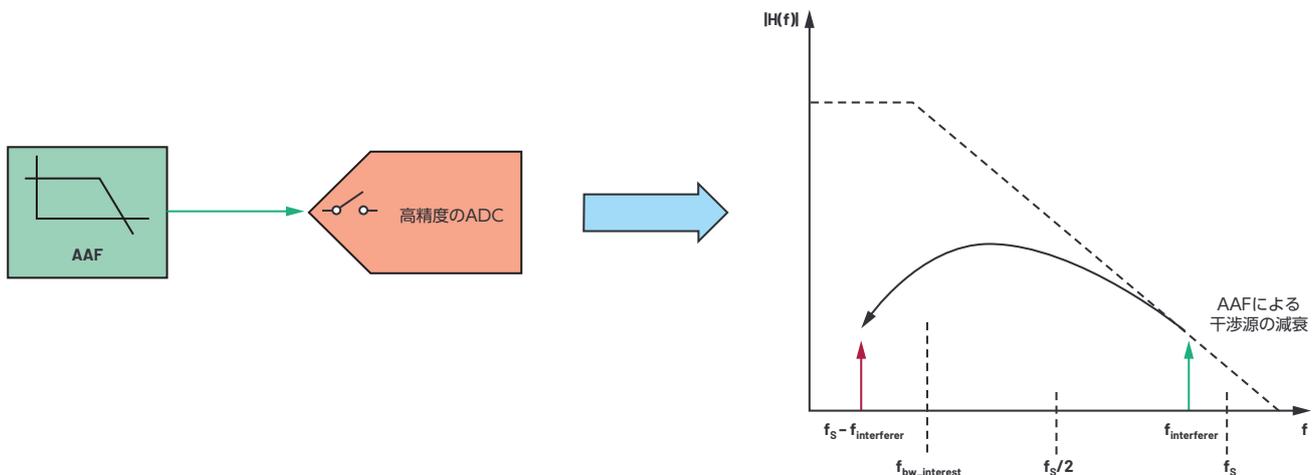


図7. AAFの適用。
エイリアシングによる帯域内への影響を軽減できます。

【ステップ4】 干渉の影響を受けない シグナル・チェーンを構築する

連続信号をサンプリングしてデジタル化する場合、情報の欠落を避けることはできません。つまり、必ず誤差が生じます。この誤差を量子化ノイズと呼びます。ADCのアーキテクチャでは、性能の限界は、サンプリング周波数とビット数（分解能）によって決まります。信号入力とリファレンスのインターフェースに関する課題を解決したら、次の課題に取り組まなければなりません。その課題とは、高い周波数帯に存在する干渉源／ノイズが、低い周波数帯（A/D変換の対象となる帯域）に現れるというものです。この現象は、エイリアシングまたは折り返しと呼ばれています。高い周波数帯（帯域外）に存在する干渉源のイメージ信号が帯域内に折り返してくると、S/N比が低下します。サンプリング定理で示されているとおり、サンプリング周波数付近のトーンは帯域内に折り返します（図6）。つまり、対象とする周波数帯域内に不要な情報や誤差が生じていることとなります。エイリアシングの詳細については、「[MT-002：『ナイキストの基準』を、現実のADCシステム的设计に活かす](#)」をご覧ください。

折り返しの影響を軽減するための方法の1つは、アンチエイリアシング（折返し誤差防止）フィルタ（AAF：Antialiasing Filter）

を使用することです（図7）。AAFは、ローパス・フィルタの一種です。これによって、不要な干渉源の振幅を減衰させます。干渉源が帯域内に折り返してきたとしても、その振幅が小さく抑えられていることから、所望のS/N比を維持することができます。通常、このローパス・フィルタは、ドライバ・アンプに組み込まれています。

そのようなドライバ・アンプを設計する際の大きな課題は、より高速なセットリングとローパス・フィルタの要件の間で適切なバランスを見出すことです。ただ、このソリューションにはより重要な課題があります。このソリューションを利用する場合には、アプリケーションの要件に応じて微調整が必要になるのです。そのため、様々なアプリケーションに対して単一の設計／プラットフォームで対応するということが難しくなります。なお、アナログ・デバイゼスは、この課題の克服に役立つ[AAFの設計ツール](#)も提供しています。

CTSD ADCのメリット：CTSD ADCは、エイリアスを除去する固有の性質を備えています。この特徴は、CTSD方式のADCだけが備えるものです。この種の干渉に対しては耐性があり、AAFは必要ありません。そのため、さほど努力することなく、CTSD ADCをセンサーに直接接続できる可能性が高まります。

【ステップ5】 ADCのクロック周波数とODRの選択

続いては、SAR ADCとDTSD ADCにおけるクロックの要件について検討します。DTSD ADCでは、オーバーサンプリングを利用します。つまり、ナイキストの定理で説明されているサンプリング・レートよりもはるかに高いレートでサンプリングを実施します。オーバーサンプリングしたデータをそのまま外部のデジタル・コントローラに引き渡すと、大量の余剰情報によって過負荷が生じてしまいます。したがって、オーバーサンプリングを利用するADCでは、内蔵デジタル・フィルタを使ってデータのデシメーションを実施します。それにより、ADCの最終的なODRを信号周波数の2倍のレベルまで低下させます。

DTSD ADCは、周波数の高いサンプリング・クロックを使用しつつ、所望のODRが得られるようにプログラムする必要があります。その結果、最終的な出力として、所望のODRのデジタル・データと周波数がODRに等しいクロックが得られます。デジタル・コントローラは、このODRクロックを使用してデータを取り込みます。

では、SAR ADCのクロックにはどのようなことが求められるのでしょうか。SAR ADCの場合、通常はナイキストの定理にそのまま従います。ADC用のサンプリング・クロックは、デジタル・コントローラから供給します。また、このクロックの周波数はODRに相当します。ただ、ADCの最適な性能を引き出すためには、サンプル&ホールドのタイミングを適切に制御する必要があります。そのため、このクロックのタイミングについては高い柔軟性は得られません。デジタル出力のタイミングも、この要件に対応させる必要があります。

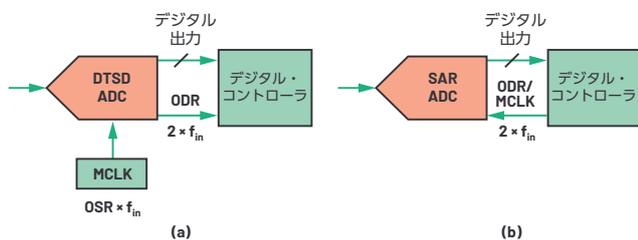


図8. DTSD ADCのクロック (a) と SAR ADCのクロック (b)

両アーキテクチャのクロックの要件について理解すれば、ODRはADCのサンプリング・クロックと連動していることがわかります。このことは、ODRがドリフトするか、動的に変化する可能性がある多くのシステムにおいて制約になります。あるいは、アナログ入力信号の周波数に応じてODRを調整する必要があるシステムにおいても制約になります。

CTSD ADCのメリット：CTSD ADCは、新たな非同期サンプル・レート・コンバータ (ASRC : Asynchronous Sample Rate

Converter) と組み合わせて使用します。ASRCは、A/D変換によって得られたデータを任意のODRでサンプリングする機能を提供します。そのため、ODRを任意の値にきめ細かく設定することが可能になります。従来、ODRについては、サンプリング周波数の倍数に設定しなければならないという制約がありました。ようやく、この制限から解放されることになったのです。ODRの周波数とタイミングについては、デジタル・インターフェースだけに要件が課せられることになりました。言い換えると、ADCのサンプリング周波数とODRは完全に切り離されるということです。このことから、シグナル・チェーンの設計において、デジタルの部分を分離できることになります。

【ステップ6】 デジタル・コントローラとのインターフェース

従来から、デジタル・コントローラとやり取りするために、ADCには2種類のデータ・インターフェース・モードが用意されていました。1つはADCがホストとして動作するモードです。このモードでは、ADCがデジタル・クロックとODRクロックを供給します。つまり、デジタル・コントローラがデータを取り込むためのクロック・エッジをADCが決定することになります。もう1つはホステッド・モード (レシーバー・モード) です。このモードでは、デジタル・コントローラがホストとなります。同コントローラが、ODRクロックを供給すると共に、ADCからのデータを取り込むためのクロック・エッジを決定します。

ステップ5の続きになりますが、DTSD ADCを使用する場合、同ADCがODRクロックを供給します。つまり、同ADCがデジタル・コントローラのホストとして動作します。一方、SAR ADCを使用する場合には、デジタル・コントローラがODRクロックを供給します。SAR ADCは、常にデジタル・コントローラをホストとするペリフェラルとして扱われるということです。以上のことから、1つの制約が生じることがわかります。それは、DTSD ADCとSAR ADCのうちどちらかを選択すると、デジタル・インターフェースがホスト・モードとホステッド・モードのうちいずれかに限定されるということです。現時点では、ADCのアーキテクチャに依存することなくインターフェースを選択できるだけの柔軟性は提供されていません。

CTSD ADCのメリット：CTSD ADCと新たなASRCを組み合わせることで、ADCのデータ・インターフェース・モードを任意に設定することが可能になります。つまり、ADCのアーキテクチャに依存せず、アプリケーションで使用するデジタル・コントローラに適した任意のモードを使用できるということです。このことから、高性能のADCを使用する全く新たなアプリケーションが実現される可能性が生まれます。

シグナル・チェーンの大幅な簡素化

図9に、従来の高精度ADCを使用した場合とCTSD ADCを使用した場合のビルディング・ブロックを示しました。ADC用のドライバ、AAF、リファレンス用バッファから成る従来の構成が、CTSD ADCを採用することによって劇的に簡素化されることがわかります。

図10 (a) は、DTSD ADCを使用する場合のシグナル・チェーンの例です。この場合、ADCのデータシートに記載された性能を引き出すためには、微調整を行わなければなりません。その作業を簡素化するために、アナログ・デバイスは多くのリファレンス設計を提供しています。それらを再利用/再調整することで、ADCを使用する様々なアプリケーションにおける作業負担を軽減できます。それでも、その作業が大きな負担であることは間違いありません。

図10 (b) に示したのは、CTSD ADCを使用する場合のシグナル・チェーンの例です。ADCへの信号入力部にもリファレンス部にもスイッチド・キャパシタが存在しないため、フロント・エンドが大幅に簡素化されています。スイッチングを伴うサンプリング回路はA/D変換部（ADCのコア部）の後段に存在しており、信号入力部とリファレンス入力部は純粋な抵抗性の回路で実現されています。つまり、CTSD ADCは、ほとんどサンプリングを伴わない比類のない手法で実現されたADCだということです。この種のADCの伝達関数は、AAFの応答によく似ています。つまり、干渉源を減衰させる性質を本質的に備えています。CTSD技術により、ADCは簡単にプラグ&プレイできるコンポーネントへと変貌したのです。

以下、本章で説明した内容をまとめます。CTSD ADCを採用すれば、従来のADCを使用する場合と同等の性能レベルを達成しつつ、シグナル・チェーンを大幅に簡素化することができます。それだけでなく、以下に示すようなメリットも得られます。

- ▶ エイリアスが生じず、遅延を最小限に抑えられ、チャンネル間の位相マッチングに優れたシグナル・チェーンを実現できます。
- ▶ 広帯域幅の入力用のバッファとリファレンス用のバッファを選択したり微調整したりするためのステップが不要になります。アナログ・フロント・エンドを簡素化でき、より高いチャンネル密度を実現できます。
- ▶ サンプリング・クロックに依存して変化するODRの障壁を排除することが可能です。
- ▶ デジタル・コントローラに対するインターフェースを任意に選択できます。
- ▶ 周辺部品を削減できるため、シグナル・チェーンの信頼性が高まります。
- ▶ 部品点数を減らすことができ、実装面積を68%低減することが可能になります。また、お客様が製品を市場に投入するまでに要する時間を短縮することが可能です。

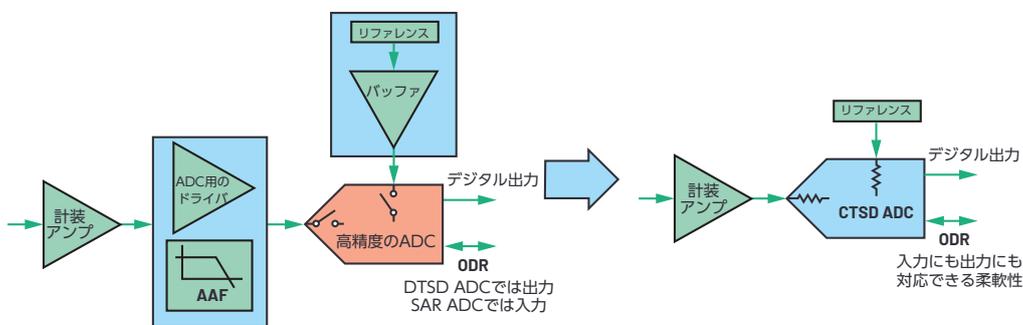


図9. ビルディング・ブロックの比較。
左は従来の高精度ADCを使用した場合、右はCTSD ADCを使用した場合の例です。

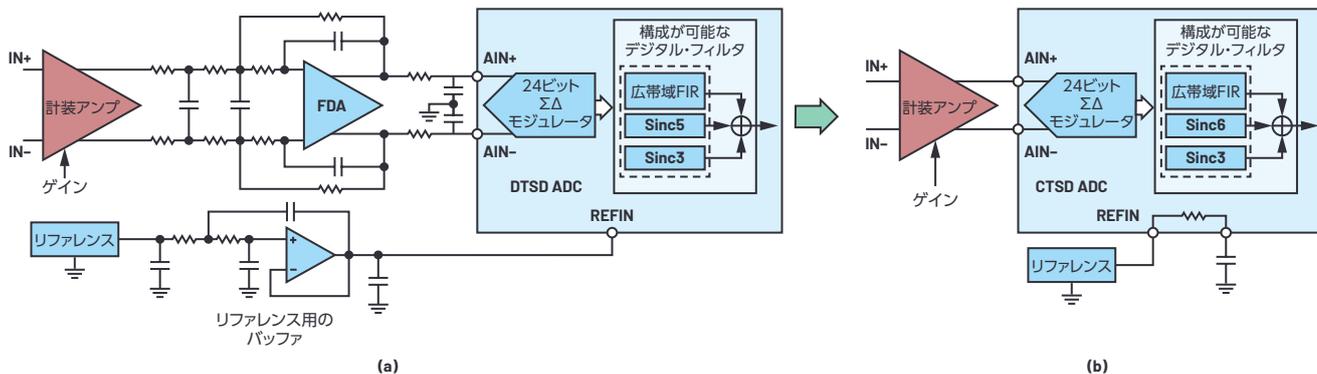


図10. シグナル・チェーンの比較。
左はDTSD ADCを使用した場合、右はCTSD ADCを使用した場合の例です。

第2章：シグナル・チェーンの設計者がCTSDについて理解しておくべきこと

著者：Abhilasha Kawle、アナログ設計マネージャ

この章では、連続時間型シグマ・デルタ（CTSD：Continuous-time Sigma-delta）方式のA/Dコンバータ（ADC）について、従来とは異なるアプローチで解説します。この使いやすい新たな高精度ADCは、なじみ深い数点の部品を接続するだけで使用できます。同アプローチであれば、シグナル・チェーンの設計者はそのシンプルなシステムの動作を容易に思い描くことができます。このミニ・チュートリアル第1章では、従来のシグナル・チェーンにおける設計上の主な課題を列挙しました。そして、それらの課題は、高精度のCTSD ADCを採用することによって解決できることを明らかにしました。連続時間信号が備える完全性が維持され、最高の精度が得られるからです。では、CTSDのアーキテクチャでは、なぜそのようなことが実現できるのでしょうか。

従来、CTSD技術の概念を説明する際には、離散時間型のシグマ・デルタ（DTSD：Discrete-time Sigma-delta）変調器の話から始めていました。その上で、DTSD変調器の構成要素をCTSDの構成要素で置き換えるというアプローチによって解説が行われていました。確かに、それによりシグマ・デルタ（ $\Sigma\Delta$ ）変調に対する理解は深まりますし、そのアプローチに問題があるわけではありません。ただ、本章では、CTSD ADCの本質的な長所について、直感的に理解できるようにしたいと考えています。そこで、まずは広く知られているクローズドループの反転アンプの話から始めることにします。そして、同アンプをADC、D/Aコンバータ（DAC）と組み合わせてCTSD変調器のループを段階的に構築するというアプローチを採用します。また、回路を構築していく過程で、 $\Sigma\Delta$ 変調についての基本的な解説も加えることにします。

【ステップ1】反転アンプについて、おさらいする

CTSD ADCの長所の1つは、入力部において、スイッチド・キャパシタで構成した従来のサンプリング回路ではなく、駆動が容易な抵抗性入力を使用する点にあります。入力インピーダンスの面

で、CTSD ADCに似ている回路の1つが反転アンプです。そこで、CTSD変調器の構築に向けた最初のステップでは、反転アンプについて改めて考えてみることにします。

クローズドループのオペアンプ回路は、アナログ入力を高い忠実度で再現したい場合に頻繁に用いられます。図1に、その最も一般的な構成だと言える反転アンプ回路を示しました¹。忠実度を計る指標の1つは、入力に対する出力のゲインです。このゲインは、 $\Sigma\Delta$ 変調に関連する用語で言えば信号伝達関数（STF：Signal Transfer Function）に相当します。STFに影響を与えるパラメータについて定義するには、回路の解析を実施する必要があります。

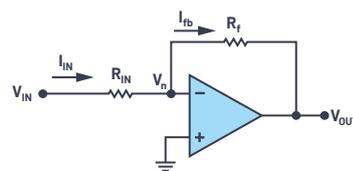


図1. 反転アンプの回路図。
クローズドループのオペアンプ回路としては最も一般的な構成だと言えます。

この回路について、まずは有名な V_{OUT}/V_{IN} の式を導出してみましょう。最初のステップでは、オペアンプのオープンループ・ゲインAは無敵大であると仮定します。この仮定により、オペアンプの反転入力 V_n の電位はグラウンドのレベルになります。このノードにキルヒホッフの法則を適用すると、次式が得られます。

$$I_{IN} = \frac{V_{IN}}{R_{IN}}, I_{fb} = -\frac{V_{OUT}}{R_f} \quad (1)$$

V_{OUT} と V_{IN} について解くと、ゲイン（つまりSTF）は次式のようにになります。

$$STF = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_{IN}} \quad (2)$$

次に、無限大のゲインという非現実的な仮定を破棄し、オペアンプのゲインAが有限である場合のSTFを導出してみましょう。そうすると、STFは次式のようにになります。

$$STF = -\frac{R_f}{R_{IN}} \times \left(\frac{A}{\left(1 + \frac{R_f}{R_{IN}}\right) + A} \right) \quad (3)$$

この後、一般的な教科書では R_{IN} 、 R_f 、 A の各パラメータに対する感度について説明されるケースが多いでしょう。ただ、本章ではそうした話題には触れず、CTSD変調器の構築に向けて話を進めることにします。

【ステップ2】反転アンプに離散化の概念を導入する

シグナル・チェーンでADCを使用するということは、 V_{IN} をデジタル化する必要があるということを意味します。そこで、図1の回路にデジタル化の概念を導入します。但し、ADCによって入力信号を直接サンプリングするという従来の手法を適用するわけではありません。別の方法として、典型的なADCを反転アンプの出力の後段に配置することで、デジタル化したデータを取得できるようにします。ただ、反転アンプの構成を維持するには、出力信号を入力に帰還しなければなりません。当然のことながら、ADCの出力をそのまま入力に帰還することはできないので、アナログ電圧を生成する必要があります。そこで、図2に示すように、ADCの後ろにDACを配置することにします。

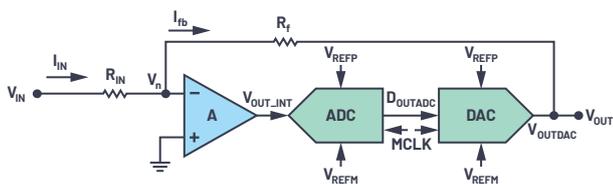


図2. 反転アンプにADCとDACを追加した回路

ADCに加えてDACも導入したので、 V_{OUT} は V_{IN} を再現できていることになります。つまり、 V_{IN} から V_{OUT} までの信号の流れに変化はないということです。但し、デジタル化を導入したことにより、量子化誤差という要素が加わっています。なお、ここでは、ADCとDACのリファレンスを次式のように設定していることに注意してください。

$$V_{REFP} = V_{REF}/2, V_{REFM} = -V_{REF}/2 \quad (4)$$

その目的は、ループの動作（扱う信号）が0Vに対して対称になるようにすることと、数学的な導出を容易に行えるようにすることです。

【ステップ3】アナログ積分器を導入する

ここで、図2の反転アンプ回路の安定性について考えてみます。ADCとDACは、いずれもサンプリング・クロック（MCLK）で動作する離散領域の回路です。そして、遅延のないADCやDACを設計するのは不可能です。一般的なADC/DACでは、一方のクロック・エッジで入力信号のサンプリングが行われ、他方のエッジで必要な処理が実行されます。そのため、ADCとDACで処理された結果である V_{OUT} は、1クロック・サイクル分の遅延時間が経過した後でなければ使用できません。図2の回路では、このような遅延を伴う信号がフィードバックされることになります。

帰還に生じるこの遅延は、回路の安定性に何らかの影響を及ぼすのでしょうか。それについて知るために、 V_{IN} がどのように伝達されるのか追跡してみましょう。話をわかりやすくするために、 $V_{IN} = 1$ 、 $R_{IN} = 1$ 、 $R_f = 1$ で、オペアンプのゲインAは100であると仮定します。最初のクロック・サイクルでは、入力電圧は1で、DACの出力 V_{OUT} (V_{OUTDAC}) は0です。この出力が帰還されることになるわけですが、それは次のクロック・エッジまで実行できません。入力信号と帰還信号の誤差について、アンプとADCの出力の範囲で追跡すると、出力は指数関数的に増加し続けることがわかります。つまり、技術的な用語で言えば回路の暴走という問題が生じるということです。

表1. クロックのエッジでサンプリングされる値

	V_{IN}	$V_{OUT} = V_{OUTDAC}$	$V_n = (V_{OUT} + V_{IN})/2$	$V_{OUT_INT} = -A \times (V_n)$	D_{OUTADC}
1つ目のサンプリング・エッジ	1	0	0.5	-50	-50
2つ目のサンプリング・エッジ	1	-50	~-25	~2500	2500
3つ目のサンプリング・エッジ	1	2500	~1250	~-12,500	-12,500

このような現象は、誤差がアンプによって増幅された瞬間に、ADCの入力部が機能することによって生じます。つまり、まだ帰還がかかっていない状態でADCが処理を行ってしまうということです。これは望ましいことではありません。これについては、ADCによる処理が、累積された誤差を平均化した信号に対して行われるようにすることで対処できます。つまり、帰還信号の1クロック分の遅延による誤差が平均化されるようにすればよいということです。そうすれば、システムの出力は抑制されます。

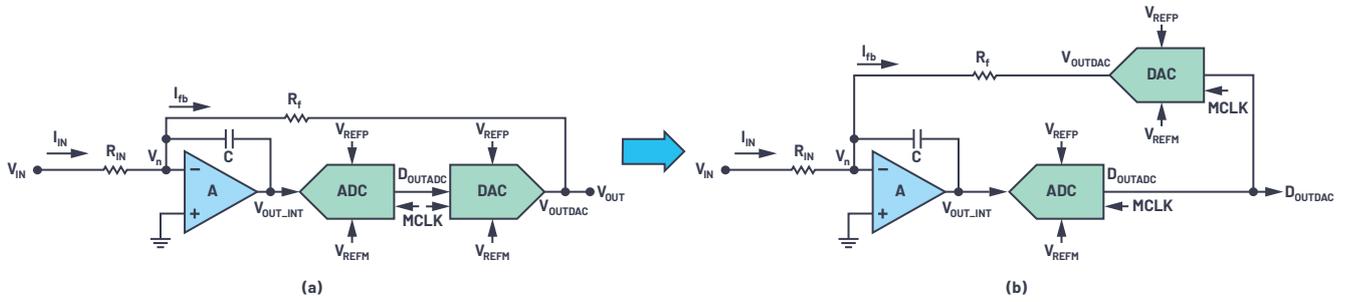


図3. 積分器を適用した回路。(a)は、単にループに積分器を導入した状態を表しています。
(b)では、 D_{OUTDAC} を出力として強調するために配置を変更しています。

このような処理は、平均化の機能を備えるアキュムレータによって実現することができます。そのアナログ版として利用できるのが積分器です。ループのゲインが高くなるのは、低い周波数帯においてのみです。低い周波数帯というのは、対象とする信号周波数の帯域に相当します。それにより、暴走の原因になる瞬間的な誤差がADCで発生しないようになります。

具体的な回路は、図3 (a) に示すようなものになります。ご覧のように、積分器に変更した反転アンプ、ADC、DACでループが構成されています。

【ステップ4】 帰還抵抗を簡略化する

関心を持つべき信号は D_{OUTDAC} です。そこで、図3 (b) に示すようにループの構成要素を並べ替え、システムの出力として D_{OUTDAC} を強調することにしましょう。その上で、DACと R_f のパスの簡略化を試みることにします。そのために、まずはDACについて詳細に掘り下げてみましょう。DACを使用する目的は、デジタル・コード D_{IN} を、リファレンスに比例したアナログの等価電流／等価電圧に変換することです。

ここでは、連続性を備えることの利点をリファレンスまで拡大します。そのために、DACのアーキテクチャとしては、抵抗ラダー方式をベースとする一般的なものを想定することにします。それにより、リファレンスにスイッチングの負荷がかからないようにすることができます。以下の式で示される関係を使用して、 D_{IN} を電流出力に変換する抵抗ラダー型のサーモメータDAC²を使用するということにしましょう。

$$I_{DAC} = \frac{V_{REF}}{R_f} \times \frac{D_{IN}}{2^N} \quad (5)$$

ここで、 V_{REF} はDACに供給されるトータルのリファレンス電圧であり、 $V_{REF} = V_{REFP} - V_{REFM}$ の関係で表されます。また、それ以外の変数の意味は以下のとおりです。

- ▶ D_{IN} : サーモメータ DAC への入力コード
- ▶ R_f : 帰還抵抗 (各単位要素として分割)
- ▶ N : ビット数

ここでは電流出力型のDACを使用しているため、電圧出力が得られるようにする必要があります。そこで、図4に示すように、I-V変換を担うトランスインピーダンス・アンプ³をDACの後段に配置します。これにより、以下の式で表される変換が行われます。

$$V_{OUTDAC} = I_{DAC} \times R_f \quad (6)$$

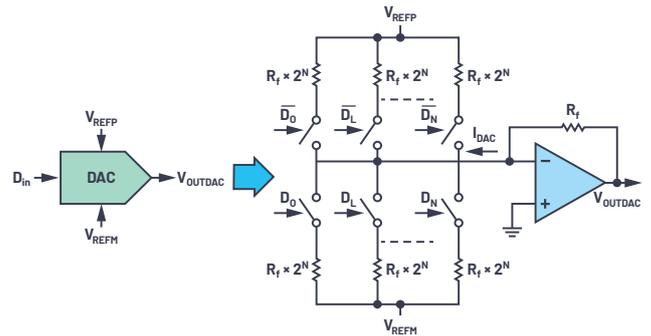


図4. 抵抗ラダー型のサーモメータ DAC

再び、図3 (b) の離散化されたループをご覧ください。 V_{OUTDAC} は、積分器を構成する帰還抵抗 R_f を介して再び電流 I_{fb} に変換されます。つまり、信号の流れは $I_{DAC} \rightarrow V_{OUTDAC} \rightarrow I_{fb}$ となっています。これを数学的に表すと次式ようになります。

$$I_{fb} = \frac{V_{OUTDAC}}{R_f} = I_{DAC} \quad (7)$$

上記の信号の流れと式から、 V_{OUTDAC} を I_{fb} に変換するのは冗長なステップであることがわかります。そこで、無駄な構成要素を削除し、簡素化を図るために $(V_{REFP} - V_{REFM})$ を V_{REF} と表すことにします。

そうすると、ループは図5のように描き直すことができます。

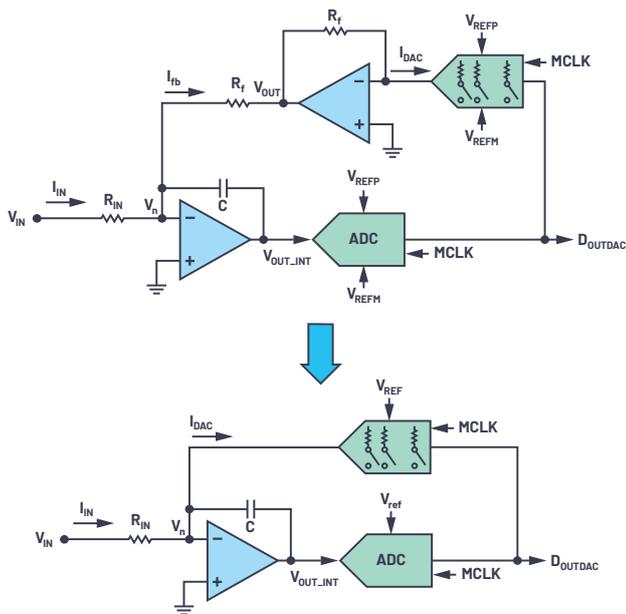


図5. 冗長なI-V変換部と帰還抵抗を削除した回路

これにより、1次のΣΔ変調ループが完成しました。ご覧のように、よく知られた構成要素である反転アンプ、ADC、DACをつなぎ合わせただけです。

【ステップ5】オーバーサンプリングについて理解する

ここまででCTSD変調器のループ構成について把握することができました。しかし、この架空のループが備える特殊性について、もう少し詳しく理解する必要があります。そのための最初のステップは、オーバーサンプリングについて理解することです。ADCは、アナログ信号の情報を抽出／解釈するのに十分な回数のサンプリングを実施し、それに対応するデジタル化された出力データが得られて初めて役に立ちます。ナイキストの定理によれば、入力信号を忠実に再現するためには、ADCのサンプリング周波数を信号の周波数の2倍以上に設定する必要があります。これが最小の要件となるわけですが、更にサンプリング周波数を高めてより多くのデータを取得できるようにすると、解釈を行う際の誤差を更に低減できます。このような考え方に従って、ΣΔ方式のADC/DACでは、ナイキスト周波数よりもはるかに高いサ

ンプリング周波数が使用されます。この手法は、オーバーサンプリングとして知られています⁴。オーバーサンプリングを採用すると、ナイキスト周波数でサンプリングを行う場合と比べて、はるかに広い周波数範囲にわたってノイズを分散することができます(図6)。その結果、本来の周波数対域内に存在する量子化ノイズの量が低減されます。

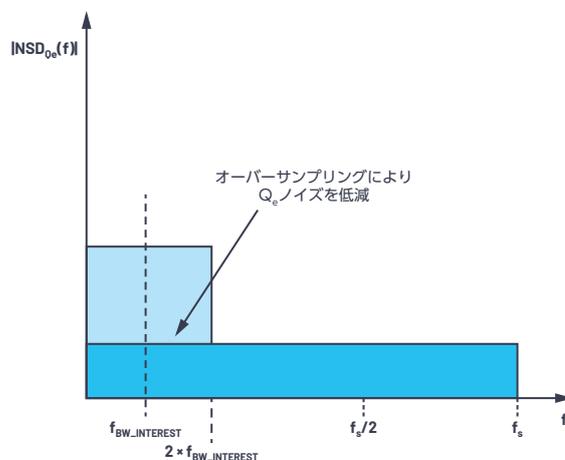


図6. ナイキスト・サンプリングとオーバーサンプリングの比較。オーバーサンプリングを行うことで、対域内のノイズ・スペクトル密度を低減できます。

【ステップ6】ノイズ・シェーピングについて理解する

シグナル・チェーンの設計者は、ΣΔ変調の専門家と話をすると戸惑いを覚えることがあるかもしれません。ΣΔ変調の専門家は、ノイズの伝達関数(NTF: Noise Transfer Function)やノイズ・シェーピング⁴といった用語を多用するからです。ここでは、そうした特有の用語について直感的に理解できるように解説を進めます。そのために、本章で扱っている反転アンプの出力に誤差 Q_e という概念を追加することにしましょう(図7)。

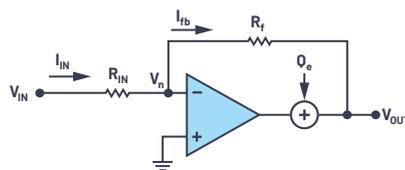


図7. 誤差 Q_e の概念を追加した反転アンプ

この誤差によって出力に現れる影響は、次式で表すことができます。

$$V_{OUT} = \frac{Q_e}{\left(1 + \frac{A}{1 + \frac{R_f}{R_{IN}}}\right)} \quad (8)$$

この式は、誤差 Q_e はアンプのオープンループ・ゲインに依存して減衰するという意味を示しています。繰り返しになりますが、これはクローズドループが備える長所です。この長所について理解すれば、それをCTSD変調器の構成要素であるADCの量子化誤差 Q_e に拡張して考えられるようになるはずで、量子化誤差 Q_e は、積分器の出力で連続信号を量子化する際に発生します (図8)。

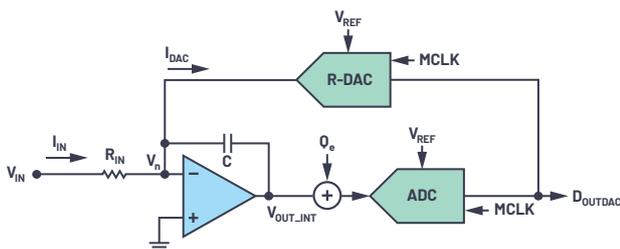


図8. 量子化誤差 Q_e の概念を追加したCTSD変調器

このように考えれば、 Q_e は積分器によって減衰させられるということを直感的に理解できるはずで、積分器の伝達関数は、 $|H_{INTEG}(f)| = 1/|s \times RC| = 1/2\pi fRC$ となります。図9は、この式に対応する周波数特性を示したものです。この特性は、低い周波数でゲインが高くなるローパス・フィルタの特性と等価です。周波数が高くなるにつれて、ゲインは直線的に低下します。それに対応して、 Q_e の減衰特性はハイパス・フィルタの特性と似たような形状になります。

この減衰特性を数学的に表現したものがNTFです。ここでは、ADCのサンプリング回路とDACのスイッチは無視することになります。NTF (V_{OUTADC}/Q_e) は、反転アンプについて行ったのと同じ方法によって求めることができます (以下参照)。

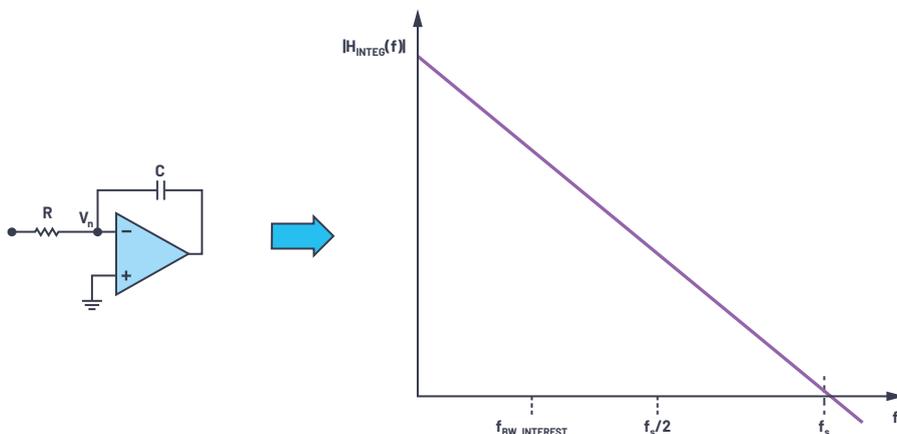


図9. 積分器の周波数特性

$$NTF_{int} = \frac{V_{OUTADC}}{Q_e} = \frac{sR_fC}{(1 + sR_fC)} \quad (9)$$

これを周波数領域で表現すると、ハイパス・フィルタの特性と同様の形状が得られるということです (図10)。対象とする周波数帯域では量子化ノイズは完全に減衰しており、考慮の必要がない高い周波数帯域へと押しやられています。これがノイズ・シェーピングの効果です。

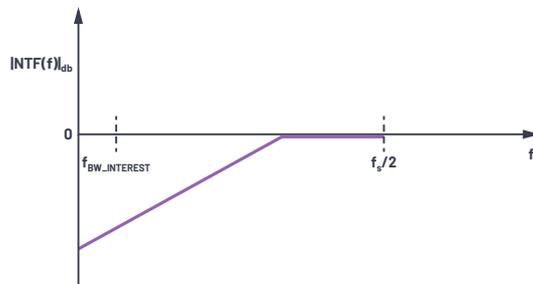


図10. サンプリング回路が存在しない場合のNTF。この仮定の下では、NTFはハイパス・フィルタの特性と同様の形状になります。

ループ内にサンプリング回路が存在する場合にも、量子化ノイズのシェーピング効果は同じように現れます。但し、その場合のNTFは図11のような周波数特性を示します。ご覧のように、サンプリング周波数の整数倍ごとにV字型のノッチが生じています。これは、 f_s の倍数ごとに折り返しイメージが複製された結果です。

$\Sigma\Delta$ 変調のアーキテクチャには独特の特徴があります。そのアーキテクチャでは、分解能が4ビット程度といった精度の粗いADCの周囲に積分器とDACで構成されるループを配置します。そして、オーバーサンプリングとノイズ・シェーピングという概念が適用されます。それにより、対象となる周波数帯域内の量子化ノイズを大幅に低減します。その結果、精度の粗いADCが、16~24ビットの分解能を備えるADCであるかのように見える状態になるのです。

ここまででは、1次のCTSD ADCを例にとって説明を進めてきました。上述した基本的な特質は、任意の次数の変調器にも拡張できます。サンプリング周波数、処理の粗いADCの仕様、ループの次数は、最終的なADCに求められる性能要件によって決まります。この要件は、設計の際に行うべき最も重要な意思決定事項として位置づけられるはずです。

【ステップ7】 デジタル・フィルタを追加してCTSD ADCを完成させる

一般に、ADCによって得られたデジタル・データには、信号が備える情報を抽出するために外部のデジタル・コントローラによる後処理が適用されます。先述したように、通常、 $\Sigma\Delta$ 方式のADCでは信号がオーバーサンプリングされます。オーバーサンプリングされたデジタル・データを外部のコントローラに直接引き渡すと、処理の対象となるデータ量が著しく増えてしまうこととなります。そうすると、デジタル・コントローラの消費電力と占有面積によるコストが無駄にかかってしまいます。そこで、デジタル・コントローラにデータを引き渡す前に、性能に悪影響が及ばないようにしながら効果的に間引き処理を実施するということが行われます。この間引き処理はデシメーションと呼ばれ、デシメーション・フィルタというデジタル・フィルタによって実行されます。図12 (a) に、デシメーション・フィルタを内蔵した標準的なCTSD ADCのブロック図を示しました。

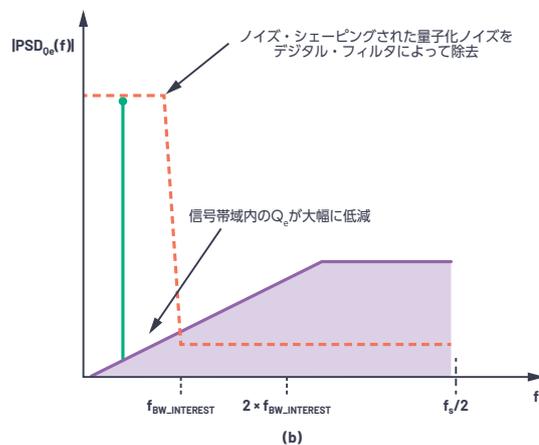
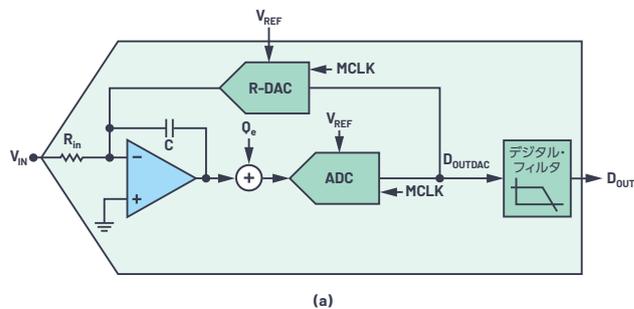


図12. CTSD ADCのブロック図 (a)。 (b) は変調器の出力とデジタル・フィルタの出力の周波数スペクトルです。いずれにも、入力信号の成分はそのまま含まれています。

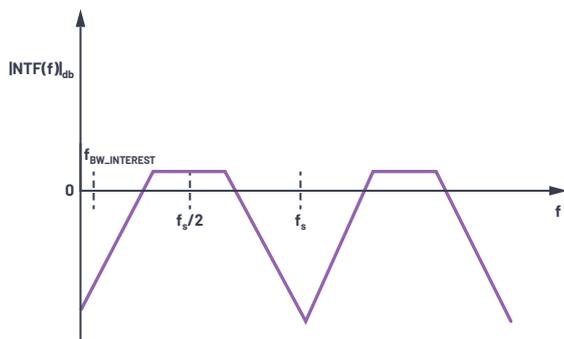


図11. CTSD ADCのNTF

図12 (b) は、帯域内のアナログ入力信号が、変調器の出力部、デジタル・フィルタの出力部でどのようになるのかを示したものです。変調器の出力部では、対象とする周波数帯域内の量子化ノイズがノイズ・シェーピングによって大幅に減衰していることがわかります。デジタル・フィルタの出力部では、対象とする周波数帯域以上の領域にシェーピングされたノイズが大幅に低減されています。また、最終的なデジタル出力D_OUTのデータ・レートは、ナイキスト・サンプリングのデータ・レートまで落とされています。

【ステップ8】 クロックがCTSD ADCに及ぼす影響について理解する

ここまでで、CTSD ADCではどのようにして入力信号の連続的な完全性を維持するのか理解することができたでしょう。また、それによってシグナル・チェーンの設計が大幅に簡素化されることもわかりました。但し、このアーキテクチャにはいくつかの制約が存在します。それらは、主としてサンプリング・クロック (MCLK) に関するものです。CTSD変調器は、 I_{IN} と I_{DAC} の間の誤差電流を積分するという概念に基づいて動作します。この積分値に誤差があると、ループ内のADCによってそれがサンプリングされてしまいます。その結果は出力に反映されます。本章で例にとっている1次の変調器の場合、 I_{IN} と I_{DAC} が一定であるとする、 T_S のサンプリング期間における積分値は次式で与えられます。

$$\delta V_{out_{integ}} = \frac{T_S}{RC} \times (I_{IN} - I_{DAC}) \quad (10)$$

入力が0である場合に、この積分誤差に影響を与えるパラメータとしては以下のものが挙げられます。

- ▶ **MCLKの周波数**：式(10)からわかるように、MCLKの周波数が変化した場合に同一の積分値を得るためには、積分の傾きを制御するRCの係数を再調整する必要があります。このことは、CTSD変調器はMCLKの固定周波数に対して調整されており、その周波数の変化には対応できないということの意味します。
- ▶ **MCLKのジッタ**：DACのコード（つまりは I_{DAC} ）はクロック周期 T_s ごとに変化します。 I_{DAC} に対応する期間がランダムに変化すると、積分値の平均値が変化し続けることとなります(図13)。つまり、サンプリング・クロックの周期にジッタという形で誤差が生じると、変調器の性能に影響が及ぶことになります。

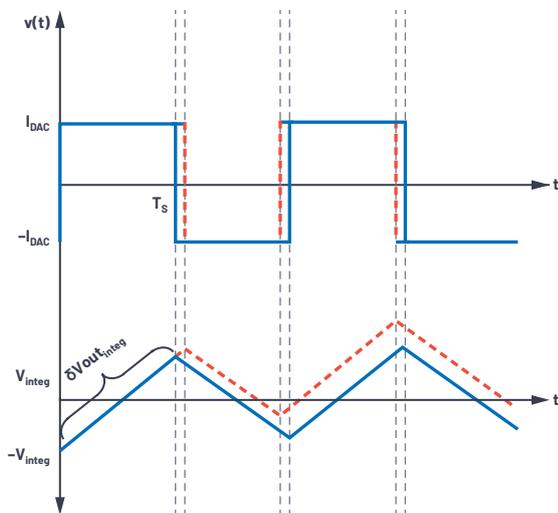


図13. クロックがCTSD変調器に及ぼす影響

上記のような理由から、CTSD ADCはMCLKの周波数とジッタに敏感だと言えます⁵。しかし、アナログ・デバイセズは、これに関連する問題を回避するための解決策を見いだしました。例え

ば、CTSD ADCを使用する場合、正確で低ジッタのMCLKを生成し、システムに沿ってADCまでルーティングする必要があります。これについては、ADCの近くに低コストの水晶と発振回路を配置することで対処できます。固定のサンプリング周波数に関する問題については、革新的な非同期サンプル・レート変換(ASRC: Asynchronous Sample Rate Conversion)によって対処することが可能です。ASRCにより、固定のサンプリング・クロック(MCLK)に依存することなく、デジタル・コントローラに対して可変の独立したレートでデジタル・データを出力することができます。この技術の詳細については、このミニ・チュートリアル第3章以降に説明します。

【ステップ9】 CTSD ADCについて 更に深く理解する

第1章では、CTSD ADCがシグナル・チェーンにもたらすメリットについて説明しました。今回は、反転アンプを起点とし、CTSD変調器について解説してきました。図12(a)も、CTSD ADCが備える長所についての視覚的な理解に役立ったでしょう。

CTSD ADCの入カインピーダンスは、反転アンプの入カインピーダンスと等価です。また、抵抗性であるため駆動が容易です。革新的な技術を適用することで、変調器のDAC用に抵抗性のリファレンスを使用することも可能になっています。加えて、ADCのサンプリング回路は入力部に存在するのではなく、積分器の後段に配置されます。そのため、対象とする周波数帯域の外部にある干渉源に対しても本質的なエイリアス除去を適用することが可能です。第3章以降では、CTSD ADCの長所と、それによってシグナル・チェーンにもたらされる影響について深く掘り下げます。

第3章：エイリアス除去の能力を備える固有のアーキテクチャ

著者：Abhilasha Kawle、アナログ設計マネージャ
Smita Choudhury、設計評価マネージャ

このミニ・チュートリアルでは、連続時間型シグマ・デルタ (CTSD：Continuous-time Sigma-delta) 方式のA/Dコンバータ (ADC) について詳しく解説しています。第1章で説明したように、高精度で使いやすいCTSD ADCを採用すれば、シンプルでコンパクトなシグナル・チェーンを実現できます。また、第2章ではシグナル・チェーンの設計者を対象とし、CTSD技術の詳細を改めて解説しました。今回 (第3章) は、CTSD ADCが備えるエイリアス除去の能力に焦点を絞ります。

従来の高精度ADCでは、エイリアス (折り返し、イメージ) を除去するために複雑な周辺回路を追加しなければなりません。それに対し、エイリアス・フリーのCTSD ADCを採用すれば、周辺回路を追加しなくても干渉信号に対する高い耐性を得ることができます。この章では、CTSD ADCではなぜエイリアスを考慮する必要がないのか詳細に解説します。また、旧来の設計例との比較を交えながら、シグナル・チェーンの設計がどのように簡素化され、どのようなメリットが得られるのかを明らかにします。更に、エイリアスの除去性能を定量化するための測定方法や、その方法を用いた評価結果を紹介します。

ソナー・アレイや加速度センサー、振動解析などのアプリケーションでは、測定の対象とする信号帯域の外側に位置する信号が観測されることがあります。そうした不要な信号は干渉信号と呼ばれます。サンプリング処理を伴うADCでは、対象とする帯域内に干渉信号のエイリアスが生じます。それが原因で、システムの性能が低下してしまうことがあります。シグナル・チェーンの設計者にとって、エイリアスは重要な課題です。ソナーのようなアプリケーションでは、干渉信号が原因で帯域内に生じたエイリアスを誤って本来の入力信号だと解釈してしまうことがあります。そうすると、ソナーの周囲の物体を誤検出してしまうことになるかもしれません。ADCを含む従来のシグナル・チェーンは、設計が非常に複雑でした。なぜなら、エイリアスを除去するため

のソリューションを構築しなければならないからです。それに対し、エイリアス・フリーという性質を備えるCTSD ADCを採用すれば、非常にシンプルなソリューションを適用するだけで済みます。CTSD ADCはなぜエイリアス・フリーなのかを説明する前に、まずはエイリアシングの概念について整理するところから始めましょう。

サンプリング定理についてのおさらい

エイリアシングの概念について理解するために、まずはサンプリング定理 (ナイキスト定理) について簡単におさらいしておきます。一般に、信号の解析は時間領域または周波数領域で行います。ここでは、アナログ信号のサンプリングについて時間領域で考えてみます。その場合、サンプリング処理は、信号 $x(t)$ と、時間周期が T_s のインパルス列 $\delta(t)$ の乗算として表現することができます (図1)。

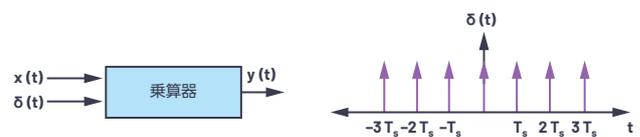


図1. サンプリング処理の時間領域での表現

これと等価の処理を、周波数領域で表すとどのようなようになるでしょうか。サンプリング結果となる出力は、フーリエ級数を使用すると次式のように表すことができます。

$$Y(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \text{ where, } f_s = \frac{1}{T_s}, n = 0, \pm 1, \pm 2, \dots (1)$$

ここで、 $f_s = 1/T_s$ 、 $n = 0, \pm 1, \pm 2, \dots$ です。

この式は、周波数軸で見た場合、サンプリングを実行すると、入力信号のエイリアスがサンプリング周波数 f_s の整数倍ごとに生じるということを意味しています。

式 (1) から、 $X(f)$ に含まれる周波数 $f = n \times f_s - f_{IN}$ ($n = 0, \pm 1, \pm 2, \dots$) の信号成分は、サンプリングの実施後に f_{IN} の位置に現れることがわかります。図2に、様々なサンプリング周波数で信号をサンプリングした結果を示しました。

$$Y(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f - nf_s) \quad (2)$$

$$= \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(f_{IN}) \forall f = n \times f_s - f_{IN}$$

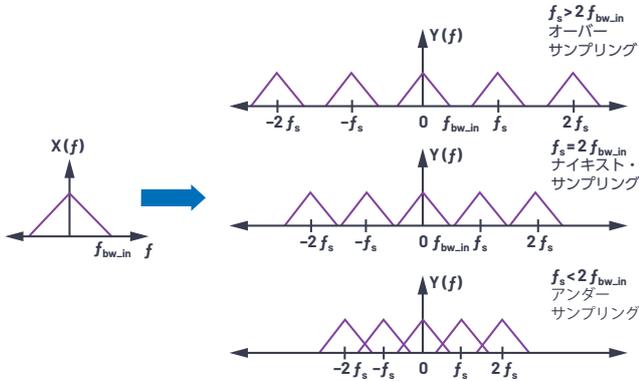


図2. 様々なサンプリング周波数で $X(f)$ をサンプリングした結果

サンプリング定理からは、次のようなことがわかります。すなわち、サンプリング周波数の1/2よりも周波数が高い信号がサンプリングされた場合、 $f_s/2$ より低い周波数領域にエイリアス（鏡像反転）が現れるということです。言い換えると、対象とする周波数帯域内に本来は存在しないはずの信号が生じることになります。

図3は、ADCのサンプリング周波数が f_s である場合に生じるエイリアスについて説明したものです。この例では、ADCに f_1 と f_2 という信号が入力されています。これらは、いずれも帯域外の信号（システム内の干渉信号）です。ここで、信号 f_1 の周波数は $f_s/2$

を下回っています。サンプリング定理から、この信号はサンプリングを実施した後も同一の周波数に存在したままになることがわかります。一方、信号 f_2 の周波数は $f_s/2$ を上回っています。そのため、対象とする周波数帯域 $f_{bw,in}$ の内側にエイリアスが生じます。言い換えれば、帯域内におけるシステムの精度が低下するということです。この理論は、 $f_s/2$ 以上の領域に存在するノイズにも適用することができます。つまり、それらのノイズも帯域内に折り返されます。その結果、帯域内のノイズ・フロアが上昇し、システムの性能が低下することになります。

エイリアシングに対する従来のソリューション

帯域外の信号やノイズのエイリアシングによってシステムの性能が低下するのを回避するには、どうすればよいでしょうか。最も簡単な方法は、ADCでサンプリング処理を行う前にローパス・フィルタによって周波数が $f_s/2$ 以上の信号成分を減衰させるというものです。この種のフィルタは、アンチエイリアシング（折返し誤差防止）フィルタ（以下、AAF）として知られています。図3 (b) は、単純なAAFを適用した場合の効果を示すものです。周波数 f_2 の信号は、ADCに入力される前にAAFによって減衰します。そのため、帯域内に折り返す成分も小さく抑えられます。このAAFの主要な仕様としては、フィルタの次数と-3dBのコーナー周波数が挙げられます。これらの値は、通過帯域内の平坦性、特定の周波数（サンプリング周波数など）において求められる減衰量、入力帯域幅を超える周波数帯（遷移帯域）に求められる減衰特性の傾きに応じて決まります。一般的なフィルタのアーキテクチャとしては、バターワース、チェビシェフ、ベッセル、サレン・キーなどが挙げられます。いずれも、受動部品（抵抗やコンデンサ）とオペアンプを組み合わせることで実装できます。シグナル・チェーンの設計者は、ADCのアーキテクチャや要件に応じてAAFを設計することになります。その際に役立つ[フィルタ設計ツール](#)なども提供されています。

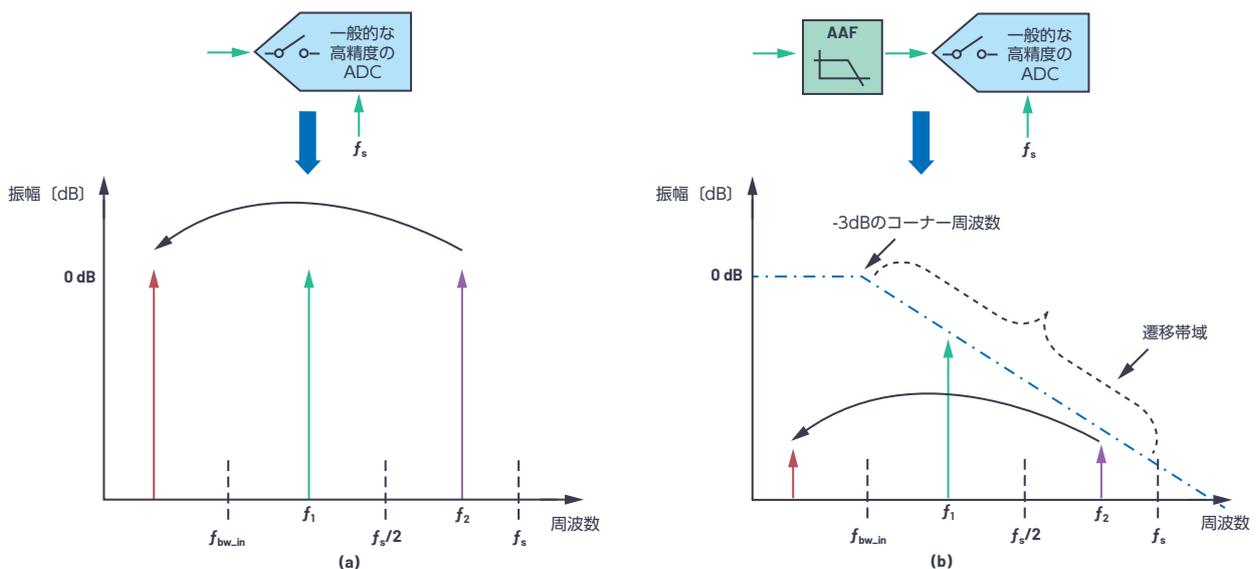


図3. エイリアシングの基礎理論。(a) は、サンプリング定理に基づいてエイリアシングが発生する様子を表しています。(b) では、アンチエイリアシング・フィルタを適用した結果、エイリアスが減衰しています。

AAFの要件について理解するために、実際のアプリケーションをベースとして話を進めることにしましょう。ここでは、潜水艦のシステムを例にとります。潜水艦では、ソナー・センサーから水中に向けて音波を発生し、反射してきたエコーの信号を分析することで、周囲に存在する物体の位置／距離を推定します。ここでは、センサーの入力帯域幅が100kHzであると仮定しましょう。そして、システムは、振幅が-85dB以上を超える信号がADCに入力された場合に、それを意味のあるエコー源として検出するものとします。この場合、帯域外からの干渉が入力として検出されないようにするためには、ADCに入力される前に干渉信号を少なくとも-85dB以下に減衰させる必要があります。このような要件に対応し、ADCには、それぞれのアーキテクチャに応じたエイリアス除去機能を付加する必要があります。例えば、逐次比較型(SAR)のADCや離散時間型シグマ・デルタ(DTSD: Discrete-time Sigma-delta)方式のADCの場合、サンプリング回路はアナログ入力部に存在します。その場合、図3(b)に示すように、ADCの前段にAAFを配置する必要があります。

SAR ADC用のAAFに求められる要件

一般に、SAR ADCのサンプリング周波数は、アナログ入力周波数 f_{IN} の2倍または4倍といった値に設定されます。そのようなADCに付加するAAFの特性としては、 f_{IN} より高い周波数に位置する遷移帯域が狭くなっている必要があります。これは、次数の高いフィルタが必要だということを意味します。潜水艦のシステムの例において、サンプリング周波数が約1MHzのSAR ADCを使用すると仮定します。図4を見ると、100kHzより高い周波数に対して-85dBの減衰量を得るには、5次のバターワース・フィルタが必要であることがわかります。フィルタの次数が高くなると、実装に必要な受動部品とオペアンプの数が増加します。この場合、SAR ADCにAAFを付加するにあたっては、シグナル・

チェーンの設計において、かなりの消費電力と実装面積をAAFに割り当てなければなりません。

DTSD ADC用のAAFに求められる要件

一般に、シグマ・デルタ($\Sigma\Delta$)方式のADCではオーバーサンプリングが利用されます。つまり、アナログ入力周波数よりもはるかに高いサンプリング周波数が用いられます。AAFの設計において、エイリアシングに関連して考慮すべき周波数領域は $f_s \pm f_{IN}$ です。オーバーサンプリングを利用する $\Sigma\Delta$ ADCでは、 f_{IN} の最大値から非常に周波数の高い f_s までがAAFの遷移帯域となります。つまり、SAR DAC用のAAFと比較して遷移帯域は非常に広くなり、AAFの次数は低くても構わないということになります。ここでは、潜水艦のシステムの例において、サンプリング周波数が6MHzのDTSD ADCを使用すると仮定します。図4を見ると、 $f_s - 100\text{kHz}$ 付近の周波数を-85dB減衰させるには、2次のAAFを使用すればよいということがわかります。

実際には、干渉信号やノイズは周波数帯域内のどこにでも存在する可能性があります。存在箇所は、サンプリング周波数 f_s の付近に限定されるわけではありません。図3の f_1 のように周波数が $f_s/2$ より低い信号のエイリアスは、帯域内には現れず、ADCの性能が低下する原因にはなりません。AAFを適用した場合、信号 f_1 はある程度減衰します。ただ、ADCの出力には依然として存在しています。その存在が邪魔になる場合には、外部のデジタル・コントローラで処理しなければなりません。では、この信号を更に減衰させて、ADCの出力に全く現れないようにすることは可能なのでしょうか。1つの方法としては、周波数 f_{IN} を超える遷移帯域が非常に狭いAAFを適用するというものが考えられます。しかし、そうするとAAFの設計が更に複雑になります。現実的なソリューションは、 $\Sigma\Delta$ 変調器のループにオンチップのデジタル・フィルタを付加するというものになります。

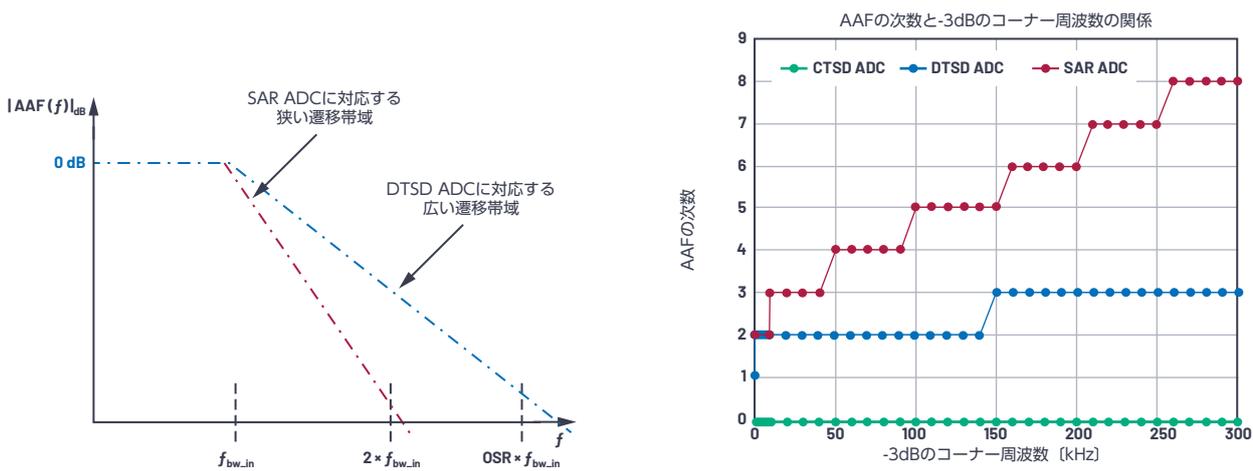


図4. AAFに求められる要件。左の図はADCのアーキテクチャとAAFの遷移帯域の関係、右の図はAAFの次数と信号帯域の関係を表しています。

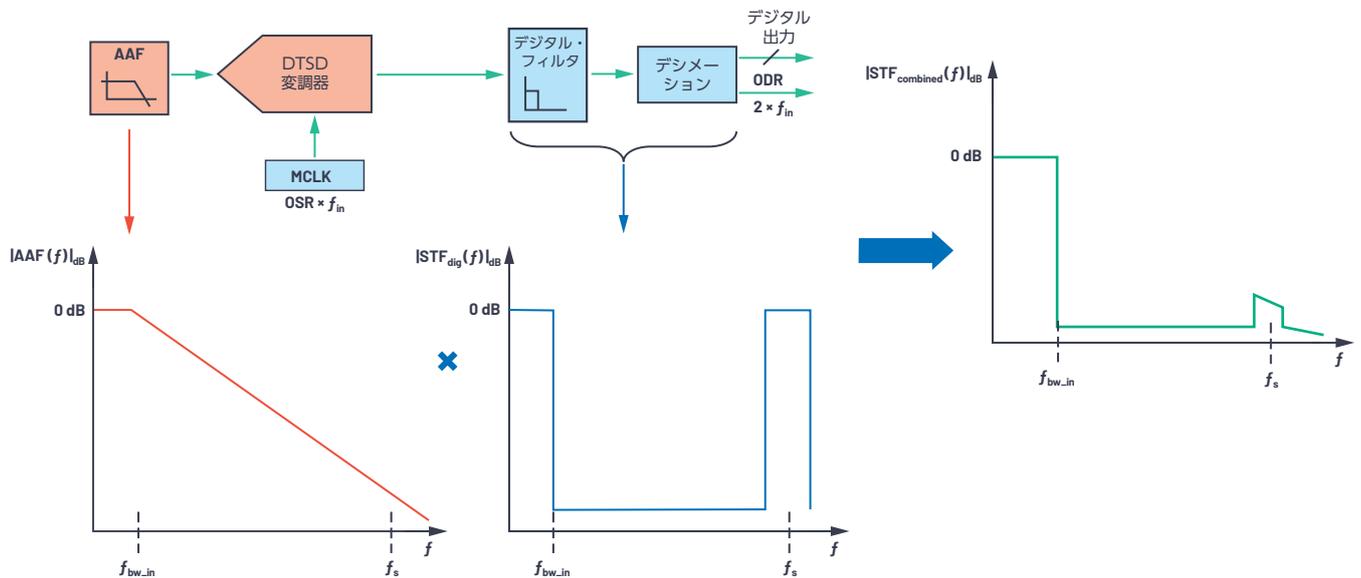


図5. DTSD ADCの構成図。フロント・エンドにはAAF、バック・エンドにはデジタル・フィルタが配置されます。

ΣΔ変調器に付加するデジタル・フィルタ

ΣΔ ADCでは、オーバーサンプリングとノイズ・シェーピングを利用します。その結果、変調器の出力には多くの冗長な情報が含まれることになります。それらをそのまま出力した場合、外部のデジタル・コントローラによって大量の処理を行わなければなりません。このような状況を回避するにはどうすればよいでしょうか。その方法は、変調器から出力されるデータに対して平均化とフィルタリングの処理を適用し、出力データ・レート（ODR：Output Data Rate）を下げるというものになります。すなわち、デジタル・フィルタ（デシメーション・フィルタ）によって、サンプリング・レートを f_s から実際に必要なODR（例えば、 f_{IN} の最大値の2倍）まで低下させるということです。デジタル・フィルタを用いたサンプリング・レートの変換については、第4章以降の記事で説明します。重要なのは、一般的なDTSD変調器はオンチップのデジタル・フィルタと共に使用されるということです。図5に、DTSD ADCの構成と周波数応答の概要を示しました。変調器のフロント・エンドにはAAF、バック・エンドにはデジタル・フィルタが配置されています。図5のグラフは、各回路ブロックの伝達関数（TF：Transfer Function）が結合された結果、干渉信号を含む信号の応答がどのようになるのかを表しています。

結論として、DTSD ADC用のAAFは必要な減衰量に基づいて設計します。減衰の対象になるのは、エイリアシングの問題の原因となる f_s 付近の信号です。 f_1 のようなエイリアシングの問題の原因にはならない信号は、オンチップのデジタル・フィルタによって完全に減衰させます。

フロント・エンドのAAF、バック・エンドのデジタル・フィルタ

SAR ADCでは、AAFの遷移帯域を狭くする必要があります。一方、ΣΔ ADCでは、デジタル・フィルタの遷移帯域を狭くしなければなりません。ただ、デジタル・フィルタは、消費電力を抑えつつ、ADCのチップ上に容易に集積することができます。また、デジタル・フィルタの次数、帯域幅、遷移帯域を設定するのは、アナログ・フィルタに比べてはるかに容易です。

オーバーサンプリングは、1つのメリットをもたらします。それは、遷移帯域の広いアナログ・フィルタと遷移帯域の狭いデジタル・フィルタを組み合わせて使用できるというものです。その結果、消費電力、実装スペース、干渉に対する耐性の面で優れた最適なソリューションを実現することが可能になります。

先述した理由から、DTSD ADCを採用すればAAFに対する要件が緩和されます。しかし、シグナル・チェーンの性能が低下するのを防ぐためには、サンプリングを実行するたびにセトリング時間の要件を確実に満たせるようにしなければなりません。その結果、設計が複雑になります。シグナル・チェーンの設計者にとって、AAFを微調整し、エイリアスの除去と出力時のセトリングの要件のバランスをとるのは容易ではありません。

高い精度を実現する新たなCTSD ADCを採用すれば、フロント・エンドにAAFを配置しなくても済みます。AAFの設計が不要になることから、シグナル・チェーンの設計を大幅に簡素化することができます。

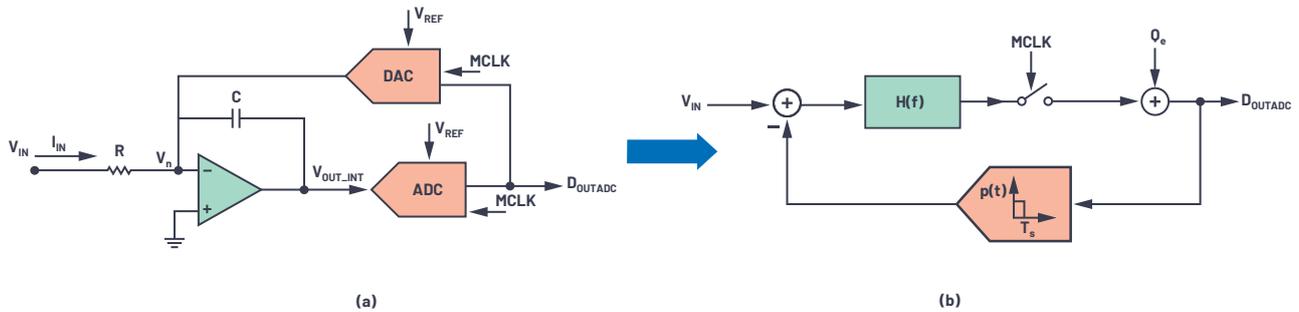


図6. CTSD変調器のブロック図 (a)。
 (b) は、数学的な解析を行うための簡略化したブロック図です。

エイリアス除去の能力を備える CTSD ADC

このミニ・チュートリアル第2章では、クローズドループの反転アンプから話を始めてCTSD変調器の概要を説明しました。図6 (a) に示すように、抵抗性入力の反転アンプをベースとすることで、1次のCTSD変調器の原理を説明できることをご理解いただけたはずですが、CTSD変調器は、DTSD変調器と同じくオーバーサンプリングとノイズ・シェーピングを利用して所望の性能を達成します。スイッチド・キャパシタ入力を備えるDTSD変調器とは異なり、CTSD変調器は抵抗性の入力を備えています。CTSD変調器は、連続時間型の積分器、その出力のサンプリング／デジタル化を行う量子化器、入力への帰還を実現するDACで構成されます。量子化器で生じるノイズは、積分器の伝達関数によってシェーピングされます。

ここでは、第2章で示した理論を更に発展させます。CTSD変調器については、数学的モデルを使うことで以下のように説明することができます。

- ▶ 積分器の伝達関数を $H(f)$ として一般化します。これはループ・フィルタとして機能します。1 次積分器の場合、 $H(f) = 1/2\pi RC$ となります。

- ▶ ADC で行われる主な処理はサンプリングと量子化です。そこで、解析のために簡略化した ADC のモデルにはサンプラを導入し、その後段に量子化ノイズ源を追加します。
- ▶ DAC は、クロックのサイクルで入力される各値に定数を乗算するブロックだと言えます。このブロックは、サンプリング・クロックに対応する期間は値が一定で、その他の時間には 0 になるインパルス応答を生成します。

図7 (a) は、上記の簡略化したモデルを組み合わせて構成したブロック図です。この図は、 $\Sigma\Delta$ 変調器の性能の解析に広く使用されています。入力から出力への伝達関数は信号伝達関数 (STF: Signal TF) と呼ばれます。また、出力に付加される Q_e はノイズ伝達関数 (NTF: Noise TF) と呼ばれます。

CTSD変調器は、エイリアス・フリーという性質を備えています。これは、図6 (b) のような構成によって得られます。つまり、サンプリングは変調器の入力部で直接行われるのではなく、ループ・フィルタ $H(f)$ の後段で実行されるという説明が成り立ちます。以下では、いくつかのステップを踏みながら、CTSD変調器の全体像について説明します。具体的には、サンプラが存在しない線形モデルを使用して概念について説明した上で、サンプラを備えたループに解析を発展させます。

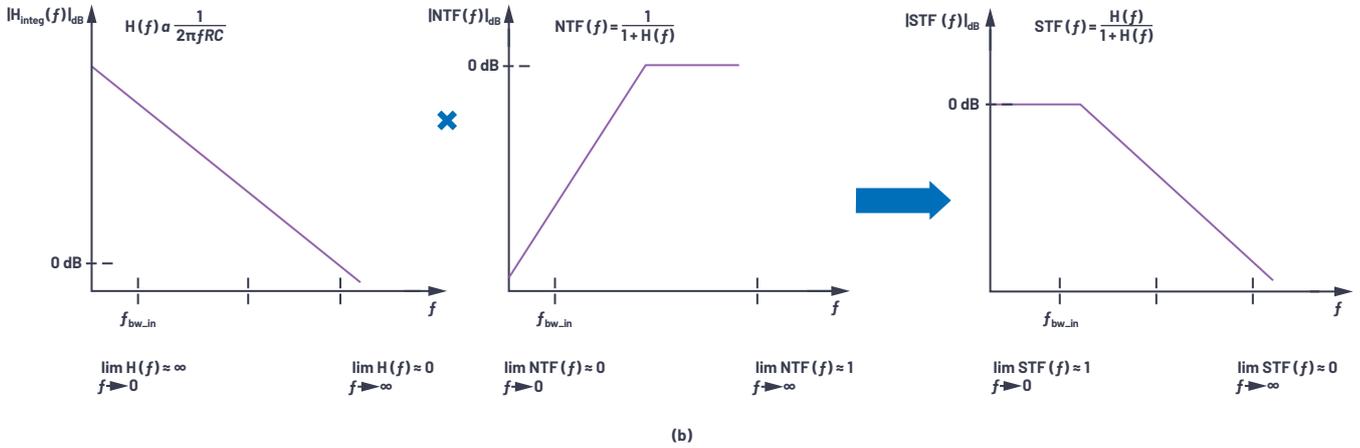
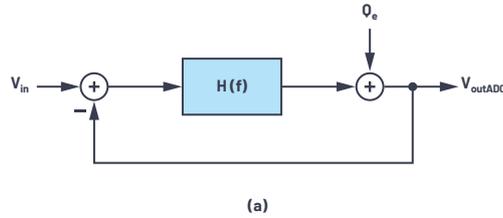


図7. 解析を簡略化するための線形モデル (a)。(b) には STF と NTF の周波数応答を示しました。

【ステップ1】線形モデルを使用して STF と NTF を解析する

まずは、解析を簡略化するためにサンプラを省略します。すると、図7 (a) のような線形モデルが得られます。このループについては、STFとNTFを導入することで以下のような式が成り立ちます。

$$\begin{aligned}
 V_{OUTADC} &= V_{IN} \times \frac{H(f)}{1+H(f)} + Q_e \times \frac{1}{1+H(f)} \\
 &= V_{IN} \times STF(f) + Q_e \times NTF(f)
 \end{aligned}
 \tag{3}$$

この式から、STFは次式のように表せます。

$$STF(f) = H(f) \times NTF(f)
 \tag{4}$$

ADCが変換の対象とするのは、周波数が低い領域です。これは、数学的には $f \rightarrow 0$ と表すことができます。一方、高い周波数領域は $f \rightarrow \infty$ と表せます。STFとNTFの振幅（単位はdB）を周波数の関数としてプロットすると、図7 (b) のようになります。

NTFの応答はハイパス・フィルタに似ています。一方、STFはローパス・フィルタに似た応答を示します。対象とする周波数帯域では振幅が平坦（0dB）になり、高い周波数領域ではAAFのTFと同等の減衰特性を示します。数学的に表現すると、信号は、ゲインが高くローパス・フィルタと似た応答を示す $H(f)$ を通過した後、NTFのループによって処理されます。ブロック図によるNTFの表現について理解したら、サンプラを備えるループに考えを発展させることができます。

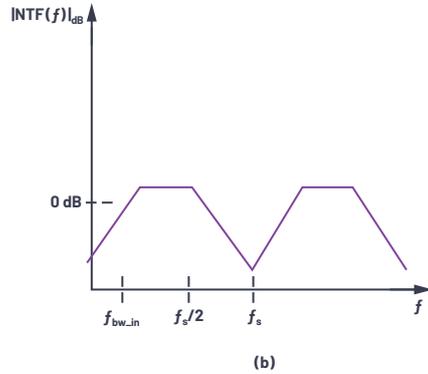
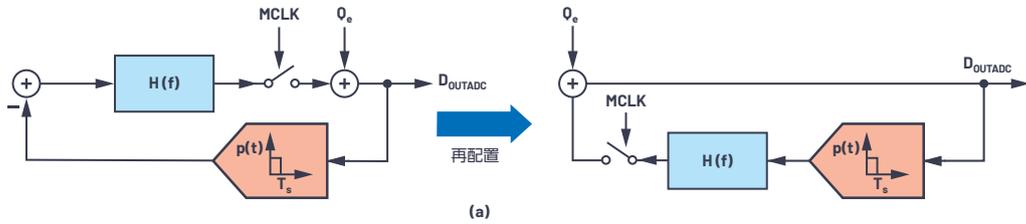


図8. CTSD変調器のブロック図 (a)。入力が0Vの場合にはこのように表現することができます。(b)はNTFの周波数応答を表しています。

【ステップ2】 ブロック図によってNTFを表現する

入力 V_{IN} を0Vに設定すると、変調器のブロック図を図8 (a)のように変更することができます。このように再配置することで、NTFの表現に使用することが可能になります。ループ中にサンプラが存在する場合、NTFの応答は線形モデルの応答と似たような形状になります。但し、図8 (b) に示すように、 f_s の倍数ごとにエイリアスが生成されます。

【ステップ3】 変調器の各ブロックを再配置し、フィルタによる処理を視覚化する

図9 (a) では、変調器のループ・フィルタ $H(f)$ とサンプラを入力側に移動させています。入力から出力までの伝達関数に変化はありません。再配置後のブロック図において、右側の部分はNTFに相当します。

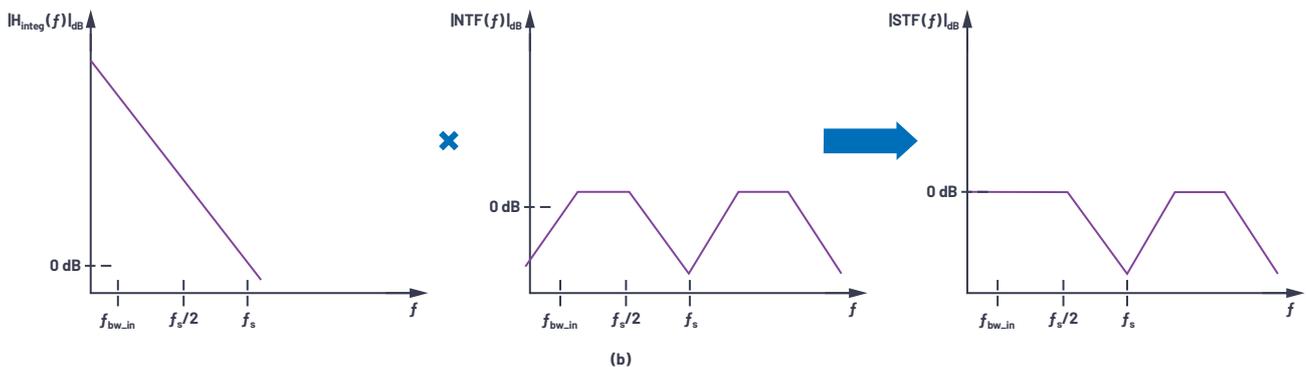
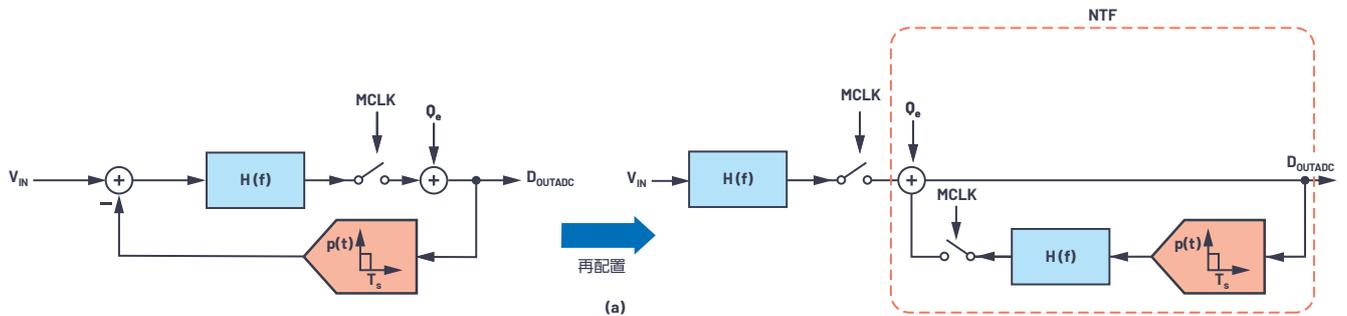


図9. 変調器の構成要素を再配置した結果。この図により、CTSD変調器が備えるエイリアス・フリーの性質を説明することができます。

ステップ1の線形モデルと同様に、サンプラを備える等価システムでは、入力信号はまずゲインの高い $H(f)$ を通過します。その後、NTFのループでサンプリングなどの処理が行われます。ループ・フィルタを通過した信号には、サンプリングの前にローパス・フィルタを適用すると同等の効果が加わります。それにより、CTSD変調器のエイリアス・フリーという性質が実現されます。CTSD変調器のSTFは、図9 (b) のような応答を示します。

【ステップ4】 デジタル・フィルタを追加して STF を完成させる

帯域外の信号による冗長な情報を排除するために、CTSD変調器はオンチップのデジタル・フィルタと共に使用されます。その結果、図10に示すようなTFが得られます。 f_s 付近からのエイリアスは、CTSD変調器に固有のエイリアス除去能力によって減衰します。また、帯域より少し周波数の高い不要な信号は、デジタル・フィルタによって除去されます。

ここで再び図4をご覧ください。この図では、SAR ADC、DTSD ADC、CTSD ADCを比較しています。それぞれのサンプリング周波数において-80dBの除去比を得るために必要なAAFの次数を確認してください。SAR ADCでは、次数の高いAAFが必要です。つまり、最も設計が複雑になります。それに対し、CTSD ADCはエイリアス除去の能力を備えているので、外付けのAAFは必要ありません。

CTSD ADCを採用した シグナル・チェーンの優位性

ソナーにおけるビームフォーミングや、振動解析のようなマルチチャンネルのアプリケーションでは、チャンネル間の位相情報が重要な意味を持ちます。そのため、20kHzで0.05°といった具合に、チャンネル間の位相を正確に一致させなければなりません。

従来のADCを使用してシグナル・チェーンを構成する場合、受動部品とオペアンプを使用してAAFを設計していました。そのAAFの帯域内では、振幅と位相にある程度のドループが生じます。このドループは、コーナー周波数の関数として表されます。チャンネル間の位相をうまく一致させるためには、すべてのチャンネルのドループを同一にしなければなりません。そうすると、各チャンネルのフィルタのコーナー周波数を細かく調整しなければなりません。16MHz（サンプリング周波数）における減衰量が-80dB、-3dBのコーナー周波数（入力帯域幅）が160kHzのAAFを、2次のバターワース・フィルタとして実装すると仮定します。その場合、RCの許容誤差が1%程度であるとしたら、位相は20kHzにおいて±0.15°ずれることになります。許容誤差がより小さい受動部品を使用するという方法も考えられますが、その選択肢は多くはありません。例えそうした部品が見つかったとしても、それを採用することによって部品のコスト（BOM）が増大してしまうはずで

一方、CTSD ADCを採用したシグナル・チェーンにはAAFは必要ありません。そのため、帯域内において、AAFに起因するチャンネル間の振幅／位相のずれは本質的に排除することができます。ICに集積されたアナログ変調器でも誤差は発生するので、位相のずれはゼロにはなりません。それでも、20kHzで±0.02°といったレベルまで抑えられます。

エイリアスの除去性能の測定、定量化

「AD4134」は、CTSDのアーキテクチャを採用した高精度のADCです。そのデータシートを見ると、エイリアスの除去性能を測定するための新たな方法についての記載があります。その方法では、同ADCに対するアナログ入力信号の周波数を掃引します。帯域外の周波数成分に対応するエイリアスが生じている場合には、その振幅を測定します。その上で、印加した信号の振幅を基準として影響の度合いを算出します。

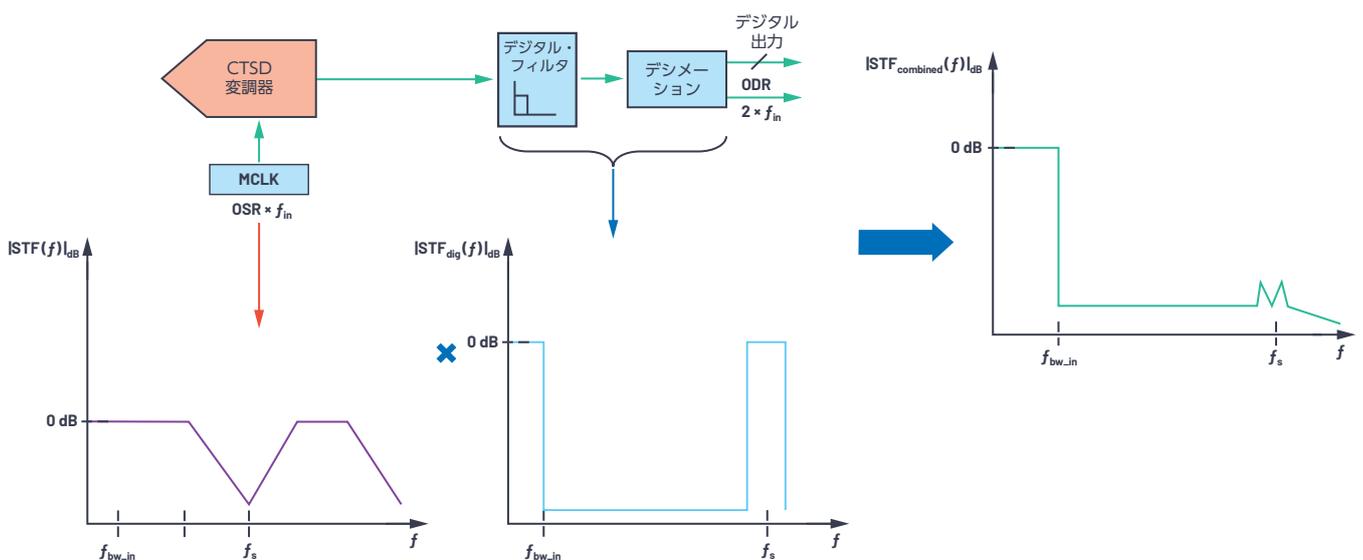


図10. バック・エンドにデジタル・フィルタを配置したCTSD ADC

図11に示したのは、AD4134のエイリアス除去性能を測定した結果です。サンプリング周波数は24MHz、信号帯域は160kHzという条件で、帯域外の信号による影響を評価しました。23.84MHz ($f_s - 160\text{kHz}$)の信号に対しては、-85dBのエイリアス除去性能が得られています。これが、同ADCのエイリアス除去性能を表す値になります。その他の周波数帯では、-100dBを超える良好なエイリアス除去性能が得られています。なお、このエイリアス除去性能を更に向上させる方法も存在します。それについては、AD4134のデータシートをご覧ください。

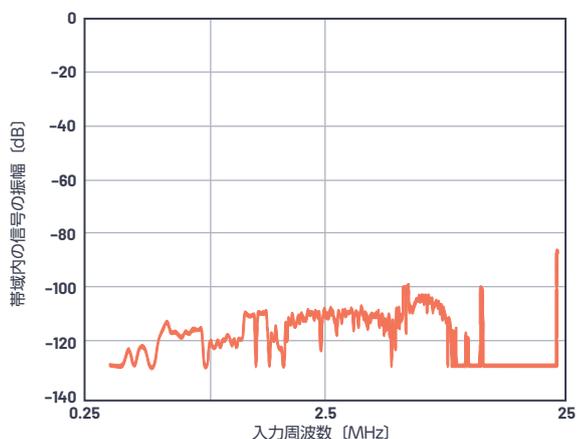


図11. エイリアスの除去性能。
帯域外の信号の影響を表しています。

今回は、CTSD ADCのエイリアス除去性能について説明しました。第1章からの解説を通して、抵抗性入力、抵抗性リファレンス入力、CTSDのアーキテクチャに固有のエイリアス除去能力について理解していただけたいでしょう。CTSD ADCを採用したシグナル・チェーンには、AAFは必要ありません。それだけでなく、CTSD ADCは入力とリファレンスを駆動しやすいという特徴も備えています。そのため、様々なアプリケーションにおいてフロント・エンド回路の設計を簡素化することができます。第4章では、そうした高精度のシグナル・チェーンの設計について詳しく解説する予定です。

第4章：駆動が容易な信号入力部とリファレンス入力部、シグナル・チェーンの簡素化が可能に

著者：Abhilasha Kawle、アナログ設計マネージャ
Roberto Maurino、設計エンジニア

このミニ・チュートリアルでは、連続時間型シグマ・デルタ (CTSD：Continuous-time Sigma-delta) 方式のA/Dコンバータ (ADC) について解説しています。第1章～第3章で説明したように、そのアーキテクチャはいくつかの長所を備えています。なかでも特に重要なのは、アナログ信号の入力部とリファレンス電圧の入力部が、駆動が容易な抵抗性の回路で実現されることです。性能の高いシグナル・チェーンを実現するためには、信号源やリファレンスICとADCの接続方法が原因で、信号/リファレンス電圧の質が劣化しないよう注意しなければなりません。従来のADCを使用する場合には、問題のない接続を実現するために、フロント・エンドと呼ばれる複雑なシグナル・コンディショニング回路を設計する必要がありました。CTSD ADCの革新的なアーキテクチャは、この接続部を大幅に簡素化することを可能にします。今回 (第4章) は、従来のADCのフロント・エンド設計についておさらいするところから始めましょう。

従来のADC向けのフロント・エンド回路

この章では、「センサー」と「入力信号」という用語を同じ意味で使用することにします。いずれも、ADCを含むシグナル・チェーンへのあらゆる電圧入力を表すということです。ADCを含むシグナル・チェーンに対する入力源は、センサーであるとは限りません。それ以外の入力源からの信号や、制御ループの帰還信号などが入力されることもあります。よく知られているように、離散時間型シグマ・デルタ (DTSD：Discrete-time Sigma-delta) 方式のADCや逐次比較型 (SAR) のADCでは、入力信号やリファレンス電圧をサンプリングするためにスイッチド・キャパシタ回路が使用されます。この回路においてスイッチがオンになると、コンデンサが入力電圧まで充電されます。スイッチがオフになったときには、コンデンサはサンプリングした値を保持する役割を果たします。この回路では、サンプリング・クロックのエッジごとに、スイッチによってコンデンサが入力に再接続されます。新たなサンプリング値までコンデンサを充放電するためには、キックバック電流と呼ばれる電流が必要になります。この電流の概要を図1 (a) に示しました。

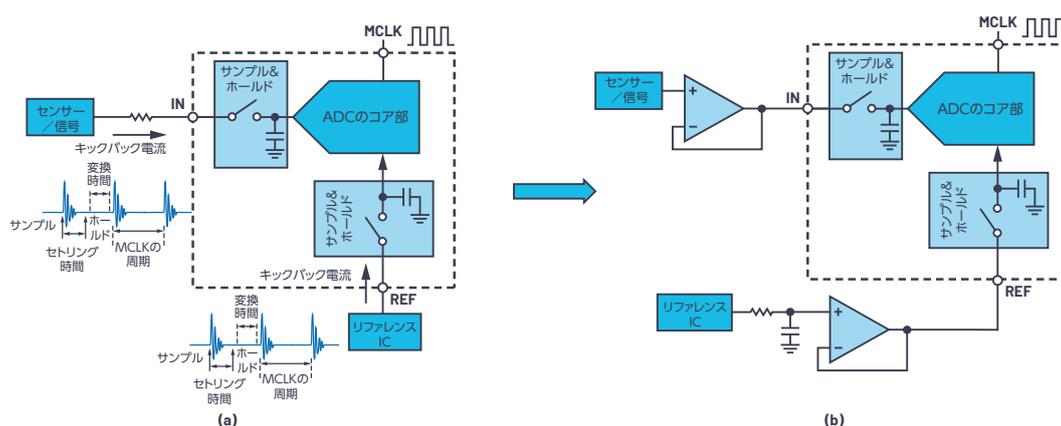


図1. ADCの信号入力部とリファレンス入力部。(a) に示すように、従来のADCでは信号入力部とリファレンス入力部にキックバック電流が発生します。このキックバック電流の影響を回避するために、(b) に示すようなドライバを適用します。

ほとんどのセンサーやリファレンスICは、これほど多くのキックバック電流をソース/シンクすることはできません。つまり、ADCにそれらを直接接続すると、入力信号やリファレンス電圧の質が劣化してしまう可能性が高くなります。そうした事態を防ぐために、多くの場合、図1 (b) のように駆動用のバッファ・アンプ (以下、ドライバ) が使用されます。それにより、センサー/リファレンスICをADCから分離するということができます。ドライバとして使用するアンプ回路は、キックバック電流をソース/シンクする能力を備えていなければなりません。つまり、必要な充放電電流に対応できるものが必要になるということです。加えて、1つのサンプリング期間内にキックバックを安定させられるだけの高いスルー・レートと広い帯域幅を備えるアンプ製品が必要になります。このような厳しい要件が存在することから、従来のADC向けに使用できるアンプ製品の選択肢は限られます。

従来のADCを使用する場合には、ドライバ以外にも周辺回路が必要になります。それは、ADCの入力部に配置するローパス・フィルタです。これは、アンチエイリアシング (折返し誤差防止) フィルタと呼ばれます。アンチエイリアシング・フィルタ (以下、AAF) は、周波数の高いノイズや干渉信号を十分に減衰させるために使用します。サンプリングに伴う折り返しイメージ (エイリアス) が信号対域内に現れることを防ぎ、変換性能が低下しないようにするということができます。ADCを含むシグナル・チェーンについては、エイリアスの除去と出力のセトリングが設計上の課題になります。これらの互いに相反する要件を満たせるように微調整を施すのは容易ではありません。

図2に示したのは、従来のDTSD ADCに適用されるフロント・エンド回路の例です。ご覧のように、ドライバとAAFが使用されています。また、センサーからの信号を受け取るデバイスとして計装アンプ (in-amp) が使われています。それにより、センサーからの信号が完全差動アンプ (FDA) で構成されたAAFに受け渡されます。そして、AAFの出力により、ADCの入力部が駆動されます。なお、計装アンプは、センサーの環境をADCの回路から分離する役割も果たしています。アプリケーションによって

は、センサーのコモンモード (CM: Common-mode) 信号が最大数十Vという非常に高い電圧になることがあります。ところが、ほとんどのFDAやADCは、このような高い入力コモンモード電圧には対応していません。それに対し、一般的な計装アンプは、広い入力コモンモード電圧に対応可能です。また、FDAやADCに適した出力コモンモード電圧を供給する機能も備えています。計装アンプにはもう1つの長所があります。それは、入力インピーダンスが高いことです。センサーは、FDAの入力抵抗を直接駆動できるだけの能力を備えているとは限りません。その場合、入力インピーダンスの高い計装アンプを使用することでFDAへの接続を実現するということができます。一方、FDAには、出力を短時間でセトリングできるだけの広い帯域幅と高いスルー・レートが求められます。この例では、FDAをベースとするAAFが信号入力用のドライバとしての役割を果たします。

入力信号/リファレンス電圧用のドライバには相反する要件が存在します。セトリング時間を短縮するためには、広い帯域幅が必要です。その一方で、ノイズと干渉をフィルタリングするためには狭い帯域幅が必要になります。図2のフロント・エンド回路を見ると、リファレンスICをドライバに接続し、負荷であるADCのリファレンス入力部を駆動しています。また、リファレンスICとドライバ用のアンプの間には、周波数の高いノイズを遮断するためのフィルタが適用されています。このフィルタの設計については後述します。リファレンスIC用のドライバとして使用するアンプには、サンプリングを実施する際のセトリング時間を短縮するために、広い帯域幅と高いスルー・レートを備えることが求められます。

このミニ・チュートリアル第1章では、高精度のCTSD ADCを採用したシグナル・チェーンは、従来のADCを採用した複雑なシグナル・チェーンと比べて68%小型化できるという例を示しました。その結果、設計が簡素化され、部品点数も大幅に削減できます。また、シグナル・チェーンの設計が簡素化されるということは、製品化までの時間を短縮できることを意味します。

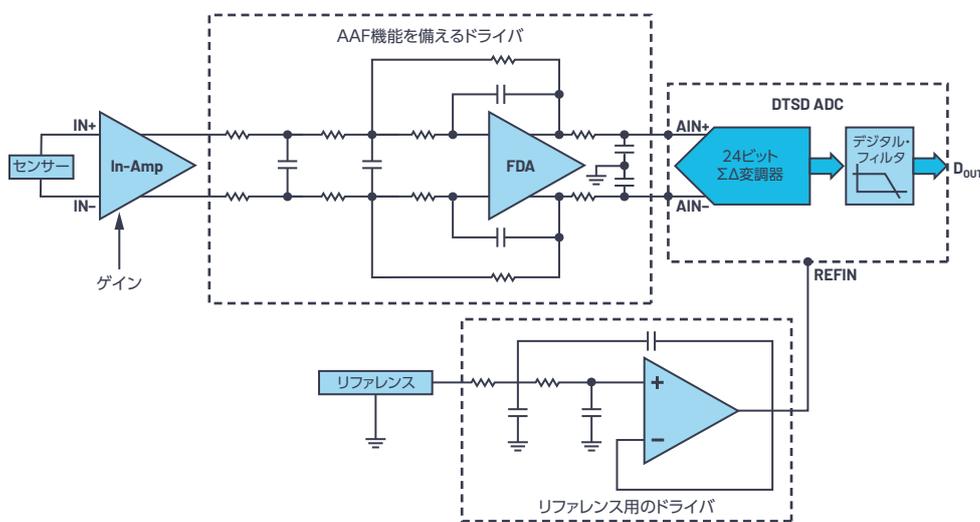


図2. DTSD ADC用のフロント・エンド回路

CTSD ADCの長所——抵抗性の信号入力部／リファレンス入力部

第2章では、シグナル・チェーンの設計者向けにCTSD ADCのアーキテクチャについて説明しました。それにあたっては、従来とは異なり、クローズドループの反転アンプから話を発展させていくというアプローチを採用しました。そのなかで説明したとおり、CTSD ADCは、信号入力部とリファレンス入力部が抵抗性の負荷として構成された $\Sigma\Delta$ ADCだと考えることができます。両入力部が単純な抵抗性負荷であることから、広い帯域幅と高いスルー・レートはドライバに求められる要件ではなくなります。また、第3章では、CTSD ADCに固有のメリットである潜在的なエイリアス除去機能について説明しました。つまり、CTSD ADCのアーキテクチャは、もともと干渉に対する耐性を備えているということです。従来のシグナル・チェーンでは、干渉を低減するためのAAFが設計上の課題になっていました。それに対し、CTSD ADCには外付けのAAFは必要ありません。CTSD ADCでは、変調器のループの伝達関数は、高い周波数の干渉成

分を減衰させるAAFの伝達関数と同様になります。入力部が抵抗性の負荷であることと、潜在的なAAF機能を備えていることから、CTSD ADCの信号入力部は図3 (a) のように簡素化されます。ご覧のように、センサーを直接接続することが可能です。また、リファレンス入力部についても、リファレンスICを直接接続することができます。なお、センサーがCTSD ADCの抵抗性負荷を駆動できるだけの能力を備えていない場合には、計装アンプを介してセンサーに接続します。その場合のフロント・エンド回路は図3 (b) のようになります。

図4に、DTSD ADCとCTSD ADCの入力部で発生するキックバックの様子を示しました。この図から、CTSD ADCのアーキテクチャがもたらす効果は明らかです。DTSD ADCでは、入力部のスイッチング動作に伴って発生するキックバック電流により、入力部の信号に顕著な不連続性が生じます。一方、CTSD ADCでは、大きなキックバック電流が生じることはなく、信号の連続性が維持されています。

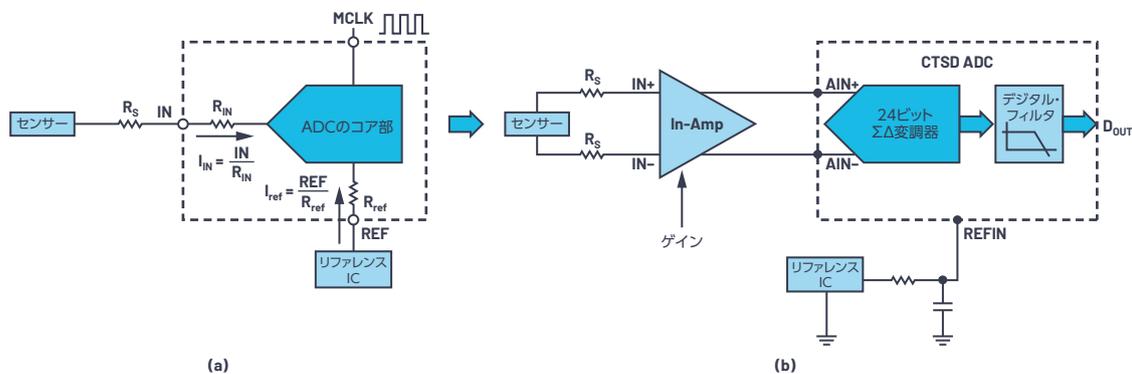


図3. CTSD ADC用のフロント・エンド回路。
(a) に示すように、CTSD ADCのアーキテクチャでは、信号入力部とリファレンス入力部が抵抗性負荷となるので、センサーやリファレンスICで直接駆動できます。
(b) では、計装アンプを介してセンサーからの信号をCTSD ADCに入力しています。

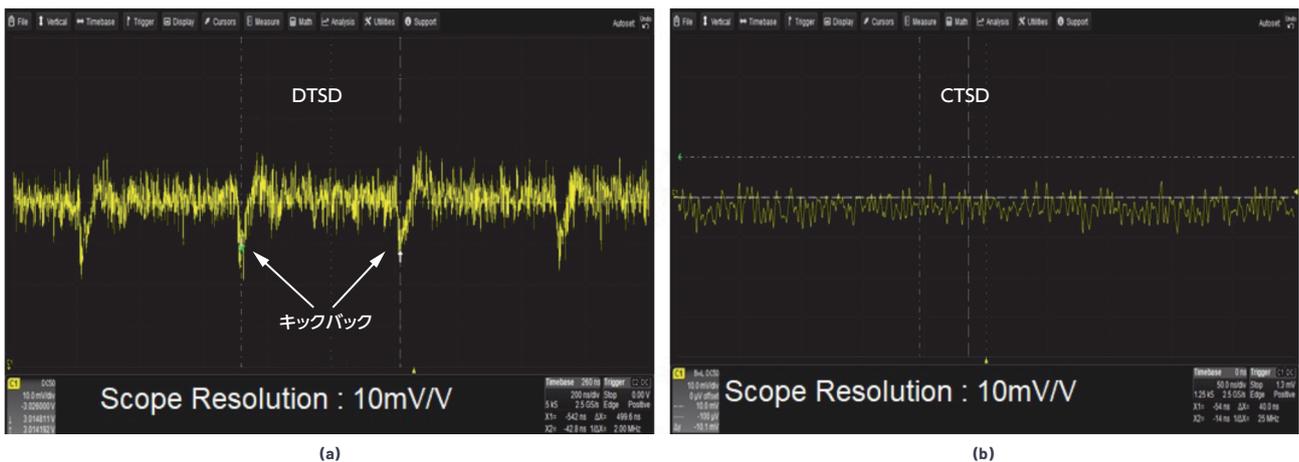


図4. 入力部の信号波形。(a) はDTSD ADC、(b) はCTSD ADCの入力部を観測した結果です。
(a) を見ると、キックバックが生じていることがわかります。

入力信号用のドライバを設計する

上述したように、CTSD ADCの信号入力部は抵抗性の負荷となります。ここでは、CTSD ADCの信号入力部について詳細に検討できるようにするために、入力インピーダンス R_{IN} の解析を行います。 R_{IN} の値は、ADCに対して規定されるノイズ性能の関数として表されます。例えば、高精度のCTSD ADC [AD4134]では、リファレンス電圧が4Vの場合のダイナミック・レンジは108dBとなります。このとき、差動入力インピーダンスは6k Ω です。これは、フルスケール (8V p-p) の差動入力信号が印加された場合に、ピーク電流が1.3mA p-pになるということの意味します。入力電流 V_{IN}/R_{IN} に対応できるだけの能力を備えたセンサーであれば、CTSD ADCに直接接続することができます。CTSD ADCの抵抗性負荷を駆動するためにドライバ (アンプ回路) が必要になるのは、次のようなケースです。

- 1) センサーがピーク電流 V_{IN}/R_{IN} に対応できるだけの駆動能力を備えていない場合
- 2) シグナル・チェーンの設計上、センサーの出力を増幅/減衰する必要がある場合
- 3) CTSD ADCの回路からセンサーの環境を分離したい場合
- 4) センサーの出力インピーダンスが高い場合
- 5) センサーが離れた位置にあり、CTSD ADCの入力部に長い配線による大きな抵抗が付加される可能性がある場合

4)と5)のケースでは、追加される抵抗成分 R_s の両端に電圧降下が生じ、ADCの入力部で信号に損失が発生します。この損失は、シグナル・チェーンにおけるゲインの誤差や、その温度ドリフトにつながります。つまり、性能の低下が生じる可能性があるということです。ゲインの温度ドリフトは、外付け抵抗と内部抵抗の温度係数が異なることに起因して発生します。この問題は、単純なドライバを適用し、追加された抵抗成分を分離することで解決できます。その場合、ドライバが駆動するのは抵抗性の負荷になります。したがって、以下のような基準に従うことで、ドライバとして使用するアンプ製品を適切に選択することができます。

- ▶ **入力インピーダンス**：信号の減衰/損失を避けるために、センサーのインピーダンスとオペアンプの入力インピーダンスをマッチングさせる必要があります。
- ▶ **出力インピーダンス**：オペアンプの出力インピーダンスは、CTSD ADCの入力部の抵抗性負荷を駆動できる値でなければなりません。

- ▶ **出力形式**：一般的な指針として、シグナル・チェーンの性能を最大限に引き出すためには**差動信号**を採用するべきです。したがって、ドライバとしても、差動出力型のアンプ製品を使用するか、シングルエンド出力から差動出力への変換を行うアンプ回路を使用するとよいでしょう。また、最高の性能を得るには、その差動信号のコモンモード電圧は $V_{REF}/2$ に設定する必要があります。
- ▶ **プログラマブルなゲイン**：一般に、入力信号はCTSD ADCのフルスケール範囲に合致するように増幅/減衰することになります。ADCのフルスケール範囲を活かすことで、シグナル・チェーンの最高の性能を引き出すことが可能になるからです。それに向けて、プログラマブル・ゲイン機能を備えるドライバを採用すると便利です。

アプリケーションに応じ、ドライバに使用するアンプとしては、計装アンプ、完全差動アンプなどを選択することができます。あるいは、シングルエンド型のオペアンプを2個組み合わせることで構成した差動出力アンプを使用することも可能です。高いスルー・レートや広い帯域幅といった厳しい要件は存在しないので、アプリケーションの要件に基づき、アナログ・デバイセズの多様な製品群の中から最適なものを選択できます。一般に、アンプの性能は抵抗性負荷を前提として規定されているので、選択作業もより容易になります。

例えば、AD4134用のドライバとしては[LTC6373]が1つの選択肢になります。同ICは、性能の面でAD4134に適合していることに加え、プログラマブル・ゲイン機能と完全差動出力を備えているからです。また、入力インピーダンスが高く、AD4134に対して適切なノイズ性能と直線性を発揮しつつ、6k Ω の差動インピーダンスを簡単に駆動することができます。広範な入力コモンモード電圧に対応すると共に、プログラマブル・ゲイン機能も備えているので、様々な信号振幅のセンサーとCTSD ADCのインターフェースとして使用できます。図5に、LTC6373でAD4134を直接駆動する場合のフロント・エンド回路を示しました。

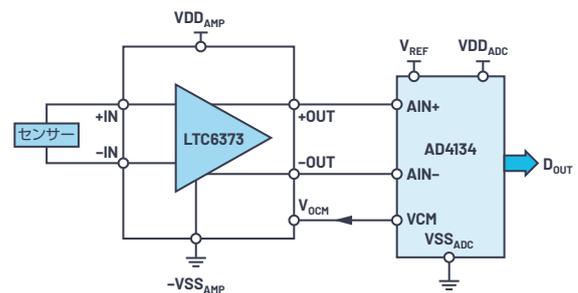


図5. 計装アンプをドライバとして使用する場合のフロント・エンド回路

図6に示したのは、完全差動ドライバ・アンプ [LTC6363-0.5/LTC6363-1/LTC6363-2] を使用して構成したフロント・エンド回路です。この場合、必要なレベルの増幅/減衰に対応できるので、フロント・エンドは低電圧で動作するシンプルな回路になります。完全差動アンプを使用すべき例としては、次のようなケースが挙げられます。センサーは完全差動アンプの抵抗性負荷を駆動できるだけの能力を備えているものの、シングルエンドの信号しか扱えない場合や、共通モード電圧がCTSD ADCに対応していない場合、シグナル・チェーンで小さなレベルの増幅/減衰を行わなければならない場合です。

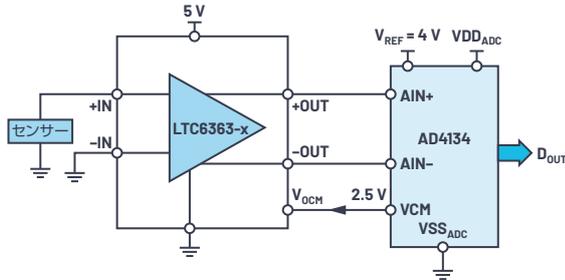


図6. 完全差動アンプをドライバとして使用する場合のフロント・エンド回路

図7に示したのは、ドライバとして、シングルエンドのオペアンプを2個使用する例です。この回路は、シングルエンドの入力信号を完全差動信号に変換する役割も担います。

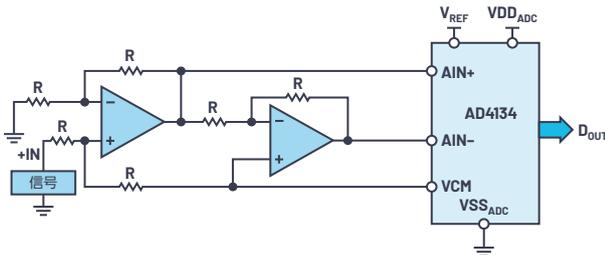


図7. ドライバとして、シングルエンドのオペアンプを2個使用する場合のフロント・エンド回路

共通モード電圧が非常に高いセンサーや、駆動能力が低いシングルエンド型のセンサーに対応するにはどうすればよいのでしょうか。そのような場合には、シングルエンドの計装アンプとシングルエンドのオペアンプを組み合わせることで差動出力のフロント・エンド回路を構成するとよいでしょう。それ以外にも、多様なアプリケーションに対応するための手法がいくつも考えられます。性能、実装面積、部品点数などの要件に基づいて様々なアンプ製品を組み合わせることで、アプリケーションに対して最適なフロント・エンド回路を構成します。AD4134に適合するその他のアンプ製品としては、以下のようなものがあります。

- ▶ オペアンプ：[ADA4625-2]、[ADA4610-2]、[AD8605]、[ADA4075-2]
- ▶ 完全差動アンプ：[ADA4940-2]、[LTC6363]、[ADA4945-1]
- ▶ 計装アンプ：[AD8421]

アナログ・デバイセズのアンプ・セレクション・ガイドを利用すれば、アプリケーションに最適なアンプ製品を容易に選択することができます。例えば、オーディオ分野で使われるテスト装置では、高い直線性が求められます。このようなアプリケーションにはADA4945-1がお勧めです。また、フォトダイオードからの信号を受け取る回路では、入力インピーダンスが非常に高いことが最も重要になります。そのようなアプリケーションには、ADA4610-2のようなトランスインピーダンス・アンプが適しています。

リファレンス用のドライバを設計する

上述したように、CTSD ADCを使用する場合、信号入力部のフロント・エンド回路を劇的に簡素化することができます。続いては、リファレンス入力部に適用するドライバの簡素化について検討しましょう。

理想的なADCの出力は、以下の式のように、入力信号とリファレンスによって決まります。

$$D_{OUT} = V_{IN} \times \frac{2^N}{V_{REF_ADC}} \quad (1)$$

ここで、 V_{IN} は入力電圧、 V_{REF_ADC} はリファレンス電圧、 N はビット数（分解能）、 D_{OUT} はデジタル出力の値です。

この式から、ADCの最高の性能を引き出すには、クリーンなリファレンス電圧が非常に重要であることがわかります。リファレンス電圧の誤差は、ADCを含むシグナル・チェーンの性能に影響を及ぼします。影響を受ける主要な性能指標を以下に示します。

- ▶ S/N比：S/N比に影響を与える主なノイズ源としては、入力パス、ADC自体、リファレンス電圧が挙げられます。それらのノイズ源を考慮に入れて、ADCの出力におけるトータルのノイズについて考えてみます。そうすると、リファレンス電圧に許されるノイズはADC単体の出力ノイズの1/3～1/4程度になるはずですが、通常、リファレンスICまたはリファレンス用のドライバ（バッファIC）のノイズは、ADC自体のノイズよりも大きくなります。リファレンスICやドライバのデータシートを見ると、スペクトル・ノイズ密度 $Noise_{density}$ が性能指標の1つとして規定されています。**ノイズの基本的な算出方法**に基づくと、リファレンスIC/ドライバの出力における総ノイズは、次式で与えられます。

$$[\text{リファレンスの総ノイズ}] = Noise_{density} \times \sqrt{[\text{ノイズの帯域幅}]} \quad (2)$$

Noise_{density}は、選択したリファレンスIC／ドライバに固有の値であり、制御することはできません。つまり、制御が可能な唯一のパラメータはノイズの帯域幅です。リファレンス電圧のノイズを抑えるには、リファレンスIC／ドライバのノイズの帯域幅を制限します。これは、ADCの手前に1次のRCローパス・フィルタを付加することで実現できます（図8）。1次のRCフィルタでは、ノイズの帯域幅は次式で表されます。

$$NBW = \frac{1}{2\pi RC} \times \frac{\pi}{2} = \frac{1}{4 \times RC} \quad (3)$$

フィルタの構成要素である抵抗Rには、ADCのリファレンス電流I_{ADC}が流れます。それによって電圧降下が生じ、ADCに印加される実際のリファレンス電圧の値が変化します。したがって、リファレンス電圧のノイズを低減するためにフィルタを使用する場合には、値の小さい抵抗と値の大きいコンデンサを選択することをお勧めします。

- ▶ **ゲイン誤差**：式(1)から明らかですが、 $y = mx$ といった直線の式と同じように、伝達関数の傾きはVREF_{ADC}によって決まります。この傾きはADCのゲインと呼ばれます。リファレンス電圧が変化すると、ADCのゲインも変化します。
- ▶ **直線性**：従来のDTSD ADCやSAR ADCでは、リファレンス電流とそれに伴うキックバック電流は入力信号に応じて変動します。リファレンス電圧が次のサンプリング・クロックのエッジまでに完全に安定しない場合には、リファレンス電圧に生じる誤差が入力によって変動して非直線性が生じます。数学的に表すと、VREF_{ADC}は次のようになります。

$$VREF_{ADC} = (VREF - I_{ADC} \times R) = VREF + aV_{IN} + bV_{IN}^2 + cV_{IN}^3 \quad (4)$$

式(1)を参照すると、ADCの出力D_{OUT}には、ADCの入力に基づく様々な高次の依存性があります。その依存性が高調波や積分非直線性誤差の原因になります。したがって、従来のADCを使う場合、リファレンス電圧をサンプリング期間内に安定させるために、リファレンス用のドライバに対してはスルー・レートや帯域幅に関する厳しい要件が課せられます。

S/N比と直線性について慎重に分析すると、リファレンスICとドライバが満たすべき要件は、全く相反していることがわかります。つまり、ノイズを抑えるためには狭い帯域幅が必要になり、セトリング時間を短縮するためには広い帯域幅が必要になります。これらの要件のバランスを微調整するのは、シグナル・チェーンの設計における長年の課題になっていました。DTSD ADCやSAR ADCの最新製品の中には、シグナル・チェーンの設計を一段階容易にするためにリファレンス用のドライバを内蔵しているものがあります。しかし、そうしたソリューションでは、消費電力が増えたり、ある程度性能が低下したりすることを覚悟しなければなりません。それに対し、CTSD ADCは入力部が抵抗性負荷で構成されているので、高速なセトリングを実現するドライバは必要ありません。そのため、従来からの課題を解消することができます。

CTSD ADCでは、以下に示す特性と設計上の工夫によって、リファレンス用のドライバが抱えていた課題に対処します。

- ▶ リファレンス入力部が抵抗性の負荷であるため、サンプリング・クロックのエッジごとに生じるセトリングについての要件が存在しません。そのため、リファレンス用のドライバを使うことなく、リファレンスICで直接駆動することができます。
- ▶ アナログ・デバイセズのCTSD ADCでは、特許を取得済みの設計技術により、入力信号に対するリファレンス電流I_{ADC}の依存性を排除しています。そのため、リファレンス電流は実質的に一定になります。この特徴は、図8に示したようにリファレンス電圧のノイズを低減するためのRCフィルタが必要になる場合に役に立ちます。VREF_{ADC}は入力に依存することなく、抵抗による電圧降下が一定になります。アナログ・デバイセズのCTSD ADCでは、RCフィルタの抵抗の値とリファレンス・ピンで測定された電圧に応じ、システム・レベルでゲイン誤差をデジタル的に補正するという対策を導入しています。そのため、このシンプルなりファレンス用のインターフェースによって、ゲイン誤差や直線性誤差が生じることはありません。

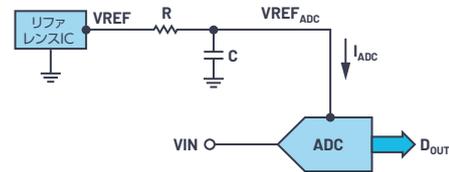


図8. リファレンス入力部に付加するRCフィルタ。
CTSD ADCのリファレンス入力部は、この受動フィルタを介し、リファレンスICによって駆動することができます。

上記のとおり、アナログ・デバイセズのCTSD ADCでは、RCフィルタの抵抗における電圧降下によって生じる誤差をデジタル的に補正します。ただ、ADCに実際に加わるリファレンス電圧VREF_{ADC}は、印加したVREFよりも低くなります。ということは、CTSD ADCのフルスケール範囲は制限されることになるのでしょうか。例えば、リファレンスICのVREFを調整して4.096Vに設定したとします。ADCのリファレンス電流I_{ADC}が6mA、RCフィルタの抵抗の値が20Ωであるとすると、式(4)から、ADCに実際に加わるリファレンス電圧VREF_{ADC}は3.976Vになります。この場合、フルスケールの差動入力として2×VREF = 8.192V p-p (2×VREF_{ADC}よりも大きい)をADCに印加すると、ADCの出力は飽和してしまうのでしょうか。その答えは「いいえ」です。アナログ・デバイセズのCTSD ADCは、REFINピンのリファレンス電圧を数mV上回る入力に対応できるように設計されています。本章で例にとったAD4134の場合、この拡張範囲に依存してRCフィルタの抵抗の値は最大25Ωに制限されず、同フィルタで使用するコンデンサCの値は、計算したノイズ帯域幅を満たすように選択します。

リファレンス用のドライバを更に簡素化する

上述したように、CTSD ADCではリファレンス用のドライバを大幅に簡素化することができます。また、RCフィルタに使用する抵抗では電圧降下が発生しますが、アナログ・デバイセズのCTSD ADCでは、それによって生じるゲイン誤差をデジタル的に補正することが可能になっています。ただ、この補正（キャリブレーション）については考慮すべきことがあります。デジタル的なゲイン誤差の補正は、多くのADCが備える共通の機能です。それを利用すれば、ADCのデジタル出力においてシグナル・チェーンの誤差を補正することが可能になり、設計上の自由度が得られます。多くのシグナル・チェーンでは、設計ステップを追加することなく、アルゴリズムを再利用することが可能です。抵抗値の選択は特に複雑な作業ではありませんが、1つ注意すべきことがあります。というのは、電圧降下の温度依存性に気を配らなければならないのです。外付けRCフィルタの抵抗と I_{ADC} の温度ドリフトには差があります。そのため、 $VREF_{ADC}$ とADCのゲインには温度ドリフトが生じます。アプリケーションによっては、ゲインのドリフトについて厳しい要件が課せられることがあります。対処方法の1つは、シグナル・チェーンに対して定期的にキャリブレーションを実施することです。しかし、この方法は決してスマートな解決策だとは言えません。CTSD ADCを採用する場合には、それよりもはるかに優れた革新的な解決策を適用できます。CTSD ADCでは、リファレンスの負荷電流は一定です。その値は、オンチップの抵抗の材料によって決まります。そこで、RCフィルタの抵抗としてオンチップの抵抗を使用することで、上記の問題に対応できます（図9）。AD4134の場合、図9の内蔵抵抗Rの値は20Ωです。

この設計では、リファレンスICをREFINピンに接続します。REFCAPピンに接続したコンデンサによりRCフィルタを形成し、リファレンスICのノイズを抑えます。オンチップの抵抗Rの値と I_{ADC} は、いずれも同じ抵抗材料によって決まります。そのため、 $VREF_{ADC}$ （REFCAPピン）には温度ドリフトは現れません。また、AD4134では、特許を取得済みのアルゴリズムによってリファレンスのキャリブレーションを実現します。それにより、オンチップの抵抗で生じる電圧降下をデジタル的にセルフ・キャリブレーションすることが可能です。このように、リファレンス入力部向けの設計としては、性能に関する要件に基づいてリファレンスICとコンデンサの値を決定するだけで済みます。

CTSD ADCと組み合わせて使用できるリファレンスICとしては、低ノイズの「ADR444」が挙げられます。AD4134のデータシートには、コンデンサの値の決定方法や、ゲインのデジタル・キャリブレーション（内部/外部）について詳細に記載されています。

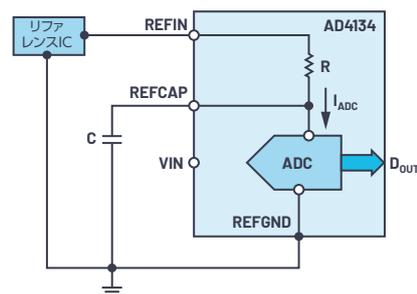


図9. CTSD ADCが内蔵する抵抗の活用。リファレンス用のRCフィルタの抵抗として使用することで、ドライバの設計が更に簡素化されます。

まとめ

CTSD ADCを採用すれば、高い性能、高い精度を達成しつつ、多くの問題を解消してフロント・エンド回路の設計を簡素化することができます。次回（第5章）は、CTSD ADCが備える変調器コアの出力を最終的なデジタル出力にフォーマットする方法について説明します。これは、外付けのデジタル・コントローラによって適切な処理を行うための重要な要素です。第3章までに説明したように、 $\Sigma \Delta$ ADCではオーバー・サンプリングが実行されるので、変調器からの出力データのレートが非常に高くなります。そのため、得られたデータは、そのまま利用するのは困難なものになります。つまり、アプリケーションで必要とされる出力データ・レート（ODR：Output Data Rate）に変換する処理を施す必要があります。そのために使用されるのが、新たな非同期サンプリング・レート変換技術（ASRC：Asynchronous Sample Rate Conversion）です。従来、シグナル・チェーンの設計においては、ODRがサンプリング・レートの倍数に制限されるということが課題になっていました。ASRCを利用すれば任意のODRを実現することが可能になり、長年の課題を解消することができます。

第5章：非同期サンプル・レート変換によるデジタル・データ・インターフェースの簡素化

著者：Abhilasha Kawle、アナログ設計マネージャ
Naiqian Ren、アプリケーション・エンジニア
Mayur Anvekar、デジタル設計マネージャ

このミニ・チュートリアルでは、連続時間型シグマ・デルタ (CTSD : Continuous-time Sigma-delta) 方式のA/Dコンバータ (ADC) について解説しています。CTSD ADCの構成要素である変調器のアーキテクチャは、1つの大きなメリットを提供します。それは、アナログ入力側のシグナル・チェーンの設計を大幅に簡素化できるというものです。今回 (第5章) は、ADCの出力データを、アプリケーションに関連する処理を担うデジタル・ホスト (ADCと併用する外付けのデジタルIC) に伝送するためのシンプルで先進的なインターフェース技術について説明します。ADCのサンプル・レートについては、アプリケーションごとに異なる要件があります。また、どのようなアプリケーションでも、ADCから出力されるデジタル・データの伝送レートはシグナル・チェーンにおける重要なパラメータとなります。

この章で紹介するのは、ADCの出力に適用する新たなオンチップのサンプル・レート変換技術です。この技術を利用することにより、ADCの出力データ・レート (ODR : Output Data Rate) を、アプリケーションで求められる任意の値に変換することが可能になります。

ADCの役割は、アナログ入力信号をサンプリングし、デジタル形式のデータを生成/出力することです。ADCがアナログ信号をサンプリングする際の周期/周波数をサンプル・レート (サンプリング・レート) と呼びます。一方、ADCの後段では、アプリケーションに必要な処理が行われます。その処理で求められるデータ・レートは、必ずしもADCのサンプル・レートと等しいとは限りません。言い換えると、ADCのODRについては、アプリケーションごとに固有の値が求められます。ADCのサンプル・レートとODRの違いに対応するためのものが、サンプル・レート変換技術 (サンプル・レート・コンバータ) です。これを利用

すれば、ADCのもともとのサンプル・レートに対応する出力データを、アプリケーションの仕様に応じたODRのデータに変換することができます。

本章では、まず様々なアプリケーションにおけるサンプル・レートの要件について説明します。それを通して、広範なODRに対応可能なADCの必要性を明らかにします。続いて、ADCで使われている既知のアーキテクチャを例にとり、従来のサンプル・レート変換技術の概要と欠点について簡単にまとめます。その上で、本章の主題である新たな非同期サンプル・レート変換 (ASRC : Asynchronous Sample Rate Conversion) 技術を紹介します。この技術を使えば、任意のADCのアーキテクチャと組み合わせ、任意のODRへの変換を実現することができます。その結果、ADCとデジタル・ホストの間のインターフェースの設計を簡素化することが可能になります。特に、CTSD ADCと非同期サンプル・レート変換技術を組み合わせれば、両者の長所を活かし、ADCのアナログ入力側だけでなく、デジタル出力側でもシグナル・チェーンの設計を簡素化することができます。

サンプル・レートに関する要件

ADCを利用するあらゆるアプリケーションでは、その変換精度が重要な意味を持ちます。変換精度は、サンプル・レートを選択する上でも重要なパラメータとして位置づけられます。ADCから出力されるデジタル・データ (サンプル) の数が増えるほど、もともとのアナログ入力信号をより正確に表現することができます。しかし、デジタル・データの数が多いということは、大量のデータを処理しなければならないということを意味します。そうすると、ADCとデジタル・ホストを接続するためのデジタル・データ・インターフェース (以下、DDI) の設計が複雑になると共に、消費電力が増加するという課題が生じることになります。

このような背景から、各アプリケーションではサンプル・レートを慎重に決定しなければなりません。その際には、必要な精度、消費電力のバジェット、設計の複雑さ、アルゴリズムによって実施する処理内容などに基づいて検討を行う必要があります。一般的に使われるサンプル・レートは、以下に列挙するように分類することができます。

ナイキスト・サンプル・レート

よく知られているサンプリング定理（ナイキスト・シャノンの標本化定理）¹によれば、アナログ入力信号をデジタル・データで正確に表現するためには、入力帯域幅の少なくとも2倍のサンプル・レートでサンプリングを実施する必要があります。多くのアプリケーションでは、この定理を満たすよう、対象とする入力帯域幅の2倍（または2倍強）にサンプル・レートが設定されています。このようなサンプル・レートをナイキスト・サンプル・レートと呼びます。その代表的な例としては、デジタル・オーディオ機器であるCDプレーヤがよく知られています。CDプレーヤで対象とするオーディオ入力帯域幅は最高20kHzです。これは、人間の可聴周波数の上限値に相当します。これに対応し、サンプル・レートとしては44.1kSPS（44.1kHz）が使われています。

オーバーサンプル・レート

周波数領域の高調波の解析や時間領域の波形の解析などを実施する必要があるアプリケーションでは、必要なサンプリング・レートは入力帯域幅の数倍に達します。そのような場合には、図1（b）のようなオーバーサンプル・レートが利用されます。この例では、衝撃を検出するために過渡的な信号を時間領域で解析しています。このような信号をサンプリングする際、図1（a）のようにナイキスト・サンプル・レートを使用すると、山や谷の全体像を把握することができません。より高い周波数でサンプリングを行い、サンプルの数を増やすことにより、信号の忠実な再現と解析が可能になります。

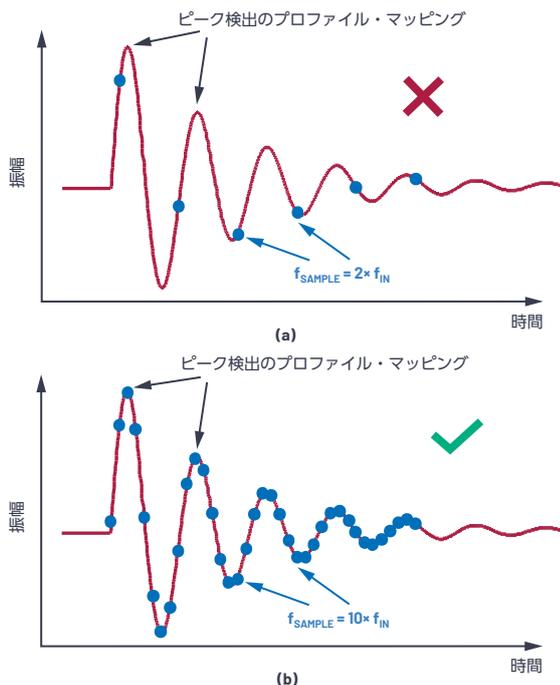


図1. 時間領域における過渡的な信号の解析。
 (a) はナイキスト・サンプル・レートを使用した場合、
 (b) はオーバーサンプル・レートを使用した場合の例です。

可変サンプル・レート

コヒーレント・サンプリングといった特定のアプリケーションでは、アナログ入力周波数に応じ、サンプル・レートを良好な分解能で調整するという処理が必要になります。そうしたアプリケーションの一例としては、電力ラインの監視が挙げられます。この種のアプリケーションでは、IEC 61000-4-30が定めるクラスAの電力品質メータ規格を満たすために、コヒーレント・サンプリングが使用されます。この規格では、精度に関する要件として、サンプル・レートは入力ラインの周波数ドリフトに追従できるようになっていなければならないと定められています。この種のアプリケーションでは、電力ライン上のクロック・シンセサイザによって、ADC用のサンプリング・クロックを生成します（図2）。

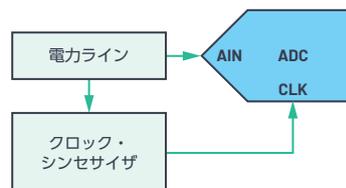


図2. 可変サンプル・レートの使用例。
 電力ラインの品質の監視に利用されています。

マルチサンプル・レート

オシロスコープやデータ・アキュイジション・システムなどは、マルチチャンネルのアプリケーションとして実現されます。この種のアプリケーションでは、広範かつ多様なアナログ入力信号の検出／解析を行わなければなりません。そのため、チャンネルごとにサンプル・レートが異なるという状況が発生します。したがって、プラットフォームで使用するADCは、マルチサンプル・レートに対応できるだけの柔軟性を備えている必要があります。

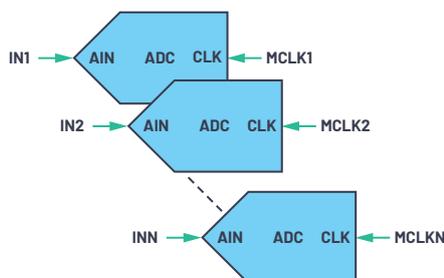


図3. マルチサンプル・レートのアプリケーション

異なる要件への対処

上述したように、ADCのサンプル・レートに関する要件は、アプリケーションごとに異なります。1つのサンプル・レートによってあらゆるケースに対応することはできません。したがって、市場で広く使われるADCを実現するには、プログラムによって多様なサンプル・レートに対応できるようにする必要があります。

図4に、ADCとデジタル・ホストを接続する一般的なDDIの例を示しました。ここで注意すべきなのは、本章で説明しているDDIには、SPI (Serial Peripheral Interface) やI²Cといったデバイスの構成制御用のインターフェースは含まれていないということです。

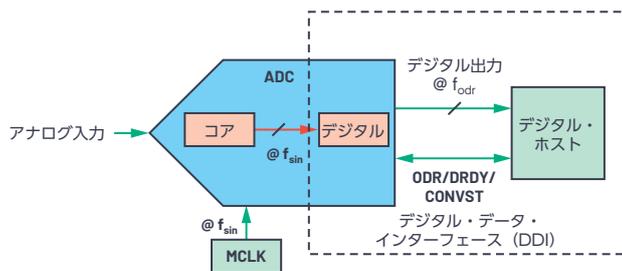


図4. ADC向けの一般的なDDI

図4に示すように、ADCのコア部（以下、ADCコア）では、周波数（レート）が f_{sin} のクロックでアナログ入力をサンプリングします。このサンプリング・クロックは、ほとんどの製品のデータシートではMCLKと表記されています。最終的なデジタル出力のデータ・レートであるODRは f_{odr} です。最も基本的なADCであれば、このODRはサンプル・レートと同じ値になります。また、多くの製品のデータシートを見ると、ODRに対応するクロック・ピンにはODR、DRDY、CONVSTといった名前が付与されています。

ADCコアのサンプル・レート f_{sin} は、ADCのアーキテクチャによって異なります。一方、ODRに相当する f_{odr} は、デジタル・ホストに対するデータ用のインターフェースであるDDIの要件によって異なります。 f_{sin} と f_{odr} については、両者の値が異なったり、両者の間に相関関係も存在しなかったりする可能性があります。そのため、レートが f_{sin} のデータをレートが f_{odr} のデータに変換するサンプル・レート変換の処理が必要になるということです。以下では、ナイキスト・サンプル・レートのADC（以下、ナイキストADC）やオーバーサンプル・レートのADC（以下、オーバーサンプルADC）といった一般的なアーキテクチャで使用されている従来のサンプル・レート変換技術について説明します。また、DDIに関する要件についても解説を加えます。

ナイキストADCにおけるサンプル・レート変換

ナイキストADCの場合、ADCコアのサンプリング周波数はアナログ入力帯域幅 f_{in} の2倍に設定されます。ナイキストADCの例としては、最も一般的なタイプの逐次比較型（SAR）ADCが挙げられます。この種の製品では、入力と出力のサンプル・レートは同じ値です。そのため、ODR用のクロックは、ADCコアのサンプル・クロックMCLKとしても使用することができます。一般に、SAR ADCのデータシートでは、デジタル・データの出力に使用するクロック・ピンにはCONVSTまたはDRDYという名前が付与されています。ただ、本章ではこのピンをODRピンと呼ぶことにします。図5に示すように、ODRピンとMCLKピンを結合すれば、クロック用の配線が1本だけのシンプルなインターフェースを構成できます。このクロックは、外付けのクロック源またはデジタル・ホストから供給/制御されます。つまり、ADCはホステッド・モードで動作することになります。

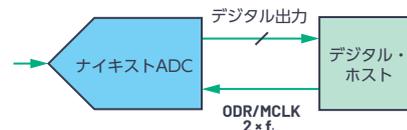


図5. ナイキストADCのシンプルなDDI。
このADCはホステッド・モードで動作します。

アプリケーションの要件とアナログ入力帯域幅に応じて、ODRである f_{odr} をスケールするのは難しいことではありません。その場合、 f_{odr} のスケールに伴い、ADCコアのサンプル・レート f_{sin} もスケールすることになります。また、ADC全体の消費電力もそれに比例してスケールされます。図5に示したようなシンプルなDDIを使えることから、他にも多くのメリットが生じます。1つは、マルチチャンネルのアプリケーションにおいて容易に同期を確立できるというものです。

同期の確立が容易

シングルチャンネルのADCアプリケーションの場合、デジタル・データはADCに供給されるローカル・クロックに対して同期がとれている状態になります。それに対し、マルチチャンネルのADCアプリケーションには、同期に関する2つの課題が伴います。1つは、複数のアナログ入力に対し、確実に同期サンプリングが行えるようにしなければならないというものです。もう1つは、後続のデジタル処理のために、ODRクロックのエッジにデジタル・データを確実に同期させなければならないというものです。同期型のマルチチャンネル・アプリケーションは、ごく一般的に使用されています。代表的な例としては、左右のチャンネルについて同期に関する特定の要件が課せられるオーディオ・アプリケーションが挙げられます。

もう1つの典型的な例としては、電力網における電力ラインの監視アプリケーションが挙げられます。このアプリケーションの場合、各電力ラインにおいて、同期がとられた状態で電圧、電流、入力電力の測定を行わなければなりません。図6に示すように、ナイキストADCを使用する場合、ODRクロックを共有して適切に設計/配線を行うことにより、マルチチャンネルであっても簡単に同期をとることができます。適切な設計/配線とは、ODRクロックが等しい遅延時間で各ADCに伝搬し、可能な限り最良のチャンネル間同期を実現できるようにするという事です。

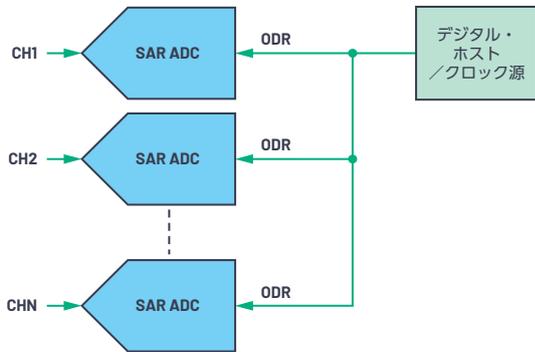


図6. 複数のナイキストADCの同期

ナイキスト・レート制御に関する制約

DDIがシングルであることは、ナイキストADCの重要な長所です。ここでは、DDIに関連するいくつかの課題について検討しましょう。

ノイズのスケーリング

ナイキストADCでは、アプリケーションのアナログ入力帯域幅に応じて、ODRクロックを簡単にスケーリングすることができます。クロックのスケーリングは消費電力の面では有利ですが、折り返しと呼ばれる現象によってADCの変換結果に含まれるノイズ成分（エイリアス）が増加します。サンプリング定理によれば、ナイキスト周波数よりも高い周波数領域の信号成分は、本来変換の対象としている周波数帯にエイリアスとして現れます。ADCのアナログ入力には、信号源やアナログ入力回路からの不要な情報やノイズが含まれています。それらは、非常に高い周波数まで広がっています。ADCが、それら $f_{sin}/2$ を超える成分をサンプリングしてしまうと、本来変換の対象としている入力帯域内のノイズが増加するという結果になります。図7に示すように、サンプル・レートを下げるとエイリアスの量が増加し、ADCの出力により多くのノイズが含まれる状態になります。

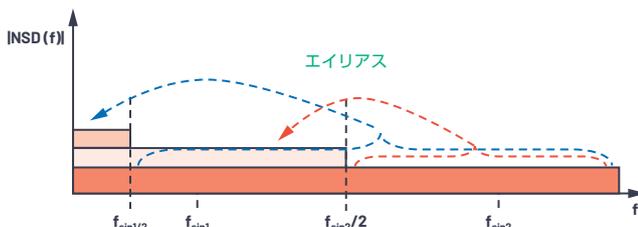


図7. エイリアスとサンプリング周波数の関係

クロックのタイミングに関する制約

SAR ADCの場合、図9 (a) に示すように、サンプリング・クロックには2つのフェーズが必要です。1つはサンプリング・フェーズです。このフェーズでは、ADCの入力部にあるサンプリング用のコンデンサがアナログ入力電圧まで充電されます。もう1つは変換フェーズです。このフェーズでは、サンプリングされた信号がデジタル化されます。ADCの性能を最大限に発揮できるようにするためには、サンプリング回路にはいくらかの最小サンプリング時間を設ける必要があります。サンプリング・クロックを生成するデジタル・ホストやクロック源は、そうしたタイミング関連の制約を満たさなければなりません。

クロック・ジッタ

アプリケーション・ボード上のクロック配線は、クロック源の電源ノイズやボード上の他の信号とのカップリングによる影響を受けます。具体的には、そうしたノイズによって、クロック・エッジの不確実性が増します。この不確実性はジッタと呼ばれています。サンプリング・クロックのジッタは、ADCの性能に影響を与える可能性があります。クロック・ジッタには様々な種類がありますが、最も一般的なものはサイクル間RMSジッタです。これにより、アナログ信号のサンプリング・ポイントが変動し、変換性能が低下します（図8）。このRMSジッタがADCの性能に与える影響については、稿末に示した参考資料2「Design Note 1013: Understanding the Effect of Clock Jitter on High Speed ADCs（高速ADCに対するクロック・ジッタの影響）」をご覧ください。

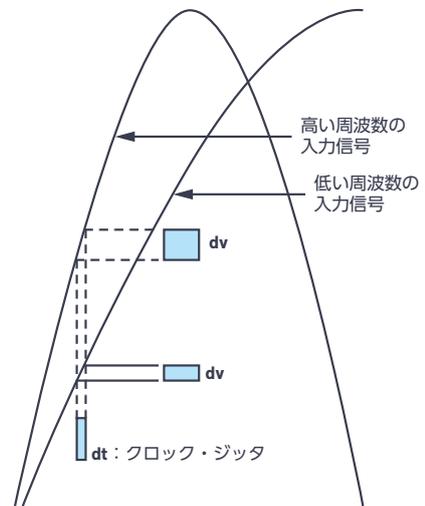


図8. クロック・ジッタの影響。
アナログ入力のサンプリング・ポイントが変動します。

クロック・ジッタによってADCの出力データに付加される誤差は、次式のようにS/N比の低下として定量化することができます。

$$SNR_j = -20 \times \log_{10}(2\pi\sigma_j f_{sin}) = -20 \times \log_{10}(2\pi\sigma_j \times 2f_{in}) \quad (1)$$

ここで、 σ_j はRMSジッタです。

上式から、必要なS/N比を得るためには、入力帯域幅を制限しなければならないということがわかります。また、デジタル・ホストやクロック源のノイズが大きい場合には、クロック・ノイズをフィルタリングするための追加の技術が必要になります。

マルチチャンネルのアプリケーションでは、クロック・ジッタはより大きな課題になります。長いクロック配線によって付加されるジッタと同期のバランスをとるためには、優れたクロック・アーキテクチャを用意しなければなりません³。そのようなケースには、ADC向けの低ノイズのクロックを確保するために、適切な絶縁技術とバッファの適用を検討するとよいでしょう。図9 (b) に示すように、絶縁はデジタル・アイソレータを使用することで実現できます。但し、設計の複雑さが増すと共に、消費電力が増加します。

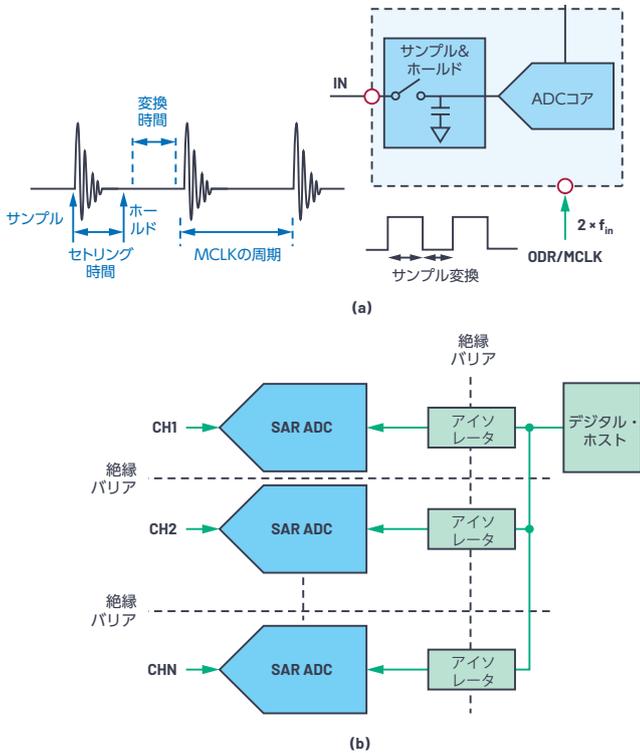


図9. ナイキストADCのDDIの課題。(a) に示すようにクロックのタイミングについての制約が存在します。(b) は、マルチチャンネル・アプリケーションに絶縁を適用する方法を示しています。

オーバーサンプルADCにおけるサンプル・レート変換

続いて、オーバーサンプルADCで使用されるサンプル・レート変換技術について説明します。ADCで連続時間信号をサンプリング/デジタル化する際には、情報の欠落が生じます。出力されるデジタル・データには、必ず量子化ノイズが含まれることになります。ADCにおいてサンプル・レートをナイキスト・レートよりもはるかに高く設定し、より多くのサンプルが得られるようにすると、本来の帯域内の量子化ノイズが低減されて精度が向上します。この技術は、オーバーサンプリングと呼ばれています。高精度のSAR ADCの中には、このオーバーサンプリング技術を採

用しているものがあります。その種の製品は、オーバーサンプリングSAR ADCと呼ばれています。図10 (a) は、オーバーサンプリングSAR ADCにおけるノイズの低減効果について説明したものです。オーバーサンプリング技術を使用する代表的なADCとしては、シグマ・デルタ ($\Sigma\Delta$) ADCが挙げられます⁴。 $\Sigma\Delta$ ADCでは、オーバーサンプリングとノイズ・シェーピングを組み合わせます。ノイズ・シェーピングによって量子化ノイズ Q_e は帯域外に追いやられ、帯域内の性能が向上します。図10 (b) は、その様子を表したものです。サンプリング周波数は、数式で表すと $OSR \times f_{odr}/2$ となります。ここで、OSRはオーバーサンプリング率です。

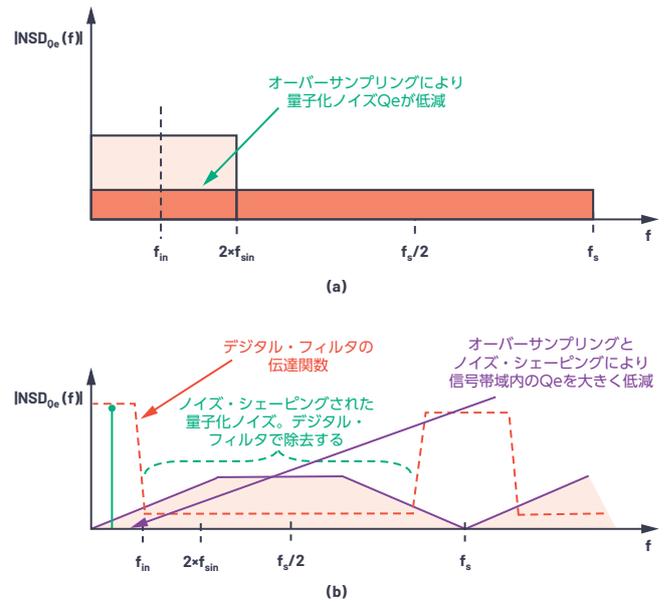


図10. オーバーサンプリングとノイズ・シェーピングの効果。(a) はオーバーサンプリングSAR DACの周波数スペクトル、(b) は $\Sigma\Delta$ ADCの周波数スペクトルを表しています。

オーバーサンプリングADCから出力されたデータをデジタル・ホストに直接伝送したとします。その場合、冗長な情報が多く、ホストを過負荷の状態に陥らせてしまうことになります。場合によっては、ホストはそのような高いデータ・レートでの伝送に伴うタイミング上の厳しい制約に対応できない可能性があります。更に、消費電力が大幅に増加してしまうかもしれません。したがって、ADCからは、要件に応じて最適化された帯域内のデータだけが供給されるようにする必要があります。つまり、アプリケーションの要件に応じ、ODRをナイキスト・レート ($2 \times f_{in}$) またはナイキスト・レートの数倍まで低下させる必要があるということです。このような処理はデシメーションと呼ばれています。デシメーションはサンプル・レート変換技術の一種であり、ADCコアから出力される高いサンプル・レート f_{sin} のデータを、レートが f_{odr} のデータに変換します。

従来から、デシメーションは代表的なサンプル・レート変換技術として使われてきました。最も基本的な手法は、図11に示すように、ADCコアから出力されるデータにフィルタを適用し、 $1/2^N$ にデシメートするというものです。ADCには、サンプリング・クロックMCLKが入力されます。必要となるODR (DRDY)のクロックはMCLKを分周したのですが、これはADCからの出力として供給されます。必要な分周比は、デシメーション率に応じてNをプログラムするという形で設定できます。プログラミングによって f_{odr} の分解能をより高くするために、アプリケーションの入力帯域幅の要件に応じてMCLKをスケールリングすることも可能です。オーバーサンプリングADCのDDIにおいて、ODRクロックはADCから供給/制御されます。つまり、ADCはホスト・モードで動作します。

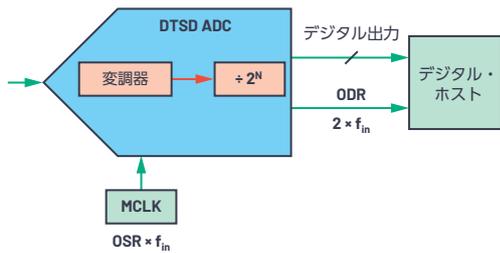


図 11. DTSD (離散時間型ΣΔ) ADCのDDI

デシメーションが抱える制約

上述したように、サンプル・レート変換技術としてデシメーションを使用すると、ODRを下げつつADCから高精度のデジタル・データを提供することができます。しかし、この手法には独自の制約があります。以下、それらについて説明します。

非線形なノイズ、消費電力のスケールリング

可変レートのアプリケーションでは、デシメーション率、MCLK、またはその両方をスケールリングすることになります。デシメーション率だけを高めると、 f_{odr} が低下し、デジタル・フィルタの動きでより多くの量子化ノイズがフィルタリングされてノイズが減少します。このとき、消費電力については、デジタル・フィルタの消費電力だけが直線的に減少します。それに対し、MCLKの周波数を下げると、ADC全体の消費電力が直線的に減少します。但し、その場合には、エイリアスによって帯域内のノイズが増加します。

多くのシステムでは、ADCのMCLKとデシメーション率の両方を調整し、広範なODRを実現します。しかし、この手法では、測定ノイズ性能やシステムの消費電力に望ましくないステップ的な変化が生じる可能性があります。

クロック・ジッタ

オーバーサンプリングADCの場合、サンプル・レート f_{sin} が高いので、式(1)で示したように、ナイキストSAR ADCと比べてクロック・ジッタの影響をはるかに受けやすくなります。そのため、MCLKのクロック源とクロック配線については、アプリケー

ションにおいて許容できるジッタ・ノイズに基づいて設計する必要があります。シングルチャンネルであってもマルチチャンネルであっても、アプリケーション・ボード上には、その全体にわたって多くのスイッチング信号が存在することになります。そうしたノイズの多い信号とMCLKが結合すると、クロック・ジッタが増加してしまうかもしれません。そのため、ADCの性能を最大限に引き出すには、デジタル・アイソレータを使用してMCLKに絶縁を施すという方法を検討する必要があります。しかし、そのような設計を採用すると、実装スペースと消費電力が増大します。プログラミングによって f_{odr} の分解能をより高めるには、MCLKもスケールリングしなければなりません。但し、必要な f_{sin} の値とジッタの要件を満たせるMCLKの発生源を、必ず使用できるとは限りません。

同期

オーバーサンプリングADCが抱えるもう1つの課題は同期です。一般に、ΣΔ ADCには、同期をとるためのものとしてSYNC_INというピンが設けられています。このピンをトリガすると、アナログ入力の同時サンプリングが開始され、デシメーション・フィルタがリセットされます。デジタル出力データは、デジタル・フィルタのセトリング時間が経過した後に同期がとられた状態になります。図12に示すように、デジタル・フィルタのセトリング中には、デジタル・データの出力は中断されます。また、すべてのADCのMCLKとSYNC_INに入力される信号については、同期がとれていることが前提になります。特にアイソレータやシンセサイザを使用している場合には、サンプル・レートが高い条件下で必要となるすべての同期を確立するのは容易ではありません。

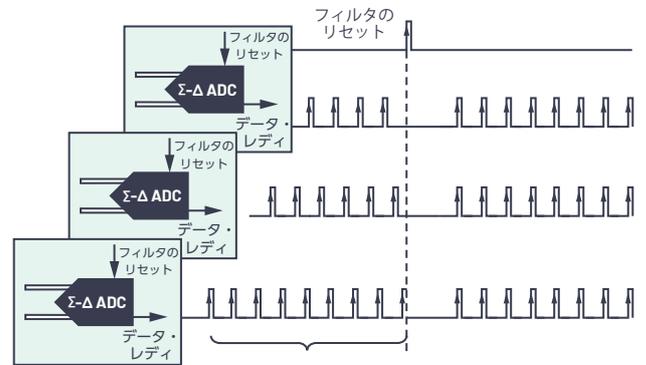


図 12. 複数のDTSD ADCにおける同期の確立。データ出力の中断を伴います。

データ出力の中断と同期の課題の解決に向けたシステム・ソリューションの1つは、すべてのチャンネル向けに、PLLなどのクロック・シンセサイザ回路によって同期をとったMCLKを生成/供給することです。この方法を採用した場合、まずSYNC_INピンがトリガされると、PLLはリファレンス・クロックに対するクロックの同期処理を開始します。PLLのセトリングが行われている最中には、セトリング時間の終了時にADCのサンプリング・エッジとODRクロックのエッジの同期が得られるようにMCLKのレートが調整されます。このソリューションの詳細については、稿末の参考資料5「ΣΔ ADCの最新アーキテクチャ、分散システムの同期確立時に生じるデータ・フローの中断を回避可能」をご覧ください。

上記のとおり、 $\Sigma \Delta$ ADCやオーバーサンプリングSAR ADCで同期をとるためには、追加の回路やPLL／クロック・シンセサイザが必要になります。SAR ADCを使用する場合と比較すると、設計が複雑になり、消費電力が増加するという点が重要です。

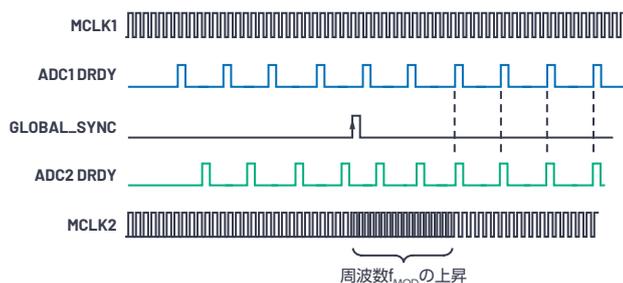


図 13. 複数のDTSD ADCの間で同期をとるためのソリューション。PLLをベースとした回路でこのような信号／動作を実現します。

同期サンプル・レート変換

上記の課題を解決するために、アナログ・デバイスは新たな手法を探求してきました。その1つが、同期サンプル・レート変換 (SRC : Synchronous Sample Rate Conversion) と呼ばれる技術です⁶。これを使えば、同期に関する課題をある程度軽減することができます。

SRCの長所は、デシメーション率を f_{sin} に対する任意の整数比または分数比に設定できることです。つまり、 f_{odr} のきめ細かい制御が可能になります。アナログ・デバイスはこの手法について探求し、高精度の離散時間型 $\Sigma \Delta$ (DTSD : Discrete-time $\Sigma \Delta$) ADC [AD7770] に適用しました。以下では、SRCの要点に絞って解説を行いますので、詳細については同ADCのデータシートや参考資料などを参照してください。

SRCの重要な特徴は、 f_{odr} を高い分解能でプログラミングできることです。これは、同期をとるのが容易になるということの意味します。例えば、外部入力MCLKを調整することなく、デシメーション率を非常に細かいステップで変化させることができます。図14に示すように、SYNC_INピンをトリガすると、チャンネル間の同期が確立されます。

先述したように、単純なデシメーション手法にはいくつかの制約が存在します。SRCを採用すればMCLKをスケールアップすることなく f_{odr} をより細かく制御できるということは、そうした制約の

ほとんどを解消可能だということを意味します。但し、SRCにも固有の制約と解決すべき課題が存在します。

SRCが抱える制約

すべてのチャンネルで同一のMCLKを使用する場合の同期の課題には、SRCでは対処することができません。

クロック・ジッタ／同期

SRCを使用する場合、MCLKのジッタについては、デシメーションによるサンプル・レート変換を行う場合と同じ制約に直面することになります。 f_{sin} が高い場合、ADCの性能はクロック・ジッタの影響を受けやすくなります。これについては、MCLKに絶縁バリアを適用したり、ノイズを除去するためのフィルタ回路を追加したりすることを検討しなければなりません。マルチチャンネルのアプリケーションではMCLKを複数のADCのチャンネルに配線するので、より問題が大きくなります。マルチチャンネルのアプリケーションで全ADCの同期をとるためには、図16 (a) に示すように、MCLKとSYNC_INピンに入力する信号の同期をとらなければなりません。これについては、プリント基板上のクロック信号線の距離や絶縁バリアで生じる遅延とは無関係に、すべてのクロックが各ADCに同時に到達するようにする必要があります。そのためには、配線や絶縁バリアを含めて、クロックに関する設計を注意深く行わなければなりません。信号経路内にアイソレータが配置されていても、すべてのADCで確実に遅延が等しくなるようにする必要があります。

インターフェース・モード

ここまで説明してきたDDIには、ホスト・モードとホステッド・モードがあります。どちらを使うことになるのかは、ADCコアのアーキテクチャに依存します。例えば、ナイキストADCの場合、デジタル・データ用のクロックは、外部のクロック源やデジタル・ホストから制御／供給されます。そのため、同ADCはプログラミングによってホステッド・モードで動作するように設定しなければなりません。一方、オーバーサンプリングADCは、デジタル・データ用のクロックをデジタル・ホストに供給／制御する役割も担います。つまり、ホスト・モードとして動作するようにプログラムする必要があります。ここまで説明してきたサンプル・レート変換技術は、いずれも一般的な制約を抱えています。それらを考慮することなくDDIを設計することはできません。

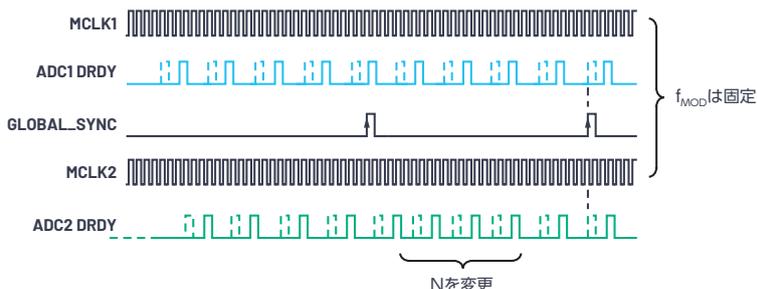


図 14. SRCによるマルチチャンネルの同期

非同期サンプル・レート変換

DDIに関するほとんどの課題に対する解決策は、MCLKに依存する領域とODRクロックに依存する領域を分離することです。その際に重要な役割を果たすのが、非同期サンプル・レート変換(ASRC: Asynchronous Sample Rate Conversion) という新たな技術です。ASRCを適用すれば、MCLKとDDIのクロックを独立させることができます。ODRクロックの選択と制御は、長年にわたりADCコアのアーキテクチャに依存する制限を受けてきました。ASRCは、その障壁を打破する技術です。

ASRCは、ADCコアから出力されるデータを f_{sin} によってデジタル領域でリサンプリングし、それを任意のODRにマッピングするというものです。これについては、任意の非整数によるデシメーションが可能なデジタル・フィルタを思い浮かべていただければ理解しやすいでしょう。性能、サイズ、消費電力の点で最適な実装は、図15に示すように、ASRCで分数デシメーションに対処し、その後に単純なデシメーション・フィルタによって整数デシメーションを実施するというものになります。ASRCでは、ADCコアからのデータをリサンプリングし、それらを $f_{sin}/N \times f_{odr}$ でデシメーションします。ASRCの出力のデータ・レートは、 f_{odr} のN倍になります。そのため、デシメーション・フィルタによって $1/N$ のデシメーションを行うということです。

ASRCの実装形態は、図15に示すように2種類存在します。図15(a)のように、1つ目の実装形態では、ADCからデジタル・ホストに対してODRクロックを供給します。シグナル・チェーンの設計者は、 $f_{sin}/N \times f_{odr}$ という係数のプログラムを行うことができます。その際には、ADCの f_{sin} 、必要な f_{odr} 、ADCに実装されたデシメーション・フィルタで使うNの値に基づいて係数を決定することになります。SRCにおけるデシメーション率のプログラミングと似ていますが、デシメーション率として無理数をとることができ、非常に細かい分解能を実現できるという点が大きく異なります。また、SRCの場合と同様に、ODRクロックはMCLKに同期しており、MCLKを分周することによってオンチップで生成/出力されることとなります。

ASRCのもう1つの実装形態は、ナイキストADCと同様に、ODRクロックを外部的クロック源やデジタル・ホストから供給するというものになります。その場合、ASRCが備えるクロック・シンセサイザが $f_{sin}/N \times f_{odr}$ の比を計算し、ASRCとデシメーション・フィルタに必要なクロックを生成します。ODRクロックは、MCLKに同期している必要はありません。また、ODRの値は任意のサンプル・レートに対し、独立した形で設定することができます。

ASRC技術を採用すれば、実装形態に関わらず、シグナル・チェーンの設計者が f_{odr} の値を細かく設定できるようになります。言い換えれば、 f_{odr} の値がサンプル・レートの整数倍または分数に制限されるという長年の課題が解消されるということです。その結果、ODRクロックのレートとタイミングに関する要件は、純粋にDDIによって決まるようになります。つまり、ADCのサンプル・

レートからは完全に切り離されるということです。上記いずれの実装形態においても、ASRCがもたらす柔軟性により、シグナル・チェーンの設計者にとってDDIの設計は容易になることがわかります。

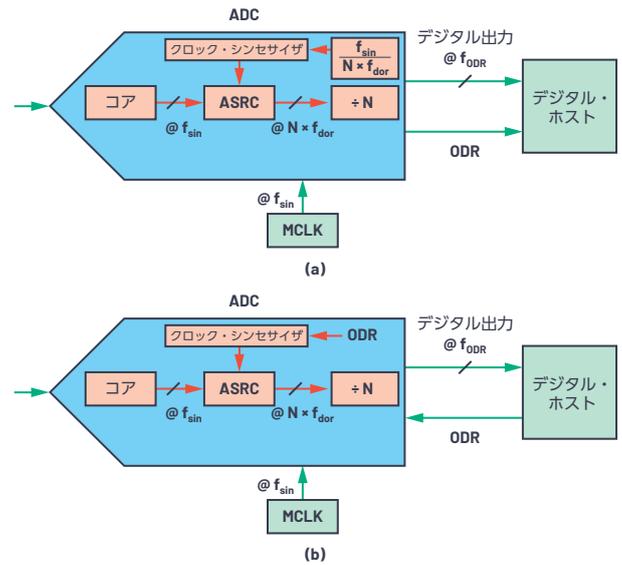


図15. ASRCの実装形態。(a)の実装では、必要な比率を設計者がプログラムします。(b)の実装では、必要な比率はチップ上で計算されます。

ASRCがもたらす価値

ここからは、ASRCがもたらすメリットについてより詳細に解説していきます。

MCLKとODRクロックの分離

ASRCを採用すれば、上記2種類のうちどちらの実装形態でも、 f_{odr} のプログラミング/スケーリングを1Hzの数分の1のレベルで調整できます。このよう細かい分解能を実現できることから、MCLKとODRクロックのレートを独立して選択することが可能になっています。サンプル・レート f_{sin} に対応するMCLKは、ADCの性能とクロック・ジッタの要件に基づいて選択できます。一方、 f_{odr} に対応するODRクロックは、DDIの要件に基づいて設定することが可能です。

クロック・ジッタ

先述したように、ナイキストADCでもオーバーサンプリングADCでも、MCLKとODRには依存関係があります。より細かい分解能で f_{odr} の値を設定するためには、MCLKをスケーリングする必要がありました。しかし、任意の値のMCLKに対し、クロック・ジッタの要件を満たせるクロック源を使用できるとは限りません。そのため、MCLKのジッタによるADCの性能の低下と、 f_{odr} で実現可能な分解能の間には、トレードオフが存在しました。ASRCを採用した場合、ODRとは無関係に f_{sin} の値を選択できます。したがって、MCLKのクロック源としては、できるだけ高いクロック・ジッタ性能が得られるものを選択することが可能です。

インターフェース・モード

ASRCでは、MCLKとODRが分離されているので、インターフェース・モードの選択に自由度が生まれます。ASRCのバック・エンドを搭載したADCは、ADCコアのアーキテクチャに関わらず、ホスト/ホステッド・ペリフェラルとして独立に構成することができます。

同期

先述したマルチチャンネルの同期技術では、MCLKの配線に関して厳しい制約がありました。絶縁バリアとクロックのアーキテクチャは、クロック・ジッタと同期の要件を満たすように設計する必要があります。ASRCを採用した場合、MCLKのクロック源は、図16 (b) に示すように、チャンネルごとに独立させることができます。ホスト・モードの動作では、デシメーション率を独立にプログラムして同期をとることが可能です。一方、ホステッド・モードでは、図16 (b) のとおりODRを共有して同期をとることができます。ODRクロックはデジタル・データのストローブ・クロックにすぎないので、ODRの値は特に高いわけではありません。そのため、MCLKと比べればジッタに関する要件は緩くなります。結果として、絶縁バリアや配線に対する要件も緩和されます。

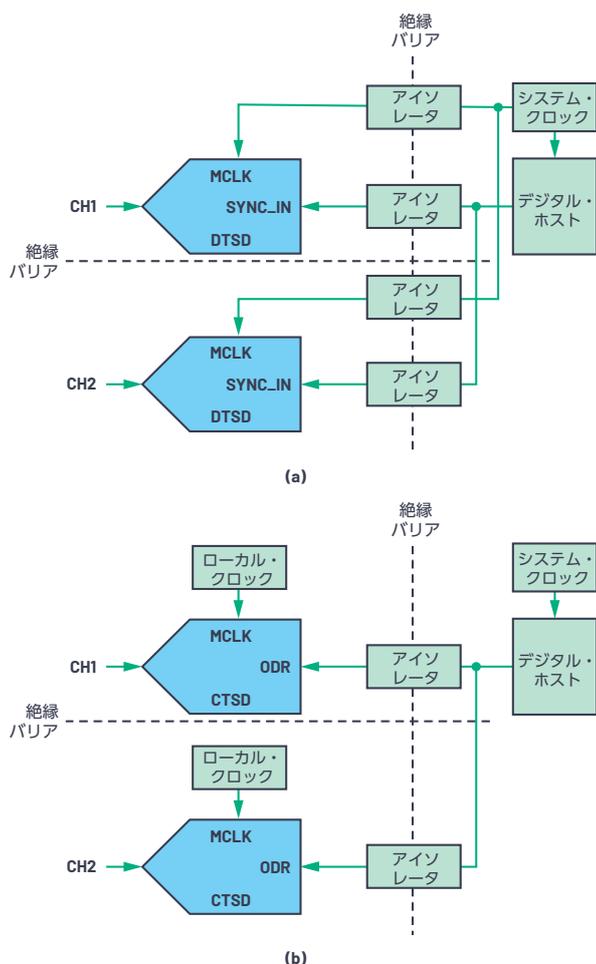


図16. クロックの分配方法。(a) は、SRCを使用した場合のクロックとSYNC_INの分配方法を表しています。一方の (b) は、ASRCを採用した場合の例です。クロックの供給と同期の両面で簡素化されていることがわかります。

ASRCとCTSD ADCの組み合わせ

ASRCを採用すれば、デジタル・ホストとのインターフェースを構築するための先進的で簡素化された方法を探求する道が開かれます。また、MCLKとODRクロックを独立させられるという特徴から、ASRCはCTSD ADCにとっての最適な選択肢となります。

DTSD ADCと同様に、CTSD ADCのコアもオーバーサンプリングとノイズ・シェーピングを組み合わせで動作します。また、CTSD ADCのアーキテクチャは、抵抗性の信号入力部/リファレンス入力部、潜在的なエイリアス除去機能といった長所を備えています。そのため、アナログ入力フロント・エンドの設計を大幅に簡素化することができます。このミニ・チュートリアル第2章で説明したように、ADCコアのループは連続時間システムであり、ループの係数はデータシートに規定されている固定のサンプル・レートに合わせて調整されています。

ただ、CTSD ADCには1つ短所があります。それは、DTSD ADCやSAR ADCとは異なり、MCLKがスケラブルではないということです。CTSD ADCをSRCと組み合わせた場合、ODRの値は固定のサンプル・レートに応じて決めなければなりません。それにより、CTSD ADCを使用できる場面が限られてしまうことになります。アプリケーションによっては、固定の f_{sin} に対するODRの比率を無理数に設定したいケースがあります。また、CTSD ADCが最適な性能を発揮するためには、MCLKの周波数精度が高くジッタが小さくなければなりません。具体的には、周波数精度が $\pm 100\text{ppm}$ 、RMSジッタが10ピコ秒といった要件が課せられます。したがって、マルチチャンネル・アプリケーションで付加されるジッタ・ノイズを確実に小さく抑えるために、MCLK向けにはクロック供給用に十分に練られたアーキテクチャが必要になります。MCLKは周波数の高いクロックなので、この課題の解決はより難しくなります。

ASRCを採用すれば、MCLKとODRを分離することができます。そのため、CTSD ADCのアーキテクチャが抱える課題の解消に役立ちます。MCLKのクロック源をローカルでADCの近くに配置することにより、配線が長くなったり、他の信号とカップリングしてジッタ・ノイズが増えたりするのを防ぐことができます。このように、ASRCと組み合わせることで、CTSD ADCのアーキテクチャが備える長所を活かしつつ、固定のMCLKを使用し、そのジッタは低く抑えなければならないという制約に対処することが可能になります。

まとめ

ASRCを採用すれば、ODRを細かく設定できるので、シグナル・チェーンを設計する際の制約を緩和することが可能になります。また、MCLKとODRクロックの依存関係がなくなるので、マルチチャンネルのアプリケーションにおいては、デジタル・アイソレーションに関する設計を簡素化することができます。ADCコアのアーキテクチャに依存することなく、DDIを自由に構成できるので、シグナル・チェーンの更なる簡素化につながります。本章で述べたように、従来のサンプル・レート変換と比べると、ASRCを採用することによってDDIには様々なメリットがもたら

されます。また、ASRCは、任意のADCコアのアーキテクチャと組み合わせることが可能です。特にCTSD ADCと組み合わせた場合には、アナログ入力側とデジタル出力側の両方のシグナル・チェーンの設計が簡素化されます。本章では、ASRCの必要性ともたらされる価値について説明しました。今後、別の記事において、ASRCの概念をより深く掘り下げ、そのビルディング・ブロックについてより詳しく説明する予定です。それらの情報は、シグナル・チェーンを設計する際、ASRCに関連する性能指標について理解し、その長所をアプリケーションで活かすために役立つはずで

参考資料：第1章

Application Note [AN-282: Fundamentals of Sampled Data Systems (アプリケーション・ノートAN-282: サンプル・データ・システムの基本)], Analog Devices

Driving Precision Converters: Selecting Voltage References and Amplifiers (高精度コンバータを駆動する: 電圧リファレンスとアンプの選択), Analog Devices

Walt Kester [MT-021 Tutorial: ADC Architectures II: Successive Approximation ADCs (MT-021 チュートリアル: ADCのアーキテクチャII: 逐次比較型ADC)] Analog Devices, 2009年

シグマ・デルタADCチュートリアル, Analog Devices

Wasim Shaikh, Srikanth Nittala [連続時間型の $\Sigma\Delta$ ADCにより、データ・アキュジション用のシグナル・チェーンを簡素化] Analog Dialogue, Vol. 54, No. 3, 2020年8月

参考資料：第2章

¹ Hank Zumbahlen [Mini Tutorial MT-213: Inverting Amplifier (ミニ・チュートリアル MT-213: 反転アンプ)] Analog Devices, 2013年2月

² Walt Kester [MT-014 Tutorial: Basic DAC Architectures I: String DACs and Thermometer (Fully Decoded) DACs (MT-014 チュートリアル: DACの基本的なアーキテクチャI: スtring DACとサーモメータ (フル・デコード) DAC)] Analog Devices, 2009年

³ Luis Orozco [分光システムのダイナミック・レンジを最大限に拡大するプログラマブル・ゲイン・トランスインピーダンス・アンプ] Analog Dialogue, Vol. 47, No. 2, 2013年5月

⁴ Walt Kester [MT-022 Tutorial: ADC Architectures III: Sigma-Delta ADC Basics (MT-022 チュートリアル: ADCのアーキテクチャIII: $\Sigma\Delta$ ADCの基礎)] Analog Devices, 2009年

⁵ Pawel Czapor [クロック・ジッタが $\Sigma\Delta$ ADCに及ぼすあらゆる影響を理解する] Analog Dialogue, Vol. 53, No. 3, 2019年4月

⁶ Shanthi Pavan, Richard Schreier, Gabor C. Temes [Understanding Delta-Sigma Data Converters, 2nd edition ($\Delta\Sigma$ 型アナログ/デジタル変換器入門 第2版)] Wiley, 2017年1月

参考資料：第3章

Antialiasing Filter Design Tool (アンチエイリアシング・フィルタ用の設計ツール)

Filter Design Tutorial (フィルタ設計のチュートリアル)

Walt Kester [「ナイキストの基準」を、現実のADCシステムの設計に活かす] Analog Devices, 2009年

参考資料：第4章

[Driving Precision Converters: Selecting Voltage References and Amplifiers. (高精度コンバータを駆動する: 電圧リファレンスとアンプの選択)] Analog Devices

Anne Mahaffey [Driving SAR ADCs Part 1: Analog Input Model (SAR ADCの駆動 Part1: アナログ入力モデル)] Analog Devices

Anshul Shah [なぜ、電圧リファレンスのノイズは問題なのか?] Analog Dialogue, Vol. 54, No. 1, 2020年3月

参考資料：第5章

¹ Walt Kester [MT-002 チュートリアル: 「ナイキストの基準」を、現実のADCシステムの設計に活かす] Analog Devices, 2009年

² Derek Redmayne, Eric Trelewicz, Alison Smith [Design Note 1013: Understanding the Effect of Clock Jitter on High Speed ADCs (高速ADCに対するクロック・ジッタの影響)] Linear Technology, 2006年

³ Pawel Czapor [クロック・ジッタが $\Sigma\Delta$ ADCに及ぼすあらゆる影響を理解する] Analog Dialogue, Vol. 53, No. 2, 2019年4月

⁴ Michael Clifford [$\Sigma-\Delta$ ADCのトポロジーに関わる基本原理: パート1] Analog Devices, 2016年1月

⁵ Lluis Beltran Gil [$\Sigma\Delta$ ADCの最新アーキテクチャ、分散システムの同期確立時に生じるデータ・フローの中断を回避可能] Analog Dialogue, Vol. 53, No. 3, 2019年9月

⁶ Anthony O'Shaughnessy, Petre Minciunescu [AN-1388 アプリケーション・ノート: AD7779 24ビット同時サンプリング・シグマ・デルタADCを使用した電力品質測定のためのコヒーレント・サンプリング] Analog Devices, 2016年2月

著者について

Abhilasha Kawle は、アナログ・デバイセズのアナログ設計マネージャです。リニア/高精度技術グループ（インドバンガロール）に所属しています。2007年にインド理科大学院（バンガロール）で電子設計/電子技術に関する修士号を取得しました。

Naiqian Ren は、アナログ・デバイセズのアプリケーション・エンジニアです。入社は2007年で、現在は高精度コンバータ技術グループ（アイルランド リムリック）に所属しています。ダブリン・シティ大学で電気工学の学士号、リムリック大学でVLSIシステムに関する修士号を取得しています。

Mayur Anvekar は、アナログ・デバイセズのデジタル設計マネージャです。リニア/高精度技術グループ（インドバンガロール）に所属しています。15年にわたり、デジタル回路の設計と検証を担当。組み込みシステムに関する修士号を取得しています。

Wasim Shaikh は、アナログ・デバイセズのアプリケーション・エンジニアです。2015年に入社しました。高精度コンバータ部門（インドバンガロール）に所属しています。2003年にプネー大学で学士号を取得しました。

Roberto Maurino は、アナログ・デバイセズの設計エンジニアです。高精度ADCグループ（イギリス ニューベリー）に所属しています。1996年にトリノ工科大学（イタリア）とグルノーブル理科大学（フランス）で工学分野の学位を取得。2005年にはインペリアル・カレッジ・ロンドンで博士号を取得しています。

Smita Choudhury は、アナログ・デバイセズの設計評価マネージャです。2012年に入社し、現在はリニア/高精度技術グループ（インドバンガロール）に所属しています。VLSIの設計と組み込みシステムに関して修士号を取得しています。

謝辞

エイリアス除去性能のテストと検証に協力してくれたシリコン評価エンジニアのSanjay Kuna、テスト開発シニア・エンジニアのRichard Escotoに感謝します。