

下記製品の資料に間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2020年7月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語の資料改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年7月29日

製品名：AD2420 (W) /6 (W) /7 (W) /8 (W) /9 (W) 車載オーディオ・バス (A2B®) トランシーバー・テクニカル・リファレンス リビジョン1.1、2019年10月 製品番号82-100138-01

対象となるデータシートのリビジョン(Rev)：リビジョン 1.1、2019年10月 製品番号82-100138-01

訂正箇所：

ページ 4-3：「アップストリーム・データの誤り検出」の項目中、英文では「SRF」というレジスタ記述が「SCF」と誤記されています。これらは「SRF」が正しい記述です。和文資料では、この部分は訂正されています。

以上

# AD2420(W)/6(W)/7(W)/8(W)/9(W) 車載オーディオ・ バス(A<sup>2</sup>B<sup>®</sup>)トランシーバー・テクニカル・リファレンス

リビジョン 1.1、2019 年 10 月

製品番号

82-100138-01



# 著作権情報

©2018 Analog Devices, Inc. All rights reserved. このドキュメントは、アナログ・デバイセズ社の書面による事前の明示の同意がない限り、いかなる形式でも複製できません。

印刷国: アメリカ合衆国

## 免責事項

アナログ・デバイセズ社は予告なく本製品を変更する権利を留保します。アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることに万全を期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社の特許の権利の使用を明示的または暗示的に許諾するものでもありません。

## 商標とサービス・マークに関する通知

アナログ・デバイセズのロゴ、A<sup>2</sup>B、Blackfin、Blackfin+、CrossCore、EngineerZone、EZ-Board、EZ-KIT、EZ-KIT Lite、EZ-Extender、SHARC、SHARC+、および VisualDSP++は、アナログ・デバイセズ社の登録商標です。

EZ-KIT Mini および SigmaStudio は、アナログ・デバイセズ社の商標です。

その他のすべてのブランド名および製品名は、それぞれの所有者の商標またはサービス・マークです。

# 目次

## はじめに

本書の目的.....	1-1
対象となる読者.....	1-1
本書の内容.....	1-1
更新情報.....	1-2
レジスタの表記上の規則.....	1-2

## A<sup>2</sup>B<sup>®</sup>の概要

A <sup>2</sup> B <sup>®</sup> の用語.....	2-2
A <sup>2</sup> B <sup>®</sup> バスの詳細.....	2-4
機能の説明.....	2-7
アーキテクチャの概念.....	2-8
I <sup>2</sup> Cインターフェース.....	2-8
トランシーバーのI <sup>2</sup> Cアクセス.....	2-10
トランシーバーのI <sup>2</sup> Cアクセス遅延.....	2-13
パルス密度変調インターフェース(PDM).....	2-14
接続されたマイクロフォンのPDMサンプリング・エッジ.....	2-15
PDMの拡張機能.....	2-16
I <sup>2</sup> S/TDMインターフェース.....	2-17
時分割多重(TDM)プロトコル.....	2-17
メールボックス.....	2-19
メールボックスのプログラミングと動作.....	2-19
メールボックスの遅延.....	2-20

## A<sup>2</sup>B<sup>®</sup>の動作と設定

I <sup>2</sup> Cポートのプログラミングの概念.....	3-1
直接I <sup>2</sup> Cレジスタ・アクセス.....	3-3

リモート・スレーブI <sup>2</sup> Cレジスタ・アクセス.....	3-3
リモート・ペリフェラルI <sup>2</sup> Cアクセス.....	3-4
システムの立ち上げと検出.....	3-4
リセットと動作ステート.....	3-4
マスタの立ち上げと動作.....	3-5
スレーブの立ち上げと動作.....	3-6
ノードの検出と初期化.....	3-8
簡単な検出フロー.....	3-8
応答サイクル.....	3-10
A <sup>2</sup> B <sup>®</sup> システムのデータ・フローの管理.....	3-15
A <sup>2</sup> B <sup>®</sup> スロット・フォーマット.....	3-16
ダウンストリーム・データ・スロット.....	3-18
アップストリーム・データ・スロット.....	3-20
A <sup>2</sup> B <sup>®</sup> の帯域幅.....	3-21
I <sup>2</sup> S/TDMポートのプログラミングの概念.....	3-22
I <sup>2</sup> S低減データ・レート.....	3-27
I <sup>2</sup> S低減レートの制限.....	3-30
I <sup>2</sup> S高速データ・レート.....	3-32
長距離GPIO.....	3-34
長距離GPIOのプログラミング例.....	3-35
マスタ・ノードのDRX1/IO6ピンからスレーブ2のADR1/IO1ピンへのマッピング.....	3-36
スレーブ1のDTX1/IO4ピンからマスタ・ノードのADR1/IO1ピンへのマッピング.....	3-36
スレーブ0~2のADR1/IO1ピンからマスタ・ノードのADR1/IO1ピンへのマッピング.....	3-36
トランシーバーの識別.....	3-37
スタンバイ・モード.....	3-37
バス・モニタのサポート.....	3-38
I <sup>2</sup> S/TDMチャンネル・フォーマット.....	3-40
起動シーケンス.....	3-42
EMC性能の最適化.....	3-44

スペクトラム拡散クロック制御 .....	3-44
プログラマブルなLVDS送信レベル .....	3-45
データ専用および電力専用のバス動作 .....	3-45
クロスオーバー・ケーブル配線とストレート・ケーブル配線 .....	3-45

## A<sup>2</sup>B<sup>®</sup> イベント制御

エラー管理 .....	4-2
ダウンストリーム・データの誤り検出 .....	4-3
アップストリーム・データの誤り検出 .....	4-3
データ・スロットの誤り訂正 .....	4-3
制御および応答エラーの処理 .....	4-4
エラー・シグナリング .....	4-4
A <sup>2</sup> B <sup>®</sup> 通信エラーとビット・エラー .....	4-4
スレーブ割込みの処理 .....	4-5
エラー管理レジスタ .....	4-7
ビット・エラー・コントロール・レジスタ .....	4-7
テストとデバッグ .....	4-8
固有ID .....	4-9

## A<sup>2</sup>B<sup>®</sup> システム・デバッグ

ライン障害診断 .....	5-1
検出中の診断 .....	5-1
ライン診断用レジスタ .....	5-3
断線障害 .....	5-3
短絡障害 .....	5-3
BPからGNDへの短絡 .....	5-4
BNからV <sub>BAT</sub> への短絡 .....	5-4
BNからGNDへの短絡 .....	5-4
BPからV <sub>BAT</sub> への短絡 .....	5-5
検出後のライン診断 .....	5-5

診断ソフトウェア・フロー .....	5-6
隠れた障害の場所の特定 .....	5-7
バス・ドロップの検出.....	5-9
I <sup>2</sup> Sループバック.....	5-10
I <sup>2</sup> S TDMテスト・モード(I <sup>2</sup> Sループバック).....	5-11

## レジスタの一覧

### AD2428のA<sup>2</sup>B<sup>®</sup>レジスタの説明

I <sup>2</sup> Cチップ・アドレス・レジスタ(スレーブのみ) .....	7-5
ノード・アドレス・レジスタ(マスタのみ) .....	7-6
ベンダIDレジスタ .....	7-7
製品IDレジスタ.....	7-8
バージョンIDレジスタ .....	7-9
ケイパビリティIDレジスタ.....	7-10
スイッチ・コントロール・レジスタ.....	7-11
ブロードキャスト・ダウンストリーム・スロット・レジスタ(スレーブのみ).....	7-13
ローカル・ダウンストリーム・スロット・レジスタ(スレーブのみ) .....	7-14
ローカル・アップストリーム・スロット・レジスタ(スレーブのみ) .....	7-15
ダウンストリーム・スロット・レジスタ.....	7-16
アップストリーム・スロット・レジスタ.....	7-17
応答サイクル・レジスタ .....	7-18
スロット・フォーマット・レジスタ(マスタのみ、自動ブロードキャスト) .....	7-19
データ・コントロール・レジスタ(マスタのみ、自動ブロードキャスト).....	7-22
コントロール・レジスタ .....	7-24
検出レジスタ(マスタのみ) .....	7-26
スイッチ・ステータス・レジスタ.....	7-27
割込みステータス・レジスタ .....	7-29
割込みソース・レジスタ(マスタのみ) .....	7-30
割込みタイプ・レジスタ(マスタのみ) .....	7-31
割込み保留中0レジスタ.....	7-33
割込み保留中1レジスタ.....	7-35

割込み保留中2レジスタ(マスタのみ) .....	7-37
割込みマスク0レジスタ .....	7-38
割込みマスク1レジスタ .....	7-39
割込みマスク2レジスタ(マスタのみ) .....	7-40
ビット・エラー・カウント・コントロール・レジスタ .....	7-41
ビット・エラー・カウント・レジスタ .....	7-43
テストモード・レジスタ .....	7-44
PRBSエラー・カウント・バイト0レジスタ .....	7-46
PRBSエラー・カウント・バイト1レジスタ .....	7-47
PRBSエラー・カウント・バイト2レジスタ .....	7-48
PRBSエラー・カウント・バイト3レジスタ .....	7-49
ノード・レジスタ .....	7-50
検出ステータス・レジスタ(マスタのみ) .....	7-51
LVDSA TXコントロール・レジスタ .....	7-52
LVDSB TXコントロール・レジスタ .....	7-53
ローカル割込みタイプ(スレーブのみ) .....	7-54
I2C設定レジスタ .....	7-55
PLLコントロール・レジスタ .....	7-56
I2Sグローバル設定レジスタ .....	7-57
I2S設定レジスタ .....	7-59
I2Sレート・レジスタ(スレーブのみ) .....	7-62
I2S送信データ・オフセット・レジスタ(マスタのみ) .....	7-64
I2S受信データ・オフセット・レジスタ(マスタのみ) .....	7-66
SYNCオフセット・レジスタ(スレーブのみ) .....	7-67
PDMコントロール・レジスタ .....	7-68
エラー管理レジスタ .....	7-70
GPIO出力データ・レジスタ .....	7-71
GPIO出力データ・セット・レジスタ .....	7-73
GPIO出力データ・クリア・レジスタ .....	7-75

GPIO出力イネーブル・レジスタ .....	7-77
GPIO入力イネーブル・レジスタ .....	7-79
GPIO入力値レジスタ .....	7-81
ピン割込みイネーブル・レジスタ .....	7-83
ピン割込み反転レジスタ .....	7-85
ピン設定レジスタ .....	7-87
I2Sテスト・レジスタ .....	7-88
割込み生成レジスタ .....	7-90
バス・エラー生成 .....	7-92
I2S低減レート・レジスタ(マスタのみ、自動ブロードキャスト) .....	7-94
I2S低減レート・コントロール・レジスタ .....	7-96
I2S低減レートSYNCオフセット・レジスタ(スレーブのみ) .....	7-97
CLKOUT1設定レジスタ .....	7-98
CLKOUT2設定レジスタ .....	7-99
バス・モニタ・モード設定レジスタ .....	7-100
持続設定レジスタ(スレーブのみ) .....	7-101
PDMコントロール2レジスタ .....	7-102
アップストリーム・データRXマスク0レジスタ(スレーブのみ) .....	7-104
アップストリーム・データRXマスク1レジスタ(スレーブのみ) .....	7-106
アップストリーム・データRXマスク2レジスタ(スレーブのみ) .....	7-108
アップストリーム・データRXマスク3レジスタ(スレーブのみ) .....	7-110
ローカル・アップストリーム・チャンネル・オフセット・レジスタ(スレーブのみ) .....	7-112
ダウンストリーム・データRXマスク0レジスタ(スレーブのみ) .....	7-113
ダウンストリーム・データRXマスク1レジスタ(スレーブのみ) .....	7-115
ダウンストリーム・データRXマスク2レジスタ(スレーブのみ) .....	7-117
ダウンストリーム・データRXマスク3レジスタ(スレーブのみ) .....	7-119
ローカル・ダウンストリーム・チャンネル・オフセット・レジスタ(スレーブのみ) .....	7-121
チップIDレジスタ0 .....	7-122
チップIDレジスタ1 .....	7-123
チップIDレジスタ2 .....	7-124

チップIDレジスタ3.....	7-125
チップIDレジスタ4.....	7-126
チップIDレジスタ5.....	7-127
長距離GPIOイネーブル・レジスタ .....	7-128
長距離GPIOマスク0レジスタ.....	7-130
長距離GPIOマスク1レジスタ.....	7-131
長距離GPIOマスク2レジスタ.....	7-132
長距離GPIOマスク3レジスタ.....	7-133
長距離GPIOマスク4レジスタ.....	7-134
長距離GPIOマスク5レジスタ.....	7-135
長距離GPIOマスク6レジスタ.....	7-136
長距離GPIOマスク7レジスタ.....	7-137
長距離GPIOデータ・レジスタ.....	7-138
長距離GPIO反転レジスタ.....	7-139
メールボックス0コントロール・レジスタ(スレーブのみ).....	7-140
メールボックス0ステータス・レジスタ(スレーブのみ).....	7-142
メールボックス0バイト0レジスタ(スレーブのみ).....	7-143
メールボックス0バイト1レジスタ(スレーブのみ).....	7-144
メールボックス0バイト2レジスタ(スレーブのみ).....	7-145
メールボックス0バイト3レジスタ(スレーブのみ).....	7-146
メールボックス1コントロール・レジスタ(スレーブのみ).....	7-147
メールボックス1ステータス・レジスタ(スレーブのみ).....	7-149
メールボックス1バイト0レジスタ(スレーブのみ).....	7-150
メールボックス1バイト1レジスタ(スレーブのみ).....	7-151
メールボックス1バイト2レジスタ(スレーブのみ).....	7-152
メールボックス1バイト3レジスタ(スレーブのみ).....	7-153

## 付録A: その他の検出フローの例

修正された検出フロー.....	8-1
最適化された検出フロー.....	8-2

高度な検出フロー .....	8-3
----------------	-----

**付録B: 応答サイクルの式**

**付録C: モジュールIDおよびモジュール設定メモリ**

設定メモリ .....	10-1
-------------	------

**付録D: 割込み処理**

マスタ実行中割込み .....	11-1
検出終了割込み .....	11-1
ライン障害割込み.....	11-2
エラー割込み.....	11-3
汎用IOピン割込み.....	11-4

# 1 はじめに

アナログ・デバイセズの車載オーディオ・バス(A<sup>2</sup>B<sup>®</sup>)トランシーバーを使用したシステムをご購入および開発していただき、ありがとうございます。

## 本書の目的

AD2420(W)/6(W)/7(W)8(W)/9(W)車載オーディオ・バス(A<sup>2</sup>B<sup>®</sup>)トランシーバー・テクニカル・リファレンスには、A<sup>2</sup>B<sup>®</sup>トランシーバーに関する情報(レジスタおよびビットの説明を含む)が記載されています。タイミング仕様、電氣的仕様、およびパッケージ仕様については、AD2420(W)/6(W)/7(W)8(W)/9(W)車載オーディオ・バス(A<sup>2</sup>B<sup>®</sup>)トランシーバー・データシートを参照してください。

## 対象となる読者

本書は、A<sup>2</sup>B<sup>®</sup>トランシーバーを使用したシステムを開発するシステム設計者およびプログラマを対象としています。

## 本書の内容

本書は以下の各章で構成されています。

- **A<sup>2</sup>B<sup>®</sup>の概要** - 基本的な説明とサポートしている機能を示します。
- **A<sup>2</sup>B<sup>®</sup>の動作と設定** - マスタ・ノードの立ち上げとスレーブ・ノードの検出について説明します。簡単なシステム検出の例を示します。
- **A<sup>2</sup>B<sup>®</sup>イベント制御** - システム割込みとその使用について説明します。
- **A<sup>2</sup>B<sup>®</sup>システム・デバッグ** - 障害の切り分けと修正のためにシステム診断を実行する方法を説明します。更に、ループバック・テスト・モードにより、マスタおよびスレーブ・ノードの I<sup>2</sup>S/TDM 接続を簡単に検証できます。
- **レジスタの一覧** - 内蔵トランシーバーのレジスタ・マップとビット定義を示します。
- **レジスタの説明** - レジスタとビットについて詳しく説明します。
- **付録 A:その他の検出フローの例**

- 付録 B: 応答サイクルの式
- 付録 C: モジュール ID およびモジュール設定メモリ
- 付録 D: 割込み処理

## 更新情報

このリビジョン(1.1)は本書の第 2 版です。文書名がテクニカル・リファレンスに変更され、新しいプロセッサ・モデルの追加が反映されています。このリビジョンでは、以下の点に変更されています。

- 各トピックの内容の更新: トランシーバーの I<sup>2</sup>C アクセス、トランシーバーのパワーオンとリセット、I<sup>2</sup>C ポートのプログラミングの概念、直接 I<sup>2</sup>C レジスタ・アクセス、リモート I<sup>2</sup>C レジスタ・アクセス、ペリフェラル I<sup>2</sup>C アクセス、マスタの立ち上げと動作、スレーブの立ち上げと動作、クロック維持機能、スレーブ・ノード応答サイクル、I<sup>2</sup>C インターフェース
- A<sup>2</sup>B<sup>®</sup>の設定の章のトピック名を変更し、再編成。その章の以前のトピックを、より包括的なトピックに統合。
- リセットと動作ステートのトピックを追加
- 図の更新: 通信システムのブロック図、トランシーバーのステート図、4 つのノードで構成される簡略化した A<sup>2</sup>B<sup>®</sup>システム
- 表の更新: I<sup>2</sup>C アクセスのバス遅延、トランシーバー遅延
- トピックの注記の更新: A<sup>2</sup>B<sup>®</sup>スロット、トランシーバーの I<sup>2</sup>C アクセス遅延、リセットと動作ステート
- レジスタ情報の変更: TESTMODE.RXDEPTH はパブリックになり、PINCFG.DRVSTR ビットの説明を変更、PDMCTL2.PDMDEST ビットとエニユメレーションの説明を変更、PINCFG.TXBLP および PINCFG.TXALP ビットをプライベートに変更。
- 付録 E: CRC の計算を削除

## レジスタの表記上の規則

レジスタのセクションおよび図は、以下の規則に従います。

- レジスタはアドレス順に記載します。
- 個々のビットのリセット値は 2 進数で示し、レジスタのリセット値は 16 進数で示します。
- 灰色で示すビットは予備です。

**注意:** 将来の実装との上位互換性を確保するため、特に指定がない限り、レジスタの予備のビットについては読み出した値を書き戻してください。

レジスタの説明の表は、以下の表記上の規則に従います。

- 各ビットまたはビット・フィールドのアクセス・タイプは、表中のビット番号の下に(読出しアクセス/書込みアクセス)の形式で示します。アクセス・タイプは以下のとおりです。
  - R = 読出し、RC = 読み出してクリア、RS = 読み出してセット、R0 = 0 の読出し、R1 = 1 の読出し、Rx = 未定義の読出し
  - W = 書込み、NW = 書込みなし、W1C = 1 を書き込んでクリア、W1S = 1 を書き込んでセット、W0C = 0 を書き込んでクリア、W0S = 0 を書き込んでセット、WS = 書き込んでセット、WC = 書き込んでクリア、W1A = 1 を書き込んで動作、XCVRA/B = トランシーバー (ポート A / ポート B)
- 多くのビットおよびビット・フィールドの説明には、ビット値とそれに関連する機能を示すエnumレーションが含まれます。(プレフィクスで)特に指定がない限り、これらのエnumレーションは 10 進数です。

## 2 A<sup>2</sup>B<sup>®</sup>の概要

車載オーディオ・バス(A<sup>2</sup>B<sup>®</sup>)は、最大距離 15m のノード間でマルチチャンネル I<sup>2</sup>S 同期 PCM データを接続します。また、I<sup>2</sup>S の同期時分割多重(TDM)機能を、複数ノードが接続されたシステムにも拡張します。システム内の各ノードが、データの消費、データの供給、またはその両方を実行できます。

A<sup>2</sup>B<sup>®</sup>トランシーバーはこれらの A<sup>2</sup>B<sup>®</sup>機能をサポートし、マルチチャンネル I<sup>2</sup>S/TDM インターフェースを介して、汎用デジタル・シグナル・プロセッサ(DSP)、フィールド・プログラマブル・ゲート・アレイ(FPGA)、特定用途向け集積回路(ASIC)、マイクロフォン、A/D コンバータ(ADC)、D/A コンバータ(DAC)、およびコーデックへ直接インターフェースします。A<sup>2</sup>B<sup>®</sup>トランシーバーは、最大 4 つの PDM デジタル・マイクロフォンを直接接続できる PDM インターフェースも備えています。A<sup>2</sup>B<sup>®</sup>バス給電(ファンタム給電)機能をイネーブルにすると、通信リンクに使用しているデジタイゼーション接続のツイスト・ペア・ワイヤ・ケーブルを介して、スレーブ・ノードに電圧と電流を供給できます。また、A<sup>2</sup>B<sup>®</sup>トランシーバーは、A<sup>2</sup>B<sup>®</sup>リンク上の I<sup>2</sup>C 通信を完全にサポートします。

A<sup>2</sup>B<sup>®</sup>トランシーバーは以下に示す機能を備えています。

- ライン・トポロジ
  - 単一マスタ、複数スレーブ
  - ノード間を 1 本の非シールド・ツイスト・ペア・ワイヤ(UTP)ケーブル・リンクで接続(ケーブル長は製品データシートに仕様規定)
- 長距離通信
  - 同期データ
    - I<sup>2</sup>S/TDM 間のマルチチャンネル・インターフェース
    - すべてのノードの同期位相整合クロック
    - 低遅延のスレーブ間通信
  - I<sup>2</sup>C 間の制御およびステータス情報
  - 長距離 GPIO
- SigmaStudio<sup>™</sup> グラフィカル開発ツールを使用して設定可能
- 車載用アプリケーション向けに認定済み

## A<sup>2</sup>B<sup>®</sup>バスの用語

- A<sup>2</sup>B<sup>®</sup>バス・マスタまたはスレーブとして設定可能
- I<sup>2</sup>C インターフェース
- 8ビット～32ビットのマルチチャンネル I<sup>2</sup>S/TDM インターフェース
  - I<sup>2</sup>S/TDM/PDM のプログラマブルなデータ・レート
  - 最大 32 のアップストリーム A<sup>2</sup>B<sup>®</sup>バス・スロットおよび最大 32 のダウンストリーム A<sup>2</sup>B<sup>®</sup>バス・スロットにマップされる、最大 32 チャンネル (1 x TDM32 または 2 x TDM16)
- 最大 4 つの高ダイナミック・レンジ・マイクロフォンをサポートする PDM 入力
- 各トランシーバーの固有 ID レジスタ
- クロスオーバー・ケーブルまたはストレート・ケーブルをサポート
- プログラマブルな設定値による EMC 性能の最適化

## A<sup>2</sup>B<sup>®</sup>の用語

A<sup>2</sup>B<sup>®</sup>システムを活用するには、以下の用語を理解しておく必要があります。

### A 側または A ポート

マスタの方を向いた (直近のアップストリーム・ノードに接続される) A<sup>2</sup>B<sup>®</sup>トランシーバー・インターフェース。

### B 側または B ポート

最後のスレーブの方を向いた (次のダウンストリーム・スレーブに接続される) A<sup>2</sup>B<sup>®</sup>トランシーバー・インターフェース。

### バス・リンク

A<sup>2</sup>B<sup>®</sup>バスは、単一のマスタ・ノードに接続される、デ이지チェーン接続の複数のスレーブ・ノードで構成されます。マスタとスレーブ 0 の間の物理的接続と、スレーブ間のすべての物理的 A<sup>2</sup>B<sup>®</sup>接続は、バス・リンクと呼ばれます。各バス・リンクには、通常は非シールド・ツイスト・ワイヤ・ペアが使用されます。

### データ・チャンネル

データ・チャンネルは、単一のセンサー／アクチュエータ (例えば、ADC、マイクロフォン、またはスピーカ) 用の同期 I<sup>2</sup>S/TDM データを伝送します。I<sup>2</sup>S/TDM インターフェースは、等しいサイズのデータ・チャンネルを使用します。データ・ワードの幅は、多くの場合、I<sup>2</sup>S/TDM データ・チャンネルの幅よりも小さいです。トランシーバーの I<sup>2</sup>S/TDM インターフェースは、16 または 32 ビットのプログラマブルなデータ・チャンネル長をサポートします。

## データ・スロット

A<sup>2</sup>B<sup>®</sup>バスにマップされる、単一のセンサー／アクチュエータ(例えば、ADC、マイクロフォン、またはスピーカ)の同期データ・ワード。

## ダウンストリーム

ラインの最後のスレーブで終端される、マスタ・ノードからスレーブ・ノードへの通信フロー。

## ホスト

マスタ・トランシーバーをプログラムするプロセッサ。ホストは、A<sup>2</sup>B<sup>®</sup>バスの同期クロックのソースでもあります。クロック信号(BCLK)は、ホストとマスタの間の I<sup>2</sup>S/TDM インターフェースの一部です。

## I<sup>2</sup>S/TDM

IC 間サウンド(I<sup>2</sup>S)バスは、PCB 上のオーディオ・チップ間でパルス符号変調(PCM)情報を伝送します。I<sup>2</sup>S/TDM インターフェースは、時分割多重(TDM)を使用して、I<sup>2</sup>S ステレオ(2チャンネル)コンテンツを複数チャンネルに拡張します。

## ローカル電源

A<sup>2</sup>B<sup>®</sup>バス電源で動作しないスレーブ・ノードは、追加のワイヤで供給されるローカル電源を使用します。

## LVDS

低電圧差動伝送。

## マスタ・ノード

(I<sup>2</sup>S 入力から得られる)クロック、ダウンストリーム・データ、ネットワーク制御、および電力の送信者。マスタ・ノードは、ホスト・プロセッサと A<sup>2</sup>B<sup>®</sup>マスタ・トランシーバーで構成されます。A<sup>2</sup>B<sup>®</sup>マスタ・トランシーバーは、ホストからのペイロードの受信とホストへのペイロードの送信を実行します。

## PDM

パルス密度変調(PDM)は、シグマ・デルタ・コンバータで使用されます。PDM フォーマットは、デシメーション前のオーバーサンプリングされた 1 ビットのシグマ・デルタ ADC 信号を表します。多くの場合、このフォーマットはデジタル・マイクロフォンの出力フォーマットとして使用されます。

## ファンタム電源

スレーブ・ノードは、A<sup>2</sup>B<sup>®</sup>バス・リンク上のバイアス電圧を単電源として利用できます。このような A<sup>2</sup>B<sup>®</sup>バスで給電されるスレーブ・ノードは、「ファンタム給電」ノードと考えられます。

## PRBS

擬似ランダム・バイナリ・シーケンス。

## プリアンブル

制御フレームまたは応答フレームの開始を通知する同期ビット。ダウンストリーム制御フレーム・プリアンブルは、スーパーフレームごとにマスタによって送信されます。スレーブ・トランシーバーは、ダウンストリーム制御プリアンブルに同期し、ローカル位相整合マスタ・クロックを生成します。

## 応答時間

スーパーフレームの開始後、最後のノードが同期応答フレーム (SRF) で応答するまでの待ち時間を示します。応答時間は、マスタおよびマスタに最も近いすべてのスレーブ内でプログラムされます。これにより、これらのノードは、伝送方向がダウンストリームからアップストリームへいつ切り替わるかを予想できます。

## スレーブ・ノード

アドレス指定可能なネットワーク接続点。スレーブ・ノードは、ダウンストリームおよびアップストリーム・データ・スロットのソースまたはデスティネーション、あるいはその両方になることができます。すべての A<sup>2</sup>B<sup>®</sup>スレーブ・ノードは、A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバーを備えています。

## 同期制御フレームおよび同期応答フレーム (SCF/SRF)

ノードに対する制御フレーム (制御ヘッダ) とノードからの応答フレーム (応答ヘッダ)。ヘッダには同期用のプリアンブルが含まれ、すべてのノードに対する読出しおよび書込みアクセスをイネーブルにします。

## 同期データ

同じノードへの／からの連続する 2 回の送信の時間間隔を固定して (44.1kHz~48kHz の範囲で選択可能)、継続的にストリーミングされるデータ (例えば、オーディオ信号)。

## スーパーフレーム

A<sup>2</sup>B<sup>®</sup>の全体的なフレーム構造。スーパーフレームは SCF で始まり、オプションのデータ・スロットを含み、SRF で終わります。スーパーフレームは 1024 バス・クロック・サイクルごとに繰り返されます。

## アップストリーム

最後のスレーブ・ノードからマスタ・ノードへの通信フロー。

## A<sup>2</sup>B<sup>®</sup>バスの詳細

通信システムのブロック図に、A<sup>2</sup>B<sup>®</sup>通信システムを示します。これはマスタ・トランシーバーがホストによって制御される、単一マスタ、複数スレーブのシステムです。ホストは、周期的な同期信号 (SYNC) を I<sup>2</sup>S/TDM インターフェース上に固定周波数 (44.1kHz~48kHz の範囲で選択可能) で生成します。すべての A<sup>2</sup>B<sup>®</sup>ノードはこの信号に同期します。A<sup>2</sup>B<sup>®</sup>バスを介した通信は、周期的なスーパーフレーム内でこのレートで実行されます。データは A<sup>2</sup>B<sup>®</sup>システム・ビット・クロック

(SYSBCLK)レートで転送されます。このレートはスーパーフレーム・レートより 1024 倍高速です(フレーム・レートが 48kHz の場合は 49.152MHz、フレーム・レートが 44.1kHz の場合は 45.158MHz)。各スーパーフレームは、ダウンストリーム伝送、アップストリーム伝送、および伝送なし(バスが駆動されない)の各期間に分割されます。

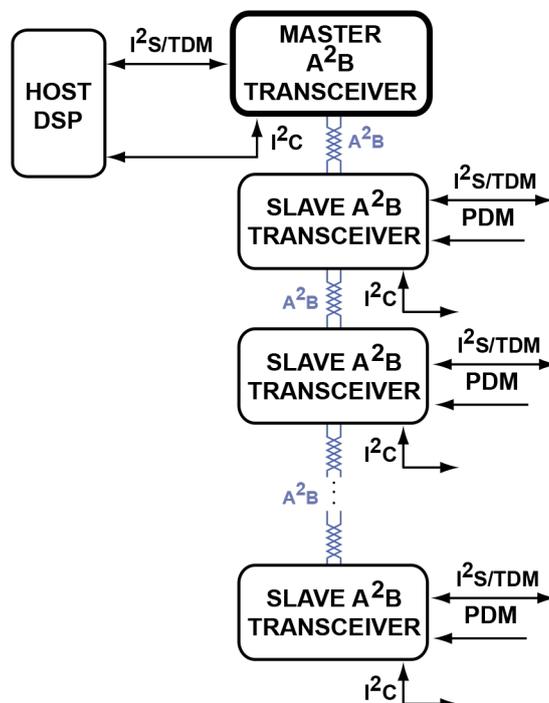


図 2-1: 通信システムのブロック図

A<sup>2</sup>B<sup>®</sup>スーパーフレームの図に、最初のダウンストリーム伝送期間とその後のアップストリーム伝送期間からなるスーパーフレームを示します。

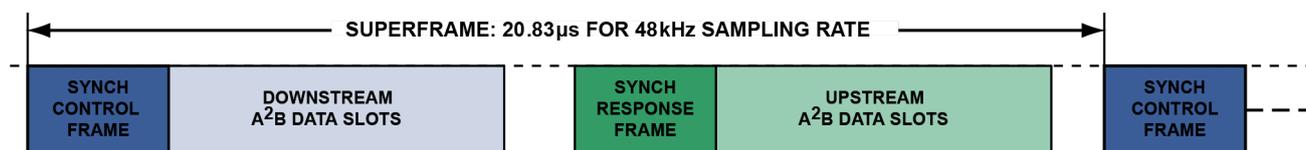


図 2-2: A<sup>2</sup>B<sup>®</sup>スーパーフレーム

A<sup>2</sup>B<sup>®</sup>バス上のすべての信号はライン符号信号です。マスタ・ノードは、同期プリアンプルの形式で同期信号をダウンストリームへ最後のスレーブ・ノードまで転送します。このプリアンプルの後に制御フレーム(SCF)が続きます。ダウンストリーム TDM 同期データが制御フレームの直後に追加されます。各スレーブは、ダウンストリーム・データの一部を使用または消費し、ダウンストリーム・ノード用のデータを追加できます。最後のスレーブ・ノードは、応答時間の経過後に応答フレーム(SRF)で応答します。アップストリーム同期データが各ノードによって応答フレームの直後に追加されます。各ノードはアップストリーム・データを使用または消費できます。アップストリームとダウンストリームのスロット幅が異なってもかまいませんが、すべての同期データは等しい幅のデータ・スロットに編成されます。詳細については、A<sup>2</sup>B<sup>®</sup>スロット・フォーマットを参照してください。

埋め込まれた制御フレームと応答フレームにより、ホストは、A<sup>2</sup>B<sup>®</sup>バス上の各スレーブ・ノードを個別にアドレス指定できます。同様の方法で、ホストは、検出されたスレーブ・トランシーバーに I<sup>2</sup>C 間長距離通信で接続されているリモート・ペリフェラル・デバイスもアクセスできます。

A<sup>2</sup>B<sup>®</sup>システム内のすべてのノードは、同じ A<sup>2</sup>B<sup>®</sup>スーパーフレーム内で同期してサンプリングされます。マスタからの同期 I<sup>2</sup>S/TDM ダウンストリーム・データは同じ A<sup>2</sup>B<sup>®</sup>スーパーフレーム内ですべてのスレーブに到着し、各ノードのアップストリーム・オーディオ・データは同じ I<sup>2</sup>S/TDM フレーム内で同期してマスタに到着します。スレーブ間に残ったオーディオ位相差は、A2B\_SYNCOFFSETレジスタを使用してレジスタで設定可能な SYNC ピン信号遅延の微調整によって補償できます。

データはサンプリング周期ごとに I<sup>2</sup>S/TDM ポート上で受信および送信されるため、A<sup>2</sup>B<sup>®</sup>バスと I<sup>2</sup>S/TDM インターフェースの間のデータ移動には遅延が生じます。A<sup>2</sup>B<sup>®</sup>バスの同期データ交換の図に、A<sup>2</sup>B<sup>®</sup>バス上のサンプル間のタイミング関係を示します。

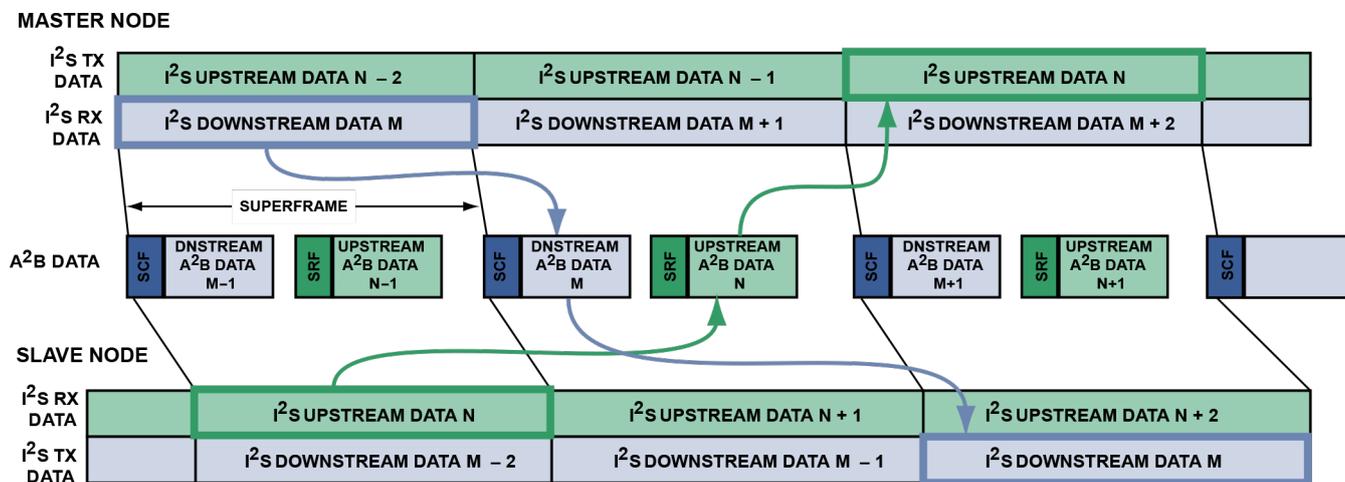


図 2-3: A<sup>2</sup>B<sup>®</sup>バスの同期データ交換

A<sup>2</sup>B<sup>®</sup>バスの同期データ交換の図では、ダウンストリーム・サンプルとアップストリーム・サンプルの両方に、サンプルが A<sup>2</sup>B<sup>®</sup>システムに入力されるスーパーフレームに基づいた名前が付けられることに注意してください。

- マスタ・ノード・トランシーバーによってスーパーフレーム M で送信されるデータは、ダウンストリーム・データ M になります。
- スレーブ・ノード・トランシーバーによってスーパーフレーム N で送信されるデータは、アップストリーム・データ N になります。
- A<sup>2</sup>B<sup>®</sup>トランシーバー・チップが I<sup>2</sup>S/TDM インターフェース上で受信したデータは、次のスーパーフレームで A<sup>2</sup>B<sup>®</sup>バス上に送信されます。
- A<sup>2</sup>B<sup>®</sup>バス上のデータは、次のスーパーフレームで A<sup>2</sup>B<sup>®</sup>チップ・トランシーバーの I<sup>2</sup>S/TDM インターフェース上に送信されます。
- A<sup>2</sup>B<sup>®</sup>バスを介して(マスタからスレーブへ、またはスレーブからマスタへ)送信されるデータには、2 スーパーフレームの遅延に加えて、トランシーバー・チップ内で累算される内部遅延とワイヤ長による遅延が生じます。

したがって、1 つの A<sup>2</sup>B<sup>®</sup>トランシーバー・チップの I<sup>2</sup>S/TDM インターフェースからもう 1 つの A<sup>2</sup>B<sup>®</sup>トランシーバー・チップの I<sup>2</sup>S/TDM インターフェースまでの全体的な遅延は、2 スーパーフレームを多少上回ります。

## 機能の説明

A<sup>2</sup>B<sup>®</sup>トランシーバーは、マルチチャンネル I<sup>2</sup>S (IC 間サウンド) 同期パルス符号変調 (PCM) データを、ノード間の距離にわたって接続します (ケーブル長は製品のデータシートに仕様規定されています)。また、I<sup>2</sup>S の同期時分割多重機能を、複数ノードが接続されているシステムにも拡張するため、各ノードがデータの消費、データの供給、またはその両方を実行できます。

A<sup>2</sup>B<sup>®</sup>トランシーバーは、マルチチャンネル I<sup>2</sup>S/TDM インターフェースを介して、汎用 DSP、FPGA、ASIC、マイクロフォン、ADC、DAC、およびコーデックへ直接インターフェースし、これらの A<sup>2</sup>B<sup>®</sup>機能をサポートします。A<sup>2</sup>B<sup>®</sup>バス・リンク上のデータは、マンチェスタ・エンコーディング方式です。また、A<sup>2</sup>B<sup>®</sup>トランシーバーは、A<sup>2</sup>B<sup>®</sup>リンク上の I<sup>2</sup>C 通信を完全にサポートします。A<sup>2</sup>B<sup>®</sup>トランシーバーは、スレーブ・ノードとマスタ・ノードのどちらでも使用できます。デフォルトでは、トランシーバーはスレーブ・トランシーバーとして起動しますが、ホストが A2B\_CONTROL.MSTR ビットをセットした場合は、マスタ・トランシーバーとして設定できます。

4 つのノードで構成される簡略化した A<sup>2</sup>B<sup>®</sup>システムの図に、簡単な A<sup>2</sup>B<sup>®</sup>システムの例を示します。ホストは、それぞれのノードのレジスタを設定して A<sup>2</sup>B<sup>®</sup>バス上のデータ・トラフィックを制御します。スレーブ・ノード 0 および 2 からのマイクロフォン・データがホストに伝送され、スレーブ・ノード 1 および 2 へのスピーカ・データがホストから DAC へ伝送されます。

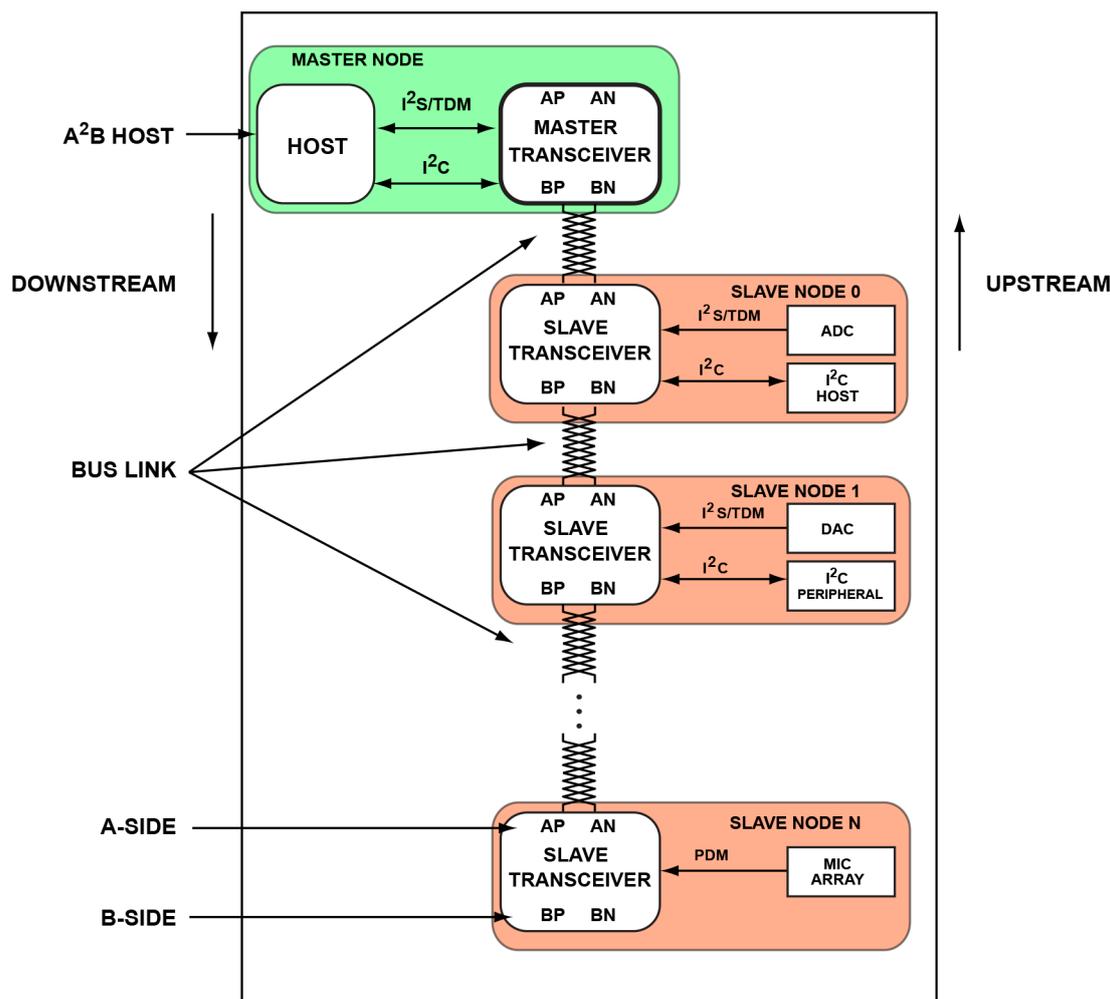


図 2-4: 4つのノードで構成される簡略化した A²B®システム

## アーキテクチャの概念

ここでは、ハードウェア・ブロック、インターフェース、および相互接続について説明します。

### I²C インターフェース

I²C インターフェースを使用して、ローカルに接続されたホストからトランシーバーのレジスタ空間に直接アクセスできます。また、マスタ・トランシーバーとシステム内の検出されたスレーブ・ノードの間で、A²B®バスを介して I²C データをリモートで交換できます。このプロトコルは長距離 I²C と呼ばれます。この方式では、交換される I²C データは、同期制御フレーム（ダウンストリーム、マスタから目標のスレーブへ）と同期応答フレーム（アップストリーム、目標のスレーブからマスタへ）内に埋め込まれます。

トランシーバーの I²C インターフェースは、最大 5V のロジック・レベルと互換性があり、以下の機能があります。

- A²B®マスタ・ノード内でのスレーブ専用動作

- A<sup>2</sup>B<sup>®</sup>スレーブ・ノード内でのマスタ、複数マスタ、またはスレーブ動作
- 100k または 400k ビット/秒レートでの動作(A2B\_I2CCFG.DATARATEビットで設定)
- 7ビット・アドレス指定
- クロック・ストレッチング

**注意：** マスタ・ノード上の A<sup>2</sup>B<sup>®</sup>ホストがマスタ・トランシーバーとインターフェースするためには、A<sup>2</sup>B<sup>®</sup>ホストが I<sup>2</sup>C クロック・ストレッチングをサポートしている必要があります。

マスタとして設定されたトランシーバーは、次の 2 つの I<sup>2</sup>C デバイス・アドレスを認識します。

- BASE\_ADDR - I<sup>2</sup>C ポートを通じてデバイスのレジスタ空間に直接アクセスするためのアドレス
- BUS\_ADDR - 長距離 I<sup>2</sup>C プロトコルを使用して、A<sup>2</sup>B<sup>®</sup>バスを介してスレーブ・ノードのレジスタとスレーブ・ノードの I<sup>2</sup>C ペリフェラルにリモートからアクセスするためのアドレス

I<sup>2</sup>C BASE\_ADDR は、パワーオン・リセット時に ADR2/IO2 ピンと ADR1/IO1 ピンのロジック・レベルによって設定され、同じ I<sup>2</sup>C バスに接続される最大 4 つのマスタ・デバイスをサポートします。I<sup>2</sup>C アドレス の表で説明するように、7ビットのデバイス・アドレスの LSB により、I<sup>2</sup>C データ交換が BASE\_ADDR (ビット 1 = 0) を使用してトランシーバーにアクセスするのか、BUS\_ADDR (ビット 1 = 1) を使用して(マスタ・トランシーバーを介して)バス・ノードにアクセスするのかを決定します。

表 2-1: I<sup>2</sup>C デバイス・アドレス

ADR2/IO2 Setting	ADR1/IO1 Setting	BASE_ADDR	BUS_ADDR
0	0	0x68	0x69
0	1	0x6A	0x6B
1	0	0x6C	0x6D
1	1	0x6E	0x6F

スレーブとして設定されたトランシーバーは、BUS\_ADDR を認識しません。スレーブ・トランシーバーの I<sup>2</sup>C インターフェースは、I<sup>2</sup>C マスタとスレーブの両方の動作が可能です。スレーブ・トランシーバーが A<sup>2</sup>B<sup>®</sup>バスを介してホストからのリモート I<sup>2</sup>C ペリフェラル・アクセス要求を受信した場合、そのトランシーバーは I<sup>2</sup>C マスタになります。I<sup>2</sup>C マスタとして機能するスレーブ・トランシーバーは、その I<sup>2</sup>C トランザクションを、そのトランシーバーの A2B\_CHIPレジスタで設定される I<sup>2</sup>C スレーブ・アドレスに転送します。ローカル外部コントローラが I<sup>2</sup>C ポートを通じてスレーブ・トランシーバー・レジスタ (BASE\_ADDR) にアクセスした場合、そのトランシーバーは I<sup>2</sup>C スレーブになります。

**注意：** ローカル外部コントローラはスレーブ・トランシーバーのレジスタ空間をプログラムできますが、A2B\_SWCTL、A2B\_RESPCYCS、A2B\_SLOTFMT、A2B\_DATCTL、A2B\_RAISE、および A2B\_GENERRレジスタには、リモート・ホストが A<sup>2</sup>B<sup>®</sup>バスを介して書き込む必要があります。ローカル I<sup>2</sup>C ポートからこれらのレジスタへ書き込んでも影響はありません。

トランシーバーの I<sup>2</sup>C インターフェースにより、PLL ロックの前にレジスタをプログラミングできます。PLL ロックの前には、プロトコル・エンジンがまだリセット状態になっているため、1 を書き込んで動作 (W1A) ビット (例えば、A2B\_CONTROL.ENDDSCおよびA2B\_CONTROL.NEWSTRCT) は影響を与えません。

**注意：** PLL ロックの前に、マスタ・トランシーバーの A2B\_SWCTL、A2B\_SLOTFMT、A2B\_DATCTL、および A2B\_DISCVRY レジスタに書き込むことはできません。PLL ロックが確立される前にこれらのレジスタに書き込んでも影響はありません。

**注意事項：** システム・ソフトウェアを設計する際は、A<sup>2</sup>B<sup>®</sup> ホスト (A<sup>2</sup>B<sup>®</sup> バスを介して) とローカル・プロセッサ (I<sup>2</sup>C ポートを介して) の両方から同じスレーブ・レジスタに同時に書き込まないように注意する必要があります。書き込みの競合が発生した場合、両方の書き込みが実行されますが、その順序は予測不可能です。

## I<sup>2</sup>C クロック・ストレッチング

トランシーバーは、I<sup>2</sup>C クロック・ストレッチング機能を使用して、I<sup>2</sup>C アクセスの処理に十分な時間を確保します。この機能は主に、ホストが A<sup>2</sup>B<sup>®</sup> バスを介してスレーブ・ノードのトランシーバーとスレーブ・ノードの I<sup>2</sup>C ペリフェラルへの I<sup>2</sup>C アクセスを実行するのに使用されます。クロック・ストレッチングは、以下の時間中のホストの I<sup>2</sup>C アクセスに応答して、マスタによって開始されます。

- 書き込みアクセス中 - 各データ・バイトの後のアクルレジ・ビットの前
- 読出しアクセス中 - 読出し要求に続くアクルレジ・ビットの前
- 2 バイト以上のバースト読出し / 書き込みアクセス中 - 後続のデータ・バイトの最初のビットの前

SCL 信号をローにすると、トランシーバーが要求を処理するために時間を延長する必要があることがホストに通知されます。トランシーバーは、要求をアクルレジできるようになると、SCL 信号をハイにします。これでホストは SCL の制御を再取得してアクルレジ (ACK) および次のバイトに進むことができます。

**重要：** A<sup>2</sup>B<sup>®</sup> システムの設計では、ホスト (I<sup>2</sup>C マスタ) が I<sup>2</sup>C クロック・ストレッチングをサポートしている必要があります。

スレーブ・ノード内のペリフェラルが I<sup>2</sup>C クロックをストレッチすると、SCL 信号もマスタ・トランシーバーとホストの間でストレッチされます。SCL 信号が 32 スーパーフレーム以内にペリフェラルによって解放されない場合、マスタはタイムアウトを登録し (A2B\_INTFND2.I2CERR = 1)、SCL を解放してホスト・クロックのストレッチングを中止します。このタイムアウトにより、スレーブ・ペリフェラルがホストの I<sup>2</sup>C インターフェースを永久的に休止させることを防ぎます。

## トランシーバーの I<sup>2</sup>C アクセス

7 ビットのデバイス・アドレスの LSB により、I<sup>2</sup>C データ交換が、BASE\_ADDR (ビット 1 = 0) を使用してトランシーバーにアクセスするのか、BUS\_ADDR (ビット 1 = 1) を使用して (マスタとして設定されたトランシーバーを介して) バス・ノードにアクセスするのかが決まります (以下の表を参照)。

表 2-2: I<sup>2</sup>C デバイス・アドレス

Bit Number	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1 (LSB)	Bit 0 (R/ W )
Start bit	1	1	0	1	ADR2/IO2	ADR1/IO1	0 = BASE 1 = BUS	0 = write 1 = read

A<sup>2</sup>B<sup>®</sup>トランシーバーは、以下の読出しおよび書込み動作をサポートします。

- シングルワード書込み動作 -A<sup>2</sup>B<sup>®</sup>マスタ (I<sup>2</sup>C スレーブ) が 9 番目のクロック・パルス中に SDA をローにすることによってアクノレッジを発行し、アクセスを完了します。
- バースト・モード書込みシーケンス -トランシーバーは各データ・バイトの書込み後にレジスタ・アドレス・ポインタを自動的にインクリメントします。したがって、アドレスを再設定することなく、連続するデータ・レジスタに書き込むことができます。
- シングルワード読出し動作 -最初の読出し/書込み (R/ $\overline{W}$ ) ビットは 0 で、書込み動作を示します。これは、レジスタ・アドレスを書き込んで内部アドレスをセットアップする必要があるためです。I<sup>2</sup>C スレーブがレジスタ・アドレスの受信をアクノレッジした後、I<sup>2</sup>C マスタは反復開始コマンドを送信し、それに続いて R/ $\overline{W}$  ビットを 1 (読出し) に設定したチップ・アドレス・バイトを送信する必要があります。これにより、I<sup>2</sup>C データ・ライン SDA は方向を反転し、I<sup>2</sup>C マスタにデータを返信し始めます。その後、I<sup>2</sup>C マスタは 9 番目のパルスごとにアクノレッジ・パルスでスレーブに応答します。
- バースト・モード読出しシーケンス -トランシーバーはデータ・バイトを読み出すたびにレジスタ・アドレス・ポインタを自動的にインクリメントします。したがって、アドレスを再設定することなく、連続するデータ・レジスタを読み出すことができます。

I<sup>2</sup>C インターフェースを介してデータを転送するには、以下の手順を実行する必要があります。

1. データ転送は、A<sup>2</sup>B<sup>®</sup>トランシーバーに接続されたマイクロコントローラによって開始されます。
2. マイクロコントローラが開始条件 (SCL がハイになっている間に SDA がハイからローに遷移すること) を確立します。これはアドレス/データ・ストリームが後に続くことを示します。
3. 次の 8 つの SCL サイクルで、A<sup>2</sup>B<sup>®</sup>トランシーバーは 7 ビット・アドレスと R/ $\overline{W}$  ビットをホストから (MSB ファーストで) 受信します。
4. A<sup>2</sup>B<sup>®</sup>トランシーバーは、送信されたアドレスを認識し、9 番目のクロック・パルス中にデータ・ラインをローにすることによって応答します (アクノレッジ・ビット)。

R/ $\overline{W}$  ビットにより、データの方向が決定します。最初のバイトの LSB がクリアされている場合 (=0)、ホストはマスタに情報を書き込みます。最初のバイトの LSB がセットされている場合 (=1)、ホストはマスタから情報を読み出します。停止条件 (SCL がハイに保たれている間に SDA がローからハイに遷移すること) が検出されるまで、データ転送が実行されます。レジスタ・アドレス・ポインタは自動インクリメントし、マスタとスレーブの両方に対するバースト・モード I<sup>2</sup>C 書込みとバースト・モード I<sup>2</sup>C 読出しをサポートします。

I<sup>2</sup>C フォーマットの図に、以下の I<sup>2</sup>C 動作のフォーマットを示します。

- BASE\_ADDR/BUS\_ADDR への書込みは、1 バイト以上のデータを含むことができます。デバイス・アドレスの後の最初のバイトは、デバイス内のレジスタ・アドレスを設定します。次のバイトは、アドレス指定されたレジスタに書き込まれます。各書込みの後にアドレス・ポインタがインクリメントするため、1 回のトランザクションで連続するレジスタに書き込むことができます。
- BASE\_ADDR/BUS\_ADDR からの読出しは、1 バイト以上のデータを含むことができます。書込み指示付きのデバイス・アドレスの後に、デバイス内のレジスタ・アドレスと、読出しアクセス指示付きの繰り返しデバイス・アドレスが続きます。

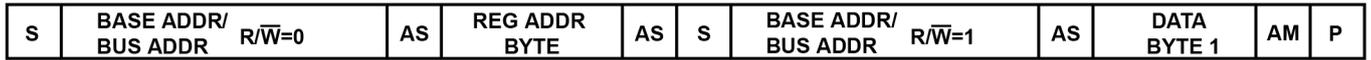
SINGLE WORD I<sup>2</sup>C WRITE FORMAT



BURST MODE I<sup>2</sup>C WRITE FORMAT



SINGLE WORD I<sup>2</sup>C READ FORMAT



BURST MODE I<sup>2</sup>C READ FORMAT



S = START BIT  
 P = STOP BIT  
 AM = ACKNOWLEDGE BY I<sup>2</sup>C MASTER  
 AS = ACKNOWLEDGE BY I<sup>2</sup>C SLAVE

図 2-5: I<sup>2</sup>C フォーマット

繰り返しデバイス・アドレスの後の最初のバイトには、アドレス指定されたレジスタの値が含まれます。デバイス・アドレスの後の最初のバイトは、デバイス内のレジスタ・アドレスを設定します。その後繰り返しデバイス・アドレスが続きますが、これは読出しアクセス指示付きです。それ以降のバイトには、自動的にインクリメントされるレジスタ・アドレスの値が含まれません。

I<sup>2</sup>C の書込みタイミングの図に、I<sup>2</sup>C の書込みタイミングを示します。

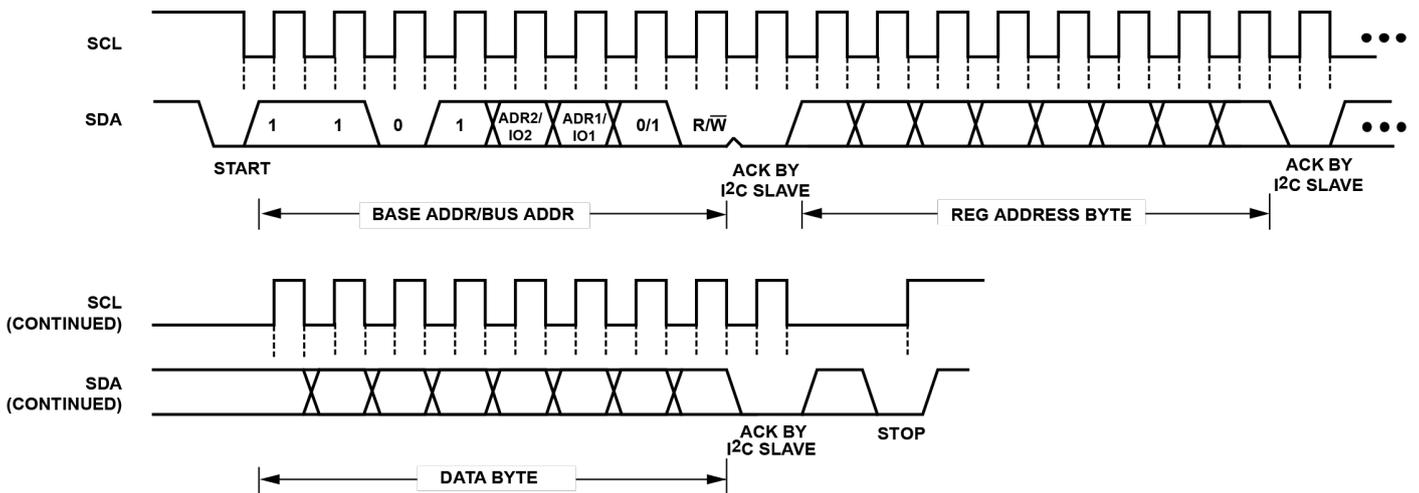
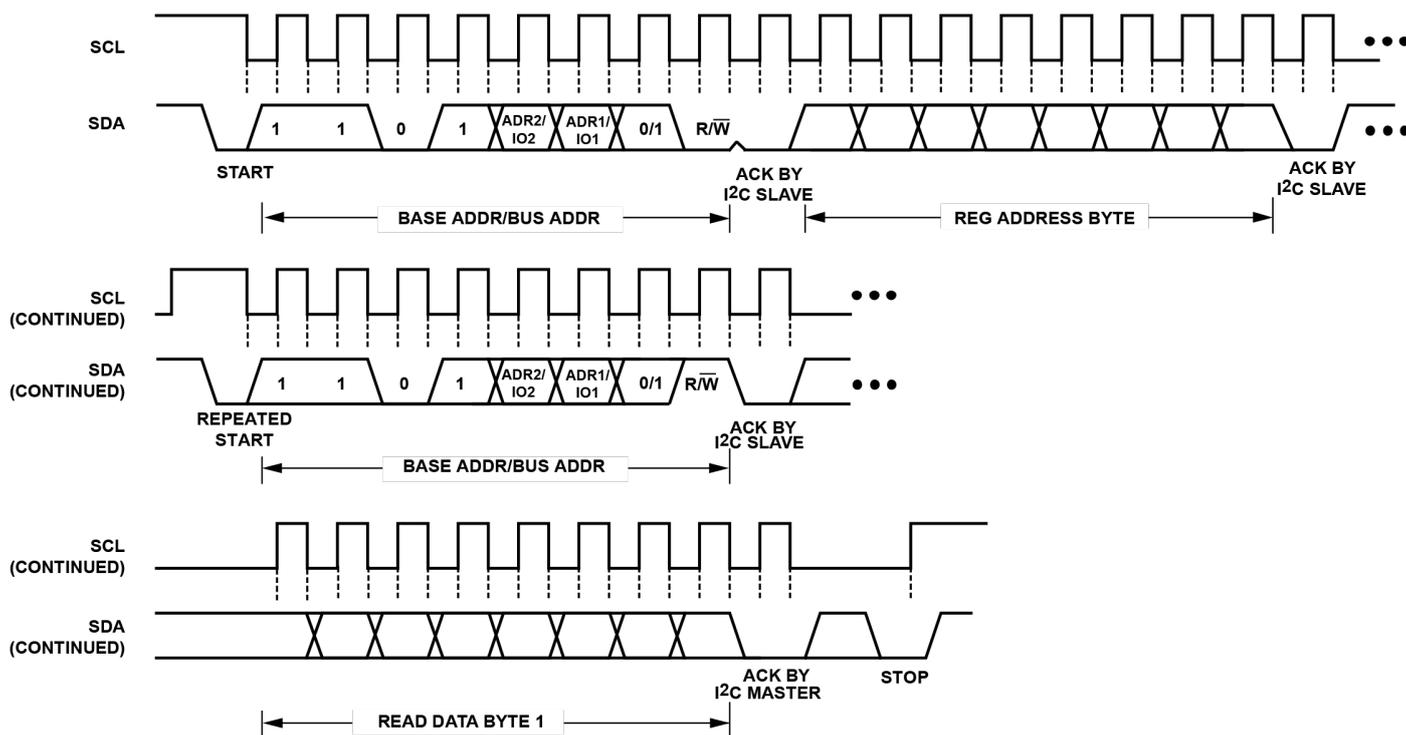


図 2-6: I<sup>2</sup>C の書込みタイミング

I<sup>2</sup>C の読出しタイミングの図に、I<sup>2</sup>C の読出しタイミングを示します。

図 2-7: I<sup>2</sup>C の読み出しタイミング

## トランシーバーの I<sup>2</sup>C アクセス遅延

A<sup>2</sup>B<sup>®</sup>バスを介してリモート・トランシーバーへの長距離 I<sup>2</sup>C アクセスを実行すると、遅延が発生します。I<sup>2</sup>C アクセスのバス遅延の表に、様々なタイプの I<sup>2</sup>C アクセスに対する A<sup>2</sup>B<sup>®</sup>バス遅延を示します。

表 2-3: I<sup>2</sup>C アクセスのバス遅延 (48kHz スーパーフレーム・レート)

I <sup>2</sup> C Access Type (Conditions)	Estimated A <sup>2</sup> B Bus Latency (μs)
I <sup>2</sup> C write of N data bytes to slave transceiver registers (clock stretching enabled via master A2B_I2CCFG.EACK = 0)	N × 22
I <sup>2</sup> C read of N data bytes from slave transceiver registers (clock stretching enabled via master A2B_I2CCFG.EACK = 0)	N × 22
I <sup>2</sup> C write of N > 1 data byte to slave transceiver registers (clock stretching disabled via master A2B_I2CCFG.EACK = 1, host I <sup>2</sup> C using 400 kHz data rate)	2
I <sup>2</sup> C write of N data bytes to slave transceiver registers (clock stretching enabled via master A2B_I2CCFG.EACK = 1, host I <sup>2</sup> C using 100 kHz data rate)	0

表 2-3: I<sup>2</sup>C アクセスのバス遅延 (48kHz スーパーフレーム・レート) (続き)

I <sup>2</sup> C Access Type (Conditions)	Estimated A <sup>2</sup> B Bus Latency (μs)
I <sup>2</sup> C write of N data bytes to remote I <sup>2</sup> C peripheral (slave A2B_I2CCFG.DATARATE = 0 = 100 kHz)	$((N - 1) \times 113) + 213$
I <sup>2</sup> C write of N data bytes to remote I <sup>2</sup> C peripheral (slave A2B_I2CCFG.DATARATE = 1 = 400 kHz)	$((N - 1) \times 45) + 70$

例えば、(スレーブ・ノードに接続された)リモート・ペリフェラルのレジスタに書き込む場合を考えます。I<sup>2</sup>C アクセス遅延の図では、I<sup>2</sup>C アクセス遅延を緑の矢印で示しています。

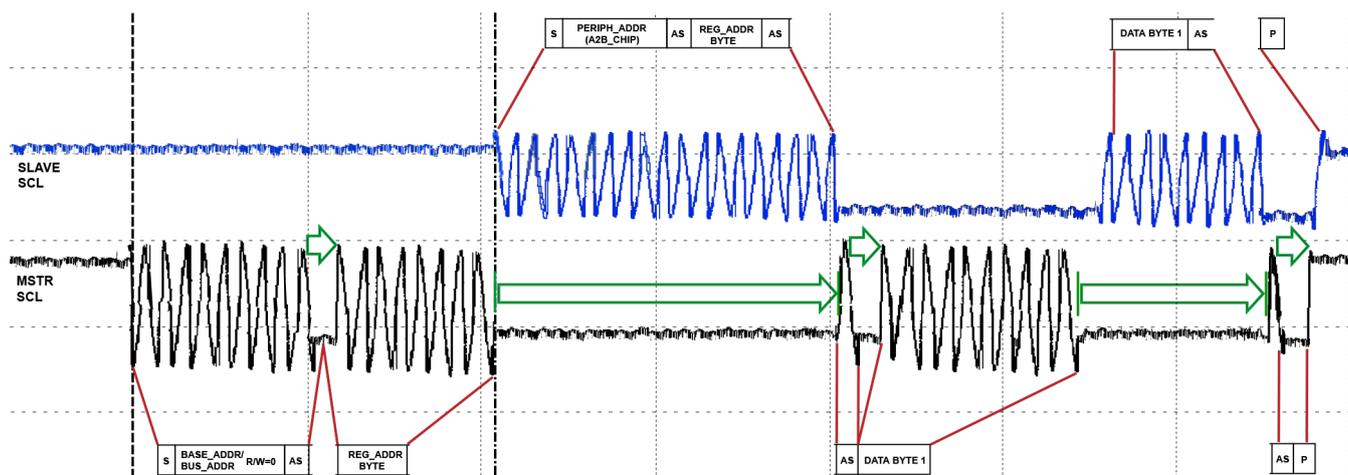


図 2-8: I<sup>2</sup>C アクセス遅延

**注意 :** I<sup>2</sup>C アクセスのバス遅延 の表に記載されている遅延は、競合のないアクセスの場合です。I<sup>2</sup>C メッセージが直ちにアクノレッジされないか、または GPIO 割込み、ライン障害割込み、I<sup>2</sup>C の問題 (NACK) などの優先順位の高いイベントのためにオフに保たれている場合、メッセージ交換を実行しようとする前に発生した遅延は、表中の値に含まれていません。

## パルス密度変調インターフェース (PDM)

パルス密度変調は、シグマ・デルタ・コンバータで使用されます。PDM フォーマットは、デシメーション前のオーバーサンプリングされた 1 ビットのシグマ・デルタ ADC 信号を表します。多くの場合、このフォーマットはデジタル・マイクロフォンの出力フォーマットとして使用されます。

PDM ブロックは、高い S/N 比 (SNR) と拡張された最大音圧レベル (SPL) を持つ高ダイナミック・レンジのマイクロフォンをサポートします。

トランシーバーの拡張された PDM ブロックは、AD241x トランシーバーよりも低いノイズ・フロアをサポートします。これにより、120dB を超える S/N 比が得られます。トランシーバーの PDM ブロックは、同じ PDM クロック・レート (48kHz フレーム・レートで 3.072MHz) で 48kHz サンプル・レートに加えて 24kHz と 12kHz のサンプル・レートをサポートします。トランシーバーの PDM ブロック内のハイパス・フィルタのカットオフ周波数は 1Hz に固定され、プログラムできません。このハイパス・フィルタは、1 次 IIR フィルタです。

トランシーバーは、スーパーフレーム・レート(代表値 48kHz)を基準として、1x、1/2x、または 1/4x PDM サンプリング(代表値 48kHz、24kHz、または 12kHz)にプログラム可能です。1/2x または 1/4x PDM サンプリングでは、スーパーフレーム・レートに一致させるために、A<sup>2</sup>B<sup>®</sup>スロット内の同期データが複製されます。トランシーバーの低減レート機能を組み合わせて使用した場合、更に低い PDM サンプリング・レート(例えば、最低 375Hz)を実現可能です。

トランシーバーから出力される PDM ビット・クロックの周波数は、PDM オーディオ・サンプリング・レートの 64 倍高速です(48kHz の PDM オーディオ・サンプリングに対して通常は 3.072MHz)。

各 PDM 対応受信ピンは、最大 2 チャンネルのオーディオ・データ(ステレオ)を受信できます。1 つのチャンネルはクロックの立上がりエッジに関連付けられ、もう 1 つのチャンネルはクロックの立下がりエッジに関連付けられます。

PDM ブロックは、PDM コントロール(A2B\_PDMCTL )レジスタを使用して設定されます。

- A2B\_PDMCTL.PDM0EN = 1 の場合、DRX0/IO5 ピンがイネーブルになって PDM データを受信し、BCLK ピンが出力になり、TDM2 設定では通常は 3.072MHz のクロックを生成します。このモードでは、DRX0/IO5 ピンのデータは I<sup>2</sup>S/TDM ポートに渡されません。同様に、A2B\_PDMCTL.PDM1EN ビットは、DRX1/IO6 ピン上の PDM データ受信を制御します。
- A2B\_PDMCTL.PDMxSLOTS ビットにより、DRX ピン上の PDM 信号が 1 チャンネル(モノ)を使用するか、2 チャンネル(ステレオ)を使用するかを選択します。

## 接続されたマイクロフォンの PDM サンプリング・エッジ

パルス密度変調(PDM)インターフェースでは、2 つのマイクロフォンからの PDM 入力を、1 つのクロックを使用して 1 本のデータ・ライン上で時分割多重化することができます。

PDM マイクロフォンは、クロック(CLK)信号の立下がりエッジで左チャンネルが有効になり、CLK 信号の立上がりエッジで右チャンネルが有効になるようにデータをエンコードします。CLK 信号の適切な 1/2 フェーズの間に DATA 信号が駆動された後、マイクロフォン出力はトライステートになります。したがって、2 つのマイクロフォン(1 つは左チャンネル、もう 1 つは右チャンネルに設定)が 1 本の DATA ラインを共有できます(ステレオ PDM フォーマットの図を参照)。

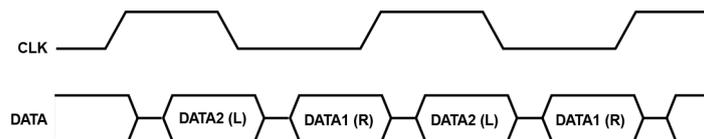


図 2-9:ステレオ PDM フォーマット

トランシーバー内の PDM ブロックは、64 のクロック・エッジすべてでマイクロフォン・データをサンプリングします。トランシーバーは、1 フレームあたり 64BCLK を生成する TDM モード(デフォルトの TDM2/32 モード、または TDM4/16 モード)に設定されている必要があります。TDM の設定は PDM ブロックに影響を与えません。

トランシーバー内では、BCLK の立上がりエッジで必ず第 1 チャンネルのデータがサンプリングされます。A2B\_PDMCTL.PDM0SLOTS = 1 または A2B\_PDMCTL.PDM1SLOTS = 1 の場合、第 1 スロットは BCLK の立上がりエッジに関連付けられ、第 2 スロットは BCLK の立下がりエッジに関連付けられます。

例えば、2つのマイクロフォンがそれぞれスレーブ・ノードの DRX0/IO5 ピンと DRX1/IO6 ピンに接続され、PDM0 および PDM1 スロットが 2 スロットとして設定されている場合を考えます。この場合、PDM ブロックは各フレームで 64 ビット・データをサンプリングし、それを 24 ビットの PCM データに変換し、変換された出力を次のように駆動します。

- 右マイクロフォンのデータは、DRX0 ピン上で立上がりクロック・エッジでサンプリングされ、A<sup>2</sup>B<sup>®</sup>バスの第 1\*送信スロットで駆動されます。
- 左マイクロフォンのデータは、DRX0 ピン上で立下がりクロック・エッジでサンプリングされ、A<sup>2</sup>B<sup>®</sup>バスの第 2\*送信スロットで駆動されます。
- 右マイクロフォンのデータは、DRX1 ピン上で立上がりクロック・エッジでサンプリングされ、A<sup>2</sup>B<sup>®</sup>バスの第 3\*送信スロットで駆動されます。
- 左マイクロフォンのデータは、DRX1 ピン上で立下がりクロック・エッジでサンプリングされ、A<sup>2</sup>B<sup>®</sup>バスの第 4\*送信スロットで駆動されます。

\*は、システムのスロット構成に基づいて実際のスロット番号になることに注意してください。

**注意：** デフォルトの A2B\_PDMCTL2 の設定値を使用する場合、PDM ピンは常に立上がりエッジのデータから先にサンプリングされます。したがって、トランシーバーが PDM モードに設定されている場合、A2B\_I2SCFG.RXBCLKINV および A2B\_I2SCFG.TXBCLKINV のクロック反転設定は無視されます。

デフォルトの A2B\_PDMCTL2 の設定値と A2B\_PDMCTL.PDM0SLOTS = 0 または A2B\_PDMCTL.PDM1SLOTS = 0 を使用する場合は、PDM ピン上では右チャンネルのデータのみがサンプリングされます。左チャンネルのデータのみをサンプリングする場合は、A2B\_PDMCTL.PDM0EN = A2B\_PDMCTL.PDM0SLOTS = A2B\_UPOFFSET = 1 に設定してください。

## PDM の拡張機能

デフォルトの PDM 機能は、旧世代のトランシーバーとの完全な下位互換性があります。ただし、PDM インターフェースの柔軟性を向上させる追加機能がいくつかあります。

## PDM のクロッキング・オプション

DRX0 および DRX1 入力ピンは、PDM 入力として個別に設定できます。PDM インターフェースが A<sup>2</sup>B<sup>®</sup>スレーブ・ノードの一方または両方の DRX ピンでイネーブルになっている場合、PDM デバイスにクロックを供給するには、周波数が  $64 \times f_{\text{SYNCM}}$  (48kHz の  $f_{\text{SYNCM}}$  では 3.072MHz) の PDMCLK 信号が必要です。必要な PDMCLK は、トランシーバーの PDMCLK/IO7 または BCLK ピンから生成できます。IO7 ピンの PDMCLK をイネーブルにするには、A2B\_PDMCTL2.PDMALTCLK ビットをセットします。

BCLK の代わりに PDMCLK/IO7 を使用する場合、TDM2/32 または TDM4/16 のみに動作を限定する制限は解除されません。BCLK 周波数は、I<sup>2</sup>S/TDM レジスタを使用して、異なる周波数に設定できます。この場合は、PDMCLK/IO7 を使用して、DRX0/DRX1 上の PDM 入力をキャプチャします。

BCLK と PDMCLK/IO7 を同時に使用して、周波数と位相整合が同じで極性が逆になるクロックを PDM マイクロフォンに供給することもできます。これを実行するには、A2B\_PDMCTL2.PDMALTCLK ビットをセットします。更に、レジスタを使って、立上がりエッジのデータと立下がりエッジのデータのどちらを先にサンプリングするかを制御できます。

- A2B\_PDMCTL2.PDM0FFRST = 0 の場合 (デフォルト)、DRX0 上の PDM0 データは立上がりエッジから先にサンプリングされます。A2B\_PDMCTL2.PDM0FFRST = 1 の場合、このデータは立下がりエッジから先にサンプリングされます。
- A2B\_PDMCTL2.PDM1FFRST = 0 の場合 (デフォルト)、DRX1 上の PDM1 データは立上がりエッジから先にサンプリングされます。A2B\_PDMCTL2.PDM1FFRST = 1 の場合、このデータは立下がりエッジから先にサンプリングされます。

**注意：** マスタ・ノード内では、BCLK は常に入力になります。したがって、マスタ・トランシーバーに接続された PDM マイクロフォンへ出力されるクロックは、通常は PDMCLK/IO7 から出力されます。

## PDM データのルーティング・オプション

PDM インターフェースは、マスタ・トランシーバーまたはスレーブ・トランシーバー上で使用できます。トランシーバーが受信した PDM データは、A<sup>2</sup>B<sup>®</sup>バス上の任意のノード、ローカル I<sup>2</sup>S ポート、またはその両方へ送信することができます。送信先は A2B\_PDMCTL2.PDMDEST フィールドで選択します。

## 4 つの PDM マイクロフォンを使用する全二重 I<sup>2</sup>S

両方のピン (DRX0 と DRX1) を使用して PDM データを受信する場合、DRX1 の代替として機能するように DTX1 の機能を変更することにより、最大 4 つの PDM マイクロフォンと全二重 I<sup>2</sup>S 通信を同時に使用することが可能になります。このように設定するには、A2B\_I2SGCFG.RXONDTX1 ビットをセットします。

## I<sup>2</sup>S/TDM インターフェース

I<sup>2</sup>S/TDM シリアル・ポートは全二重モードで動作します。このモードでは、トランスミッタとレシーバーの両方が、同じクリティカル・タイミング・ビット・クロック (BCLK) 信号とフレーム同期 (SYNC) 信号を使用して同時に動作します。A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバーは、BCLK および SYNC 出力ピン上に、I<sup>2</sup>S グローバル設定レジスタ (A2B\_I2SGCFG)、I<sup>2</sup>S レート・レジスタ (A2B\_I2SRATE)、および I<sup>2</sup>S 低減レート・レジスタ (A2B\_I2SRRATE) の設定値に基づく周波数のタイミング信号を生成します。A<sup>2</sup>B<sup>®</sup>マスタ・トランシーバーは、(ホストによって駆動される) 同じ BCLK および SYNC ピンを入力として使用し、A<sup>2</sup>B<sup>®</sup>バス・トポロジ全体に時間ベースを提供します。

## 時分割多重 (TDM) プロトコル

TDM モードでは、I<sup>2</sup>S インターフェースがステレオ 2 チャンネル (TDM2) 信号以上に拡張されます。トランシーバーが特定の数の TDM チャンネルをサポートするように A2B\_I2SCFG レジスタで設定されている場合、この数の TDM チャンネルが、イネーブルになっている各 I<sup>2</sup>S/TDM データ・ピン (DTX0 と DTX1、または DRX0 と DRX1) 上で利用可能になります。TDM2、TDM4、TDM8、TDM12、TDM16、TDM20、TDM24、および TDM32 の各モードをサポートしています。

例えば、TDM4 を選択し、1 本の送信ピン (DTX0) をイネーブルにした場合、4 つの送信データ・チャンネルを使用できます。TDM4 を選択し、両方の送信ピン (DTX1 と DTX0) をイネーブルにした場合、**TDM4 に設定した場合のデータ・チャンネルの構造**の図に示すように、8 つの送信データ・チャンネルを使用できます。

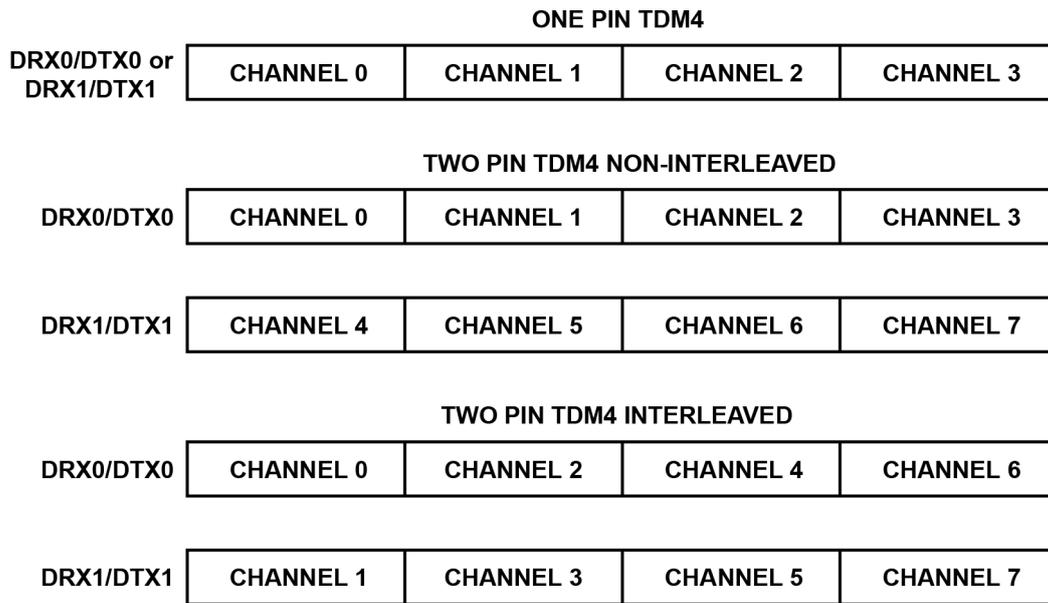


図 2-10: TDM4 に設定した場合 (TDMMODE == 001) のデータ・チャンネルの構造

I<sup>2</sup>S/TDM シリアル・ポートは、16 ビットまたは 32 ビットのデータ・チャンネル幅をサポートし、様々なワード長の信号を伝送します。データ・ワードは、常に MSB ファースト・フォーマットで表現されます。様々な TDM モードでの BCLK 信号の周波数を、I<sup>2</sup>S/TDM クロック周波数の設定値 (48kHz スーパーフレーム・レート) の表に示します。

表 2-4: I<sup>2</sup>S/TDM クロック周波数の設定値 (48kHz スーパーフレーム・レート)

TDM Mode	16-bit TDM Channel Size		32-bit TDM Channel Size	
	Frequency (MHz)	Comments	Frequency (MHz)	Comments
TDM2	1.536		3.072	
TDM4	3.072		6.144	
TDM8	6.144		12.288	
TDM12	9.216	No slave node support	18.432	No slave node support
TDM16	12.288		24.576	
TDM20	15.36	No slave node support	30.72	No slave node support
TDM24	18.432	No slave node support	36.864	No slave node support
TDM32	24.576		49.152	

DRX0 および DRX1 入力ピンは、PDM 入力として個別に設定できます。PDM が A<sup>2</sup>B<sup>®</sup>スレーブ・ノードの一方または両方の DRX ピン上でイネーブルになっている場合、PDM デバイスにクロックを供給するには、周波数が  $64 \times f_{\text{SYNCM}}$  (48kHz の  $f_{\text{SYNCM}}$  では 3.072MHz) の PDM クロックが必要です。PDMCLK/IO7 ピンまたは BCLK ピンから、必要な PDM クロックを生成できます。トランシーバーは、PDM ストリームを受信しながら、同時に DTX0 または DTX1 ピン上に TDM データを送信できます。ただし、BCLK を PDM クロックとして使用する場合は、32 ビット・チャンネル幅の I<sup>2</sup>S/TDM2、または 16 ビット・チャンネル幅の TDM4 のみがサポートされます。BCLK の代わりに PDMCLK/IO7 を使用して PDM デバイスにクロックを供給する場合は、様々な TDM モードに BCLK を使用できます。DRX0 と DRX1 の両方を使用して PDM

データを受信する場合、DRX1 の代替として機能するように DTX1 の機能を変更することができます。これにより、最大 4 つの PDM マイクロフォンと全二重 I<sup>2</sup>S 通信を同時に使用することが可能になります。

一方のピンのみ (DRX0 または DRX1) を PDM に使用する場合は、同時にもう一方のピンを I<sup>2</sup>S/TDM 転送に使用できません。

## メールボックス

MBOX0 と MBOX1 の 2 つの仮想メールボックスがあります。これにより、ホスト・プロセッサとスレーブ・ノードの制御プロセッサ間でプロセッサ間通信が可能です。

**注意：**このセクション全体を通して、MBOX0 の説明はすべて MBOX1 にも適用されます。

スレーブ・ノード内のプロセッサは、I<sup>2</sup>C を介して A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバーのレジスタにメッセージを送信できます。マスタ・ノード内のホスト・プロセッサは、マスタ・トランシーバーの IRQ/IO0 ピン上の割込みにより、新しいメッセージについて通知されます。また、BUS\_ADDR を使用して I<sup>2</sup>C を介して A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバー・レジスタからメッセージを読み出すことができます。A<sup>2</sup>B<sup>®</sup>マスタ・ノードから A<sup>2</sup>B<sup>®</sup>スレーブ・ノードの方向へメールボックス・メッセージが交換される場合、ホストは、BUS\_ADDR を使用して I<sup>2</sup>C を介して A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバー・レジスタ内にメッセージを配置します。スレーブ・ノード内のプロセッサは、スレーブ・トランシーバーの IRQ/IO0 ピン上の割込みにより、この新しいメッセージについて通知されます。また、A2B\_LINTTYPEレジスタをチェックした後、I<sup>2</sup>C を介して A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバー・レジスタからメッセージを直接読み出すことができます。

## メールボックスのプログラミングと動作

A2B\_MBOX0CTLレジスタのビット・フィールドで、メールボックスをイネーブルにし、方向、メッセージ長、および割込み機能を制御します。

デフォルトでは、メールボックス 0 は (ホストによって書き込まれ、スレーブ・ノード・プロセッサによって読み出される) 受信メールボックスとして設定され、メールボックス 1 は (スレーブ・ノード・プロセッサによって書き込まれ、ホストによって読み出される) 送信メールボックスとして設定されます。A2B\_MBOX0CTL.MB0DIRビットを操作して、メールボックスの方向を制御します。

各メールボックスは、A2B\_MBOX0CTL.MB0LEN 8、16、24、または 32 ビットのメッセージを格納できます。このフィールドの値により、4 つのバイト幅レジスタA2B\_MBOX0B0～A2B\_MBOX0B3のうちどれをデータに使用するかを決定します。次の表に示すように、最初のバイトは常にA2B\_MBOX0B0レジスタに格納され、最後のバイトは、設定されたデータ長を格納するのに必要なデータ・レジスタのうち最も番号の大きいレジスタに格納されます。

MBxLEN Field	Final Byte in Register
0b00	A2B_MBOX0B0
0b01	A2B_MBOX0B1
0b10	A2B_MBOX0B2
0b11	A2B_MBOX0B3

イネーブルになっている受信メールボックス (A2B\_MBOX0CTL.MB0EN = 1 およびA2B\_MBOX0CTL.MB0DIR = 0) について、A2B\_MBOX0CTL.MB0FIENビットがセットされている場合は、メールボックスの最後のバイトがホストによって書き込まれ、A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバーによって受信された後、スレーブ・ノードに対する割込みが発生します。A2B\_MBOX0CTL.MB0EIENビットがセットされている場合は、メールボックスの最後のバイトがスレーブ・ノード内のローカル・プロセッサによって読み出された後、割込みが A<sup>2</sup>B<sup>®</sup>バスを介してアップストリームに伝搬され、ホストに達します。

## メールボックス

イネーブルになっている送信メールボックス(A2B\_MBOX0CTL.MB0EN = 1 およびA2B\_MBOX0CTL.MB0DIR = 1)について、A2B\_MBOX0CTL.MB0FIENビットがセットされている場合は、メールボックスの最後のバイトがスレーブ・ノード内のローカル・プロセッサによって書き込まれた後、ホストに対する割込みが発生します。A2B\_MBOX0CTL.MB0EIEN ビットがセットされている場合は、メールボックスの最後のバイトがホストによって読み出された後、割込みが A<sup>2</sup>B<sup>®</sup>バスを介してダウンストリームに伝搬され、スレーブ・ノードに達します。

**注意事項：**イネーブルになっているメールボックス(A2B\_MBOX0CTL.MB0EN = 1)の動的な再設定は禁止されています。メールボックスを再設定する必要がある場合は、ホストは 2 回のアクセスを個別に実行し、まずメールボックスをディスエーブル(A2B\_MBOX0CTL.MB0EN = 0)にしてから、再びイネーブルにする必要があります。

A2B\_MBOX0STATレジスタは、メールボックスのステータス情報を提供します。

- メールボックスが一杯になると、A2B\_MBOX0STAT.MB0FULLビットがセットされ、A2B\_MBOX0STAT.MB0EMPTYビットがクリアされます。
- メールボックスが空になると、A2B\_MBOX0STAT.MB0EMPTYビットがセットされ、A2B\_MBOX0STAT.MB0FULLビットがクリアされます。
- メールボックスがホストまたはローカル・プロセッサに対する割込みを通知すると、A2B\_MBOX0STAT.MB0EIRQビットとA2B\_MBOX0STAT.MB0FIRQビットがセットされます。割込みがホストまたはローカル・プロセッサによって処理されると、これらのビットはクリアされます。

複数のスレーブ・ノードが、各ノードの TX メールボックスを介してマスタ・ノードと通信できます。マスタ・ノード内のA2B\_INTTYPEレジスタには、スレーブ・ノードによって生成された保留中の割込みに関する情報が格納されます。割込みを生成したスレーブ・ノードは、A2B\_INTSRCレジスタに示されます。

2 つのスレーブが各スレーブのメールボックスに同時に書き込んだ場合、マスタはマスタに近い方のスレーブからの割込み指示を取得します。割込みを検出すると、ホストは、A<sup>2</sup>B<sup>®</sup>マスタ・トランシーバーの割込みタイプ(A2B\_INTTYPE)レジスタと割込みソース(A2B\_INTSRC)レジスタを読み出して割込み情報を抽出し、どの割込みが発生したか、どのスレーブ・ノードがその割込みを生成したかを判断します。A2B\_INTTYPEレジスタが読み出されると、A2B\_INTSRCレジスタの値によって指定されるスレーブ・ノード内で、その割込みに対する割込み要求がクリアされます。他のスレーブ・ノードからの割込みがまだアクティブなため、IRQ/IO0 ピンはディアサート状態にトグルした後、直ちにアサート状態に戻ります。ホストはマスタ・トランシーバーのA2B\_INTTYPEレジスタとA2B\_INTSRCレジスタを再び読み出して、他のスレーブ・ノードのメールボックス割込みをアックノレッジすることができます。

## メールボックスの遅延

メールボックス・トランザクションは、I<sup>2</sup>C バスを介したレジスタの読出しと書込みで構成されます。スレーブからマスタへの割込み要求は SRF パケットに含まれるため、マスタ・メールボックスに対するスレーブ上の遅延には、この時間を待機する追加の 1 スーパーフレームが含まれることがあります。

以下の 2 つの図に、各方向のメールボックス・トランザクションのシステム・タイミングを示します。薄い灰色のロットは SCF フィールドを示し、濃い灰色のロットは SRF フィールドを示します。

メールボックスの遅延(ホストからスレーブへ)の図に示すように、メールボックス・メッセージがホストからスレーブ・プロセッサに宛てたものである場合、ホスト・プロセッサは、マスタ・トランシーバーの **BUS\_ADDR** デバイス・アドレスへの 2 バイト・バースト書き込みアクセスを使用して、SCF フィールドを介してメールボックス・データを A<sup>2</sup>B<sup>®</sup>スレーブ・ノードに書き込みます。書き込みが完了すると、スレーブ・トランシーバーは、ローカル・ノード・プロセッサへの割込みを直ちに生成します。その結果、IRQ/IO0 上でアサートされるスレーブ割込み要求(SLAVE IRQ)は、SCF フィールドに揃えられます。この割込みがアサートされると、ローカル接続されたプロセッサは、スレーブ・トランシーバーの **BASE\_ADDR** デバイス・アドレスを使用してA2B\_LINTTYPEレジスタを確認し、その割込みがメールボックス・フル割込みであると判断できます。その後、ローカル・プロセッサは、2 バイト・バースト読出しを使用してメールボックス・データ・レジスタからデータを抽出できます。これらのトランザクションが終了すると、メールボックス・エンプティ割込みがマスタ・ノード側に生成され(MASTER IRQ)、SRF フィールドに揃えられます。ホストは、(マスタ・トランシーバーの **BASE\_ADDR** デバイス・アドレスを使用して)マスタ・トランシーバーのA2B\_INTSRCレジスタとA2B\_INTTYPEレジスタの読出しに進み、その割込みが指定されたスレーブから送信されたメールボックス・エンプティ割込みであると判断します。

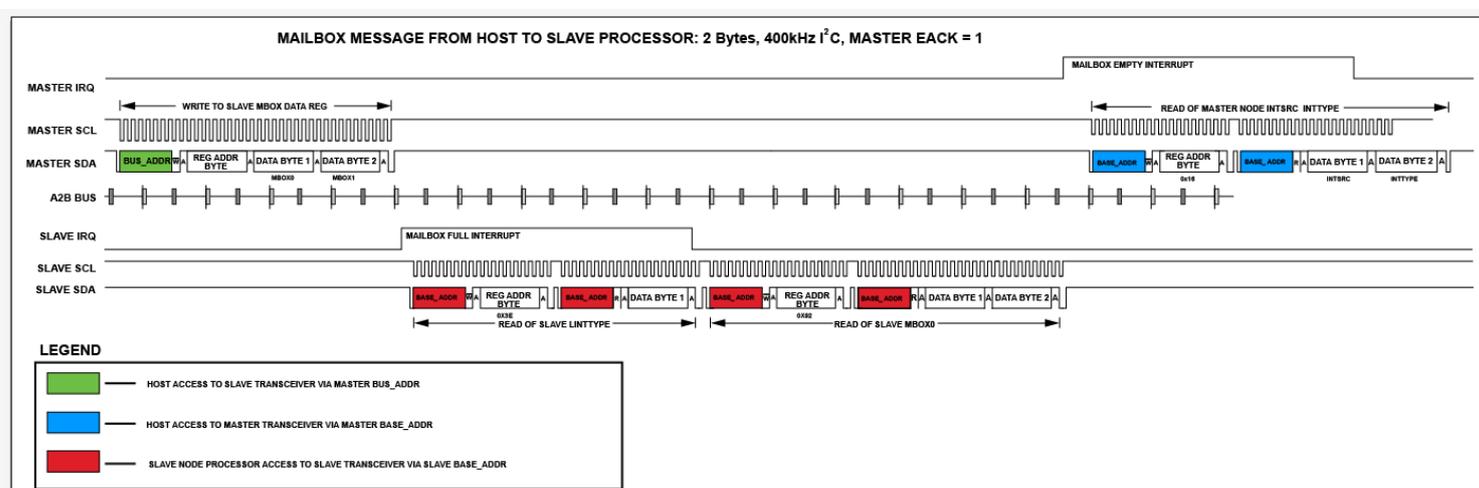


図 2-11: メールボックスの遅延(ホストからスレーブへ)

同様に、メールボックスの遅延(スレーブからホストへ)の図に示すように、メールボックス・メッセージがスレーブ・プロセッサからホストに宛てたものである場合、スレーブ・ノード・プロセッサは、スレーブ・トランシーバーの **BASE\_ADDR** デバイス・アドレスを使用してメールボックス・データ・レジスタへの書き込みを発行することにより、任意の時点でメールボックス・データ・レジスタにデータを入力します。マスタ A<sup>2</sup>B<sup>®</sup>ノードへの割込み指示は、SRF フィールドを介して渡されます。その結果、マスタ・メールボックス・フル割込み要求(MASTER IRQ)が IRQ/IO0 上でアサートされ、SCF フィールドに揃えられます。この割込みがアサートされると、ホストは(マスタ・トランシーバーの **BASE\_ADDR** デバイス・アドレスを使用して)A2B\_INTSRCレジスタとA2B\_INTTYPEレジスタを確認し、その割込みが指定されたスレーブから送信されたメールボックス・フル割込みであると判断します。

## メールボックス

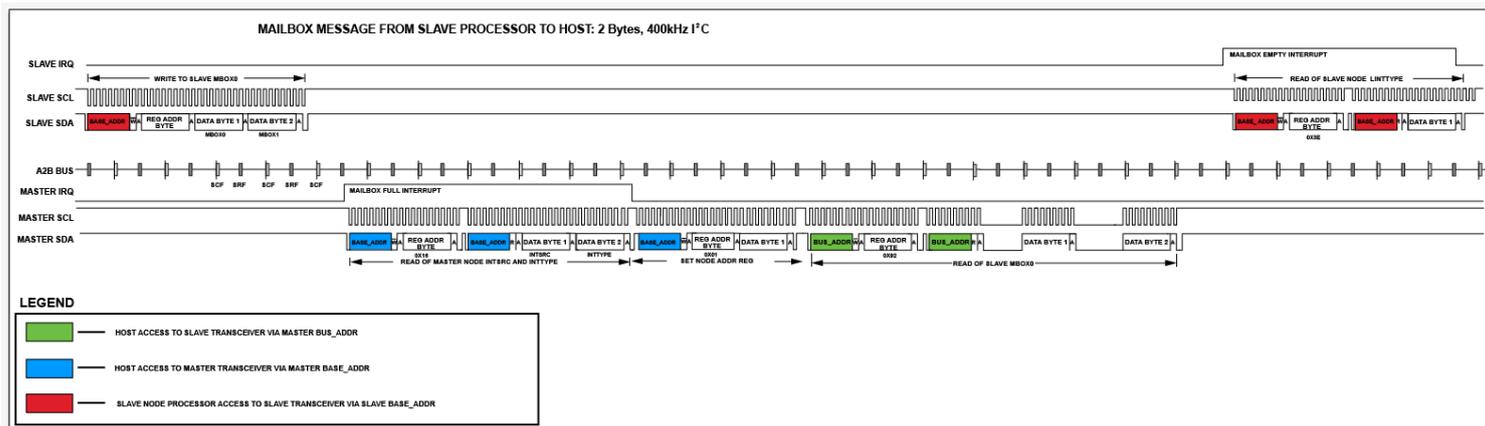


図 2-12: メールボックスの遅延(スレーブからホストへ)

スレーブ・トランシーバーのメールボックスから続けてデータを抽出するには、ホストはまず(マスタ・トランシーバーの **BASE\_ADDR** 書込みアクセスを使用して) **A2B\_NODEADR**レジスタを割込みを生成したスレーブ・ノードに設定し、次に **BUS\_ADDR** アクセスを発行して、スレーブ・トランシーバーのメールボックス・データ・バイト・レジスタを読み出す必要があります(これらの読み出しを実行するには、1 スーパーフレームの間隔が必要であることを注意してください)。最後のバイトがホストによって読み出されると、次の **SCF** でスレーブ・ノードのメールボックス・エンプティ割込み要求(**SLAVE IRQ**)がアサートされます。次に、スレーブ・ノード・プロセッサは、スレーブ・トランシーバーの **BASE\_ADDR** アクセスを使用して **A2B\_LINTTYPE**レジスタを読み出し、発生したのがメールボックス・エンプティ割込みであることを確認した後で処置を実行します(例えば、メールボックス・データ・レジスタを再びロードして処理を再開します)。

## 3 A<sup>2</sup>B<sup>®</sup>の動作と設定

A<sup>2</sup>B<sup>®</sup>バスは高度にプログラマブルで、多くのユースケースに対応します。A<sup>2</sup>B<sup>®</sup>システムは、システム、ノード、およびペリフェラルの知識に基づいて簡単に設定できます。各スレーブから個々に情報を収集することにより、正確なシステム設定が可能になります。例として、複数のメーカーから同じ A<sup>2</sup>B<sup>®</sup>モジュールが供給され、モジュールによってレジスタのプログラミング条件が異なる場合が考えられます。オーディオ・インターフェースに TDM4 を使用するモジュールがある一方で、TDM8 を使用するモジュールもあります。また、1 つのモジュールは 2 つのアップストリーム・チャンネル、もう 1 つのモジュールは 3 つのアップストリーム・チャンネルを持ち、ノードがいくつ接続されるかをホストが事前に知らない場合もあります。

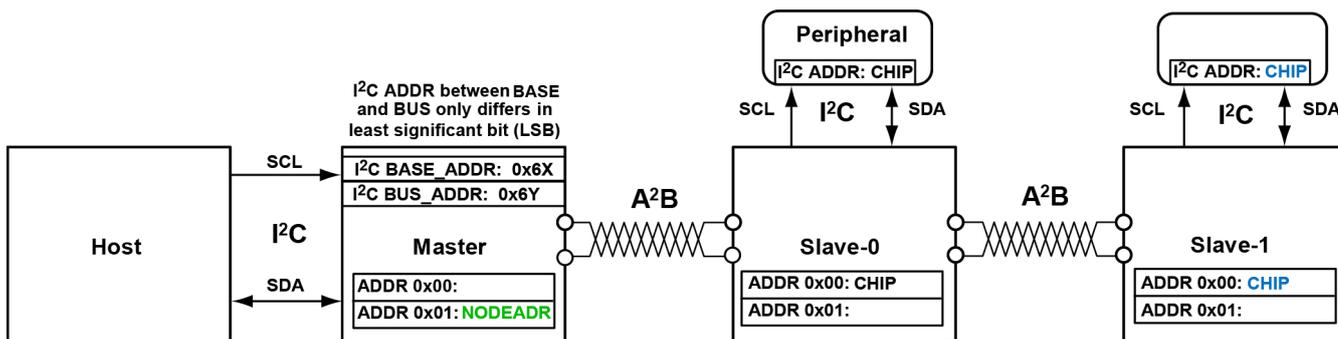
**重要：**レジスタをプログラミングした結果、有効なシステム設定が得られることを確認してください。

アナログ・デバイセズは無償の SigmaStudio<sup>™</sup> (<http://www.analog.com/jp/SigmaStudio>) ツールを提供しています。このツールは、A<sup>2</sup>B<sup>®</sup>バスの設計、設定、およびセットアップ用の直感的なグラフィカル・ユーザ・インターフェースを提供します。またこのツールは、エンベデッド・ソフトウェア用のドライバ・コードを生成します。

ご要望に応じて、Linux および QNX ソフトウェア・ドライバも提供されます。

### I<sup>2</sup>C ポートのプログラミングの概念

マスタ・トランシーバー・レジスタは、A<sup>2</sup>B<sup>®</sup>ホストが直接 I<sup>2</sup>C レジスタ・アクセスを使用して I<sup>2</sup>C ポートを介して直接プログラムします。スレーブ・トランシーバー・レジスタも、この方法でスレーブ・ノード上の I<sup>2</sup>C 接続コントローラがプログラムできます。ただし、A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバー・レジスタは、通常は A<sup>2</sup>B<sup>®</sup>ホストがリモート・スレーブ I<sup>2</sup>C レジスタ・アクセスを使用してマスタ・トランシーバーを通して A<sup>2</sup>B<sup>®</sup>バス経由でリモートでプログラムします。更に、スレーブ・トランシーバーが同じスレーブ・ノード上の I<sup>2</sup>C スレーブ・デバイスにローカル接続されている場合、その接続されている I<sup>2</sup>C スレーブ・デバイスにも、A<sup>2</sup>B<sup>®</sup>ホストがリモート・ペリフェラル I<sup>2</sup>C アクセスを使用して A<sup>2</sup>B<sup>®</sup>バス経由でリモートでアクセスできます。I<sup>2</sup>C アクセスのプログラミング・シーケンスの図は、トランシーバー・レジスタのプログラミングとスレーブ・ノードの I<sup>2</sup>C ペリフェラル・デバイスへのアクセスに必要なプログラミング・シーケンスを図で表したものです。



**Master I<sup>2</sup>C Access:**

<I2CADDR : BASE > R/W < ADDR > < R/W Data > // Read and write directly from/to master

**Slave 0 I<sup>2</sup>C Access:**

<I2C ADDR : BASE > R/W < ADDR : 0x01 > < PERI=0, NODE=0 > // Set slave node number in master (Slave0)

<I2C ADDR : BUS > R/W < ADDR > < Data > // Read and write directly from/to slave

**Peripheral of Slave 1 I<sup>2</sup>C Access:**

<I2CADDR : BASE > R/W < ADDR : 0x01 > < PERI=0, NODE=1 > // Set slave node number in master (Slave1)

<I2C ADDR : BUS > R/W < ADDR : 0x00 > < CHIP > // set device address for peripheral (CHIP) in slave

<I2CADDR : BASE > R/W < ADDR : 0x01 > < PERI=1, NODE=1 > // Set master to access a slave's peripheral (Peripheral of slave 1)

<I2C ADDR : BUS > R/W < ADDR > < Data > // Read and write directly from/to peripheral of slave

図 3-1: I<sup>2</sup>C アクセスのプログラミング・シーケンス

I<sup>2</sup>C アクセスのプログラミング・シーケンスの図では、次のようになっています。

- I<sup>2</sup>C ADDR は、マスタ・トランシーバーの I<sup>2</sup>C デバイス・アドレスです。
  - マスタ・トランシーバーに対する直接 I<sup>2</sup>C レジスタ・アクセスには、BASE\_ADDR (I<sup>2</sup>C ADDR: BASE) を使用します。
  - スレーブ・トランシーバーに対するリモート・スレーブ I<sup>2</sup>C レジスタ・アクセスと、スレーブ・ノード上の I<sup>2</sup>C 接続ペリフェラルに対するリモート・ペリフェラル I<sup>2</sup>C アクセスには、BUS\_ADDR (I<sup>2</sup>C ADDR: BUS) を使用します。

**注意:** BASE\_ADDR と BUS\_ADDR の詳細については、トランシーバーの I<sup>2</sup>C アクセスを参照してください。

- NODEADR は、マスタ・トランシーバーの A2B\_NODEADR レジスタです。
  - NODE は、A2B\_NODEADR.NODE フィールドです。
  - PERI は、A2B\_NODEADR.PERI ビットです。
- CHIP は、A2B\_CHIP レジスタです。
  - 黒い文字は、A2B\_CHIP レジスタそれ自体を示します。
  - 青い文字は、A2B\_CHIP レジスタの値を示します。

## 直接 I<sup>2</sup>C レジスタ・アクセス

トランシーバーがマスタまたはスレーブのどちらかに設定されている場合でも、I<sup>2</sup>C ポートを使用してトランシーバーのレジスタ空間に直接アクセスできます。

- マスタ・ノード上の A<sup>2</sup>B<sup>®</sup>ホストは、この方法でマスタ・トランシーバーのレジスタ空間に直接アクセスします。
- スレーブ・ノード上のローカル接続された I<sup>2</sup>C ホストは、この方法でスレーブ・トランシーバーのレジスタ空間に直接アクセスします。

I<sup>2</sup>C アクセスのプログラミング・シーケンスの図のマスタ I<sup>2</sup>C アクセスの部分に示すように、マスタ・トランシーバー・レジスタにアクセスするには、ホストからの I<sup>2</sup>C 転送が、マスタ・トランシーバーの I<sup>2</sup>C デバイス・アドレス (I2C ADDR: BASE = BASE\_ADDR)、続いてレジスタ・アドレス (ADDR)、最後にマスタ・トランシーバー・レジスタに関連付けられるデータ (R/W Data) で構成されている必要があります。詳細については、トランシーバーの I<sup>2</sup>C アクセスを参照してください。

**注意：**このマスタ I<sup>2</sup>C アクセス のシーケンスは、スレーブ・ノード上の I<sup>2</sup>C 接続されたホストがスレーブ・トランシーバーのレジスタ空間に直接アクセスする手順と同じです。

## リモート・スレーブ I<sup>2</sup>C レジスタ・アクセス

スレーブ・ノード上のローカル接続された I<sup>2</sup>C ホストは、I<sup>2</sup>C ポートを介してスレーブ・トランシーバー・レジスタを直接プログラムできますが、A<sup>2</sup>B<sup>®</sup>システムは、通常はマスタ・ノードから A<sup>2</sup>B<sup>®</sup>ホストによって完全に設定されます。I<sup>2</sup>C アクセスのプログラミング・シーケンスの図のスレーブ 0 への I<sup>2</sup>C アクセス の部分に示すように、この 2 段階のプロセスでは、まず A<sup>2</sup>B<sup>®</sup>ホストがマスタ・トランシーバーを直接設定した後、リモート I<sup>2</sup>C アクセスを使用して A<sup>2</sup>B<sup>®</sup>バスを介して特定のスレーブ・トランシーバーをプログラムします。A<sup>2</sup>B<sup>®</sup>ホストは、以下のプログラミング・シーケンスを使用して、マスタ・ノードから A<sup>2</sup>B<sup>®</sup>バスを介してリモートで A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバーのレジスタ空間にアクセスする必要があります。

- 直接 I<sup>2</sup>C レジスタ・アクセスを使用して、マスタ・トランシーバーの A2B\_NODEADR.NODE フィールドを、アクセス先のスレーブ・ノードの ID に設定します。この書込みでは、必ず A2B\_NODEADR.PERI ビットを 0 に設定します。これにより、これ以降のバス・アクセスは、指定されたスレーブに接続された I<sup>2</sup>C ペリフェラルではなく、指定されたスレーブ・トランシーバーのレジスタ空間をターゲットにします。

その他の情報: A2B\_NODEADR.NODE フィールドを 0 に設定すると、これ以降のバス・アクセスはスレーブ・ノード 0 をターゲットにします。このフィールドを 1 に設定すると、これ以降のバス・アクセスはスレーブ・ノード 1 をターゲットにします。すべての検出されたノード (マスタおよびスレーブ) に書込みをブロードキャストする場合は、この書込みでブロードキャスト・ビット (A2B\_NODEADR.BRCST) もセットしてください。

- スレーブ・トランシーバー・レジスタにアクセスするには、ホストからの I<sup>2</sup>C 転送が、マスタ・トランシーバーのバス・アドレス (I2C ADDR: BUS = BUS\_ADDR)、続いてスレーブ・トランシーバー・レジスタのアドレス (ADDR)、最後にスレーブ・トランシーバー・レジスタに関連付けられるデータ (Data) で構成されている必要があります。詳細については、トランシーバーの I<sup>2</sup>C アクセスを参照してください。

## リモート・ペリフェラル I<sup>2</sup>C アクセス

I<sup>2</sup>C アクセスのプログラミング・シーケンスの図のスレーブ 1 のペリフェラルへの I<sup>2</sup>C アクセス の部分に、A<sup>2</sup>B<sup>®</sup>ホストがリモート・ペリフェラル I<sup>2</sup>C アクセスを使用して A<sup>2</sup>B<sup>®</sup>バスを介して、スレーブ・トランシーバーの I<sup>2</sup>C ポートに接続されたペリフェラルにアクセスするのに必要なシーケンスを示します。A<sup>2</sup>B<sup>®</sup>ホストは、以下のプログラミング・シーケンスに従って、A<sup>2</sup>B<sup>®</sup>バスを介して A<sup>2</sup>B<sup>®</sup>スレーブ・ノード上の I<sup>2</sup>C ペリフェラル(例えば、マイクロフォンまたは DAC)にアクセスする必要があります。

1. 直接I<sup>2</sup>Cレジスタ・アクセスの書込みアクセスを使用して、マスタ・トランシーバーのA2B\_NODEADR.NODEフィールドを、アクセス先のペリフェラルに接続されたスレーブ・ノードの ID に設定します。この書込みでは、必ずA2B\_NODEADR.PERIビットをクリアします。これにより、これ以降のバス・アクセスは、スレーブ・ペリフェラルそれ自体ではなく、目標のスレーブ・トランシーバーのレジスタ空間を対象にします。

その他の情報:この書込みでA2B\_NODEADR.NODEフィールドは 1 に設定され、これ以降のバス・アクセスはスレーブ・ノード 1 をターゲットにします。すべての検出されたノード(マスタおよびスレーブ)にペリフェラル書込みをブロードキャストする場合は、この書込みでA2B\_NODEADR.BRCSTビットもセットしてください。目標のスレーブ・トランシーバーのA2B\_CHIPレジスタが、意図したペリフェラル・アクセスの I<sup>2</sup>C アドレスに既に設定されている場合は、A2B\_NODEADR.PERIビットを(クリアするのではなく)セットした状態でこの書込みを実行し、そのまま最後の手順に進みます。

2. リモート・スレーブI<sup>2</sup>Cレジスタ・アクセスの書込みアクセスを使用して、目的のスレーブ・トランシーバーのA2B\_CHIPレジスタを、スレーブに接続されたペリフェラルの I<sup>2</sup>C デバイス・アドレスに設定します。
3. 直接I<sup>2</sup>Cレジスタ・アクセスの書込みアクセスを使用して、(A2B\_NODEADR.NODEフィールドの内容を維持しながら)マスタ・トランシーバーのA2B\_NODEADR.PERIビットをセットします。これにより、これ以降の BUS\_ADDR アクセスは、目的のスレーブ・ノードの I<sup>2</sup>C ペリフェラルを対象とします。
4. スレーブ・ノード・ペリフェラルにアクセスするには、ホストからの I<sup>2</sup>C 転送が、マスタ・トランシーバーの BUS\_ADDR (I<sup>2</sup>C ADDR: BUS)、続いてスレーブ・トランシーバーがスレーブ・ノードの I<sup>2</sup>C ペリフェラルへのアクセスに使用するアドレス(ADDR)、最後にそのアドレスに関連付けられるデータ(Data)で構成されている必要があります。

## システムの立ち上げと検出

A<sup>2</sup>B<sup>®</sup>システムは、A<sup>2</sup>B<sup>®</sup>ホストによって起動されます。電源が正常に確立されたら、システム内の各ノードを、マスタ・ノードから順番に検出し、設定する必要があります。

### リセットと動作ステート

PLL ロックが失われると、A2B\_BMMCFGとA2B\_CONTROL.MSTRを除くすべてのレジスタの情報がリセットされます。

トランシーバーのステート図に、A<sup>2</sup>B<sup>®</sup>システム全体の立ち上げと実行の際に理解しておくことが重要なトランシーバーのステート情報を示します。

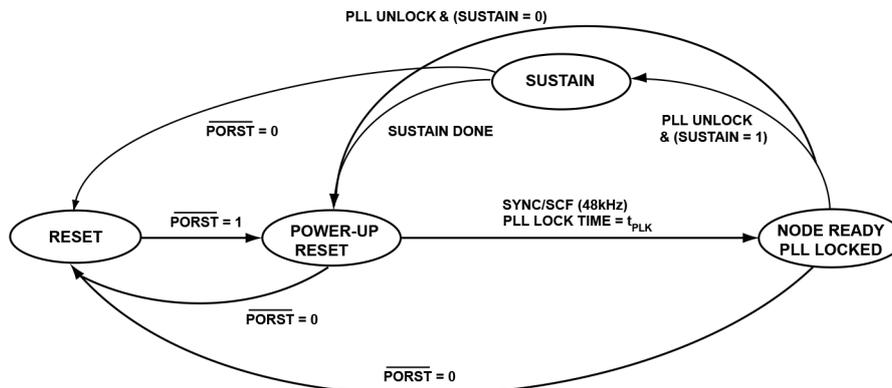


図 3-2: トランシーバーのステート図

**注意：** 維持モードはスレープ専用の機能であり、マスタ・トランシーバーは SUSTAIN ステートに移行しません。マスタ・トランシーバーの PLL ロックが失われると、POWER-UP ステートに直接戻ります。

## トランシーバーのパワーオンとリセット

トランシーバーは、最初の電源投入時に RESET ステートになります。RESET ステートでは、すべての A<sup>2</sup>B<sup>®</sup>システム・レジスタはリセット状態に保たれ、トランシーバーが POWER-UP RESET ステートに進むまで、どのレジスタもプログラムできません。POWER-UP RESET ステートへの移行は、トランシーバーに印加される電力 (VIN) と相関関係があります。

VIN 電源ピンの状態を監視している内部パワーオン・リセット回路は、V<sub>RSTN</sub> の仕様が満たされるまで、内部パワーオン・リセット信号 ( $\overline{\text{PORST}}$ ) をローにアサートした状態に保持します。V<sub>RSTN</sub> 仕様が満たされた時点で、 $\overline{\text{PORST}}$  はハイにディアサートされ、トランシーバーに正常に電力が供給されていることを示します。ここでトランシーバーは POWER-UP RESET ステートに移行します。POWER-UP RESET への移行後は、VIN 電源ピンで検出される電圧が V<sub>RST</sub> 仕様の範囲内に低下しない限り、 $\overline{\text{PORST}}$  信号はハイにディアサートされたままになります。VIN 電源ピンの電圧が V<sub>RST</sub> 仕様の範囲内に低下した場合、 $\overline{\text{PORST}}$  はローにアサートされ、トランシーバーは RESET ステートに戻ります。

## マスタの立ち上げと動作

トランシーバーのステート図 では、トランシーバーが POWER-UP RESET ステートに移行すると、ADR1/IO1 ピンと ADR2/IO2 ピンがラッチされて I<sup>2</sup>C デバイス・アドレスが決定され、トランシーバーは 2.5ms 以内に I<sup>2</sup>C デバイス・アクセス可能になります。A<sup>2</sup>B<sup>®</sup>ホストは、トランシーバーの A2B\_CONTROL.MSTR ビットをセットした後、システムのオーディオ・サンプリング・レート (48kHz または 44.1kHz を選択可能) で SYNC ピン (マスタ・トランシーバーの PLL への入力クロック) を駆動します。マスタ・トランシーバーは、PLL ロック・タイム (t<sub>PLK</sub>) の仕様に従って、受信した SYNC 信号に PLL をロックします。

**注意：** 応答しないマスタ・トランシーバーをソフトウェアが検出できるように、ホストが PLL ロック・タイム (t<sub>PLK</sub>) の仕様を超えるタイムアウトを設定することを推奨します。

PLL がロックされると、マスタ・トランシーバーは NODE READY PLL LOCKED ステートに移行します。この時点で、マスタ・トランシーバーは、ホストに対して割込みタイプ・レジスタ (A2B\_INTTYPE) に格納されている MSTR\_RUNNING

(0xFF) 割込みを生成し (IRQ/IO0 ピンはハイに駆動される)、マスタ・トランシーバーが I<sup>2</sup>C インターフェースを介してプログラミングできるようになったことを示します。

**注意：** PLL がロックされると、A2B\_CONTROL.MSTRビットへ書き込んでも影響はありません。

バス動作中にマスタ・トランシーバーの PLL がアンロックされると、SUSTAIN ステートはスレーブ専用の機能 (SUSTAIN = 0) であるため、トランシーバーは POWER-UP ステートに戻ります。A2B\_CONTROLレジスタを除くすべてのレジスタは、リセット値に戻ります。

## スレーブの立ち上げと動作

トランシーバーのステート図 では、ローカル電源または A<sup>2</sup>B<sup>®</sup>バス電源が確立されると、トランシーバーは POWER-UP RESET ステートになり、ADR1/IO1 ピンと ADR2/IO2 ピンがラッチされて I<sup>2</sup>C デバイス・アドレスが決定されます。トランシーバーはデフォルトではスレーブになり、POWER-UP RESET への移行後 2.5ms 以内に、検出およびプログラム可能な状態になります。

**注意：** BCLK および SYNC 出力は、POWER-UP RESET ステートではスリーステートになります。

POWER-UP RESET ステートの間、スレーブ・トランシーバーのレジスタ空間の一部は、ローカル接続されたホストが直接 I<sup>2</sup>Cレジスタ・アクセスを使用して I<sup>2</sup>C ポートを介して設定できます。これらのレジスタは以下のとおりです。

A2B_BMMCFG	A2B_CHIP	A2B_BCDNSLOTS
A2B_LDNSLOTS	A2B_LUPSLOTS	A2B_DNSLOTS
A2B_UPSLOTS	A2B_INTMSK0	A2B_INTMSK1
A2B_BECCCTL	A2B_TESTMODE	A2B_I2CCFG
A2B_SYNCOFFSET	A2B_PDMCTL	A2B_ERRMGMT
A2B_GPIODAT	A2B_GPIOOEN	A2B_GPIOIEN
A2B_PINTEN	A2B_PINTINV	A2B_PINCFG
A2B_I2SRATE	A2B_I2SRRCTL	A2B_I2SRRSOFFS
A2B_CLK1CFG	A2B_CLK2CFG	A2B_UPMASK0 - A2B_UPMASK3
A2B_UPOFFSET	A2B_DNMASK0 - A2B_DNMASK3	A2B_DNOFFSET
A2B_GPIODEN	A2B_GPIOD0MSK - A2B_GPIOD7MSK	A2B_GPIODINV
A2B_MBOX0CTL - A2B_MBOX1CTL	A2B_I2STEST	A2B_I2SRATE
A2B_I2SGCFG	A2B_I2SCFG	

これらのレジスタは POWER-UP RESET ステートで書き込み可能ですが、プログラムされた値は、トランシーバーが NODE READY PLL LOCKED ステートに進むまで有効になりません。ただし、スロット・レジスタ (A2B\_BCDNSLOTS、A2B\_LDNSLOTS、A2B\_LUPSLOTS、A2B\_DNSLOTS、A2B\_UPSLOTS、A2B\_UPMASK0 ~ A2B\_UPMASK3、および A2B\_DNMASK0 ~ A2B\_DNMASK3) は例外です。上記のスロット・レジスタにプログラムされた値は、マスタ・トランシーバーの A2B\_DATCTL レジスタがプログラムされ、それ以降に新しい構造が適用されるまで (A2B\_CONTROL.NEWSTRCT = 1)、有効になりません。

POWER-UP RESET ステートでは、スレーブ・トランシーバーは、マスタから供給される同期制御フレーム (SCF) を待機します。このフレームは、ホストが、マスタ・トランシーバーの A2B\_DISCVRY レジスタをターゲット・スレーブの応答時間に設定することにより、特定の A<sup>2</sup>B<sup>®</sup> システム・スレーブの検出プロセスを開始したときに開始されます。この書込みが発生すると、マスタは、SCF に埋め込まれた応答時間の値を含む検出フレームを送信することにより、検出を開始します。検出対象のスレーブは、検出フレームから情報を抽出して、そのスレーブの応答時間 (A2B\_RESPCYCS) を設定します。これらの検出フレームは、スレーブ・トランシーバーに入力クロックを供給します。スレーブ・トランシーバーは、PLL ロック・タイム (t<sub>PLK</sub>) の仕様に従って、このクロックに PLL をロックします。スレーブ・トランシーバーの PLL がロックされると、スレーブ・トランシーバーは NODE READY PLL LOCKED ステートになり、アップストリーム・ノードへの同期応答フレーム (SRF) の生成を開始します。これに対して、マスタ・トランシーバーは DSCDONE 割り込み (A2B\_INTTYPE = 0x18) を生成し、スレーブ・トランシーバーがリモート・スレーブ I<sup>2</sup>C レジスタ・アクセスを使用して A<sup>2</sup>B<sup>®</sup> バス経路でプログラミングできるようになったことを示します。

**注意：** A<sup>2</sup>B<sup>®</sup> バス (リモート・スレーブ I<sup>2</sup>C レジスタ・アクセスを使用) と I<sup>2</sup>C ポート (直接 I<sup>2</sup>C レジスタ・アクセスを使用) の両方から同じレジスタに同時に書き込もうとした場合、これらの I<sup>2</sup>C アクセスが実行される順序は予測不可能です。したがって、両方のソースから I<sup>2</sup>C トランザクションが行われる場合は、特に注意する必要があります。

**ヒント：** アプリケーションで (直接 I<sup>2</sup>C レジスタ・アクセスを使用して) ローカル・ノードをプログラムする必要がある場合は、マスタ・ノードとのメールボックス・ハンドシェイクを使用することにより、この競合を回避することができます。ホストは、レジスタ・アクセスを開始できるようになったときにスレーブのメールボックスのうち 1 つに書込み、スレーブがそのメールボックスを (初期化シーケンスが完了したことを示すメッセージとして) 読み出すまで待ちます。詳細については、メールボックスを参照してください。

NODE READY PLL LOCKED ステートでは、スレーブ・トランシーバーの A2B\_PDMCTL レジスタ (PDM モードの場合) または A2B\_I2SCFG レジスタ (I<sup>2</sup>S/TDM モードの場合) で I2S/TDM/PDM ポート・データ・ピンがイネーブルになるまで、BCLK および SYNC 出力はローに駆動されます。

バス動作中にスレーブ・トランシーバーの PLL がアンロックされると、クロック持続機能がディスエーブルになっている場合 (A2B\_SUSCFG.SUSDIS = 1、トランシーバーのステート図 では SUSTAIN = 0)、スレーブ・トランシーバーは POWER-UP ステートに戻ります。RESET ステートに戻ると、マスタは次の検出シーケンスを発行できます。

## クロック維持機能

デフォルトでは (トランシーバーのステート図 では SUSTAIN = 1)、スレーブ・トランシーバーはクロック維持機能を持ちます。この機能は、スレーブ・ノードのプロセッサと DAC をパワーダウンし、ローカル電源を使用するスレーブ・ノードのオーディオ信号をミュートすることができます。バスが通信を喪失し、スレーブ・トランシーバーが信頼できるクロックを回復できない場合 (トランシーバーのステート図 の PLL UNLOCK)、クロック維持機能がディスエーブル (A2B\_SUSCFG.SUSDIS = 1) になっていない場合は、スレーブ・トランシーバーは SUSTAIN ステートに移行します。SUSTAIN ステートに移行すると、トランシーバーは次のように動作します。

- 1024 の SYNC 周期の間、現在のクロック周波数で動作します。
  - I<sup>2</sup>S/TDM ポートは動作を続行します。
  - GPIO 上で SUSTAIN ステートを通知します (イネーブルの場合)。
  - SUSTAIN ステートの間、PLL を再ロックしようとしません。

- リセットし、再び POWER-UP RESET ステートに移行します。
- 安定した SCF 検出フレームが存在する場合は、NODE READY PLL LOCKED ステートに移行します。

GPIO 出力維持イネーブル(A2B\_SUSCFG.SUSOE)ビットがセットされている場合、トランシーバーが SUSTAIN ステートになっている間、PLL からの維持信号は、A2B\_SUSCFG.SUSSELビット・フィールドで選択された GPIO ピン上でハイに駆動されます。この機能は、その他の GPIO 出力より高い優先順位を持ちますが、ピン上の機能出力より低い優先順位になります。例えば、クロック出力 1 がイネーブル(A2B\_CLK1CFG.CLK1EN = 1)の場合、ADR1/IO1 ピンはクロック出力として駆動されます。A2B\_SUSCFG.SUSOE ビットをセットし、維持出力を ADR1/IO1 ピンに設定しても(A2B\_SUSCFG.SUSSEL = 1)、この動作はオーバーライドされません。

PLL からの維持信号は、スーパーフレームの始まりの近くでハイになります。維持信号がハイになると、次の P<sup>2</sup>S/TDM フレームから、減衰するデータ値が DTX0/IO3 および DTX1/IO4 ピン上に生成されます。

(A<sup>2</sup>B<sup>®</sup>バスから受信した)TX フレーム・バッファ内のデータ(A<sup>2</sup>B<sup>®</sup>システムのデータ・フローの管理を参照)には、P<sup>2</sup>S DTX0/DTX1 データ・ピンのいずれか一方または両方に出力される 32 ビット値が含まれます。イネーブルのデータ・ピン上で、負の値は 0 まで徐々に減衰し、正の値は -109dB (0x00001F00)まで徐々に減衰します。

## ノードの検出と初期化

ここでは、A<sup>2</sup>B<sup>®</sup>バス・システムの簡単なノード検出と初期化について説明します。修正された検出フロー、最適化された検出フロー、および高度な検出フローについては、本書の付録A:その他の検出フローの例で説明します。上記のソフトウェア・フロー図はすべて、検出と初期化のガイドラインとして使用できます。

### 簡単な検出フロー

すべてのスレーブ・ノードは、**簡単な検出フロー**の図に示すソフトウェア・フローにより、システム内のスレーブ 0 から利用可能な最後のスレーブまで順次検出されます。この図の各ステージに、ホストとマスタ・トランシーバーの間で P<sup>2</sup>C インターフェースを介して発行されるコマンドを示します。アクセス先の REGISTER\_NAME と共に、書込みコマンドは「wr」、読出しコマンドは「rd」で示します。「M」は BASE\_ADDR へのアクセス、「S」は BUS\_ADDR へのアクセスを示します。

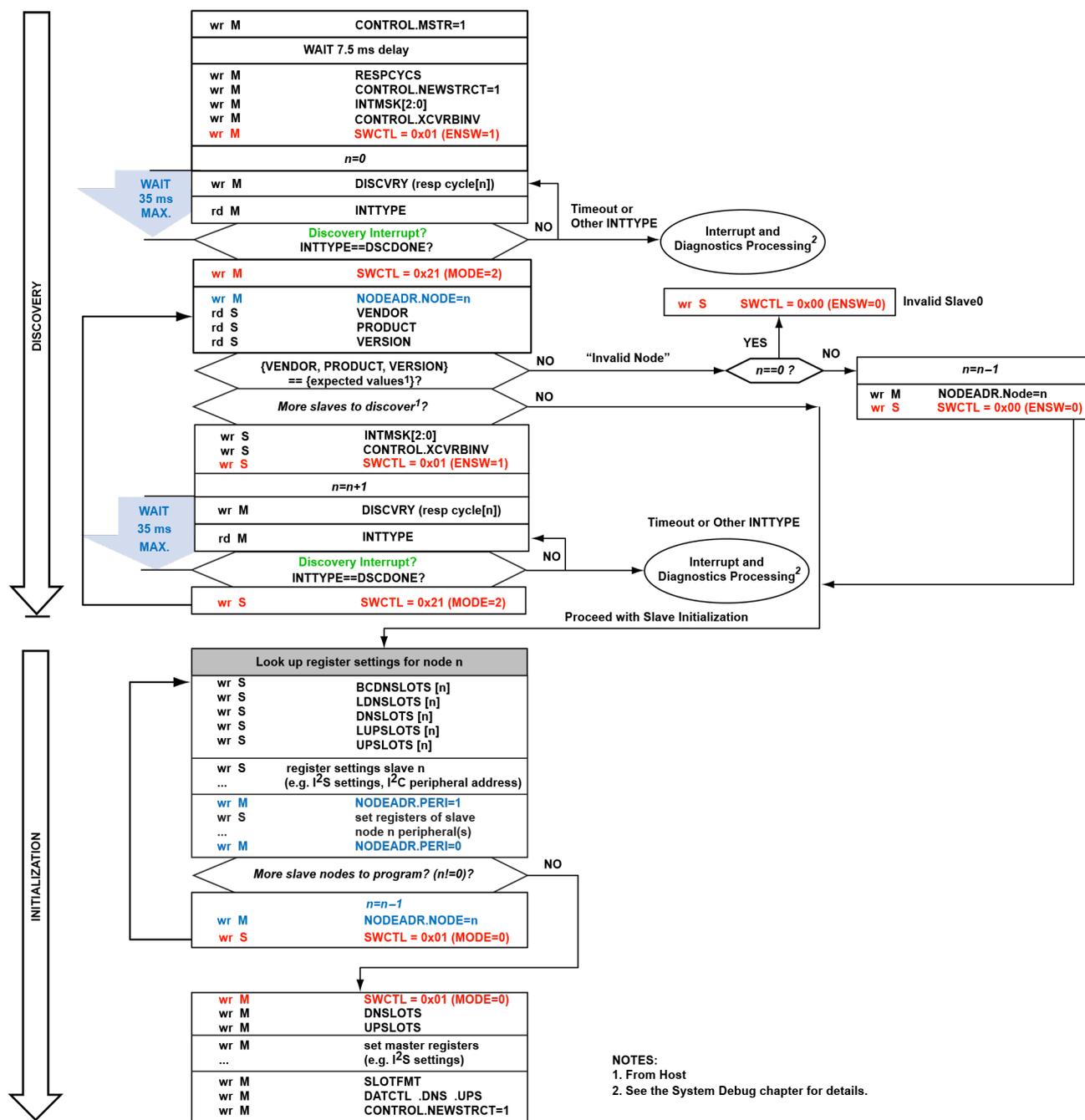


図 3-3: 簡単な検出フロー

**注意：** 簡単な検出フローの図で、マスタ・ノードまたは任意のスレーブ・ノード内でA2B\_SWCTL.ENSWビットをセットすると、そのノードは、接続された次のダウンストリーム・スレーブへの SCF の送信を開始します。これにより、次のスレーブ・トランシーバーは、マスタ・ノードがそのスレーブをターゲットとする検出フレームを開始する前に、PLL のロックを開始できます。

## ノードの検出と初期化

逆配線機能A2B\_CONTROL.XCVRBINV(LVDS XCVR B への／からのデータの反転)については、以下のガイドラインを使用します。

1. マスタ・ノード内で、A2B\_SWCTL.ENSWビットに書き込む前に、A2B\_CONTROL.XCVRBINVビットをセットします。A2B\_CONTROL.NEWSTRCTビットへの書き込みなど、他の目的でA2B\_CONTROLレジスタに書き込む際に、A2B\_CONTROL.XCVRBINVビットを誤ってクリアしないように注意してください。
2. 任意のスレーブ・ノード内で、A2B\_SWCTL.ENSWビットに書き込む前に、A2B\_CONTROL.XCVRBINVビットをセットする必要があります。

すべてのスレーブ・ノードが検出されたら、同期データ交換ができるようにノードを初期化します。フロー図の例では、最後のノードから初期化を開始し、マスタで終了しています。

検出は素早く終了し、同期オーディオの初期化が完了するより前に(これには多少時間がかかる)、すべてのノードと各ノードのI<sup>2</sup>Cペリフェラルにアクセスできるようになります。

すべてのノードの検出と設定が完了した後、更にバス管理を行う必要はありません。割り込みサービス・ルーチンを使用して、(例えば、IOピンからの)特殊な割り込み要求(IRQ)イベントに応答できます。あるいは、A2B\_INTTYPEレジスタをポーリングして、割り込みイベントをモニタできます。

最適化された検出フローと高度な検出フローのセクションで、自動設定の実行方法を説明します。

## 応答サイクル

A2B\_RESPCYCSレジスタにより、同期制御フレーム(SCF)の開始から、最後のスレーブが同期応答フレーム(SRF)で応答する瞬間までの相対時間を設定します。このレジスタの設定値により、最後のスレーブからの応答をいつ受信するかを、より上流のノードに示します。最後のノードが応答しない場合は、最後のノードの1つ前のノードが応答します。

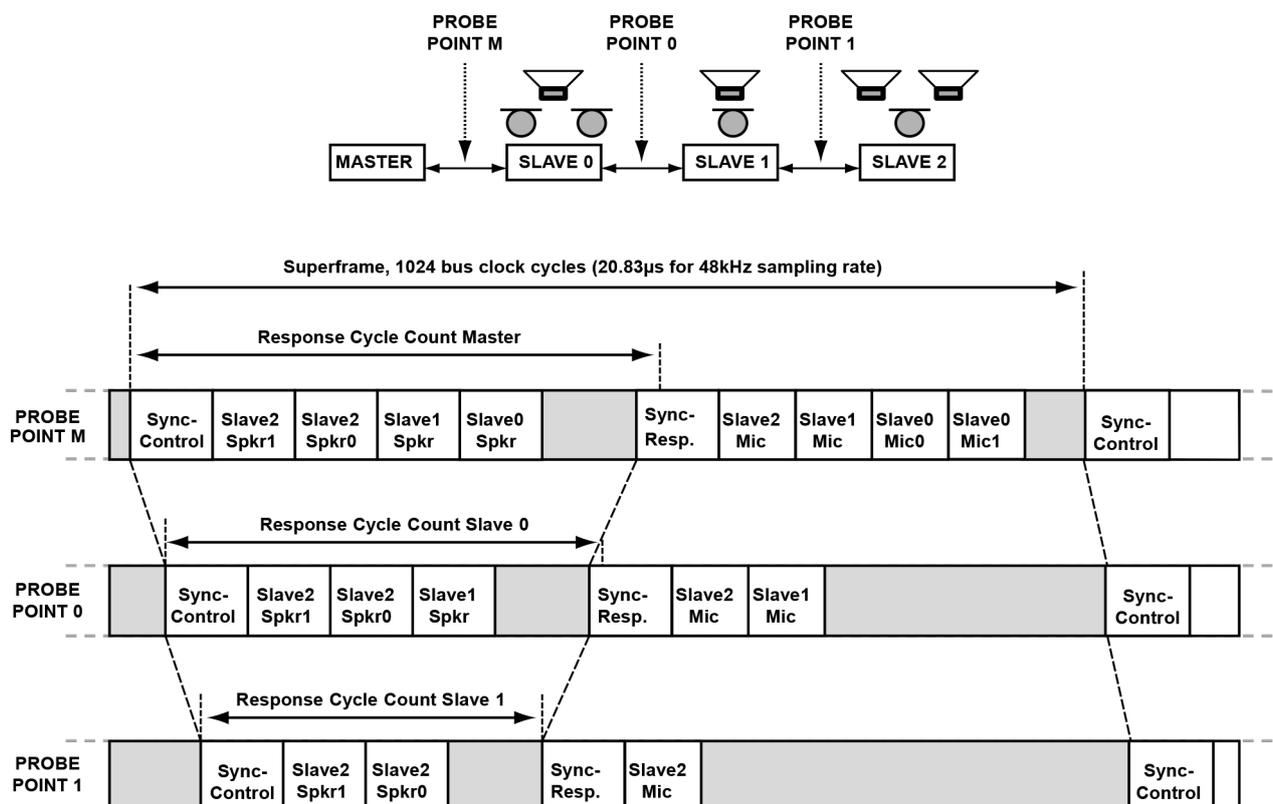


図 3-4: 同期データ・イネーブル

トランシーバーの応答サイクルの値については、付録B: 応答サイクルの式で説明します。この値は以下のパラメータと相関関係があります。

- スレーブ・ノードの数
- ダウンストリーム・スロットの数
- ダウンストリーム・スロットのサイズ
- アップストリーム・スロットの数
- アップストリーム・スロットのサイズ
- マスタの I<sup>2</sup>S/TDM チャンネルの構成

**注意:** マスタ・トランシーバーの応答サイクルの値は、上記のパラメータを使用して、応答サイクル計算ツールのスプレッドシートまたは SigmaStudio ソフトウェア内で計算されます。詳細については、最寄りのアナログ・デバイセス代理店までお問い合わせください。

## スレーブ・ノードの応答サイクル

スレーブ・ノードの応答サイクルの図に、スレーブ・ノードの XCVR A および XCVR B ポート上での SCF と SRF の間の相対タイミングを示します。スレーブ・ノードは、XCVR A 上での SCF の開始後、約  $((4 * A2B\_RESPCYCS) + 7)$  ビット後に

## ノードの検出と初期化

SRF を生成します。例えば、A2B\_RESPCYCS= 128(0x80) の場合、スレーブ・ノードは、519 番目  $((4 * 128) + 7 = 519)$  のビットで SRF を生成します。

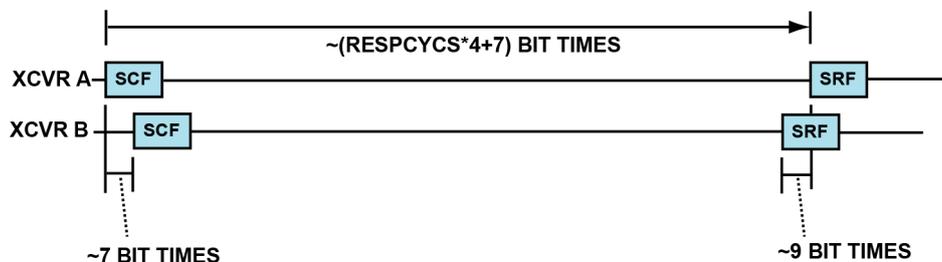


図 3-5: スレーブ・ノードの応答サイクル

スレーブ・ノードの応答サイクルの図に示すように、トランシーバーの一方の側からもう一方の側にスーパーフレームを渡すために、トランシーバー遅延 (TD) が発生します。スーパーフレームのダウンストリーム部分では、トランシーバーの A 側から B 側への移動時に  $7(\pm 2)$  ビットの遅延 ( $\text{TD}_{\text{DOWN}}$ ) が発生します。反対に、同じスーパーフレームのアップストリーム部分では、B 側から A 側への移動時に  $9(\pm 2)$  ビットの遅延 ( $\text{TD}_{\text{UP}}$ ) が発生します。トランシーバー遅延 の表に、サポートしているフレーム・レートごとにこれらの遅延を示します。これは次の式で計算されます。

$$\text{遅延の範囲} = \text{公称遅延範囲} / (\text{SYNC レート} * 1024)$$

表 3-1: トランシーバー遅延

Time Delay (Direction)	SYNC Rate (kHz)	Nominal Latency Range (SYSBCLK)	Delay Range (ns)
$\text{TD}_{\text{DOWN}}$ (A-Side to B-Side Downstream)	44.1	$7 \pm 2$	110.7 - 199.3
$\text{TD}_{\text{DOWN}}$ (A-Side to B-Side Downstream)	48.0	$7 \pm 2$	101.7 - 183.1
$\text{TD}_{\text{UP}}$ (B-Side to A-Side Upstream)	44.1	$9 \pm 2$	155.0 - 243.6
$\text{TD}_{\text{UP}}$ (B-Side to A-Side Upstream)	48.0	$9 \pm 2$	142.4 - 223.8

これらのトランシーバー遅延以外に、ノード間のケーブル遅延 (CD) があり、スーパーフレームのダウンストリーム部分で SCF が受信される時点から、同じスーパーフレームのアップストリーム部分で相補的な SRF がそのポイントに戻る時点までの相対タイミングを変化させます。5 ビットの時間幅 (予想されるビット時間  $\pm 2$ ) があり、この時間内に SRF はスレーブ・ノードの B 側で正常に受信され、A 側に渡されます。この時間幅の範囲外の SRF も検出されます。予想される応答時間

は、検出中にトランシーバーによって徐々に(自動的に)調整され、ケーブル長の仕様全体にわたる -4ビット時間から+15ビット時間の調整範囲で不一致を調整します。したがって、A2B\_RESPCYCSの式は、サポートしているすべてのケーブル長で有効です。システム設計段階でケーブル長がわかっている場合は、この推奨事項をすべての検出フローに適用できます。ケーブル長がわからない場合は、デフォルトの応答サイクル計算(4mのケーブル長を想定)で十分です。長いケーブルを使用している場合、検出中に若干のエラー(CRCERR、SRFERR、またはSRFCRCERR)が観察されることがありますが、この自動調整機能があるため、検出終了後にはシステムは正確に動作します。

検出中に実行される応答サイクル自動調整は、次のように機能します。

1. ホストは、スーパーフレームの 519 番目のビットで SRF を受信するようにマスタをプログラムします。そのために、上記の  $(4 * 128) + 7 = 519$  に従って、A2B\_RESPCYCS = 128(0x80) に設定します。
2. ホストがマスタ・ノードのA2B\_DISCVRYレジスタに 0x80 を書き込むと、マスタ・ノードはスレーブ 0 の検出を開始します。スレーブ 0 が SRF の送信を開始すると、マスタは応答時間を調整してスレーブ 0 に揃えます。

ケーブル長が短い場合は(20cm 以内)、スーパーフレームの 519 番目のビットで SRF を受信するマスタ・ノードの能力に影響を与えません。

ケーブル長が長い場合は、受信側ノードで SRF がキャプチャされる時間に、5ns/m 程度の物理ケーブル遅延(CD)が生じます。例えば、マスタ・ノードとスレーブ 0 ノード間のケーブル長が 10m の場合、マスタ・ノード側の SRF 受信時間は、100ns(50ns のダウンストリーム CD + 50ns のアップストリーム CD)遅延します。この 100ns の合計 CD は、A<sup>2</sup>B<sup>®</sup>の 5 ビットに相当します。したがって、この場合、マスタ・ノードは、スーパーフレームの 524(±2) 番目のビットで SRF を受信するように、応答サイクルを調整します。

3. ホストがA2B\_DISCVRYレジスタに 0x7C を書き込むと、マスタ・ノードはスレーブ 1 の検出を開始します。スレーブ 1 が SRF の送信を開始すると、スレーブ 0 は応答時間を調整してスレーブ 1 に揃えます。これにより、スレーブ 0 からの SRF が遅延するため、SRF がマスタ・ノードに到着する時間に遅延が更に加算されます。

マスタ・ノードが SRF を受信する時間は、マスタ・ノードとスレーブ 0 の間の CD と、スレーブ 0 とスレーブ 1 の間の CD に依存します。上の例では、スレーブ 0 とスレーブ 1 の間の 2 本目の 10m ケーブルにより、マスタ・ノード側の SRF 受信時間に 5 ビットの遅延が加算されます。したがって、マスタ・ノードは、応答サイクルを調整してスーパーフレームの 529(±2) 番目のビットで SRF を受信します。

**SRF 応答**の図に、ケーブル遅延とトランシーバー遅延が SRF 応答に与える影響を示します。この場合、検出フェーズ中に応答サイクルが調整されるため、SRF 欠落エラーは観察されません。

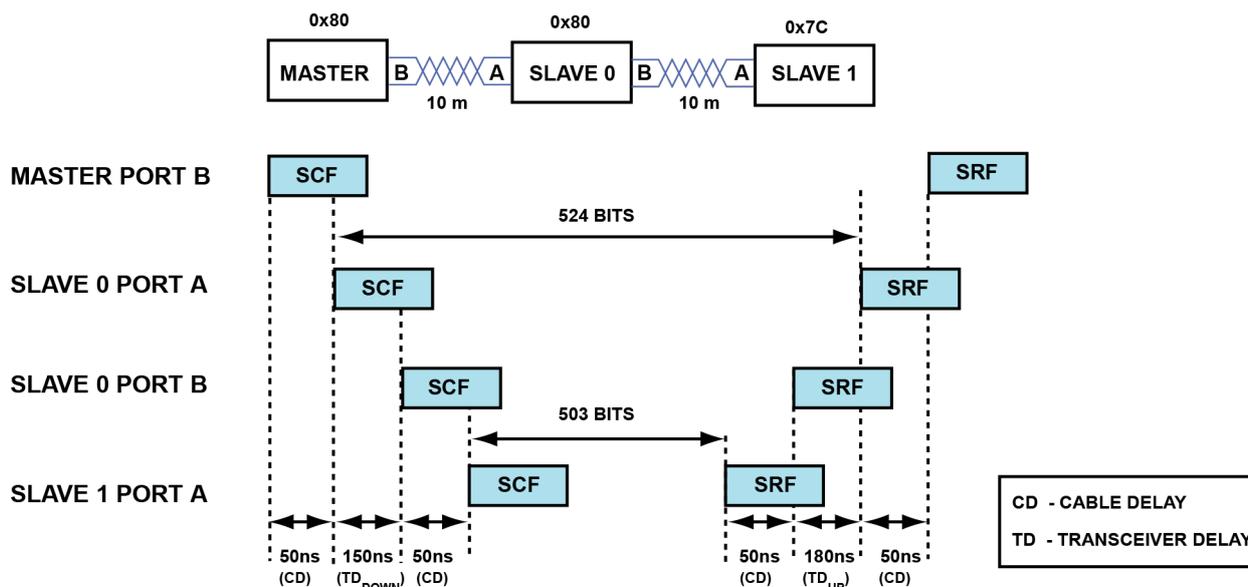


図 3-6: SRF 応答

この例では、次のようになります。

- スレーブ 1 は最後のスレーブ・ノードで、SRF を開始してスーパーフレームのアップストリーム部分を開始する役割があります。A2B\_RESPCYCS = 124 (0x7C) でプログラムされた場合、スレーブ 1 は、スーパーフレームの 503 番目のビット ( $(4 * 124) + 7 = 503$ ) で SRF を生成するように設定されます。
- アップストリーム・スレーブ 0 から見ると、SCF がスーパーフレームのダウンストリーム部分でスレーブ 0 の A 側トランシーバーに到着してから、対応する SRF が同じスーパーフレームのアップストリーム部分でその位置に現れるまでの合計遅延は 430ns (21 ビット) です。この遅延は以下の要素で構成されます。
  - スレーブ 0 のダウンストリーム・トランシーバー遅延 ( $TD_{DOWN} = 150ns$ )
  - スレーブ 0 とスレーブ 1 の間のダウンストリーム・ケーブル遅延 ( $CD = 5ns/m * 10m = 50ns$ )
  - スレーブ 1 とスレーブ 0 の間のアップストリーム・ケーブル遅延 ( $CD = 5ns/m * 10m = 50ns$ )
  - スレーブ 0 のアップストリーム・トランシーバー遅延 ( $TD_{UP} = 180ns$ )

したがって、スレーブ 0 ノードとスレーブ 1 ノードの間のケーブル長が 10m の場合、SCF がスレーブ 0 の A 側トランシーバーに到着してから、対応する SRF がその位置に生成されるまでのビット数を計算すると、 $503 + 21 = 524$  ビットになります。

- マスタ・ノードから見ると、SCF を生成してから、同じスーパーフレームのアップストリーム部分で対応する SRF が現れるまでの合計遅延は 100ns (5 ビット) です。この遅延は以下の要素で構成されます。
  - マスタとスレーブ 0 の間のダウンストリーム・ケーブル遅延 ( $CD = 5ns/m * 10m = 50ns$ )
  - スレーブ 0 とマスタの間のアップストリーム・ケーブル遅延 ( $CD = 5ns/m * 10m = 50ns$ )

したがって、SCF フィールドの生成から、対応する SRF の受信までのビット数を計算すると、 $524 + 5 = 529$  ビットになります。

## A<sup>2</sup>B<sup>®</sup>システムのデータ・フローの管理

A<sup>2</sup>B<sup>®</sup>システム内の各マスタ・トランシーバーおよびスレーブ・トランシーバーは、任意の 2 つのトランシーバー間の A<sup>2</sup>B<sup>®</sup>バス上のアップストリームとダウンストリームの両トラフィックについて、目的の-slot管理方式とフォーマットに合わせて適切に設定されている必要があります。

各トランシーバーは、次の 2 つの内部フレーム・バッファを備えています。

- TX フレーム・バッファ - A<sup>2</sup>B<sup>®</sup>バスによって充填され、DTX0 または DTX1 ピン、あるいはその両方に出力されます。
- RX フレーム・バッファ - DRX0 または DRX1 入力ピン、あるいはその両方によって充填され、A<sup>2</sup>B<sup>®</sup>バスに出力されま

これらのフレーム・バッファは、各スーパーフレーム中に充填され、空にされます。ダウンストリーム・slotの内容がバッファの下位の位置を占め、アップストリーム・slotの内容がバッファの上位の位置を占めます。任意のトランシーバーが A<sup>2</sup>B<sup>®</sup>バス上で最大 32 slotを占有することができ、最大 32 ビットのデータをサポートするため、フレーム・バッファの深さは 32 ローケーション、幅は 32 ビットです。

**注意：**トランシーバーが、A<sup>2</sup>B<sup>®</sup>バスからダウンストリーム・slotとアップストリーム・slotの合計で 32 を超える数のslotを受信するように設定されている場合、フレーム・バッファに収容できない、アップストリーム・slotに関連付けられる余分なデータは廃棄されます。

TX フレーム・バッファは、A<sup>2</sup>B<sup>®</sup>バスによって充填されます。イネーブルになっているダウンストリーム・slotの数と指定されたslot・マスクにより、スーパーフレームのダウンストリーム部分でどのダウンストリーム・slotが TX フレーム・バッファに格納されるかが決まります。同様に、アップストリーム・データ・slotの数と指定されたslot・マスクにより、ダウンストリーム・データの後にどのアップストリーム・slotが TX フレーム・バッファに格納されるかが決まります。この複合データ・バッファは、イネーブルになっている DTX<sub>n</sub> データ・ピンに出力されます。どのピンに出力されるかは、イネーブルになっている送信データ・ピンの数と、インターリーブがイネーブルかどうかによって決まります。

RX フレーム・バッファは、イネーブルになっている DRX<sub>n</sub> データ・ピンを介して、PS/TDM ポートによって充填されます。どのように RX フレーム・バッファ内にデータが配置されるかは、イネーブルになっている受信ピンの数と、インターリーブがオンになっているかどうかによって決まります。バッファが充填されると、イネーブルになっているダウンストリーム・slotの数と指定されたslot・マスクにより、スーパーフレームのダウンストリーム部分でどのダウンストリーム・slotが RX フレーム・バッファによって充填されるかが決まります。同様に、アップストリーム・データ・slotの数と指定されたslot・マスクにより、ダウンストリーム・データの送信後にどのアップストリーム・slotが RX フレーム・バッファによって充填されるかが決まります。

### dnmaskrx と upmaskrx の定義

dnmaskrx の値は、A2B\_DNMask0～A2B\_DNMask3レジスタの値から決定されます。

```
if (DNMask3.RXDNSLOT31==1) dnmaskrx = 32;
else if (DNMask3.RXDNSLOT30==1) dnmaskrx = 31;
else if (DNMask3.RXDNSLOT29==1) dnmaskrx = 30;
...
else if (DNMask0.RXDNSLOT02==1) dnmaskrx = 3;
else if (DNMask0.RXDNSLOT01==1) dnmaskrx = 2;
```

```
else if (DNMASK0.RXDNSLOT00==1) dnmaskrx = 1;
else dnmaskrx = 0;
```

upmaskrx の値は、A2B\_UPMASK0～A2B\_UPMASK3レジスタの値から決定されます

```
if (UPMASK3.RXUP SLOT31==1) upmaskrx = 32;
else if (UPMASK3.RXUP SLOT30==1) upmaskrx = 31;
else if (UPMASK3.RXUP SLOT29==1) upmaskrx = 30;
...
else if (UPMASK0.RXUP SLOT02==1) upmaskrx = 3;
else if (UPMASK0.RXUP SLOT01==1) upmaskrx = 2;
else if (UPMASK0.RXUP SLOT00==1) upmaskrx = 1;
else upmaskrx = 0;
```

### A<sup>2</sup>B<sup>®</sup>スロット・フォーマット

アップストリーム・データ・スロットとダウンストリーム・データ・スロットの通常の(デフォルト)フォーマットは、データと後続するシングル・パリティ・ビットです。ただし、浮動小数点圧縮または ECC 保護に対応する代替フォーマットも利用可能です。アップストリーム・データ・スロットとダウンストリーム・データ・スロットのサイズとフォーマットは、A2B\_SLOTFMTレジスタで設定されます。スロット・フォーマットの表に、A2B\_SLOTFMT.DNFMT、A2B\_SLOTFMT.DNSIZE、A2B\_SLOTFMT.UPFMT、およびA2B\_SLOTFMT.UPSIZEビットによって設定されるデータ・フォーマットの一覧を示します。スロット・フォーマットの表では、ダウンストリーム・スロット・フォーマットとアップストリーム・スロット・フォーマットのどちらを設定しているのかに応じて、FMT の列はA2B\_SLOTFMT.DNFMTビットまたはA2B\_SLOTFMT.UPFMTビットになり、SIZE の列は 3 ビットのA2B\_SLOTFMT.DNSIZEフィールドまたはA2B\_SLOTFMT.UPSIZEフィールドになります。

表 3-2:スロット・フォーマット

FMT	SIZE	A <sup>2</sup> B Slot Size	Compression	Protection	Data Width	A <sup>2</sup> B Bus Bits
0	0b000	8-bit	None	Parity	8-bit	9
0	0b001	12-bit	None	Parity	12-bit	13
0	0b010	16-bit	None	Parity	16-bit	17
0	0b011	20-bit	None	Parity	20-bit	21
0	0b100	24-bit	None	Parity	24-bit	25
0	0b101	28-bit	None	Parity	28-bit	29
0	0b110	32-bit	None	Parity	32-bit	33
0	0b111	RESERVED				
1	0b000	RESERVED				
1	0b001	12-bit	FP	Parity	16-bit	13
1	0b010	16-bit	FP	Parity	20-bit	17
1	0b011	20-bit	FP	Parity	24-bit	21
1	0b100	24-bit	None	ECC	24-bit	30

表 3-2: スロット・フォーマット(続き)

FMT	SIZE	A <sup>2</sup> B Slot Size	Compression	Protection	Data Width	A <sup>2</sup> B Bus Bits
1	0b101	RESERVED				
1	0b110	32-bit	None	ECC	32-bit	39
1	0b111	RESERVED				

**注意：**スロット・フォーマットの表で、I<sup>2</sup>S/TDM Data Width の列は、I<sup>2</sup>S/TDM/PDM ポートを介して MSB ファースト・フォーマットで交換される実際のデータの幅を示します。この列のデータ幅が 8~16 ビットの場合、オプションにより A<sup>2</sup>B\_I2SGCFG.TDMSS ビットをセットして、I<sup>2</sup>S/TDM/PDM ポートを介して 16 ビットの TDM チャンネル・データ幅を使用できます。20~32 ビットのデータ幅を使用するには、A<sup>2</sup>B\_I2SGCFG.TDMSS ビットがクリアされている必要があります(32 ビットの TDM チャンネル・データ幅)。詳細については、I<sup>2</sup>S/TDM ポートのプログラミングの概念を参照してください。

## ECC 保護

トランシーバーは、A<sup>2</sup>B<sup>®</sup>バスのデータ・スロットについて、ECC 保護付きの 24 ビットおよび 32 ビット・データをサポートしています。

**注意：**スロット・フォーマットの表に示すように、24 ビット・データには 6 つ、32 ビット・データには 7 つの ECC ビットがあります。

(スーパーフレームより短い)ノイズによる強い障害があり、ECC 保護がなければビット・エラーが発生しそうな環境では、ECC 保護が効果的です。ECC は、オーディオ・データ誤り訂正(最後の既知の正常なデータの繰り返し)に追加して使用できますが、必要なバス帯域幅が大きくなるため、非オーディオ・データにしか使用できないことがあります。

## 浮動小数点データ圧縮

A<sup>2</sup>B<sup>®</sup>プロトコル・エンジンは、オプションの浮動小数点データ圧縮/伸張機能を提供します。この機能により、(すぐ下のデータ・サイズよりも良い品質で)所定のデータ・サイズに使用される A<sup>2</sup>B<sup>®</sup>バスの帯域幅を低減できます。この圧縮機能は、I<sup>2</sup>S データ幅に対応する、12、16、および 20 ビットの A<sup>2</sup>B<sup>®</sup>データ・サイズで使用できます。圧縮機能は、ソース・データの先頭の符号ビットの数を 3 ビット・フィールドとしてエンコードし、符号ビットそれ自体を連結し、続いて N-4 ビットのデータを連結します(N は A<sup>2</sup>B<sup>®</sup>データ・サイズ)。**16 ビットから 12 ビットへの圧縮の例**の表に、16 ビットから 12 ビットへの圧縮の例を示します。表中の s は符号ビットで、~s は符号ビットの反転です。

表 3-3: 16 ビットから 12 ビットへの圧縮の例

16-Bit Data															-->	12-Bit FP Data														
s	~s	x	x	x	x	x	x	x	x	x	y	y	y	y	y	-->	0	0	0	s	x	x	x	x	x	x	x	x	x	x
s	s	~s	x	x	x	x	x	x	x	x	y	y	y	y	y	-->	0	0	1	s	x	x	x	x	x	x	x	x	x	x
s	s	s	~s	x	x	x	x	x	x	x	x	y	y	y	y	-->	0	1	0	s	x	x	x	x	x	x	x	x	x	x
s	s	s	s	~s	x	x	x	x	x	x	x	y	y	y	y	-->	0	1	1	s	x	x	x	x	x	x	x	x	x	x

表 3-3: 16 ビットから 12 ビットへの圧縮の例 (続き)

16-Bit Data																-->	12-Bit FP Data												
S	S	S	S	S	~S	X	X	X	X	X	X	X	X	<b>Y</b>	<b>Y</b>	-->	1	0	0	S	X	X	X	X	X	X	X	X	X
S	S	S	S	S	S	~S	X	X	X	X	X	X	X	X	<b>Y</b>	-->	1	0	1	S	X	X	X	X	X	X	X	X	
S	S	S	S	S	S	S	~S	X	X	X	X	X	X	X	X	-->	1	1	0	S	X	X	X	X	X	X	X	X	
S	S	S	S	S	S	S	S	~S	X	X	X	X	X	X	X	-->	1	1	1	S	X	X	X	X	X	X	X	X	

データの伸張では、このプロセスが逆になります。圧縮されたデータの LSB (12 ビットから 16 ビットへのデータ伸張の例の表では **L**) を使用して、圧縮されたフォーマットには格納されていない、伸張されたデータの残りの LSB を生成します。

表 3-4: データ伸張の例: 12 ビットから 16 ビットへ

12-Bit FP Data												-->	16-Bit Decompressed Data															
0	0	0	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	~S	X	X	X	X	X	X	X	<b>L</b>						
0	0	1	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	~S	X	X	X	X	X	X	<b>L</b>	<b>L</b>	<b>L</b>	<b>L</b>	<b>L</b>	<b>L</b>	
0	1	0	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	S	~S	X	X	X	X	X	X	<b>L</b>	<b>L</b>	<b>L</b>	<b>L</b>	<b>L</b>	
0	1	1	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	S	S	~S	X	X	X	X	X	X	<b>L</b>	<b>L</b>	<b>L</b>	<b>L</b>	
0	0	0	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	S	S	S	~S	X	X	X	X	X	X	<b>L</b>	<b>L</b>	<b>L</b>	
0	0	1	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	S	S	S	S	~S	X	X	X	X	X	X	<b>L</b>	<b>L</b>	
0	1	0	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	S	S	S	S	S	~S	X	X	X	X	X	X	<b>L</b>	
0	1	1	S	X	X	X	X	X	X	X	<b>L</b>	-->	S	S	S	S	S	S	S	S	X	X	X	X	X	X	<b>L</b>	

FP 圧縮を選択することは、データ・スロットのサイズを小さくするための良い方法です。この方法は、複数のデータ・チャンネルを必要とするシステムにメリットがあります。時に、使えるデータ・スロットが十分か不足しているどちらの場合でも便利です。スロット・サイズを小さくすると、消費電力も少なくなります。これはファンタム給電ノードで重要になる可能性があります。

データ圧縮をイネーブルにした場合、オーディオ信号の全ダイナミック・レンジ (24 ビット = 144.49dB) が維持されます。人間の耳は、静音環境ではノイズ・レベルに近い音を聴き取れますが、非常に大音量のオーディオ・コンテンツがあると、非常に小音量のオーディオ・コンテンツは聴き取れなくなります。(20 ビットへの) 浮動小数点圧縮は、この心理音響学的効果を利用して、高レベルのオーディオ・コンテンツがあるときは低レベルのオーディオ・コンテンツを削除します。浮動小数点圧縮は、高レベルのオーディオ・コンテンツがないときはすべての低レベル・コンテンツを維持し (20 ビット・データ・スロットの場合、16 ビット = 96.33dB)、常に 16 ビット = 96.33dB の分解能で、強いオーディオ信号 (20 ビット・データ・スロットの場合、最大 144.49dB) の全ダイナミック・レンジをサポートします。

### ダウンストリーム・データ・スロット

スレーブ・ノードは、DTXn ピンに出力されるダウンストリーム・バス・スロットを選択的に受信できます。DRXn ピン上で設定可能な数の I<sup>2</sup>S/TDM データ・チャンネルをスキップした後に (A2B\_DNOFFSET)、次のチャンネルをダウンストリーム・データ・スロットとして A<sup>2</sup>B<sup>®</sup>バスに出力することができます。その結果、このモードでスレーブ・ノードによるダウンストリーム・データの受信と送信ができるようになります。

A2B\_DN<sub>0</sub>MASK0～A2B\_DN<sub>3</sub>MASK3レジスタには、可能な各ダウンストリーム・データ・スロットにつき 1 ビットがあります。これらのダウンストリーム・マスク・ビットにより、どのダウンストリーム・スロットがトランシーバーによって消費されるか、またトランシーバーの TX フレーム・バッファに配置され、I<sup>2</sup>S/TDM ポートに出力されるかが選択されます。この操作はダウンストリーム・マスク・イネーブル(A2B\_LD<sub>NSLOTS</sub>.DN<sub>0</sub>MASKEN)ビットによって制御されます。

A2B\_LD<sub>NSLOTS</sub>.DN<sub>0</sub>MASKEN= 0 の場合、A2B\_DN<sub>0</sub>MASKレジスタは、スレーブ・ノードを介してダウンストリームに渡される、(SCF の直後から始まる)ダウンストリーム・データ・スロットの数を定義します。またA2B\_LD<sub>NSLOTS</sub>レジスタは、スーパーフレームのダウンストリーム部分でトランシーバーによって取り込まれる、ダウンストリーム・データ・スロットの数を定義します。トランシーバーはこれらのデータ・スロットを消費し、次のダウンストリーム・ノードに渡しません。したがって、スレーブ・トランシーバーは、A 側トランシーバーで「A2B\_BC<sub>DNSLOTS</sub> + A2B\_DN<sub>0</sub>MASK + A2B\_LD<sub>NSLOTS</sub>」個のダウンストリーム・データ・スロットを受信し、B 側トランシーバーで「A2B\_BC<sub>DNSLOTS</sub> + A2B\_DN<sub>0</sub>MASK」個のダウンストリーム・データ・スロットを送信します。

**注意：**スレーブ・トランシーバー内でA2B\_LD<sub>NSLOTS</sub>.DN<sub>0</sub>MASKENビットがクリアされている場合、A2B\_DN<sub>0</sub>MASK0～A2B\_DN<sub>3</sub>MASK3レジスタは無視されます。

A2B\_LD<sub>NSLOTS</sub>.DN<sub>0</sub>MASKEN= 1 の場合、A2B\_LD<sub>NSLOTS</sub>レジスタにより、スーパーフレームのダウンストリーム部分でローカル・ノードが追加するデータ・スロットの数が定義されます。これらのデータ・スロットは、A2B\_DN<sub>0</sub>MASK個のデータ・スロットの後に、ローカル・ノードを介してダウンストリームに渡されます。A2B\_DN<sub>0</sub>MASK0～A2B\_DN<sub>3</sub>MASK3レジスタ内で設定される最上位ビットにより、どのスロットがトランシーバーの RX フレーム・バッファに配置されて I<sup>2</sup>S/TDM ポートに出力されるかを特定するためにトランシーバーが受信しなければならないスロットの数(dn<sub>maskrx</sub>)が決まります。したがって、スレーブ・ノードは、A 側トランシーバーで MAX (A2B\_DN<sub>0</sub>MASK, dn<sub>maskrx</sub>)個のダウンストリーム・データ・スロットを受信し、B 側トランシーバーで「A2B\_DN<sub>0</sub>MASK + A2B\_LD<sub>NSLOTS</sub>」個のダウンストリーム・データ・スロットを送信します。

**注意：**スレーブ・トランシーバー内でA2B\_LD<sub>NSLOTS</sub>.DN<sub>0</sub>MASKENビットがセットされている場合、A2B\_BC<sub>DNSLOTS</sub>レジスタは無視されます。

A2B\_DN<sub>0</sub>OFFSETレジスタの値は、スレーブ・トランシーバーがダウンストリーム・データを送信するように設定されている(A2B\_LD<sub>NSLOTS</sub>.DN<sub>0</sub>MASKEN= 1、かつA2B\_LD<sub>NSLOTS</sub>レジスタが 0 でない)場合にのみ意味があります。RX フレーム・バッファにオフセットを適用するようにA2B\_DN<sub>0</sub>OFFSETレジスタがプログラムされていない限り(このオフセットから、イネーブルになっているダウンストリーム・スロットの充填が開始される)、データは、RX フレーム・バッファの始まりを先頭にして、イネーブルになっているダウンストリーム・スロットに配置されます。

**A2B\_DN<sub>0</sub>MASK<sub>n</sub> および A2B\_DN<sub>0</sub>OFFSET レジスタを使用するスレーブ・ノードの図に、A2B\_DN<sub>0</sub>MASK0、A2B\_DN<sub>0</sub>MASK1、およびA2B\_DN<sub>0</sub>OFFSETレジスタのプログラミング後に、ダウンストリーム・データ・スロットがスレーブ・トランシーバー内でどのように使用されるかの例を示します。**

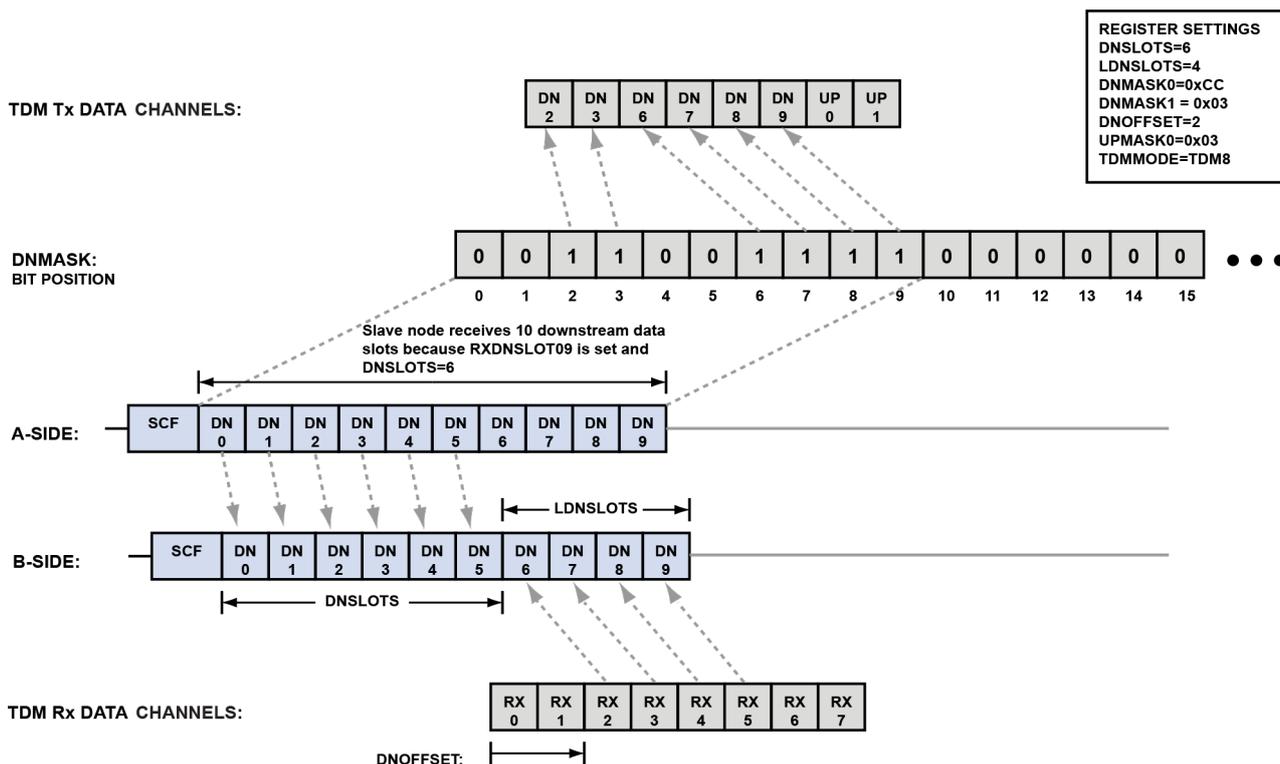


図 3-7: A2B\_DNMAKn および A2B\_DNOFFSETレジスタを使用するスレーブ・ノード

## アップストリーム・データ・スロット

A2B\_UPSLOTSレジスタにより、アップストリーム・データ・スロットの数が定義されます。マスタ・トランシーバーの場合、このレジスタは、最初のスレーブ・トランシーバーからアップストリームのマスタへ到着するデータ・スロットの数を定義します。スレーブ・トランシーバーの場合、このレジスタは、そのトランシーバーを介してアップストリームに渡される、(SRF の直後のスロット 0 から始まる)アップストリーム・データ・スロットの数を定義します(スレーブ・トランシーバーがそれらのスロットに格納されている情報を使用するかどうかは問いません)。

A2B\_LUPSLOTSレジスタは、スレーブ・トランシーバーがスーパーフレームのアップストリーム部分に(A2B\_UPSLOTSレジスタの定義に従ってスレーブによってアップストリームに渡されるデータ・スロットの後に)追加するデータ・スロットの数を定義します。このアップストリーム・データ・スロットに配置されるデータは、トランシーバーの I<sup>2</sup>S/TDM/PDM ポートによって充填される、トランシーバーの内部 RX フレーム・バッファから供給されます。

スレーブ・トランシーバーは、スレーブ・ノード内で使用するために DTXn ピンに出力されるアップストリーム A<sup>2</sup>B<sup>®</sup>バス・データ・スロットを、TX フレーム・バッファ内に選択的に受信します。スレーブ・トランシーバーのA2B\_UPMASK0～A2B\_UPMASK3レジスタには、可能な各アップストリーム・データ・スロットにつき 1 ビットがあります。これらのレジスタのビットがセットされると、スレーブ・トランシーバーは、対応するスロットからアップストリーム・データを取得し、(受信したダウンストリーム・データ・スロットの後に)TX フレーム・バッファ内に配置します。その後、これらのデータは、I<sup>2</sup>S/TDM ポートを介して適切な DTXn ピンに出力されます。

A2B\_UPMASK0～A2B\_UPMASK3レジスタ内でセットされる最上位ビットにより、(I<sup>2</sup>S/TDM ポートに出力する目的で)イネーブルになっているスロットを TX フレーム・バッファ内に適切に配置するためにトランシーバーが受信しなければならないスロットの数(upmaskrx)が定義されます。したがって、スレーブ・トランシーバーは、MAX (A2B\_UPSLOTS,

upmaskrx)個のアップストリーム・データ・スロットを B 側トランシーバーで受信します。その後スレーブ・トランシーバーは、「A2B\_UPSLOTS + A2B\_LUPSLOTS」個のアップストリーム・データ・スロットを A 側トランシーバーで送信します。

DRXn ピン上で設定可能な数の I<sup>2</sup>S/TDM データ・チャンネルをスキップした後に(A2B\_UPOFFSET)、次のチャンネルをアップストリーム・データ・スロットとして A2B®バスに出力することができます。デフォルトでは、スレーブ・ノードは、イネーブルになっているアップストリーム・スロットを、RX フレーム・バッファの最初のエン트리で埋めます。A2B\_UPOFFSETレジスタへの書き込みにより、RX フレーム・バッファへのオフセットを定義できます。このオフセットから、イネーブルになっているアップストリーム・スロットへの入力が始まります。

**A2B\_UPMASKn** および **A2B\_UPOFFSET** レジスタを使用するスレーブ・ノードの図に、A2B\_UPMASK0、A2B\_UPMASK1、およびA2B\_UPOFFSETレジスタのプログラミング後に、アップストリーム・データ・スロットがスレーブ・トランシーバー内でどのように使用されるかの例を示します。

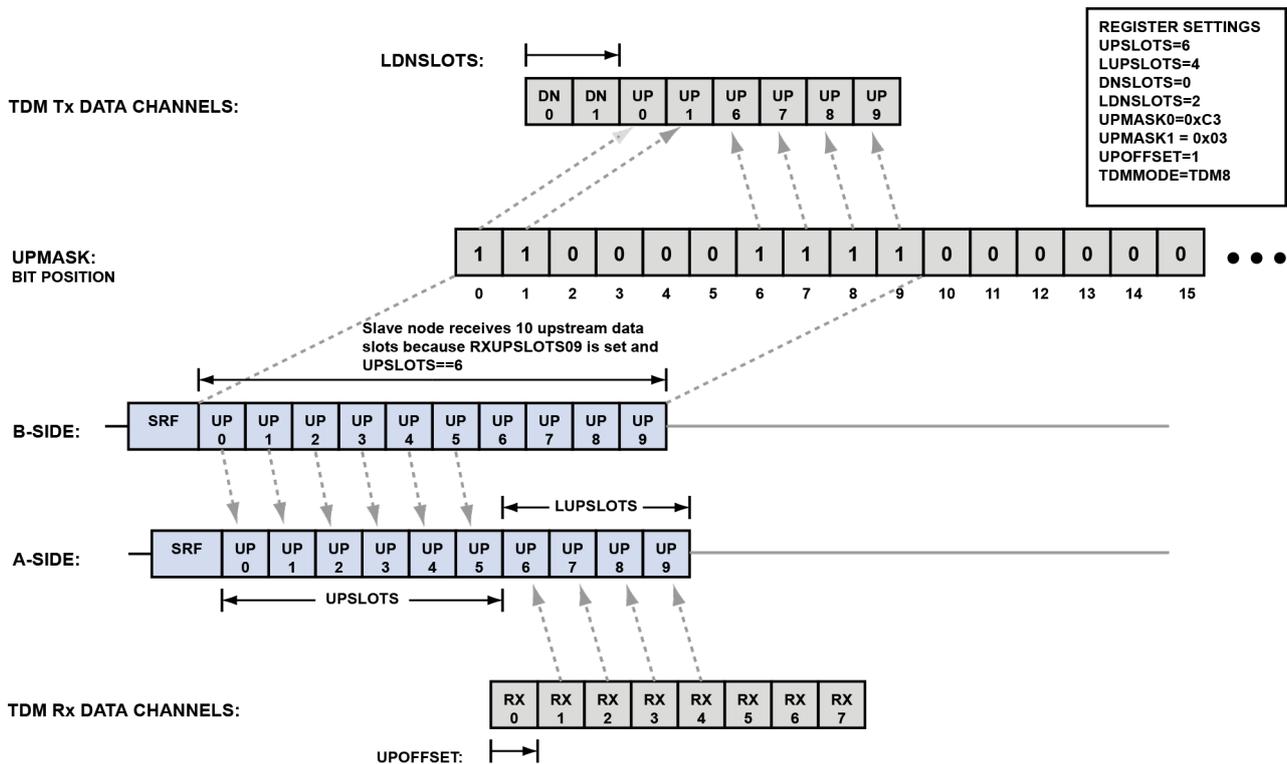


図 3-8: A2B\_UPMASKn および A2B\_UPOFFSET レジスタを使用するスレーブ・ノード

## A2B®の帯域幅

すべてのアップストリーム・データは同じスロット・サイズ(1 スロットあたりのビット数)に制限され、すべてのダウンストリーム・データも同じスロット・サイズ(1 スロットあたりのビット数)に制限されますが、ダウンストリーム・スロット・サイズとアップストリーム・スロット・サイズが違っていてもかまいません。アナログ・デバイセスは、すべての可能なケースの帯域幅を計算するための詳細な計算用スプレッドシートと SigmaStudio ソフトウェアを提供しています。

**帯域幅の例** の表に、48kHz サンプリング・レートでの同期アップストリームおよびダウンストリーム・データ・スロットの帯域幅の例を示します。表をわかりやすくするために、すべてのノードが同じ数のアップストリーム・スロットとダウンストリーム・スロットを使用することにします。アップストリーム・データに最大 32 スロット、ダウンストリーム・データに最大 32 スロットを使用します。

表 3-5: 帯域幅の例

Slave Nodes	Downstream Slots Per Node (Speaker)	Upstream Slots Per Node (Mics)	Slot Size (Bits Per Slot)	Sum of Downstream Slots (Max. 32)	Sum of Upstream Slots (Max. 32)	Sum of Downstream and Upstream Slots
9	2	2	16	18	18	36
8	4	1		32	8	40
7	4	2		28	14	42
6	5	2		30	12	42
5	6	3		30	15	45
4	8	3		32	12	44
3	10	6		30	18	48
2	16	9		32	18	50
1	32	19		32	19	51
9	3	0	24	27	0	27
8	3	0		24	0	24
7	4	0		28	0	28
6	5	0		30	0	30
5	6	0		30	0	30
4	8	0		32	0	32
3	10	1		30	3	33
2	16	1		32	2	34
1	32	2		32	2	34

## I<sup>2</sup>S/TDM ポートのプログラミングの概念

I<sup>2</sup>S/TDM インターフェースのプログラミングには、ポートの動作モードの選択、送信および受信動作にイネーブルにするデータ・ピンの数の制御、データを基準とする BCLK および SYNC 信号の極性とタイミングの設定が含まれます。

A2B\_I2SGCFGレジスタとA2B\_I2SCFGレジスタを使用して、各種の動作モードをサポートするように I<sup>2</sup>S/TDM ポートを設定します。シリアル・モードのデータおよびクロック・フォーマットの表に、マスタ・トランシーバーとスレーブ・トランシーバーによってサポートされる様々なデータおよびクロック・フォーマットの一覧を示します。

表 3-6: シリアル・モードのデータおよびクロック・フォーマット

Bit Setting	Data and Clock Format
A2B_I2SGCFG.EARLY =0	SYNC pin changes in the same cycle as the MSB of Data Channel 0

表 3-6: シリアル・モードのデータおよびクロック・フォーマット(続き)

Bit Setting	Data and Clock Format
A2B_I2SGCFG.EARLY =1	SYNC pin changes one cycle before the MSB of Data Channel 0
A2B_I2SGCFG.ALT =0	SYNC pin is driven high for one BCLK cycle at the start of each sampling period
A2B_I2SGCFG.ALT =1	SYNC pin is driven high at the beginning of each sampling period and low in the middle of each sampling period
A2B_I2SGCFG.INV =0	Rising edge of SYNC references the first channel (Channel 0)
A2B_I2SGCFG.INV =1	Falling edge of SYNC references the first channel (Channel 0)
A2B_I2SCFG.RXBCLKINV =0	DRX0, DRX1, and SYNC pins are sampled on the rising edge of BCLK
A2B_I2SCFG.TXBCLKINV =0	DTX0, DTX1, and SYNC pins change on the rising edge of BCLK
A2B_I2SCFG.RXBCLKINV =1	DRX0, DRX1, and SYNC pins are sampled on the falling edge of BCLK
A2B_I2SCFG.TXBCLKINV =1	DTX0, DTX1, and SYNC pins change on the falling edge of BCLK

ステレオ 2 チャンネル (TDM2) 信号以上をサポートするには、A2B\_I2SGCFG.TDMMODE フィールドを設定して、サポートされている TDM 動作モードのいずれかをイネーブルにする必要があります。動作モードが設定されると、そのモードが、A2B\_I2SCFG.RX0EN、A2B\_I2SCFG.RX1EN、A2B\_I2SCFG.TX0EN、および A2B\_I2SCFG.TX1EN ビットによって制御される、イネーブルになっている各データ・ピンに使用される動作モードになります。

TX または RX 方向のデータ・ピンが 2 本ともイネーブルにされている場合、それぞれの 2 ピン・インターリーブ (A2B\_I2SCFG.RX2PINTL および A2B\_I2SCFG.TX2PINTL) ビットをセットすることにより、インターリーブ機能をイネーブルにすることができます。セットした場合、偶数スロットのデータは DTX0/DRX0 データ・ピンに関連付けられ、奇数スロットのデータは DTX1/DRX1 データ・ピンに関連付けられます。クリアした場合、イネーブルになっているスロットの下位半分は DTX0/DRX0 データ・ピンに関連付けられ、イネーブルになっているスロットの上位半分は DTX1/DRX1 データ・ピンに関連付けられます。例えば、データ・フォーマットを I<sup>2</sup>S または TDM2 モードに設定した場合にどのようにデータが揃えられるかを、TDM2 に設定した場合のデータ・チャンネルの構造の図に示します。

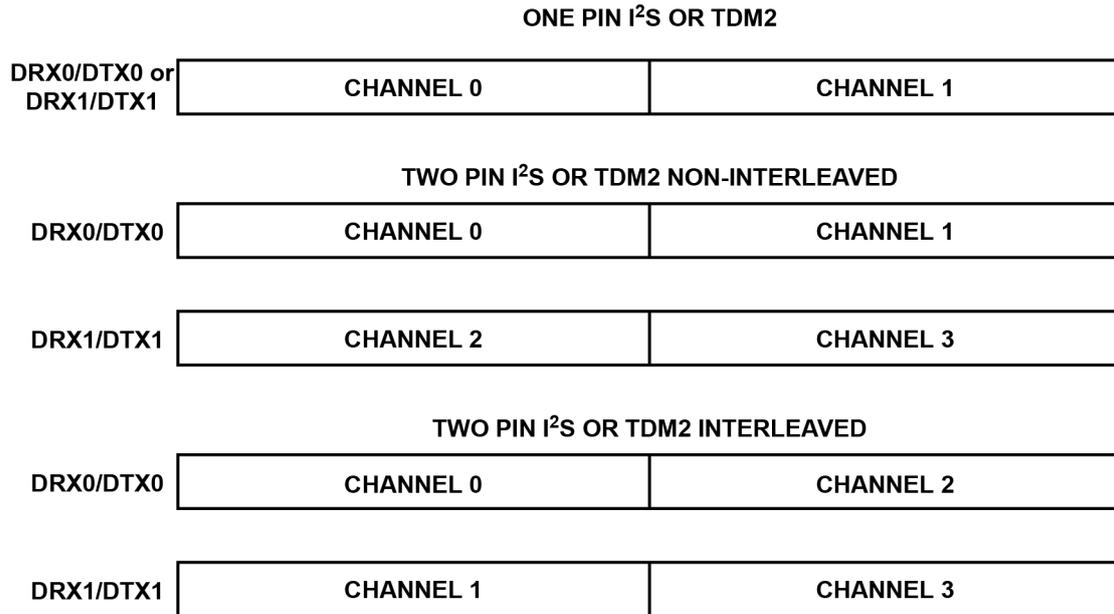


図 3-9: TDM2 に設定した場合 (TDMMODE = 000) のデータ・チャンネルの構造

**注意:** シングルピン送信は DTX0 または DTX1 ピンのいずれかで実行することができ、シングルピン受信は DRX0 または DRX1 ピンのいずれかで実行することができます。

A2B\_I2SGCFG.TDMSS ビットにより、I<sup>2</sup>S/TDM ポートのシリアル・データが 16 ビットか 32 ビットかを選択します。データの全範囲に対応する適切なタイミング信号を供給するのは、ホストの役割です。例えば、TDM8 モードを選択した場合 (A2B\_I2SGCFG.TDMMODE = 0b010)、I<sup>2</sup>S/TDM8 のタイミング例の図に示すように、ホストは 128 (8 x 16 ビット、A2B\_I2SGCFG.TDMSS = 1 の場合) または 256 (8 x 32 ビット、A2B\_I2SGCFG.TDMSS = 0 の場合) のデータ用 BCLK パルスと、(A2B\_I2SGCFG.ALT ビットの設定により、パルス信号になるか、または 50% デューティ・サイクルに維持される) 適切な SYNC 信号を供給する必要があります。

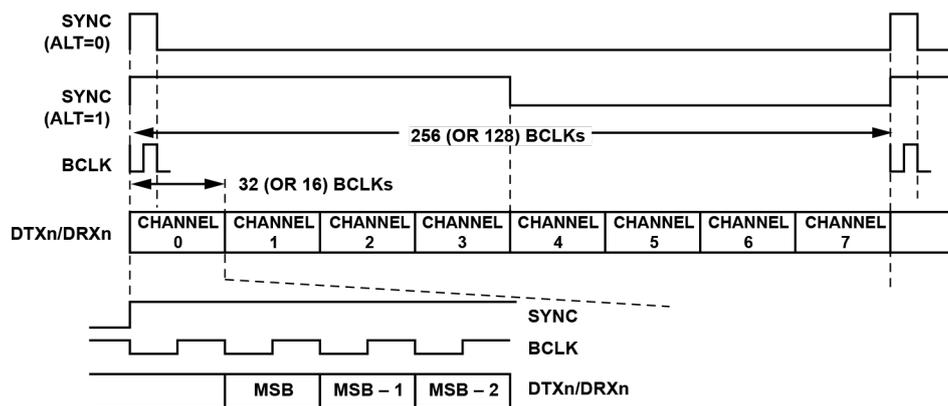


図 3-10: I<sup>2</sup>S/TDM8 のタイミング例

**I<sup>2</sup>S/TDM8 のタイミング例**の図に示すように、TDM チャンネルのデータは MSB ファースト・フォーマットです。A<sup>2</sup>B<sup>®</sup>バスを介して交換されているデータが正確には(A2B\_I2SCFG.TDMSSビットで設定される)16 ビットまたは 32 ビットではない場合、トランシーバーは、入力 TDM データ・チャンネルが MSB ファースト・フォーマットで到着すると予想し、それより下位のビットをすべて無視します。ローカル・ノードへの出力時に、トランシーバーは、受信した A<sup>2</sup>B<sup>®</sup>スロット・データを、使用しない下位ビットをゼロで埋めた MSB ファースト・フォーマットで I<sup>2</sup>S/TDM ポートに出力します。例えば、A<sup>2</sup>B<sup>®</sup>スロットが 12 ビット・データ用に設定されている場合(アップストリーム・スロットの場合はA2B\_SLOTFMT.UPSIZE = 1、ダウンストリーム・スロットの場合はA2B\_SLOTFMT.DNSIZE = 1)、12 ビットの入力データは TDM チャンネル内で左揃えになっていなければなりません。出力データは、12 ビットの A<sup>2</sup>B<sup>®</sup>スロット・データと後続する 4 つの 0 ビットで構成されます。

SYNC が 1 ビット早く到着する場合は、SYNC 信号の関連するエッジよりも 1 ビット遅く到着するデータに変換することができます。I<sup>2</sup>S/TDM2 から TDM16 までの A<sup>2</sup>B<sup>®</sup>マスタまたはスレーブの図に、I<sup>2</sup>S の標準的なタイミングと共に、TDM2 から TDM16 までのインターフェース・モードとプログラマブルなオプションを示します。データは BCLK の一方のエッジで供給され、BCLK の反対側のエッジでサンプリングされます(A2B\_I2SCFG.TXBCLKINV ≠ A2B\_I2SCFG.RXBCLKINV)。

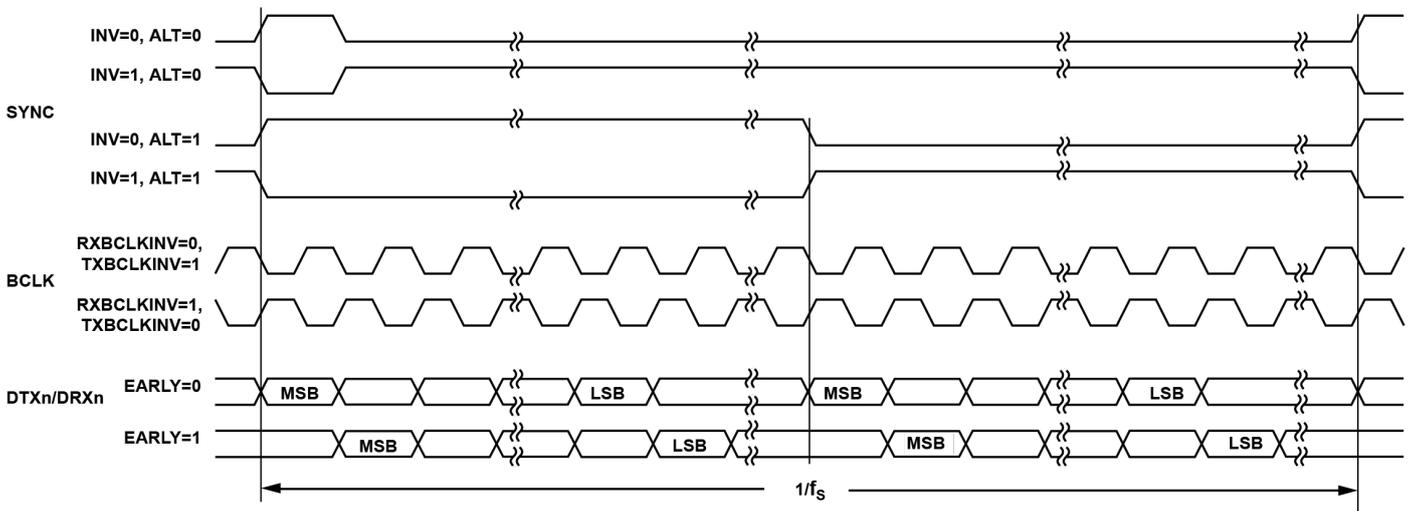


図 3-11: I<sup>2</sup>S/TDM2 から TDM16 までの A<sup>2</sup>B<sup>®</sup>マスタまたはスレーブ

TDM16 モードで両方のデータ・ピンをイネーブルにした場合、全 32 チャンネルを合わせた帯域幅を利用できます。

**注意事項:** TDM32 インターフェースに 1 本のデータ・ピンしか利用できない場合、競合状態が発生する可能性がある周波数まで BCLK レートが上昇するため、注意が必要です。

A<sup>2</sup>B<sup>®</sup>マスタは、BCLK エッジでデータをサンプリングし、1 つ前の同じ極性の BCLK エッジでデータを変更します(A2B\_I2SCFG.TXBCLKINV ≠ A2B\_I2SCFG.RXBCLKINV) (TDM32 の A<sup>2</sup>B<sup>®</sup>マスタの図を参照)。

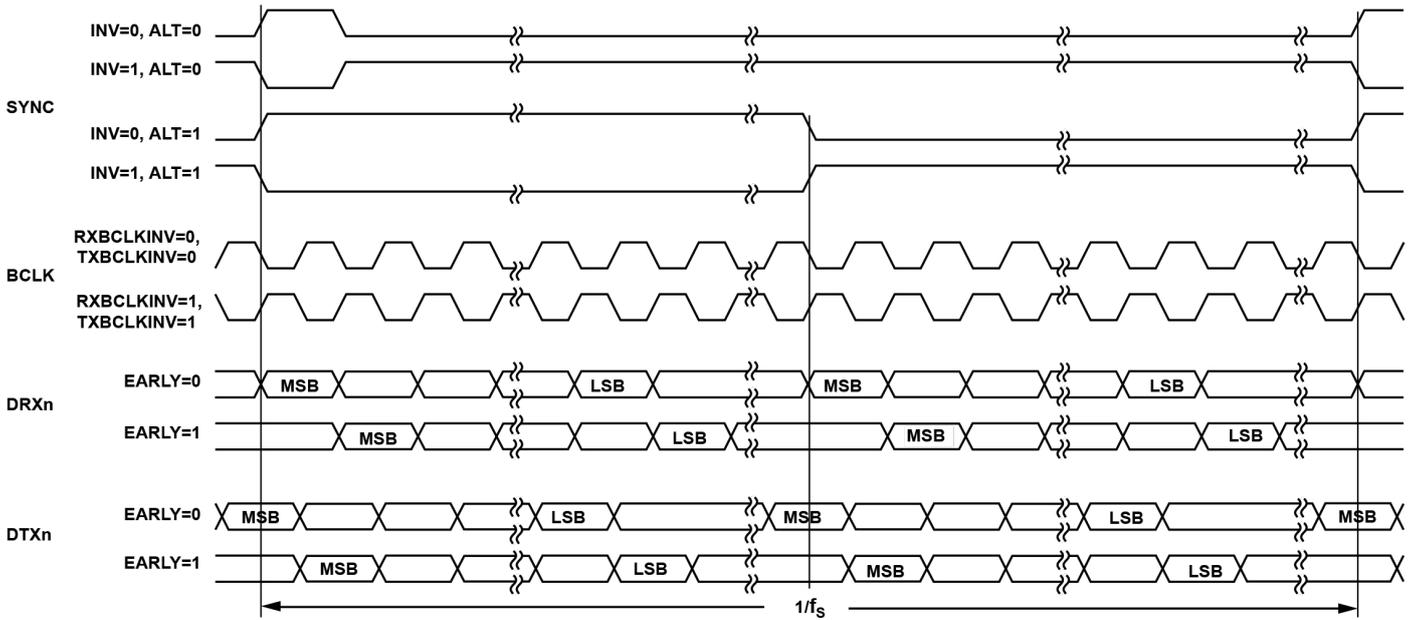


図 3-12: TDM32 の A<sup>2</sup>B<sup>®</sup>マスタ

A<sup>2</sup>B<sup>®</sup>スレーブは、BCLK エッジでデータを変更し、次の同じ極性の BCLK エッジでデータをサンプリングします (A2B\_I2SCFG.TXBCLKINV ≠ A2B\_I2SCFG.RXBCLKINV) (TDM32 の A<sup>2</sup>B<sup>®</sup>スレーブの図を参照)。

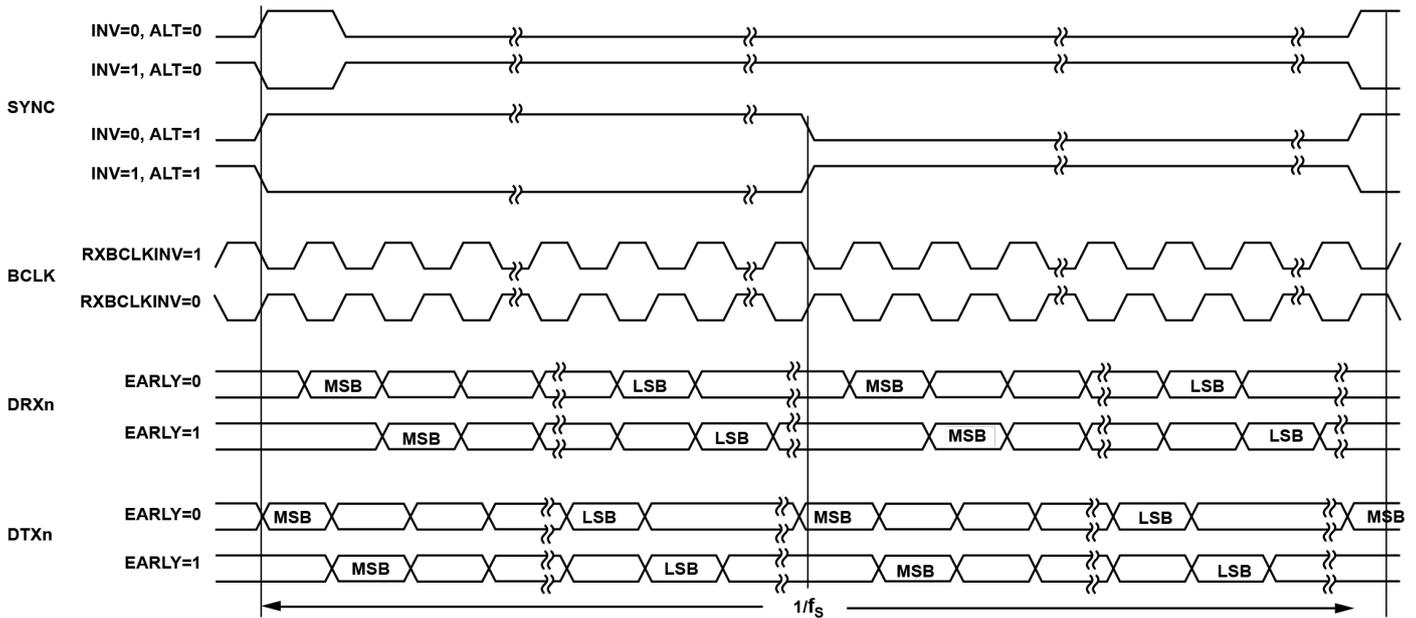


図 3-13: TDM32 の A<sup>2</sup>B<sup>®</sup>スレーブ

## スレーブ・ノードの同期

すべての A<sup>2</sup>B<sup>®</sup>スレーブ・ノードは、A2B\_SYNCOFFSET レジスタで伝搬遅延を個別に補償することにより、全く同じ時間にサンプリングを実行できます。このレジスタにゼロでない値を書き込むことにより、A<sup>2</sup>B<sup>®</sup>バス・クロック (f<sub>SYSBCLK</sub>) サイクルを調整できます。SYNC ピンはこのクロック・サイクルでその特定のスレーブ・トランシーバーのオーディオ・フレームの開始を指示します。プログラムされる値は、SYNC の発生からスーパーフレームの開始までの SYSBCLK サイクル (整数) を 8 ビット符号付き 2 の補数で表す値であり、負の値のみが有効です。

A2B\_SYNCOFFSETレジスタに設定できる最大値では、SYNC 信号はスーパーフレームの開始より 104 SYSBCLK サイクル前 (-104 = 0x98) に発生するように定義されますが、この値は、完全に実装された A<sup>2</sup>B<sup>®</sup>ネットワーク・トポロジ内でマスタから最も離れたスレーブ・ノードについてのみ有効です (A2B\_NODEADR.NODE = 0x09)。これよりマスタに近いスレーブ・ノード n については、A<sup>2</sup>B<sup>®</sup>スロットへの I<sup>2</sup>S/TDM データの予測可能な転送がサポートされる有効範囲は、ネットワーク内のスレーブ・ノード n の位置と相関関係があり、以下の式によって制御されます。

$$(-32 - 8n) \leq \text{A2B\_SYNCOFFSET} \leq 0$$

サポートされる SYNC オフセット の表に、任意のスレーブ・ノードの A2B\_SYNCOFFSET レジスタの有効な設定値の一覧を、SYSBCLK サイクル (オフセット範囲) 単位で示します。

表 3-7: サポートされる SYNC オフセット

Slave Node n	Offset Range	A2B_SYNCOFFSET Range
0	-32 to 0	0xE0 to 0x00
1	-40 to 0	0xD8 to 0x00
2	-48 to 0	0xD0 to 0x00
3	-56 to 0	0xC8 to 0x00
4	-64 to 0	0xC0 to 0x00
5	-72 to 0	0xB8 to 0x00
6	-80 to 0	0xB0 to 0x00
7	-88 to 0	0xA8 to 0x00
8	-96 to 0	0xA0 to 0x00
9	-104 to 0	0x98 to 0x00

## I<sup>2</sup>S 低減データ・レート

スレーブ・ノードは、I<sup>2</sup>S/TDM インターフェースを、スーパーフレーム・レート (f<sub>SYNCM</sub>) に対する低減レート周波数で動作させることもできます。低減レート周波数は、スーパーフレーム・レートを一連のプログラマブルな値で割ることによって得られます。複数のスレーブ・ノードを、異なる低減 I<sup>2</sup>S/TDM レートで動作するように設定できます。

A2B\_I2SRATE.I2SRATEビット・フィールドを使用して、スーパーフレーム A<sup>2</sup>B<sup>®</sup>レートを低減 I<sup>2</sup>S レートに分周できます。このフィールドには、バス上の低減レート・データ・スロットをイネーブルにするコントロール・ビット (A2B\_I2SRATE.RBUS) もあります。バス上の A<sup>2</sup>B<sup>®</sup>データ・スロットは、「A2B\_I2SRATE.RRDIV + 1」個のスーパーフレームごとに 1 回だけ送信されます。

A2B\_I2SRATE.I2SRATEビット・フィールドを使用して、2、4、またはA2B\_I2SRATE.RRDIVフィールドで設定した値に分周係数を設定できます。A2B\_I2SRATE.SHAREビットは、低減レート・スレーブ・ノードで I<sup>2</sup>S 送信がディスエーブルになっている場合、そのノードの共有 A<sup>2</sup>B<sup>®</sup>バス・スロットをイネーブルにします。

A2B\_I2SRRCTLレジスタのビットの設定により、プロセッサが新しい低減レート・サンプルを含むフルレート・オーディオ・フレームを監視できるようになります。A2B\_I2SRRCTL.ENSTRBビットをセットすることにより、IO7 ピンをストロープとして使用して、低減レート・データが更新されるオーディオ・フレームを指定できます。A2B\_I2SRRCTL.STRBDIRビットは、IO7 ピンをストロープとして使用する場合の IO7 ピンの方向を設定します。マスタ・ノードの低減レート・ストロープ出力は、A2B\_I2SRATE.RRDIVフィールドの設定に基づいています。A2B\_I2SRATE.RRDIVフィールドが 1 でない場合、低減レート・カウントが各ノードで維持され、それによってストロープ出力信号が生成されます。ストロープが入力である場合、ストロープは SYNC のアクティブ・エッジでサンプリングされ、低減レート・カウントはそれに同期します。A2B\_I2SRATE.RRDIVの設定値に一致するストロープ信号を生成する必要があります。

A2B\_I2SRRSOFSSレジスタのビット・フィールドの設定により、低減レート・スレーブの SYNC エッジをスーパーフレームのインクリメント単位で移動できます。

**低減データ・レート**の図に、トランシーバーからのアップストリーム・スロットが、どのようにバス上のスーパーフレーム・レートを低減し、スレーブ・ノードが低減サンプリング周波数で動作できるようにするかを、共有をディスエーブルにした場合 (A2B\_I2SRATE.SHARE = 0) とイネーブルにした場合 (A2B\_I2SRATE.SHARE = 1) について示します。この図は、1 つのマスタと 1 つのスレーブで構成されるシステムを示しています。

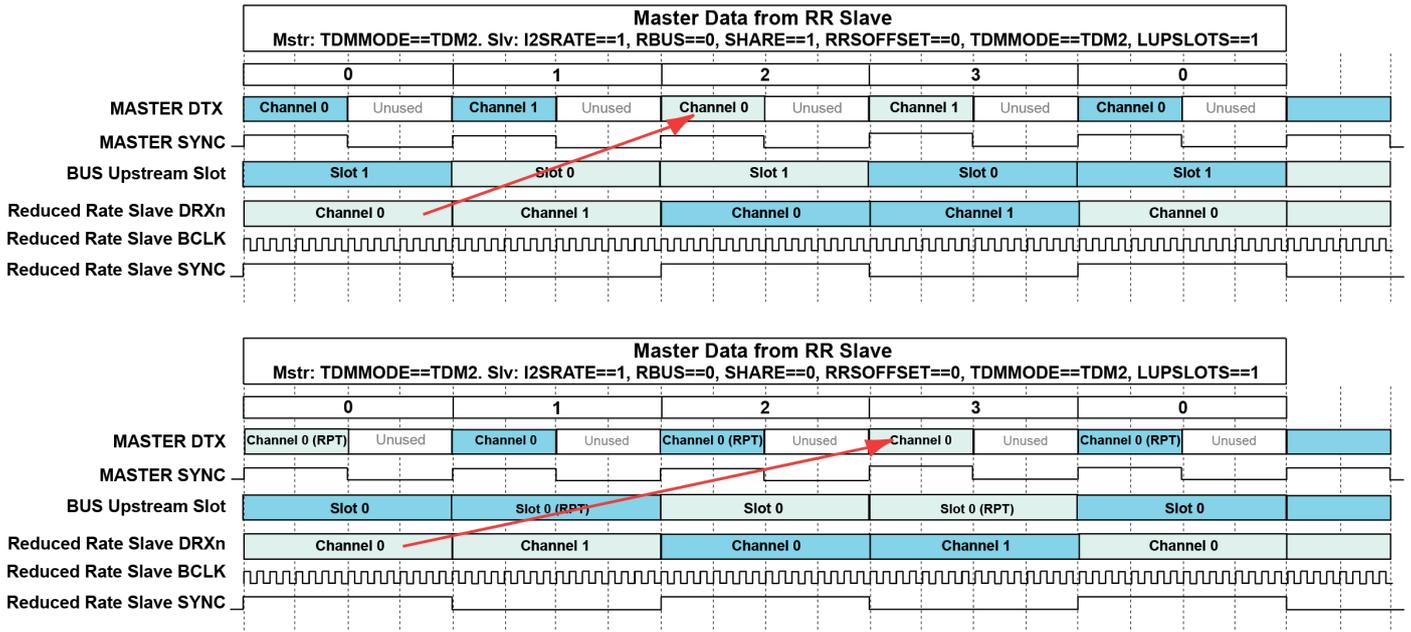


図 3-14: 低減データ・レート

次の表に、システム・モードごとに分類した、低減レートでの I<sup>2</sup>S/TDM サンプルング・レートを示します。

表 3-8: システム・モードごとに分類した、低減レートでの I<sup>2</sup>S/TDM サンプルング・レート

Mode	Host I <sup>2</sup> S/TDM Rate	Bus Data Slots	Slave Rate(s)	Channels
1	Set in A2B_I2SRRATE.RRDIV	Set in A2B_I2SRRATE.RRDIV	Set in A2B_I2SRRATE.RRDIV	1 - 32
2	48 kHz	Set in A2B_I2SRRATE.RRDIV	Set in A2B_I2SRRATE.RRDIV	1 - 32
3	48 kHz	48 kHz	Set in A2B_I2SRRATE.RRDIV	1 - 32
4	48 kHz	48 kHz	Set in A2B_I2SRRATE.RRDIV	1 - 128
5	48 kHz	48 kHz	Set in A2B_I2SRRATE.RRDIV, 1/4x, 1/2x, 1x, 2x, 4x	1 - 32

低減レート機能により、システム設計者は以下の機能を追加できます。

- スレーブ・ノードは、スーパーフレーム・レートから分周した低減レートで、I<sup>2</sup>S/TDM インターフェースを動作させることができます。例えば、48kHz のスーパーフレーム・レートに対する低減レートは、24kHz、12kHz、6kHz、4kHz、3kHz、2.4kHz、2kHz、1.71kHz、または 1.5kHz です。スレーブ上の I<sup>2</sup>S/TDM RX データは、低減レートでアップストリームまたはダウンストリームに送信できます。

複数のスレーブ・ノードを、異なる低減 I<sup>2</sup>S/TDM レートで動作させることができます。

2. 低減レート・スレーブ・ノードの SYNC 信号を、スーパーフレームのインクリメント単位で調整し、低減レート・データ供給時の遅延を最小限に抑えることができます。
3. BCLK 信号の生成を制御して、(例えば 48kHz の I<sup>2</sup>S/TDM フレーム内の)低減レート I<sup>2</sup>S データのクイック・サンプリング、または低減 I<sup>2</sup>S/TDM レートでのサンプリングにより、遅延を最小限に抑えることができます。
4. オプションにより、低減レートの I<sup>2</sup>S/TDM データ・チャンネルが更新されたときにプロセッサに通知できます。
5. バス・データ・スロットを連続的なフル・オーディオ・レート(公称 48kHz)で動作させるか、低減レートで動作させるかを選択できます。レートは以下の方法で低減できます。
  - a. データを含まないスーパーフレームのデータ・スロットをスキップする(例えば、A<sup>2</sup>B<sup>®</sup>バス上に低減サンプリング・レートのマイクロホン・ノードのみがある場合)。この手法では、バスのアクティビティ・レベルの低下によって消費電力は低減しますが、バスのチャンネル帯域幅は増えません。ノード内の複数の I<sup>2</sup>S/TDM チャンネルが同じ A<sup>2</sup>B<sup>®</sup>データ・スロットを共有している場合、プログラムはそれらの A<sup>2</sup>B<sup>®</sup>データ・スロットをスキップできません。
  - b. ノードのバス・データ・スロットを複数の I<sup>2</sup>S/TDM チャンネルに時分割し、スーパーフレームのデータ・スロットをスキップしない。同じ A<sup>2</sup>B<sup>®</sup>バスに異なるタイプのスレーブ・ノードが接続されている場合(例えば、同じバス上に多軸加速度センサー・ノードとマイクロホンまたはアンプ・ノードがある場合)は、この手法を使用します。A<sup>2</sup>B<sup>®</sup>データ・スロットを共有するには、バスがフル・データ・レートで動作する必要があります。この手法は、低減レートのスレーブ・ノードによるバス・データ・スロット上の I<sup>2</sup>S/TDM データ・ワードの時分割多重を可能にすることにより、バス上のチャンネル帯域幅を拡張します。
    - ½のレートで動作しているスレーブ・ノードは、2:1 の時分割多重(同じスレーブ・ノード内の 2 つの I<sup>2</sup>S/TDM チャンネルが 1 つの A<sup>2</sup>B<sup>®</sup>スロット上で交替する)を使用できます。
    - それより低いレートで動作しているスレーブ・ノードは、4:1 の時分割多重(同じスレーブ・ノード内の 4 つの I<sup>2</sup>S/TDM チャンネルが 1 つの A<sup>2</sup>B<sup>®</sup>スロット上で交替する)を使用できます。
    - 4:1 を超える A<sup>2</sup>B<sup>®</sup>データ・スロットの時分割多重はサポートしていません。
    - ノード間での A<sup>2</sup>B<sup>®</sup>データ・スロットの時分割多重はサポートしていません。
    - データ・スロットを共有するには、A<sup>2</sup>B<sup>®</sup>バスが A<sup>2</sup>B<sup>®</sup>データ・スロットと共に連続的なフル・オーディオ・レートで動作する必要があります。
    - I<sup>2</sup>S/TDM RX 低減レート・データは、アップストリームまたはダウンストリームに送信できます。

## I<sup>2</sup>S 低減レートの制限

I<sup>2</sup>S 低減レート機能を使用する場合は、以下の一般的な制限を遵守してください。

- 各スレーブ・ノードは、単一の I<sup>2</sup>S/TDM レートでのみ動作できます。
- I<sup>2</sup>S/TDM TX データではなく、I<sup>2</sup>S/TDM RX データに対して低減 I<sup>2</sup>S/TDM レートで動作するように、スレーブ・ノードを設定します。つまり、低減レートのスレーブ・ノードは、A2B\_I2SCFG.TX0EN = 0 および A2B\_I2SCFG.TX1EN = 0 に設定されている必要があります。

- A2B\_I2SRRATE.RBUSがセットされ、低減レートが設定されている場合 (A2B\_I2SRRATE.RRDIV > 1)、スレーブ・ノードのA2B\_I2SRATE.I2SRATEの値は 0(SFF x 1) または 3(SFF / A2B\_I2SRRATE.RRDIV) でなければなりません。

## データ・スロットの共有 (A2B\_I2SRATE.SHARE = 1) に関する制限

I<sup>2</sup>S 低減レート機能を使用する場合は、データ・スロットの共有に関する以下の制限を遵守してください。

- A<sup>2</sup>B<sup>®</sup>データ・スロットを共有するには、バスがフル・データ・レート (A2B\_I2SRRATE.RBUS = 0) で動作する必要があります。ノード内の複数の I<sup>2</sup>S/TDM チャンネルが同じ A<sup>2</sup>B<sup>®</sup>データ・スロットを共有している場合、A<sup>2</sup>B<sup>®</sup>データ・スロットをスキップすることはできません。
- 低減レート・スレーブがA2B\_I2SRATE.SHARE = 1 で生成した A<sup>2</sup>B<sup>®</sup>バス上のデータ・スロットは、フル・レートまたは高速レート・ノードが A<sup>2</sup>B<sup>®</sup>バスから受信する必要があります。
- 低減レート・スレーブでA2B\_I2SRATE.SHAREビットがセットされている場合、最大同期オフセットは 1 スーパーフレームです (A2B\_I2SRRSOFFS.RRSOFFSETは 0 または 1 でなければなりません)。

低減レート・スレーブでA2B\_I2SRATE.SHAREビットがセットされ、同期オフセットがない場合 (A2B\_I2SRRSOFFS.RRSOFFSET = 0)、N (使用できるアップストリーム・スロットとダウンストリーム・スロットの数) を基準とする更なる制限がノードのプログラミングに課されます。例えば、TDMS が低減レート・スレーブ・ノードの 1 本のピン上の 1 フレームあたりのスロット数 (2、4、8、16、または 32) である場合、N は以下の表に示すように計算されます。

I <sup>2</sup> S/TDM Divide Ratio	Number of Slots (N)
2	TDMS >> 1
4	(TDMS >> 1) + (TDMS >> 2)
> 4	(TDMS >> 1) + (TDMS >> 2) + (TDMS >> 3)

低減レート・スレーブのA2B\_I2SCFG.RX0EN、A2B\_I2SCFG.RX1EN、およびA2B\_I2SCFG.RX2PINTLビットがすべてセットされている場合、「A2B\_LUPSLOTS + A2B\_UPOFFSET」は 2N 以下でなければなりません。それ以外の場合は、「A2B\_LUPSLOTS + A2B\_UPOFFSET」は N 以下でなければなりません。

低減レート・スレーブがダウンストリーム・データ・スロットを生成している場合 (A2B\_LDNSLOTS.DNASKEN= 1)、同じ制限が「A2B\_LDNSLOTS + A2B\_DNOFFSET」に適用されます。

## 代替 BCLK レート (A2B\_I2SRATE.BCLKRATE) の制限

I<sup>2</sup>S 低減レート機能を使用する場合は、以下の代替 BCLK レートの制限を遵守してください。

- 低減レート・スレーブ・ノードで、I<sup>2</sup>S レートの設定値が SFF / 2 (A2B\_I2SRATE.I2SRATE = 1) である場合は、BCLK 周波数を SYNC x 4096 (A2B\_I2SRATE.BCLKRATE != 2) に設定しないでください。
- システム・レベルの低減レート分周値が 1 (A2B\_I2SRRATE.RRDIV = 1) であり、I<sup>2</sup>S レートの設定値が「SFF / A2B\_I2SRRATE.RRDIV」 (A2B\_I2SRATE.I2SRATE = 3) である場合は、BCLK 周波数を「SYNC x 2048」 (A2B\_I2SRATE.BCLKRATE = 1) または「SYNC x 4096」 (A2B\_I2SRATE.BCLKRATE = 2) に設定しないでください。

- システム・レベルの低減レート分周値が 2 (A2B\_I2SRRATE.RRDIV = 2) であり、I<sup>2</sup>S レートの設定値が「SFF / A2B\_I2SRRATE.RRDIV」(A2B\_I2SRATE.I2SRATE = 3) である場合は、BCLK 周波数を「SYNC x 4096」(A2B\_I2SRATE.BCLKRATE = 2) に設定しないでください。
- BCLK 周波数が、低減レート・スレーブの A2B\_I2SGCFG レジスタに設定された値によって決定されない場合は (A2B\_I2SRATE.BCLKRATE != 0)、同期オフセットが 1 スーパーフレームを超えることはできません (A2B\_I2SRRSOFFS.RRSOFFSET < 2)。

## I<sup>2</sup>S 高速データ・レート

A<sup>2</sup>B<sup>®</sup>スレーブ・トランシーバーは、I<sup>2</sup>S/TDM インターフェース上でスーパーフレーム・レート (f<sub>SYNCM</sub>) に対する高速サンプリング・レートをサポートします。スレーブのローカル・サンプリング・レートは、A2B\_I2SRATE レジスタで、1 × f<sub>SYNCM</sub>、2 × f<sub>SYNCM</sub>、または 4 × f<sub>SYNCM</sub> に設定できます。例えば、48kHz のスーパーフレーム周波数の場合、ローカル・サンプリング・レートは、それぞれ 48kHz、96kHz、または 192kHz に設定できます。高速データ・レートの図に、1 つのマスタと 1 つのスレーブで構成されるシステムで、A<sup>2</sup>B<sup>®</sup>スーパーフレームからのダウンストリーム・スロットとアップストリーム・スロットが、どのようにスレーブ・トランシーバーの DTX0/DTX1 ピンと DRX0/DRX1 ピンに配分されるかを、A2B\_I2SRATE ビットの様々な設定値 (A2B\_I2SRATE.REDUCE = 0 の場合) について示します。

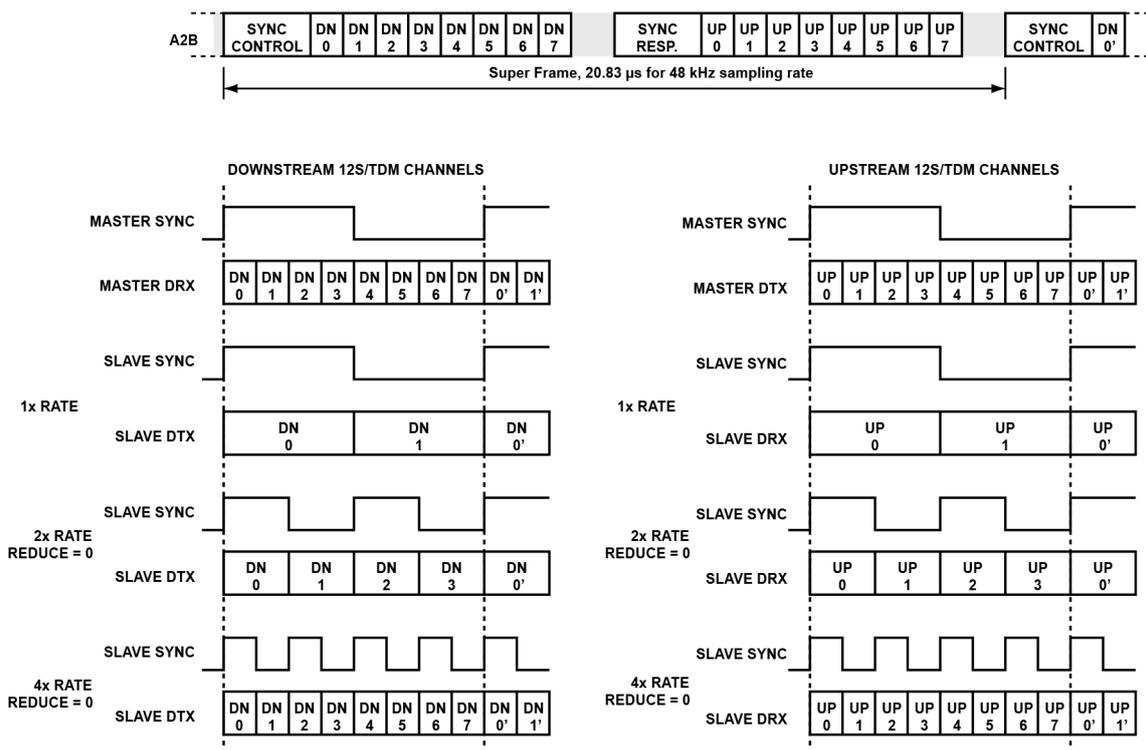


図 3-15: 高速データ・レート

高速データ・レートの例の図で、サンプル・システムに基づいて A2B\_I2SRATE レジスタの設定値の挙動を更に説明します。この図では、両方のスレーブ・トランシーバー (S1 と S2) が 2 × f<sub>SYNCM</sub> レート・モードに設定されています。ただし、S1 は、A2B\_I2SRATE.REDUCE ビットが 1 に設定されています。図中の波形は、アップストリーム・スロットとダウンストリーム・スロットに対する A2B\_I2SRATE.REDUCE ビットの影響を示しています。A2B\_I2SRATE.REDUCE ビットがセットされてい

る場合、 $2 \times f_{\text{SYNCRM}}$  レートでは、DRX0/DRX1 ピン上の最初の 2 チャンネルのみがアップストリーム・スロットに使用され、他の 2 チャンネルは無視されます。DTX0/DTX1 トランスミッタについては、A2B\_I2SRATE.REDUCE ビットがセットされている場合、 $2 \times f_{\text{SYNCRM}}$  レートでは、2 つのローカル・ダウンストリーム・スロットが DTX0/DTX1 ピン上で複製されます。

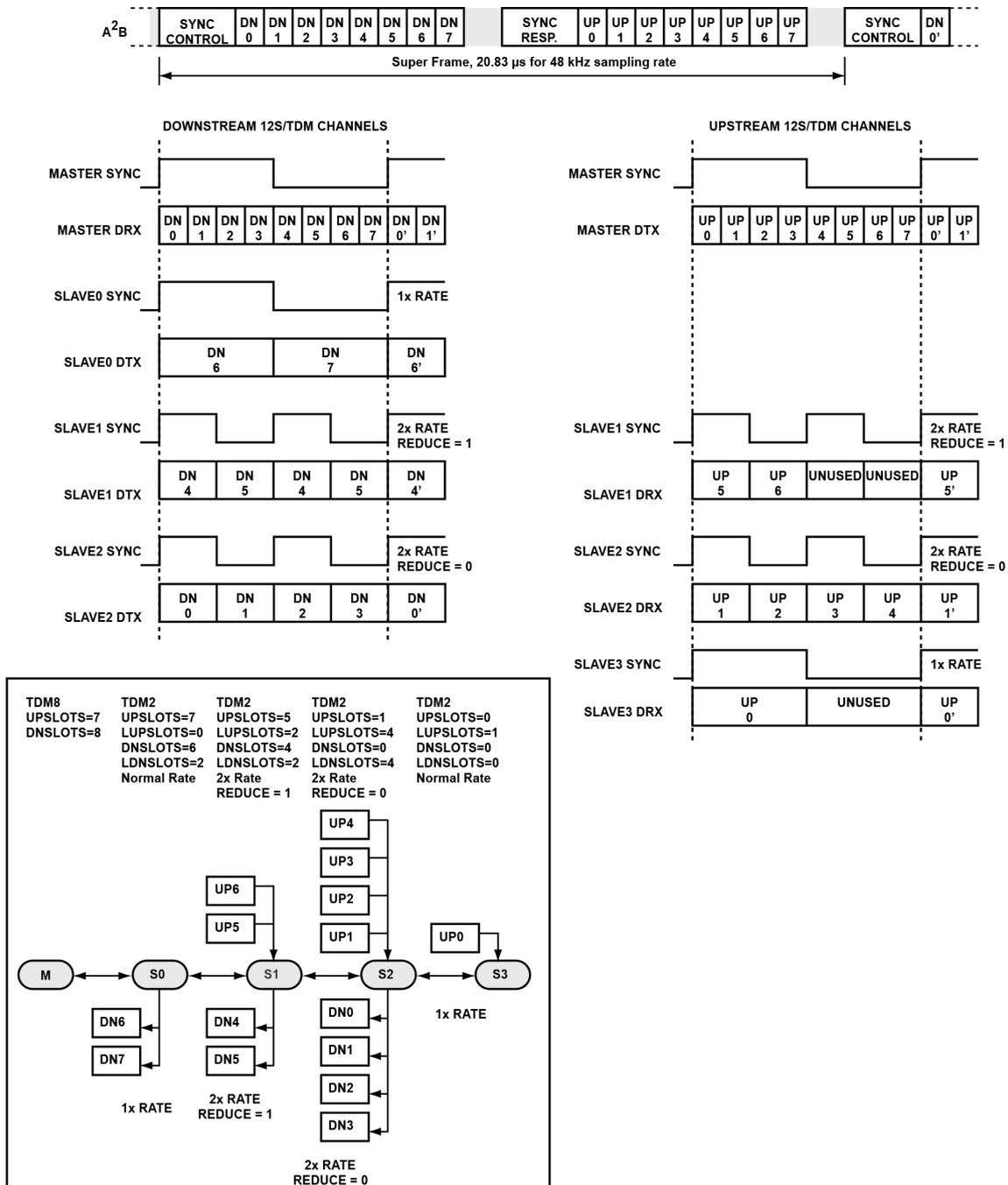


図 3-16: 高速データ・レートの例

## 長距離 GPIO

この機能により、初期プログラミング後にホストの介入なしで A<sup>2</sup>B<sup>®</sup>バスを介して GPIO 通信を実行できます。ホストは、仮想ポートを使用して長距離 GPIO 機能を初期化するときのみ必要です。長距離 GPIO 機能には以下の特長があります。

- マスタ・ノードによって管理される、8 つの平行 1 ビット仮想ポート。マスタ・ノードは、A2B\_GPIODDATレジスタで読み出せる各仮想ポートの状態を読み出すことができます。
- 仮想ポート 0~7 への GPIO ピンの柔軟なマッピング方式。
- GPIO ピンは、A2B\_GPIODDAT レジスタの内容を更新する入力またはA2B\_GPIODDATレジスタの内容を反映する出力として設定できます。
- 複数の仮想ポートが 1 本の GPIO 出力ピンにマッピングされる場合、値はまとめて OR 演算されます。
- 複数の GPIO 入力ピンが 1 つの仮想ポートにマッピングされる場合、複数のノードからの値でも、値はまとめて OR 演算されます。

### 設定

特定のピン上で長距離 GPIO 機能を設定する前に、GPIO ピンの構成の表に示すように、まずそのピンが GPIO に利用可能であることを確認します。

表 3-9:GPIO ピンの構成

IO Bit	Pin Name	Pin Available for GPIO in Master	Pin Available for GPIO in Slave
IO0	IRQ/IO0	Never	Always
IO1	ADR1/IO1	If A2B_CLK1CFG.CLK1EN = 0	
IO2	ADR2/IO2	If A2B_CLK2CFG.CLK2EN = 0	
IO3	DTX0/IO3	If A2B_I2SCFG.TX0EN = 0	
IO4	DTX1/IO4	If A2B_I2SCFG.TX1EN = A2B_I2SGCFG.RXONDTX1 = 0	
IO5	DRX0/IO5	If A2B_I2SCFG.RX0EN = A2B_PDMCTL.PDM0EN = 0	
IO6	DRX1/IO6	If A2B_I2SCFG.RX1EN = A2B_PDMCTL.PDM1EN = 0	
IO7	PDMCLK/IO7	If A2B_PDMCTL.PDM0EN = A2B_PDMCTL.PDM1EN = A2B_PDMCTL2.PDMALTCLK = A2B_I2SRCTL.ENSTRB = 0	

ピンが GPIO として利用可能である場合は、長距離 GPIO イネーブル(A2B\_GPIODEN)レジスタの適切なイネーブル・ビットをセットすることにより、長距離 GPIO をイネーブルにすることができます。ビットをセットしたら、対応する GPIO ピンを、長距離 GPIO マスク・レジスタを使用して 1 つ以上の長距離 GPIO 仮想ポートにマップすることができます(マスク・レジスタはA2B\_GPIOD0MSK~A2B\_GPIOD7MSKで、それぞれが GPIO 対応ピン IO0~IO7 に対応します)。これらのレジスタのビット 0~7 は、それぞれ仮想ポート 0~7 に対応します。これらのレジスタのうち 1 つでビットがセットされると、そのレジスタに関連付けられた GPIO ピンが、対応する仮想ポートにマッピングされます。

特定の GPIO 対応ピンで長距離 GPIO がイネーブルになっている場合、そのピンの方向は、GPIO 出力イネーブル・レジスタ(A2B\_GPIOOEN)のみによって制御されます。GPIO 出力イネーブル・レジスタと、対になる GPIO 入力イネーブル・レジスタ(A2B\_GPIOIEN)を組み合わせる方向を制御するわけではありません。A2B\_GPIOOENレジスタのビットがセットされると、そのビットに関連付けられた GPIO ピンは、長距離 GPIO への出力になります。A2B\_GPIOOENレジスタのビットが

クリアされると、そのビットに関連付けられた GPIO ピンは、長距離 GPIO からの入力になります。目的のピンに対して長距離 GPIO を使用する場合、A2B\_GPIOIENレジスタをプログラムする必要はありません。

GPIO ピンが入力の場合(そのピンに対応するA2B\_GPIOOENのビット = 0)、ローカル・ノードは、そのピンに対応する長距離 GPIO マスク・レジスタ内のセットされたビット(A2B\_GPIOD0MSK.IOD0MSK~A2B\_GPIOD7MSK.IOD7MSK)に関連付けられる仮想ポートを更新します。仮想ポートの値は、長距離 GPIO データ・レジスタ(A2B\_GPIODDAT)で読み出すことができます。

GPIO ピンが出力の場合(そのピンに対応するA2B\_GPIOOEN内のビット = 1)、(関連する長距離 GPIO マスク・レジスタ内のセットされたビットA2B\_GPIOD0MSK.IOD0MSK ~A2B\_GPIOD7MSK.IOD7MSK )によって決定される)そのピンにマッピングされた仮想ポートは、まとめて OR 演算され、GPIO 出力値(A2B\_GPIODDATレジスタ内の対応するビットの論理 OR)を生成します。

**注意：** A2B\_GPIODDATレジスタは読出し専用です。ホストがマスタ・ノードからこのレジスタを常に読み出すことを推奨します。

長距離 GPIO 反転レジスタ(A2B\_GPIODINV )により、GPIO ピンの入力と出力を反転させることができます。このレジスタのビットがセットされると、そのビットに関連付けられた GPIO ピン信号は反転します。この反転は、その GPIO ピンが仮想ポートへの入力である場合(A2B\_GPIOOENの関連付けられたビット = 0)、GPIO ピンからの入力に適用されます。また、その GPIO ピンが仮想ポートからの出力である場合(A2B\_GPIOOENの関連付けられたビット = 1)、GPIO ピンからの出力に適用されます。

複数のノードが同じ仮想ポートを更新する場合、A2B\_GPIODINVレジスタの設定により、動作をワイヤード OR からワイヤード AND へ変更できます。例えば、複数のアクティブ・ハイの GPIO ビットのワイヤード AND を形成するには、GPIO 入力と GPIO 出力を反転する必要があります。

## 複数の GPIO 入力から 1 つの仮想ポートへのマッピング

2 つ以上のノードが、同じ仮想ポートにマッピングされた 1 本の GPIO 入力ピンに関連付けられている場合、プロトコルは、その入力ピンを仮想ポートへのワイヤード OR として扱います。仮想ポートがロー(非アクティブ)の場合、仮想ポートをセットする要求があると、マスタ・ノードから、システム全体のすべてのA2B\_GPIODDATレジスタを更新するコマンドが送信されます。

仮想ポートがハイ(アクティブ)の場合、仮想ポートをクリアする要求があると、マスタ・ノードから、すべてのスレーブ・ノードにその要求を通知する特殊なコマンドが送信されます。スレーブ・ノードのどれかがその要求を拒否した場合、マスタ・ノードは要求の拒否を認識し、A2B\_GPIODDATレジスタの値は変更されません。どのスレーブ・ノードも要求を拒否しなかった場合、マスタ・ノードは要求の受け入れを認識し、A2B\_GPIODDATレジスタの値を更新します。

## 長距離 GPIO のプログラミング例

以下の手順では、長距離 GPIO 使用時のピンのマッピングについて説明します。

**注意：**長距離 GPIO のプログラミングは、ノード検出の完了後に実行する必要があります。ノードの検出の詳細については、簡単な検出フローのセクションと付録A:その他の検出フローの例を参照してください。

### マスタ・ノードの DRX1/IO6 ピンからスレーブ 2 の ADR1/IO1 ピンへのマッピング

以下の手順では、マスタ・ノードの DRX1/IO6 ピンをスレーブ 2 の ADR1/IO1 ピンにマップする方法を説明します。

1. マスタ・ノードのA2B\_GPIOD6MSKレジスタに 0x04 を書き込んで、DRX1/IO6 ピンを仮想ポート 2 にマップします。
2. マスタ・ノードのA2B\_GPIODENレジスタに 0x40 を書き込んで、DRX1/IO6 ピン上で長距離 GPIO アクセスをイネーブルにします。
3. スレーブ・ノード 2 のA2B\_GPIODENレジスタに 0x02 を書き込んで、ADR1/IO1 ピンへの GPIO 出力をイネーブルにします。
4. スレーブ・ノード 2 のA2B\_GPIOD1MSKレジスタに 0x04 を書き込んで、仮想ポート 2 を ADR1/IO1 ピンにマップします。
5. スレーブ・ノード 2 のA2B\_GPIODENレジスタに 0x02 を書き込んで、ADR1/IO1 ピン上で長距離 GPIO アクセスをイネーブルにします。

### スレーブ 1 の DTX1/IO4 ピンからマスタ・ノードの ADR1/IO1 ピンへのマッピング

以下の手順では、スレーブ 1 の DTX1/IO4 ピンをマスタ・ノードの ADR1/IO1 ピンにマップする方法を説明します。

1. スレーブ・ノード 1 のA2B\_GPIOD4MSKレジスタに 0x10 を書き込んで、DTX1/IO4 ピンをバス GPIO ポート 4 にマップします。
2. スレーブ・ノード 1 のA2B\_GPIODENレジスタに 0x10 を書き込んで、DTX1/IO4 ピン上で長距離 GPIO アクセスをイネーブルにします。
3. マスタ・ノードのA2B\_GPIODENレジスタに 0x02 を書き込んで、ADR1/IO1 ピンへの GPIO 出力をイネーブルにします。
4. マスタ・ノードのA2B\_GPIOD1MSKレジスタに 0x10 を書き込んで、バス GPIO ポート 4 を ADR1/IO1 ピンにマップします。
5. マスタ・ノードのA2B\_GPIODENレジスタに 0x02 を書き込んで、ADR1/IO1 ピン上で長距離 GPIO アクセスをイネーブルにします。

### スレーブ 0~2 の ADR1/IO1 ピンからマスタ・ノードの ADR1/IO1 ピンへのマッピング

以下の手順では、スレーブ 0~2 の ADR1/IO1 ピンをマスタ・ノードの ADR1/IO1 ピンにマップする方法を説明します。

1. スレーブ・ノード 2, 1, および 0 のA2B\_GPIOD1MSKレジスタに 0x01 を書き込んで、各スレーブの ADR1/IO1 ピンをバス GPIO ポート 0 にマップします。
2. スレーブ・ノード 2, 1, および 0 のA2B\_GPIODENレジスタに 0x02 を書き込んで、各スレーブの ADR1/IO1 ピン上で長距離 GPIO アクセスをイネーブルにします。
3. マスタ・ノードのA2B\_GPIODENレジスタに 0x02 を書き込んで、ADR1/IO1 ピンへの GPIO 出力をイネーブルにします。
4. マスタ・ノードのA2B\_GPIOD1MSKレジスタに 0x01 を書き込んで、バス GPIO ポート 0 を ADR1/IO1 ピンにマップします。

5. マスタ・ノードのA2B\_GPIODENレジスタに 0x02 を書き込んで、ADR1/IO1 ピン上で長距離 GPIO アクセスをイネーブルにします。

## トランシーバーの識別

各 A2B<sup>®</sup>トランシーバーには、システム内にどの A2B<sup>®</sup>トランシーバーがあるかをホストに示す、ベンダ ID レジスタ (A2B\_VENDOR)、製品 ID レジスタ (A2B\_PRODUCT)、およびバージョン ID (A2B\_VERSION) レジスタがあります。A2B<sup>®</sup>トランシーバーのメーカーには、固有のベンダ ID が割り当てられています (アナログ・デバイセズの A2B<sup>®</sup>トランシーバーのベンダ ID は 0xAD です)。A2B\_PRODUCT レジスタと A2B\_VERSION レジスタの値はチップ・メーカーによって割り当てられ、チップを一意に特定し、A2B<sup>®</sup>の相互運用性を示します。各トランシーバー・モデルの製品 ID は、0x26 (AD2426W)、0x27 (AD2427W)、および 0x28 (AD2428W) です。

A2B<sup>®</sup>トランシーバーには A2B\_CAPABILITY レジスタもあり、利用可能な制御インターフェースと、I<sup>2</sup>C インターフェースの存在 (A2B\_CAPABILITY.I2CAVAIL=1) を示します。

### EEPROM の自動設定用システム情報

A2B<sup>®</sup>システム内のスレーブ・モジュールが (付録 C: モジュール ID およびモジュール設定メモリで説明する) 構成と内容の設定メモリ (I<sup>2</sup>C EEPROM) を搭載している場合は、各 A2B<sup>®</sup>ノードのサプライヤおよび特定の製品 ID を特定して、自動設定を実行できます。ホストが正確なシステム設定を事前に把握していない場合は、自動設定機能を検出に使用します。オプションの設定ブロックを使用して、スレーブ・ノードに対する特定の設定コマンドを設定メモリに格納しておくこともできます。

## スタンバイ・モード

スタンバイ・モードでは、A2B<sup>®</sup>バス上にアップストリーム・トラフィックは発生しません。すべてのスレーブ・ノードの同期を維持するための最小限 (19 ビット) の SCF のみが送信され、SRF は送信されません。ヘッダ・カウント・エラーと CRC エラーは無視され、データ・スロットはディスエーブルになります。スタンバイ・モードの間、GPIO の設定値は変化しません。

通常動作モードでは、ホストはマスタ・トランシーバーの A2B\_DATCTL レジスタへの書込みによってシステムをスタンバイ・モードに移行させることができますが、この書込みは、新しい構造がシステムに適用されるまで有効になりません。ホストは以下の動作を実行します。

1. マスタ・トランシーバーの A2B\_DATCTL.STANDBY ビットをセットして 0x80 のブロードキャスト書込みを生成し、すべての検出されたスレーブ・ノードの A2B\_DATCTL.STANDBY ビットをセットします。A2B\_DATCTL レジスタに 0x80 を書き込むと、データ・スロットがディスエーブルになります。
2. マスタ・トランシーバーの A2B\_CONTROL.NEWSTRCT ビットをセットして、新しい構造を適用します。

新しい構造の適用後、システムはスタンバイ・モードに移行します。ホストは、マスタ・ノード内の A2B\_DATCTL レジスタに 0x00 を書き込むことにより、システムを通常動作モードに戻すことができます。この命令により、すべてのスレーブ・ノードの A2B\_DATCTL レジスタに対して 0x00 のブロードキャスト書込みが生成されます。システムが通常動作モードに戻ると、マスタ・ノードはスタンバイ終了割込み (A2B\_INTTYPE = 0xFE) をホストに送信します。

## バス・モニタのサポート

バス・モニタ・モードでは、トランシーバーはパッシブ車載オーディオ・バス・モニタ(スニファとも呼ばれる)として動作します。A<sup>2</sup>B<sup>®</sup>試験装置は、このモードを使用します。A<sup>2</sup>B<sup>®</sup>バス・セグメント上のバス・モニタが同期データの内容を監視することを許可できるのは、ホスト・プロセッサだけです。同期データの監視を許可するには、ホストはマスタ・トランシーバーのA2B\_DATCTL.ENDSNIFFビットをセットする必要があります。この設定により、接続されたバス・モニタ・デバイスに対する情報のA<sup>2</sup>B<sup>®</sup>バス・ブロードキャストがトリガされます。

バス・モニタの動作の図に、A<sup>2</sup>B<sup>®</sup>ネットワーク内のスレーブ0と1の間に挿入されたバス・モニタ・ノードを示します。

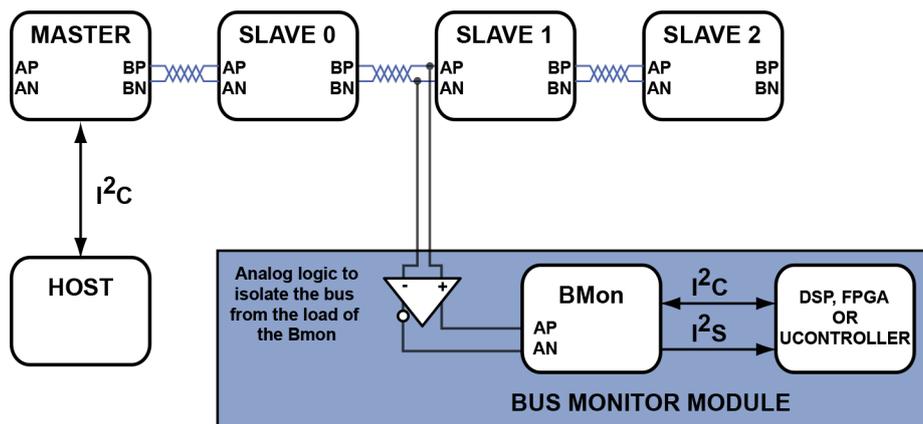


図 3-17: バス・モニタの動作

バス・モニタはシステム内でパッシブです。すなわち、バス同期制御フレーム(SCF)に回答せず、バスにデータを供給しません。B側トランシーバーが非アクティブの間、A側トランシーバーのみを使用します。バス・モニタ・モードでは、トランシーバーはSCFに同期し、SCF制御書込みをスヌープして、監視対象のダウンストリーム・ノードに合わせてバス・インターフェースを設定します。A<sup>2</sup>B<sup>®</sup>バス・モニタ・トランシーバーは、I<sup>2</sup>S/TDMポートを使用して、A<sup>2</sup>B<sup>®</sup>バス・トラフィックをプロトコル・アナライザ回路に送信します。

バス・モニタ・ノードは次のように動作します。

1. B側(ダウンストリーム)トランシーバーはディスエーブルになります。
2. A側(アップストリーム)トランシーバーは受信専用(送信不可)でイネーブルになります。
3. SRFの生成はディスエーブルになります。
4. I<sup>2</sup>S/TDMインターフェースは、32ビット・データ幅に設定されます。
  - ダウンストリームSCFはDTX0ピンで送信されます。
  - アップストリームSRFはDTX1ピンで送信されます。

- データ・スロット・ビットは、DTXnピンからのみストリーム出力できます(この機能をイネーブルにするように、A<sup>2</sup>B<sup>®</sup>バス・マスタが設定されている場合)。
  - ダウンストリーム・スロットは DTX0 ピンでストリーム出力されます。
  - アップストリーム・スロットは DTX1 ピンでストリーム出力されます。
  - 利用可能な I<sup>2</sup>S/TDM チャンネルよりも多くのデータ・スロットが A<sup>2</sup>B<sup>®</sup>バス上に送信される場合は、プログラマブルなオフセットにより、どのデータ・スロットが I<sup>2</sup>S/TDM チャンネル上でモニタされるかが決まります。

**注意：**バス・モニタ・モードでは、バス・モニタ・レシーバーがディスエーブルになっている場合、外部スイッチを使用して、トランシーバーの A 側に入力される LVDS トラフィックを制御する必要があります。

検出と初期化の後に A<sup>2</sup>B<sup>®</sup>バスに接続されたバス・モニタは、ブロードキャストを見逃す可能性があるため、同期データ・スロットのモニタリングがディスエーブルになっています。したがって、バス・モニタは、初期化と検出の前に接続することを推奨します。検出後に接続されたバス・モニタがデータ・スロットを漏れなく監視できるようにするには、ホストが A2B\_DATCTLレジスタへの書込みを定期的に行い、データ・スロット・スニフィング・イネーブル信号をブロードキャストする必要があります。バス・モニタ・ノードのマイクロコントローラは、A2B\_BMMCFG.BMMENビットをセットして、バス・モニタ・モードをイネーブルにする必要があります。A<sup>2</sup>B<sup>®</sup>バスとの接続時および遮断時に、バス・モニタ・トランシーバーを更に設定できます。

- A2B\_BMMCFG.BMMNDSCビットは、バス・モニタの接続が、システムの検出と初期化の前か後かを指定します。クリアされている場合(= 0)、モニタは A<sup>2</sup>B<sup>®</sup>検出の前に接続されています。したがって、バスのタイミング特性は検出シーケンスによって自動的に設定されます。セットされている場合(= 1)、バスのタイミング特性は、ローカル I<sup>2</sup>C レジスタへの書込みにより、バス・モニタ・ノードのマイクロコントローラが設定する必要があります。
- A2B\_BMMCFG.BMMRXENビットを使用して、バス・モニタが接続されている間、A 側トランシーバーへの LVDS 入力を静的なまま維持できます。このビットを使用して、バス・モニタ・ノードを物理的に切り離すことなく、バス・モニタのロック・シーケンスを再開することもできます。

A2B\_BMMCFGレジスタ内のバス・モニタ・モードの設定とイネーブル以外に、バス・モニタ・モードの使用により、以下の A<sup>2</sup>B<sup>®</sup>レジスタ・ビットの意味と設定値が影響を受けます。

- I<sup>2</sup>S グローバル設定レジスタ(A2B\_I2SGCFG)
  - A2B\_I2SGCFG.INV、A2B\_I2SGCFG.EARLY、およびA2B\_I2SGCFG.ALTビットは、プロトコル・アナライザのインターフェースに合わせて設定されている必要があります。
  - A2B\_I2SGCFG.TDMSSビットは、0(32ビットの TDM スロット・サイズ)に設定されている必要があります。
  - A2B\_I2SGCFG.TDMMODEフィールドは、プロトコル・アナライザの機能に合わせて設定されている必要があります。
    - TDM2 では、SCF および SRF フレームのモニタリングが可能です。
    - TDM4 では、SCF および SRF フレームのモニタリングと、最大 2 つのアップストリーム・データ・スロットおよび最大 2 つのダウンストリーム・データ・スロットの同時モニタリングが可能です。
    - TDM8 では、SCF および SRF フレームの並列モニタリングと、最大 6 つのアップストリーム・データ・スロットおよび最大 6 つのダウンストリーム・データ・スロットの同時モニタリングが可能です。

- TDM16 では、SCF および SRF フレームの並列モニタリングと、最大 14 のアップストリーム・データ・スロットおよび最大 14 のダウンストリーム・データ・スロットの同時モニタリングが可能です。
- TDM32 では、SCF および SRF フレームの並列モニタリングと、最大 30 のアップストリーム・データ・スロットおよび最大 30 のダウンストリーム・データ・スロットの同時モニタリングが可能です。
- I<sup>2</sup>S 設定レジスタ (A2B\_I2SCFG)
  - A2B\_I2SCFG.TX0EN ビットをセットすると、DTX0 ピン上でダウンストリーム・データの出力がイネーブルになります。
  - A2B\_I2SCFG.TX1EN ビットをセットすると、DTX1 ピン上でアップストリーム・データの出力がイネーブルになります。
  - A2B\_I2SCFG.TXBCLKINV ビットは、プロトコル・アナライザのインターフェースに合わせて設定します。
  - A2B\_I2SCFG.TX2PINTL、A2B\_I2SCFG.RXBCLKINV、および A2B\_I2SCFG.RX0EN ビットは、0 に設定されている必要があります。
- ローカル・アップストリーム・スロット・オフセット・レジスタ (A2B\_UPOFFSET) - A<sup>2</sup>B<sup>®</sup>バス上で受信されるアップストリーム・データ・スロットと、I<sup>2</sup>S/TDM チャンネルとして DTX1 ピンに出力されるアップストリーム・データ・スロットの間のオフセットを、データ・スロット数単位で指定します。スロットの数が、選択した TDM フォーマットで伝送チャンネルの数を超える場合は、higher インデックス・スロットあるいは lower インデックス・スロットを見ながらレジスタ (offset register) を設定します。
- ローカル・ダウンストリーム・スロット・オフセット・レジスタ (A2B\_DNOFFSET) - A<sup>2</sup>B<sup>®</sup>バス上で受信されるダウンストリーム・データ・スロットと、I<sup>2</sup>S/TDM チャンネルとして DTX0 ピンに出力されるダウンストリーム・データ・スロットの間のオフセットを、データ・スロット数単位で指定します。スロットの数が、選択した TDM フォーマットで伝送チャンネルの数を超える場合は、higher インデックス・スロットあるいは lower インデックス・スロットを見ながらレジスタ (offset register) を設定します。

## I<sup>2</sup>S/TDM チャンネル・フォーマット

スタンバイ・モードでは、A<sup>2</sup>B<sup>®</sup>バス上にアップストリーム・トラフィックは発生しません。すべてのスレーブ・ノードの同期を維持するための最小限 (19 ビット) の SCF のみが送信され、SRF は送信されません。ヘッダ・カウント・エラーと CRC エラーは無視され、データ・スロットはディスエーブルになります。スタンバイ・モードの間、GPIO の設定値は変化しません。

以下の例では、バス・モニタ・モードでの I<sup>2</sup>S/TDM 出力フォーマットについて説明します。

DTX0 ピンは、最初の 2 つの 32 ビット I<sup>2</sup>S/TDM 送信チャンネルのダウンストリーム・フレーム・ステータス・ビットを送信し、続いてダウンストリーム制御フレーム情報を送信します。これ以降の I<sup>2</sup>S/TDM チャンネルは (利用可能で許可されている場合)、ダウンストリーム同期データを伝送します。A2B\_DNOFFSET レジスタは、ダウンストリーム・データ・スロットと DTX0 上で生成されるデータ・スロットの間のオフセットを指定します。

DTX1 ピンは、最初の 2 つの 32 ビット I<sup>2</sup>S/TDM 送信チャンネルのアップストリーム・フレーム・ステータス・ビットを送信し、続いてアップストリーム応答フレーム情報を送信します。これ以降の I<sup>2</sup>S/TDM チャンネルは (利用可能で許可されている場合)、アップストリーム同期データを伝送します。A2B\_UPOFFSET レジスタは、アップストリーム・データ・スロットと DTX1 上で生成されるデータ・スロットの間のオフセットを指定します。

検出および初期化中に、ホストはマスタ・トランシーバーのデータ・スロット・フォーマット・レジスタ (A2B\_SLOTFMT) をプログラムします。マスタ・トランシーバーは、この情報をスレーブに自動ブロードキャストします。接続されたバス・モニタはこの制御メッセージを監視し、スロット・サイズの設定値 (最大 32 ビット) を取得できます。

データは常に MSB に揃えて送信されます。

パリティ・ビットは PS/TDM チャンネルに含まれませんが、A2B\_ERRMGMTレジスタを使用して、データの LSB、データの LSB より下のビット、または(データ・チャンネルの後に続く)追加のエラー・チャンネルで、データ・スロット・エラーを表示することができます。

**TDM16 ダウンストリーム (DTX0 ピン) レジスタの例**の図に、A2B\_I2SGCFG.TDMMODE = TDM16 で DTX0 ピン上に生成されるモニタリング用のダウンストリーム・データを示します。

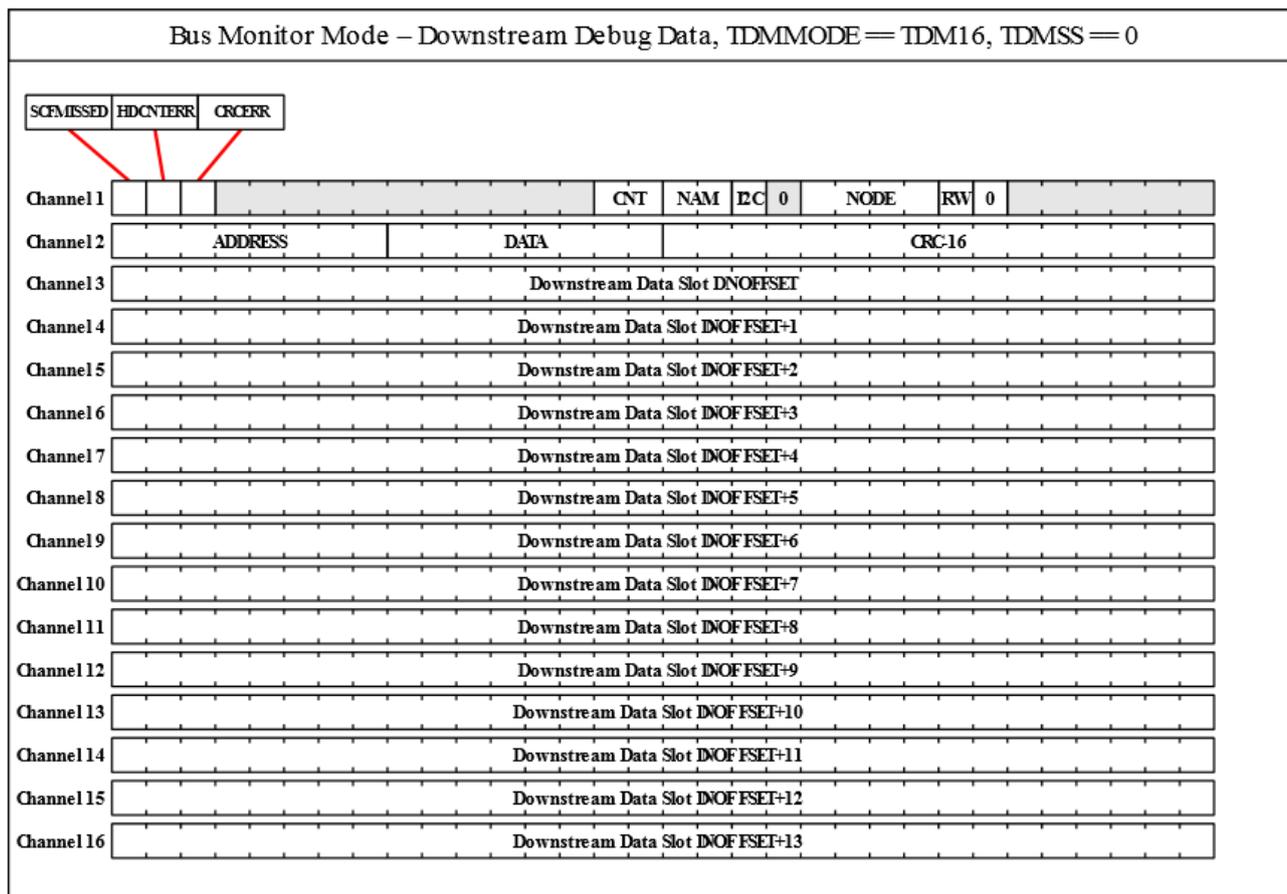


図 3-18: TDM16 ダウンストリーム (DTX0 ピン) レジスタの例

**TDM16 アップストリーム (DTX1 ピン) レジスタの例**の図に、A2B\_I2SGCFG.TDMMODE = TDM16 で DTX1 ピン上に生成されるモニタリング用のアップストリーム・データを示します。



6. バス・モニタ・ノードが PLL をロックした後、I<sup>2</sup>S/TDM インターフェースが送信を開始します。バス・モニタ・ノードの IRQ ピンがハイになり、ノードがロックを検出したことを示します。このイベントは、次のノードが応答を開始する前に発生する必要があります。
7. プローブされるバス・セグメント上の次のスレーブ・ノードの A2B\_BCDNSLOTS、A2B\_LDNSLOTS、A2B\_LUPSLOTS、A2B\_DNSLOTS、A2B\_UPSLOTS、A2B\_SLOTFMT、A2B\_DATCTL、A2B\_TESTMODE、A2B\_I2SRRATE、A2B\_I2SRRCTL、A2B\_UPMASK0～A2B\_UPMASK3、および A2B\_DNMASK0～A2B\_DNMASK3 レジスタへの書込みは、バス・モニタ・ノードにミラーされ、そこで I<sup>2</sup>C インターフェースを介してローカルにアクセス可能になります。バス上の新しいデータ構造は(ホストがマスタ・トランシーバーの A2B\_CONTROL.NEWSTRCT ビットをセットした場合)バス・モニタ・ノードにも適用されます。
8. ホストがマスタ・トランシーバーの A2B\_DATCTL.ENDSNIFF ビットをセットした結果発生したブロードキャスト書込みをバス・モニタが認識しない限り、DTX[1:0] ピンはデータ・スロットの内容を送信しません。

## 検出後

A2B\_BMMCFG.BMMNDSC = 1 の場合、以下のイベント・シーケンスを実行します。

1. プローブされるバス・セグメントのダウンストリーム・スレーブ・ノードは、既に DC バイアスされ、検出されています。
2. I<sup>2</sup>C インターフェースを介して、A2B\_BMMCFG.BMMEN = A2B\_BMMCFG.BMMNDSC = 1 に設定します。
3. バス・モニタをバス・セグメント(プローブ・ポイント)に物理的に接続します。
4. I<sup>2</sup>C インターフェースを介して、A2B\_BMMCFG.BMMRXEN = 1 に設定します。バス・モニタ・トランシーバーが適切に SCF にロックした後、IRQ ピンはハイになります。
5. I<sup>2</sup>C インターフェースを介して、A2B\_RESPCYCS レジスタを 0x20 に初期化します。A2B\_RESPCYCS の適切な値は、SRF のタイミングから計算され、自動的に更新されます。
6. I<sup>2</sup>C インターフェースを介して、A2B\_I2SGCFG、A2B\_I2SCFG、A2B\_I2SRATE、A2B\_SYNCOFFSET および A2B\_ERRMGMT レジスタで、目的のタイミングおよびフォーマット特性に合わせて I<sup>2</sup>S/TDM の送信設定値を設定します。
7. 制御フレームと応答フレームのモニタリングのみが目的の場合は、このステップは省略できます。データ・スロットのモニタリングが必要な場合(かつ、ホストがデータ・スロットへのアクセスを許可している場合)は、I<sup>2</sup>C インターフェースを介して A2B\_DNSLOTS、A2B\_UPSLOTS、A2B\_SLOTFMT、および A2B\_DATCTL レジスタを設定します。これらのレジスタの適切な値は、検出および初期化中に同じバス・セグメントをプローブした後でメモリに以前に格納された値から得られます。値が全くわからない場合、ソフトウェアは様々な値を試して適切な設定値を見つけることができます。
  - A2B\_DNSLOTS レジスタは、次のダウンストリーム・スレーブの A 側トランシーバー回路側のダウンストリーム・データ・スロットの数を表します。
  - A2B\_UPSLOTS レジスタは、次のダウンストリーム・スレーブの A 側トランシーバー回路側のアップストリーム・データ・スロットの数を表します。
  - A2B\_SLOTFMT レジスタは、データ・スロットのフォーマットを表します。

- A2B\_DATCTL.DNSおよびA2B\_DATCTL.UPSビットは、ダウンストリーム・スレーブ・ノード内の設定された値に一致する必要があります。これらのビットがセットされていない場合、DTX0ピンとDTX1ピンは、I<sup>2</sup>S/TDMチャンネル内のデータ・スロットを送信しません。
8. ホストがマスタ・トランシーバーのA2B\_DATCTL.ENDSNIFFビットをセットした結果発生したブロードキャスト書込みをバス・モニタが認識しない限り、DTX[1:0]ピンはデータ・スロットの内容を送信しません。

## EMC 性能の最適化

EMC 性能は、A<sup>2</sup>B<sup>®</sup>トランシーバー・システムの設計において非常に重要です。トランシーバーは、EMC 性能の最適化に利用できる、以下のプログラマブル機能を備えています。

- スペクトラム拡散クロック制御
- プログラマブルなLVDS送信レベル
- データ専用および電力専用のバス動作

### スペクトラム拡散クロック制御

スペクトラム拡散クロック制御を使用して、PCB 上の狭帯域エミッションを低減できます。デフォルトではトランシーバー上でスペクトラム拡散クロック制御はディスエーブルになっていますが、A2B\_PLLCTLレジスタへの書込みにより、検出中にスペクトラム拡散クロック制御をイネーブルにすることができます。A2B\_PLLCTLレジスタには、トランシーバー内部のクロックのスペクトラム拡散クロック制御をイネーブルにする設定値が格納されます。

内部クロックのスペクトラム拡散クロック制御がイネーブルになっている場合は、I<sup>2</sup>S インターフェースとプログラムされたCLKOUT の両方についても、スペクトラム拡散クロック制御をイネーブルにすることができます。内部クロック、CLKOUT、および I<sup>2</sup>S インターフェースのスペクトラム拡散クロック制御をイネーブルにすると、特定のノード上で狭帯域エミッションを数 dB 低減することができます。

**注意：** クロック出力のスペクトラム拡散クロック制御をイネーブルにすると、そのクロックの TIE ジッタが増加します。

A<sup>2</sup>B<sup>®</sup>ネットワーク全体でスペクトラム拡散クロック制御をイネーブルにするには、すべてのノードが同じ深度と周波数に設定されている必要があります。

以下の手順に従ってノードを設定します。

1. すべてのスレーブを検出します。
2. 各ノードのA2B\_PLLCTLレジスタへのブロードキャスト書込みにより、(マスタを含む)すべてのノードについてスペクトラム拡散クロック制御を設定します。

(AD2421/AD2422/AD2425 モデルを使用したシステムを含む) 単一ノードでスペクトラム拡散クロック制御をイネーブルするには、以下の手順に従います。

1. すべてのノードを検出します。
2. 一度に 1 ノードずつ(A2B\_PLLCTLレジスタを設定することにより)各スレーブのスペクトラム拡散クロック制御を設定します。
  - a. A2B\_PLLCTL.SSDEPTHビットの設定値は、0x0 のみに限られます。
  - b. 隣接するノードのA2B\_PLLCTL.SSFREQは、同じ設定値でなければなりません。

**注意：** システムのすべてのノードでスペクトラム拡散クロック制御をイネーブルにする場合は、A2B\_PLLCTLレジスタへのブロードキャスト書込みが必要です。A2B\_NODEADR.BRCSTビットをセットして、A2B\_BUS\_ADDRを使用してA2B\_PLLCTLレジスタへの書込みを開始します。ブロードキャスト書込みはすべてのノードに影響を与えません。書込みは最初にマスタで実行され、次のSCFの間にスレーブ・ノードで実行されます。

スペクトラム拡散クロック制御のシーケンシャル・プログラミングは、単一ノードのガイドラインに従う必要があります。スペクトラム拡散クロック制御のシーケンシャル・プログラミングを実行する場合、単一ノードのスペクトラム拡散クロック制御をイネーブルにしたシステムと同様に、A2B\_PLLCTL.SSDEPTHビットの設定値は0x0のみに限られます。

スペクトラム拡散クロック制御がイネーブルかどうかに関わらず、A2B\_PLLCTL.SSMODEフィールドは、プロトコルのみまたはI<sup>2</sup>S+プロトコルに設定できます。

## プログラマブルな LVDS 送信レベル

LVDSトランスミッタは、高、中、または低レベルで信号を送信するように設定できます。送信レベルが高いほど、EMIに対する耐性が向上します。一方、送信レベルが低いほど、A<sup>2</sup>B<sup>®</sup>バス・ノードを相互にリンクするツイスト・ペア・ケーブルからのエミッションを低減できます。

LVDS送信レベルを変更するには、A2B\_TXACTL(A側)またはA2B\_TXBCTL(B側)レジスタの設定値を調整します。デフォルト値以外の送信レベルを使用する場合は、A2B\_SWCTL.ENSWビットをセットする前に、(検出中に)各ノードのA2B\_TXxCTLに書き込む必要があります。TXxLEVELの設定値が有効になるには、A2B\_TXACTL.TXAOVRENイネーブル・ビットがセットされている必要があります。

## データ専用および電力専用のバス動作

A<sup>2</sup>B<sup>®</sup>バスは、PMOSスイッチを閉じずに動作して、DCバイアスをダウンストリームに送信できます。そのためには、検出中にA2B\_SWCTL.ENSWビットの代わりにA2B\_CONTROL.SWBYPビットがセットされている必要があります。反対に、A2B\_SWCTL.DISNXTビットにより、データなしでDCバイアスをダウンストリームに送信できます。この設定は、検出中にA2B\_SWCTL.ENSWビットをセットする書込みと同時に適用される必要があります。これらのモードは、主にデバッグ目的で使用されます。

## クロスオーバー・ケーブル配線とストレート・ケーブル配線

ストレート・ケーブルは、B側コネクタのDCカップリングをスワップすることによってサポートされます。ストレート・ケーブルをサポートするように設計されたハードウェアが正常に動作するには、検出中にA2B\_CONTROL.XCVRBINVビットをセットする必要があります。この操作は、ストレート・ケーブルで接続された各スレーブのA2B\_SWCTL.ENSWビットをセットする前に実行します。

**重要：** A2B\_CONTROL.NEWSTRCTビットへの書込みなど、(新しい構造を適用する)他の動作の実行中に、A2B\_CONTROL.XCVRBINVビットを上書きしないように注意してください。

## 4 A2B®イベント制御

A2B®プロトコル・エンジンには、ホストに対する割込みをサポートする一連のレジスタがあります。これらのレジスタは以下のとおりです。

- A2B\_INTSTAT
- A2B\_INTSRC
- A2B\_INTTYPE
- A2B\_INTPND0～A2B\_INTPND2
- A2B\_INTMSK0～A2B\_INTMSK2

スレーブ割込み要求をマスタ・ノードに登録するには、A2B\_INTMSK0およびA2B\_INTMSK1レジスタ内のスレーブ割込みをアンマスクします。マスタ・ノード内でのみ、A2B\_INTMSK2レジスタ内の割込みもアンマスクします。

A2B\_IRQ ピンのアクティブ極性は、A2B\_PINCFGレジスタを使用して設定します。デフォルトでは、割込み要求は、A2B\_IRQ ピンのハイ・レベルとA2B\_INTSTAT.IRQビットの設定値で示されます。マスタ・トランシーバー内のアクティブな割込み要求は、ホストがマスタ・トランシーバーのA2B\_INTTYPEレジスタを読み出すことによってクリアおよび変更されます。このプロセスは、スレーブ・ノードからの割込み要求を受信するマスタ・ノードにも適用されます。

マスタ・トランシーバー・レジスタ(A2B\_INTSRC)は、マスタ・ノードとスレーブ・ノードのどちらがアクティブな割込みを生成したかを示します(スレーブ・ノードの場合、スレーブ・ノードの ID も示します)。マスタ・トランシーバー内のA2B\_INTTYPEレジスタには、ホストが割込みの原因を判断するために使用する情報が格納されます。A2B\_INTSRCおよびA2B\_INTTYPEレジスタの値は、優先順位ロジックによって自動的に決定されます。その他の保留中の割込み要求は、A2B\_INTTYPEレジスタを読み出した後に現れます。A2B\_INTTYPEレジスタが読み出されると、A2B\_IRQ ピンは、1fSYSCLK サイクル(約 20ns)の間ローになります。保留中の割込み要求がある場合、このピンは直ちにハイに移行します。

マスクされた割込みが発生すると、それらの割込みはA2B\_INTPND0～A2B\_INTPND2レジスタにスティッキー・ビットとして登録されますが、割込み要求をトリガしません。アンマスクされると、保留中の割込みは以下の優先順位で割込み要求をトリガします。

- マスタ割込みはスレーブ・ノード割込みより優先されます。
- スレーブ・ノード ID は、番号の早い ID が番号の遅い ID より優先されます。
- A2B\_INTTYPEは、番号の早いタイプが番号の遅いタイプより優先されます。

## エラー管理

- A2B\_INTPND0はA2B\_INTPND1より優先され、A2B\_INTPND1はA2B\_INTPND2より優先されます。
- 割り込み保留中レジスタA2B\_INTPND0～A2B\_INTPND2では、番号の早いビットが番号の遅いビットより優先されます。

マスタ・トランシーバーがスレーブから割り込み要求を受信すると、IRQ 信号が直ちにアサートされます。

## 割り込み要求に対するホストの応答

ホストがマスタ・ノードからの割り込み要求を受信すると (IRQ 信号がハイになることによって示される)、ホストは A2B\_INTSRC および A2B\_INTTYPE レジスタを読み出し、割り込み要求を生成したスレーブ・ノードの ID と割り込み要求のタイプを取得できます。これを実行するには、A2B\_INTSRC のアドレスから始まる 2 バイト読出しを 1 回実行し、両方のレジスタを読み出します。保留中の割り込みがそれ以上ない場合は、A2B\_INTTYPE レジスタの読出しの完了時に、アクティブな割り込みはクリアされ、IRQ はローになります。

## 割り込み遅延

割り込みは、スレーブ・トランシーバーからマスタ・トランシーバーへアップストリームに、同期応答フレーム (SRF) で通知されます。SRF の開始後 (スレーブ・ノードが AP ピンと AN ピンを駆動し始めた後) に発生した割り込みは、次のスーパーフレームの SRF でマスタに通知されます。問題の IO ピン割り込みをマスクする、より優先順位の高い他の割り込みがないと仮定すると、スレーブ・ノードの IO ピンとマスタ・ノードの IRQ の間の遅延は、以下の合計になります。

- ピン割り込み生成に 4SYSBCLK サイクル (81.4ns) +
- SRF 送信開始までの 1 スーパーフレームの遅延 (20,833.3μs) +
- SRF の長さに 64SYSBCLK サイクル (1,302.1ns) +
- マスタの Rx 遅延に 5SYSBCLK サイクル (101.7 ns) +
- マスタ・ノードの IRQ ロジックに 2SYSBCLK サイクル (40.7ns)

この 22.36μs の合計遅延以外に、SRF が通過しなければならない各スレーブにつき 9SYSBCLK サイクル ( $N \times 183.1$  ns) の追加遅延が発生します。例えば、3 つのスレーブがあるシステムでは、スレーブ 2 からマスタへの GPIO 割り込みの最大遅延は、「 $22.36\mu\text{s} + (2 \times 0.183)\mu\text{s} = 22.73\mu\text{s}$ 」になります。

## エラー管理

ここでは、エラー管理について説明します。A<sup>2</sup>B<sup>®</sup>バスで送信されるすべてのデータは、受信側でライン符号違反 (DDERR) がないかをチェックされます。更に、SCF と SRF は巡回冗長コード (CRC) を使用します。また、すべての同期データ・スロットは、エラー検出の確実性を高めるためにパリティ・ビットを使用します (フレーム構造の詳細の図を参照)。

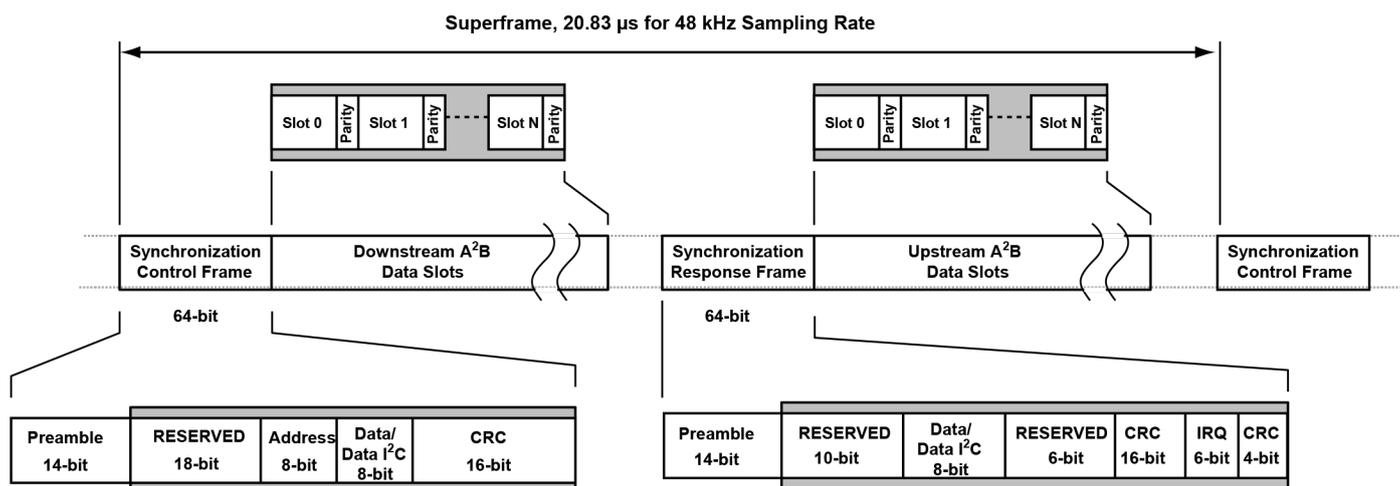


図 4-1: フレーム構造の詳細

## ダウンストリーム・データの誤り検出

SCF 内部のダウンストリーム制御データには、16 ビット巡回冗長コード (CRC) が含まれています。受信側では、この CRC により、SCF データが伝送中に壊れていないかを判定します。

SCF には、スーパーフレームの開始を示すプリアンブルがあります。プリアンブルのビット・パターンを使用して、スレーブはクロックとフレームを同期します。このフレーム同期がスレーブによって検出されない場合、そのエラーは CRC エラーとして扱われます。

## アップストリーム・データの誤り検出

SRF 内部のアップストリーム応答データには、16 ビット巡回冗長コード (CRC) が含まれています。受信側では、この CRC により、SRF データが伝送中に壊れていないかを判定します。SRF 内部の割込み要求フィールドには、誤った割込みがトリガされるのを防ぐための追加の CRC (ICRC) があります。

SRF には、応答フレームの開始を示すプリアンブルがあります。プリアンブルのビット・パターンを使用して、クロックとフレームを同期します。このフレーム同期がアップストリーム・ノードによって検出されない場合、そのエラーはスレーブ・ノードでは SRFCRCERR としてキャプチャされ、マスタ・ノードでは CRCERR としてキャプチャされます。

## データ・スロットの誤り訂正

受信したデータ・スロットがノード内で自動訂正される原因には、以下のものがあります。

- フレーム同期プリアンブルが検出されない場合、バスから受信したすべてのデータ・スロットは、以前の正常な値に自動的に置き換えられます。
- スレーブによって SCF 内で CRC エラーが検出された場合 (A2B\_INTFND0.CRCERR = 1)、バスから受信したすべてのダウンストリーム・データ・スロットは、以前の正常な値に置き換えられます。
- マスタによって SRF 内で CRC エラーが検出された場合 (A2B\_INTFND0.CRCERR = 1)、バスから受信したすべてのアップストリーム・データ・スロットは、以前の正常な値に置き換えられます。

- データ・スロット内でデータ・デコード・エラー (A2B\_INTPND0.DDERR =1) またはデータ・パリティ・エラー (A2B\_INTPND0.DPERR =1) が検出された場合、受信した不正なデータ・スロットは、以前の正常なスロットの値に自動的に置き換えられます。

## 制御および応答エラーの処理

ホストが I<sup>2</sup>C と A<sup>2</sup>B<sup>®</sup> (例えば、長距離 I<sup>2</sup>C) を介してレジスタにアクセスする場合、同期制御フレーム (SCF) と同期応答フレーム (SRF) がこのデータ交換を伝送します。制御フレームまたは応答フレームに通信エラーがあった場合、マスタ・ノードは、レジスタへのアクセスの再試行を自動的に開始します。アクセスに成功するか、またはマスタで I<sup>2</sup>C タイムアウトが発生するまで、マスタ・ノードはアクセスを複数回試行します。再試行時間中は、I<sup>2</sup>C クロック・ストレッチングが適用され、トランザクションが完了していないことをホストに通知します。I<sup>2</sup>C タイムアウトが発生した場合 (I<sup>2</sup>C タイムアウトは 30 スーパーフレーム後に発生する)、マスタは I2CERR 割込みフラグを立て、それに対してホストが応答します。

マスタ内の壊れた受信割込み要求は無視されます。実際の割込みイベントが発生した場合、割込みはクリアされていないため、スレーブによって割込みが自動的に再生成されます。

## エラー・シグナリング

A2B\_INTPND0 または A2B\_INTPND2 レジスタにフラグが立てられた通信エラーは、対応する割込みがそれぞれ A2B\_INTMSK0 または A2B\_INTMSK2 レジスタでイネーブルになっている場合、割込み要求をトリガします。これらの割込み要求は、A2B\_IRQ ピンまたは A2B\_INTSTAT.IRQ ビットを使用して、ホストにその要求を通知します。ホストは、A2B\_INTSRC レジスタと A2B\_INTTYPE レジスタを読み出して、どのエラーがどこで発生したかを判断します。

A2B\_BECCNT レジスタは、どの通信エラーがカウントされるか、どれだけのカウンタ閾値を超えると割込み要求が生成されるかを選択します。この機能を使用すると、A2B\_BECCNT レジスタが最後にクリアされてからの期間中にエラーが多数累積されない限り、一定の数のシングルビット通信エラーでは割込みを生成しないで済みます。更に、A2B\_ERRMGMT レジスタを使用して、I<sup>2</sup>S/TDM インターフェースを介してデータ・スロット・エラーを通知する 3 種類の手法を選択できます (詳細については、エラー管理レジスタを参照)。

## A<sup>2</sup>B<sup>®</sup>通信エラーとビット・エラー

A<sup>2</sup>B<sup>®</sup>通信エラーとビット・エラーには、以下のものがあります。

- HDCNTERR (A2B\_INTTYPE = 0)

SCF フィールドと SRF フィールドには、2 ビット・フィールド CNT が含まれます。SCF では、CNT フィールドは、前のスーパーフレームで使用した値からインクリメント (モジュロ 4) されます。SRF では、SCF 内の CNT フィールドの受信値がマスタ・ノードに返信されます。HDCNTERR は、現在のノードがヘッダ・カウント・エラーを検出したことを示します。マスタ・ノードの場合、これは同期応答フレームの CNT 値が予想と異なることを意味します。スレーブ・ノードの場合、これは同期制御フレームの値が予想と異なることを意味します。

- DDERR (A2B\_INTTYPE = 1)

DDERR エラーは、A<sup>2</sup>B<sup>®</sup>バス上の差動マンチェスタ・データ・ストリーム内にクロック・エッジが欠けていることを示します。データ・デコード・エラーは、特定のノードによって消費されているデータ・スロット上でのみ通知されます。SCF/SRF のデータ・デコード・エラーは CRC エラーになるため、データ・デコード・エラーとして扱われません。

- CRCERR (A2B\_INTTYPE = 2)

CRCERR エラーは、スレーブ・ノードが、受信した SCF フィールドの CRC エラーを検出したことを示します。マスタ・ノードの場合、このエラーは、受信した SRF フィールドの CRC エラーを示します。

- DPERR (A2B\_INTTYPE = 3)

A<sup>2</sup>B<sup>®</sup>バス上のデータ・スロットは、パリティ・ビットによって保護されます。DPERR エラーは、特定のノードによって消費されるデータ・スロット上でのみ通知されます。各ノードは、ノードを通過するだけのスロットのパリティはチェックしません。

- BECOVF (A2B\_INTTYPE = 4)

A2B\_BECCTL.THRESHLDフィールドは、何個のビット・エラー (HDCNTERR、DDERR、CRCERR、DPERR、および ICRRCERR) をカウントしたら A2B\_INTPND0.BECOVF ビットがセットされるかを設定します。この閾値は、ビット・エラーが生じるたびに割込みを通知したくない場合に便利です。この閾値は、特定の期間に許容できるノイズと堅牢性に基づいて設定できます。ビット・エラー・カウンタは、定期的クリアする必要があります。ビット・エラーの数が閾値を超えると、A2B\_INTPND0.BECOVF ビットがセットされ、割込みが通知されます。ビット・エラーの閾値は、マスタ・ノードとスレーブ・ノードで個別に設定できます。

- SRFERR (A2B\_INTTYPE = 5)

SRFERR エラーは、下流のノードの SRF を受信する前にローカル・タイミング・ウィンドウが経過したことを示します。該当ノードは自分の SRF を生成し、より上流のノードが存在する場合はそのノードに送信します。このエラーは、マスタ・ノードとスレーブ・ノードで有効です。

- SRFRCRCERR (A2B\_INTTYPE = 6)

SRFRCRCERR エラーは、現在のスレーブ・ノードが SRF フィールド内で CRC エラーを検出したことを示します。通常、スレーブ・ノードが SRF 内で CRC エラーを検出すると、そのノードの SRFRCRCERR エラー・ビットのフラグを立てます。スレーブはエラーを訂正しようとせず、SRF をそのままアップストリームに渡します。ただし例外として、コマンドに対する応答の場合は、スレーブ・ノードは (CRC を含めて) 自分の SRF を挿入します。マスタ・ノードでは、CRCERR フィールドを使用して SRF 内の CRC エラーを示します。

- PWRERR (A2B\_INTTYPE = 9~15)

PWRERR は、DLPS (デジタル・ライン・パワー・スイッチ) ブロックからのエラーのマスク・ビットです。LDO2 は、内部で DLPS ブロックへの電力供給に使用されます。

## スレーブ割込みの処理

ここでは、スレーブ・ノード割込みがマスタ・ノードによってどのように内部で処理されるかを説明します。スレーブ・ノードで割込みが発生すると、それに応答して以下のイベント・シーケンスが発生します。

1. スレーブ・ノード割込みの発生後、スレーブ・トランシーバーの A2B\_INTPND0、A2B\_INTPND1、および A2B\_MBOX0STAT レジスタの関連するビットがセットされます。

2. A2B\_INTSTAT.IRQビットがローの場合、このビットがセットされます。最も優先順位の高い保留中の割り込みタイプが、A2B\_INTTYPEレジスタに書き込まれます。
3. スレーブ・ノードは、SRF の割り込みフィールドで IRQ のシグナリングを開始します。アクティブな割り込みがないアップストリーム・スレーブは、このフィールドをアップストリームに渡します。
4. マスタ・ノードは、有効な CRC および IRQ フィールドが設定された割り込みフィールドを受信すると、A2B\_INTSTAT.IRQビットをセットします(このビットがまだセットされていない場合)。次にマスタは、A2B\_INTSRCレジスタをスレーブ番号で更新し、A2B\_INTTYPEレジスタを 0x80 に設定します。この時点で、マスタ・ノードの IRQ ピンはアクティブに駆動されます。
5. マスタは、適切なスレーブからA2B\_INTTYPEレジスタを自動的に読み出し、マスタのA2B\_INTTYPEレジスタを更新します。適用されている新しい構造がある(最後の 5 スーパーフレームでA2B\_CONTROL.NEWSTRCTがセットされる)場合、またはリモート I<sup>2</sup>C 停止コマンドを送信する必要がある場合、この操作は延期されます。
6. A2B\_INTTYPEが読み出されると、マスタは適切なスレーブへの書き込みを自動的に実行して割り込みをクリアします。適用されている新しい構造がある場合、またはリモート I<sup>2</sup>C 停止コマンドを送信する必要がある場合、この操作は延期されます。この時点で、スレーブは SRF 内で割り込みのシグナリングを停止します。
7. スレーブ割り込みの結果としてマスタ・ノードの IRQ ピンがアサートされると、ホスト・プロセッサはA2B\_INTSTATおよびA2B\_INTTYPEレジスタを読み出し、割り込みタイプを確認して、どのスレーブ・ノードが割り込みを発生させたかを特定します。

ステップ 4 の後、ステップ 5 が完了する前にホストがマスタからA2B\_INTTYPEを読み出す場合、ホストがA2B\_INTTYPEから 0x80 を読み出すことがあります。スレーブ・ノードがバスから切り離されなければ、A2B\_INTTYPEフィールドは最終的には更新されます。

ホストがA2B\_INTTYPE = 0x80 を読み出した場合は、A2B\_INTTYPEレジスタをもう一度読み出して、割り込みタイプを確認することを推奨します。スレーブが割り込みを通知した後で(おそらくスイッチ障害が原因で)バスから切り離された場合、SRF が欠けた状態が 32 フレーム続いた後、次のアップストリーム・スレーブが最後のスレーブに切り替わります。この時点で、(ホスト・プロセッサではなく)マスタ・ノードが、存在しないスレーブからA2B\_INTTYPEを内部で読み出そうとする場合は、新しい最後のスレーブが、その読出しが実行できないことをマスタに示す特殊な SRF を送信します。これにより、A2B\_INTTYPEは 0xFD に設定され、割り込み識別プロセスは終了します。SRF が欠けた状態のタイムアウトは 32 スーパーフレームであるため(この期間の後、アップストリーム・ノードが最後のノードになる)、エラー・タイプ 0xFD は起こりそうにありません。

言い換えると、マスタが、受信した割り込みに基づいてスレーブからA2B\_INTTYPEを読み出そうとしたが、1 つ上流のスレーブから最後のスレーブになったことを示す応答を受信した場合、スレーブA2B\_INTTYPE読出しエラー(0xFD)割り込みが発生します。A2B\_INTTYPE= 0xFD とA2B\_INTTYPE= 0x80 の主な違いは、A2B\_INTTYPE= 0x80 はマスタがまだA2B\_INTTYPEを読み出そうとしている間に検出されるため、その後解決されることがありますが、A2B\_INTTYPE0xFDは解決されないことです。

スレーブがマスタに割り込みを通知するだけで、その後その他のライン障害がない場合、ステップ 4 の後にホストがA2B\_INTTYPEを読み出すのが早すぎると、A2B\_INTTYPE= 0x80 が読み出され、結果として IRQ がクリアされます。レジスタ値がスレーブから更新される前にA2B\_INTTYPEレジスタが読み出された場合、マスタは IRQ を再アサートしません。

ホストがA2B\_INTSRCレジスタを読み出し、IRQの確認後にA2B\_INTTYPEレジスタを読み出す場合(これを推奨)、(ライン・エラーがない限り)A2B\_INTTYPEの値は有効です。

保留中の割込みがないスレーブは、バスのそれ以外の部分から切り離され、アップストリーム・スレーブが、連続する32スーパーフレームでSRFERRを生成します。

## エラー管理レジスタ

A<sup>2</sup>B<sup>®</sup>データ・スロットを正しく受信できなかった場合(スロット内の任意のビットのパリティ・エラーまたはデータ・デコード・エラーによって検出)、そのスロットの最後の正常なサンプルが繰り返されます。A2B\_ERRMGMTレジスタは、I<sup>2</sup>S/TDMインターフェース上で不良データ・スロットを指示する3つの方法も制御します。

A2B\_ERRMGMT.ERRLSBビットがセットされている場合、各データ・スロットのLSBを使用して、スロットが正しく受信されたかどうかを示します。例えば、アップストリーム・スロットのサイズが24ビットのマスタ・ノードでは、DTX0またはDTX1上に送信される24番目のデータ・ビットは、データが有効な場合はローになり、データが有効でない場合はハイになります。この手法を使用すると、受信したI<sup>2</sup>S/TDMデータ・ワード内のLSBの意味が変わります。

A2B\_ERRMGMT.ERRSIGビットがセットされている場合、各データ・スロットのLSBより下のすべてのビットを使用して、スロットが正しく受信されたかどうかを示します。スロット・サイズが24ビットの場合、各32サイクル・データ・スロットの最後の8ビットは、データが有効な場合はローになり、データが有効でない場合はハイになります。A2B\_ERRMGMT.ERRSIGビットがセットされていない場合、余分な8ビットは常にローになります。この手法を使用すると、受信したI<sup>2</sup>S/TDMデータ・ワード内のLSBの意味は変わりません。ただし、この手法が機能するには、データ・ワードのサイズがデータ・チャンネルのサイズより小さくなければなりません。データ・チャンネルの幅は通常32ビットですが、16ビットにプログラムすることもできます。

A2B\_ERRMGMT.ERRSLOTビットがセットされている場合、A<sup>2</sup>B<sup>®</sup>バス上に生成されるスロットの数が1だけインクリメントされます。マスタ・ノードでは、プロトコル・エンジンが、通常はスーパーフレームごとにフレーム・バッファにA2B\_UPSLOTS個のデータを書き込みます。スレーブ・ノードでは、書き込まれるスロットの数は、通常はA2B\_LDNSLOTS + A2B\_BCDNSLOTS個です。この手法の使用時にイネーブルになる追加のデータ・スロットは、設定されたA<sup>2</sup>B<sup>®</sup>トラフィックの最後に追加されます。このスロットには、そのスーパーフレーム内で先行する各データ・スロットにつき1ビットのエラー情報が格納されます。追加スロットのMSBは、データ・スロット0で発生したエラーを示します。次のビットは、データ・スロット1のエラーを示します。以下同様です。例えば、0x80000000はスロット0にエラーがあったことを示し、0xfffff00はスロット0~23のすべてにエラーがあったことを示します。A2B\_I2SGCFG.TDMSSビットが16ビットのチャンネル・サイズに設定されている場合は、最初の16データ・チャンネルのエラーのみ通知されます。A2B\_I2SGCFG.TDMSSビットが32ビットのチャンネル・サイズに設定されている場合は、最大32データ・チャンネルのエラーを通知できます。

## ビット・エラー・コントロール・レジスタ

A2B\_BECNTレジスタは、2<sup>n</sup>の割込み閾値(nの範囲は1~8)を含めて、ビット・エラー・カウンティングを制御します。このレジスタにより、どの通信エラーがカウントされるか、どれだけのカウンタ閾値を超えると割込み要求が生成されるかを選択できます。この機能を使用すると、A2B\_BECNTレジスタが最後にクリアされてからの期間中にエラーが多数累積されない限り、一定の数のシングルビット通信エラーでは割込みを生成しないで済みます。

## テストとデバッグ

A<sup>2</sup>B<sup>®</sup>トランシーバーは、割込み生成レジスタA2B\_RAISEとエラー生成レジスタA2B\_GENERRを使用して、テストとデバッグ用の割込みとビット・エラーを生成できます。

### 割込み生成(A2B\_RAISE)レジスタ

A2B\_RAISEレジスタにより、ホストはソフトウェアによってシステム内の任意のノードで割込みを生成できます。このレジスタにはA<sup>2</sup>B<sup>®</sup>バスを介して書き込む必要があります。ローカルI<sup>2</sup>Cポートからこのレジスタへ書き込んでも影響はありません。

### エラー生成(A2B\_GENERR)レジスタ

- **0x01 ヘッダ・カウント・エラー生成(A2B\_GENERR.GENHCERR)**

1. マスタ・ノードがヘッダ・カウント・エラーを生成する場合、次のようになります。

マスタ・ノードは、SCF内の2ビットのCNTフィールドを1フレームの間だけ変更します。次のフレームでは、正常なCNTフィールドを送信します。

各スレーブ・ノードがこのSCFを受信するため、すべてのスレーブが(A2B\_INTPND0.HDCNTERR)エラーを検出します。

2. スレーブ・ノードがヘッダ・カウント・エラーを生成する場合、次のようになります。

スレーブ・ノードは、SRF内の2ビットのCNTフィールドを変更します。一般に、スレーブ・ノードは、ダウンストリーム・スレーブ・ノードから受信したSRFをそのまま渡します。この場合(スレーブ・ノードはフレーム内のA2B\_GENERRへの書き込みコマンドを受信しているため)、スレーブ・ノードは既にそのノードのSRFで応答を生成していますが、それにはコマンドで指示されたとおりの誤ったCNTフィールドが含まれています。

アップストリーム・スレーブ・ノードはSRFを受信しますが、CNTフィールドが正常かどうかをチェックしません。スレーブ・ノードは、SCFのチェック時にのみA2B\_INTPND0.HDCNTERRを生成します。したがって、スレーブ・ノードがこのエラーを生成した場合、マスタ・ノードだけがエラーを検出します。

- **0x02 データ・デコード・エラー生成(A2B\_GENERR.GENDDERR)**

データ・デコード・エラーを生成するには、(SCFフィールドやSRFフィールドにではなく)データ・スロットに、マンチェスタ・コーディング違反を適用する必要があります。

1. マスタ・ノードがデータ・デコード・エラーを生成する場合、次のようになります。

マスタ・ノードは、最初のダウンストリーム・データ・スロット(スロット0)にのみマンチェスタ・エンコーディング・エラーを発生させます。その他のデータ・スロットにはエラーを挿入しません。各ノードは消費するデータ・スロット上のデータ・デコード・エラーのみを通知するため、マスタがこのエラーを生成する場合、スロット0を消費するスレーブ・ノードのみがエラーを検出します。スレーブ・ノードがデータを(消費せずに)ダウンストリームに渡す場合、受信したのと同じビット・ストリームを送信し、エラーを検出しません。

2. スレーブ・ノードがデータ・デコード・エラーを生成する場合、次のようになります。

スレーブ・ノードは、(渡されたデータ・スロットではなく)そのスレーブが作成する最初のアップストリーム・データ・スロット上に、マンチェスタ・エンコーディング・エラーを発生させます。スレーブが2つ以上のアップストリーム・スロットを作成する場合は、最初のスロットにのみエラーを発生させます。スレーブ・ノードは、ダウンストリーム・データには符号化エラーを発生させません。

各ノードは消費するデータ・スロット上のデータ・デコード・エラーのみを通知するため、最初に作成されたアップストリーム・スロットを消費するアップストリーム・ノードのみがエラーを検出します。アップストリーム・スレーブ・ノードまたはマスタ・ノードが、最初に作成されたデータ・スロットを消費しない場合、そのノードはエラーを検出しません。

- **0x04 CRC エラー生成**(A2B\_GENERR.GENCRRCERR)

1. マスタ・ノードが CRC エラーを生成する場合、次のようになります。

マスタ・ノードは、SCF の CRC フィールドに 1 フレームの間だけエラーを発生させます。各スレーブ・ノードがこの SCF を受信するため、すべてのスレーブが CRC のエラーを検出します。

2. スレーブ・ノードが CRC エラーを生成する場合、次のようになります。

スレーブ・ノードは、SRF の CRC フィールドに 1 フレームの間だけエラーを発生させます。すべてのアップストリーム・スレーブ・ノードがこの SRF を受信して CRC をチェックするため、ダウンストリーム・スレーブが CRC エラーを生成した場合、すべてのアップストリーム・スレーブ・ノードがエラーを検出します。スレーブ・ノードは A2B\_INTPND0.SRFRCRCERR フィールドで SRF の CRC エラーを通知しますが、ビット・エラー・カウンタはこれらのエラーをカウントしません。マスタ・ノードは、このエラーを A2B\_INTPND0.CRCERR として検出し、ビット・エラー・カウンタをインクリメントします(イネーブルになっている場合)。

- **0x08 データ・パリティ・エラー生成**(A2B\_GENERR.GENDPERR)

1. マスタ・ノードがデータ・デコード・エラーを生成する場合、次のようになります。

マスタ・ノードは、最初のダウンストリーム・データ・スロット(スロット 0)にデータ・パリティ・エラーを発生させます。その他のデータ・スロットにはエラーを発生させません。マスタ・ノードがデータ・パリティ・エラーを生成すると、スロット 0 を消費するスレーブ・ノードだけがエラーを検出します。スロット 0 を消費しないスレーブ・ノードはエラーを検出しません。

2. スレーブ・ノードがデータ・デコード・エラーを生成する場合、次のようになります。

スレーブ・ノードは、最初に作成したアップストリーム・データ・スロットにのみ、データ・パリティ・エラーを発生させます。スーパーフレームのダウンストリーム部分ではエラーを発生させません。スレーブ・ノードがエラーを生成すると、最初に作成されたスロットを消費するすべてのアップストリーム・ノードがエラーを検出します。アップストリーム・スレーブ・ノードまたはマスタ・ノードが、最初に作成されたデータ・スロットを消費しない場合、そのノードはエラーを検出しません。

- **0x10 割込みフレーム CRC エラー生成**(A2B\_GENERR.GENICRCERR)

1. マスタ・ノードは、割込みフレーム CRC エラーを生成できません。
2. スレーブ・ノードが割込みフレーム CRC エラーを生成する場合、マスタ・ノードだけがそのエラーを検出できます。他のアップストリーム・スレーブ・ノードは、割込みフレーム内の CRC をチェックしません。

## 固有 ID

各トランシーバーには 48 ビットの固有 ID があります。A2B\_CHIPID0~A2B\_CHIPID5 レジスタを読み出して、固有 ID を取得できます。固有 ID の読出しに失敗した場合は、固有 ID を復元できないことを示す割込みが生成されます(A2B\_INTTYPE = 0xFC)。これが発生した場合は、トランシーバーをアナログ・デバイスに返送してください。

## 5 A<sup>2</sup>B<sup>®</sup>システム・デバッグ

ここでは、障害の切り分けおよび修正用のシステム診断機能について説明します。A<sup>2</sup>B<sup>®</sup>ライン障害の検出に加え、ループバック・テスト・モードを使用してマスタ・ノードおよびスレーブ・ノード内の I<sup>2</sup>S/TDM 接続を検証できます。

### ライン障害診断

ここでは、A<sup>2</sup>B<sup>®</sup>ライン障害の診断について説明します。各種の障害と、ソフトウェア内でライン障害イベントに対応するためのプログラミング手順について説明します。ライン障害はノード検出中に検出されますが、ノード検出後に検出されることもあります(遅延障害)。

**注意** : A2B\_SWCTL.DIAGMODEビットを 1 に設定する必要があるのは、障害の場所を特定するときだけです。他のすべての条件下では、このビットが 0 に設定されていないと、デバイスは正常に動作しません。

### 検出中の診断

ライン障害 の表に、各種のライン障害と、障害の影響を受けるピンを示します。すべての障害は、バスの検出中に検出されて場所が特定されます。バスの検出中に障害が検出された場合、次のノードへのバイアス電流をイネーブルにするスイッチは自動的に遮断されます。

断線は、A2B\_INTTYPEレジスタの値 0x0C によって示されます。

次のノードの誤ったポート(ポート A の代わりにポート B)に配線された場合も、同じ応答が生成されるか、または A2B\_INTTYPEレジスタに 0x0D のフラグが立てられます。

1 つのノードの正の配線が、次のノードの負の入力に誤って接続された場合、逆配線障害が発生します。このイベントに対しては、A2B\_INTTYPEレジスタの値 0x0D のフラグが立てられるか、または検出終了応答を待機中にタイムアウトが発生します(A2B\_INTTYPE = 0x18)。

ノード検出時のタイムアウトは、A2B\_DISCVRY.DRESPCYCビット・フィールドに無効な値が設定されている場合、または次のノードに応答を妨げる物理的な不良がある場合にも発生します。

検出および場所の特定用のソフトウェア・フローが必要な障害を、表中の灰色で示します。

**注意：**ライン障害によってバイアス・スイッチが開かれても、A2B\_SWCTL. ENSWビットは自動的にクリアされません。このビットはソフトウェアでクリアする必要があります。クリティカルなライン障害が発生した場合は、マスタ・トランシーバーのA2B\_SWCTL. ENSWビットを 0 に設定して、すべてのバス・セグメントへのバス・バイアスを遮断する必要があります。

表 5-1:ライン 障害

Wires	Affected Pins	Detect	Localize	INTTYPE	Remarks
<b>Partial Bus Operation May Continue for Nodes Upstream of the Fault</b>					
Open	BP	Yes	Yes	0x0C	Open wires (BP and BN are the B-side positive and negative connector pins)
	BN				
	BN and BP				
Wrong Port	B to B' port	Yes	Yes	0x0C or 0x0D	B' is B-side of next in line node
Reverse Wires	BN to AP and BP to AN	Yes	Yes	0x0D	Wrong port or reverse wires (AP is the A side positive connector pin of the next in line node)
				No 0x18 timeout (no DSCDONE interrupt)	Reverse wires undetected by hardware diagnostics
Defective Node	NA	Yes	Yes	No 0x18 timeout (no DSCDONE interrupt)	Defective node or wrong software parameter value for A2B_DISCVRY. DRESPCYC
Short of Wires	BP with BN	Yes	Yes	0x0B	Wires shorted together
<b>Critical Faults</b>					
Short to Ground	BP	Yes	Yes	0x09	Positive wire shorted to ground
	BN		Yes	0x29	Software routine localizes fault
Short to V <sub>BAT</sub>	BN	Yes	Yes	0x0A	Negative wire shorted to V <sub>BAT</sub>
	BP		Yes	0x2A	Software routine localizes fault

**注意事項：**グラウンドへの短絡障害と V<sub>BAT</sub> への短絡障害はクリティカルな障害であり、バス全体が遮断されます。通常の A<sup>2</sup>B<sup>®</sup>バスの動作は中断する必要があります。マスタ・ノードは(ライン障害の場所に関わらず)バスのファンタム電源を除去します。障害が修正されるまで、マスタ・トランシーバーのA2B\_SWCTL. ENSW ビット = 0 に設定します。

以下の障害については、マスタ・ノードと、ライン障害の場所よりアップストリームにあるスレーブ・ノードの間で、A<sup>2</sup>B<sup>®</sup>バスの動作を部分的に続行できます。

- オープン
- 誤ったポート
- 逆配線
- 不良ノード
- 次のノードの検出パラメータの誤り

- ワイヤの短絡

## ライン診断用レジスタ

以下のレジスタを使用して、A<sup>2</sup>B<sup>®</sup>バス上のライン障害を診断できます。詳細については、レジスタの説明のセクションを参照してください。

- A2B\_SWCTLレジスタにより、バス電圧を制御して、次のノードの B 側 A<sup>2</sup>B<sup>®</sup>バス・リンクに切り替えることができます。このレジスタにより、特殊なライン障害検出モードも設定できます。
- A2B\_SWSTATレジスタは、ライン診断ステータス情報を提供します。
- A2B\_INTSRCレジスタには、アクティブな割込みのソースに関する情報(どのスレーブが割込みを生成したか、またはマスタから割込みが送信されたか)が格納されます。このレジスタを使って、ライン・エラーの場所を特定できます。
- A2B\_INTTYPEレジスタには、現在の割込み要求のタイプに関する情報が格納されます。このレジスタを読み出すと、対応する割込みがクリアされます。

## 断線障害

断線障害の図に、「SLAVE0」と「SLAVE1」の間の断線障害を示します。この障害が「SLAVE0」と「SLAVE1」の間に発生した場合、「MASTER」と「SLAVE0」の間の通信は続行されます。

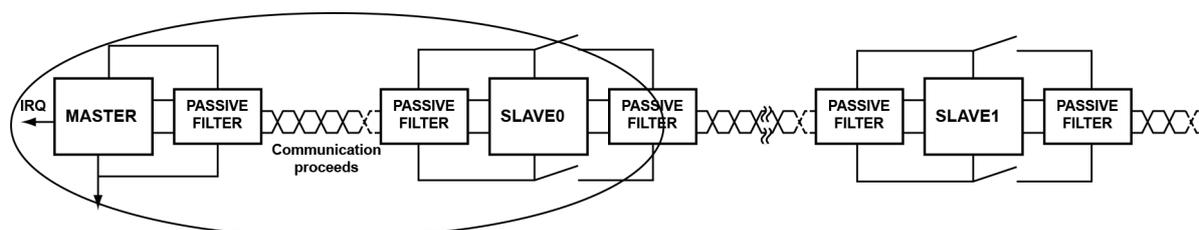


図 5-1:断線障害

## 短絡障害

短絡障害の図に、「SLAVE0」と「SLAVE1」の間でのライン相互の短絡障害に対する短絡を示します。この障害が「SLAVE0」と「SLAVE1」の間に発生した場合、「MASTER」と「SLAVE0」の間の通信は続行されます。

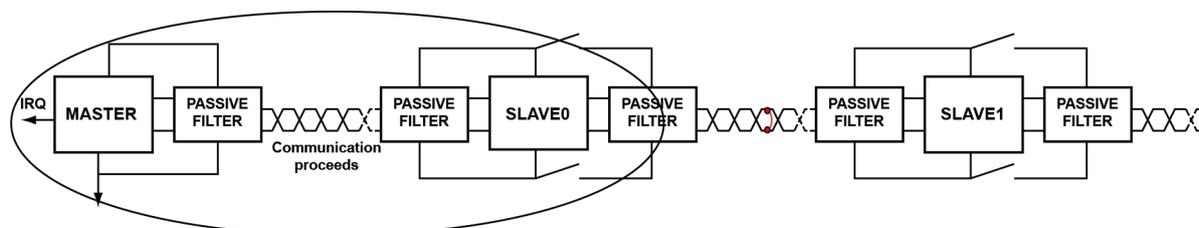


図 5-2:短絡障害

## BP から GND への短絡

BP から GND への短絡障害の図に、「SLAVE0」と「SLAVE1」の間でグラウンドに短絡した BP ワイヤを示します。「SLAVE0」と「SLAVE1」の間でこの障害が発生すると、すべてのバス通信は停止します。

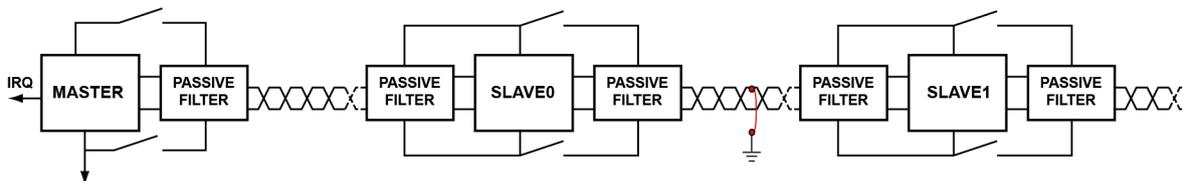


図 5-3:BP から GND への短絡

## BN から V<sub>BAT</sub> への短絡

BN から V<sub>BAT</sub> への短絡障害の図に、「SLAVE0」と「SLAVE1」の間で V<sub>BAT</sub> に短絡した BN ワイヤを示します。「SLAVE0」と「SLAVE1」の間でこの障害が発生すると、すべてのバス通信は停止します。

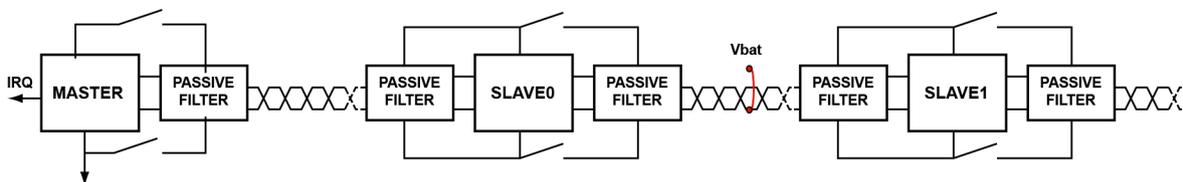


図 5-4:BN から V<sub>BAT</sub> への短絡

## BN から GND への短絡

BN から GND への短絡の図に、「SLAVE0」と「SLAVE1」の間でグラウンドに短絡した BN ワイヤを示します。「SLAVE0」と「SLAVE1」の間でこの障害が発生した場合、バス通信は直ちに障害になることなく続行されます。

**注意：**このライン障害は特殊な診断ケースです。FET スイッチには逆ダイオードがあるため、このライン障害はそれより上流のノードに伝搬されます。バスの検出または再検出中に、この障害は、特定のA2B\_INTTYPEコード(0x29)によって場所の特定不能として識別されます。障害の場所を特定するには、A2B\_SWCTL.DIAGMODE ビット =1 に設定します。障害診断ソフトウェア・フローについては、診断ソフトウェア・フローのセクションと、隠れた障害の場所の特定の表を参照してください。

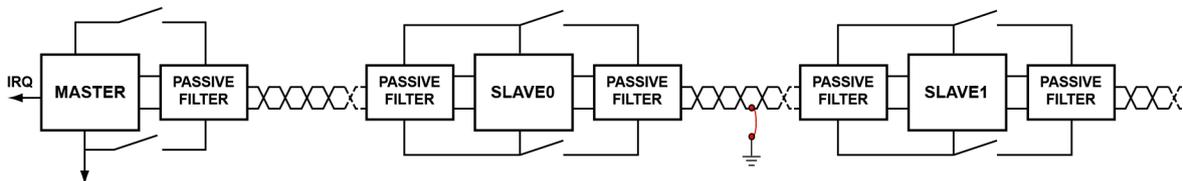


図 5-5:BN から GND への短絡

## BP から $V_{BAT}$ への短絡

BP から  $V_{BAT}$  への短絡障害の図に、「SLAVE0」と「SLAVE1」の間で  $V_{BAT}$  に短絡した BP ワイヤを示します。「SLAVE0」と「SLAVE1」の間で BP から  $V_{BAT}$  への短絡障害が発生した場合、バス通信は直ちに障害になることなく続行されます。

**注意：**このライン障害は特殊な診断ケースです。FET スイッチには逆ダイオードがあるため、このライン障害はそれより上流のノードに伝搬されます。バスの検出または再検出中に、この障害は、特定の A2B\_INTTYPE コード (0x2A) によって場所の特定不能として識別されます。障害の場所を特定するには、A2B\_SWCTL.DIAGMODE ビット =1 に設定します。障害診断ソフトウェア・フローについては、診断ソフトウェア・フローのセクションと、隠れた障害の場所の特定の図を参照してください。

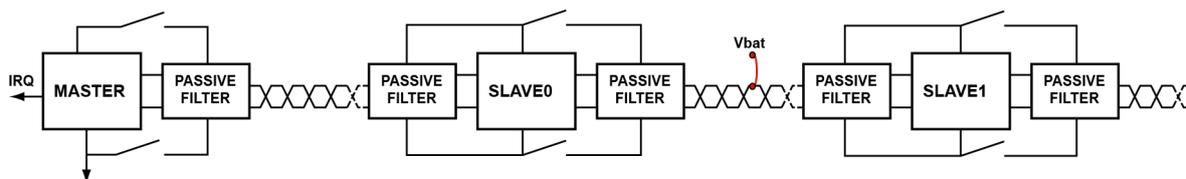


図 5-6: BP から  $V_{BAT}$  への短絡

## 検出後のライン診断

完全なライン診断は、ノード検出時にのみ実行されます。ただし、検出後の特定の割込み (イネーブルの場合) が、動作中のライン障害を示す可能性があります。ノードの再検出を実行すると、障害の原因と場所を特定できます。

検出後に以下の割込みタイプ (A2B\_INTTYPE) が発生した場合、ライン障害があることを示します。

- 0x0A (10:PWRERR)
- 0x0F (15:PWRERR)
- 0x2A (42:PWRERR)
- 0x80 (128:割込みメッセージング・エラー)

スレーブ・ノードが SRF 欠落エラー (SRFERR) を 32 フレーム連続して検出すると、ノードはダウンストリームのバス・ドロップを想定し、最終ノード・ビットをセットして (A2B\_NODE.LAST = 1)、システム内の最後のノードになります。ノード検出後に発生したライン障害が原因で生じたバス・ドロップ状態は、SRFERR がラッチされた最後のノード (A2B\_NODE.LAST = 1) で検出できます。

ノード間でスロット設定が一致していない場合、ビット・エラーが多数累積されることがあります。この現象は、A2B\_BP がノイズの多い  $V_{BAT}$  に短絡した場合や、BN がノイズの多い GND に短絡した場合に発生することがあります。バスはこれらの条件下でも動作しますが、エラー (例えば電磁干渉) の影響を受けやすくなります。

A2B\_BECONTレジスタを使用して、以下の手順で累積エラーをカウントできます。

- A2B\_BECONTレジスタを 0xE4 (256 個の CRC エラーの後で割込み) に設定します。許容できるオーディオ・ノイズと堅牢性は、車載試験で決定する必要があります。それに従って閾値を調整します。

- 定期的に(毎秒 1 回)A2B\_BECNTレジスタに 0 を書き込んで、エラー・カウンタをリセットします。許容できるオーディオ・ノイズと堅牢性は、車載試験で決定する必要があります。それに従ってA2B\_BECNTレジスタの時間を調整します。
- ビット・エラー・カウンタ・オーバーフロー(0x04:BECOVF)割込みは、バスに問題があることを示します。

## 診断ソフトウェア・フロー

以下のソフトウェア・フローと診断ソフトウェア・フローの図を使用して、診断モードでノード検出を実行します。

1. A2B\_SWCTLレジスタ = 0x00 (診断モード 0) に設定します。
2. マスタ・ノード内で電源エラー割込みとA2B\_INTPND2.DSCDONE割込みをイネーブルにします。A2B\_SWCTLレジスタ = 0x01 に設定して、パワー・スイッチをイネーブルにします。
3. 割込みが発生するのを待ちます。A2B\_INTTYPEレジスタ = 0x18 の場合、すなわち(ノード検出の成功を示す)A2B\_INTPND2.DSCDONEがセットされている場合は、ステップ 7 に進みます。
4. A2B\_INTTYPEレジスタ = 0x29 または 0x2A の場合は、マスタ内でA2B\_SWCTL.ENSWビット = 0 に設定し、50~100ms 待ちます。隠れた障害の場所の特定のセクション(ステップ 8)で、A2B\_SWCTL.DIAGMODEビット = 1 に設定して再検出に進みます。

その他の情報: A2B\_INTTYPEレジスタが他のA2B\_INTPND0.PWRERRタイプになっている場合、または検出動作がタイムアウトになった場合は、ステップ 5 に進みます。

5. A2B\_INTTYPEレジスタ = 0x0B、0x0C、または 0x0D の場合は、A2B\_INTSRCレジスタを読み出して場所を特定できます。この動作がタイムアウトになる場合は、消去法により、検出対象のノードへのバス配線が逆配線になっていると判断できます。ステップ 6 に進みます。
6. A2B\_INTTYPEレジスタ = 0x09 または 0x0A の場合は、A2B\_INTSRCおよびA2B\_INTTYPEレジスタの値がホストに伝達された後、マスタ・ノード内でA2B\_SWCTLレジスタ = 0x00 に設定することにより、バス全体をディスエーブルにします。

その他の情報: 場所を特定された障害が他にも検出された場合は、検出プロセスを中断します。ソフトウェアによって定期的に検出プロセスを再実行し、障害がクリアされたかどうか確認します。トランシーバーには自動リトライ機構はありません。

7. これが最後のノードでない場合は、A2B\_SWCTL.MODEビット = 2 に再設定します。この設定により、ダウンストリーム消費電流による VIN の変動は無視され、更にダウンストリームに位置するノードで発生するエラーが誤った場所で特定されるのを防ぎます。ダウンストリーム・ノードのレジスタ設定値をプログラムし、次のノードでステップ 1 を繰り返します。

その他の情報: すべてのノードが検出されるまで、このサイクルを続行します。すべてのノードが検出されたら、A2B\_SWCTL.ENSWビット = 1 に保ちながら、すべてのノードでA2B\_SWCTL.MODEビット = 0 に設定します。これでA<sup>2</sup>B<sup>®</sup>バス全体の検出が完了しました。

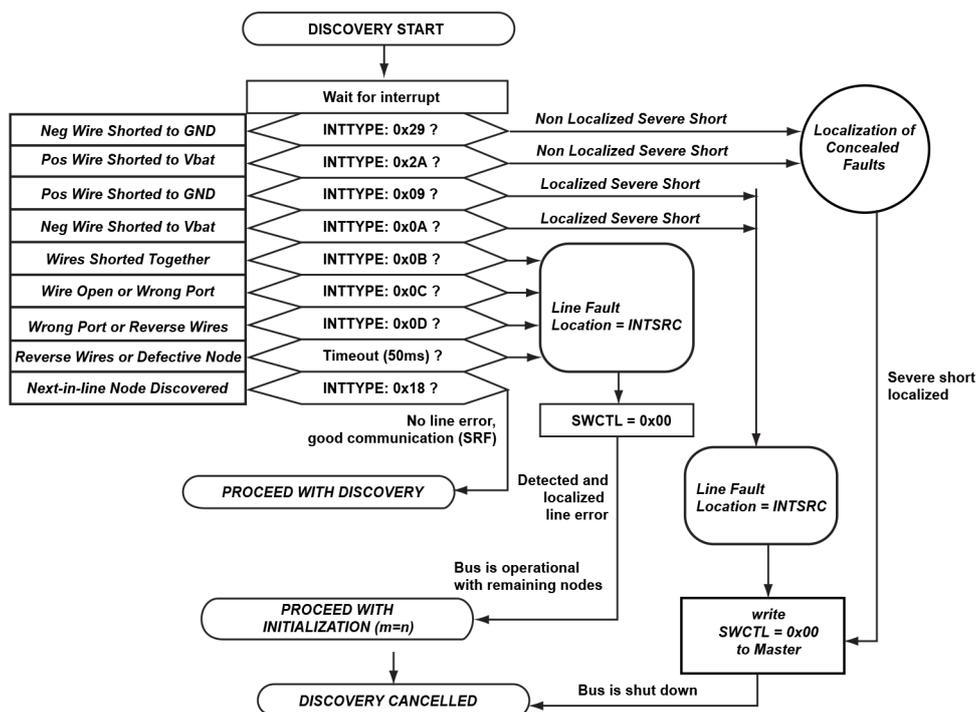


図 5-7: 診断ソフトウェア・フロー

8. スレーブ・ノードの検出中にタイムアウトが発生した場合は、A2B\_CONTROL.ENDDSCビットをセットして検出プロセスを停止します。

## 隠れた障害の場所の特定

ここでは、V<sub>BAT</sub>またはGNDへの隠れた障害の場所を特定する手順を説明します。

このような障害の状態ではバスを長期間動作させるべきではありませんが、短期的には、マスタ・ノードでバスをディスエーブルにする前に以下の手順を実行して、隠れた障害の場所を特定することができます。隠れた障害の場所の特定の図に、このプロセスを示します。

- 診断ソフトウェア・フローのステップ 4 (マスタ内でA2B\_SWCTL.ENS<sub>W</sub>ビット = 0 に設定) に続いて、現在のノードの位置と最後の既知の正常なノードを監視するように変数を設定します。また、変数 (例えば、PriorFault = 0) を設定します。これにより、前回のノード検出時に障害が通知されたかどうかを監視します。バスが電氣的に安定した状態に落ち着くまで少なくとも 100ms 待つてから、ステップ 2 に進みます。
- 現在のノードで、A2B\_INTMSK0レジスタ = 0x10 およびA2B\_SWCTLレジスタ = 0x09 に設定します。これにより、A2B\_SWCTL.ENS<sub>W</sub>ビットが診断モードで再検出を開始するように設定します。2 つの変数 (例えば、Disc と Fault) を定義して、現在試みているバス検出中に障害または検出、あるいはその両方が終了したかどうかを監視します。このステップで両方の変数をクリアします。

その他の情報: この動作からの割込みを待ちます。タイムアウトを 100ms に設定します。タイムアウトをこの時間に設定すれば、バス診断と(恐らく)バス全体の検出が完了するのに十分な時間が得られます。A2B\_SWCTL.ENSX = 1 の場合、障害があると、このプロセスに通常より長い時間がかかります。

3. 割込みを受信する前にタイムアウトになった場合、障害は現在のノードのすぐ下流にあります。GoodNode を現在のノードに設定します。ステップ 9 に進みます。
4. A2B\_INTTYPEレジスタ = 0x29 または 0x2A の場合、現在のノードのダウンストリームのどこかでエラーが発生しています。これは障害が検出されたことを意味するため、Fault = 1 に設定します。DISC = 0 の場合は、100ms のタイムアウトの間待って検出が完了したかどうか確認してから、ステップ 3 に戻ります。DISC = 1 で、検出プロセスの完了が既に通知されている場合は(A2B\_INTTYPEレジスタ = 0x18)、ステップ 6 に進みます。
5. A2B\_INTTYPEレジスタ = 0x18 の場合、ダウンストリーム・ノードは正常に検出され、通信が確立されています。診断モードでは、A2B\_INTTYPE = 0x29 または 0x2A の障害が検出された場合でも、ノードの検出と通信の確立は可能です。これらの障害は、2 つのノード間のワイヤのうち 1 本だけに物理的障害がある場合に発生します。ステップ 6 に進みます。
6. A2B\_INTSTATレジスタの値をチェックして、他の保留中の割込みがないか確認します。A2B\_INTSTATレジスタの値がゼロでない場合は、割込みサービス・ルーチンの応答より速く、障害と検出の両方が終了しています。この場合、0x18 DSCDONE 割込みが高い優先順位を持ちます。DISC = 1 に設定し、ステップ 3 に戻ります。A2B\_INTSTATレジスタ = 0 の場合、保留中の割込みはこれ以上ありません。ステップ 7 に進みます。
7. このステップに進むためには、検出が正常に終了している必要があります。障害が検出された場合は、Fault = 1 であり、バス検出を続行して障害の場所を特定する必要があります。GoodNode = Node、PriorFault = Fault、Node = n に設定します。次のノードの検出の準備として n だけインクリメントし、ステップ 2 に戻ります。Fault = 0 (障害は検出されなかった) の場合は、ステップ 8 に進みます。
8. このステップに到達した場合は、障害が検出されないままで検出が完了しているはずですが、この状態になった場合、その理由は次の 2 つのいずれかです。すなわち、現在のノードが障害から遠い上流にあるため、まだ障害が検出されないか、またはノードが既に障害の下流にあるため、もう障害が検出されないかです。PriorFault = 1 の場合は後者のケースであり、ステップ 9 に進みます。PriorFault = 0 の場合は、障害はこれから検出されるはずですが、この場合は、バス検出を続行して障害の場所を特定します。GoodNode = Node、PriorFault = Fault、Node = n に設定します。次のノードの検出の準備として n だけインクリメントし、ステップ 2 に戻ります。
9. 障害の場所を、最後に記録された GoodNode のすぐ下流として通知します。ステップ 8 でライン障害が現在のノードより前にあることが検出されていない限り、エラーの場所は現在のノードより後にあります。この場合、最後の GoodNode は 1 ノード上です。隠れた障害の場所の特定は完了しました。

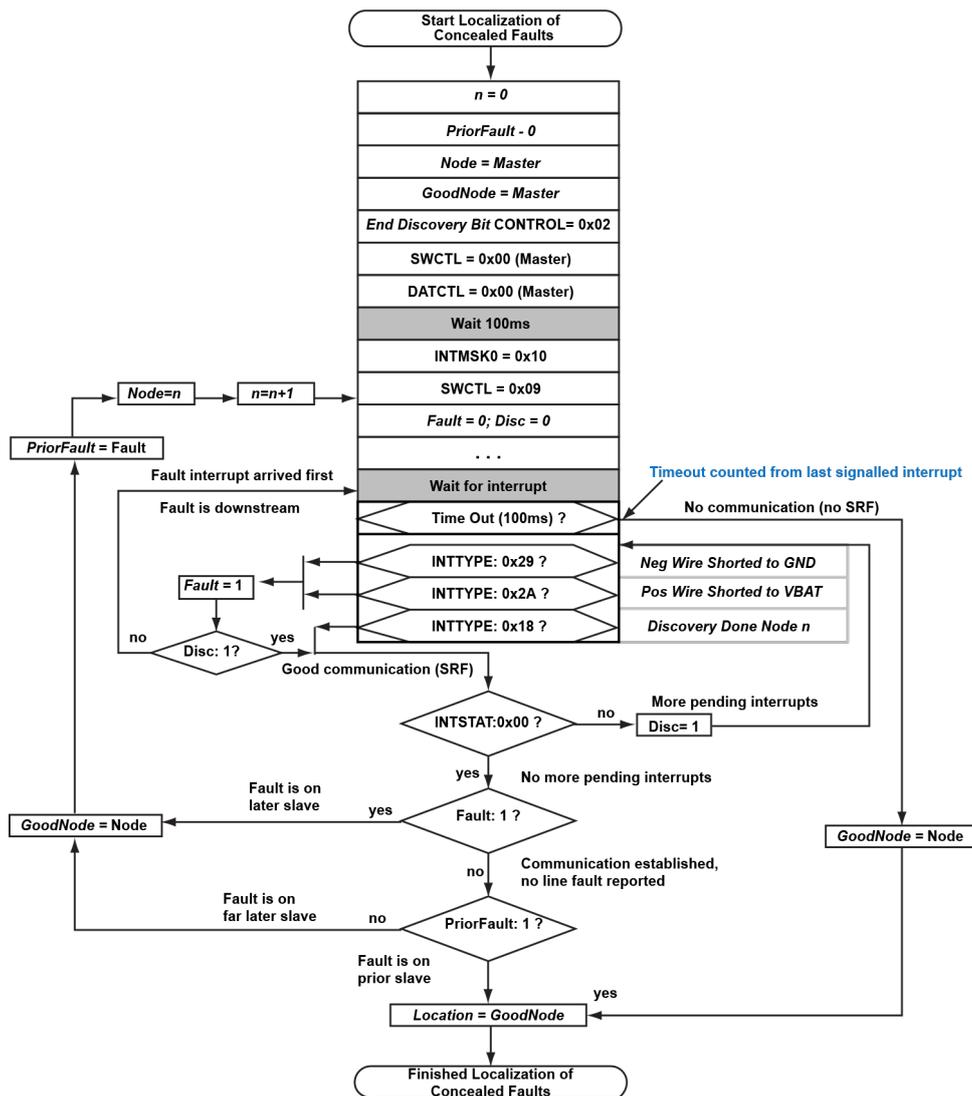


図 5-8: 隠れた障害の場所の特定

## バス・ドロップの検出

診断ソフトウェア・フローの図に、A<sup>2</sup>B<sup>®</sup>システム内のバス・ドロップ検出のフローを示します。

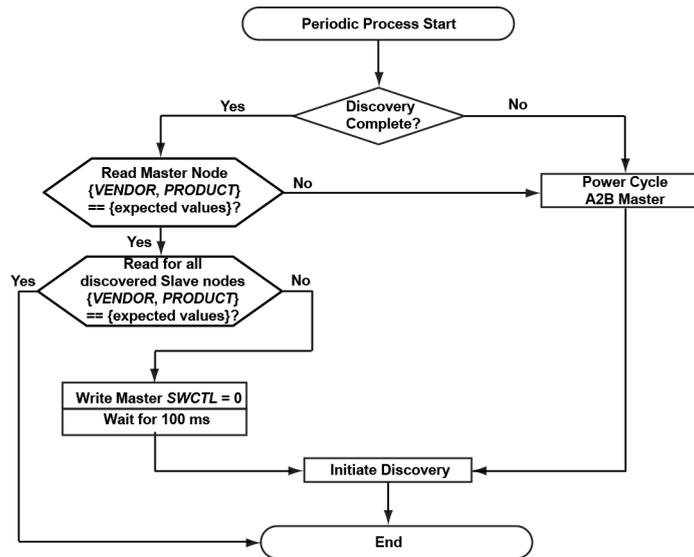


図 5-9: 診断ソフトウェア・フロー

## I<sup>2</sup>S ループバック

I<sup>2</sup>S ループバックは、トランシーバー内部で実行されます。DTX0 パッドに出力されるデータが、DRX0 ピンのデータの代わりに、A<sup>2</sup>B<sup>®</sup>受信データとしてサンプリングされます。DTX1 パッドに出力されるデータが、DRX1 ピンのデータの代わりに、A<sup>2</sup>B<sup>®</sup>受信データとしてサンプリングされます。

A2B\_I2STEST.BUSLOOPBKビットにより、DTX0 ピンからシリアル RX ブロックへのループバックをイネーブルにします。このビットがセットされている場合、A2B\_I2STEST.SELRX1、A2B\_I2STEST.RX2LOOPBK、および A2B\_I2STEST.LOOPBK2TXビットの値は無視されます。A2B\_I2STEST.PATTRN2TXビットがセットされている場合、A<sup>2</sup>B<sup>®</sup>バスからの送信データの代わりに、固定パターン(0xB38F0E32)が DTX0 および DTX1 ピン上で駆動されます。

I<sup>2</sup>S ループバック・モードがイネーブルの場合は、A2B\_I2SCFG.RX0ENビットの値をA2B\_I2SCFG.TX0ENビットの値に合わせて設定し、A2B\_I2SCFG.RX1ENビットの値をA2B\_I2SCFG.TX1EN ビットの値に合わせて設定します。

各ノードが A<sup>2</sup>B<sup>®</sup>バス上で受信および送信するデータ・スロットの数は、複数のレジスタによって制御されます。

A2B\_SLOTFMT.UPSIZEビット・フィールドの値とA2B\_SLOTFMT.DNSIZEビット・フィールドの値が一致しない場合、(バス上で方向を変える)ループバック・データは、小さい方のビット幅に合わせて切り捨てられるか、大きい方のビット幅に合わせてゼロで埋められます。

ループバック・モードがイネーブルの場合、A<sup>2</sup>B<sup>®</sup>バスから受信され、シリアル・ブロックを介してループバックされるデータを、A<sup>2</sup>B<sup>®</sup>バス上に送信できるようにするのは、プログラムの役割です。

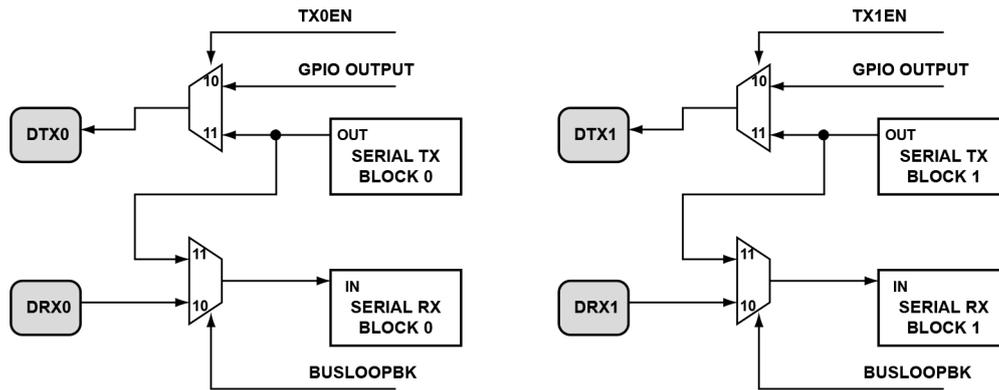


図 5-10: シリアル TX ブロックからシリアル RX ブロックへ

## I<sup>2</sup>S TDM テスト・モード (I<sup>2</sup>S ループバック)

パターン生成およびループバック・テスト・モードにより、マスタおよびスレーブ・ノード内の I<sup>2</sup>S TDM 接続を簡単に検証できます。送信パターン・ジェネレータは、すべてのチャンネル上でデフォルトのビット・パターン 1011\_0011\_1000\_1111 0000\_1110\_0011\_0010 を使用します。ここで、1011 は最上位ニブル、0010 は最下位ニブルです。

I<sup>2</sup>S TDM テストには、以下の手順を使用します。

1. マスタからホストへのリンクの検証では、マスタの A2B\_I2STEST.PATTRN2TX ビットをセットして、デフォルトのビット・パターンを持つ TX インターフェースが予想されるタイミングと一致することを (スコープ、ロジック・アナライザ、または他のデバイスを使用して) 確認します。
2. ホストからマスタへのリンクの検証では、マスタの A2B\_I2STEST.RX2LOOPBK ビットと A2B\_I2STEST.LOOPBK2TX ビットをセットして、1 サイクル待ってから、ホストで受信した DTX データが前のフレームから送信された DRX データと一致することを確認します。

その他の情報: マスタ・ノードがバスからも TX データを受信している場合、RX から TX へのループバックは正常に機能しません。RX から TX へのループバック中は、A2B\_DATCTL レジスタが 0x00 になっている必要があります。

3. スレーブからペリフェラルへのリンクの検証では、スレーブが (例えば、スピーカへの送信用の) DAC に接続されている場合、スレーブの A2B\_I2STEST.PATTRN2TX ビットをセットして、予想される DTX のタイミングを検証します。
4. ペリフェラルからスレーブへのリンクの検証では、I<sup>2</sup>S TDM インターフェースを介して入力信号を供給するペリフェラルがスレーブ・ノードに接続されている場合、A2B\_I2STEST.RX2LOOPBK ビットと A2B\_I2STEST.LOOPBK2TX ビットをセットします。DTX インターフェースが DRX インターフェースと 1 フレームの遅延で一致していることを確認します。あるいは (A2B\_I2STEST レジスタを使わずに) 以前に検証されたマスタの I<sup>2</sup>S/TDM DTX インターフェースで RX データをチェックします。
5. 外部ループバックによるシステム検証では、スレーブ・ノード内で DTX0/DTX1 ピンと DRX0/DRX1 ピンを接続し、デジタル・ループバックを生成します。スレーブ・ノードで A2B\_I2STEST.PATTRN2TX ビットがセットされている場合、デフォルトのビット・パターンをマスタの DTX ピンで検証できます。

その他の情報: A2B\_I2STEST.LOOPBK2TXビットがセットされている間にA2B\_I2STEST.RX2LOOPBKビットがクリアされた場合は、最後に受信したフレームが TX ピン上で繰り返されます。この動作は、A2B\_I2STEST.RX2LOOPBKビットがセットされるか、またはA2B\_I2STEST.LOOPBK2TXビットがクリアされるまで続けられます。リセット後に A2B\_I2STEST.LOOPBK2TX ビットがイネーブルにされた場合、A2B\_I2STEST.RX2LOOPBKビットがセットされるまで、デフォルトのパターンが生成されます。

その他の情報: フレーム・バッファの図に、ループバック・テストに使用される TX フレーム・バッファを示します。

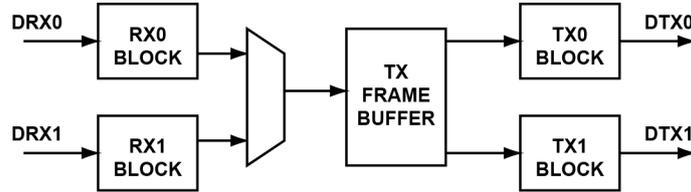


図 5-11: フレーム・バッファ

## 6 レジスタの一覧

以下の表に、AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)のレジスタおよびビットのマップを示します。

Reg. Addr.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x00	CHIP	Reserved				CHIPADR						0x50	R/W
0x01	NODEADR	BRCST	Reserved		PERI		Reserved		NODE	0x00	R/W		
0x02	VENDOR	VENDOR								0xAD	R/NW		
0x03	PRODUCT	PRODUCT								0x25	R/NW		
0x04	VERSION	VERSION								0x00	R/NW		
0x05	CAPABILITY	Reserved				I2CAVAIL						0x01	R/NW
0x09	SWCTL	Reserved	DISNXT	MODE		DIAGMODE	Reserved		ENSW	0x00	R/W		
0x0A	BCDNSLOTS	Reserved				BCDNSLOTS						0x00	R/W
0x0B	LDNSLOTS	DNMASKEN		Reserved			LDNSLOTS				0x00	R/W	
0x0C	LUPSLOTS	Reserved				LUPSLOTS						0x00	R/W
0x0D	DNSLOTS	Reserved				DNSLOTS						0x00	R/W
0x0E	UPSLOTS	Reserved				UPSLOTS						0x00	R/W
0x0F	RESPCYCS	RESPCYCS								0x40	R/W		
0x10	SLOTFMT	UPFMT		UPSIZE		DNFMT		DNSIZE			0x00	R/W	
0x11	DATCTL	STANDBY	Reserved		ENDSNIFF		Reserved		UPS	DNS	0x00	R/W	
0x12	CONTROL	MSTR	Reserved	XCVRBINV	SWBYP	SOFTRST	ENDDSC	NEWSTRCT			0x00	R/W	
0x13	DISCVRY	DRESPCYC								0x00	R/W		
0x14	SWSTAT	FAULT_NLOC	FAULT_CODE		Reserved		FAULT		FIN	0x00	R/NW		
0x15	INTSTAT	Reserved				IRQ						0x00	R/NW
0x16	INTSRC	MSTINT		SLVINT		Reserved			INODE	0x00	R/NW		
0x17	INTTYPE	TYPE								0x00	R/NW		
0x18	INTPND0	SRFCRCERR	SRFERR	BECOVF	PWRERR	DPERR	CRCERR	DDERR	HDCNTERR	0x00	R/W		
0x19	INTPND1	IO7PND	IO6PND	IO5PND	IO4PND	IO3PND	IO2PND	IO1PND	IO0PND	0x00	R/W		
0x1A	INTPND2	Reserved		SLVIRQ		ICRCERR		I2CERR		DSCDONE		0x00	R/W
0x1B	INTMSK0	SRFCRCIEIEN	SRFEIEN	BECIEIEN	PWREIEN	DPEIEN	CRCEIEN	DDEIEN	HCEIEN	0x00	R/W		
0x1C	INTMSK1	IO7IRQEN	IO6IRQEN	IO5IRQEN	IO4IRQEN	IO3IRQEN	IO2IRQEN	IO1IRQEN	IO0IRQEN	0x00	R/W		
0x1D	INTMSK2	Reserved		SLVIRQEN		ICRCIEIEN		I2CIEIEN		DSCDIEIEN		0x00	R/W
0x1E	BECCTL	THRESHLD	ENICRC		ENDP		ENCRC		ENDD	ENHDCNT		0x00	R/W

レジスタの一覧

Reg. Addr.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x1F	BECNT	BECNT								0x00	R/W		
0x20	TESTMODE	Reserved	RXDPH	Reserved	PRBSN2N	PRBSDN	PRBSUP			0x00	R/W		
0x21	ERRCNT0	ERRCNT0[7:0]								0x00	R/NW		
0x22	ERRCNT1	ERRCNT1[15:8]								0x00	R/NW		
0x23	ERRCNT2	ERRCNT2[23:16]								0x00	R/NW		
0x24	ERRCNT3	ERRCNT3[31:24]								0x00	R/NW		
0x29	NODE	LAST	NLAST	DISCVD	Reserved		NUMBER			0x00	R/NW		
0x2B	DISCSTAT	DSCACT		Reserved			DNODE			0x00	R/NW		
0x2E	TXACTL	TXAOVREN		Reserved			TXALEVEL			0x00	R/W		
0x30	TXBCTL	TXBOVREN		Reserved			TXBLEVEL			0x00	R/W		
0x3E	LINTTYPE	LINTTYPE								0x00	R/NW		
0x3F	I2CCFG	Reserved		FRAMERATE		EACK		DATARATE			0x00	R/W	
0x40	PLLCTL	SSMODE		Reserved		SSDEPTH		Reserved		SSFREQ		0x00	R/W
0x41	I2SGCFG	INV	EARLY	ALT	TDMS	RXONDTX1	TDMODE			0x00	R/W		
0x42	I2SCFG	RXBCLKINV	RX2PINTL	RX1EN	RX0EN	TXBCLKINV	TX2PINTL	TX1EN	TX0EN	0x00		R/W	
0x43	I2SRATE	SHARE		REDUCE		BCLKRATE		I2SRATE			0x00	R/W	
0x44	I2STXOFFSET	TSBEFORE		TSAFTER			TXOFFSET			0x00	R/W		
0x45	I2SRXOFFSET	Reserved				RXOFFSET				0x00	R/W		
0x46	SYNCOFFSET	SYNCOFFSET								0x00	R/W		
0x47	PDMCTL	Reserved	PDMRATE	HPFEN	PDM1SLOTS	PDM1EN	PDM0SLOTS	PDM0EN		0x00	R/W		
0x48	ERRMGMT	Reserved		ERRSLOT		ERRSIG		ERRLSB			0x00	R/W	
0x4A	GPIODAT	IO7DAT	IO6DAT	IO5DAT	IO4DAT	IO3DAT	IO2DAT	IO1DAT	IO0DAT	0x00	R/W		
0x4B	GPIODATSET	IO7DSET	IO6DSET	IO5DSET	IO4DSET	IO3DSET	IO2DSET	IO1DSET	IO0DSET	0x00	R/W		
0x4C	GPIODATCLR	IO7DCLR	IO6DCLR	IO5DCLR	IO4DCLR	IO3DCLR	IO2DCLR	IO1DCLR	IO0DCLR	0x00	R/W		
0x4D	GPIOOEN	IO7OEN	IO6OEN	IO5OEN	IO4OEN	IO3OEN	IO2OEN	IO1OEN	IO0OEN	0x00	R/W		
0x4E	GPIOEN	IO7IEN	IO6IEN	IO5IEN	IO4IEN	IO3IEN	IO2IEN	IO1IEN	IO0IEN	0x00	R/W		
0x4F	GPIOIN	IO7IN	IO6IN	IO5IN	IO4IN	IO3IN	IO2IN	IO1IN	IO0IN	0x00	R/NW		
0x50	PINTEN	IO7IE	IO6IE	IO5IE	IO4IE	IO3IE	IO2IE	IO1IE	IO0IE	0x00	R/W		
0x51	PINTINV	IO7INV	IO6INV	IO5INV	IO4INV	IO3INV	IO2INV	IO1INV	IO0INV	0x00	R/W		
0x52	PINCFG	Reserved		IRQTS		IRQINV		Reserved		DRVSTR		0x01	R/W
0x53	I2STEST	Reserved	BUSLOOPBK	SELRX1	RX2LOOPBK	LOOPBK2TX	PATTRN2TX			0x00	R/W		
0x54	RAISE	RTYPE								0x00	R/W		
0x55	GENERR	Reserved	GENICRCERR	GENDPERR	GENCRCERR	GENDDERR	GENHCERR			0x00	R/W		
0x56	I2SRRATE	RBUS		Reserved			RRDIV			0x00	R/W		
0x57	I2SRRCTL	Reserved	STRBDIR	ENSTRB	Reserved		ENXBIT	ENVLSB			0x00	R/W	
0x58	I2SRRSOFFS	Reserved				RRSOFFSET				0x00	R/W		
0x59	CLK1CFG	CLK1EN	CLK1INV	CLK1PDIV	Reserved		CLK1DIV			0x00	R/W		
0x5A	CLK2CFG	CLK2EN	CLK2INV	CLK2PDIV	Reserved		CLK2DIV			0x00	R/W		
0x5B	BMMCFG	Reserved		BMMNDSC		BMMRXEN		BMMEN			0x00	R/W	
0x5C	SUSCFG	Reserved		SUSDIS		SUSOE		Reserved		SUSSEL		0x00	R/W
0x5D	PDMCTL2	Reserved	PDMINVCLK	PDMALTCLK	PDM1FFRST	PDM0FFRST	PDMDEST			0x00	R/W		

Reg. Addr.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x60	UPMASK0	RXUP SLOT07	RXUP SLOT06	RXUP SLOT05	RXUP SLOT04	RXUP SLOT03	RXUP SLOT02	RXUP SLOT01	RXUP SLOT00	0x00	R/W	
0x61	UPMASK1	RXUP SLOT15	RXUP SLOT14	RXUP SLOT13	RXUP SLOT12	RXUP SLOT11	RXUP SLOT10	RXUP SLOT09	RXUP SLOT08	0x00	R/W	
0x62	UPMASK2	RXUP SLOT23	RXUP SLOT22	RXUP SLOT21	RXUP SLOT20	RXUP SLOT19	RXUP SLOT18	RXUP SLOT17	RXUP SLOT16	0x00	R/W	
0x63	UPMASK3	RXUP SLOT31	RXUP SLOT30	RXUP SLOT29	RXUP SLOT28	RXUP SLOT27	RXUP SLOT26	RXUP SLOT25	RXUP SLOT24	0x00	R/W	
0x64	UPOFFSET	Reserved			UPOFFSET						0x00	R/W
0x65	DNMASK0	RXDNSLOT07	RXDNSLOT06	RXDNSLOT05	RXDNSLOT04	RXDNSLOT03	RXDNSLOT02	RXDNSLOT01	RXDNSLOT00	0x00	R/W	
0x66	DNMASK1	RXDNSLOT15	RXDNSLOT14	RXDNSLOT13	RXDNSLOT12	RXDNSLOT11	RXDNSLOT10	RXDNSLOT09	RXDNSLOT08	0x00	R/W	
0x67	DNMASK2	RXDNSLOT23	RXDNSLOT22	RXDNSLOT21	RXDNSLOT20	RXDNSLOT19	RXDNSLOT18	RXDNSLOT17	RXDNSLOT16	0x00	R/W	
0x68	DNMASK3	RXDNSLOT31	RXDNSLOT30	RXDNSLOT29	RXDNSLOT28	RXDNSLOT27	RXDNSLOT26	RXDNSLOT25	RXDNSLOT24	0x00	R/W	
0x69	DNOFFSET	Reserved			DNOFFSET						0x00	R/W
0x6A	CHIPID0	CHIPID[7:0]								0xXX	R/NW	
0x6B	CHIPID1	CHIPID[15:8]								0xXX	R/NW	
0x6C	CHIPID2	CHIPID[23:16]								0xXX	R/NW	
0x6D	CHIPID3	CHIPID[31:24]								0xXX	R/NW	
0x6E	CHIPID4	CHIPID[39:32]								0xXX	R/NW	
0x6F	CHIPID5	CHIPID[47:40]								0xXX	R/NW	
0x80	GPIODEN	IOD7EN	IOD6EN	IOD5EN	IOD4EN	IOD3EN	IOD2EN	IOD1EN	IOD0EN	0x00	R/W	
0x81	GPIOD0MSK	IOD0MSK								0x00	R/W	
0x82	GPIOD1MSK	IOD1MSK								0x00	R/W	
0x83	GPIOD2MSK	IOD2MSK								0x00	R/W	
0x84	GPIOD3MSK	IOD3MSK								0x00	R/W	
0x85	GPIOD4MSK	IOD4MSK								0x00	R/W	
0x86	GPIOD5MSK	IOD5MSK								0x00	R/W	
0x87	GPIOD6MSK	IOD6MSK								0x00	R/W	
0x88	GPIOD7MSK	IOD7MSK								0x00	R/W	
0x89	GPIODDAT	IOD7DAT	IOD6DAT	IOD5DAT	IOD4DAT	IOD3DAT	IOD2DAT	IOD1DAT	IOD0DAT	0x00	R/W	
0x8A	GPIODINV	IOD7INV	IOD6INV	IOD5INV	IOD4INV	IOD3INV	IOD2INV	IOD1INV	IOD0INV	0x00	R/W	
0x90	MBOX0CTL	Reserved		MBOX0LEN		MB0FIEN	MB0EIEEN	MB0DIR	MB0EN	0x00	R/W	
0x91	MBOX0STAT	Reserved		MB0EIRQ	MB0FIRQ	Reserved		MB0EMPTY	MB0FULL	0x00	R/W	
0x92	MBOX0B0	MBOX0[7:0]								0x00	R/W	
0x93	MBOX0B1	MBOX0[15:8]								0x00	R/W	
0x94	MBOX0B2	MBOX0[23:16]								0x00	R/W	
0x95	MBOX0B3	MBOX0[31:24]								0x00	R/W	
0x96	MBOX1CTL	Reserved		MBOX1LEN		MB1FIEN	MB1EIEEN	MB1DIR	MB1EN	0x00	R/W	
0x97	MBOX1STAT	Reserved		MB1EIRQ	MB1FIRQ	Reserved		MB1EMPTY	MB1FULL	0x00	R/W	
0x98	MBOX1B0	MBOX1[7:0]								0x00	R/W	
0x99	MBOX1B1	MBOX1[15:8]								0x00	R/W	
0x9A	MBOX1B2	MBOX1[23:16]								0x00	R/W	
0x9B	MBOX1B3	MBOX1[31:24]								0x00	R/W	

## 7 AD2428 の A<sup>2</sup>B<sup>®</sup>レジスタの説明

トランシーバー (A<sup>2</sup>B<sup>®</sup>) は以下のレジスタを備えています。

表 7-1: AD2428 の A<sup>2</sup>B<sup>®</sup>レジスタ一覧

名前	説明
A2B_CHIP	I2C チップ・アドレス・レジスタ (スレーブのみ)
A2B_NODEADR	ノード・アドレス・レジスタ (マスタのみ)
A2B_VENDOR	ベンダ ID レジスタ
A2B_PRODUCT	製品 ID レジスタ
A2B_VERSION	バージョン ID レジスタ
A2B_CAPABILITY	ケイパビリティ ID レジスタ
A2B_SWCTL	スイッチ・コントロール・レジスタ
A2B_BCDNSLOTS	ブロードキャスト・ダウンストリーム・スロット・レジスタ (スレーブのみ)
A2B_LDNSLOTS	ローカル・ダウンストリーム・スロット・レジスタ (スレーブのみ)
A2B_LUPSLOTS	ローカル・アップストリーム・スロット・レジスタ (スレーブのみ)
A2B_DNSLOTS	ダウンストリーム・スロット・レジスタ
A2B_UPSLOTS	アップストリーム・スロット・レジスタ
A2B_RESPLYCS	応答サイクル・レジスタ
A2B_SLOTFMT	スロット・フォーマット・レジスタ (マスタのみ、自動ブロードキャスト)
A2B_DATCTL	データ・コントロール・レジスタ (マスタのみ、自動ブロードキャスト)
A2B_CONTROL	コントロール・レジスタ
A2B_DISCVRY	検出レジスタ (マスタのみ)
A2B_SWSTAT	スイッチ・ステータス・レジスタ
A2B_INTSTAT	割込みステータス・レジスタ
A2B_INTSRC	割込みソース・レジスタ (マスタのみ)
A2B_INTTYPE	割込みタイプ・レジスタ (マスタのみ)
A2B_INTPND0	割込み保留中 0 レジスタ

表 7-1: AD2428 の A<sup>2</sup>B<sup>®</sup>レジスタ一覧 (続き)

名前	説明
A2B_INTPND1	割込み保留中 1 レジスタ
A2B_INTPND2	割込み保留中 2 レジスタ (マスタのみ)
A2B_INTMSK0	割込みマスク 0 レジスタ
A2B_INTMSK1	割込みマスク 1 レジスタ
A2B_INTMSK2	割込みマスク 2 レジスタ (マスタのみ)
A2B_BECCTL	ビット・エラー・カウント・コントロール・レジスタ
A2B_BECCNT	ビット・エラー・カウント・レジスタ
A2B_TESTMODE	テストモード・レジスタ
A2B_ERRCNT0	PRBS エラー・カウント・バイト 0 レジスタ
A2B_ERRCNT1	PRBS エラー・カウント・バイト 1 レジスタ
A2B_ERRCNT2	PRBS エラー・カウント・バイト 2 レジスタ
A2B_ERRCNT3	PRBS エラー・カウント・バイト 3 レジスタ
A2B_NODE	ノード・レジスタ
A2B_DISCSTAT	検出ステータス・レジスタ (マスタのみ)
A2B_TXACTL	LVDSA TX コントロール・レジスタ
A2B_TXBCTL	LVDSB TX コントロール・レジスタ
A2B_LINTTYPE	ローカル割込みタイプ (スレーブのみ)
A2B_I2CCFG	I2C 設定レジスタ
A2B_PLLCTL	PLL コントロール・レジスタ
A2B_I2SGCFG	I2S グローバル設定レジスタ
A2B_I2SCFG	I2S 設定レジスタ
A2B_I2SRATE	I2S レート・レジスタ (スレーブのみ)
A2B_I2STXOFFSET	I2S 送信データ・オフセット・レジスタ (マスタのみ)
A2B_I2SRXOFFSET	I2S 受信データ・オフセット・レジスタ (マスタのみ)
A2B_SYNCOFFSET	SYNC オフセット・レジスタ (スレーブのみ)
A2B_PDMCTL	PDM コントロール・レジスタ
A2B_ERRMGMT	エラー管理レジスタ
A2B_GPIODAT	GPIO 出力データ・レジスタ
A2B_GPIODATSET	GPIO 出力データ・セット・レジスタ
A2B_GPIODATCLR	GPIO 出力データ・クリア・レジスタ
A2B_GPIOOEN	GPIO 出力イネーブル・レジスタ

表 7-1: AD2428 の A<sup>2</sup>B<sup>®</sup>レジスタ一覧 (続き)

名前	説明
A2B_GPIOIEN	GPIO 入力イネーブル・レジスタ
A2B_GPIOIN	GPIO 入力値レジスタ
A2B_PINTEN	ピン割込みイネーブル・レジスタ
A2B_PINTINV	ピン割込み反転レジスタ
A2B_PINCFG	ピン設定レジスタ
A2B_I2STEST	I2S テスト・レジスタ
A2B_RAISE	割込み生成レジスタ
A2B_GENERR	バス・エラー生成
A2B_I2SRRATE	I2S 低減レート・レジスタ (マスタのみ、自動ブロードキャスト)
A2B_I2SRRCTL	I2S 低減レート・コントロール・レジスタ
A2B_I2SRRSOFFS	I2S 低減レート SYNC オフセット・レジスタ (スレーブのみ)
A2B_CLK1CFG	CLKOUT1 設定レジスタ
A2B_CLK2CFG	CLKOUT2 設定レジスタ
A2B_BMMCFG	バス・モニタ・モード設定レジスタ
A2B_SUSCFG	持続設定レジスタ (スレーブのみ)
A2B_PDMCTL2	PDM コントロール 2 レジスタ
A2B_UPMASK0	アップストリーム・データ RX マスク 0 レジスタ (スレーブのみ)
A2B_UPMASK1	アップストリーム・データ RX マスク 1 レジスタ (スレーブのみ)
A2B_UPMASK2	アップストリーム・データ RX マスク 2 レジスタ (スレーブのみ)
A2B_UPMASK3	アップストリーム・データ RX マスク 3 レジスタ (スレーブのみ)
A2B_UPOFFSET	ローカル・アップストリーム・チャンネル・オフセット・レジスタ (スレーブのみ)
A2B_DNMASK0	ダウンストリーム・データ RX マスク 0 レジスタ (スレーブのみ)
A2B_DNMASK1	ダウンストリーム・データ RX マスク 1 レジスタ (スレーブのみ)
A2B_DNMASK2	ダウンストリーム・データ RX マスク 2 レジスタ (スレーブのみ)
A2B_DNMASK3	ダウンストリーム・データ RX マスク 3 レジスタ (スレーブのみ)
A2B_DNOFFSET	ローカル・ダウンストリーム・チャンネル・オフセット・レジスタ (スレーブのみ)
A2B_CHIPID0	チップ ID レジスタ 0
A2B_CHIPID1	チップ ID レジスタ 1
A2B_CHIPID2	チップ ID レジスタ 2
A2B_CHIPID3	チップ ID レジスタ 3
A2B_CHIPID4	チップ ID レジスタ 4

表 7-1: AD2428 の A<sup>2</sup>B<sup>®</sup>レジスタ一覧(続き)

名前	説明
A2B_CHIPID5	チップ ID レジスタ 5
A2B_GPIODEN	長距離 GPIO イネーブル・レジスタ
A2B_GPIOD0MSK	長距離 GPIO マスク 0 レジスタ
A2B_GPIOD1MSK	長距離 GPIO マスク 1 レジスタ
A2B_GPIOD2MSK	長距離 GPIO マスク 2 レジスタ
A2B_GPIOD3MSK	長距離 GPIO マスク 3 レジスタ
A2B_GPIOD4MSK	長距離 GPIO マスク 4 レジスタ
A2B_GPIOD5MSK	長距離 GPIO マスク 5 レジスタ
A2B_GPIOD6MSK	長距離 GPIO マスク 6 レジスタ
A2B_GPIOD7MSK	長距離 GPIO マスク 7 レジスタ
A2B_GPIODDAT	長距離 GPIO データ・レジスタ
A2B_GPIODINV	長距離 GPIO 反転レジスタ
A2B_MBOX0CTL	メールボックス 0 コントロール・レジスタ(スレーブのみ)
A2B_MBOX0STAT	メールボックス 0 ステータス・レジスタ(スレーブのみ)
A2B_MBOX0B0	メールボックス 0 バイト 0 レジスタ(スレーブのみ)
A2B_MBOX0B1	メールボックス 0 バイト 1 レジスタ(スレーブのみ)
A2B_MBOX0B2	メールボックス 0 バイト 2 レジスタ(スレーブのみ)
A2B_MBOX0B3	メールボックス 0 バイト 3 レジスタ(スレーブのみ)
A2B_MBOX1CTL	メールボックス 1 コントロール・レジスタ(スレーブのみ)
A2B_MBOX1STAT	メールボックス 1 ステータス・レジスタ(スレーブのみ)
A2B_MBOX1B0	メールボックス 1 バイト 0 レジスタ(スレーブのみ)
A2B_MBOX1B1	メールボックス 1 バイト 1 レジスタ(スレーブのみ)
A2B_MBOX1B2	メールボックス 1 バイト 2 レジスタ(スレーブのみ)
A2B_MBOX1B3	メールボックス 1 バイト 3 レジスタ(スレーブのみ)

## I2C チップ・アドレス・レジスタ(スレーブのみ)

A2B\_CHIPレジスタには、7 ビットの I<sup>2</sup>C チップ・アドレスが格納されます。このレジスタを使用して、I<sup>2</sup>C トランザクション中に、スレーブ・ノードに接続されたリモート・ペリフェラル・デバイスをアドレス指定します。A<sup>2</sup>B<sup>®</sup>スレーブ・ノードは、ペリフェラルとの I<sup>2</sup>C トランザクションでは I<sup>2</sup>C マスタとして動作します。スレーブ・ノード内で設定された場合、このレジスタは I<sup>2</sup>C にのみ影響を与えます。このレジスタは、チップの機能に影響を与えずに、マスタ・ノードから書込みと読み出しが可能です。

アドレス : 0x00

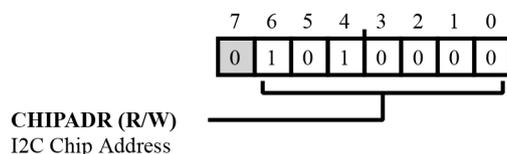


図 7-1:A2B\_CHIPレジスタの図

表 7-2:A2B\_CHIPレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
6:0 (R/W)	CHIPADR	I2C チップ・アドレス。 A2B_CHIP.CHIPADRビット・フィールドには、スレーブ・トランシーバーがローカル接続ペリフェラルへの I <sup>2</sup> C アクセスに使用する I <sup>2</sup> C アドレスが格納されます。A <sup>2</sup> B <sup>®</sup> スレーブ・ノードは、ペリフェラルとの I <sup>2</sup> C トランザクションでは I <sup>2</sup> C マスタとして動作します。

## ノード・アドレス・レジスタ(マスタのみ)

A2B\_NODEADRレジスタの制御ビットは、A<sup>2</sup>B<sup>®</sup>バスを介したスレーブ・ノードのアドレス指定を制御します。このレジスタは、マスタ・ノード内でのみ書き込み可能です。スレーブ・ノード内でこのアドレスに書き込んでも影響はありません。

アドレス : 0x01

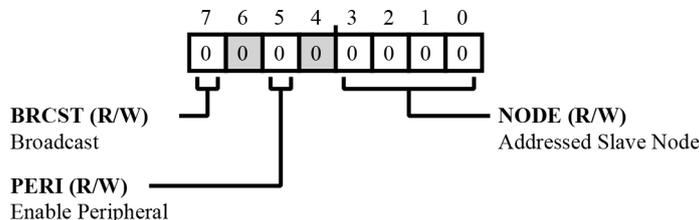


図 7-2:A2B\_NODEADRレジスタの図

表 7-3:A2B\_NODEADRレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	BRCST	ブロードキャスト。 A2B_NODEADR.BRCSTビットは、ブロードキャスト・モードをイネーブルにします。BUS_ADDRを使用したI <sup>2</sup> C書き込みをブロードキャスト・モードで実行すると、同じ制御データが同時にすべてのノード(マスタとスレーブ)に書き込まれます。ブロードキャストにより、すべての検出されたA <sup>2</sup> B <sup>®</sup> トランシーバーを同時に制御できますが、それぞれのI <sup>2</sup> Cペリフェラルを制御することはできません。したがって、A2B_NODEADR.BRCSTビットが1に設定されている場合は、A2B_NODEADR.PERIビットをクリア(=0)します。
		0   通常の、指定されたレジスタへのアクセス
		1   ブロードキャスト・アクセスとして処理されるすべてのノードへの書き込み
5 (R/W)	PERI	ペリフェラルをイネーブル。 A2B_NODEADR.PERIビットは、スレーブ・ノード上のペリフェラル・デバイスの(I <sup>2</sup> Cを介した)レジスタ・アクセスをイネーブルにします。したがって、A2B_NODEADR.PERIビットがセットされている場合は、A2B_NODEADR.BRCSTビットをクリアする(=0)必要があります。BUS_ADDRを使用してスレーブ・ノードのレジスタにアクセスする場合は、A2B_NODEADR.PERIビットはクリアされている必要があります。
		0   リモート・ペリフェラル・アクセスはディスエーブル
		1   リモート・ペリフェラル・アクセスはイネーブル
3:0 (R/W)	NODE	アドレス指定されるスレーブ・ノード。 A2B_NODEADR.NODEビット・フィールドは、スレーブ・ノードをアドレスによって選択します。アドレスは、A <sup>2</sup> B <sup>®</sup> トポロジ内の位置に基づいて割り当てられ、マスタに直接接続されたノードを示すアドレス0から始まります。 A2B_NODEADR.BRCSTビットがセットされている場合、A2B_NODEADR.NODEフィールドの値には意味がありません。
		0-9   ノード番号
		10-15   予備

## ベンダ ID レジスタ

A2B\_VENDORレジスタは、アナログ・デバイセズが製造したデバイスを識別します。

アドレス : 0x02

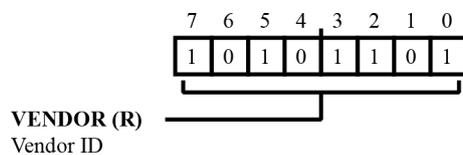


図 7-3: A2B\_VENDOR レジスタの図

表 7-4: A2B\_VENDOR レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	VENDOR	ベンダ ID。 A2B_VENDOR.VENDORビット・フィールドには、トランシーバー・チップのベンダ 識別番号が格納されます。

## 製品 ID レジスタ

A2B\_PRODUCTレジスタは、製品番号の最後の 2 桁を 16 進フォーマット(例えば、0x26 = AD2426W)で識別します。

アドレス : 0x03

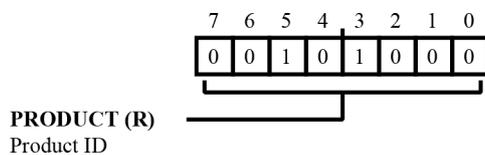


図 7-4: A2B\_PRODUCT レジスタの図

表 7-5: A2B\_PRODUCT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	PRODUCT	製品 ID。 A2B_PRODUCT.PRODUCTビット・フィールドには、トランシーバーの製品識別番号が格納されます。

## バージョン ID レジスタ

A2B\_VERSIONレジスタは、デバイスのバージョンを識別します。

アドレス : 0x04

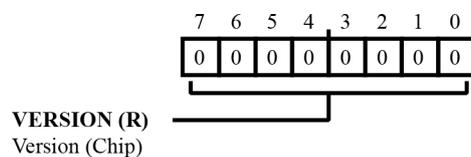


図 7-5:A2B\_VERSION レジスタの図

表 7-6:A2B\_VERSION レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	VERSION	バージョン(チップ)。 A2B_VERSION.VERSIONビット・フィールドには、チップの製品バージョン番号が格納されます。ビット 7:4 は製品のメジャー・リビジョンを示し、ビット 3:0 はマイナー・リビジョンを示します。

# ケイパビリティ ID レジスタ

A2B\_CAPABILITYレジスタは、利用可能な制御インターフェースを識別します。EEPROM ストレージ・デバイスが接続されているトランシーバーは、特定の記述子情報を EEPROM モジュールに格納できます。

アドレス : 0x05

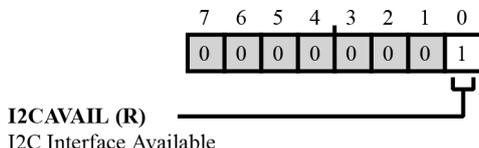


図 7-6: A2B\_CAPABILITY レジスタの図

表 7-7: A2B\_CAPABILITY レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
0 (R/NW)	I2CAVAIL	利用可能な I2C インターフェース。 A2B_CAPABILITY.I2CAVAILビットは、ペリフェラル・デバイスへのアクセスに使用される、トランシーバー上の I <sup>2</sup> C インターフェースの利用可能性を通知します。このビットがセットされている場合 (=1)、I <sup>2</sup> C インターフェースを介してモジュール記述子情報にアクセスできます。モジュール記述子情報が格納される、接続された EEPROM (例えば、AT24C01) には、I <sup>2</sup> C デバイス・アドレス 0x50 が割り当てられている必要があります。
		0   利用可能な I <sup>2</sup> C インターフェースはありません。
		1   I <sup>2</sup> C インターフェースが利用可能です。

## スイッチ・コントロール・レジスタ

A2B\_SWCTLレジスタは、A<sup>2</sup>B<sup>®</sup>バスの B 側ダウンストリームへの A<sup>2</sup>B<sup>®</sup>バス・パワーのスイッチングを制御します。このレジスタには、A<sup>2</sup>B<sup>®</sup>バスを介して書き込む必要があります。ローカル I<sup>2</sup>C ポートからこのレジスタへ書き込んでも影響はありません。

注意:A2B\_SWCTL.DIAGMODEビットをセットする必要があるのは、障害の場所を特定するときだけです。他のすべての条件下では、このビットがクリアされていないと、デバイスは正常に動作しません。

アドレス : 0x09

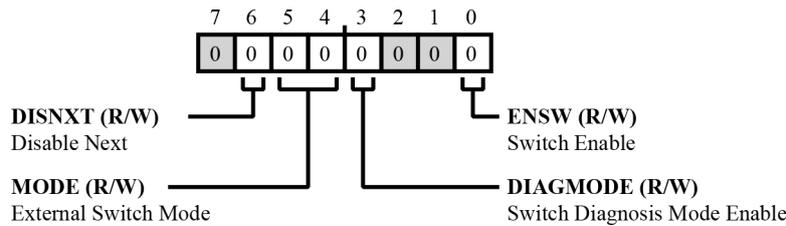


図 7-7:A2B\_SWCTL レジスタの図

表 7-8:A2B\_SWCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
6 (R/W)	DISNXT	次をディスエーブル。 A2B_SWCTL.DISNXTビットは、スイッチがイネーブルになった後 (A2B_SWCTL.ENSW=1)、いつ次のノードにパケットが送信されるかを制御します。A2B_SWCTL.DISNXTがクリアされた場合、トランシーバーが A2B_SWSTAT.FINビットをセット (スイッチングの成功を通知) した直後に、同期パケットが次のノードに自動的に渡されます。 セットされた場合、同期パケットは次のノードに送信されません。 A2B_DISCVRYレジスタが設定されるときに検出フレームが発行されるまで、A <sup>2</sup> B <sup>®</sup> バス・アクティビティは始まりません。
		0   同期パケットをイネーブル
		1   同期パケットをディスエーブル

表 7-8: A2B\_SWCTL レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明	
5:4 (R/W)	MODE	外部スイッチ・モード。 A2B_SWCTL.MODE ビット・フィールドは、次のノードに対して B 側 A <sup>2</sup> B <sup>®</sup> バスのバス・パワーをバイアスする、診断障害の検出手法を定義します。この設定は、外部ハードウェア構成に依存します。 A2B_SWCTL.MODE=0 の場合、内部スイッチは VSSN ピン上の負のバイアスに設定されます。完全なライン診断を実行し、障害の検出後に場所の特定とラインの自動切り離しを実行するには、SWP ピン上に外部スイッチが必要です。 A2B_SWCTL.MODE=1 の場合、ダウンストリーム・ノードは A <sup>2</sup> B <sup>®</sup> バス・パワーを使用せず、バイアスを適切に終端しません。このモードでは、断線および逆配線障害は診断しませんが、ローカル・ノードのハードウェア構成がモード 0 について説明した状態になっている限り、その他のすべての障害タイプは診断します。 A2B_SWCTL.MODE=2 の場合、VIN ピン上の電圧 (例えば、5V) は、SENSE ピン上のバイアス電圧 (8V) とは大きく異なります。このモードは、追加のレギュレータが VIN ピンに給電する場合に適用されます。	
		0	VSSN ピンに内部スイッチを使用し、SWP ピンに外部スイッチを使用
		1	ダウンストリーム・ノードは A <sup>2</sup> B <sup>®</sup> バス・パワーを使用せず、バイアスを適切に終端しない
		2	VIN ピンの電圧
		3	予備
3 (R/W)	DIAGMODE	スイッチ診断モード・イネーブル。 A2B_SWCTL.DIAGMODE ビットは、スイッチ診断モードをイネーブルにします。	
		0	スイッチ診断モードはディスエーブル
		1	スイッチ診断モードはイネーブル
0 (R/W)	ENSW	スイッチ・イネーブル。 A2B_SWCTL.ENSW ビットは、A <sup>2</sup> B <sup>®</sup> バス・パワーのスイッチングをイネーブルにします。	
		0	スイッチはディスエーブル
		1	スイッチはイネーブル

## ブロードキャスト・ダウンストリーム・スロット・レジスタ(スレーブのみ)

スレーブ・ノード内で、A2B\_BCDNSLOTSレジスタは、ノードによって取り込まれ、ブロードキャスト・データとしてダウンストリーム(B側)の次のノードに渡される、データ・スロットの数を定義します。A2B\_DNMASK0～A2B\_DNMASK3レジスタでいずれかのビットがセットされた場合、A2B\_BCDNSLOTSレジスタの値は無視されます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。A2B\_BCDNSLOTSレジスタは、マスタ・ノードでは使用されません。

アドレス : 0x0A

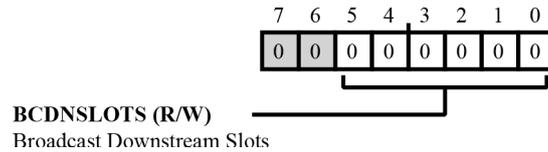


図 7-8: A2B\_BCDNSLOTS レジスタの図

表 7-9: A2B\_BCDNSLOTS レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5:0 (R/W)	BCDNSLOTS	ブロードキャスト・ダウンストリーム・スロット。 A2B_BCDNSLOTS.BCDNSLOTSビット・フィールドは、ブロードキャスト・ダウンストリーム・スロットの数を設定します。このフィールドは、0～32の範囲内の値に設定する必要があります。

## ローカル・ダウンストリーム・スロット・レジスタ(スレーブのみ)

スレーブ・ノード内では、A2B\_LDNSLOTSレジスタの意味は、ダウンストリーム・ブロードキャスト・マスク・イネーブル・ビット (A2B\_LDNSLOTS.DNMASKEN) がセットされているかどうかによって変わります。A2B\_LDNSLOTS.DNMASKEN=0 の場合 (デフォルト)、A2B\_LDNSLOTSレジスタは、スーパーフレームのダウンストリーム部分でローカル・ノードによって取り込まれるデータ・スロットの数を定義します。これらのデータ・スロットはそのノードによって消費され、次のダウンストリーム・ノードに渡されません。A2B\_LDNSLOTS.DNMASKEN=1 の場合、A2B\_LDNSLOTSレジスタは、A2B\_DNSLOTS.DNSLOTS個のデータ・スロットがトランシーバーによってダウンストリームに渡された後に、スーパーフレームのダウンストリーム部分でローカル・ノードによって追加されるデータ・スロットの数を定義します。このレジスタに対する変更は、マスター・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x0B

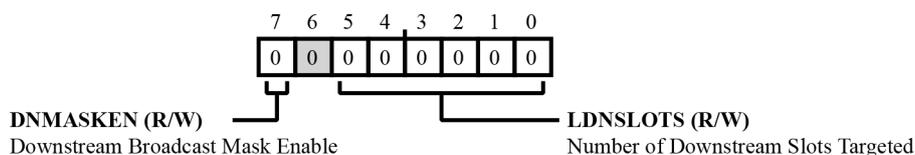


図 7-9: A2B\_LDNSLOTS レジスタの図

表 7-10: A2B\_LDNSLOTS レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	DNMASKEN	ダウンストリーム・ブロードキャスト・マスク・イネーブル。 A2B_LDNSLOTS.DNMASKENビットは、A2B_DNmask0～A2B_DNmask3レジスタのダウンストリーム・マスク・イネーブル・ビットをイネーブルにします。
		0   ダウンストリーム・データ・スロット・マスクはディスエーブル
		1   ダウンストリーム・データ・スロット・マスクはイネーブル
5:0 (R/W)	LDNSLOTS	ターゲットになるダウンストリーム・スロットの数。 A2B_LDNSLOTS.DNMASKEN=0 の場合、A2B_LDNSLOTS.LDNSLOTSビット・フィールドは、スーパーフレームのダウンストリーム部分でローカル・ノードによって取り込まれるデータ・スロットの数を定義します。 A2B_LDNSLOTS.DNMASKEN=1 の場合、A2B_LDNSLOTS.LDNSLOTSビット・フィールドは、スーパーフレームのダウンストリーム部分でローカル・ノードによって追加されるデータ・スロットの数を定義します。このフィールドは 0～32 の範囲内の値に設定する必要があり、ノードの TDM 動作モードとイネーブルになっているデータ・ピンの数を基準として、すべてのデータを収容するのに十分な値でなければなりません。

## ローカル・アップストリーム・スロット・レジスタ(スレーブのみ)

スレーブ・ノード内で、A2B\_LUPSLOTSレジスタは、スーパーフレームのアップストリーム部分でローカル・ノードによって追加されるデータ・スロットの数を定義します。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。A2B\_LUPSLOTSレジスタは、マスタ・ノードでは使用されません。

アドレス : 0x0C

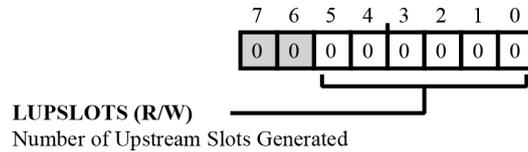


図 7-10: A2B\_LUPSLOTSレジスタの図

表 7-11: A2B\_LUPSLOTSレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5:0 (R/W)	LUPSLOTS	生成されるアップストリーム・スロットの数。 A2B_LUPSLOTS.LUPSLOTSビット・フィールドは、スーパーフレームのアップストリーム部分でトランシーバーによって追加されるデータ・スロットの数を定義します。これらのビットは、0~32の範囲内の値に設定する必要があります。

## ダウンストリーム・スロット・レジスタ

スレーブ・ノード内で、A2B\_DNSLOTSレジスタは、トランシーバーがデータ・スロットの取込みを開始した後にダウンストリーム(B側)に渡されるデータ・スロットの数(ブロードキャスト・スロットを除く)を定義します。マスタ・ノード内で、A2B\_DNSLOTSレジスタは、ダウンストリーム・データ・スロットの総数(ブロードキャスト・スロットを含む)を定義します。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRUCTビットがセットされた後でのみ有効になります。

アドレス : 0x0D

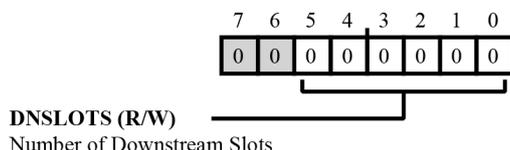


図 7-11: A2B\_DNSLOTS レジスタの図

表 7-12: A2B\_DNSLOTS レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5:0 (R/W)	DNSLOTS	<p>ダウンストリーム・スロットの数。</p> <p>マスタ・ノード内で、A2B_DNSLOTS.DNSLOTSビット・フィールドは、ダウンストリーム・スロットの数(ブロードキャスト・データ・スロットを含む)です。このフィールドは、ダウンストリーム・デバイスに送信されるデータを収容するのに十分な値でなければなりません。この値は、ノードの TDM 動作モードとイネーブルになっているデータ・ピンの数によって決まります。</p> <p>スレーブ・ノード内で、A2B_DNSLOTS.DNSLOTSビット・フィールドは、ダウンストリームに渡されるデータ・スロットの数を設定します。このフィールドに設定する値を計算する際は、マスタ・ノードと同じ原則が適用されます。ただし、スレーブ・ノードには、A2B_BCDNSLOTSレジスタで設定される、ブロードキャスト・ダウンストリーム・スロットも含まれます。</p> <p>有効な設定値は、0~32 です。</p>

## アップストリーム・スロット・レジスタ

スレーブ・ノード内で、A2B\_UPSLOTSレジスタは、B 側トランシーバーがデータ・スロットの追加を開始する前に B 側トランシーバーによってアップストリームに渡されるデータ・スロットの数を定義します。マスタ・ノード内で、A2B\_UPSLOTSレジスタは、アップストリーム・データ・スロットの総数を定義します。このレジスタに対する変更は、マスタ・ノードの A2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x0E

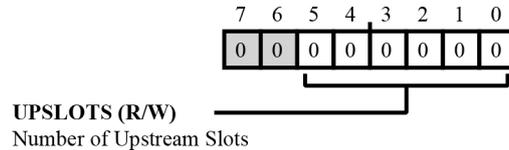


図 7-12: A2B\_UPSLOTSレジスタの図

表 7-13: A2B\_UPSLOTSレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5:0 (R/W)	UPSLOTS	<p>アップストリーム・スロットの数。</p> <p>マスタ・ノード内で、A2B_UPSLOTS.UPSLOTSビット・フィールドは、最初のスレーブ・ノードから受信するアップストリーム・スロットの数です。このフィールドは、アップストリーム・デバイスに送信されるデータを収容するのに十分な値でなければなりません。この値は、TDM シリアル・モードとイネーブルになっているデータ・ピンの数によって決まります。</p> <p>スレーブ・ノード内で、A2B_UPSLOTS.UPSLOTSビット・フィールドは、トランシーバーがデータ・スロットの追加を開始する前に次のスレーブ・ノードから受信してアップストリームに渡されるデータ・スロットの数を定義します。</p> <p>有効な設定値は、0～32 です。</p>

## 応答サイクル・レジスタ

A2B\_RESPCYCSレジスタは、ダウンストリーム・ヘッダの開始(最初の SCF プリアンブル・ビット)からアップストリーム・ヘッダの開始(最初の SCF プリアンブル・ビット)までの時間を定義します。このレジスタの値は、バス・ビット・タイムに 4 を掛けた数を表します。A<sup>2</sup>B<sup>®</sup>スーパーフレーム内の SCF から SCF までの間隔は 1024 ビット・カウントです。1 バス・ビット・タイム = 1/(f<sub>SYSBCLK</sub>)。

マスタ・トランシーバー内のA2B\_DISCVRYレジスタは、検出中にA2B\_RESPCYCSレジスタの値を使用して設定されます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。このレジスタには A<sup>2</sup>B<sup>®</sup>バスを介して書き込む必要があります。ローカル I<sup>2</sup>C ポートからこのレジスタへ書き込んでも影響はありません。

アドレス : 0x0F

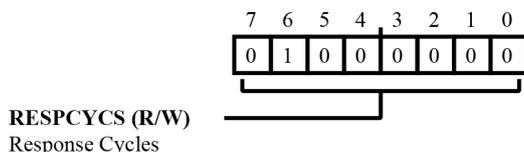


図 7-13: A2B\_RESPCYCS レジスタの図

表 7-14: A2B\_RESPCYCS レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	RESPCYCS	応答サイクル。 A2B_RESPCYCS.RESPCYCSビット・フィールドは、ダウンストリーム・フレームの開始からアップストリーム・フレームの開始までの時間の 1/4(バス・ビット単位)です。

## スロット・フォーマット・レジスタ(マスタのみ、自動ブロードキャスト)

A2B\_SLOTFMTレジスタは、ダウンストリーム・データ・スロットおよびアップストリーム・データ・スロットのサイズとフォーマットを定義します。このレジスタを使用して、A<sup>2</sup>B®データの浮動小数点圧縮をイネーブルにして帯域幅を低減できます。また、A<sup>2</sup>B®データの ECC 保護をイネーブルにすることができます。A<sup>2</sup>B®システム内のすべてのノードは、同じアップストリームおよびダウンストリーム・スロット・フォーマットの設定に従います。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

マスタ・ノード内でA2B\_SLOTFMTレジスタに書き込まれた新しい設定値は、A<sup>2</sup>B®バスを介して、すべての検出されたスレーブ・ノードに自動的にブロードキャストされます。ローカル・ホストがスレーブ・ノード内でこのレジスタに書き込んでも影響はありません。

アドレス：0x10

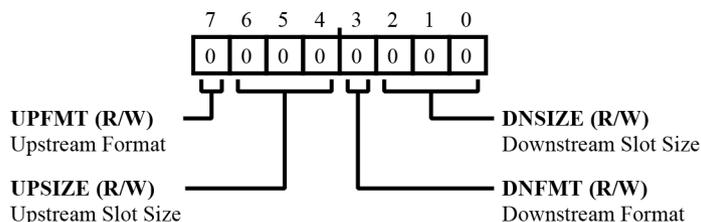


図 7-14: A2B\_SLOTFMT レジスタの図

表 7-15: A2B\_SLOTFMT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	UPFMT	<p>アップストリーム・フォーマット。</p> <p>A2B_SLOTFMT.UPFMTビットは、A<sup>2</sup>B®バス上のアップストリーム・データのフォーマットを設定します。A2B_SLOTFMT.UPFMT= 0 の場合、A<sup>2</sup>B®バス上のデータ・フォーマットは通常のフォーマット(圧縮なし、ECC 保護なし、1 パリティ・ビット)です。A2B_SLOTFMT.UPFMT = 1 の場合、アップストリーム・データ幅(A2B_SLOTFMT.UPSIZE)に基づいて、代替データ・フォーマットが使用されます。</p> <p>A2B_SLOTFMT.UPSIZEビットが 12、16、または 20 ビット・データに設定されている場合、A2B_SLOTFMT.UPFMTビットをセットすると、アップストリーム・データの浮動小数点圧縮がイネーブルになります。この圧縮を使用する場合、I<sup>2</sup>S/TDM または PDM データの幅は A<sup>2</sup>B®データより 4 ビット広くなります。A<sup>2</sup>B®データの圧縮によって A<sup>2</sup>B®バスの帯域幅が低減され、データはパリティ・ビットによって保護されます。</p> <p>A2B_SLOTFMT.UPSIZEビットが 24 または 32 ビット・データに設定されている場合、A2B_SLOTFMT.UPFMTビットをセットすると、アップストリーム・データ・スロットの ECC 保護がイネーブルになります。この場合、パリティ・ビットの代わりに ECC ビット(24 ビット・データの場合は 6 つの ECC ビット、32 ビット・データの場合は 7 つの ECC ビット)が各データ・スロットに追加されます。</p> <p>A2B_SLOTFMT.UPSIZEが 8 または 28 ビット・データに設定されている場合は、A2B_SLOTFMT.UPFMTビットをセットしても影響はありません。</p>
		0 通常のアップストリーム・データ・スロット・フォーマット
		1 代替アップストリーム・データ・スロット・フォーマット

表 7-15: A2B\_SLOTFMT レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
6:4 (R/W)	UPSIZE	アップストリーム・スロットのサイズ。 A2B_SLOTFMT.UPSIZEビット・フィールドは、アップストリーム・データ・スロットのサイズを選択します。
		0   8ビット
		1   12ビット
		2   16ビット
		3   20ビット
		4   24ビット
		5   28ビット
		6   32ビット
3 (R/W)	DNFMT	<p>ダウンストリーム・フォーマット。</p> <p>A2B_SLOTFMT.DNFMTビットは、A<sup>2</sup>B<sup>®</sup>バス上のダウンストリーム・データのフォーマットを設定します。A2B_SLOTFMT.DNFMT= 0 の場合、A<sup>2</sup>B<sup>®</sup>バス上のデータ・フォーマットは通常のフォーマット(圧縮なし、ECC 保護なし、1 パリティ・ビット)です。A2B_SLOTFMT.DNFMT= 1 の場合、ダウンストリーム・データ幅(A2B_SLOTFMT.DNSIZE)に基づいて、代替データ・フォーマットが使用されます。</p> <p>A2B_SLOTFMT.DNSIZEフィールドが 12、16、または 20 ビット・データに設定されている場合、A2B_SLOTFMT.DNFMTビットをセットすると、ダウンストリーム・データの浮動小数点圧縮がイネーブルになります。この圧縮を使用する場合、I<sup>2</sup>S/TDM または PDM データの幅は A<sup>2</sup>B<sup>®</sup>データより 4 ビット広くなります。A<sup>2</sup>B<sup>®</sup>データの圧縮によって A<sup>2</sup>B<sup>®</sup>バスの帯域幅が低減され、データはパリティ・ビットによって保護されます。</p> <p>A2B_SLOTFMT.DNSIZEビットが 24 または 32 ビット・データに設定されている場合、A2B_SLOTFMT.DNFMTビットをセットすると、ダウンストリーム・データ・スロットの ECC 保護がイネーブルになります。この場合、パリティ・ビットの代わりに ECC ビット(24 ビット・データの場合は 6 つの ECC ビット、32 ビット・データの場合は 7 つの ECC ビット)が各データ・スロットに追加されます。</p> <p>A2B_SLOTFMT.DNSIZEが 8 または 28 ビット・データに設定されている場合は、A2B_SLOTFMT.DNFMTビットをセットしても影響はありません。</p>
		0   通常のダウンストリーム・データ・スロット・フォーマット
		1   代替ダウンストリーム・データ・スロット・フォーマット
2:0 (R/W)	DNSIZE	ダウンストリーム・スロットのサイズ。 A2B_SLOTFMT.DNSIZEビット・フィールドは、ダウンストリーム・データ・スロットのサイズを選択します。
		0   8ビット
		1   12ビット
		2   16ビット
		3   20ビット
4   24ビット		

表 7-15: A2B\_SLOTFMTレジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明	
		5	28ビット
		6	32ビット
		7	予備

## データ・コントロール・レジスタ(マスタのみ、自動ブロードキャスト)

A2B\_DATCTLレジスタを使用して、A<sup>2</sup>B<sup>®</sup>バス上でデータ・スロットとスタンバイ・モードをイネーブルにすることができます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。マスタ・ノード内でA2B\_DATCTLレジスタに書き込まれた新しい設定値は、A<sup>2</sup>B<sup>®</sup>バスを介して、すべての検出されたスレーブ・ノードに自動的にブロードキャストされます。ローカル・ホストがスレーブ・ノード内でこのレジスタに書き込んでも影響はありません。

注意: 通常動作に戻るには、まずA2B\_DATCTL.STANDBYビットをクリアしてスタンバイ・モードを終了してから、A2B\_DATCTLレジスタに書き込んでアップストリームおよびダウンストリーム・スロットをイネーブルにします。

アドレス : 0x11

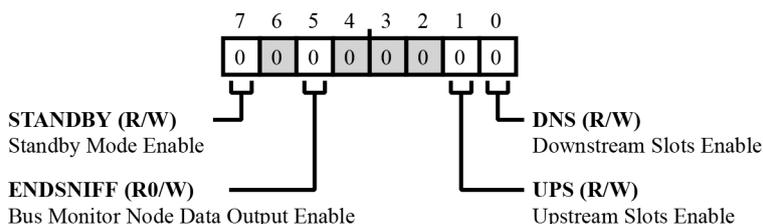


図 7-15: A2B\_DATCTL レジスタの図

表 7-16: A2B\_DATCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	STANDBY	スタンバイ・モード・イネーブル。 A2B_DATCTL.STANDBYビットは、すべてのノードで低消費電力モードをグローバルにイネーブルして、バス・アクティビティを最小限に抑えます。必要なトラフィックは、スレーブ・ノード内のすべてのPLLの同期を維持するための最小限のダウンストリーム・プリアンプルだけです。このモードでは、A <sup>2</sup> B <sup>®</sup> バスを介した読出しと書込みはサポートされません。
		0   ディスエーブル
		1   イネーブル
5 (R0/W)	ENDSNIFF	バス・モニタ・ノード・データ出力イネーブル。 A2B_DATCTL.ENDSNIFFビットは、接続されたバス・モニタ・ノードがデータ・スロットを出力として生成するかどうかを制御します。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	UPS	アップストリーム・スロット・イネーブル。 A2B_DATCTL.UPSビットは、A <sup>2</sup> B <sup>®</sup> バス上に送信されるアップストリーム同期データをグローバルにイネーブルします。
		0   ディスエーブル
		1   イネーブル

表 7-16: A2B\_DATCTL レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
0 (R/W)	DNS	ダウンストリーム・スロット・イネーブル。 A2B_DATCTL.DNSビットは、A <sup>2</sup> B <sup>®</sup> バス上に送信されるダウンストリーム同期データをグローバルにイネーブルします。
		0   ディスエーブル
		1   イネーブル

# コントロール・レジスタ

A2B\_CONTROLレジスタの各ビットは、バス上のノードを制御します。

アドレス : 0x12

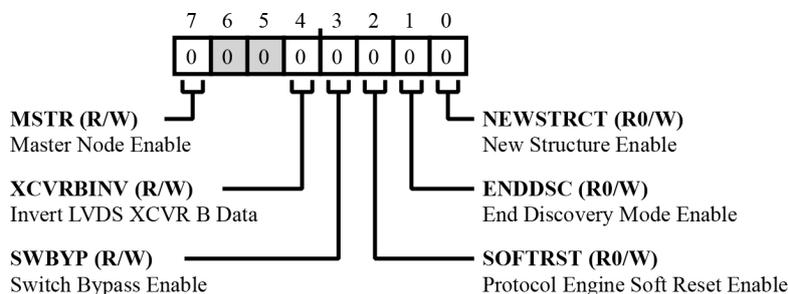


図 7-16: A2B\_CONTROL レジスタの図

表 7-17: A2B\_CONTROL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	MSTR	マスタ・ノード・イネーブル。 A2B_CONTROL.MSTRビットは、現在のノードがスレーブ・ノードかマスタ・ノードかを制御します。
		0   スレーブ・ノード
		1   マスタ・ノード
4 (R/W)	XCVRBINV	LVDS XCVR B データの反転。 A2B_CONTROL.XCVRBINVビットは、オプションにより LVDS XCVR B へのからのデータの反転を制御します。このビットがセットされた場合、データは反転されます。
3 (R/W)	SWBYP	スイッチ・バイパス・イネーブル。 A2B_CONTROL.SWBYPビットは、ライン・スイッチがオンになるのを待たずに、ダウンストリーム LVDS XCVR をイネーブルにします。このビットがセットされた場合、A2B_SWCTL.ENSWi がセットされた場合でもライン・スイッチはイネーブルになります。
2 (R0/W)	SOFTRST	プロトコル・エンジン・ソフト・リセット・イネーブル。 A2B_CONTROL.SOFTRSTビットがセットされた場合、バス・ノードのプロトコル・エンジンはリセットされ、すべてのレジスタはそれぞれのリセット・ステートに戻ります。
		0   動作なし
		1   プロトコル・エンジンをリセット

表 7-17: A2B\_CONTROL レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
1 (R0/W)	ENDDSC	検出モード終了イネーブル。 マスタ・ノード内でA2B_CONTROL.ENDDSCビットをセットすると、新しいスレーブ・ノードの検出を終了します。
		0   動作なし
		1   検出を終了
0 (R0/W)	NEWSTRCT	新しい構造イネーブル。 A2B_CONTROL.NEWSTRCTビットは、すべてのノードに新しい構造を同時に適用します。マスタ・ノード内でA2B_CONTROL.NEWSTRCTビットがセットされた場合、通信エラーのために遅延が生じない限り、5 スーパーフレーム・サイクル以内に新しい構造が適用されます。
		0   動作なし
		1   新しい構造をイネーブル

## 検出レジスタ(マスタのみ)

A2B\_DISCVRYレジスタで、追加される新しいノードの応答サイクル値を設定すると、新しいスレーブ・ノードが検出できるようになります。これにより、次のスレーブ・ノードに送信される完全な検出フレームの開始がトリガされます。

マスタ・ノード内でA2B\_DISCVRYレジスタに書き込まれた新しい設定値は、A<sup>2</sup>B<sup>®</sup>バスを介して、すべてのスレーブ・ノードに自動的にブロードキャストされます。スレーブ・ノード内でローカル・ホストが BUS\_ADDR を使用して直接このレジスタに書き込んでも影響はありません。

アドレス：0x13

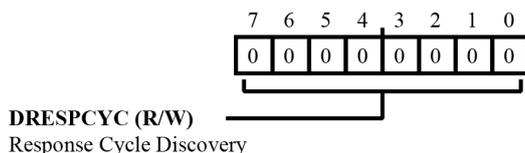


図 7-17: A2B\_DISCVRY レジスタの図

表 7-18: A2B\_DISCVRY レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	DRESPCYC	応答サイクル検出。 A2B_DISCVRY.DRESPCYCビット・フィールドには、検出対象のスレーブ・ノードによってA2B_RESPCYCSに使用される値が書き込まれます。

## スイッチ・ステータス・レジスタ

A2B\_SWSTATレジスタは、ライン診断ステータス情報を提供します。ライン診断は、A<sup>2</sup>B<sup>®</sup>バス上でバイアスが次のスレーブ・ノードの方向に切り替えられたときに実行されます。

アドレス : 0x14

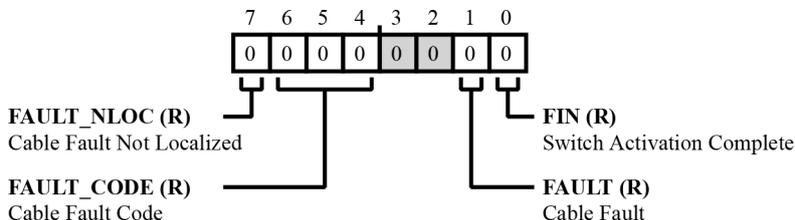


図 7-18: A2B\_SWSTAT レジスタの図

表 7-19: A2B\_SWSTAT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/NW)	FAULT_NLOC	ケーブル障害の場所が特定されない。 A2B_SWSTAT.FAULT_NLOCビットは、見つかったライン障害の場所が特定されないことを示します。
		0   スイッチ障害の場所が特定された
		1   スイッチ障害の場所が特定されない
6:4 (R/NW)	FAULT_CODE	ケーブル障害コード。 A2B_SWSTAT.FAULT_CODEビット・フィールドには、ダウンストリーム・リンク・ケーブルの診断エラー・コードが格納されます。
		0   障害は検出されない
		1   ケーブル端子が GND に短絡
		2   ケーブル端子が VBAT に短絡
		3   ケーブル端子同士の短絡
		4   ケーブルの接続不良またはオープン・サーキット
		5   ケーブルの逆接続
		6   予備
		7   未確定の障害
1 (R/NW)	FAULT	ケーブル障害。 A2B_SWSTAT.FAULTビットは、ケーブル障害が検出されたことを示します。
		0   ケーブル障害は検出されない
		1   ケーブル障害を検出

表 7-19: A2B\_SWSTAT レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明	
0 (R/NW)	FIN	スイッチ起動完了。 A2B_SWSTAT.FINビットは、ダウンストリーム・リンクのバイアス用のスイッチ起動シーケンスが正常に完了したことを示します。このビットがセットされると、トランシーバーは次のスレーブへの SCF の送信を開始します。これにより、スイッチがバイパス (A2B_CONTROL.SWBYP = 1) されていない限り、次のスレーブは PLL のロックを開始することができます。	
		0	スイッチが開いているか、まだ閉じられていない
		1	スイッチが閉じられた

## 割り込みステータス・レジスタ

A2B\_INTSTATレジスタには、ノードの割り込みステータス情報が格納されます。

アドレス : 0x15

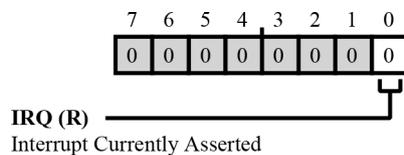


図 7-19: A2B\_INTSTAT レジスタの図

表 7-20: A2B\_INTSTAT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
0 (R/NW)	IRQ	現在アサートされている割り込み。 A2B_INTSTAT.IRQビットがセットされた場合、そのノードは(マスタ・ノードの場合は IRQ ピンを介して、スレーブ・ノードの場合は A <sup>2</sup> B <sup>®</sup> バスを介して)割り込み要求を通知しています。
		0   割り込み要求なし
		1   割り込み要求

## 割込みソース・レジスタ(マスタのみ)

A2B\_INTSRCレジスタには、現在最も優先順位の高い割込みに関する情報が格納されます。このレジスタは、A2B\_INTTYPEレジスタが読み出されると更新されます。このレジスタの値が 0x00 の場合、割込みは存在しません。

アドレス：0x16

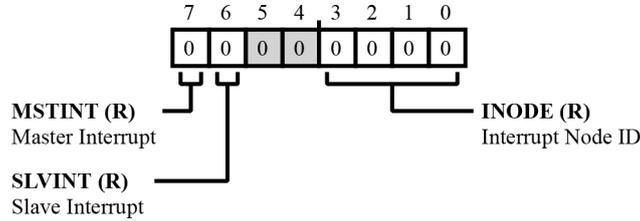


図 7-20: A2B\_INTSRC レジスタの図

表 7-21: A2B\_INTSRC レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/NW)	MSTINT	マスタ割込み。 A2B_INTSRC.MSTINTビットがセットされた場合、現在の割込みはマスタ・ノードによって生成されています。
6 (R/NW)	SLVINT	スレーブ割込み。 A2B_INTSRC.SLVINTビットがセットされた場合、現在の割込みはスレーブ・ノードによって生成されています。
3:0 (R/NW)	INODE	割込みノード ID。 A2B_INTSRC.INODEビット・フィールドには、現在の割込みをアサートしたスレーブ・ノードのノード番号が格納されます。

## 割り込みタイプ・レジスタ(マスタのみ)

A2B\_INTTYPEレジスタには、A2B\_INTSRCレジスタで指定されるノードによって生成され、IRQ ピンで通知される、保留中の割り込みに関する情報が格納されます。ホストがマスタ・ノード内でA2B\_INTTYPEを読み出すと、マスタ内でこの保留中の割り込みはクリアされ、IRQ ピンはディアサートされます。その他の割り込みが保留中になっている場合、A2B\_INTSRCおよびA2B\_INTTYPEレジスタは更新されて最も優先順位の高い保留中の割り込みを反映し、IRQ ピンは再びアサートされます。同じ割り込みが2つ以上のスレーブ・ノードに現れた場合、マスタに近い方のノードが高い優先順位になります。

アドレス : 0x17

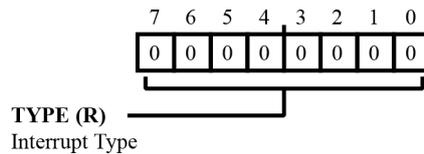


図 7-21: A2B\_INTTYPE レジスタの図

表 7-22: A2B\_INTTYPE レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
7:0 (R/NW)	TYPE	割り込みタイプ。 A2B_INTTYPE.TYPEビット・フィールドには、現在の割り込みタイプが格納されます。割り込みタイプについては、割り込み保留中レジスタ(A2B_INTPND0～A2B_INTPND2)で説明しています。	
		0	HDCNTERR - ヘッダ・カウント・エラー
		1	DDERR - データ・デコード・エラー
		2	CRCERR - CRC エラー
		3	DPERR - データ・パリティ・エラー
		4	BECOVF - ビット・エラー・カウンタ・オーバーフロー・エラー
		5	SRFERR - SRF 欠落エラー
		6	SRFCRCERR - SRF の CRC エラー (スレーブのみ)
		9	PWRERR - 正端子の BP から GND への短絡
		10	PWRERR - 負端子の BN から VBAT への短絡
		11	PWRERR - BP から BN への短絡
		12	PWRERR - ケーブルの接続不良またはオープン・サーキットまたは誤ったポート
		13	PWRERR - ケーブルの逆接続または誤ったポート
		15	PWRERR - 未確定の障害
16	IO0PND - GP 入力 IO0 割り込み (スレーブのみ)		

表 7-22: A2B\_INTTYPE レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
		17 IO1PND - GP 入力 IO1 割込み
		18 IO2PND - GP 入力 IO2 割込み
		19 IO3PND - GP 入力 IO3 割込み
		20 IO4PND - GP 入力 IO4 割込み
		21 IO5PND - GP 入力 IO5 割込み
		22 IO6PND - GP 入力 IO6 割込み
		23 IO7PND - GP 入力 IO7 割込み
		24 DSCDONE - 検出終了割込み(マスタのみ)
		25 I2CERR - I2C エラー(マスタのみ)
		26 ICRCERR - 割込み CRC エラー(マスタのみ)
		41 PWRERR -- 場所が特定されない負端子の BN から GND への短絡
		42 PWRERR -- 場所が特定されない正端子の BP から VBAT への短絡
		48 メールボックス 0 フル
		49 メールボックス 0 エンプティ
		50 メールボックス 1 フル
		51 メールボックス 1 エンプティ
		128 割込みメッセージング・エラー
		252 起動エラー - 工場へ返送
		253 スレーブ INTTYPE 読出しエラー - マスタのみ
		254 スタンバイ終了 - マスタのみ
		255 MSTR_RUNNING - マスタ・ノードの PLL ロック

## 割込み保留中 0 レジスタ

A2B\_INTPNDD0レジスタには、ノードの割込み保留中ビットが格納されます。

アドレス : 0x18

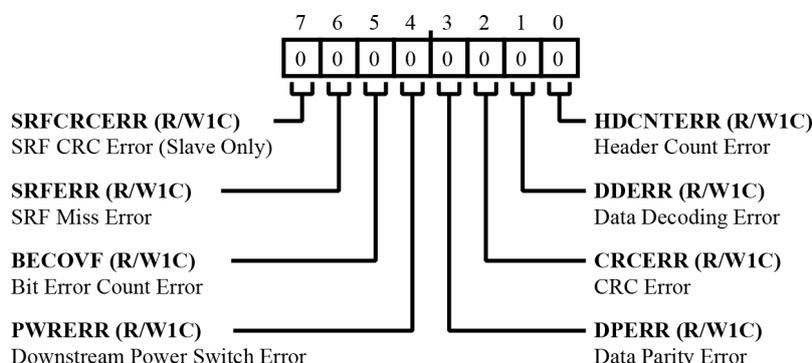


図 7-22: A2B\_INTPNDD0 レジスタの図

表 7-23: A2B\_INTPNDD0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W1C)	SRFCRCERR	SRF の CRC エラー (スレーブのみ) A2B_INTPNDD0.SRFCRCERRビットは、現在のスレーブ・ノードが SRF 内で CRC エラーを検出したことを示します。
		0   SRF の CRC エラーなし
		1   SRF の CRC エラーを検出
6 (R/W1C)	SRFERR	SRF 欠落エラー。 A2B_INTPNDD0.SRFERRビットは、ノードが指定の時間内にダウンストリーム・ノードから SRF を受信しなかったことを示します。
		0   SRF 欠落エラーなし
		1   SRF 欠落エラーを検出
5 (R/W1C)	BECOVF	ビット・エラー・カウント・エラー。 A2B_INTPNDD0.BECOVFビットは、ビット・エラー・カウント・コントロール・レジスタに設定されたエラー数を超えたことを示します。
		0   保留中の BEC エラーなし
		1   保留中の BEC エラー

表 7-23: A2B\_INTPND0 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W1C)	PWRERR	ダウンストリーム・パワー・スイッチ・エラー。 A2B_INTPND0.PWRERRビットは、ダウンストリーム・パワー・スイッチから通知されたエラーを示します。
		0   電源エラーなし
		1   ダウンストリーム・パワー・スイッチ・エラー
3 (R/W1C)	DPERR	データ・パリティ・エラー。 A2B_INTPND0.DPERRビットは、現在のノードがデータ・パリティ・エラーを検出したことを示します。このエラーは、ノードがデータ・パリティ・エラーを含むデータ・スロットを消費する場合にのみ検出されます。
		0   データ・パリティ・エラーなし
		1   データ・パリティ・エラーを検出
2 (R/W1C)	CRCERR	CRC エラー。 A2B_INTPND0.CRCERRビットは、現在のノードが CRC エラーを検出したことを示します。マスタ・ノードの場合、SRF の CRC エラーに適用されます。スレーブ・ノードの場合、SCF の CRC エラーに適用されます。
		0   CRC エラーなし
		1   CRC エラーを検出
1 (R/W1C)	DDERR	データ・デコード・エラー。 A2B_INTPND0.DDERRビットは、現在のノードがデータ・デコード・エラーを検出したことを示します。このエラーは、ノードがデータ・デコード・エラーを含むデータ・スロットを消費する場合にのみ検出されます。
		0   データ・デコード・エラーなし
		1   データ・デコード・エラーを検出
0 (R/W1C)	HDCNTERR	ヘッダ・カウント・エラー。 A2B_INTPND0.HDCNTERRビットは、現在のノードがヘッダ・カウント・エラーを検出したことを示します。マスタ・ノードの場合、これは SRF 内のカウント値が予想と異なることを意味します。スレーブ・ノードの場合、これは SRF 内の値が予想と異なることを意味します。
		0   ヘッダ・カウント・エラーなし
		1   ヘッダ・カウント・エラーを検出

## 割込み保留中 1 レジスタ

A2B\_INTPN1レジスタには、ノードの割込み保留中ビットが格納されます。

アドレス : 0x19

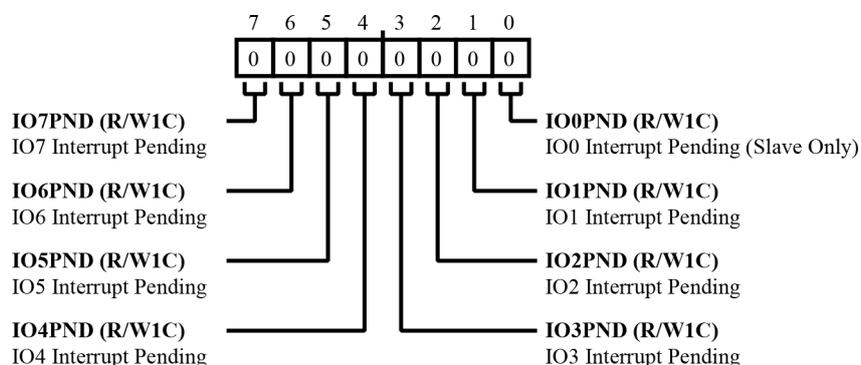


図 7-23: A2B\_INTPN1 レジスタの図

表 7-24: A2B\_INTPN1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W1C)	IO7PND	IO7 割込み保留中。 A2B_INTPN1.IO7PNDビットは、IO7からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中<継承>
6 (R/W1C)	IO6PND	IO6 割込み保留中。 A2B_INTPN1.IO6PNDビットは、IO6(DRX1)からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中
5 (R/W1C)	IO5PND	IO5 割込み保留中。 A2B_INTPN1.IO5PNDビットは、IO5(DRX0)からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中

表 7-24: A2B\_INTPND1 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W1C)	IO4PND	IO4 割込み保留中。 A2B_INTPND1.IO4PNDビットは、IO4(DTX1)からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中
3 (R/W1C)	IO3PND	IO3 割込み保留中。 A2B_INTPND1.IO3PNDビットは、IO3(DTX0)からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中
2 (R/W1C)	IO2PND	IO2 割込みイネーブル。 A2B_INTPND1.IO2PNDビットは、IO2(ADR2)からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中
1 (R/W1C)	IO1PND	IO1 割込み保留中。 A2B_INTPND1.IO1PNDビットは、IO1(ADR1)からのピン割込み要求が保留中であることを示します。
		0   保留中の割込みなし
		1   割込み保留中
0 (R/W1C)	IO0PND	IO0 割込み保留中(スレーブのみ) A2B_INTPND1.IO0PNDビットは、IO0(IRQ)からのピン割込み要求が保留中であることを示します。マスタ・ノード上では、このビットの読出し値は常に0です。
		0   保留中の割込みなし<継承>
		1   割込み保留中

## 割り込み保留中 2 レジスタ(マスタのみ)

A2B\_INTPND2レジスタには、マスタ・ノードのみに関連する割り込み保留中ビットが格納されます。

アドレス : 0x1A

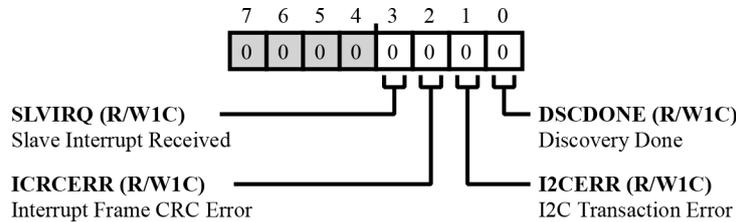


図 7-24: A2B\_INTPND2 レジスタの図

表 7-25: A2B\_INTPND2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
3 (R/W1C)	SLVIRQ	スレーブ割り込み受信。 マスタ・ノード内で、A2B_INTPND2.SLVIRQビットは、スレーブ・ノードがマスタ・ノードに割り込みを通知したことを示します。スレーブ・ノード内では、このビットの読出し値は常に0です。
		0   割り込みなし
		1   スレーブ・ノードが割り込みを通知
2 (R/W1C)	ICRCERR	割り込みフレーム CRC エラー。 マスタ・ノード内で、A2B_INTPND2.ICRCERRビットは、マスタ・ノードが割り込みフレームの CRC エラーを検出したことを示します。
		0   エラーなし
		1   割り込みフレームの CRC エラーを検出
1 (R/W1C)	I2CERR	I2C トランザクション・エラー。 A2B_INTPND2.I2CERRビットは、I <sup>2</sup> C アクセス・エラーが発生したことを示します。この例として、スレーブ・ノードに対する I <sup>2</sup> C 書き込みで、アーリー・アクノレッジが完了しなかった、またはブロードキャスト書き込みがタイムアウトになった場合が挙げられます。
		0   エラーなし
		1   I <sup>2</sup> C アクセス・エラーが発生
0 (R/W1C)	DSCDONE	検出終了。 A2B_INTPND2.DSCDONEビットは、新しいスレーブ・ノードが検出されたことを示します。スレーブ・ノード内では、このビットの読出し値は常に0です。
		0   新しいスレーブ・ノードは検出されなかった
		1   新しいスレーブ・ノードを検出

# 割込みマスク0レジスタ

A2B\_INTMSK0レジスタは、どのA2B\_INTPND0レジスタ・ビットが割込みを生成するかを指定します。

アドレス : 0x1B

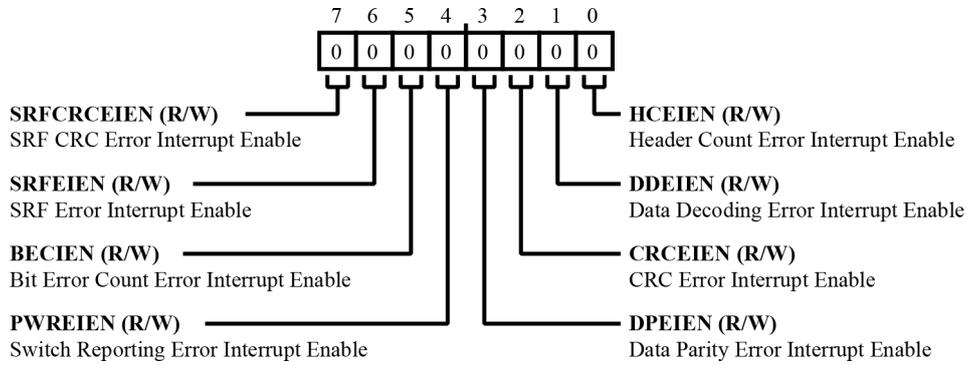


図 7-25: A2B\_INTMSK0レジスタの図

表 7-26: A2B\_INTMSK0レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	SRFCRCEIEN	SRF の CRC エラー割込みイネーブル。
6 (R/W)	SRFEIEN	SRF エラー割込みイネーブル。
5 (R/W)	BECIEN	ビット・エラー・カウント・エラー割込みイネーブル。
4 (R/W)	PWREIEN	スイッチ通知エラー割込みイネーブル。
3 (R/W)	DPEIEN	データ・パリティ・エラー割込みイネーブル。
2 (R/W)	CRCEIEN	CRC エラー割込みイネーブル。
1 (R/W)	DDEIEN	データ・デコード・エラー割込みイネーブル。
0 (R/W)	HCEIEN	ヘッダ・カウント・エラー割込みイネーブル。

## 割込みマスク1レジスタ

A2B\_INTMSK1レジスタは、どのA2B\_INTPND1レジスタ・ビットが割込みを生成するかを指定します。

アドレス : 0x1C

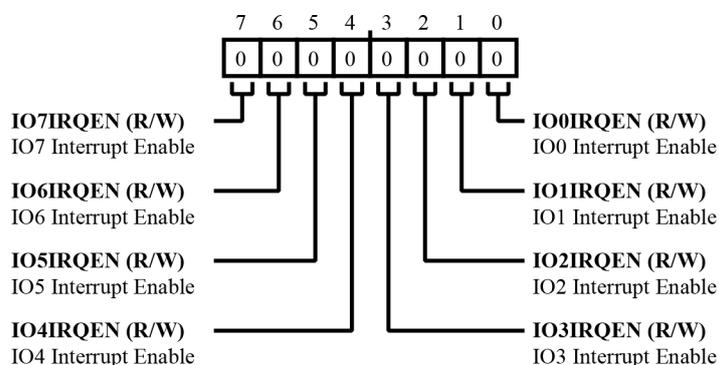


図 7-26: A2B\_INTMSK1 レジスタの図

表 7-27: A2B\_INTMSK1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IO7IRQEN	IO7 割込みイネーブル。
6 (R/W)	IO6IRQEN	IO6 割込みイネーブル。
5 (R/W)	IO5IRQEN	IO5 割込みイネーブル。
4 (R/W)	IO4IRQEN	IO4 割込みイネーブル。
3 (R/W)	IO3IRQEN	IO3 割込みイネーブル。
2 (R/W)	IO2IRQEN	IO2 割込みイネーブル。
1 (R/W)	IO1IRQEN	IO1 割込みイネーブル。
0 (R/W)	IO0IRQEN	IO0 割込みイネーブル。

## 割込みマスク 2 レジスタ(マスタのみ)

A2B\_INTMSK2レジスタは、どのA2B\_INTPND2レジスタ・ビットが割込みを生成するかを指定します。

アドレス : 0x1D

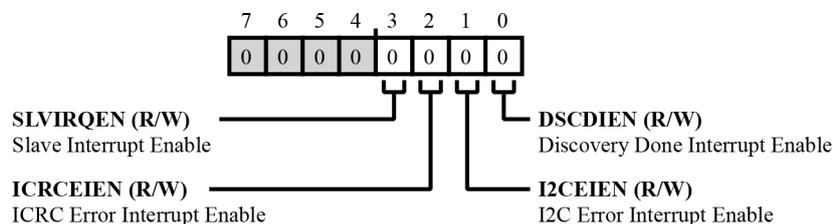


図 7-27: A2B\_INTMSK2 レジスタの図

表 7-28: A2B\_INTMSK2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
3 (R/W)	SLVIRQEN	スレーブ割込みイネーブル。
2 (R/W)	ICRCEIEN	ICRC エラー割込みイネーブル。
1 (R/W)	I2CEIEN	I2C エラー割込みイネーブル。
0 (R/W)	DSCDIEN	検出終了割込みイネーブル。

# ビット・エラー・カウント・コントロール・レジスタ

A2B\_BECCTLレジスタは、割込み閾値を含めて、ビット・エラー・カウンティングを制御します。

アドレス : 0x1E

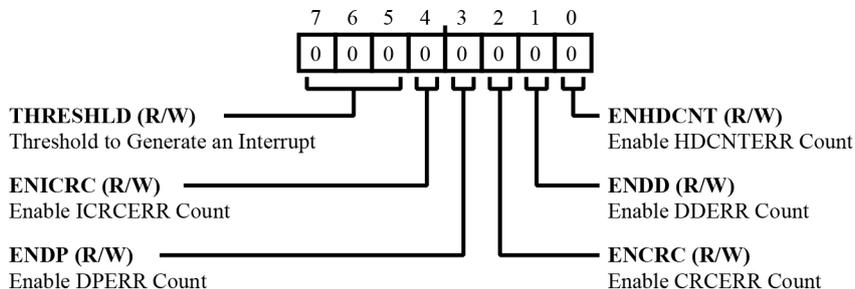


図 7-28: A2B\_BECCTL レジスタの図

表 7-29: A2B\_BECCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
7:5 (R/W)	THRESHLD	割込み生成の閾値。 A2B_BECCTL.THRESHLDビット・フィールドは、エラーを何個カウントしたら A2B_INTPNDD0.BECOVFビットがセットされるかを設定します。	
		0	2 個のエラーの後で割込み
		1	4 個のエラーの後で割込み
		2	8 個のエラーの後で割込み
		3	16 個のエラーの後で割込み
		4	32 個のエラーの後で割込み
		5	64 個のエラーの後で割込み
		6	128 個のエラーの後で割込み
		7	256 個のエラーの後で割込み
4 (R/W)	ENICRC	ICRCERR カウントをイネーブル。 A2B_BECCTL.ENICRCビットがセットされた場合、割込み応答フレーム内で CRC エラーが検出されるたびに、ビット・エラー・カウント・レジスタがインクリメント されます。	
		0	ディスエーブル
		1	ビット・エラー・カウンティングをイネーブル

表 7-29: A2B\_BECCTL レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
3 (R/W)	ENDP	DPERR カウントをイネーブル。 A2B_BECCTL.ENDPビットがセットされた場合、ストリーミング・データのパリティ・エラーが検出されるたびに、ビット・エラー・カウント・レジスタがインクリメントされます。
		0   パリティ・エラーなし
		1   パリティ・エラー
2 (R/W)	ENCRC	CRCERR カウントをイネーブル。 A2B_BECCTL.ENCRCビットがセットされた場合、制御フレームまたは応答フレーム内で CRC エラーが検出されるたびに、ビット・エラー・カウント・レジスタがインクリメントされます。割込みフレームの CEC エラーはこれに含みません。
		0   CRC エラーなし
		1   CRC エラー
1 (R/W)	ENDD	DDERR カウントをイネーブル。 A2B_BECCTL.ENDDビットがセットされた場合、データ・デコード・エラーが検出されるたびに、ビット・エラー・カウント・レジスタがインクリメントされます。
		0   デイスエーブル
		1   イネーブル
0 (R/W)	ENHDCNT	HDCNTERR カウントをイネーブル。 A2B_BECCTL.ENHDCNTビットがセットされた場合、実際のヘッダ・カウント・フィールドと予想されるヘッダ・カウント・フィールドが一致しない場合に、ビット・エラー・カウント・レジスタがインクリメントされます。
		0   デイスエーブル
		1   イネーブル

## ビット・エラー・カウント・レジスタ

A2B\_BECNTレジスタは、A2B\_BECCTLレジスタで選択したエラー・タイプのエラー・カウントを累算します。このレジスタへの書込みが行われると、カウントはクリアされます。

アドレス : 0x1F

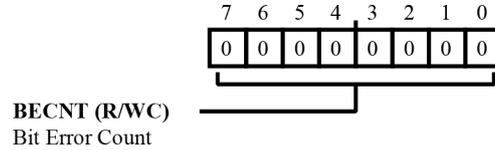


図 7-29: A2B\_BECNT レジスタの図

表 7-30: A2B\_BECNT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/WC)	BECNT	ビット・エラー・カウント。 A2B_BECNT.BECNTビット・フィールドは、A2B_BECCTLレジスタに設定された値に基づいて、カウントされたビット・エラーの数を示します。

## テストモード・レジスタ

A2B\_TESTMODEレジスタには、A<sup>2</sup>B<sup>®</sup>リンクのテストに使用される制御ビットがあります。A2B\_TESTMODE.PRBSDNおよびA2B\_TESTMODE.PRBSUPビットを使用して、それぞれ A<sup>2</sup>B<sup>®</sup>バス上のダウンストリーム・データ・スロットおよびアップストリーム・データ・スロット内の擬似ランダム・データの使用をイネーブルにすることができます。ダウンストリーム・データは、A2B\_DNSLOTS、A2B\_LDNSLOTS、およびA2B\_BCDNSLOTSレジスタの設定に基づいて、最後のスレーブ・ノードでチェックされます。アップストリーム・データは、マスタ・ノードでチェックされます。データに不一致があると、32 ビット・カウンタがインクリメントします(このカウンタは、A2B\_ERRCNT0~A2B\_ERRCNT3レジスタから読み出すことができます)。A2B\_TESTMODEレジスタは、ブロードキャスト書込みによって設定する必要があります。スレーブ間の通信は、ビット・エラー・レート・テスト(BERT)に悪影響を与えます。

アドレス : 0x20

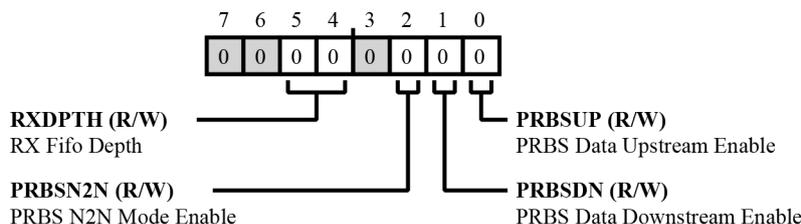


図 7-30: A2B\_TESTMODE レジスタの図

表 7-31: A2B\_TESTMODE レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
5:4 (R/W)	RXDPATH	RX FIFO 深度。 A2B_TESTMODE.RXDPATHビットは、データ・リカバリの FIFO 深度を制御します。	
		0	FIFO 深度を変化させない
		1	FIFO 深度を 1 大きくする
		2	FIFO 深度を 2 大きくする
		3	FIFO 深度を 2 大きくする
2 (R/W)	PRBSN2N	PRBS N2N モード・イネーブル。 A2B_TESTMODE.PRBSN2Nビットがセットされた場合、各ノードはすべての受信データ・ビットをチェックし、予想されるデータを次のノードに送信します。これにより、バス・エラーがどこで発生したかをより正確に判定できます。このビットは、A2B_TESTMODE.PRBSDNビットとA2B_TESTMODE.PRBSUPビットのいずれかまたは両方がセットされた場合にのみ有効です。	
		0	ディスエーブル
		1	イネーブル

表 7-31: A2B\_TESTMODE レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
1 (R/W)	PRBSDN	PRBS データ・ダウンストリーム・イネーブル。 A2B_TESTMODE.PRBSDNビットは、最後のスレーブ・ノードの方向にダウンストリーム PRBS データを送信できるようにします。
		0   PRBS データをディスエーブル
		1   PRBS データ
0 (R/W)	PRBSUP	PRBS データ・アップストリーム・イネーブル。 A2B_TESTMODE.PRBSUPビットは、マスタ・ノードの方向にアップストリーム PRBS データを送信できるようにします。
		0   PRBS データをディスエーブル
		1   PRBS データ

## PRBS エラー・カウント・バイト 0 レジスタ

A2B\_ERRCNT0レジスタは、PRBS ビット・エラー・テスト中に累算された 32 ビット・エラー・カウントの最下位バイトを保持します。

アドレス : 0x21

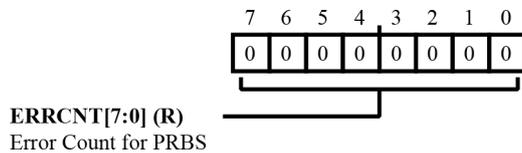


図 7-31: A2B\_ERRCNT0 レジスタの図

表 7-32: A2B\_ERRCNT0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	ERRCNT	PRBS のエラー・カウント。 A2B_ERRCNT0.ERRCNTビット・フィールドには、32 ビット PRBS ビット・エラー・カウントの 1 バイトが格納されます。

## PRBS エラー・カウント・バイト 1 レジスタ

A2B\_ERRCNT1レジスタは、PRBS ビット・エラー・テスト中に累算されたエラー・カウントの第 2 バイト(ビット 15:8)を保持します。

アドレス : 0x22

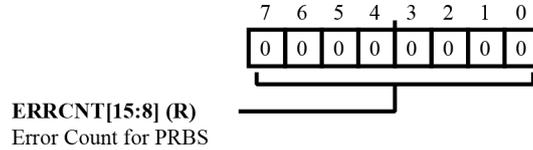


図 7-32: A2B\_ERRCNT1 レジスタの図

表 7-33: A2B\_ERRCNT1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	ERRCNT	PRBS のエラー・カウント。 A2B_ERRCNT1.ERRCNTビット・フィールドには、32 ビット PRBS ビット・エラー・カウントの 1 バイトが格納されます。

## PRBS エラー・カウント・バイト 2 レジスタ

A2B\_ERRCNT2レジスタは、PRBS ビット・エラー・テスト中に累算されたエラー・カウントの第 3 バイト(ビット 23:16)を保持します。

アドレス : 0x23

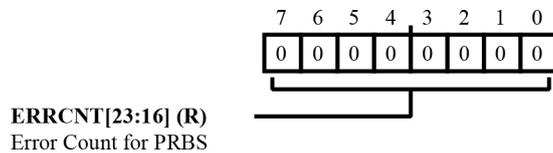


図 7-33: A2B\_ERRCNT2 レジスタの図

表 7-34: A2B\_ERRCNT2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	ERRCNT	PRBS のエラー・カウント。 A2B_ERRCNT2.ERRCNTビット・フィールドには、32 ビット PRBS ビット・エラー・カウントの 1 バイトが格納されます。

## PRBS エラー・カウント・バイト 3 レジスタ

A2B\_ERRCNT3レジスタは、PRBS ビット・エラー・テスト中に累算された 32 ビット・エラー・カウントの最上位バイト(ビット 31:24)を保持します。A2B\_ERRCNT0レジスタは、32 ビット・エラー・カウントの最下位バイトです。

アドレス : 0x24

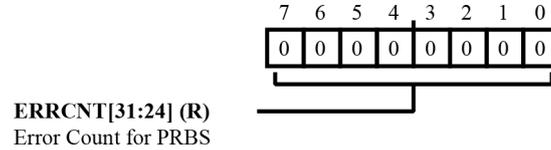


図 7-34: A2B\_ERRCNT3 レジスタの図

表 7-35: A2B\_ERRCNT3 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	ERRCNT	PRBS のエラー・カウント。 A2B_ERRCNT3.ERRCNTビット・フィールドには、32 ビット PRBS ビット・エラー・カウントの 1 バイトが格納されます。

# ノード・レジスタ

A2B\_NODEレジスタには、ノード間通信に必要な情報が格納されます。

アドレス : 0x29

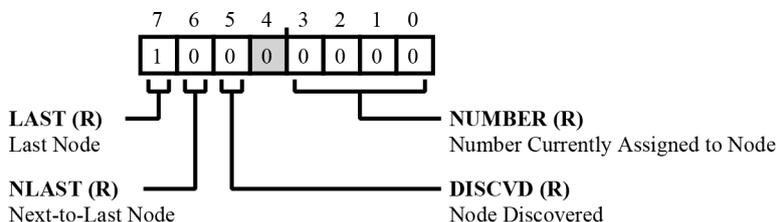


図 7-35: A2B\_NODE レジスタの図

表 7-36: A2B\_NODE レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/NW)	LAST	最後のノード。 A2B_NODE.LASTビットは、このノードにはダウンストリーム・ノードが接続されていないことを示します。このビットは、リセット時にデフォルトでセットされ、検出時にクリアされます。
		0   最後のノードではない
		1   最後のノード
6 (R/NW)	NLAST	最後の 1 つ前のノード。 A2B_NODE.NLASTビットは、このノードが最後のノードのすぐ上流にあることを示します。このビットは検出時にセットされます。
		0   最後の 1 つ前のノードではない
		1   最後の 1 つ前のノード
5 (R/NW)	DISCVD	ノード検出。 A2B_NODE.DISCVDビットは、このノードが検出されたことを示します。マスタ・ノード内では、このビットの読出し値は常に 0 です。
		0   検出されていない
		1   検出された
3:0 (R/NW)	NUMBER	ノードに現在割り当てられている番号。 A2B_NODE.NUMBERビット・フィールドは、検出時にノードに割り当てられるノード番号を通知します。マスタ・ノード内では、このフィールドの読出し値は常に 0 です。

## 検出ステータス・レジスタ(マスタのみ)

A2B\_DISCSTATレジスタは、A<sup>2</sup>B<sup>®</sup>バス上の検出トランザクションのステータスを示します。A2B\_DISCVRYレジスタへのI<sup>2</sup>C書き込みが行われると、A2B\_DISCSTAT.DSCACTビットがセットされ、A2B\_NODEADR.NODEフィールドがこのレジスタに書き込まれます。A2B\_CONTROL.ENDDSCビットに書き込むことにより、検出モードをアボートできます。

アドレス：0x2B

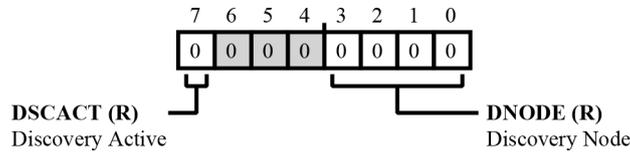


図 7-36: A2B\_DISCSTATレジスタの図

表 7-37: A2B\_DISCSTATレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/NW)	DSCACT	検出アクティブ。 マスタ・ノードが検出モードのときは、A2B_DISCSTAT.DSCACTビットがセットされます。
3:0 (R/NW)	DNODE	検出ノード。 A2B_DISCSTAT.DSCACTビットがセットされた場合、A2B_DISCSTAT.DNODEビット・フィールドは、検出フレームに使用されているノードを示します。A2B_DISCSTAT.DSCACTがクリアされた場合、A2B_DISCSTAT.DNODEビット・フィールドは、最後に検出されたノードの値を保持します。

## LVDSA TX コントロール・レジスタ

A2B\_TXACTLレジスタは、LVDS トランシーバー A のトランスミッタを制御します。このレジスタの値は、A2B\_TXACTL.TXAOVRENビットがセットされているときにのみ適用されます。

アドレス：0x2E

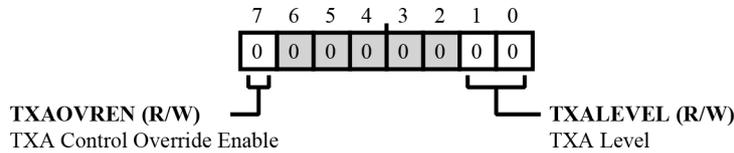


図 7-37: A2B\_TXACTL レジスタの図

表 7-38: A2B\_TXACTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	TXAOVREN	TXA 制御オーバーライド・イネーブル。 A2B_TXACTL.TXAOVRENビットを使用して、A2B_TXACTLレジスタの値でデフォルト値を強制的にオーバーライドできます。
1:0 (R/W)	TXALEVEL	TXA レベル。 A2B_TXACTL.TXALEVELビット・フィールドは、トランスミッタの出力信号レベルを指定します。
		0   高伝送電力レベル
		1   予備
		2   中伝送電力レベル
		3   低伝送電力レベル

## LVDSB TX コントロール・レジスタ

A2B\_TXBCTLレジスタは、LVDS トランシーバーB のトランスミッタを制御します。このレジスタの値は、A2B\_TXBCTL.TXBOVRENビットがセットされているときにのみ適用されます。

アドレス：0x30

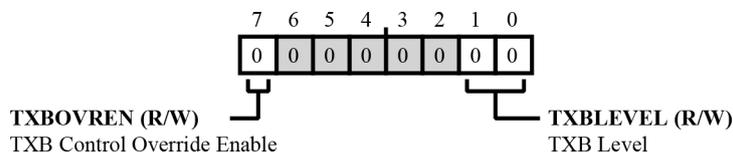


図 7-38: A2B\_TXBCTL レジスタの図

表 7-39: A2B\_TXBCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	TXBOVREN	TXB 制御オーバーライド・イネーブル。 A2B_TXBCTL.TXBOVRENビットを使用して、A2B_TXBCTLレジスタの値でデフォルト値を強制的にオーバーライドできます。
1:0 (R/W)	TXBLEVEL	TXB レベル。 A2B_TXBCTL.TXBLEVELビット・フィールドは、トランスミッタの出力信号レベルを指定します。
		0   高伝送電力レベル
		1   予備
		2   中伝送電力レベル
		3   低伝送電力レベル

## ローカル割込みタイプ(スレーブのみ)

アドレス : 0x3E

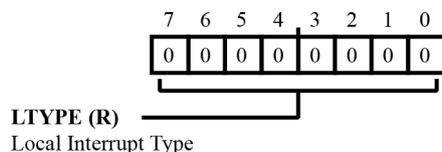


図 7-39: A2B\_LINTTYPE レジスタの図

表 7-40: A2B\_LINTTYPE レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
7:0 (R/NW)	LTYPE	ローカル割込みタイプ。	
		48	メールボックス 0 フル
		49	メールボックス 0 エンプティ
		50	メールボックス 1 フル
		51	メールボックス 1 エンプティ

## I2C 設定レジスタ

A2B\_I2CCFGレジスタは、A<sup>2</sup>B<sup>®</sup>スレーブ・ノード内では I<sup>2</sup>C ポートのデータ・レートを制御し、A<sup>2</sup>B<sup>®</sup>マスタ・ノード内では I<sup>2</sup>C の動作を設定します。

アドレス : 0x3F

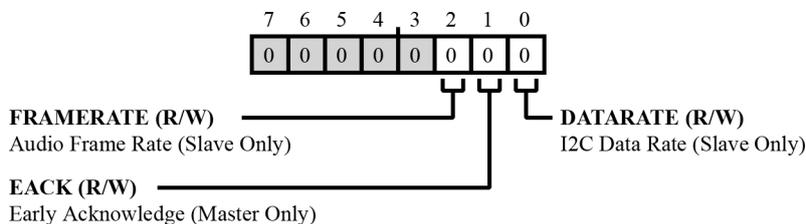


図 7-40: A2B\_I2CCFG レジスタの図

表 7-41: A2B\_I2CCFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
2 (R/W)	FRAMERATE	オーディオ・フレーム・レート(スレーブのみ)。 A2B_I2CCFG.FRAMERATEビットは、デフォルトで 48kHz に設定されます。このビットは、標準の I <sup>2</sup> C クロック周波数に合わせた I <sup>2</sup> C インターフェースのローカル・クロック生成にのみ影響を与えます。
		0   48 kHz
		1   44.1 kHz
1 (R/W)	EACK	アーリー・アクノレッジ(マスタのみ) A2B_I2CCFG.EACKがセットされた場合、I <sup>2</sup> C インターフェースは、A <sup>2</sup> B <sup>®</sup> バス上でスレーブ・ノードにアドレス指定された書込みに対して、書込みが完了する前にアクノレッジを与えます。エラー(例えば、タイムアウトまたはアドレス・エラー)が発生した場合は、A2B_INTPN2.I2CERRビットがセットされます。 A2B_I2CCFG.EACKがクリアされた場合、I <sup>2</sup> C インターフェースが適切な ACK/NACK を生成できるように、システム内でトランザクションが完了するまで、I <sup>2</sup> C トランザクションがクロック・ストレッチングされます。 A2B_I2CCFG.EACKビットは、スレーブ・ノードの I <sup>2</sup> C アクセスに使用できます。スレーブ・ノードに接続されたペリフェラルにアクセスする場合は、ホストの I <sup>2</sup> C インターフェースにクロック・ストレッチング機能が必要です。
		0   トランザクションのストレッチング
		1   書込みアクノレッジを提供
0 (R/W)	DATARATE	I2C データ・レート(スレーブのみ) A2B_I2CCFG.DATARATEビットは、I <sup>2</sup> C のデータ・レートを設定します。
		0   100 kHz
		1   400 kHz

## PLL コントロール・レジスタ

A2B\_PLLCTLレジスタには、PLL の制御ビットがあります。

アドレス : 0x40

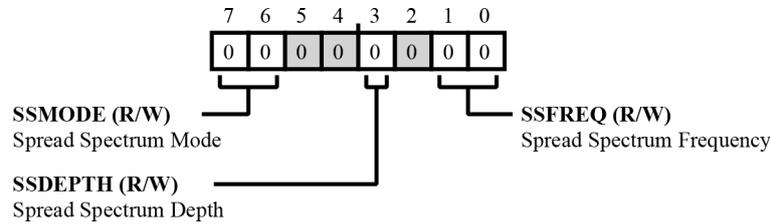


図 7-41: A2B\_PLLCTL レジスタの図

表 7-42: A2B\_PLLCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
7:6 (R/W)	SSMODE	スペクトラム拡散モード。 A2B_PLLCTL.SSMODEビット・フィールドは、スペクトラム拡散モードを選択します。スペクトラム拡散クロック制御のサポートは、内部クロック、I <sup>2</sup> S インターフェース、および設定された CLKOUT についてイネーブルにすることができます。	
		0	拡散なし
		1	A <sup>2</sup> B <sup>®</sup> バス・クロックのみ拡散
		2	A <sup>2</sup> B <sup>®</sup> バス・クロックと I <sup>2</sup> S クロックを拡散
		3	予備
3 (R/W)	SSDEPTH	スペクトラム拡散の深度。 A2B_PLLCTL.SSDEPTHビットは、スペクトラム拡散周波数変調の深度を指定します。	
		0	低深度のスペクトラム拡散周波数変調
		1	高深度のスペクトラム拡散周波数変調
1:0 (R/W)	SSFREQ	スペクトラム拡散周波数。 A2B_PLLCTL.SSFREQビットは、変調周波数 (f <sub>SYNCM</sub> の通倍) を指定します。	
		0	4x
		1	5x
		2	6x
		3	7x

## I2S グローバル設定レジスタ

A2B\_I2SGCFGレジスタの各ビットは、すべての I<sup>2</sup>S ユニットの動作を制御します。A2B\_I2SGCFGレジスタは、A2B\_I2SCFG.TX0EN、A2B\_I2SCFG.TX1EN、A2B\_I2SCFG.RX0EN、A2B\_I2SCFG.RX1EN、A2B\_PDMCTL.PDM0EN、およびA2B\_PDMCTL.PDM1ENビットのいずれかがセットされる前に設定する必要があります。マスタ・ノードの場合、A2B\_I2SGCFGレジスタは検出前に設定する必要があります。検出後に変更することはできません。

アドレス：0x41

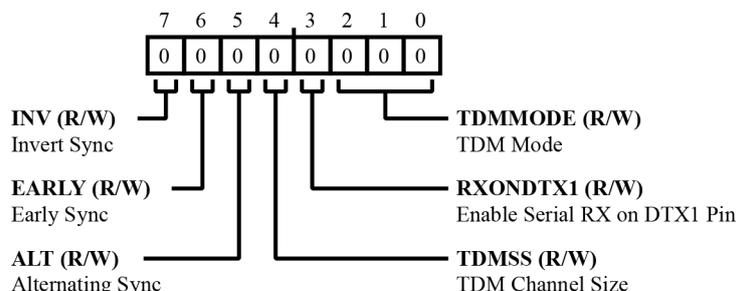


図 7-42: A2B\_I2SGCFG レジスタの図

表 7-43: A2B\_I2SGCFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	INV	反転 SYNC。 A2B_I2SGCFG.INVビットは、A2B_SYNC ピンの立上がりエッジと立下がりエッジのどちらがオーディオ・フレームの開始に対応するかを指定します。マスタ・ノード内でA2B_I2SGCFG.INVビットをセットする場合は、A2B_SWCTL.ENSWビットがセットされる前にセットする必要があります。
		0   SYNCピンの立上がりエッジでオーディオ・フレームを開始
		1   SYNCピンの立下がりエッジでオーディオ・フレームを開始
6 (R/W)	EARLY	アーリー-SYNC。 A2B_I2SGCFG.EARLYビットは、A2B_SYNC ピンが、データ・スロット 0 の MSBと同じサイクルで変化するか、データ・スロット 0 の MSBより 1 サイクル前に変化するかを指定します。
		0   SYNCピンは同じサイクルで変化
		1   SYNCピンは 1 つ前のサイクルで変化

表 7-43: A2B\_I2SGCFG レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
5 (R/W)	ALT	オルタネート SYNC。 A2B_I2SGCFG.ALTビットは、A2B_SYNC ピンが、各サンプリング周期の始めで 1 サイクルの間ハイにパルスされるか、I <sup>2</sup> S ステレオ・モード動作の右チャンネル・データでハイに駆動され、左チャンネル・データでローに駆動されるかを指定します。
		0   SYNC ピンを 1 サイクルの間ハイにパルス
		1   SYNC ピンを I <sup>2</sup> S 動作に合わせて駆動
4 (R/W)	TDMSS	TDM チャンネル・サイズ。 A2B_I2SGCFG.TDMSSビットは、スロット・サイズが 16 ビットか 32 ビットかを指定します。
		0   32 ビット
		1   16 ビット
3 (R/W)	RXONDTX1	DTX1 ピン上でシリアル RX をイネーブル。 A2B_I2SGCFG.RXONDTX1ビットがセットされた場合、DRX1 ピンの代わりに DTX1 ピンが I <sup>2</sup> S/TDM RX に使用され、A2B_I2SCFG.TX1ENと A2B_I2SCFG.RX1ENの値は無視されます。
2:0 (R/W)	TDMMODE	TDM モード。 A2B_I2SGCFG.TDMMODEビット・フィールドは、I <sup>2</sup> S/TDM ユニットのモードを選択します。
		0   TDM2
		1   TDM4
		2   TDM8
		3   TDM12 (スレーブ・ノードのサポートなし)
		4   TDM16
		5   TDM20 (スレーブ・ノードのサポートなし)
		6   TDM24 (スレーブ・ノードのサポートなし)
		7   TDM32 (シングル・データ・ピンのサポートのみ)

## I2S 設定レジスタ

A2B\_I2SCFGレジスタは、どの I<sup>2</sup>S データ・ピンをイネーブルにするか、I<sup>2</sup>S データ・ピンに関連付けられるデータをどのように内部フレーム・バッファに格納するか、および BCLK 信号の極性を制御します。

重要：A2B\_I2SCFG.RX1EN と A2B\_I2SCFG.RX0EN の両方がセットされ、A2B\_PDMCTL.PDM1EN と A2B\_PDMCTL.PDM0ENの両方がクリアされた場合、A2B\_DRX1 および A2B\_DRX0 ピンから受信した I<sup>2</sup>S データは、個別に A<sup>2</sup>B<sup>®</sup>フレーム・バッファに書き込まれます。

重要:A2B\_I2SCFG.TX1ENとA2B\_I2SCFG.TX0ENの両方がセットされた場合、A2B\_DTX1 および A2B\_DTX0 ピンへの I<sup>2</sup>S 送信データは、個別に A<sup>2</sup>B<sup>®</sup>フレーム・バッファから読み出されます。

アドレス：0x42

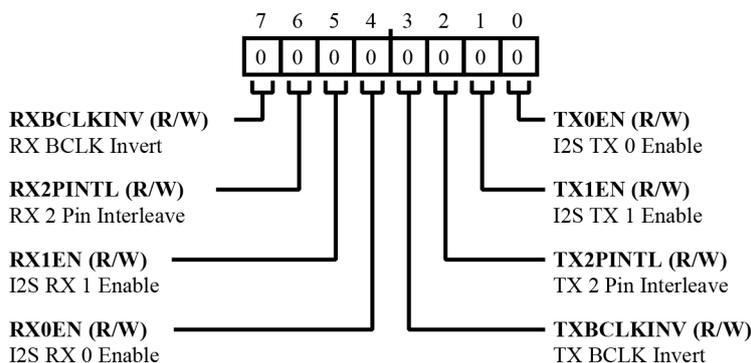


図 7-43: A2B\_I2SCFG レジスタの図

表 7-44: A2B\_I2SCFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXBCLKINV	RX BCLK 反転。 A2B_I2SCFG.RXBCLKINVビットは、A2B_DRX0 および A2B_DRX1 ピンがサンプリングされる BCLK エッジを制御します。マスタ・ノードの場合のみ、このビットで A2B_SYNC ピンのサンプリング・エッジも指定します。
		0   BCLK の立上がりエッジでサンプリング
		1   BCLK の立下がりエッジでサンプリング

表 7-44: A2B\_I2SCFG レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
6 (R/W)	RX2PINTL	RX 2 ピン・インターリーブ。 A2B_I2SCFG.RX2PINTLビットは、TDM データを 2 本のピンで同時に受信する場合にのみ使用されます。このビットがクリアされた場合(デフォルト)、A2B_DRX0 ピンで受信したデータはバス・データ・スロットの下位半分に関連付けられ、A2B_DRX1 ピンで受信したデータはバス・データ・スロットの上位半分に関連付けられます。 A2B_I2SCFG.RX2PINTLビットがセットされた場合、A2B_DRX0 ピンで受信したデータは偶数バス・データ・スロット(スロット 0、スロット 2、...、スロット 30)に関連付けられ、A2B_DRX1 ピンで受信したデータは奇数バス・データ・スロット(スロット 1、スロット 3、...、スロット 31)に関連付けられます。
		0   インターリーブなし
		1   インターリーブ
5 (R/W)	RX1EN	I2S の RX 1 イネーブル。 A2B_I2SCFG.RX1ENビットは、A2B_DRX1 ピン上で I <sup>2</sup> S/TDM データ受信をイネーブルにします。A2B_PDMCTL.PDM1ENビットがセットされた場合、このビットを設定しても影響はありません。
		0   デイスエーブル
		1   イネーブル
4 (R/W)	RX0EN	I2S の RX 0 イネーブル。 A2B_I2SCFG.RX0ENビットは、A2B_DRX0 ピン上で I <sup>2</sup> S/TDM データ受信をイネーブルにします。A2B_PDMCTL.PDM0ENビットがセットされた場合、このビットを設定しても影響はありません。
		0   デイスエーブル
		1   イネーブル
3 (R/W)	TXBCLKINV	TX BCLK 反転。 A2B_I2SCFG.TXBCLKINVビットは、A2B_DTX0 および A2B_DTX1 ピンが駆動される BCLK エッジを制御します。スレーブ・ノードの場合のみ、このビットで A2B_SYNC ピンの駆動エッジも指定します。
		0   BCLK の立上がりエッジで駆動
		1   BCLK の立下がりエッジで駆動

表 7-44: A2B\_I2SCFG レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
2 (R/W)	TX2PINTL	TX 2 ピン・インターリーブ。 A2B_I2SCFG.TX2PINTLビットは、TDM データが 2 本のピンで同時に送信される場合にのみ使用されます。このビットがクリアされた場合(デフォルト)、A2B_DTX0 ピンで送信されるデータはバス・データ・スロットの下位半分に関連付けられ、A2B_DTX1 ピンで送信されるデータはバス・データ・スロットの上位半分に関連付けられます。 A2B_I2SCFG.TX2PINTLビットがセットされた場合、偶数バス・データ・スロット(スロット 0、スロット 2、...、スロット 30)は A2B_DTX0 ピンで送信され、奇数バス・データ・スロット(スロット 1、スロット 3、...、スロット 31)は A2B_DTX1 ピンで送信されます。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	TX1EN	I2S の TX 1 イネーブル。 A2B_I2SCFG.TX1ENビットは、A2B_DTX1 ピン上で I <sup>2</sup> S/TDM データ送信をイネーブルにします。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	TX0EN	I2S の TX 0 イネーブル。 A2B_I2SCFG.TX0ENビットは、A2B_DTX0 ピン上で I <sup>2</sup> S/TDM データ送信をイネーブルにします。
		0   ディスエーブル
		1   イネーブル

## I2S レート・レジスタ(スレーブのみ)

A2B\_I2SRATEレジスタは、スーパーフレーム・レートの倍数で動作可能な、スレーブ・ノード内の I<sup>2</sup>S/TDM インターフェースを制御します。

アドレス : 0x43

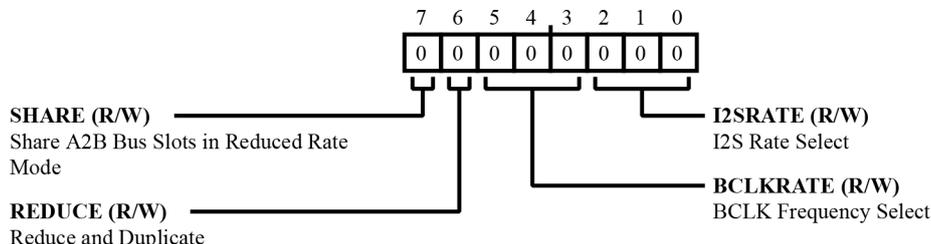


図 7-44: A2B\_I2SRATE レジスタの図

表 7-45: A2B\_I2SRATE レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	SHARE	A <sup>2</sup> B <sup>®</sup> バス・スロットを低減レート・モードで共有。 A2B_I2SRATE.SHAREビットの機能は、ローカル・サンプル・レートがスーパーフレーム・レートより低い場合にのみ適用されます。A2B_I2SRATE.SHAREビットがセットされた場合、ローカル・ノードへの I <sup>2</sup> S/TDM データは A <sup>2</sup> B <sup>®</sup> バス上で時分割多重されます。A2B_I2SRATE.SHAREビットがイネーブルの場合、A2B_I2SRRSOFFS.RRSOFFSETの値は 0 または 1 のみがサポートされます。
		0   ディスエーブル
		1   イネーブル
6 (R/W)	REDUCE	低減および複製。 A2B_I2SRATE.REDUCEビットの機能は、ローカル・サンプル・レートがスーパーフレーム・レートより高い場合にのみ適用されます。 A2B_I2SRATE.REDUCEビットがセットされた場合、受信サンプルの数が低減されて 1 スーパーフレームあたり 1 つのサンプルだけが使用され、送信サンプルが複製されて 1 スーパーフレームあたり 1 つのサンプルだけが必要とされます。
		0   ディスエーブル
		1   イネーブル
5:3 (R/W)	BCLKRATE	BCLK 周波数の選択。 A2B_I2SRATE.BCLKRATEビット・フィールドを使用して、低減レートのスレーブ・ノードの代替 BCLK 周波数を選択できます。公称 BCLK 周波数は、スーパーフレーム周波数 (SFF)、設定値、および (A2B_I2SRRATE.RRDIVおよび A2B_I2SRATE.I2SRATEから得られる) 低減レート分周比によって決定されます。
		0   A2B_I2SGCFGで設定される BCLK 周波数
		1   SYNC 周波数 x 2048

表 7-45: A2B\_I2SRATE レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明	
		2	SYNC 周波数 x 4096
		4	SFF 周波数 x 64
		5	SFF 周波数 x 128
		6	SFF 周波数 x 256
2:0 (R/W)	I2SRATE	I2S レートの選択。 A2B_I2SRATE.I2SRATEビットは、ローカル・スレーブ・ノード内の I <sup>2</sup> S/TDM 送信および受信動作のレートを設定します。このサンプル・レートは、スーパーフレーム周波数(SFF は 48kHz または 44.1kHz)に基づいています。	
		0	SFF x 1
		1	SFF / 2
		2	SFF / 4
		3	SFF / A2B_I2SRRATE.RRDIV
		5	SFF x 2
		6	SFF x 4

## I2S 送信データ・オフセット・レジスタ(マスタのみ)

A2B\_I2STXOFFSETレジスタは、ノードが I2S 送信チャンネルを何個スキップしてからデータ送信を開始するかを制御します。

アドレス：0x44

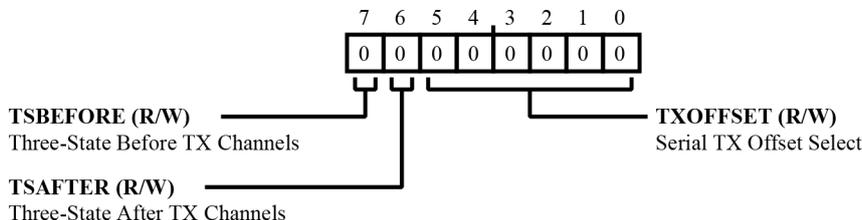


図 7-45: A2B\_I2STXOFFSET レジスタの図

表 7-46: A2B\_I2STXOFFSET レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	TSBEFORE	TX チャンネルの前にスリーステート A2B_I2STXOFFSET.TSBEFOREビットがクリアされた場合（デフォルト）、A2B_DTX0 および A2B_DTX1 ピンは、A2B_I2STXOFFSET.TXOFFSETで定義されたデータ・チャンネル数の間、各フレームの始めでローに駆動されます。このビットがセットされた場合、A2B_DTX0 および A2B_DTX1 ピンは、A2B_I2STXOFFSET.TXOFFSETで定義されたデータ・チャンネル数の間スリーステートになります。
		0   ディスエーブル
		1   イネーブル
6 (R/W)	TSAFTER	TX チャンネルの後にスリーステート A2B_I2STXOFFSET.TSAFTERビットがクリアされた場合（デフォルト）、A2B_DTX0 および A2B_DTX1 ピンは、すべての有効なチャンネルの送信後にローに駆動されます。A2B_I2STXOFFSET.TSAFTERビットがセットされた場合、A2B_DTX0 および A2B_DTX1 ピンは、すべての有効なチャンネルの送信後にスリーステートになります。
		0   ディスエーブル
		1   イネーブル

表 7-46: A2B\_I2STXOFFSET レジスタ・フィールド（続き）

ビット番号 (アクセス)	ビット名	説明
5:0 (R/W)	TXOFFSET	シリアル TX オフセットの選択。 A2B_I2STXOFFSET.TXOFFSETビット・フィールドは、ノードが I <sup>2</sup> S/TDM チャネルを何個スキップしてからデータ送信を開始するかを定義します。このフィールドの有効な値は 0~63 です。
		0   TX オフセットなし
		1   1TDM チャネル
		62   62TDM チャネル
		63   63TDM チャネル

## I2S 受信データ・オフセット・レジスタ(マスタのみ)

A2B\_I2SRXOFFSETレジスタは、ノードが I2S 受信チャンネルを何個スキップしてからデータ受信を開始するかを制御します。

アドレス：0x45

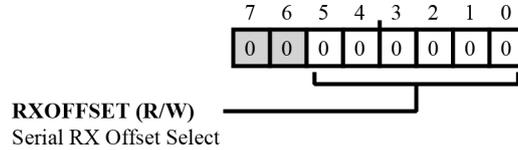


図 7-46: A2B\_I2SRXOFFSET レジスタの図

表 7-47: A2B\_I2SRXOFFSET レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5:0 (R/W)	RXOFFSET	シリアル RX オフセットの選択。 A2B_I2SRXOFFSET.RXOFFSETビット・フィールドは、ノードが I2S/TDM チャンネルを何個スキップしてからデータ受信を開始するかを定義します。このフィールドの有効な値は 0~63 です。
		0   RX オフセットなし
		62   62TDM チャンネル
		63   63TDM チャンネル

## SYNC オフセット・レジスタ(スレーブのみ)

A2B\_SYNCOFFSETレジスタは、A<sup>2</sup>B<sup>®</sup>バス・クロック( $f_{\text{SYSBCLK}}$ )が何サイクル経過したら A2B\_SYNC ピンがオーディオ・フレームの開始を示すかを調整します。すべての A<sup>2</sup>B<sup>®</sup>スレーブ・ノードは、このレジスタの設定値を使って各ノードの伝搬遅延を個別に補償することにより、全く同じ時間にサンプリングを実行できます。

A2B\_SYNCOFFSETレジスタは、いずれかのデータ・ピン・イネーブル・ビット(A2B\_I2SCFG.TX0EN、A2B\_I2SCFG.TX1EN、A2B\_I2SCFG.RX0EN、A2B\_I2SCFG.RX1EN、A2B\_PDMCTL.PDM0EN、またはA2B\_PDMCTL.PDM1EN)がセットされる前に設定する必要があります。

アドレス : 0x46

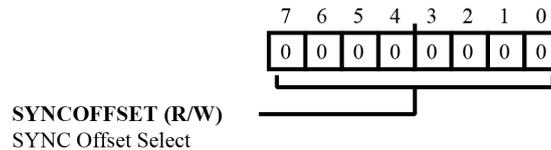


図 7-47: A2B\_SYNCOFFSETレジスタの図

表 7-48: A2B\_SYNCOFFSETレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	SYNCOFFSET	SYNC オフセットの選択。 A2B_SYNCOFFSET.SYNCOFFSETビット・フィールドは、A2B_SYNC ピンがオーディオ・フレームの開始を示すシステム・クロック・サイクルを調整します。A2B_SYNCOFFSET.SYNCOFFSETフィールドに設定される値は、スーパーフレームが始まる前に SYSBCLK 何サイクルだけ SYNC 信号をずらすかを定義する整数値を、8ビットの符号付き2の補数で表す値です。このフィールドの有効な値の範囲は、SYNC オフセットなし(0x00)から、スーパーフレームの開始前 127 サイクルで SYNC 発生(0x81)までです。
		0   オフセットなし
		1-128   予備
		129   127SYSBCLK サイクル
		130-254   (それぞれ) 126~2SYSBCLK サイクル
		255   1SYSBCLK サイクル

# PDM コントロール・レジスタ

A2B\_PDMCTLレジスタには、パルス密度変調器のイネーブル・ビットがあります。

アドレス : 0x47

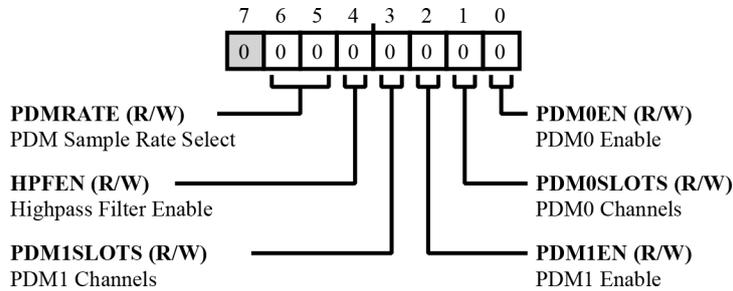


図 7-48: A2B\_PDMCTL レジスタの図

表 7-49: A2B\_PDMCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
6:5 (R/W)	PDMRATE	PDM サンプル・レートの選択。 A2B_PDMCTL.PDMRATEビット・フィールドは、スーパーフレーム・レート(SFF)に基づく PDM 復調器の出力レートを制御します。A2B_PDMCTL.PDMRATEフィールドを変更しても、PDM クロック周波数は変化しません。スレーブ・ノードの場合、ノードを低減レートに設定すると、SYNC および PDM クロック周波数が変化します。スレーブ・ノードを高速レートに設定すると、SYNC のみが変わります。PDM クロック周波数は 3.07MHz のままになります。
		0   SFF
		1   SFF/2
		2   SFF/4
		3   予備
4 (R/W)	HPFEN	ハイパス・フィルタ・イネーブル。 A2B_PDMCTL.HPFENビットは、受信した PDM データにハイパス・フィルタを使用するかどうかを制御します。
		0   デイスエーブル 1   イネーブル
3 (R/W)	PDM1SLOTS	PDM1 チャンネル。 A2B_PDMCTL.PDM1SLOTSビットは、A2B_DRX1 ピン上の PDM 信号が 1 チャンネル(モノ)か 2 チャンネル(ステレオ)かを制御します。
		0   モノ 1   ステレオ

表 7-49: A2B\_PDMCTL レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
2 (R/W)	PDM1EN	PDM1 イネーブル。 A2B_PDMCTL.PDM1ENビットは、A2B_DRX1/A2B_IO6 ピン上での PDM の受信をイネーブルにします。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	PDM0SLOTS	PDM0 チャンネル。 A2B_PDMCTL.PDM0SLOTSビットは、A2B_DRX0 ピン上の PDM 信号が 1 チャンネル(モノ)か 2 チャンネル(ステレオ)かを制御します。
		0   モノ
		1   ステレオ
0 (R/W)	PDM0EN	PDM0 イネーブル。 A2B_PDMCTL.PDM0ENビットは、A2B_DRX0/A2B_IO5 ピン上での PDM の受信をイネーブルにします。
		0   ディスエーブル
		1   イネーブル

# エラー管理レジスタ

A2B\_ERRMGMTレジスタは、I<sup>2</sup>S/TDM インターフェースを介した通信エラーの通知方法を制御します。

アドレス : 0x48

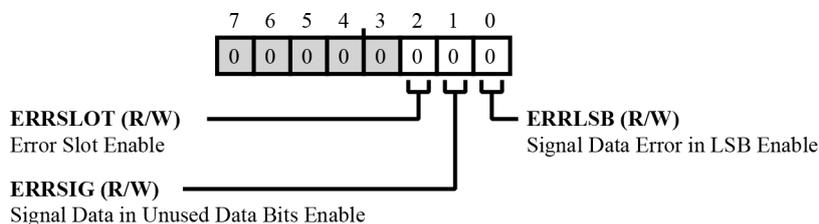


図 7-49: A2B\_ERRMGMT レジスタの図

表 7-50: A2B\_ERRMGMT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
2 (R/W)	ERRSLOT	エラー・スロット・イネーブル。 A2B_ERRMGMT.ERRSLOTビットをセットすると、トランシーバーは TDM ストリームに追加の I <sup>2</sup> S/TDM データ・チャンネルを付加して受信データ・スロット内の A <sup>2</sup> B <sup>®</sup> エラーを示します。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	ERRSIG	未使用データ・ビット内の信号データのイネーブル。 A2B_ERRMGMT.ERRSIGがセットされた場合、各 I <sup>2</sup> S/TDM チャンネル内の未使用データ・ビットでデータ・エラーを示します。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	ERRLSB	LSB 内の信号データ・エラーのイネーブル。 A2B_ERRMGMT.ERRLSBビットがセットされた場合、各 I <sup>2</sup> S/TDM サンプルの LSB がアクティブ・ハイのステータス・ビットで置き換えられ、データ・スロット内にエラーがあることを示します (1= エラー、0 = エラーなし)。
		0   ディスエーブル
		1   イネーブル

## GPIO 出力データ・レジスタ

A2B\_GPIODATレジスタは、汎用 I/O ピンの出力データを制御します。

アドレス : 0x4A

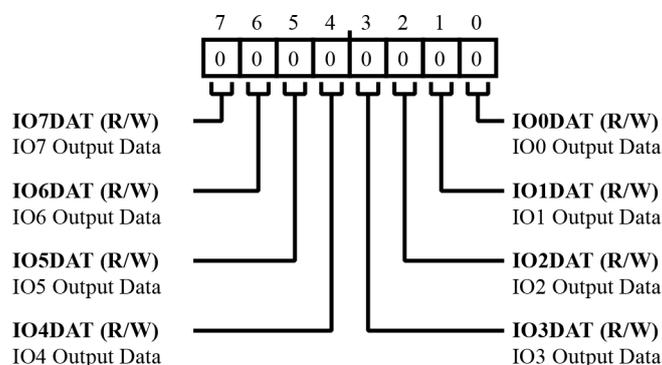


図 7-50: A2B\_GPIODAT レジスタの図

表 7-51: A2B\_GPIODAT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IO7DAT	IO7 の出力データ。 IO7 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO7OEN=1)、A2B_GPIODAT.IO7DAT ビットの値は IO7 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ
6 (R/W)	IO6DAT	IO6 の出力データ。 IO6 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO6OEN=1)、A2B_GPIODAT.IO6DAT ビットの値は IO6 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ
5 (R/W)	IO5DAT	IO5 の出力データ。 IO5 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO5OEN=1)、A2B_GPIODAT.IO5DAT ビットの値は IO5 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ

表 7-51: A2B\_GPIODAT レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	IO4DAT	IO4 の出力データ。 IO4 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO4OEN=1)、A2B_GPIODAT.IO4DAT ビットの値は IO4 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ
3 (R/W)	IO3DAT	IO3 の出力データ。 IO3 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO3OEN=1)、A2B_GPIODAT.IO3DAT ビットの値は IO3 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ
2 (R/W)	IO2DAT	IO2 の出力データ。 IO2 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO2OEN=1)、A2B_GPIODAT.IO2DAT ビットの値は IO2 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ
1 (R/W)	IO1DAT	IO1 の出力データ。 IO1 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO1OEN=1)、A2B_GPIODAT.IO1DAT ビットの値は IO1 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ
0 (R/W)	IO0DAT	IO0 の出力データ。 IO0 ピンが GPIO モードで、ピンの出力ドライバがイネーブルになっている場合 (A2B_GPIIOEN.IO0OEN=1)、A2B_GPIODAT.IO0DAT ビットの値は IO0 ピンに駆動されます。
		0   出力ロー
		1   出力ハイ

## GPIO 出力データ・セット・レジスタ

A2B\_GPIODATSETレジスタにより、他の GPIO 出力レジスタ・ビットの状態に影響を与えずに、個々の GPIO 出力レジスタ・ビットを設定できます(1 を書き込んでセット)。このアドレスから値を読み出すと、GPIO 出力データ(A2B\_GPIODAT)レジスタの値が返されます。

アドレス : 0x4B

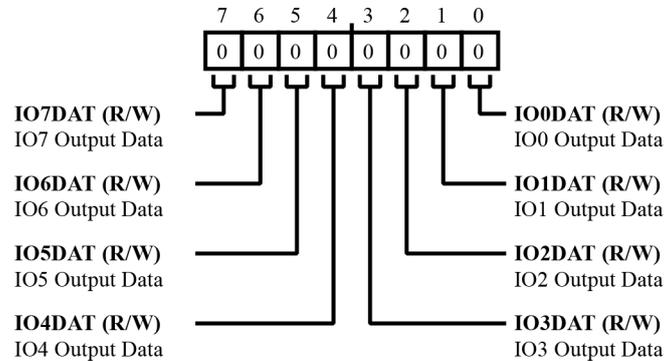


図 7-51: A2B\_GPIODATSET レジスタの図

表 7-52: A2B\_GPIODATSET レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W1S)	IO7DSET	IO7 データのセット。 A2B_GPIODATSET.IO7DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO7DATビットに対して実行します。
		0 動作なし
		1 ビットをセット
6 (R/W1S)	IO6DSET	IO6 データのセット。 A2B_GPIODATSET.IO6DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO6DATビットに対して実行します。
		0 動作なし
		1 ビットをセット
5 (R/W1S)	IO5DSET	IO5 データのセット。 A2B_GPIODATSET.IO5DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO5DATビットに対して実行します。
		0 動作なし
		1 ビットをセット

表 7-52: A2B\_GPIODATSET レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/WIS)	IO4DSET	IO4 データのセット。 A2B_GPIODATSET.IO4DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO4DATビットに対して実行します。
		0   動作なし
		1   ビットをセット
3 (R/WIS)	IO3DSET	IO3 データのセット。 A2B_GPIODATSET.IO3DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO3DATビットに対して実行します。
		0   動作なし
		1   ビットをセット
2 (R/WIS)	IO2DSET	IO2 データのセット。 A2B_GPIODATSET.IO2DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO2DATビットに対して実行します。
		0   動作なし
		1   ビットをセット
1 (R/WIS)	IO1DSET	IO1 データのセット。 A2B_GPIODATSET.IO1DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO1DATビットに対して実行します。
		0   動作なし
		1   ビットをセット
0 (R/WIS)	IO0DSET	IO0 データのセット。 A2B_GPIODATSET.IO0DSETビットは、1 を書き込んでセットの動作を A2B_GPIODAT.IO0DATビットに対して実行します。
		0   動作なし
		1   ビットをセット

## GPIO 出力データ・クリア・レジスタ

A2B\_GPIODATCLRレジスタにより、他の GPIO 出力レジスタ・ビットの状態に影響を与えずに、個々の GPIO 出力レジスタ・ビットを 0 にクリアできます (1 を書き込んでクリア)。このアドレスから値を読み出すと、GPIO 出力データ (A2B\_GPIODAT) レジスタの値が返されます。

アドレス : 0x4C

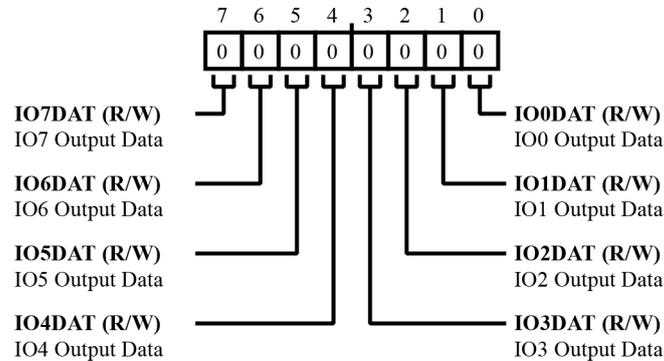


図 7-52: A2B\_GPIODATCLR レジスタの図

表 7-53: A2B\_GPIODATCLR レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W1C)	IO7DCLR	IO7 データのクリア。 A2B_GPIODATCLR.IO7DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO7DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア
6 (R/W1C)	IO6DCLR	IO6 データのクリア。 A2B_GPIODATCLR.IO6DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO6DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア
5 (R/W1C)	IO5DCLR	IO5 データのクリア。 A2B_GPIODATCLR.IO5DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO5DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア

表 7-53: A2B\_GPIODATCLR レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W1C)	IO4DCLR	IO4 データのクリア。 A2B_GPIODATCLR.IO4DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO4DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア
3 (R/W1C)	IO3DCLR	IO3 データのクリア。 A2B_GPIODATCLR.IO3DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO3DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア
2 (R/W1C)	IO2DCLR	IO2 データのクリア。 A2B_GPIODATCLR.IO2DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO2DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア
1 (R/W1C)	IO1DCLR	IO1 データのクリア。 A2B_GPIODATCLR.IO1DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO1DATビットに対して実行します。
		0   動作なし
		1   ビットをクリア
0 (R/W1C)	IO0DCLR	IO0 データのクリア。 A2B_GPIODATCLR.IO0DCLRビットは、1 を書き込んでクリアの動作を A2B_GPIODAT.IO0DATビットに対して実行します。このピンにデータを出力 できるのは、スレーブ・ノードのみです。
		0   動作なし
		1   ビットをクリア

## GPIO 出力イネーブル・レジスタ

A2B\_GPIOOENレジスタは、汎用 I/O ピンの出力イネーブルを制御します。

アドレス : 0x4D

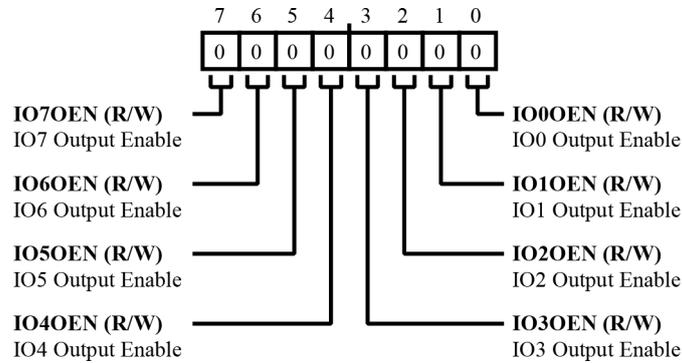


図 7-53: A2B\_GPIOOENレジスタの図

表 7-54: A2B\_GPIOOENレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IO7OEN	IO7 出力イネーブル。 IO7ピンが GPIO モードの場合、A2B_GPIOOEN.IO7OENビットは、IO7ピンを出力として設定します。
		0   デisable
		1   イネーブル
6 (R/W)	IO6OEN	IO6 出力イネーブル。 DRX1/IO6ピンが GPIO モードの場合、A2B_GPIOOEN.IO6OENビットは、DRX1/IO6ピンを出力として設定します。
		0   デisable
		1   イネーブル
5 (R/W)	IO5OEN	IO5 出力イネーブル。 DRX0/IO5ピンが GPIO モードの場合、A2B_GPIOOEN.IO5OENビットは、DRX0/IO5ピンを出力として設定します。
		0   デisable
		1   イネーブル

表 7-54: A2B\_GPIOOEN レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	IO4OEN	IO4 出力イネーブル。 DTX1/IO4 ピンが GPIO モードの場合、A2B_GPIOOEN.IO4OENビットは、DTX1/IO4 ピンを出力として設定します。
		0   ディスエーブル
		1   イネーブル
3 (R/W)	IO3OEN	IO3 出力イネーブル。 DTX0/IO3 ピンが GPIO モードの場合、A2B_GPIOOEN.IO3OENビットは、DTX0/IO3 ピンを出力として設定します。
		0   ディスエーブル
		1   イネーブル
2 (R/W)	IO2OEN	IO2 出力イネーブル。 ADR2/IO2 ピンが GPIO モードの場合、A2B_GPIOOEN.IO2OENビットは、ADR2/IO2 ピンを出力として設定します。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	IO1OEN	IO1 出力イネーブル。 ADR1/IO1 ピンが GPIO モードの場合、A2B_GPIOOEN.IO1OENビットは、ADR1/IO1 ピンを出力として設定します。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	IO0OEN	IO0 出力イネーブル。 IRQ/IO0 ピンが GPIO モードの場合、A2B_GPIOOEN.IO0OENビットは、IRQ/IO0 ピンを出力として設定します。マスタ・ノード内で A2B_GPIOOEN.IO0OENビットを設定しても影響はありません。このピンにデータを出力できるのは、スレーブ・ノードのみです。
		0   ディスエーブル
		1   イネーブル

## GPIO 入力イネーブル・レジスタ

A2B\_GPIOIENレジスタは、汎用 I/O ピンの入力イネーブルを制御します。

アドレス : 0x4E

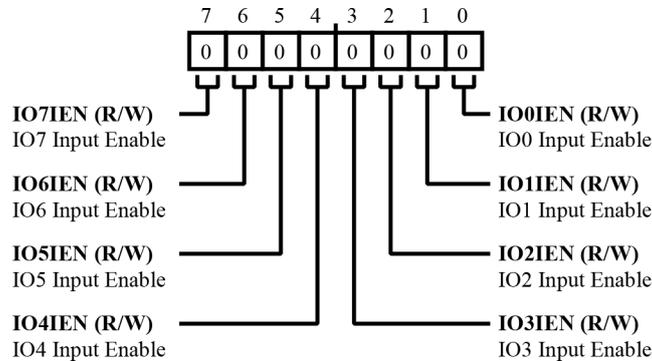


図 7-54: A2B\_GPIOIEN レジスタの図

表 7-55: A2B\_GPIOIEN レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IO7IEN	IO7 入力イネーブル。 A2B_GPIOIEN.IO7IENビットは、IO7ピンの入力イネーブルです。
		0   デisable
		1   イネーブル
6 (R/W)	IO6IEN	IO6 入力イネーブル。 A2B_GPIOIEN.IO6IENビットは、DRX1/IO6ピンの入力イネーブルです。
		0   デisable
		1   イネーブル
5 (R/W)	IO5IEN	IO5 入力イネーブル。 A2B_GPIOIEN.IO5IENビットは、DRX0/IO5ピンの入力イネーブルです。
		0   デisable
		1   イネーブル
4 (R/W)	IO4IEN	IO4 入力イネーブル。 A2B_GPIOIEN.IO4IENビットは、DTX1/IO4ピンの入力イネーブルです。
		0   デisable
		1   イネーブル

表 7-55: A2B\_GPIOIEN レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
3 (R/W)	IO3IEN	IO3 入力イネーブル。 A2B_GPIOIEN.IO3IENビットは、DTX0/IO3 ピンの入力イネーブルです。
		0   ディスエーブル
		1   イネーブル
2 (R/W)	IO2IEN	IO2 入力イネーブル。 A2B_GPIOIEN.IO2IENビットは、ADR2/IO2 ピンの入力イネーブルです。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	IO1IEN	IO1 入力イネーブル。 A2B_GPIOIEN.IO1IENビットは、ADR1/IO1 ピンの入力イネーブルです。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	IO0IEN	IO0 入力イネーブル。 A2B_GPIOIEN.IO0IENビットは、IRQ/IO0 ピンの入力イネーブルです。マスタ・ノード内でこのビットを設定しても影響はありません。
		0   ディスエーブル
		1   イネーブル

## GPIO 入力値レジスタ

A2B\_GPIOINレジスタは、イネーブルになっている汎用 I/O 入力ピンの値を返します。

アドレス : 0x4F

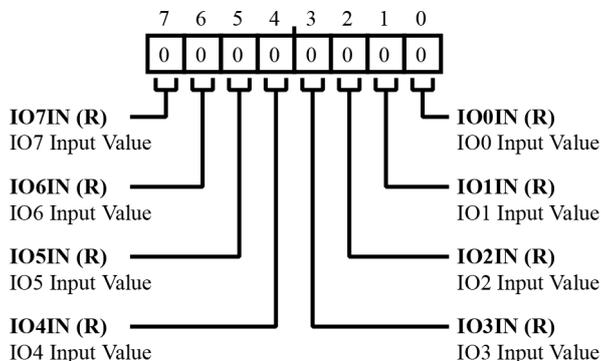


図 7-55: A2B\_GPIOIN レジスタの図

表 7-56: A2B\_GPIOIN レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/NW)	IO7IN	IO7 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO7IEN=1)、 A2B_GPIOIN.IO7IN ビットには IO7 ピンの値が格納されます。 それ以外の場合、このビットはローです。
6 (R/NW)	IO6IN	IO6 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO6IEN=1)、 A2B_GPIOIN.IO6IN ビットには DRX1/IO6 ピンの値が格納されます。 それ以外の場合、このビットはローです。
5 (R/NW)	IO5IN	IO5 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO5IEN=1)、 A2B_GPIOIN.IO5IN ビットには DRX0/IO5 ピンの値が格納されます。 それ以外の場合、このビットはローです。
4 (R/NW)	IO4IN	IO4 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO4IEN=1)、 A2B_GPIOIN.IO4IN ビットには DTX1/IO4 ピンの値が格納されます。 それ以外の場合、このビットはローです。
3 (R/NW)	IO3IN	IO3 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO3IEN=1)、 A2B_GPIOIN.IO3IN ビットには DTX0/IO3 ピンの値が格納されます。 それ以外の場合、このビットはローです。
2 (R/NW)	IO2IN	IO2 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO2IEN=1)、 A2B_GPIOIN.IO2IN ビットには ADR2/IO2 ピンの値が格納されます。 それ以外の場合、このビットはローです。

表 7-56: A2B\_GPIOIN レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
1 (R/NW)	IO1IN	IO1 の入力値。 A2B_GPIOIEN.IO1IENビットがハイの場合、A2B_GPIOIN.IO1INビットには AD1/IO1 ピンの値が格納されます。それ以外の場合、このビットはローです。
0 (R/NW)	IO0IN	IO0 の入力値。 入力 GPIO モードの場合 (A2B_GPIOIEN.IO0IEN=1)、A2B_GPIOIN.IO0INビットには IRQ/IO0 ピンの値が格納されます。それ以外の場合、このビットはローです。このビットはスレーブ・ノードでのみ意味があり、マスタ・ノードでは読出し値は常に 0 です。

# ピン割込みイネーブル・レジスタ

A2B\_PINTENレジスタは、入力イネーブルの GPIO ピンによる割込みの生成をイネーブルにします。

アドレス : 0x50

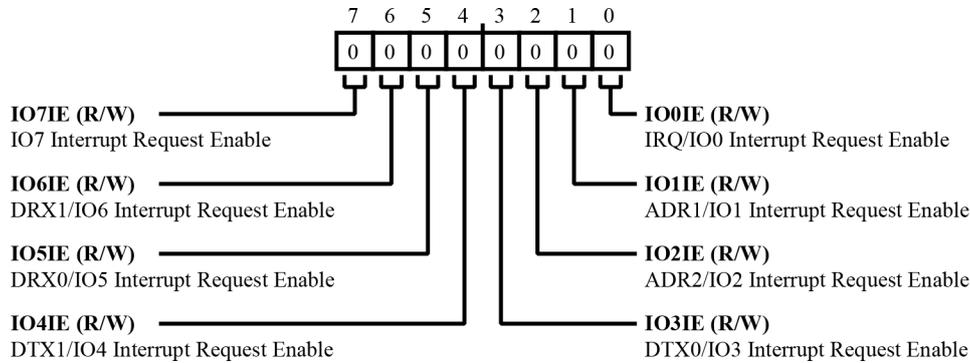


図 7-56: A2B\_PINTEN レジスタの図

表 7-57: A2B\_PINTEN レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IO7IE	IO7 割込み要求イネーブル。 A2B_PINTEN.IO7IEビットは、立上がりエッジ検出時に IO7 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル
6 (R/W)	IO6IE	DRX1/IO6 割込み要求イネーブル。 A2B_PINTEN.IO6IEビットは、立上がりエッジ検出時に DRX1/IO6 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル
5 (R/W)	IO5IE	DRX0/IO5 割込み要求イネーブル。 A2B_PINTEN.IO5IEビットは、立上がりエッジ検出時に DRX0/IO5 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル

表 7-57: A2B\_PINTEN レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	IO4IE	DTX1/IO4 割込み要求イネーブル。 A2B_PINTEN.IO4IEビットは、立上がりエッジ検出時に DTX1/IO4 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル
3 (R/W)	IO3IE	DTX0/IO3 割込み要求イネーブル。 A2B_PINTEN.IO3IEビットは、立上がりエッジ検出時に DTX0/IO3 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル
2 (R/W)	IO2IE	ADR2/IO2 割込み要求イネーブル。 A2B_PINTEN.IO2IEビットは、立上がりエッジ検出時に ADR2/IO2 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	IO1IE	ADR1/IO1 割込み要求イネーブル。 A2B_PINTEN.IO1IEビットは、立上がりエッジ検出時に IO1 入力ピンが割込み要求を生成できるようにします。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	IO0IE	IRQ/IO0 割込み要求イネーブル。 A2B_PINTEN.IO0IEビットは、立上がりエッジ検出時に IO0 入力ピンが割込み要求を生成できるようにします。マスタ・ノード内でこのビットを設定しても影響はありません。
		0   ディスエーブル
		1   イネーブル

# ピン割込み反転レジスタ

A2B\_PINTINVレジスタを使用して、割込み生成までの経路のピン入力を反転できます。

アドレス : 0x51

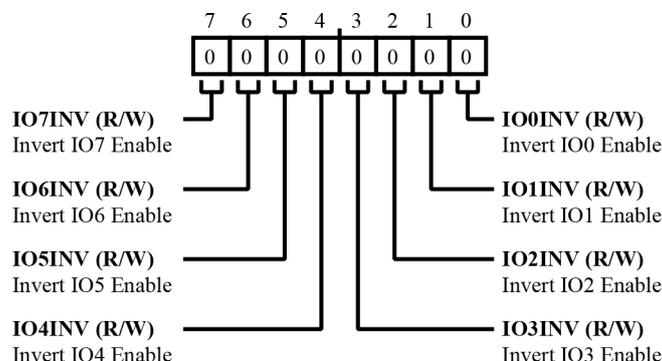


図 7-57: A2B\_PINTINV レジスタの図

表 7-58: A2B\_PINTINV レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IO7INV	IO7 反転イネーブル。 A2B_PINTINV.IO7INVビットをセットすると、IO7ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル
6 (R/W)	IO6INV	IO6 反転イネーブル。 A2B_PINTINV.IO6INVビットをセットすると、DRX1/IO6ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル
5 (R/W)	IO5INV	IO5 反転イネーブル。 A2B_PINTINV.IO5INVビットをセットすると、DRX0/IO5ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル

表 7-58: A2B\_PINTINV レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	IO4INV	IO4 反転イネーブル。 A2B_PINTINV.IO4INVビットをセットすると、DTX1/IO4 ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル
3 (R/W)	IO3INV	IO3 反転イネーブル。 A2B_PINTINV.IO3INVビットをセットすると、DTX0/IO3 ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル
2 (R/W)	IO2INV	IO2 反転イネーブル。 A2B_PINTINV.IO2INVビットをセットすると、ADR2/IO2 ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	IO1INV	IO1 反転イネーブル。 A2B_PINTINV.IO1INVビットをセットすると、ADR1/IO1 ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	IO0INV	IO0 反転イネーブル。 A2B_PINTINV.IO0INVビットをセットすると、IRQ/IO0 ピン割込み要求入力の極性が反転し、立上がりエッジ(デフォルト)ではなく、ピン上で検出される立下がりエッジで割込みが生成されます。マスタ・ノード内でこのビットを設定しても影響はありません。
		0   ディスエーブル
		1   イネーブル

## ピン設定レジスタ

A2B\_PINCFGレジスタは、デジタル・ピンの様々な特性を設定します。

アドレス : 0x52

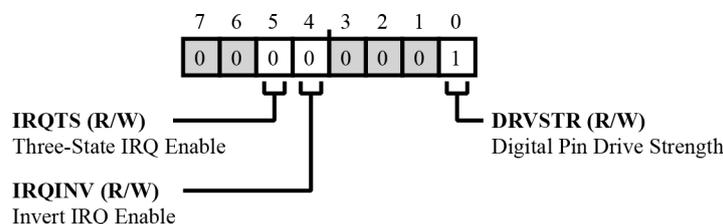


図 7-58: A2B\_PINCFG レジスタの図

表 7-59: A2B\_PINCFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5 (R/W)	IRQTS	スリープ状態 IRQ イネーブル。 A2B_PINCFG・IRQTSビットがクリアされた場合(デフォルト)、IRQピンは常にアクティブに駆動されます。A2B_PINCFG・IRQTSビットをセットすると、トランシーバーは、割込みがアクティブなときはIRQピンを駆動し、非アクティブなときはIRQピンをスリープ状態にします。
		0   ディスエーブル
		1   イネーブル
4 (R/W)	IRQINV	IRQ反転イネーブル。 A2B_PINCFG・IRQINVビットがクリアされた場合(デフォルト)、IRQピンはアクティブ・ハイになります。A2B_PINCFG・IRQINVビットをセットすると、IRQピンはアクティブ・ローになります。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	DRVSTR	デジタル・ピンの駆動強度。 A2B_PINCFG・DRVSTRビットは、非I <sup>2</sup> Cデジタル出力ピンの駆動強度を制御します。 A2B_SCLピンとA2B_SDAピンは、常に高い強度で駆動されます。
		0   低駆動強度
		1   高駆動強度

# I2S テスト・レジスタ

A2B\_I2STESTレジスタは、I<sup>2</sup>S/TDM インターフェースの検証およびデバッグ用のテスト・モードをイネーブルにします。

アドレス : 0x53

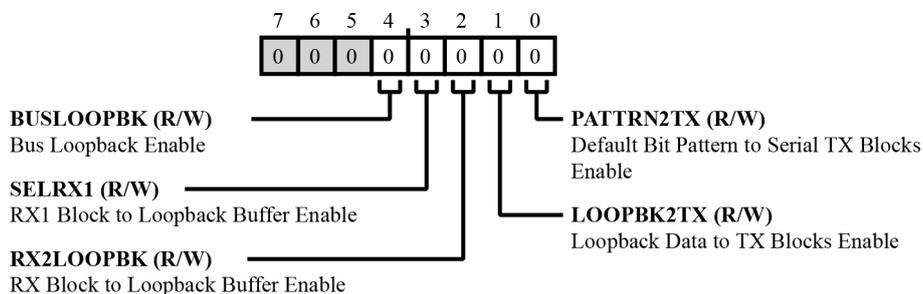


図 7-59: A2B\_I2STEST レジスタの図

表 7-60: A2B\_I2STEST レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	BUSLOOPBK	バス・ループバック・イネーブル。 A2B_I2STEST.BUSLOOPBKビットは、A2B_DTX0 ピンから A2B_DRX0 ピンへのデータ・ループバックおよび A2B_DTX1 ピンから A2B_DRX1 ピンへのデータ・ループバックをイネーブルにします。このビットがセットされた場合、A2B_I2STEST.LOOPBK2TX、A2B_I2STEST.RX2LOOPBK、および A2B_I2STEST.SELRX1は無視されます。
		0   ディスエーブル
		1   イネーブル
3 (R/W)	SELRX1	RX1 ブロックからループバック・バッファのイネーブル。 A2B_I2STEST.SELRX1ビットがクリアされた場合(デフォルト)、A2B_I2STEST.RX2LOOPBKビットがセットされると、RX0 ブロックがループバック・テストに使用されます。A2B_I2STEST.SELRX1ビットがセットされた場合、代わりに DRX1 ブロックからのデータが使用されます。
		0   ディスエーブル
		1   イネーブル
2 (R/W)	RX2LOOPBK	RX ブロックからループバック・バッファのイネーブル。 A2B_I2STEST.RX2LOOPBKビットがセットされた場合、(A2B_I2STEST.SELRX1ビットによって制御される)A2B_DRX0 または A2B_DRX1 ピン上の受信ビット・パターンが、TX フレーム・バッファに格納されます。このビットがセットされた場合、A2B_I2SCFG.RX0EN、A2B_I2SCFG.RX1EN、およびA2B_I2SCFG.RX2PINTLビットは無視されます。
		0   ディスエーブル
		1   イネーブル

表 7-60: A2B\_I2STEST レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
1 (R/W)	LOOPBK2TX	ループバック・データから TX ブロックのイネーブル。 A2B_I2STEST.LOOPBK2TXビットがセットされた場合、 (A2B_I2STEST.SELRX1ビットによって制御される)A2B_DRX0 または A2B_DRX1 ピンで受信したデータが、A2B_DTX0 および A2B_DTX1 ピンに 送信されます。A2B_I2STEST.LOOPBK2TXビットがセットされているとき、 A2B_I2STEST.RX2LOOPBKビットがセットされない場合、デフォルトのビット・ パターンがすべてのチャンネルで送信されます。 A2B_I2STEST.LOOPBK2TXビットがセットされているとき、 A2B_I2STEST.RX2LOOPBKビットがクリアされた場合は、最後に受信したフ レームが繰り返されます。このビットがセットされた場合、 A2B_I2SCFG.TX0EN、A2B_I2SCFG.TX1EN、および A2B_I2SCFG.TX2PINTL ビットは無視されます。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	PATTRN2TX	デフォルトのビット・パターンからシリアル TX ブロックのイネーブル。 A2B_I2STEST.PATTRN2TXビットがセットされた場合、デフォルトのビット・パ ターン(最大 32 ビット)がすべてのチャンネルで A2B_DTX0 および A2B_DTX1 ピン上に送信されます。このビットがセットされた場合、 A2B_I2SCFG.TX0EN、A2B_I2SCFG.TX1EN、および A2B_I2SCFG.TX2PINTLビットは無視されます。 A2B_I2STEST.LOOPBK2TXビットがセットされた場合、このビットは無視され ます。
		0   ディスエーブル
		1   イネーブル

## 割込み生成レジスタ

A2B\_RAISEレジスタにより、ホストはソフトウェアによってシステム内の任意のノードで割込みを発生させることができます。このレジスタには A<sup>2</sup>B<sup>®</sup>バスを介して書き込む必要があります。ローカル I<sup>2</sup>C ポートからこのレジスタへ書き込んでも影響はありません。

アドレス : 0x54

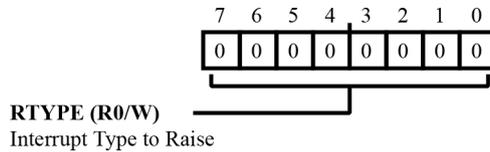


図 7-60: A2B\_RAISEレジスタの図

表 7-61: A2B\_RAISEレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
7:0 (R0/W)	RTYPE	生成する割込みタイプ A2B_RAISE.RTYPEビット・フィールドには、生成する割込みのタイプが書き込まれます。システム内の任意のノードで、任意の有効な割込みタイプを発生させることができます。RTYPE フィールドが、書込み対象ノードの有効な割込みタイプと一致しない場合、動作は何も実行されません。	
		0	HDCNTERR
		1	DDERR
		2	CRCERR
		3	DPERR
		4	BECOVF
		5	SRFERR
		6	SRFCRCERR
		9	PWRERR - 正端子からグラウンドへの短絡
		10	PWRERR - 負端子から VBat への短絡
		11	PWRERR - 短絡
		12	PWRERR - ケーブルの接続不良またはオープン・サーキットまたは誤ったポート
		13	PWRERR - ケーブルの逆接続または誤ったポート
		15	PWRERR - 未確定の障害
16	IO0PND - スレーブのみ		
17	IO1PND		
18	IO2PND		

表 7-61: A2B\_RAISE レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明	
		19	IO3PND
		20	IO4PND
		21	IO5PND
		22	IO6PND
		23	IO7PND
		24	DSCDONE - マスタのみ
		25	I2CERR - マスタのみ
		26	ICRCERR - マスタのみ
		41	PWRERR - 場所が特定されないグラウンドへの短絡
		42	PWRERR - 場所が特定されない VBat への短絡
		253	スレーブ INTTYPE 読出しエラー - マスタのみ
		254	スタンバイ終了 - マスタのみ
		255	MSTR_RUNNING - マスタのみ

## バス・エラー生成

A2B\_GENERRレジスタにより、ホストはソフトウェアによってシステム内の任意のノードからバス・エラーを生成できます。このレジスタには A<sup>2</sup>B<sup>®</sup>バスを介して書き込む必要があります。ローカル I<sup>2</sup>C ポートからこのレジスタへ書き込んでも影響はありません。

アドレス : 0x55

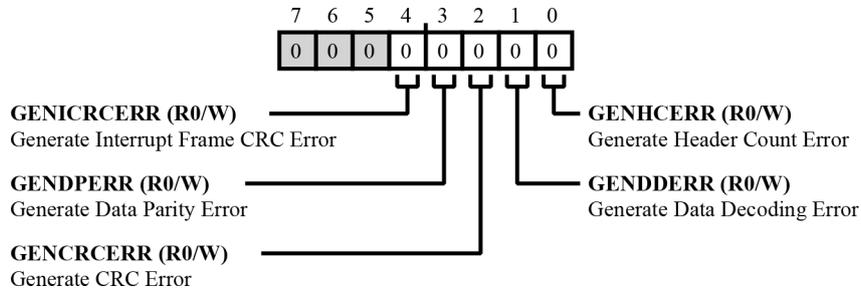


図 7-61: A2B\_GENERR レジスタの図

表 7-62: A2B\_GENERR レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
4 (R0/W)	GENICRCERR	割込みフレーム CRC エラーの生成。 A2B_GENERR.GENICRCERRビットに 1 を書き込むと、スレーブ・ノードは A <sup>2</sup> B <sup>®</sup> バス上に割込みフレーム CRC エラーを生成します。マスタ・ノード内でこのビットに 1 を書き込んでも影響はありません。
		0   動作なし
		1   エラーを生成
3 (R0/W)	GENDPERR	データ・パリティ・エラーの生成。 A2B_GENERR.GENDPERRビットに 1 を書き込むと、ノードは A <sup>2</sup> B <sup>®</sup> バス上にデータ・パリティ・エラーを生成します。
		0   動作なし
		1   エラーを生成
2 (R0/W)	GENCRCERR	CRC エラーの生成。 A2B_GENERR.GENCRCERRビットに 1 を書き込むと、ノードは A <sup>2</sup> B <sup>®</sup> バス上にCRC エラーを生成します。
		0   動作なし
		1   エラーを生成

表 7-62: A2B\_GENERR レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
1 (R0/W)	GENDDERR	データ・デコード・エラーの生成。 A2B_GENERR.GENDDERRビットに 1 を書き込むと、ノードは A <sup>2</sup> B <sup>®</sup> バス上に データ・デコード・エラーを生成します。
		0   動作なし
		1   エラーを生成
0 (R0/W)	GENHCERR	ヘッダ・カウント・エラーの生成。 A2B_GENERR.GENHCERRビットに 1 を書き込むと、ノードは A <sup>2</sup> B <sup>®</sup> バス上に ヘッダ・カウント・エラーを生成します。
		0   動作なし
		1   エラーを生成

## I2S 低減レート・レジスタ(マスタのみ、自動ブロードキャスト)

A2B\_I2SRRATEレジスタは、スーパーフレームごとにではなく、スーパーフレームのサブセットごとにデータを供給することにより、A<sup>2</sup>B<sup>®</sup>バスのデータ・レートを低減し、バス全体の消費電力を削減する手段を提供します。

マスタ・ノード内でA2B\_I2SRRATEレジスタに書き込まれた新しい設定値は、A<sup>2</sup>B<sup>®</sup>バスを介して、すべての検出されたスレーブ・ノードに自動的にブロードキャストされます。スレーブ・ノード内でローカル・ホストがこのレジスタに書き込んでも影響はありません。

アドレス：0x56

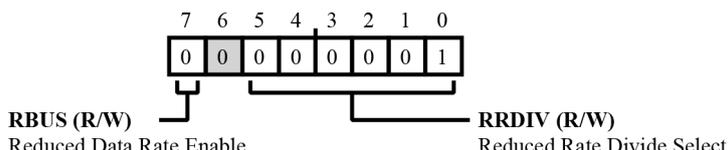


図 7-62: A2B\_I2SRRATE レジスタの図

表 7-63: A2B\_I2SRRATE レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RBUS	低減データ・レート・イネーブル。 A2B_I2SRRATE.RBUSビットがセットされた場合、バスは低減レート・データ・スロットに設定されます。このモードでは、ダウンストリーム・データとアップストリーム・データはA2B_I2SRRATE.RRDIV個のスーパーフレームごとに1回だけ供給されます。
		0   ディスエーブル
		1   イネーブル
5:0 (R/W)	RRDIV	低減レート分周の選択。 A2B_I2SRRATE.RRDIVビット・フィールドは、バス上でI <sup>2</sup> S/TDMデータがアクティブになるスーパーフレーム・レートを設定します。例えば、A2B_I2SRRATE.RRDIV=16の場合、I <sup>2</sup> S/TDMデータは、スーパーフレームごとにではなく、16番目のスーパーフレームごとにアクティブになります。このフィールドの有効な設定値は、表に記載された値だけです。
		1   スーパーフレーム周波数 (SFF)
		2   SFF/2
		4   SFF/4
		8   SFF/8
		12   SFF/12
		16   SFF/16
		20   SFF/20
		24   SFF/24
		28   SFF/28

表 7-63: A2B\_I2SRRATE レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明	
		32	SFF/32

## I2S 低減レート・コントロール・レジスタ

A2B\_I2SRCTLレジスタの各ビットは、I<sup>2</sup>S 低減レート・ストローブを制御します。

アドレス : 0x57

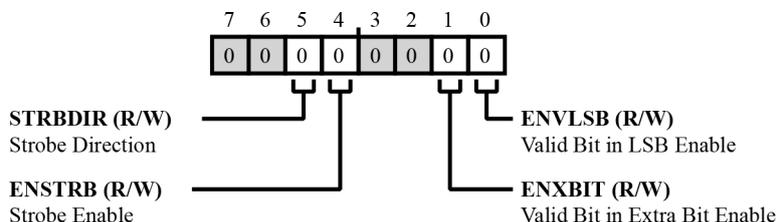


図 7-63: A2B\_I2SRCTL レジスタの図

表 7-64: A2B\_I2SRCTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5 (R/W)	STRBDIR	ストローブの方向。 ストローブ信号は、入力として設定されている場合、バス上のフレームのタイミングに影響を与えます。N で分周された低減レートの場合、ストローブは N 個のフレームごとに 1 回ハイになります。
		0   入力
		1   出力
4 (R/W)	ENSTRB	ストローブ・イネーブル。 A2B_I2SRCTL.ENSTRBビットがセットされた場合、IO7 ピンがストローブとして使用され、低減レート・データが更新されたオーディオ・フレームを示します。
1 (R/W)	ENXBIT	追加ビット内の有効ビットのイネーブル。 A2B_I2SRCTL.ENXBITビットは、バスから低減レート・データを受信するフルレート・スレーブ内でのみ意味があります。このビットは、バス上に伝送されるデータには影響を与えません。A2B_I2SRCTL.ENXBITビットがセットされた場合、各 I <sup>2</sup> S/TDM チャンネル内の LSB の後のビットは、新しいデータを含むスーパーフレームでハイになり、その他のフレームでローになります。
0 (R/W)	ENVLSB	LSB 内の有効ビットのイネーブル。 低減レート・スレーブ内で A2B_I2SRCTL.ENVLSBビットがセットされた場合、データ・フィールドの LSB は、新しいデータでハイになり、繰り返されるデータでローになります。A2B_I2SRCTL.ENVLSBビットは、スレーブ・ノード内でのみ有効です。低減レート・スレーブ・ノードが A2B_I2SRCTL.ENVLSB をセットし、受信側マスタの A2B_I2SRCTL.ENXBITビットがセットされた場合、TDM データ・チャンネルの出力は、最初にサンプリングされるワードで xxxx11 になり、繰り返されるサンプルで xxxx00 になります。また、低減レート・スレーブ内で A2B_I2SRATE.SHAREビットがセットされた場合、LSB (追加ビット) は、最初のデータ・サンプルでハイになり、その他のサンプルでローになります。

## I2S 低減レート SYNC オフセット・レジスタ(スレーブのみ)

A2B\_I2SRRSOFFSレジスタは、スレーブ・ノードの SYNC オフセットを制御します。

アドレス : 0x58

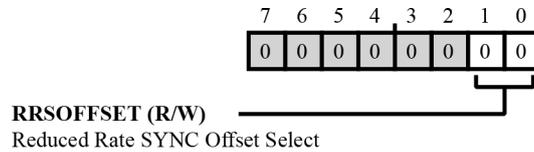


図 7-64: A2B\_I2SRRSOFFS レジスタの図

表 7-65: A2B\_I2SRRSOFFS レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
1:0 (R/W)	RRSOFFSET	低減レート SYNC オフセットの選択。 A2B_I2SRRSOFFS.RRSOFFSETビット・フィールドに N を書き込むと、低減 I <sup>2</sup> S/TDM レートを使用するスレーブ・ノードは、SYNC エッジを N スーパーフレームだけ左にオフセットします。低減レート・スレーブの A2B_I2SRATE.SHAREビットがセットされた場合、このフィールドの設定値は 0 または 1 に限られます。	
		0	オフセットなし
		1	1 スーパーフレーム早い
		2	2 スーパーフレーム早い
		3	3 スーパーフレーム早い

# CLKOUT1 設定レジスタ

A2B\_CLK1CFGレジスタは、A2B\_ADR1/A2B\_IO1 ピンの出力クロックのイネーブルと周波数を設定します。

アドレス : 0x59

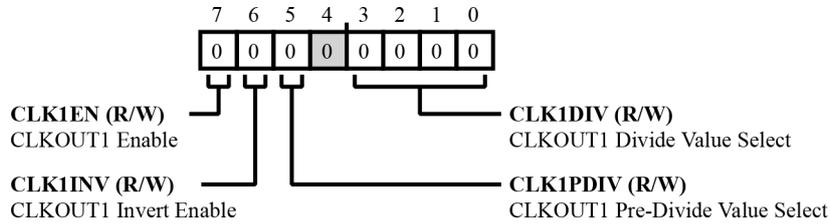


図 7-65: A2B\_CLK1CFG レジスタの図

表 7-66: A2B\_CLK1CFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	CLK1EN	CLKOUT1 イネーブル。 A2B_CLK1CFG.CLK1ENビットがセットされた場合、ADR1/IO1 ピンはクロック出力として設定され、ADR1/IO1 ピンの GPIO 機能はディスエーブルになります。
		0   ディスエーブル
		1   イネーブル
6 (R/W)	CLK1INV	CLKOUT1 反転イネーブル。 A2B_CLK1CFG.CLK1INV ビットがセットされた場合、ADR1/IO1 ピンへのクロック出力は反転されます(位相が 180° ずれます)。
		0   ディスエーブル
		1   イネーブル
5 (R/W)	CLK1PDIV	CLKOUT1 の事前分周値の選択。 A2B_CLK1CFG.CLK1PDIVビットは、PLL クロックからの 2 または 32 の事前分周値を選択します。48kHz のサンプル周波数では、PLL クロックの周波数は 98.304MHz です。PLL クロックはサンプル周波数の 2048 倍です。
		0   事前分周値は 2
		1   事前分周値は 32
3:0 (R/W)	CLK1DIV	CLKOUT1 の分周値の選択。 A2B_CLK1CFG.CLK1DIVビット・フィールドは、事前分周済みのクロックがピンに出力される前に適用される、2~32 の範囲内の分周値を選択します。分周比は $2 * (CLK1DIV + 1)$ です。

## CLKOUT2 設定レジスタ

A2B\_CLK2CFGレジスタは、A2B\_ADR2/A2B\_IO2 ピンの出力クロックのイネーブルと周波数を設定します。

アドレス : 0x5A

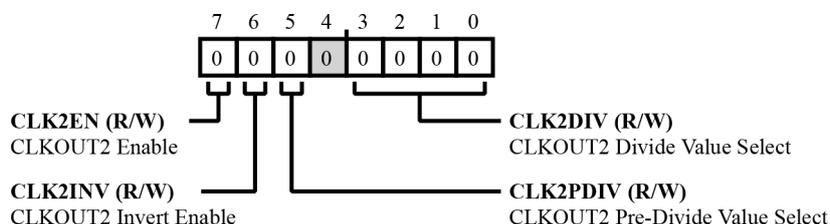


図 7-66: A2B\_CLK2CFG レジスタの図

表 7-67: A2B\_CLK2CFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	CLK2EN	CLKOUT2 イネーブル。 A2B_CLK2CFG.CLK2ENビットがセットされた場合、ADR2/IO2 ピンはクロック出力として設定され、ADR2/IO2 ピンの GPIO 機能はディスエーブルになります。
		0   ディスエーブル
		1   イネーブル
6 (R/W)	CLK2INV	CLKOUT2 反転イネーブル。 A2B_CLK2CFG.CLK2INV ビットがセットされた場合、ADR2/IO2 ピンへのクロック出力は反転されます(位相が 180° ずれます)。
		0   ディスエーブル
		1   イネーブル
5 (R/W)	CLK2PDIV	CLKOUT2 の事前分周値の選択。 A2B_CLK2CFG.CLK2PDIVビットは、PLL クロックからの 2 または 32 の事前分周値を選択します。
		0   事前分周値は 2
		1   事前分周値は 32
3:0 (R/W)	CLK2DIV	CLKOUT2 の分周値の選択。 A2B_CLK2CFG.CLK2DIVビット・フィールドは、事前分周済みのクロックがピンに出力される前に適用される、2~32 の範囲内の分周値を選択します。分周比は $2 * (CLK2DIV + 1)$ です。

# バス・モニタ・モード設定レジスタ

A2B\_BMMCFGレジスタは、バス・モニタ・モードを設定します。

アドレス : 0x5B

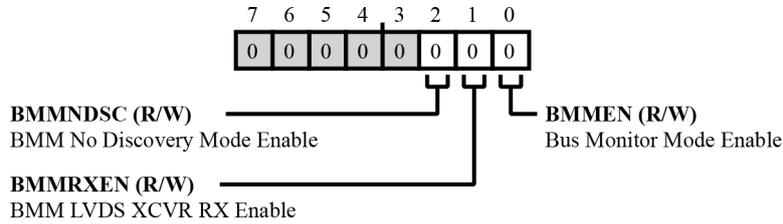


図 7-67: A2B\_BMMCFGレジスタの図

表 7-68: A2B\_BMMCFGレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
2 (R/W)	BMMNDSC	BMM 検出なしモード・イネーブル。 A2B_BMMCFG.BMMNDSCビットを使用して、バス・モニタ・モードの検出なしモードをイネーブルにします。
		0   ディスエーブル
		1   イネーブル
1 (R/W)	BMMRXEN	BMM LVDS XCVR RX イネーブル。 A2B_BMMCFG.BMMRXENビットを使用して、バス・モニタ・モードの LVDS RX をイネーブルにします。
		0   ディスエーブル
		1   イネーブル
0 (R/W)	BMMEN	バス・モニタ・モード・イネーブル。 A2B_BMMCFG.BMMENビットを使用して、バス・モニタ・モードをイネーブルにします。
		0   ディスエーブル
		1   イネーブル

## 持続設定レジスタ(スレーブのみ)

A2B\_SUSCFGレジスタを使用して、スレーブ・ノードの持続機能を設定します。

アドレス : 0x5C

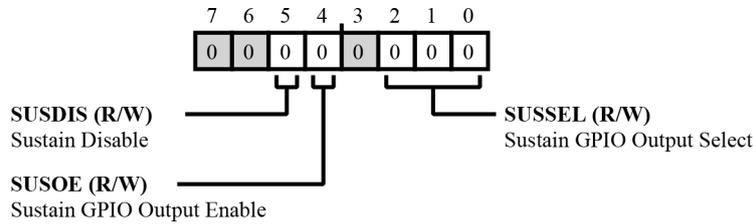


図 7-68: A2B\_SUSCFG レジスタの図

表 7-69: A2B\_SUSCFG レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
5 (R/W)	SUSDIS	持続のディスエーブル。	
		0	持続モードをイネーブル
		1	持続モードをディスエーブル
4 (R/W)	SUSOE	持続 GPIO 出力のイネーブル。	
		0	持続モードの出力をディスエーブル
		1	持続モードの出力をイネーブル
2:0 (R/W)	SUSSEL	持続 GPIO 出力の選択。	
		0	IO0 上に持続出力
		1	IO1 上に持続出力
		2	IO2 上に持続出力
		3	IO3 上に持続出力
		4	IO4 上に持続出力
		5	IO5 上に持続出力
		6	IO6 上に持続出力
		7	IO7 上に持続出力

## PDM コントロール 2 レジスタ

A2B\_PDMCTL2レジスタの設定により、PDM クロック信号およびデータ信号のルーティングと処理を変更して、様々なPDM構成に対応できます。

アドレス：0x5D

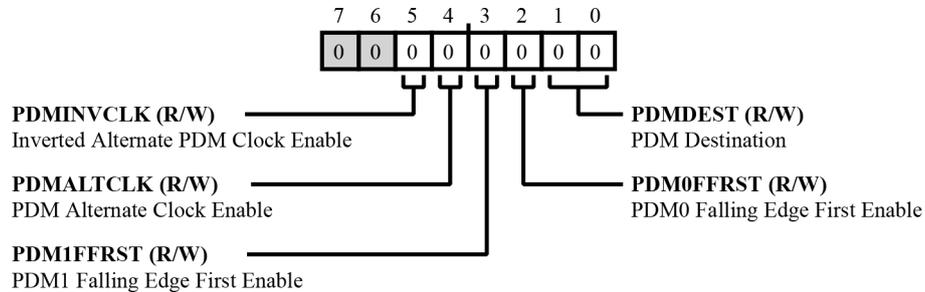


図 7-69: A2B\_PDMCTL2 レジスタの図

表 7-70: A2B\_PDMCTL2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5 (R/W)	PDMINVCLK	反転代替 PDM クロック・イネーブル。 スレーブ内でA2B_PDMCTL2.PDMINVCLKビットがセットされ、A2B_PDMCTL2.PDMALTCLKビットがセットされた場合、IO7ピンの PDMCLK の反転バージョンが BCLK ピンで駆動されます。このモードでも I <sup>2</sup> S/TDM はサポートされますが、BCLK 周波数は SYNC 周波数の 64 倍のみに制限されます。
4 (R/W)	PDMALTCLK	PDM 代替クロック・イネーブル。 A2B_PDMCTL2.PDMALTCLKビットがセットされ、少なくとも 1 つの PDM 入力ピンがイネーブルになっている場合、IO7ピンが PDMCLK クロック出力ピンとして使用されます。スレーブ・ノードでは、これにより、PDM 機能がイネーブルの場合でも、BCLK 周波数を I <sup>2</sup> S/TDM 設定から設定できます。マスタ・ノードでは、これにより、PDM クロックを入力 BCLK とは異なる周波数に設定できます。IO7 上の PDM クロックの周波数は、SYNC 周波数の 64 倍です。PDM 入力ピンが 2 本ともディスエーブルの場合 (A2B_PDMCTL.PDM0EN = A2B_PDMCTL.PDM1EN = 0)、A2B_PDMCTL2.PDMALTCLKビットは無視されます。
3 (R/W)	PDM1FFRST	PDM1 の立下がりエッジ・ファースト・イネーブル。 A2B_PDMCTL2.PDM1FFRSTビットがクリアされた場合 (デフォルト)、DRX1 ピンの PDM1 データは立上がりエッジから先にサンプリングされます。 A2B_PDMCTL2.PDM1FFRSTビットがセットされた場合、DRX1 ピンは立下がりエッジから先にサンプリングされます。
2 (R/W)	PDM0FFRST	PDM0 の立下がりエッジ・ファースト・イネーブル。 A2B_PDMCTL2.PDM0FFRSTビットがクリアされた場合 (デフォルト)、DRX0 ピンの PDM0 データは立上がりエッジから先にサンプリングされます。 A2B_PDMCTL2.PDM0FFRSTビットがセットされた場合、DRX0 ピンは立下がりエッジから先にサンプリングされます。

表 7-70: A2B\_PDMCTL2 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
1:0 (R/W)	PDMDEST	PDM デスティネーション。 A2B_PDMCTL2.PDMDESTビット・フィールドは、PDM データがどのようにルーティングされるかを選択します。デフォルトでは、DRX0 および DRX1 ピンで受信した PDM データは、復調後に A <sup>2</sup> B <sup>®</sup> バスに送信されます。復調されたデータは、1 本以上の DTXn ピンを使用して、I <sup>2</sup> S/TDM ポートを介してローカル・ノードへのルーティングも可能です。
		0 (デフォルト) A <sup>2</sup> B <sup>®</sup> バスのみ
		1 DTXn ピンのみ
		2 A <sup>2</sup> B <sup>®</sup> バスと DTXn ピン
		3 予備

## アップストリーム・データ RX マスク 0 レジスタ(スレーブのみ)

A2B\_UPMASK0レジスタは、A<sup>2</sup>B<sup>®</sup>バスからどのアップストリーム・データ・スロット(0~7)を受信するかを指定します。これらのデータ・スロットは、FS/TDM を介して送信することができ、(A2B\_LDNSLOTSレジスタによって定義される)スーパーフレームのダウンストリーム部分でスレーブ・ノードが受信するダウンストリーム・スロットの後に続きます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x60

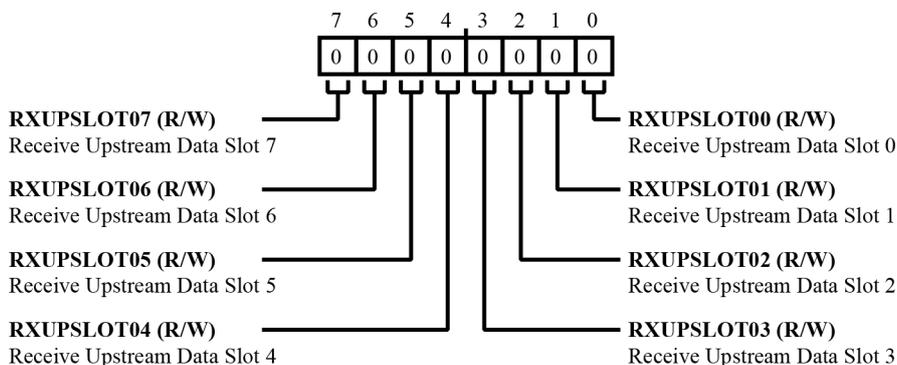


図 7-70: A2B\_UPMASK0 レジスタの図

表 7-71: A2B\_UPMASK0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXUPSLOT07	アップストリーム・データ・スロット 7 を受信。 A2B_UPMASK0.RXUPSLOT07ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 7 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 7 の RX ディスエーブル
		1    アップストリーム・データ・スロット 7 の RX イネーブル
6 (R/W)	RXUPSLOT06	アップストリーム・データ・スロット 6 を受信。 A2B_UPMASK0.RXUPSLOT06ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 6 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 6 の RX ディスエーブル
		1    アップストリーム・データ・スロット 6 の RX イネーブル
5 (R/W)	RXUPSLOT05	アップストリーム・データ・スロット 5 を受信。 A2B_UPMASK0.RXUPSLOT05ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 5 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 5 の RX ディスエーブル
		1    アップストリーム・データ・スロット 5 の RX イネーブル

表 7-71: A2B\_UPMASK0 レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXUPSLOT04	アップストリーム・データ・スロット 4 を受信。 A2B_UPMASK0.RXUPSLOT04 ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 4 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 4 の RX ディス エーブル
		1    アップストリーム・データ・スロット 4 の RX イネーブ ル
3 (R/W)	RXUPSLOT03	アップストリーム・データ・スロット 3 を受信。 A2B_UPMASK0.RXUPSLOT03 ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 3 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 3 の RX ディス エーブル
		1    アップストリーム・データ・スロット 3 の RX イネーブ ル
2 (R/W)	RXUPSLOT02	アップストリーム・データ・スロット 2 を受信。 A2B_UPMASK0.RXUPSLOT02 ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 2 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 2 の RX ディス エーブル
		1    アップストリーム・データ・スロット 2 の RX イネーブ ル
1 (R/W)	RXUPSLOT01	アップストリーム・データ・スロット 1 を受信。 A2B_UPMASK0.RXUPSLOT01 ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 1 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 1 の RX ディス エーブル
		1    アップストリーム・データ・スロット 1 の RX イネーブ ル
0 (R/W)	RXUPSLOT00	アップストリーム・データ・スロット 0 を受信。 A2B_UPMASK0.RXUPSLOT00 ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 0 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 0 の RX ディス エーブル
		1    アップストリーム・データ・スロット 0 の RX イネーブ ル

## アップストリーム・データ RX マスク 1 レジスタ(スレーブのみ)

A2B\_UPMASK1レジスタは、A<sup>2</sup>B<sup>®</sup>バスからどのアップストリーム・データ・スロット(8~15)を受信するかを指定します。これらのデータ・スロットは、PS/TDM を介して送信することができ、(A2B\_LDNSLOTSレジスタによって定義される)スーパーフレームのダウンストリーム部分でスレーブ・ノードが受信するダウンストリーム・スロットの後に続きます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x61

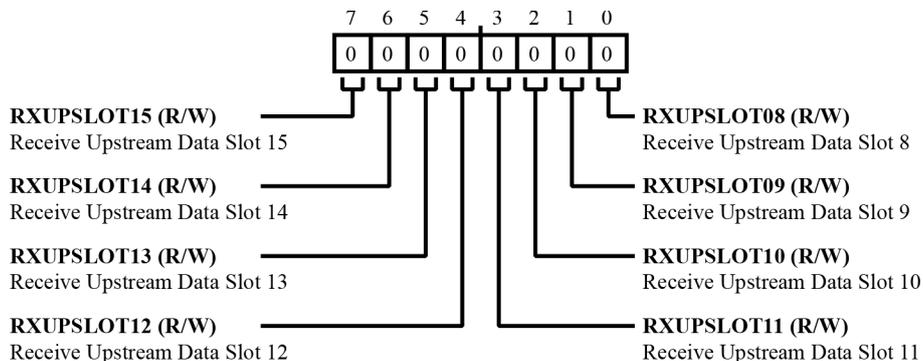


図 7-71: A2B\_UPMASK1 レジスタの図

表 7-72: A2B\_UPMASK1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXUP SLOT15	アップストリーム・データ・スロット 15 を受信。 A2B_UPMASK1.RXUP SLOT15ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 15 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 15 の RX ディスエーブル
		1    アップストリーム・データ・スロット 15 の RX イネーブル
6 (R/W)	RXUP SLOT14	アップストリーム・データ・スロット 14 を受信。 A2B_UPMASK1.RXUP SLOT14ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 14 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 14 の RX ディスエーブル
		1    アップストリーム・データ・スロット 14 の RX イネーブル
5 (R/W)	RXUP SLOT13	アップストリーム・データ・スロット 13 を受信。 A2B_UPMASK1.RXUP SLOT13ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 13 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 13 の RX ディスエーブル
		1    アップストリーム・データ・スロット 13 の RX イネーブル

表 7-72: A2B\_UPMASK1 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXUPSLOT12	アップストリーム・データ・スロット 12 を受信。 A2B_UPMASK1.RXUPSLOT12ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 12 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 12 の RX ディス エーブル
		1    アップストリーム・データ・スロット 12 の RX イネー ブル
3 (R/W)	RXUPSLOT11	アップストリーム・データ・スロット 11 を受信。 A2B_UPMASK1.RXUPSLOT11ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 11 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 11 の RX ディス エーブル
		1    アップストリーム・データ・スロット 11 の RX イネー ブル
2 (R/W)	RXUPSLOT10	アップストリーム・データ・スロット 10 を受信。 A2B_UPMASK1.RXUPSLOT10ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 10 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 10 の RX ディス エーブル
		1    アップストリーム・データ・スロット 10 の RX イネー ブル
1 (R/W)	RXUPSLOT09	アップストリーム・データ・スロット 9 を受信。 A2B_UPMASK1.RXUPSLOT09ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 9 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 9 の RX ディス エーブル
		1    アップストリーム・データ・スロット 9 の RX イネー ブル
0 (R/W)	RXUPSLOT08	アップストリーム・データ・スロット 8 を受信。 A2B_UPMASK1.RXUPSLOT08ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 8 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 8 の RX ディス エーブル
		1    アップストリーム・データ・スロット 8 の RX イネー ブル

## アップストリーム・データ RX マスク 2 レジスタ(スレーブのみ)

A2B\_UPMASK2レジスタは、A<sup>2</sup>B<sup>®</sup>バスからどのアップストリーム・データ・スロット(16~23)を受信するかを指定します。これらのデータ・スロットは、I<sup>2</sup>S/TDM を介して送信することができ、(A2B\_LDNSLOTSレジスタによって定義される)スーパーフレームのダウンストリーム部分でスレーブ・ノードが受信するダウンストリーム・スロットの後に続きます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x62

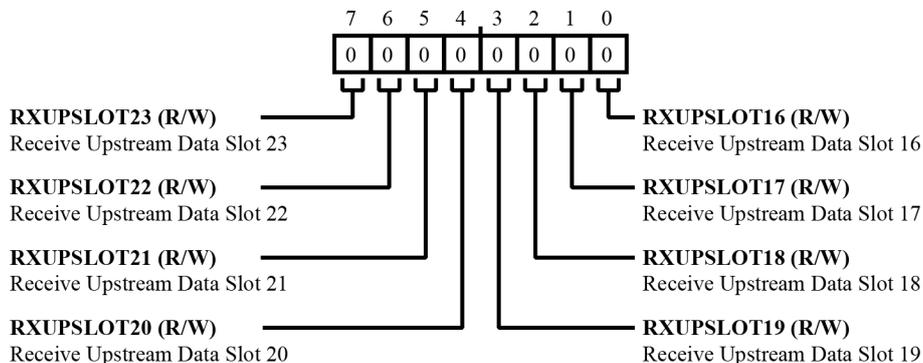


図 7-72: A2B\_UPMASK2 レジスタの図

表 7-73: A2B\_UPMASK2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
7 (R/W)	RXUP SLOT23	アップストリーム・データ・スロット 23 を受信。 A2B_UPMASK2.RXUP SLOT23ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 23 を受信するかどうかを定義します。	
		0	アップストリーム・データ・スロット 23 の RX ディスエーブル
		1	アップストリーム・データ・スロット 23 の RX イネーブル
6 (R/W)	RXUP SLOT22	アップストリーム・データ・スロット 22 を受信。 A2B_UPMASK2.RXUP SLOT22ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 22 を受信するかどうかを定義します。	
		0	アップストリーム・データ・スロット 22 の RX ディスエーブル
		1	アップストリーム・データ・スロット 22 の RX イネーブル
5 (R/W)	RXUP SLOT21	アップストリーム・データ・スロット 21 を受信。 A2B_UPMASK2.RXUP SLOT21ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 21 を受信するかどうかを定義します。	
		0	アップストリーム・データ・スロット 21 の RX ディスエーブル
		1	アップストリーム・データ・スロット 21 の RX イネーブル

表 7-73: A2B\_UPMASK2 レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXUPSLOT20	アップストリーム・データ・スロット 20 を受信。 A2B_UPMASK2.RXUPSLOT20ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 20 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 20 の RX ディス エーブル
		1    アップストリーム・データ・スロット 20 の RX イネー ブル
3 (R/W)	RXUPSLOT19	アップストリーム・データ・スロット 19 を受信。 A2B_UPMASK2.RXUPSLOT19ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 19 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 19 の RX ディス エーブル
		1    アップストリーム・データ・スロット 19 の RX イネー ブル
2 (R/W)	RXUPSLOT18	アップストリーム・データ・スロット 18 を受信。 A2B_UPMASK2.RXUPSLOT18ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 18 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 18 の RX ディス エーブル
		1    アップストリーム・データ・スロット 18 の RX イネー ブル
1 (R/W)	RXUPSLOT17	アップストリーム・データ・スロット 17 を受信。 A2B_UPMASK2.RXUPSLOT17ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 17 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 17 の RX ディス エーブル
		1    アップストリーム・データ・スロット 17 の RX イネー ブル
0 (R/W)	RXUPSLOT16	アップストリーム・データ・スロット 16 を受信。 A2B_UPMASK2.RXUPSLOT16ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 16 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 16 の RX ディス エーブル
		1    アップストリーム・データ・スロット 16 の RX イネー ブル

## アップストリーム・データ RX マスク 3 レジスタ(スレーブのみ)

A2B\_UPMASK3レジスタは、A<sup>2</sup>B<sup>®</sup>バスからどのアップストリーム・データ・スロット(24~31)を受信するかを指定します。これらのデータ・スロットは、I<sup>2</sup>S/TDM を介して送信することができ、(A2B\_LDNSLOTSレジスタによって定義される)スーパーフレームのダウンストリーム部分でスレーブ・ノードが受信するダウンストリーム・スロットの後に続きます。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x63

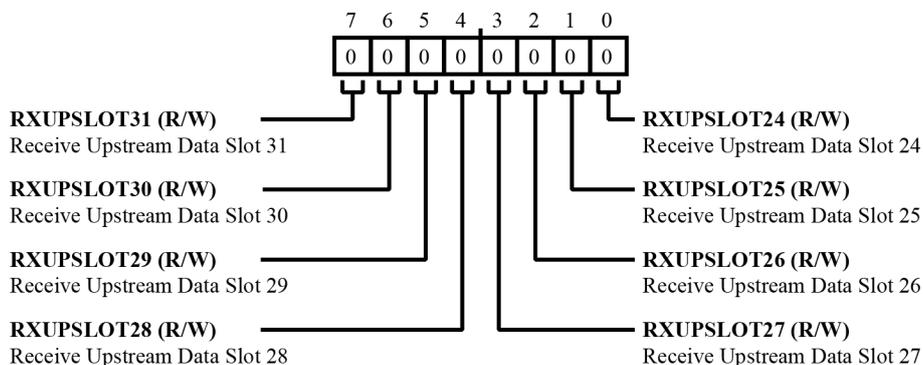


図 7-73: A2B\_UPMASK3 レジスタの図

表 7-74: A2B\_UPMASK3 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXUP SLOT 31	アップストリーム・データ・スロット 31 を受信。 A2B_UPMASK3.RXUP SLOT 31ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 31 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 31 の RX ディスエーブル
		1    アップストリーム・データ・スロット 31 の RX イネーブル
6 (R/W)	RXUP SLOT 30	アップストリーム・データ・スロット 30 を受信。 A2B_UPMASK3.RXUP SLOT 30ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 30 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 30 の RX ディスエーブル
		1    アップストリーム・データ・スロット 30 の RX イネーブル
5 (R/W)	RXUP SLOT 29	アップストリーム・データ・スロット 29 を受信。 A2B_UPMASK3.RXUP SLOT 29ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 29 を受信するかどうかを定義します。
		0    アップストリーム・データ・スロット 29 の RX ディスエーブル
		1    アップストリーム・データ・スロット 29 の RX イネーブル

表 7-74: A2B\_UPMASK3 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXUPSLOT28	アップストリーム・データ・スロット 28 を受信。 A2B_UPMASK3.RXUPSLOT28ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 28 を受信するかどうかを定義します。
		0   アップストリーム・データ・スロット 28 の RX ディスエーブル
		1   アップストリーム・データ・スロット 28 の RX イネーブル
3 (R/W)	RXUPSLOT27	アップストリーム・データ・スロット 27 を受信。 A2B_UPMASK3.RXUPSLOT27ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 27 を受信するかどうかを定義します。
		0   アップストリーム・データ・スロット 27 の RX ディスエーブル
		1   アップストリーム・データ・スロット 27 の RX イネーブル
2 (R/W)	RXUPSLOT26	アップストリーム・データ・スロット 26 を受信。 A2B_UPMASK3.RXUPSLOT26ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 26 を受信するかどうかを定義します。
		0   アップストリーム・データ・スロット 26 の RX ディスエーブル
		1   アップストリーム・データ・スロット 26 の RX イネーブル
1 (R/W)	RXUPSLOT25	アップストリーム・データ・スロット 25 を受信。 A2B_UPMASK3.RXUPSLOT25ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 25 を受信するかどうかを定義します。
		0   アップストリーム・データ・スロット 25 の RX ディスエーブル
		1   アップストリーム・データ・スロット 25 の RX イネーブル
0 (R/W)	RXUPSLOT24	アップストリーム・データ・スロット 24 を受信。 A2B_UPMASK3.RXUPSLOT24ビットは、ローカル・スレーブ・ノードがアップストリーム・データ・スロット 24 を受信するかどうかを定義します。
		0   ディスエーブル
		1   イネーブル

## ローカル・アップストリーム・チャンネル・オフセット・レジスタ（スレーブのみ）

スレーブ・ノード内で、A2B\_UPOFFSETレジスタは、I<sup>2</sup>S/TDM/PDM を介して受信したデータ・チャンネルを何個スキップしてから、データ・スロットを A<sup>2</sup>B<sup>®</sup>バス上でアップストリームに送信するかを定義します。

アドレス：0x64

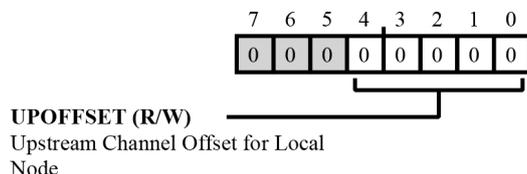


図 7-74: A2B\_UPOFFSETレジスタの図

表 7-75: A2B\_UPOFFSETレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
4:0 (R/W)	UPOFFSET	ローカル・ノードのアップストリーム・チャンネル・オフセット。 A2B_UPOFFSET.UPOFFSETビット・フィールドは、I <sup>2</sup> S/TDM/PDM を介して受信したデータ・チャンネルを何個スキップしてから、データ・スロットを A <sup>2</sup> B <sup>®</sup> バス上でアップストリームに送信するかを定義します。

## ダウンストリーム・データ RX マスク 0 レジスタ(スレーブのみ)

A2B\_DNMASK0レジスタは、A<sup>2</sup>B<sup>®</sup>バスから受信するダウンストリーム・データ・スロット(0~7)を指定します。これらのデータ・スロットは、FS/TDM を介して送信することができます。このレジスタのビットがどれもセットされない場合、A2B\_LDNSLOTSレジスタは、AD2410 などのローカル・ノードによって取り込まれるダウンストリーム・データ・スロットの数を定義します。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x65

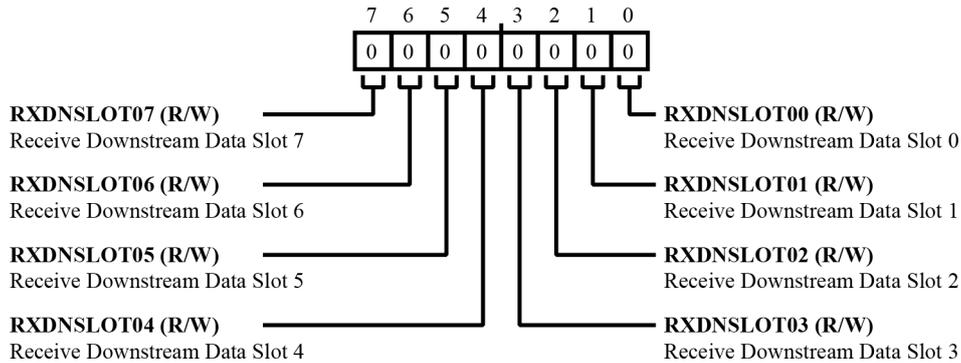


図 7-75: A2B\_DNMASK0 レジスタの図

表 7-76: A2B\_DNMASK0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXDNSLOT07	ダウンストリーム・データ・スロット 7 を受信。 A2B_DNMASK0.RXDNSLOT07ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 7 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 7 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 7 の RX イネーブル
6 (R/W)	RXDNSLOT06	ダウンストリーム・データ・スロット 6 を受信。 A2B_DNMASK0.RXDNSLOT06ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 6 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 6 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 6 の RX イネーブル
5 (R/W)	RXDNSLOT05	ダウンストリーム・データ・スロット 5 を受信。 A2B_DNMASK0.RXDNSLOT05ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 5 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 5 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 5 の RX イネーブル

表 7-76: A2B\_DNMASK0 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXDNSLOT04	ダウンストリーム・データ・スロット 4 を受信。 A2B_DNMASK0.RXDNSLOT04ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 4 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 4 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 4 の RX イネーブル
3 (R/W)	RXDNSLOT03	ダウンストリーム・データ・スロット 3 を受信。 A2B_DNMASK0.RXDNSLOT03ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 3 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 3 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 3 の RX イネーブル
2 (R/W)	RXDNSLOT02	ダウンストリーム・データ・スロット 2 を受信。 A2B_DNMASK0.RXDNSLOT02ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 2 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 2 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 2 の RX イネーブル
1 (R/W)	RXDNSLOT01	ダウンストリーム・データ・スロット 1 を受信。 A2B_DNMASK0.RXDNSLOT01ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 1 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 1 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 1 の RX イネーブル
0 (R/W)	RXDNSLOT00	ダウンストリーム・データ・スロット 0 を受信。 A2B_DNMASK0.RXDNSLOT00ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 0 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 0 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 0 の RX イネーブル

## ダウンストリーム・データ RX マスク 1 レジスタ(スレーブのみ)

A2B\_DNMASK1レジスタは、A<sup>2</sup>B<sup>®</sup>バスから受信するダウンストリーム・データ・スロット(8~15)を指定します。これらのデータ・スロットは、FS/TDM を介して送信することができます。このレジスタのビットがどれもセットされない場合、A2B\_LDNSLOTSレジスタは、AD2410 などのローカル・ノードによって取り込まれるダウンストリーム・データ・スロットの数を定義します。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x66

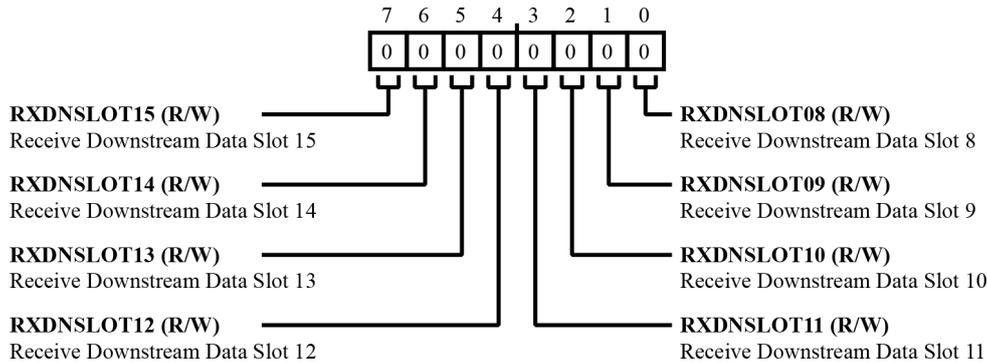


図 7-76: A2B\_DNMASK1 レジスタの図

表 7-77: A2B\_DNMASK1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXDNSLOT15	ダウンストリーム・データ・スロット 15 を受信。 A2B_DNMASK1.RXDNSLOT15ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 15 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 15 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 15 の RX イネーブル
6 (R/W)	RXDNSLOT14	ダウンストリーム・データ・スロット 14 を受信。 A2B_DNMASK1.RXDNSLOT14ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 14 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 14 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 14 の RX イネーブル
5 (R/W)	RXDNSLOT13	ダウンストリーム・データ・スロット 13 を受信。 A2B_DNMASK1.RXDNSLOT13ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 13 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 13 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 13 の RX イネーブル

ダウンストリーム・データRXマスク1レジスタ (スレーブのみ)

表 7-77: A2B\_DNMASK1 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXDNSLOT12	ダウンストリーム・データ・スロット 12 を受信。 A2B_DNMASK1.RXDNSLOT12ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 12 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 12 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 12 の RX イネーブル
3 (R/W)	RXDNSLOT11	ダウンストリーム・データ・スロット 11 を受信。 A2B_DNMASK1.RXDNSLOT11ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 11 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 11 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 11 の RX イネーブル
2 (R/W)	RXDNSLOT10	ダウンストリーム・データ・スロット 10 を受信。 A2B_DNMASK1.RXDNSLOT10ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 10 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 10 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 10 の RX イネーブル
1 (R/W)	RXDNSLOT09	ダウンストリーム・データ・スロット 9 を受信。 A2B_DNMASK1.RXDNSLOT09ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 9 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 9 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 9 の RX イネーブル
0 (R/W)	RXDNSLOT08	ダウンストリーム・データ・スロット 8 を受信。 A2B_DNMASK1.RXDNSLOT08ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 8 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 8 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 8 の RX イネーブル

## ダウンストリーム・データ RX マスク 2 レジスタ(スレーブのみ)

A2B\_DNMASK2レジスタは、A<sup>2</sup>B<sup>®</sup>バスから受信するダウンストリーム・データ・スロット(16~23)を指定します。これらのデータ・スロットは、PS/TDM を介して送信することができます。このレジスタのビットがどれもセットされない場合、A2B\_LDNSLOTSレジスタは、ローカル・ノードによって取り込まれるダウンストリーム・データ・スロットの数を定義します。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x67

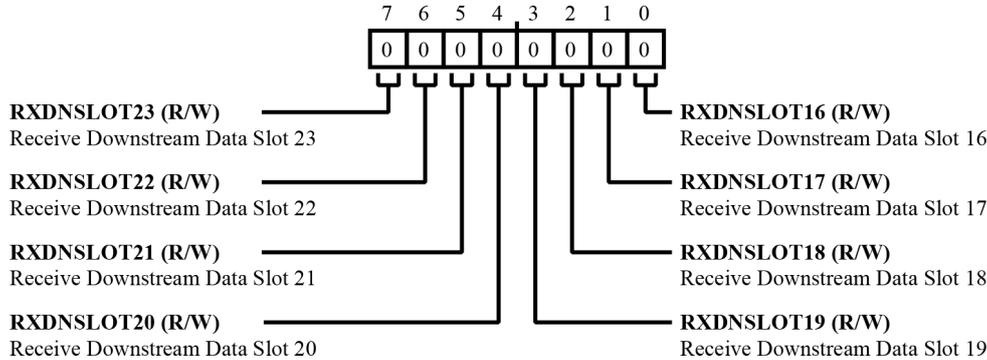


図 7-77: A2B\_DNMASK2 レジスタの図

表 7-78: A2B\_DNMASK2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXDNSLOT23	ダウンストリーム・データ・スロット 23 を受信。 A2B_DNMASK2.RXDNSLOT23ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 23 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 23 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 23 の RX イネーブル
6 (R/W)	RXDNSLOT22	ダウンストリーム・データ・スロット 22 を受信。 A2B_DNMASK2.RXDNSLOT22ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 22 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 22 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 22 の RX イネーブル
5 (R/W)	RXDNSLOT21	ダウンストリーム・データ・スロット 21 を受信。 A2B_DNMASK2.RXDNSLOT21ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 21 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 21 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 21 の RX イネーブル

表 7-78: A2B\_DNMASK2 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXDNSLOT20	ダウンストリーム・データ・スロット 20 を受信。 A2B_DNMASK2.RXDNSLOT20ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 20 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 20 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 20 の RX イネーブル
3 (R/W)	RXDNSLOT19	ダウンストリーム・データ・スロット 19 を受信。 A2B_DNMASK2.RXDNSLOT19ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 19 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 19 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 19 の RX イネーブル
2 (R/W)	RXDNSLOT18	ダウンストリーム・データ・スロット 18 を受信。 A2B_DNMASK2.RXDNSLOT18ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 18 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 18 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 18 の RX イネーブル
1 (R/W)	RXDNSLOT17	ダウンストリーム・データ・スロット 17 を受信。 A2B_DNMASK2.RXDNSLOT17ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 17 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 17 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 17 の RX イネーブル
0 (R/W)	RXDNSLOT16	ダウンストリーム・データ・スロット 16 を受信。 A2B_DNMASK2.RXDNSLOT16ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 16 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 16 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 16 の RX イネーブル

## ダウンストリーム・データ RX マスク 3 レジスタ(スレーブのみ)

A2B\_DNMask3レジスタは、A<sup>2</sup>B<sup>®</sup>バスから受信するダウンストリーム・データ・スロット(24~31)を指定します。これらのデータ・スロットは、PS/TDM を介して送信することができます。このレジスタのビットがどれもセットされない場合、A2B\_LDNSLOTSレジスタは、AD2410 などのローカル・ノードによって取り込まれるダウンストリーム・データ・スロットの数を定義します。このレジスタに対する変更は、マスタ・ノードのA2B\_CONTROL.NEWSTRCTビットがセットされた後でのみ有効になります。

アドレス : 0x68

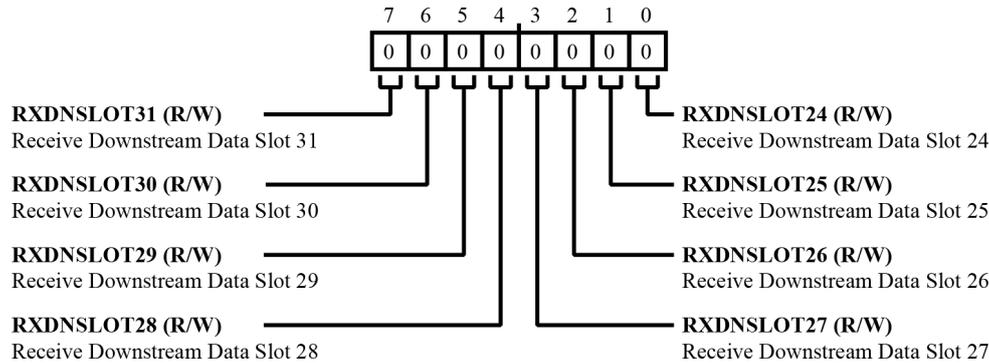


図 7-78: A2B\_DNMask3 レジスタの図

表 7-79: A2B\_DNMask3 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	RXDNSLOT31	ダウンストリーム・データ・スロット 31 を受信。 A2B_DNMask3.RXDNSLOT31ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 31 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 31 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 31 の RX イネーブル
6 (R/W)	RXDNSLOT30	ダウンストリーム・データ・スロット 30 を受信。 A2B_DNMask3.RXDNSLOT30ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 30 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 30 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 30 の RX イネーブル
5 (R/W)	RXDNSLOT29	ダウンストリーム・データ・スロット 29 を受信。 A2B_DNMask3.RXDNSLOT29ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 29 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 29 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 29 の RX イネーブル

表 7-79: A2B\_DNMASK3 レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
4 (R/W)	RXDNSLOT28	ダウンストリーム・データ・スロット 28 を受信。 A2B_DNMASK3.RXDNSLOT28ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 28 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 28 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 28 の RX イネーブル
3 (R/W)	RXDNSLOT27	ダウンストリーム・データ・スロット 27 を受信。 A2B_DNMASK3.RXDNSLOT27ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 27 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 27 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 27 の RX イネーブル
2 (R/W)	RXDNSLOT26	ダウンストリーム・データ・スロット 26 を受信。 A2B_DNMASK3.RXDNSLOT26ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 26 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 26 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 26 の RX イネーブル
1 (R/W)	RXDNSLOT25	ダウンストリーム・データ・スロット 25 を受信。 A2B_DNMASK3.RXDNSLOT25ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 25 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 25 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 25 の RX イネーブル
0 (R/W)	RXDNSLOT24	ダウンストリーム・データ・スロット 24 を受信。 A2B_DNMASK3.RXDNSLOT24ビットは、ローカル・スレーブ・ノードがダウンストリーム・データ・スロット 24 を受信するかどうかを定義します。
		0   ダウンストリーム・データ・スロット 24 の RX ディスエーブル
		1   ダウンストリーム・データ・スロット 24 の RX イネーブル

## ローカル・ダウンストリーム・チャンネル・オフセット・レジスタ(スレーブのみ)

スレーブ・ノード内で、A2B\_DNOFFSETレジスタは、I<sup>2</sup>S/TDM/PDM を介して受信したデータ・チャンネルを何個スキップしてから、データ・スロットを A<sup>2</sup>B<sup>®</sup>バス上でダウンストリームに送信するかを定義します。A2B\_DNOFFSETレジスタの値は、A2B\_DNMASK0 ~A2B\_DNMASK3 レジスタのいずれかのビットがセットされ、A2B\_LDNSLOTSレジスタがゼロでない場合にのみ使用されます。

アドレス : 0x69

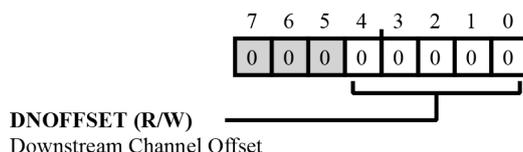


図 7-79: A2B\_DNOFFSET レジスタの図

表 7-80: A2B\_DNOFFSET レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
4:0 (R/W)	DNOFFSET	ダウンストリーム・チャンネル・オフセット。 A2B_DNOFFSET.DNOFFSETビット・フィールドは、I <sup>2</sup> S/TDM/PDM を介して受信したデータ・チャンネルを何個スキップしてから、データ・スロットを A <sup>2</sup> B <sup>®</sup> バス上でダウンストリームに送信するかを定義します。

## チップ ID レジスタ 0

A2B\_CHIPID0～A2B\_CHIPID5 レジスタは、連結されてトランシーバー固有の 48 ビット ID を形成します。A2B\_CHIPID0 には LSB (ビット 7:0) が格納され、A2B\_CHIPID5 には MSB (ビット 47:40) が格納されます。

アドレス : 0x6A

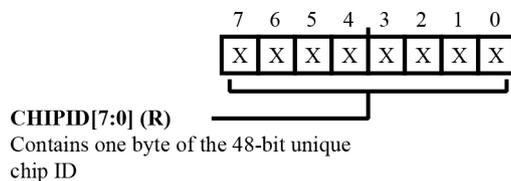


図 7-80: A2B\_CHIPID0 レジスタの図

表 7-81: A2B\_CHIPID0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	CHIPID	48ビットの固有のチップ ID の 1 バイトが格納されます。

## チップ ID レジスタ 1

A2B\_CHIPID0～A2B\_CHIPID5 レジスタは、連結されてトランシーバー固有の 48 ビット ID を形成します。A2B\_CHIPID0 には LSB (ビット 7:0) が格納され、A2B\_CHIPID5 には MSB (ビット 47:40) が格納されます。

アドレス : 0x6B

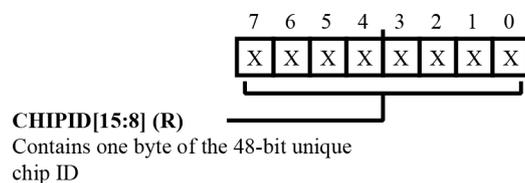


図 7-81: A2B\_CHIPID1 レジスタの図

表 7-82: A2B\_CHIPID1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	CHIPID	48ビットの固有のチップ ID の 1 バイトが格納されます。

## チップ ID レジスタ 2

A2B\_CHIPID0～A2B\_CHIPID5 レジスタは、連結されてトランシーバー固有の 48 ビット ID を形成します。A2B\_CHIPID0 には LSB (ビット 7:0) が格納され、A2B\_CHIPID5 には MSB (ビット 47:40) が格納されます。

アドレス : 0x6C

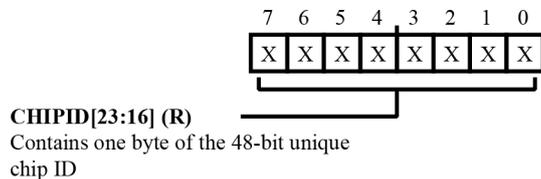


図 7-82: A2B\_CHIPID2 レジスタの図

表 7-83: A2B\_CHIPID2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	CHIPID	48ビットの固有のチップ ID の 1 バイトが格納されます。

## チップ ID レジスタ 3

A2B\_CHIPID0～A2B\_CHIPID5 レジスタは、連結されてトランシーバー固有の 48 ビット ID を形成します。A2B\_CHIPID0 には LSB (ビット 7:0) が格納され、A2B\_CHIPID5 には MSB (ビット 47:40) が格納されます。

アドレス : 0x6D

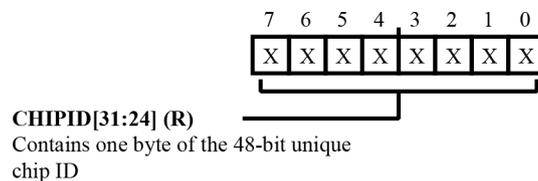


図 7-83: A2B\_CHIPID3 レジスタの図

表 7-84: A2B\_CHIPID3 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	CHIPID	48ビットの固有のチップ ID の 1 バイトが格納されます。

## チップ ID レジスタ 4

A2B\_CHIPID0～A2B\_CHIPID5 レジスタは、連結されてトランシーバー固有の 48 ビット ID を形成します。A2B\_CHIPID0 には LSB (ビット 7:0) が格納され、A2B\_CHIPID5 には MSB (ビット 47:40) が格納されます。

アドレス : 0x6E

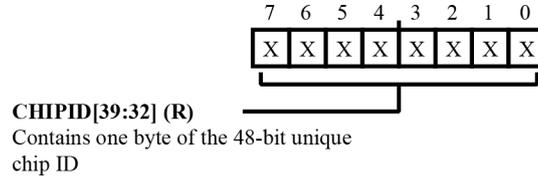


図 7-84: A2B\_CHIPID4 レジスタの図

表 7-85: A2B\_CHIPID4 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	CHIPID	48ビットの固有のチップ ID の 1 バイトが格納されます。

## チップ ID レジスタ 5

A2B\_CHIPID0～A2B\_CHIPID5 レジスタは、連結されてトランシーバー固有の 48 ビット ID を形成します。A2B\_CHIPID0 には LSB (ビット 7:0) が格納され、A2B\_CHIPID5 には MSB (ビット 47:40) が格納されます。

アドレス : 0x6F

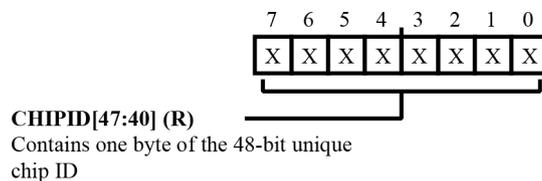


図 7-85: A2B\_CHIPID5 レジスタの図

表 7-86: A2B\_CHIPID5 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/NW)	CHIPID	48ビットの固有のチップ ID の 1 バイトが格納されます。

# 長距離 GPIO イネーブル・レジスタ

A2B\_GPIODENレジスタは、汎用 I/O ピンを制御して長距離 GPIO に使用できるようにします。

アドレス : 0x80

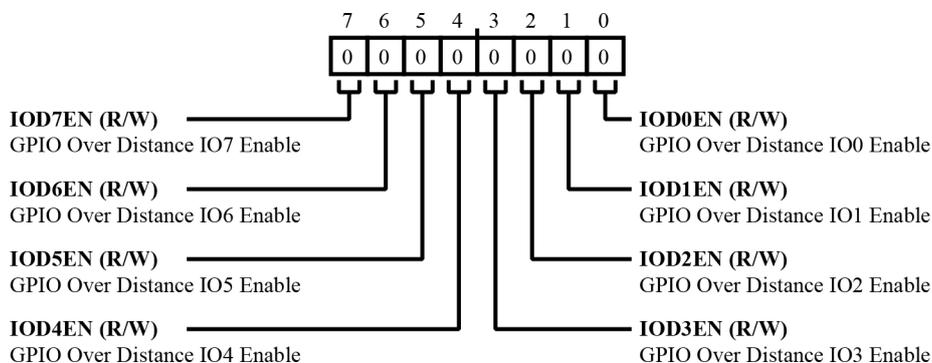


図 7-86: A2B\_GPIODENレジスタの図

表 7-87: A2B\_GPIODENレジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IOD7EN	IO7 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD7ENビットは、IO7 の長距離 GPIO をイネーブルにします。
		0   IO7 の長距離 GPIO ディスエーブル
		1   IO7 の長距離 GPIO イネーブル
6 (R/W)	IOD6EN	IO6 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD6ENビットは、IO6 の長距離 GPIO をイネーブルにします。
		0   IO6 の長距離 GPIO ディスエーブル
		1   IO6 の長距離 GPIO イネーブル
5 (R/W)	IOD5EN	IO5 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD5ENビットは、IO5 の長距離 GPIO をイネーブルにします。
		0   IO5 の長距離 GPIO ディスエーブル
		1   IO5 の長距離 GPIO イネーブル
4 (R/W)	IOD4EN	IO4 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD4ENビットは、IO4 の長距離 GPIO をイネーブルにします。
		0   IO4 の長距離 GPIO ディスエーブル
		1   IO4 の長距離 GPIO イネーブル

表 7-87: A2B\_GPIODEN レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明
3 (R/W)	IOD3EN	IO3 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD3ENビットは、IO3 の長距離 GPIO をイネーブルにします。
		0   IO3 の長距離 GPIO ディスエーブル
		1   IO3 の長距離 GPIO イネーブル
2 (R/W)	IOD2EN	IO2 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD2ENビットは、IO2 の長距離 GPIO をイネーブルにします。
		0   IO2 の長距離 GPIO ディスエーブル
		1   IO2 の長距離 GPIO イネーブル
1 (R/W)	IOD1EN	IO1 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD1ENビットは、IO1 の長距離 GPIO をイネーブルにします。
		0   IO1 の長距離 GPIO ディスエーブル
		1   IO1 の長距離 GPIO イネーブル
0 (R/W)	IOD0EN	IO0 の長距離 GPIO イネーブル。 A2B_GPIODEN.IOD0ENビットは、IO0 の長距離 GPIO をイネーブルにします。
		0   IO0 の長距離 GPIO ディスエーブル
		1   IO0 の長距離 GPIO イネーブル

# 長距離 GPIO マスク 0 レジスタ

アドレス : 0x81

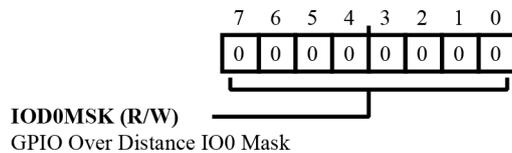


図 7-87: A2B\_GPIOD0MSK レジスタの図

表 7-88: A2B\_GPIOD0MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD0MSK	長距離 GPIO IO0 マスク。

# 長距離 GPIO マスク 1 レジスタ

アドレス : 0x82

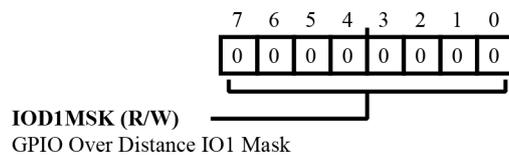


図 7-88: A2B\_GPIOD1MSK レジスタの図

表 7-89: A2B\_GPIOD1MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD1MSK	長距離 GPIO IO1 マスク。

## 長距離 GPIO マスク 2 レジスタ

アドレス : 0x83

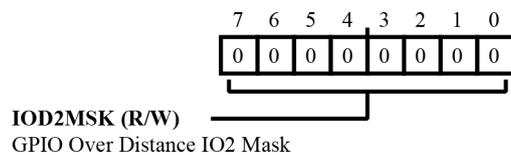


図 7-89: A2B\_GPIOD2MSK レジスタの図

表 7-90: A2B\_GPIOD2MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD2MSK	長距離 GPIO IO2 マスク。

## 長距離 GPIO マスク 3 レジスタ

アドレス : 0x84

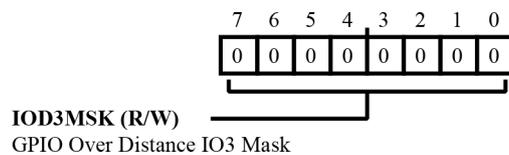


図 7-90: A2B\_GPIOD3MSK レジスタの図

表 7-91: A2B\_GPIOD3MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD3MSK	長距離 GPIO IO3 マスク。

## 長距離 GPIO マスク 4 レジスタ

アドレス : 0x85

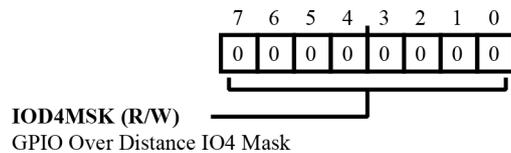


図 7-91: A2B\_GPIOD4MSK レジスタの図

表 7-92: A2B\_GPIOD4MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD4MSK	長距離 GPIO IO4 マスク。

## 長距離 GPIO マスク 5 レジスタ

アドレス : 0x86

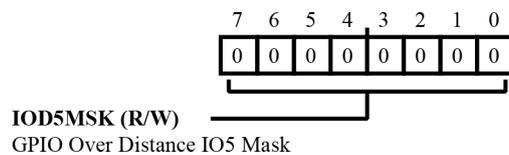


図 7-92: A2B\_GPIOD5MSK レジスタの図

表 7-93: A2B\_GPIOD5MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD5MSK	長距離 GPIO IO5 マスク。

## 長距離 GPIO マスク 6 レジスタ

アドレス : 0x87

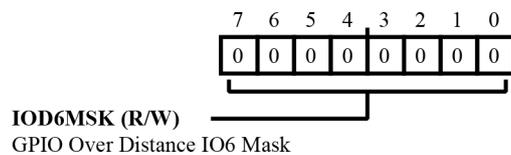


図 7-93: A2B\_GPIOD6MSK レジスタの図

表 7-94: A2B\_GPIOD6MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD6MSK	長距離 GPIO IO6 マスク。

## 長距離 GPIO マスク 7 レジスタ

アドレス : 0x88

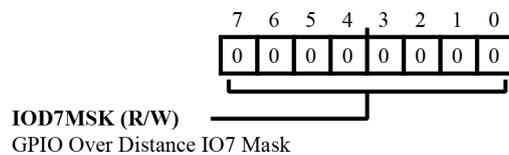


図 7-94: A2B\_GPIOD7MSK レジスタの図

表 7-95: A2B\_GPIOD7MSK レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	IOD7MSK	長距離 GPIO IO7 マスク。

# 長距離 GPIO データ・レジスタ

アドレス : 0x89

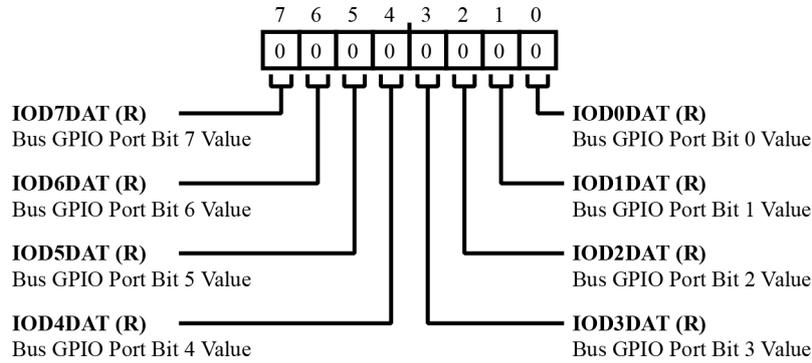


図 7-95: A2B\_GPIODAT レジスタの図

表 7-96: A2B\_GPIODAT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/NW)	IOD7DAT	バス GPIO ポートのビット 7 の値。
6 (R/NW)	IOD6DAT	バス GPIO ポートのビット 6 の値。
5 (R/NW)	IOD5DAT	バス GPIO ポートのビット 5 の値。
4 (R/NW)	IOD4DAT	バス GPIO ポートのビット 4 の値。
3 (R/NW)	IOD3DAT	バス GPIO ポートのビット 3 の値。
2 (R/NW)	IOD2DAT	バス GPIO ポートのビット 2 の値。
1 (R/NW)	IOD1DAT	バス GPIO ポートのビット 1 の値。
0 (R/NW)	IOD0DAT	バス GPIO ポートのビット 0 の値。

## 長距離 GPIO 反転レジスタ

アドレス : 0x8A

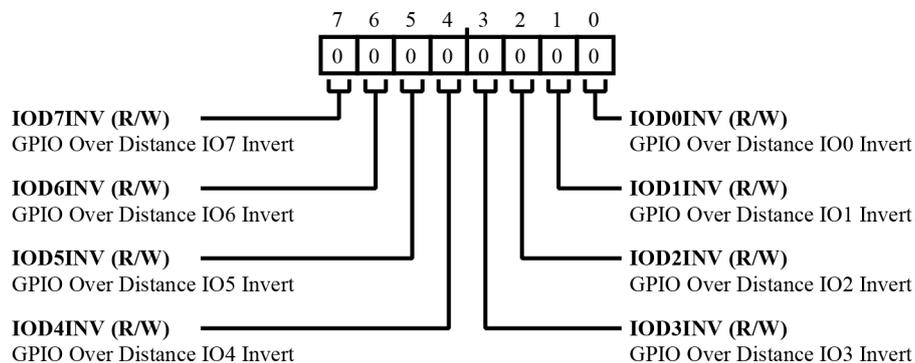


図 7-96: A2B\_GPIODINV レジスタの図

表 7-97: A2B\_GPIODINV レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7 (R/W)	IOD7INV	長距離 GPIO IO7 反転。
6 (R/W)	IOD6INV	長距離 GPIO IO6 反転。
5 (R/W)	IOD5INV	長距離 GPIO IO5 反転。
4 (R/W)	IOD4INV	長距離 GPIO IO4 反転。
3 (R/W)	IOD3INV	長距離 GPIO IO3 反転。
2 (R/W)	IOD2INV	長距離 GPIO IO2 反転。
1 (R/W)	IOD1INV	長距離 GPIO IO1 反転。
0 (R/W)	IOD0INV	長距離 GPIO IO0 反転。

## メールボックス 0 コントロール・レジスタ(スレーブのみ)

A2B\_MBOX0CTLレジスタには、メールボックスの方向、メッセージの長さおよび割り込みを制御するビットが格納されます。

アドレス : 0x90

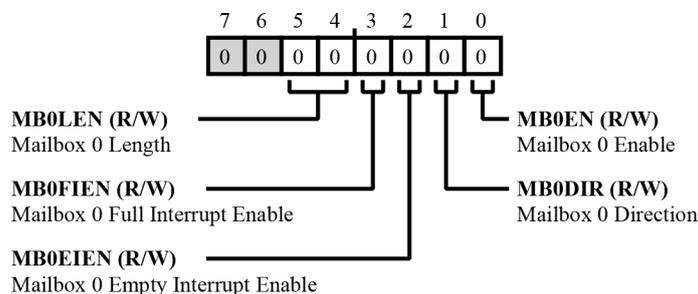


図 7-97: A2B\_MBOX0CTL レジスタの図

表 7-98: A2B\_MBOX0CTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
5:4 (R/W)	MB0LEN	メールボックス 0 の長さ。 A2B_MBOX0CTL.MB0LENビット・フィールドは、メールボックス 0 の長さを制御します。	
		0	1 バイト
		1	2 バイト
		2	3 バイト
		3	4 バイト
3 (R/W)	MB0FIEN	メールボックス 0 フル割り込みイネーブル。 A2B_MBOX0CTL.MB0FIENビットは、メールボックス 0 が一杯になったときに生成される割り込みをイネーブルにします。	
		0	メールボックス 0 フル割り込みディスエーブル
		1	メールボックス 0 フル割り込みイネーブル
2 (R/W)	MB0EIEN	メールボックス 0 エンプティ割り込みイネーブル。 A2B_MBOX0CTL.MB0EIENビットは、メールボックス 0 が空になったときに生成される割り込みをイネーブルにします。	
		0	メールボックス 0 エンプティ割り込みディスエーブル
		1	メールボックス 0 エンプティ割り込みイネーブル
1 (R/W)	MB0DIR	メールボックス 0 の方向。 A2B_MBOX0CTL.MB0DIRビットは、メールボックス 0 の方向を制御します。	
		0	メールボックス 0 は受信メールボックス
		1	メールボックス 0 は送信メールボックス

表 7-98: A2B\_MBOX0CTL レジスタ・フィールド(続き)

ビット番号 (アクセス)	ビット名	説明
0 (R/W)	MB0EN	メールボックス 0 イネーブル。 A2B_MBOX0CTL.MB0ENビットをセットすると、メールボックス 0 がイネーブルになります。
		0   メールボックス 0 はディスエーブル
		1   メールボックス 0 はイネーブル

## メールボックス 0 ステータス・レジスタ(スレーブのみ)

A2B\_MBOX0STATレジスタは、設定されたメールボックス割込みのステータスを通知します。

アドレス : 0x91

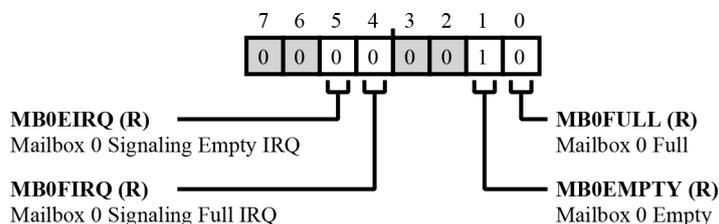


図 7-98: A2B\_MBOX0STAT レジスタの図

表 7-99: A2B\_MBOX0STAT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5 (R/NW)	MB0EIRQ	メールボックス 0 はエンプティ IRQ を通知。 A2B_MBOX0STAT.MB0EIRQビットは、メールボックス 0 エンプティ割込みがアクティブかどうかを示します。
		0   メールボックス 0 エンプティ割込みは非アクティブ
		1   メールボックス 0 エンプティ割込みはアクティブ
4 (R/NW)	MB0FIRQ	メールボックス 0 はフル IRQ を通知。 A2B_MBOX0STAT.MB0FIRQビットは、メールボックス 0 フル割込みがアクティブかどうかを示します。
		0   メールボックス 0 フル割込みは非アクティブ
		1   メールボックス 0 フル割込みはアクティブ
1 (R/NW)	MB0EMPTY	メールボックス 0 エンプティ。 A2B_MBOX0STAT.MB0EMPTYビットは、メールボックス 0 が空かどうかを示します。
		0   メールボックス 0 は現在空になっていない
		1   メールボックス 0 は現在空になっている
0 (R/NW)	MB0FULL	メールボックス 0 フル。 A2B_MBOX0STAT.MB0FULLビットは、メールボックス 0 が一杯かどうかを示します。
		0   メールボックス 0 は現在一杯になっていない
		1   メールボックス 0 は現在一杯になっている

# メールボックス 0 バイト 0 レジスタ(スレーブのみ)

アドレス : 0x92

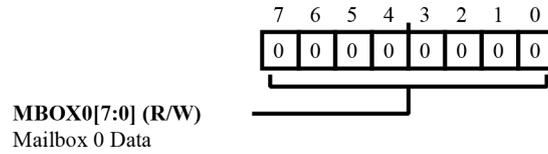


図 7-99: A2B\_MBOX0B0 レジスタの図

表 7-100: A2B\_MBOX0B0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX0	メールボックス 0 のデータ。

## メールボックス 0 バイト 1 レジスタ(スレーブのみ)

アドレス : 0x93

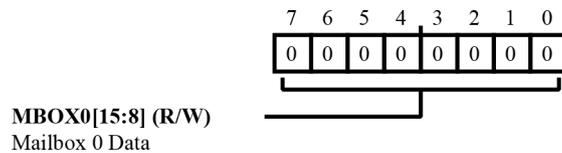


図 7-100: A2B\_MBOX0B1 レジスタの図

表 7-101: A2B\_MBOX0B1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX0	メールボックス 0 のデータ。

## メールボックス 0 バイト 2 レジスタ(スレーブのみ)

アドレス : 0x94

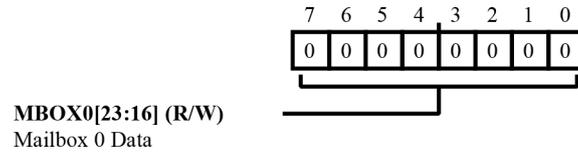


図 7-101: A2B\_MBOX0B2 レジスタの図

表 7-102: A2B\_MBOX0B2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX0	メールボックス 0 のデータ。

## メールボックス 0 バイト 3 レジスタ(スレーブのみ)

アドレス : 0x95

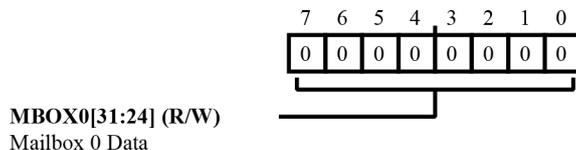


図 7-102: A2B\_MBOX0B3 レジスタの図

表 7-103: A2B\_MBOX0B3 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX0	メールボックス 0 のデータ。

## メールボックス 1 コントロール・レジスタ(スレーブのみ)

A2B\_MBOX1CTLレジスタには、メールボックスの方向、メッセージの長さおよび割り込みを制御するビットが格納されます。

アドレス : 0x96

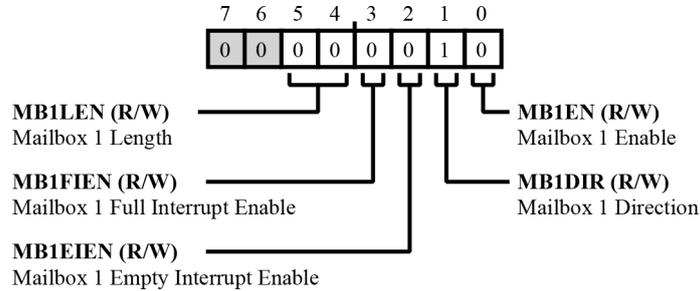


図 7-103: A2B\_MBOX1CTL レジスタの図

表 7-104: A2B\_MBOX1CTL レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明	
5:4 (R/W)	MB1LEN	メールボックス 1 の長さ。 A2B_MBOX1CTL.MB1LENビット・フィールドは、メールボックス 1 の長さを制御します。	
		0	1 バイト
		1	2 バイト
		2	3 バイト
		3	4 バイト
3 (R/W)	MB1FIEN	メールボックス 1 フル割り込みイネーブル。 A2B_MBOX1CTL.MB1FIENビットは、メールボックス 1 が一杯になったときに生成される割り込みをイネーブルにします。	
		0	メールボックス 1 フル割り込みディスエーブル
		1	メールボックス 1 フル割り込みイネーブル
2 (R/W)	MB1EIEN	メールボックス 1 エンプティ割り込みイネーブル。 A2B_MBOX1CTL.MB1EIENビットは、メールボックス 1 が空になったときに生成される割り込みをイネーブルにします。	
		0	メールボックス 1 エンプティ割り込みディスエーブル
		1	メールボックス 1 エンプティ割り込みイネーブル
1 (R/W)	MB1DIR	メールボックス 1 の方向。 A2B_MBOX1CTL.MB1DIRビットは、メールボックス 1 の方向を制御します。	
		0	メールボックス 1 は受信メールボックス
		1	メールボックス 1 は送信メールボックス

表 7-104: A2B\_MBOX1CTL レジスタ・フィールド (続き)

ビット番号 (アクセス)	ビット名	説明	
0 (R/W)	MB1EN	メールボックス 1 イネーブル。 A2B_MBOX1CTL.MB1ENビットをセットすると、メールボックス 1 がイネーブルになります。	
		0	メールボックス 1 はディスエーブル
		1	メールボックス 1 はイネーブル

## メールボックス 1 ステータス・レジスタ(スレーブのみ)

A2B\_MBOX1STATレジスタは、設定されたメールボックス割込みのステータスを通知します。

アドレス : 0x97

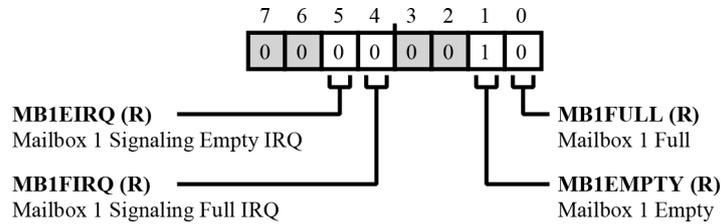


図 7-104: A2B\_MBOX1STAT レジスタの図

表 7-105: A2B\_MBOX1STAT レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
5 (R/NW)	MB1EIRQ	メールボックス 1 はエンプティ IRQ を通知。 A2B_MBOX1STAT.MB1EIRQビットは、メールボックス 1 エンプティ割込みがアクティブかどうかを示します。
		0   メールボックス 1 エンプティ割込みは非アクティブ
		1   メールボックス 1 エンプティ割込みはアクティブ
4 (R/NW)	MB1FIRQ	メールボックス 1 はフル IRQ を通知。 A2B_MBOX1STAT.MB1FIRQビットは、メールボックス 1 フル割込みがアクティブかどうかを示します。
		0   メールボックス 1 フル割込みは非アクティブ
		1   メールボックス 1 フル割込みはアクティブ
1 (R/NW)	MB1EMPTY	メールボックス 1 エンプティ。 A2B_MBOX1STAT.MB1EMPTYビットは、メールボックス 1 が空かどうかを示します。
		0   メールボックス 1 は現在空になっていない
		1   メールボックス 1 は現在空になっている
0 (R/NW)	MB1FULL	メールボックス 1 フル。 A2B_MBOX1STAT.MB1FULLビットは、メールボックス 1 が一杯かどうかを示します。
		0   メールボックス 1 は現在一杯になっていない
		1   メールボックス 1 は現在一杯になっている

## メールボックス 1 バイト 0 レジスタ(スレーブのみ)

アドレス : 0x98

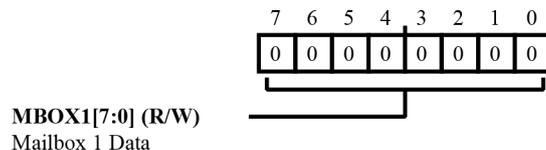


図 7-105: A2B\_MBOX1B0 レジスタの図

表 7-106: A2B\_MBOX1B0 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX1	メールボックス 1 のデータ。

## メールボックス 1 バイト 1 レジスタ(スレーブのみ)

アドレス : 0x99

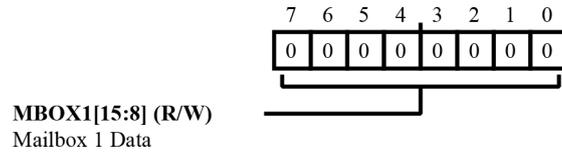


図 7-106: A2B\_MBOX1B1 レジスタの図

表 7-107: A2B\_MBOX1B1 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX1	メールボックス 1 のデータ。

## メールボックス 1 バイト 2 レジスタ(スレーブのみ)

アドレス : 0x9A

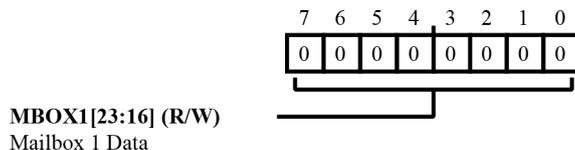


図 7-107: A2B\_MBOX1B2 レジスタの図

表 7-108: A2B\_MBOX1B2 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX1	メールボックス 1 のデータ。

## メールボックス 1 バイト 3 レジスタ(スレーブのみ)

アドレス : 0x9B

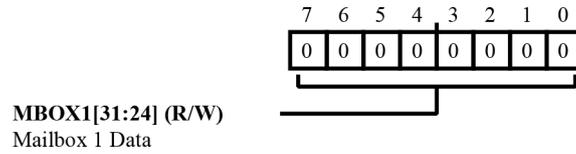


図 7-108: A2B\_MBOX1B3 レジスタの図

表 7-109: A2B\_MBOX1B3 レジスタ・フィールド

ビット番号 (アクセス)	ビット名	説明
7:0 (R/W)	MBOX1	メールボックス 1 のデータ。

## 8 付録 A：その他の検出フローの例

ここでは、修正された検出フロー、最適化された検出フロー、および高度な検出フローについて説明します。これらのソフトウェア・フローの図は、検出と初期化のガイドとして使用できます。

### 修正された検出フロー

修正された検出フローの図では、すべてのスレーブ・ノードは、スレーブ 0 からシステム内の最後の利用可能なスレーブまで順番に検出され、直ちに初期化されます。

すべてのノードの検出と設定が完了した後、更にバス管理を行う必要はありません。ただし、割込みサービス・ルーチンを使用して、特殊なイベント(例えば、診断からの IRQ イベント)に対応することができます。IRQ ピンを使用して、このようなイベントを通知できます。あるいは、A2B\_INTTYPEレジスタをポーリングして、割込みイベントをモニタできます。

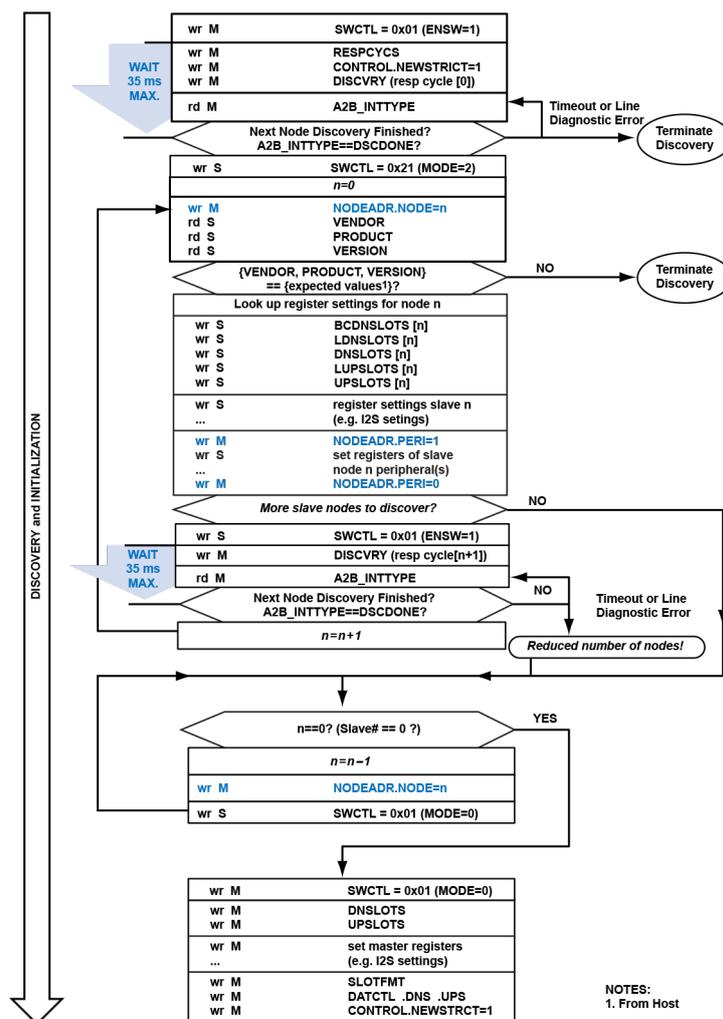


図 8-1: 修正された検出フロー

## 最適化された検出フロー

最適化された検出フローの図に、最適化された高速検出および初期化のフローを示します。ホストは、ノードの初期化が完了する前に、次のノードを検出しようとします。次のノードが検出されるまでの時間を利用して、現在のノードを初期化します。これにより、検出と初期化の所要時間は、ほぼ PLL がロックの検出に要する時間まで短縮されます。割り込みサービス・ルーチンを使用してレジスタのポーリングの繰り返しを避けることにより、ホスト・プロセッサの負荷が軽減されます。

すべてのノードの検出と初期化が完了した後、更にバス管理を行う必要はありません。割り込みサービス・ルーチンを使用して、特殊なイベント(例えば、診断からの IRQ イベント)に対応することができます。

このフロー図における高度な機能は、ノード ID の使用です。ノード ID により、ホストは、各スレーブ・ノードの EEPROM に保存された ID に基づいて、レジスタの設定値を参照できます。

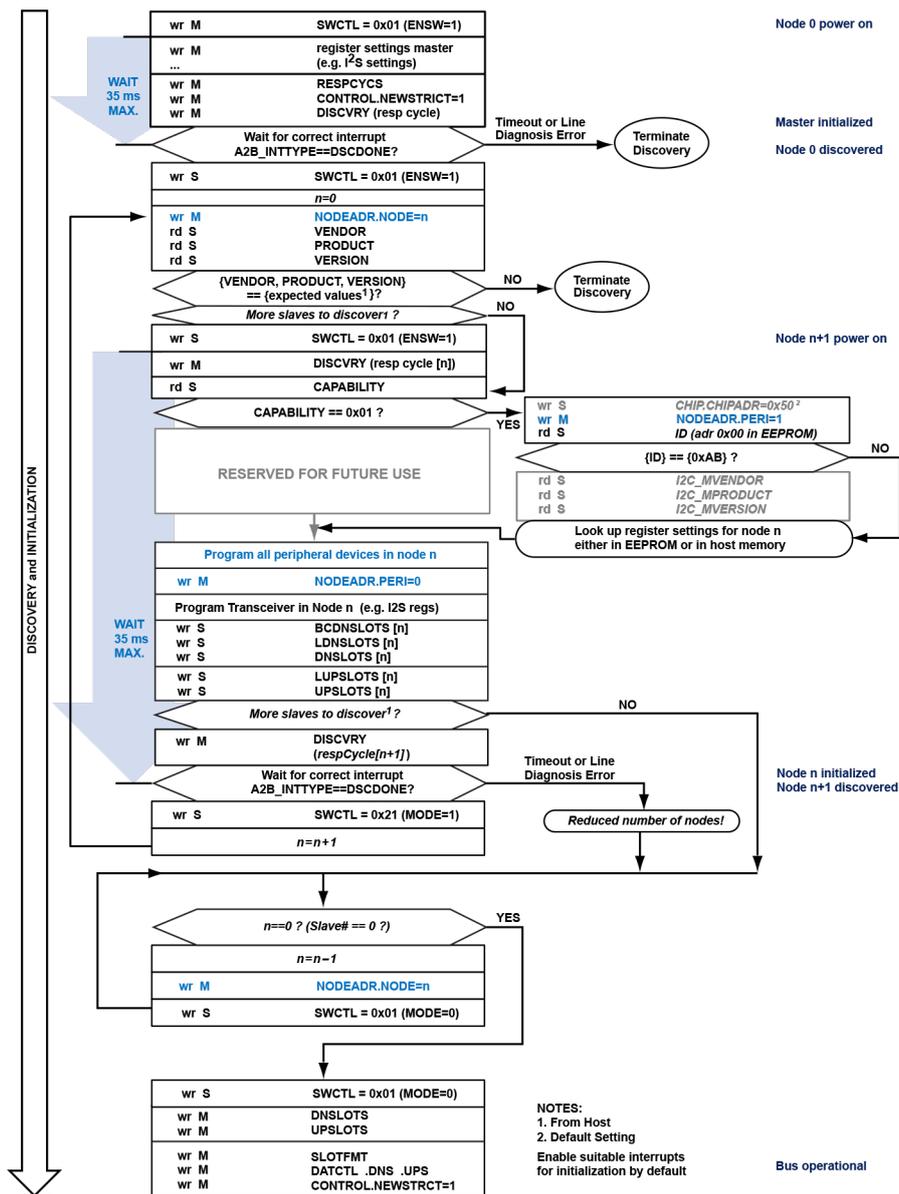


図 8-2:最適化された検出フロー

## 高度な検出フロー

高度な検出フローの図に、検出および初期化の高度な高速フローを示します。ホストは、ノードの初期化が完了する前に、次のノードを検出しようとします。次のノードが検出されるまでの時間を利用して、現在のノードを初期化します。これにより、検出と初期化の所要時間は、ほぼ PLL がロックの検出に要する時間まで短縮されます。マスタとスレーブ 0 ノードは、初期化の完了後、直ちにデータの同期交換を開始できます。まだ検出と初期化が完了していないノードは、順次起動します。割り込みサービス・ルーチンを使用してレジスタのポーリングの繰り返しの回避をすることにより、ホスト・プロセッサの負荷が軽減されます。

## 高度な検出フロー

このフロー図におけるもう 1 つの高度な機能は、ノード ID の使用です。ノード ID により、ホストは、各スレーブ・ノードの EEPROM に保存された ID に基づいて、レジスタの設定値を参照できます。

各スレーブ・ノードは、新しいノードが追加されるたびに再設定され、ペイロードの量を調整することによって帯域幅と消費電力が最適化されます。一部のノードが検出できない場合でも、新しいノードが追加されるたびに、最適なバス・アクティビティ・レベルが実現されます。

システム内のノード数を事前に把握していないホストが「自動検出」を実行する場合に、この機能は特に有利です。A2B\_DNSLOTSレジスタとA2B\_UPSLOTSレジスタの値は、各ノードのA2B\_BCDNSLOTS、A2B\_LDNSLOTS、およびA2B\_LUPSLOTSの情報に基づいて計算できます。これは(例えば、各スレーブ・ノードの EEPROM 内の)ノード ID ケイパリティ情報に含まれるか、またはケイパリティ情報に基づいて参照できます。

(検出されたノードの数に応じて)すべてのノード内のA2B\_DNSLOTSとA2B\_UPSLOTSを変更すると、マスタの I<sup>2</sup>S/TDM インターフェースに影響を与えます。同期データを供給または消費する新しいノードが追加されると、チャンネルのアロケーションが変化します。

バス全体が検出される前に、早く検出されたノード上で同期ペイロードを操作できるようにすることは、望ましい場合と望ましくない場合があります。高度な検出フローを修正して、検出後にのみ同期オーディオ動作を開始させることも可能です(最適化された検出フローを参照)。

すべてのノードの検出と初期化が完了した後、更にバス管理を行う必要はありません。割込みサービス・ルーチンを使用して、特殊なイベント(例えば、診断からの IRQ イベント)に対応することができます。

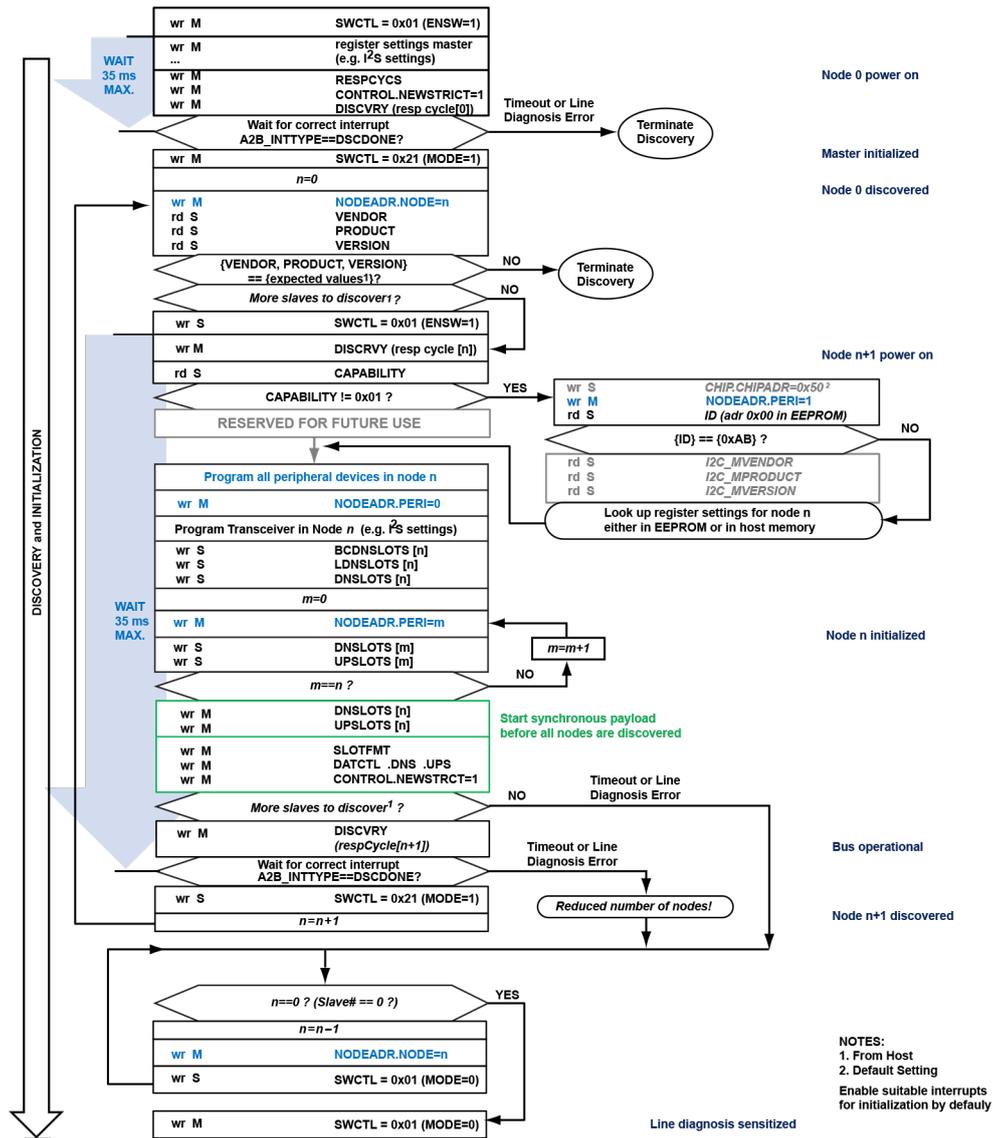


図 8-3: 高度な検出フロー

## 9 付録 B：応答サイクルの式

A2B\_RESPCYCSレジスタを使用して、制御フレーム(SCF)の開始から、最後のスレーブが応答フレーム(SRF)で応答する瞬間までの相対時間を設定できます。このレジスタの設定値は、A<sup>2</sup>B<sup>®</sup>ネットワーク内のより上流のノードが、スーパーフレームのアップストリーム部分で最後のスレーブからの応答をいつ受信するかを定義します。最後のノードが応答しない場合は、最後のノードの1つ前のノードが応答します。ここでは、マスタ・ノードとスレーブ・ノードのA2B\_RESPCYCSレジスタをプログラムする方法を説明します。

### マスタ・ノードの応答サイクルの設定

マスタ・ノードの応答サイクルの図に、マスタの応答サイクルの値がどのように決定されるかを示します。

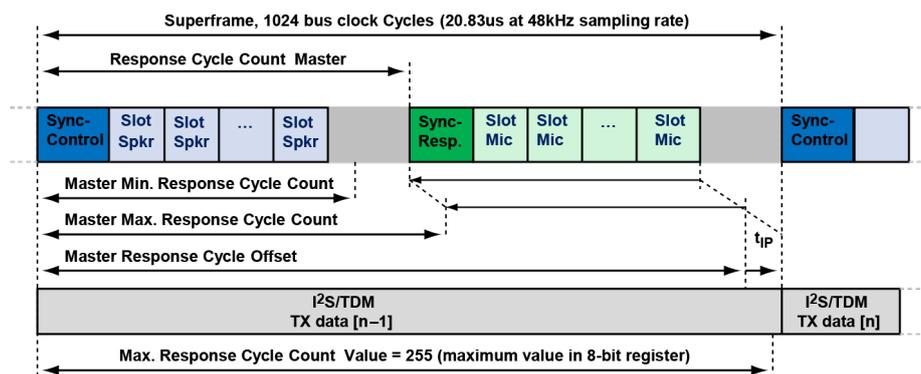


図 9-1: マスタ・ノードの応答サイクル

マスタ・ノードの応答サイクルの図では、次のようになります。

- **Master Minimum Response Cycle Count (マスタ最小応答サイクル数)** は、ダウンストリーム・データの長さ、最小バス・ターンアラウンド時間、およびスレーブ・ノードの数によって決まります。
- **Master Maximum Response Cycle Count (マスタ最大応答サイクル数)** は、アップストリーム・データの長さと同様に **Master Response Cycle Offset (マスタ応答サイクル・オフセット)** によって決まります。
- **Master Response Cycle Offset (マスタ応答サイクル・オフセット)** により、最後のアップストリーム・データ・ビットを受信バッファ内に受信してから、この I<sup>2</sup>S/TDM データが出力される時点(次の SCF および SYNC ピンの遷移の同期を開始)までに、十分な内部処理時間 ( $t_{ip}$ ) が確保されます。A<sup>2</sup>B<sup>®</sup>マスタ・ノードの**応答オフセット (RESPOFFS)** の表に、この一定の**マスタ応答サイクル・オフセット** を定義します。この値は、A<sup>2</sup>B<sup>®</sup>マスタ・ノードの TDM モード (A2B\_I2SGCFG.TDMMODE) と I<sup>2</sup>S/TDM チャンネル・サイズ (A2B\_I2SGCFG.TDMSS) によって決まります。

表 9-1: A<sup>2</sup>B<sup>®</sup>マスタ・ノードの応答オフセット(RESPOFFS)

TDM Mode (A <sup>2</sup> B Master Node)	TDM Data Width (A <sup>2</sup> B Master Node)	RESPOFFS
TDM2/I <sup>2</sup> S (A2B_I2SGCFG.TDMMODE = 0)	16 bits (A2B_I2SGCFG.TDMSS = 1)	238
TDM2/I <sup>2</sup> S (A2B_I2SGCFG.TDMMODE = 0)	32 bits (A2B_I2SGCFG.TDMSS = 0)	245
TDM4 (A2B_I2SGCFG.TDMMODE = 1)	16 bits (A2B_I2SGCFG.TDMSS = 1)	245
TDM4 (A2B_I2SGCFG.TDMMODE = 1)	32 bits (A2B_I2SGCFG.TDMSS = 0)	248
TDM8 (A2B_I2SGCFG.TDMMODE = 2)	16 bits (A2B_I2SGCFG.TDMSS = 1)	248
TDM8 (A2B_I2SGCFG.TDMMODE = 2)	32 bits (A2B_I2SGCFG.TDMSS = 0)	248
TDM12 (A2B_I2SGCFG.TDMMODE = 3)	16 bits (A2B_I2SGCFG.TDMSS = 1)	248
TDM12 (A2B_I2SGCFG.TDMMODE = 3)	32 bits (A2B_I2SGCFG.TDMSS = 0)	248
TDM16 (A2B_I2SGCFG.TDMMODE = 4)	16 bits (A2B_I2SGCFG.TDMSS = 1)	248
TDM16 (A2B_I2SGCFG.TDMMODE = 4)	32 bits (A2B_I2SGCFG.TDMSS = 0)	248
TDM20 (A2B_I2SGCFG.TDMMODE = 5)	N/A	248
TDM24 (A2B_I2SGCFG.TDMMODE = 6)	N/A	248
TDM32 (A2B_I2SGCFG.TDMMODE = 7)	N/A	248

マスタ・ノードのA2B\_RESPCYCSレジスタの設定は、上記のマスタ応答サイクル・オフセット (RESPOFFS) と、

- システム内のスレーブ・ノードの数、
- 各スレーブの A-PORT で受信するダウンストリーム A<sup>2</sup>B<sup>®</sup>バス・データ・スロットの数(NUM\_DNSLOTS)、
- ダウンストリーム A<sup>2</sup>B<sup>®</sup>バス・データ・スロットの幅(DNSLOT\_SIZE)、
- 各スレーブが A-PORT に出力するアップストリーム A<sup>2</sup>B<sup>®</sup>バス・データ・スロットの数(NUM\_UPSLOTS)、および
- アップストリーム A<sup>2</sup>B<sup>®</sup>バス・データ・スロットの幅(UPSLOT\_SIZE)によって決まります。

システム内の特定のノードで可能なアップスロットおよびダウンスロット・アクティビティは、マスタ・ノードの A2B\_RESPCYCSレジスタの設定値の決定に影響を与える第 1 の要因です。A<sup>2</sup>B<sup>®</sup>トポロジ内の各スレーブ・ノード n について、以下の式により、そのノードのダウンストリーム・アクティビティ(DNSLOT\_ACTIVITY[n])とアップストリーム・アクティビティ(UPSLOT\_ACTIVITY[n])を定義します。

$$\text{DNSLOT\_ACTIVITY}[n] = \text{NUM\_DNSLOTS} * (\text{DNSLOT\_SIZE} + 1)$$

$$\text{UPSLOT\_ACTIVITY}[n] = \text{NUM\_UPSLOTS} * (\text{UPSLOT\_SIZE} + 1)$$

**注意：** デフォルトのスロット・フォーマット(A2B\_SLOTFMT)では、A<sup>2</sup>B<sup>®</sup>バス上の各データ・スロットにシングル・パリティ・ビットが追加され、A<sup>2</sup>B<sup>®</sup>バス上の 1 スロットあたりのビット数が 1 増えるため、上記の計算では DNSLOT\_SIZE および UPSLOT\_SIZE スロット・サイズが 1 だけオフセットされます。代替スロット・フォーマットでは、ここで定義した 1 の代わりに、選択したユースケースで追加されるビット数を加算する必要があります (A<sup>2</sup>B<sup>®</sup>スロット・フォーマットのスロット・フォーマットの表で A<sup>2</sup>B<sup>®</sup>バス・ビットの列を参照)。

各スレーブ・ノード  $n$  のアップスロットおよびダウンスロット・アクティビティを設定したら、以下の式に従って、各スレーブ・ノードについて等価なアップストリーム応答サイクル (RESPCYCS\_UP[n]) とダウンストリーム応答サイクル (RESPCYCS\_DN[n]) の条件を計算できます。

$$\begin{aligned} \text{RESPCYCS\_DN}[n] &= ((64 + \text{DNSLOT\_ACTIVITY}[n]) / 4) + 4n + 2 && // \text{Round Up} \\ \text{RESPCYCS\_UP}[n] &= \text{RESPOFFS} - (((64 + \text{UPSLOT\_ACTIVITY}[n]) / 4) + 1) && // \text{Round Up} \end{aligned}$$

- RESPCYCS\_DN[n]は、スレーブ・ノード  $n$  でのダウンストリーム・アクティビティを考慮に入れたときにマスタ・ノード側で可能な、最小応答サイクルのレジスタ設定値です。RESPCYCS\_DN[n]の計算値の中で最も大きい値 (MAX(RESPCYCS\_DN[n]))が、マスタ・ノードのA2B\_RESPCYCSの最小の設定値です。
- RESPCYCS\_UP[n]は、スレーブ・ノード  $n$  でのアップストリーム・アクティビティを考慮に入れたときにマスタ・ノード側で可能な、最大応答サイクルのレジスタ設定値です。RESPCYCS\_UP[n]の計算値の中で最も小さい値 (MIN(RESPCYCS\_UP[n]))が、マスタ・ノードのA2B\_RESPCYCSの最大の設定値です。

**注意事項：** MAX(RESPCYCS\_DN[n]) > MIN(RESPCYCS\_UP[n]) の場合、この設定は A<sup>2</sup>B<sup>®</sup>バス帯域幅に収まりません。

マスタ・ノードのA2B\_RESPCYCSレジスタに設定する必要がある値は、これらの最小値と最大値の平均です。

$$\text{A2B\_RESPCYCS} = (\text{MAX}(\text{RESPCYCS\_DN}[n]) + \text{MIN}(\text{RESPCYCS\_UP}[n])) / 2 \quad // \text{Round Down}$$

### マスタのA2B\_RESPCYCSの計算例

マスタ・ノードと2つのスレーブ・ノード(スレーブ 0 とスレーブ 1)の3ノードで構成されるシステムの設定例を、3ノードのA<sup>2</sup>B<sup>®</sup>システムの例の図に示します。

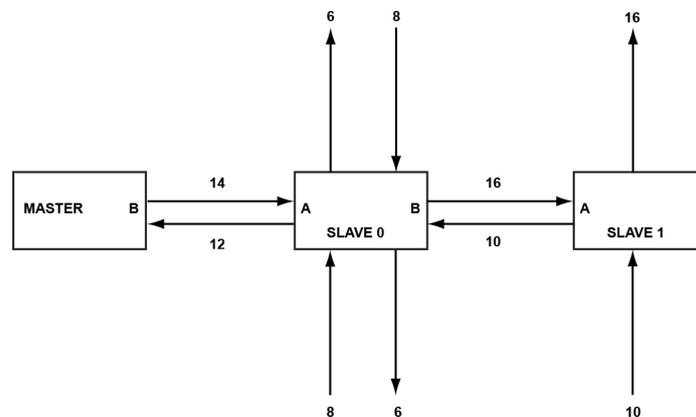


図 9-2: 3ノードのA<sup>2</sup>B<sup>®</sup>システムの例

スーパーフレームのダウンストリーム部分では、次のようになります。

- マスタ・ノード(32ビットのTDM8モードに設定): 24ビットのスロット・サイズで14スロットを送信します。
- スレーブ 0: マスタ・ノードからの6スロットを消費し、残りの8スロットをスレーブ 1に渡した後、追加の8スロットをダウンストリーム・トラフィックに提供します(合計16スロットがスレーブ 0からスレーブ 1へ送信されます)。

- スレーブ 1:スレーブ 0 から供給される 16 スロットをすべて消費します。

スーパーフレームのアップストリーム部分では、次のようになります。

- スレーブ 1:16ビットのスロット・サイズで 10 スロットを送信します。
- スレーブ 0:スレーブ 1 からの 6 スロットを消費し、残りの 4 スロットをマスタ・ノードに渡した後、追加の 8 スロットをアップストリーム・トラフィックに提供します(合計 12 スロットがスレーブ 0 からマスタ・ノードへ送信されます)。
- (32 ビットの TDM8 モードに設定された)マスタ・ノード:スレーブ 0 から供給される 12 スロットをすべて消費します。応答サイクルは、以下の手順で決定されます。

- 各スレーブ・ノードのアップスロットおよびダウンスロット・アクティビティを計算します。

```
DNSLOT_ACTIVITY[n] = NUM_DNSLOTS * (DNSLOT_SIZE + 1)
DNSLOT_ACTIVITY[0] = 14 * (24 + 1) = 350
DNSLOT_ACTIVITY[1] = 16 * (24 + 1) = 400

UPSLOT_ACTIVITY[n] = NUM_UPSLOTS * (UPSLOT_SIZE + 1)
UPSLOT_ACTIVITY[0] = 12 * (16 + 1) = 204
UPSLOT_ACTIVITY[1] = 10 * (16 + 1) = 170
```

- この情報を使って、各スレーブの応答サイクル条件を計算します。**A<sup>2</sup>B<sup>®</sup>**マスタ・ノードの**応答オフセット (RESPOFFS)**の表で、TDM8 モードと 32 ビット・データの組み合わせから RESPOFFS = 248 を計算します。

```
RESPCYCS_DN[n] = ((64 + DNSLOT_ACTIVITY[n])/4) + 4n + 2 // Round Up
RESPCYCS_DN[0] = ((64 + 350)/4) + (4*0) + 2 = 103.5 + 0 + 2 = 105.5 = 106
RESPCYCS_DN[1] = ((64 + 400)/4) + (4*1) + 2 = 116.0 + 4 + 2 = 122.0 = 122

RESPCYCS_UP[n] = RESPOFFS - (((64 + UPSLOT_ACTIVITY[n])/4) + 1) // Round Up
RESPCYCS_UP[0] = 248 - (((64 + 204)/4) + 1) = 248 - (67.0 + 1) = 180.0 = 180
RESPCYCS_UP[1] = 248 - (((64 + 170)/4) + 1) = 248 - (58.5 + 1) = 188.5 = 189
```

マスタ・ノードのA2B\_RESPCYCSの最小の設定値は、RESPCYCS\_DN[n]の計算値の中で最も大きい値(122)です。最大の設定値は、RESPCYCS\_UP[n]の計算値の中で最も小さい値(180)です。最小値と最大値の平均は、次のようになります。

```
(MAX(RESPCYCS_DN[n]) + MIN(RESPCYCS_UP[n])) / 2 // Round Down
(122 + 180) / 2 = 302 / 2 = 151.0 = 151
```

- このシステム構成では、マスタ・ノードのA2B\_RESPCYCSの値を 151(0x97)に設定します。

## スレーブ・ノードの応答サイクルの設定

各スレーブ・ノードには、システム検出プロセス中に設定されるA2B\_RESPCYCSレジスタがあります。マスタ・トランシーバーは、検出対象のスレーブ・トランシーバーに関連付けられる応答サイクルの値で、マスタの A2B\_DISCVRY レジスタを設定します。各スレーブ・ノードの適切な値(SLV\_RESPCYCS[n])は、A<sup>2</sup>B<sup>®</sup>トポロジ内でのスレーブ・ノードの位置と、マスタ・ノードのA2B\_RESPCYCSレジスタの設定値(MSTR\_RESPCYCS)によって決まります。マスタ・ノードに最も近いスレーブ・ノードがノード番号 0 になります。ノード番号は次のスレーブ・ノードごとにインクリメントされ、最後のスレーブ・ノード n に達します。検出中に各スレーブ・ノードに使用されるA2B\_RESPCYCSの値は、以下の式で計算できます。

$$\text{SLV\_RESPCYCS}[n] = \text{MSTR\_RESPCYCS} - 4n$$

上記の例のマスターのA2B\_RESPCYCSの計算値(MSTR\_RESPCYCS = 151)を使用した場合、以下の式により、2つのスレーブ・ノードのA2B\_RESPCYCSの適切な値を計算できます。

$$\text{SLV\_RESPCYCS}[0] = \text{MSTR\_RESPCYCS} - (4 \times 0) = 151 - 0 = 151 \quad (0 \times 97)$$

$$\text{SLV\_RESPCYCS}[1] = \text{MSTR\_RESPCYCS} - (4 \times 1) = 151 - 4 = 147 \quad (0 \times 93)$$

以下のコード・シーケンスは、これらの値を使用して、この例のシステムで検出プロセスを進めます。

```
Write MSTR_RESPCYCS to the A2B_RESPCYCS register in the master node
Write 0x01 to the A2B_CONTROL register in the master node
Write 0x01 to the A2B_SWCTL register in the master node
Write 0x01 to the A2B_INTMSK2 register in the master node
Write SLV_RESPCYCS[0] to the A2B_DISCVRY register in the master node
  <Wait for Interrupt>

Write 0x00 to the A2B_NODEADR register in the master node
Write 0x01 to the A2B_SWCTL register in slave node 0
Write SLV_RESPCYCS[1] to the A2B_DISCVRY register in the master node
  <Wait for Interrupt>
```

## 高度な検出でのスレーブ・ノードの応答サイクルの設定

A<sup>2</sup>B<sup>®</sup>トランシーバーは、A<sup>2</sup>B<sup>®</sup>バス上で応答が検出される時間に合わせて自動的に調整されるように設計されています。これにより、ケーブル長に基づいてスレーブ・ノードの応答サイクルを変更しなくても、スレーブ・ノードの検出が可能です。高度な検出フローを使用する場合、過渡的なデータ・パリティ・エラーがマスター・ノードによって直ちに通知され、その後で(5mを超える)長いケーブルで接続された新しいスレーブが検出される可能性があります。これらのエラーが持続するのは、2〜3 スーパーフレームの間だけです。システム内のケーブル長がわかっている場合は、以下の疑似コードを使用してスレーブ・ノードの応答サイクルを計算することにより、これらのエラーを回避できます。

```
if (n = 0)
  SLV_RESPCYCS[n] = MSTR_RESPCYCS
else
  if (cable_length > 12m)
    SLV_RESPCYCS[n] = SLV_RESPCYCS[n-1] - 6
  else if (cable_length > 5m)
    SLV_RESPCYCS[n] = SLV_RESPCYCS[n-1] - 5
  else
    SLV_RESPCYCS[n] = SLV_RESPCYCS[n-1] - 4
```

# 10 付録 C：モジュール ID およびモジュール設定メモリ

モジュール固有の記述子情報は、I<sup>2</sup>C を介して A<sup>2</sup>B<sup>®</sup>トランシーバーに直接接続され、A<sup>2</sup>B<sup>®</sup>バスを介してペリフェラル・デバイスとしてアクセス可能な、ストレージ・デバイス (EEPROM または類似のデバイス) に保存されます。このような I<sup>2</sup>C 接続のストレージ・デバイスは、デバイス・アドレス 0x50 (7ビット) を使用します。この設定メモリには、モジュール ID 情報とオプションの設定ブロックが格納されます。

## 設定メモリ

設定ブロックを含まないメモリの内容の表に、設定ブロックを含まない設定メモリの内容を示します。

ADDRESS	CONTENTS
0x0000	0xAB (Indicates Configuration Memory)
0x0001	Module Vendor ID*
0x0002	Module Product ID
0x0003	Module Version ID
0x0004	Reserved - value should be ignored
0x0005	0x00 (Number of Configuration Blocks)
0x0006	Reserved - value should be 0x00
0x0007	CRC-8

\*Assignment and management of Module Vendor IDs currently resides with Analog Devices Inc.

図 10-1: 設定ブロックを含まないメモリの内容

検出中および検出後、ホストは表中の規則に基づいてスレーブ・ノード・モジュールを一意に特定できます。この情報により、ホストはすべての格納された設定値とソフトウェア・ドライバを参照し、A<sup>2</sup>B<sup>®</sup>システムの設定、A<sup>2</sup>B<sup>®</sup>ノードの設定、およびペリフェラル・デバイスの初期化を自動的に実行します。CRC バイトを使用してデータの完全性を確保します。

更に、デバイス固有の設定およびセットアップ情報も、設定ブロックを使用して設定メモリに格納できます。ホストは、この情報を読み出すことにより、スレーブ・ノードに関する事前の知識がなくてもスレーブをセットアップできます。**設定ブロックを含むメモリの内容**の表に、設定ブロックを含む設定メモリの内容を示します。

ADDRESS	CONTENTS
0x0000	0xAB (Indicates Configuration Memory)
0x0001	Module Vendor ID
0x0002	Module Product ID
0x0003	Module Version ID
0x0004	Reserved - value should be ignored
0x0005	Number of Configuration Blocks
0x0006	Reserved - value should be 0x00
0x0007	CRC-8
0x0008 to 7 + L <sub>1</sub>	Configuration Block 1
8 + L <sub>1</sub> to 7 + L <sub>1</sub> + L <sub>2</sub>	Configuration Block 2
	⋮
	Configuration Block N

図 10-2: 設定ブロックを含むメモリの内容

設定ブロックの内容の図に、設定ブロックの内容を示します。

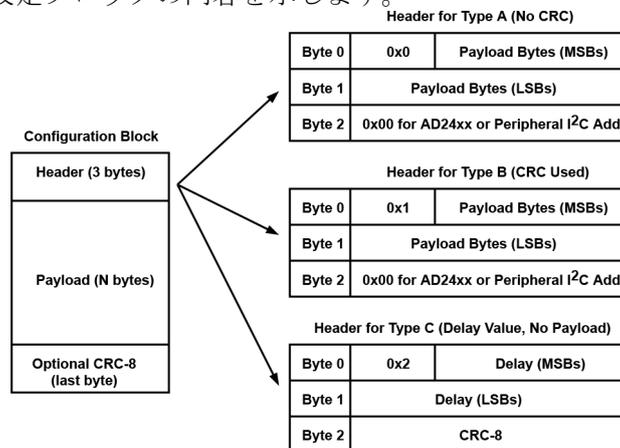


図 10-3: 設定ブロックの内容

設定ブロックの最初の 3 バイトは、設定ブロックに関する詳細を記述するヘッダを形成します。ヘッダの最初の 4 ビットは、設定ブロックのタイプを示します(設定ブロックのヘッダのタイプの表を参照)。タイプ A とタイプ B には、ペイロードのサイズ(バイト単位)を示す 12 ビット・フィールドがあります。タイプ A の設定ブロックでは、このフィールドには設定中に書き込まれるバイトの数が格納されます。タイプ B の設定ブロックでは、ペイロードの最後に 8 ビットの CRC が含まれるため、このフィールドの値は設定中に書き込まれるバイト数 + 1 になります。

設定するデバイスがアドレス・ポインタを必要とする場合は、ペイロード・フィールドの始めで指定されます。タイプ C の設定ブロックには、プログラミング・フローに挿入される遅延(ms 単位)を記述する 12 ビット・フィールドがあります。

表 10-1: 設定ブロックのヘッダのタイプ

Type Value	Meaning	Notes
0x0	Type A config block, no CRC	All payload bytes written to target for configuration
0x1	Type B config block CRC-8 calculated on header + payload	Last payload byte not written to target
0x2	Type C config block delay value only (no payload)	CRC-8 calculated based on first 2 bytes in header
0x3 - 0xF	予備	N/A

設定ブロックの詳細図に、N 個の設定ブロックを含む設定メモリの内容の詳細図を示します。

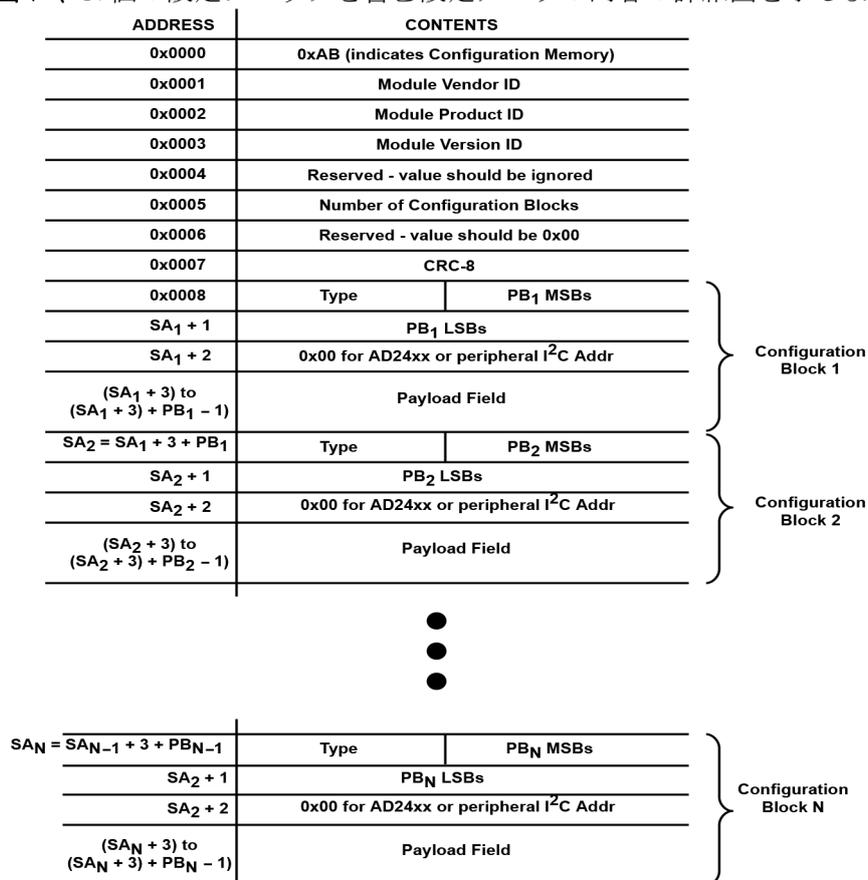


図 10-4: 設定メモリの詳細図

注記:

- アドレス 0x0005 が 0x00 を返す場合、メモリ内に設定ブロックはありません。
- PB<sub>N</sub> は、設定ブロック N のペイロードのバイト数です (12 ビット・フィールド)。
- SA<sub>N</sub> は、設定ブロック N の開始アドレスです。SA<sub>N</sub> = SA<sub>N-1</sub> + 3 + PB<sub>N-1</sub>。SA<sub>1</sub> = 8。

## 設定メモリ

以下の表に、A<sup>2</sup>B<sup>®</sup>スレーブ・ノードのプログラミング情報を含む設定メモリの 2 つの例を示します。各ペイロード・フィールドの最初のバイトは、バースト書込みの開始アドレスです。

ADDRESS	CONTENTS		
0x0000	0xAB		
0x0001	Module Vendor ID		
0x0002	Module Product ID		
0x0003	Module Version ID		
0x0004	Reserved		
0x0005	0x02 (Number of Configuration Blocks)		
0x0006	Reserved - value should be 0x00		
0x0007	CRC-8		
SA <sub>1</sub> 0x0008	0x00 (Type A, PB <sub>1</sub> MSBs = 0)	Payload	Configuration Block
0x0009	0x04 (PB <sub>1</sub> LSBs = 4)		
0x000A	0x00 (For AD24xx programming)		
0x000B	0x0A (Address pointer for BCDNSLOTS)		
0x000C	Data for BCDNSLOTS		
0x000D	Data for LDNSLOTS		
0x000E	Data for LUPSLOTS		
SA <sub>2</sub> 0x000F	0x00 (Type A, PB <sub>2</sub> MSBs = 0)	Payload	Configuration Block2
0x0010	0x15 (PB <sub>2</sub> LSBs = 21)		
0x0011	0x00 (For AD24xx programming)		
0x0012	0x3F (Address pointer for I2CCFG)		
0x0013	Data for I2CCFG		
0x0014	0x00 (Data for PLLCTL)		
0x0015	Data for I2SGCFG		
0x0016	Data for I2SCFG		
0x0017	Data for I2SRATE		
0x0018	Reserved (ADDR 0x44 reserved for slave)		
0x0019	Reserved (ADDR 0x45 reserved for slave)		
0x001A	Data for SYNCOFFSET		
0x001B	Data for PDMCTL		
0x001C	Data for ERRMGMT		
0x001D	0x00 (addr 0x49 reserved) for AD242x		
0x001E	Data for GPIODAT		
0x001F	Data for GPIODATSET		
0x0020	Data for GPIODATCLR		
0x0021	Data for GPIOOEN		
0x0022	Data for GPIOIEN		
0x0023	0x00 (Data for GPIOIN)		
0x0024	Data for PINTEN		
0x0025	Data for PINTINV		
0x0026	Data for PINCFG		

図 10-5: AD242x スレーブ設定用の設定メモリ(ロング)

ADDRESS	CONTENTS		
0x0000	0xAB		
0x0001	Module Vendor ID		
0x0002	Module Product ID		
0x0003	Module Version ID		
0x0004	Reserved		
0x0005	0x02 (Number of Configuration Blocks)		
0x0006	Reserved - value should be 0x00		
0x0007	CRC-8		
SA <sub>1</sub> 0x0008	0x10 (Type B, PB <sub>1</sub> MSBs = 0)	Payload	Configuration Block 1
0x0009	0x04 (PB <sub>1</sub> LSBs = 4)		
0x000A	0x00 (For AD24xx programming)		
0x000B	0x0B (Address pointer for LDNSLOTS)		
0x000C	Data for LDNSLOTS		
0x000D	Data for LDNSLOTS		
0x000E	CRC-8		
SA <sub>2</sub> 0x000F	0x10 (Type B, PB <sub>2</sub> MSBs = 0)	Payload	Configuration Block 2
0x0010	0x0B (PB <sub>2</sub> LSBs = 11)		
0x0011	0x00 (For AD24xx programming)		
0x0012	0x41 (Address pointer for I2SGCFG)		
0x0013	Data for I2SGCFG		
0x0014	Data for I2SCFG		
0x0015	Data for I2SRATE		
0x0016	Reserved (ADDR 0x44 reserved for slave)		
0x0017	Reserved (ADDR 0x45 reserved for slave)		
0x0018	Data for SYNCOFFSET		
0x0019	Data for PDMCTL		
0x001A	Data for ERRMGMT		
0x001B	0x00 (addr 0x49 reserved) for AD242x		
0x001C	CRC-8		

図 10-6: AD242x スレーブ設定用の設定メモリ(ショート)

ADAU1761 の設定メモリの図に、(1 回のトランザクションあたり 2 アドレス・バイトを使用する) ADAU1761 コーデックのプログラミング情報を含む設定メモリの例を示します。

設定メモリ

Address	Contents		
0x0000	0xAB		
0x0001	Module Vendor ID		
0x0002	Module Product ID		
0x0003	Module Version ID		
0x0004	Reserved		
0x0005	0x08 (Number of Configuration Blocks)		
0x0006	Reserved - value should be 0x00		
0x0007	CRC-8		
SA <sub>1</sub>	0x00 (Type A, PB <sub>1</sub> MSBs = 0)	} Payload	} Configuration Block 1
	0x03 (PB <sub>1</sub> LSBs = 3)		
	0x39 (Peripheral I <sup>2</sup> C Address)		
	0x40 (Address MSB)		
	0x00 (Address LSB)		
	0x0f (Data for address 0x4000)		
SA <sub>2</sub>	0x00 (Type A, PB <sub>2</sub> MSBs = 0)	} Payload	} Configuration Block 2
	0x08 (PB <sub>2</sub> LSBs = 8)		
	0x39 (Peripheral I <sup>2</sup> C Address)		
	0x40 (Address MSB)		
	0x02 (Address LSB)		
	0x00 (Data for address 0x4002)		
	0x01 (Data for address 0x4003)		
	0x00 (Data for address 0x4004)		
	0x00 (Data for address 0x4005)		
	0x20 (Data for address 0x4006)		
	0x03 (Data for address 0x4007)		
SA <sub>3</sub>	0x20 (Type C, Delay <sub>3</sub> MSBs = 0)	} Payload	} Configuration Block 3
	0x64 (Delay <sub>3</sub> LSBs = 100)		
	CRC-8		
SA <sub>4</sub>	0x00 (Type A, PB <sub>4</sub> MSBs = 0)	} Payload	} Configuration Block 4
	0x16 (PB <sub>4</sub> LSBs = 22)		
	0x39 (Peripheral I <sup>2</sup> C Address)		
	0x40 (Address MSB)		
	0x08 (Address LSB)		
	Data for address 0x4008		
	Data for address 0x4009		
	Data for address 0x400A		
	•		
	•		
	•		
	0x0033 Data for address 0x401A		
	0x0034 Data for address 0x401B		
SA <sub>5</sub>	0x00 (Type A, PB <sub>5</sub> MSBs = 0)		
	•		
	•		
	•		

図 10-7: ADAU1761 の設定メモリ

# 11 付録 D：割込み処理

ここでは、A<sup>2</sup>B<sup>®</sup>システム内のホストによる割込み処理のフローを説明します。

## マスタ実行中割込み

マスタ実行中割込みの図に示すように、マスタ・ノードが PLL を SYNC 信号にロックした後、または検出後にライン障害が発生したときに、トリガ(マスタの IRQ ピン)がアサートされます。

**注意：** MSTR\_RUNNING (A2B\_INTTYPE= 0xFF) は、マスタ専用の割込みです。

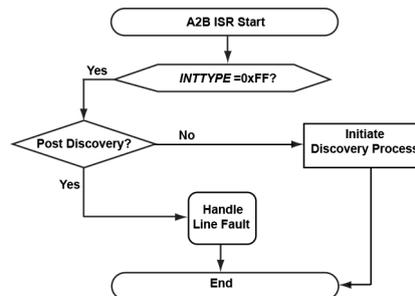


図 11-1: マスタ実行中割込み

処置: A2B\_INTSRC および A2B\_INTTYPE レジスタを読み出し、スレーブ・ノードの検出に進むか、またはライン障害を処理します。ホストがマスタの A2B\_INTTYPE レジスタを読み出すと、この割込みはクリアされます。

## 検出終了割込み

検出終了割込みの図に示すように、マスタ・ノードがスレーブ・ノードの検出からの応答を認識した後、トリガ(マスタの IRQ ピン)がアサートされます。DSCDONE (A2B\_INTTYPE= 0x18) は、マスタ専用の割込みです。

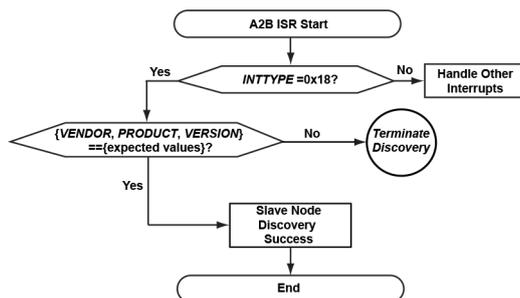


図 11-2: 検出終了割込み

処置: A2B\_INTSRCおよびA2B\_INTTYPEレジスタを読み出し、ノードの認証および検出プロセスに進みます。ホストがマスタのA2B\_INTTYPEレジスタを読み出すと、この割込みはクリアされます。

## ライン障害割込み

ライン障害割込みの図に示すように、検出中または検出後にライン障害が検出された後、トリガ(マスタの IRQ ピン)がアサートされます。

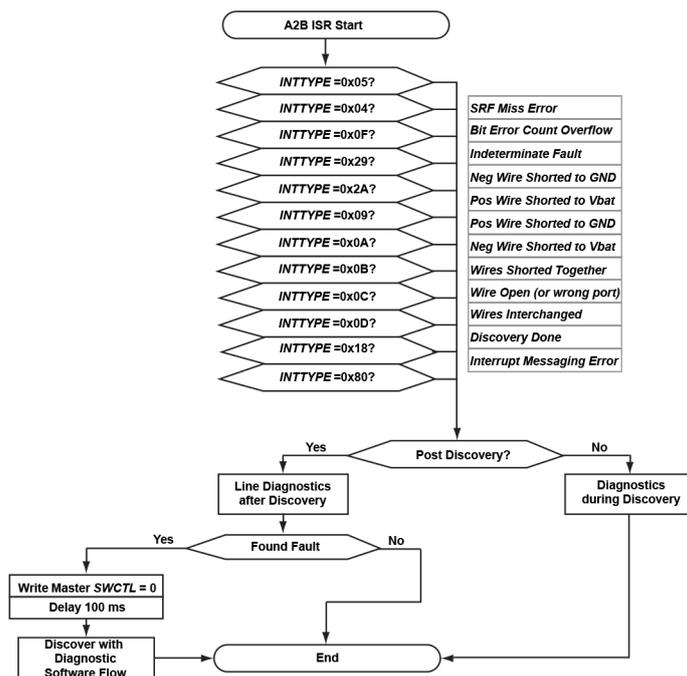


図 11-3: ライン障害割込み

処置: A2B\_INTTYPEレジスタを読み出し、ライン診断に進みます(A2B®システム・デバッグを参照)。

GND への BP の短絡などのクリティカル障害が原因でトランシーバーが RESET ステートに移行した場合、そのことはホストに通知されません。このような機能が必要なシステムを設計する場合は、IRQ ライン上の終端抵抗を(A2B\_PINCFG.IRQINVビットで制御される)アクティブ極性の機能として利用できます。A2B\_PINCFG.IRQINV = 0 の場合、IRQ ラインに接続されたプルアップ抵抗は、トランシーバーが RESET ステートの間に IRQ ピンをトライステートに

したとき、IRQ ピンをハイに引き上げます。ホスト・コントローラは、この状態をアクティブ・ハイ・エッジの擬似割込みとして認識します。ホストは、A2B\_INTSTATおよびA2B\_INTTYPEレジスタを 0x00 (リセット値)として読み出します。この値は、トランシーバーが RESET ステートに移行したことを示すイベントとして解釈されます。A2B\_PINCFG.IRQINV=1 の場合は、IRQ ライン上のプルダウン抵抗が同じ効果を持ち、ホスト・コントローラは負のエッジの割込みとして認識します。

**注意：**ホスト・コントローラは、A2B\_CONTROL.MSTR ビットがセットされる前の IRQ ステートを無視する必要があります。このビットがセットされると、IRQ ピンは非アクティブ状態になります。

## エラー割込み

エラー割込みの図に示すように、以下のいずれかのエラーが検出されると、トリガ(マスタの IRQ ピン)がアサートされます。

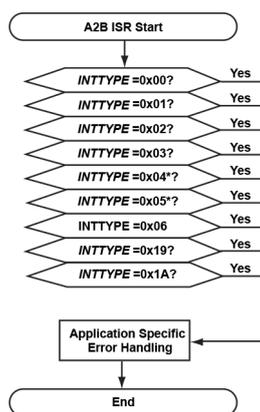


図 11-4: エラー割込み

```

HDCNTERR= 0x0
DDERR= 0x1
CRCERR= 0x2
DPERR= 0x3
BECOVF= 0x4* (Occurrence of Bit error count overflow interrupt, after
              resetting the error counter (BECNT) once every second, indicates
              bus issues )
SRFERR= 0x5* (10 time occurrence without interrupt status (INTSTAT) being
              cleared between pending interrupts shall be treated as bus lost
              condition/line fault)
SRFCRCERR= 0x6 (Slave Only)
I2CERR= 0x19 (Master Only)
ICRCERR= 0x1A (Master Only)
  
```

処置: A2B\_INTTYPEレジスタを読み出し、ライン診断に進みます(A2B®システム・デバッグを参照)。

## 汎用 IO ピン割込み

汎用 IO ピン割込みの図に示すように、以下のいずれかのエラーが検出されると、トリガ（マスタの IRQ ピン）がアサートされます。

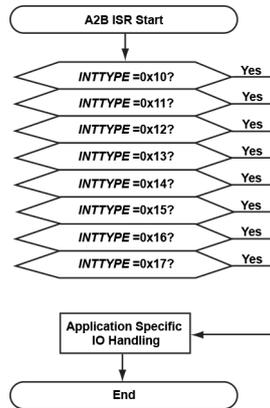


図 11-5: 汎用 IO ピン割込み

```

I00= 0x10 (Slave only)
I01= 0x11
I02= 0x12
I03= 0x13
I04= 0x14
I05= 0x15
I06= 0x16
I07= 0x17
  
```

処置: A2B\_INTTYPEレジスタを読み出し、アプリケーションに固有の処置を実行します。