

ADCの「ノイズ・スペクトル密度」を理解する

著者: Ian Beavers
Analog Devices, Inc.

信号アキュイジション・システムについては、数十年にわたってより広い帯域幅が求められる状況が続いています。その結果、高速 A/D コンバータ（ADC）で最も重視される性能項目にも緩やかな変化が生じています。それに伴い、ADC の性能は、従来とは異なる方法で測定されるようになってきました。

1980年代には、ADCの特性は、主に微分非直線性（DNL）や積分非直線性（INL）といった DC 仕様で評価されていました。1990 年代になると、S/N 比が ADC の重要な特性として使われるようになりました。また、スプリアスフリー・ダイナミック・レンジ（SFDR）も重要なパラメータの 1 つです。それが現在では、ノイズ・スペクトル密度（NSD: Noise Spectral Density）を重要な指標として扱うようになりました。NSD は、特に、サンプル・レートがギガサンプル/秒（GSPS）に達する高速 ADC の性能を規定するうえで有用な仕様の 1 つです。

従来も、NSD は、ADC のノイズ性能を規定するための仕様として使われていました。ただ、多くのシステム設計者にとって、NSD は、最先端の高速 ADC の主要な仕様として扱うべきものではなかったかもしれません。また、ほかの仕様に注目して高速 ADC を選定してきた技術者にとって、NSD は全くなじみのない概念であるかもしれません。実際、この ADC の性能指標については、技術者から次のような質問が寄せられることが少なくありません。

「これまでに、ナイキスト・レートの ADC のデータシートで、NSD の仕様を目にする機会がありました。ただ、それが何を意味するのか、なぜ重要なのか、実際には理解していませんでした。NSD とはどのようなものなのでしょうか」

このことは、NSD という ADC の性能指標について詳しく学ぶ機会を設けるべきであることを表しています。なお、ナイキスト・レートの ADC とは、入力帯域幅全体に関するすべての情報を取得するために必要な最も低いサンプリング周波数で動作する ADC のことです。

NSD は従来、ADC の性能を表す重要なパラメータの 1 つでした。実際、多くの製品では、データシートの 1 ページ目にその値が記載されていました。その場合、NSD は、「dBFS/Hz」または「dBm/Hz」を単位とする比較的大きな負の値として示されていたはずで、NSD の典型的な値は、おそらく -140 dBFS/Hz ~ -165 dBFS/Hz 程度でしょう。詳細は後述しますが、NSD は、ADC の S/N 比とサンプル・レートに基づいて規定されます。

ADC の S/N 比は、信号のパワーと、ADC に入力されたと見なすことができる信号以外の全パワーの対数比として定義されます。ADC にフルスケールの信号を入力したときの S/N 比は、SNRFS と表記されることがあります。信号以外のパワーは、量子化ノイズ、熱ノイズ、ADC の回路で生じる微小な誤差など、複数の成分から成ります。ADC では、非線形な処理によって、連続信号を離散的なデータに変換します。この処理に伴って原理的に生成されるのが量子化ノイズです。量子化ノイズとは、アナログ入力（通常は正弦波で表されます）と、変換後の出力データの差のことです。その値は、LSB（最小離散ステップの値）を単位として表されます。

NSD とは、単位帯域幅当たりの総ノイズ・パワーのことです。ここで言う総ノイズ・パワーとは、ADC の入力部でサンプリングされたと見なすことができるすべてのノイズのことを指します。ナイキスト・レートの ADC の場合、このノイズは、サンプリング周波数 f_s の 1/2、つまりは $f_s/2$ に等しいナイキスト領域全体に分散されます。

NSD の単位の意味

dBFS/Hz という単位は、何を意味するのでしょうか。それは、ADC のフルスケールに対するノイズの比率を dB 単位で表すという意味です。ただし、ここで言うノイズとは、1 Hz の周波数ビン幅内に見られるノイズ・パワーのことを指します。この点が重要です。1 Hz というのは、NSD を規定するために一般的に使用される値であり、ノイズの帯域幅の基本単位となります。

また、ADC の入力パワーとして絶対単位を用い、NSD を dBm/Hz という単位で規定することもあります。この場合、ADC のフルスケールに相当する入力パワーについては、絶対単位で表した値が既知でなければなりません。あるいは、入力電圧とインピーダンスに基づいて、絶対単位で表したフルスケールの値を測定する必要があります。

NSD を指標とした ADC の選択

ナイキスト・レートの ADC では、サンプリング周波数を 2 倍にすると、広がったナイキスト帯域の全体にノイズが分散されます。そのことから、ノイズ密度は 3 dB 減少します。サンプル・レートを 2 倍にしても、入力ノイズ・パワーに変化はありません。その状態で入力ノイズ・パワーが 2 倍の帯域幅に分散されるので、元の帯域内の S/N 比は向上します。次式において、サンプリング周波数 f_s の値を 2 倍にすると ノイズ・パワーは 3 dB 低くなります。

$$[\text{ノイズ・パワー}] = 10 \log_{10}(f_s/2)$$

高速な ADC のサンプリング周波数は、GHz の領域に達しています。これを利用すると、オーバーサンプリングによって S/N 比を高めるといったメリットを得ることができます。2 つの ADC の性能指標を比較する際、より高い周波数でサンプリングできる製品の方がノイズ密度を下げられます。そのため、より大きなメリットが得られると考えることができます。

FFT で得られるノイズ・フロアと NSD の違い

一般に、FFT（高速フーリエ変換）では、数万 ～ 数十万個のサンプルを使用します。あるいは、200 万 ～ 300 万サンプルを使うケースもあるかもしれません。このことは、サンプル・レートが異なるにせよ、ほとんどの ADC では、FFT を実施した結果、周波数ビンの幅が数百 Hz ～ 数 kHz になるということの意味します。FFT によって得られるビンの幅は、ナイキスト周波数 ($f_s/2$) をサンプル数で割った値（単位は Hz）になります。例えば、131 MSPS で動作する ADC（ナイキスト周波数は 65.5 MHz）においてサンプルの数が 2^{16} である場合、FFT ビンの幅は次のようになります。

$$65.5 \text{ [MHz]} / 65500 \text{ [サンプル]} = 1 \text{ [kHz/ビン]}$$

ADC のノイズは、ナイキスト領域全体に広がります。そのビン幅は、NSD の定義に使用されるビン幅と比べて 1000 倍広いということになります。これは、1 つの FFT ビンの中に、より大きなノイズ・エネルギーが含まれるということの意味します。

同様に、131 MSPS の ADC について、6550 万に上る非常に多くのサンプルを使って FFT を実施したとします。その場合のビン幅は次のようになります。

$$65.5 \text{ [MHz]} / 6550 \text{ [万サンプル]} = 1 \text{ [Hz]}$$

この場合、FFT で得られるノイズ・フロアは ADC の NSD と等しくなります。また、総ノイズ・パワーに変化はありません。図 1 からわかるように、ノイズ・パワーが、幅の狭いビンから成る帯域全体に広がるだけです。

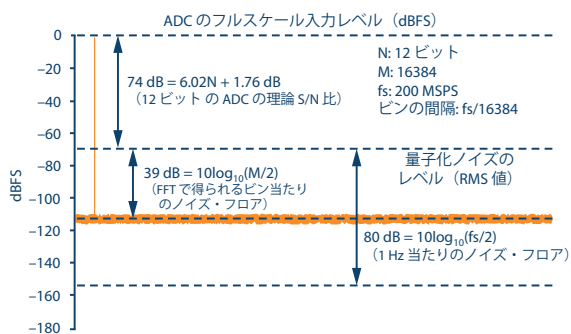


図 1. ADC の量子化ノイズと FFT で得られるノイズ・フロア。ナイキスト領域における NSD と振幅を比較しています。ビン当たりのノイズは FFT で使用するサンプル数で決まります。NSD は 1 Hz の単位帯域幅で規定されます。

幅が 1 Hz の FFT ビンと NSD の定義を対比してみます。それにより、FFT によって得られる一般的なノイズ・フロアが、ほぼ常に NSD のノイズ・フロアよりも高い理由がわかります。1 Hz のビン幅が得られるように、FFT に使用するサンプル数を十分

に大きく取る技術者はほとんどいません。FFT のサンプル数を増やすと、ノイズはより低く見えることになります。

ただ、実際にはノイズの総量は変化しません。また、ノイズはナイキスト領域の全体に広がります。NSD の定義では、サンプル数によって変動する周波数ビンを単位として使うのではなく、幅が 1 Hz でノイズ・エネルギーが小さい 1 つの周波数ビンを単位として使用します。

NSDの測定／算出方法

ADC では、S/N 比の理論値は以下の式で求められます。

$$[S/N \text{ 比}] = 6.02 \times N + 1.76 \text{ dB}$$

ここで、N は ADC の分解能です。ADC の量子化ノイズはこの値によって決まります。上記の式は、あくまでも理想的な状態において成り立つものであり、現実の ADC がこの性能に達することはありません。現実の S/N 比は、設計に依存する非線形性によって理想値以下に制限されます。なお、ADC にフルスケールの信号を入力した場合、全パワーから信号のパワーを差し引くと、残りは総ノイズ・パワーになります。また、NSD の値を基に、1 Hz のビンに対応するすべてのノイズを合計すると、1 つのノイズ・パワーの値を得ることができます。

ナイキスト・レートの ADC について NSD の値を求めるには、ナイキスト領域全体にノイズがどのように分散されているのかを計算し、フルスケールの信号パワーから差し引きします。そのためには、まずサンプル・レートを明確にする必要があります。分解能が 12 ビットでサンプル・レートが 200 MSPS の理想的な ADC に対し、理想的なフルスケールの信号を入力したとします。その場合の S/N 比は以下のように求められます。

$$[S/N \text{ 比}] = 6.02 \times 12 + 1.76 = 74.04 \text{ dB}$$

ノイズは、100MHz のナイキスト領域 ($f_s/2$) 全体に広がります。1 Hz のビンに対応するノイズは、以下のような対数関数を使って算出できます。

$$[\text{ビン当たりのノイズ・パワー}] = -10 \log_{10}(f_s/2) = -80 \text{ dBFS/Hz}$$

12 ビットの理想的な ADC の NSD は、以下のようにして求められます。

$$-74.04 - 80 = -154.04 \text{ dBFS/Hz}$$

私たちは非理想的な世界で非理想的な ADC を扱うこととなります。したがって、現実の ADC の現実の SNRFS を把握しなければなりません。その値は実際に測定することができますし、データシートにも記載されているはずです。

ADC に入力するフルスケールの信号パワーは、ADC の入力抵抗と、既知のフルスケール・ピーク電圧またはフルスケールの RMS 電圧によって決まります。入力電圧と入力インピーダンスがわかっているならば、フルスケールのパワーを dBm 単位で算出することができます（以下参照）。

$$V_{\text{rms}} = V_p / \sqrt{2} \text{ or } V_p \times 0.707$$

$$[\text{信号パワー}] = ((V_{\text{rms}}^2)/R_{\text{in}}) \text{ in } W$$

フルスケールの信号パワーは、dBm を単位として以下のように表されます。

$$[\text{信号パワー}] = 10 \times \log((V_{\text{rms}}^2)/R_{\text{in}} \times 1000 \text{ mW/W}) = 10 \times \log((V_{\text{rms}}^2)/R_{\text{in}}) + 30 \text{ dB}$$

ADCの量子化ノイズのスペクトル形状

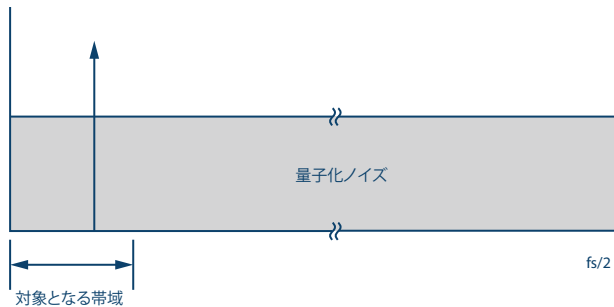


図 2. ナイキスト・レート of ADC の量子化ノイズ。
ナイキスト領域の全体に平坦に広がります。

ナイキスト・レートの ADC は、入力帯域幅全体に関するすべての情報を取得するために必要な最も低いサンプリング周波数で動作します。通常はパイプライン型、SAR（逐次比較）型、フラッシュ型のうちいずれかのアーキテクチャを採用して実現されます。その場合、DC からナイキスト周波数までの量子化ノイズは基本的に平坦になります。つまり、各 ADC は等価処理を伴うノイズ・レシーバだと表現することもできます。量子化ノイズの有限のパワーを $f_s/2$ の帯域全体で等しく受け入れます（図 2）。

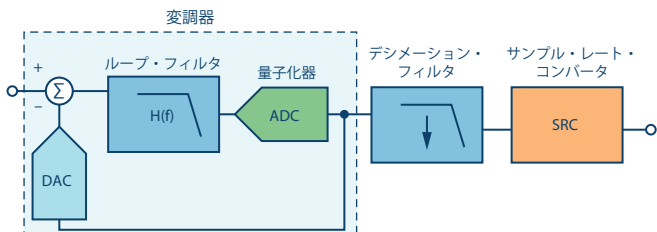


図 3. CTSD ADC のアーキテクチャ。ループ・フィルタと、出力ノイズを減衰させるデシメーション・フィルタをベースとしています。

ナイキスト領域の全体を対象にする必要がないアプリケーションが存在します。その場合、使用する ADC については、別のアーキテクチャを採用した製品を使用できる可能性があります。それは、バンドパス型で連続時間型の $\Sigma\Delta$ （CTSD: Continuous Time Sigma Delta、または $\text{CT}\Sigma\Delta$ ）方式を採用した ADC です。この種の ADC では、帯域内の量子化ノイズを帯域外に追いやる処理（フィルタ処理）が行われます。この処理はノイズ・シェーピングと呼ばれています（図 3）。この処理により、ノイズの伝達関数は平坦な形状ではなくなります。アプリケーションで対象とする帯域はナイキスト領域よりも狭く、ノイズも小さく抑えられます。その帯域を対象とし、CTSD ADC は SNRFS が最高になるように動作します（図 4）。

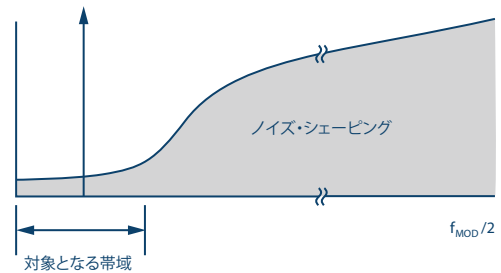


図 4. CTSD ADC のノイズ形状。このアーキテクチャでは、ノイズは周波数軸に対して平坦にはなりません。変調器内のループ・フィルタの応答に基づき、ノイズを帯域外に追いやるように機能します。この処理をノイズ・シェーピングと呼びます。

CTSDのアーキテクチャにはどのような利点があるのでしょうか。1つのメリットとしては、狭い周波数帯域内の信号だけを対象にするので、広帯域の NSD について特に配慮する必要がなくなることが挙げられます。その代わりに、CTSD ADC の性能指標としては、狭い通過帯域におけるダイナミック・レンジが重視されます。ノイズ・シェーピングの伝達関数は、ADC の設計時にループ・フィルタの段数を何段にするのかということをベースとして決まります。

ADC の処理利得がノイズ密度と S/N 比にもたらす効果

重要な信号が、全ナイキスト領域よりも、かなり狭い帯域内だけに存在するアプリケーションが存在します。そうしたケースでは、デジタル・フィルタによって、狭い帯域の外にノイズを追いやることで性能の改善を図ることができます。その処理は、デジタル・ダウンコンバージョン段で行うことになります。つまり、ナイキスト・レートの ADC において最終的な出力を行う前の段階で、データを間引いて微調整を行い、フィルタ処理を施すということです。そのため、S/N 比の計算には、このフィルタ処理による補正係数を含めるべきです。ノイズに対しては、図 5 に示したようなフィルタ処理が施されます。そのため、ノイズに対する処理利得を計算に組み込むべきだということです。

$$[\text{処理利得を含む理想状態の S/N 比}] = 6.02 \times N + 1.76 \text{ dB} + 10 \log_{10}(f_s/(2 \times BW))$$

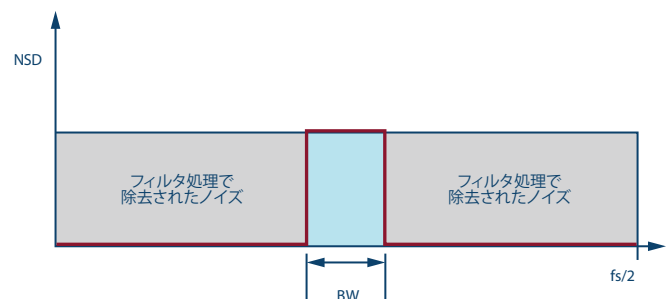


図 5. デジタル・フィルタによる効果。必要なのは狭い帯域の周波数成分だけなので、帯域外のノイズをデジタル・フィルタによる処理で除去します。結果として、その処理利得の分だけ S/N 比が向上します。

ナイキスト・レートの ADC を 100 MSPS のサンプル・レートで使用するケースを考えます。ただ、そのシステムでは、ADC のナイキスト領域である 50 MHz 全体に注目する必要はありません。対象とするのは、ナイキスト領域の 1/8 に相当する 20 MHz ~ 26.25 MHz の部分だけです。つまり、幅が 6.25 MHz の帯域を対象とします。デジタル・フィルタにアルゴリズムを実装し、この帯域向けにフィルタを微調整すると、オーバーサンプリングによる処理利得として 9 dB が得られます（以下参照）。

$$\begin{aligned} [\text{処理利得}] &= 10 \log_{10}(\text{fs}/(2 \times BW)) = \\ 10 \log_{10}(100 \times 10^6 / (2 \times 6.25 \times 10^6)) &= 10 \log_{10}(8) = 9 \text{ dB} \end{aligned}$$

デジタル・フィルタにより、図 5 のように 2 つの領域のノイズ・パワーが削減されます。このことから、フィルタによる処理利得は 3 dB 向上します。上の例においては帯域幅の $1/2^3$ の削減につながり、3 dB $\times$ 3 dB の処理利得が生み出されることがわかります。

システムで ADC の NSD に影響を及ぼす要素

高速 ADC の性能を低下させる外部要因は数多く存在します。それらによって S/N 比は低下し、ノイズ密度は高くなります。ADC の SNRFS やサンプル・レートに影響を及ぼす要素は、いずれもシステムにおいて NSD に影響を及ぼす可能性があります。ここでは、サンプル・レートの高い ADC の S/N 比を低下させる要因となるクロック・ジッタに注目することにします。

高速、高分解能の ADC では、入力されるクロックの質に依存して性能が変動することがあります。高速 ADC において高い S/N 比を得るには、アプリケーションの入力周波数の要件に基づいて、クロックの RMS ジッタについて慎重に検討しなければなりません。性能の高い ADC があつたとしても、クロックの RMS ジッタによって高い入力周波数でノイズ性能が劣化し、S/N 比が低下してしまうことがあります。それによって ADC の NSD が変化することはありませんが、ジッタの大きいクロックはシステムの S/N 比を制限してしまうのです。

同じクロックの RMS ジッタによって ADC のアナログ入力周波数が 3 倍になり、S/N 比の最高値は 10 dB 低下します。所定の入力周波数 f_A においてアパーチャ・ジッタ t_j のみによって生じる S/N 比の低下は、次式によって求められます。

$$[S/N \text{ 比}] = 20 \times \log_{10}[1/(2 \times \pi \times f_A \times t_j)]$$

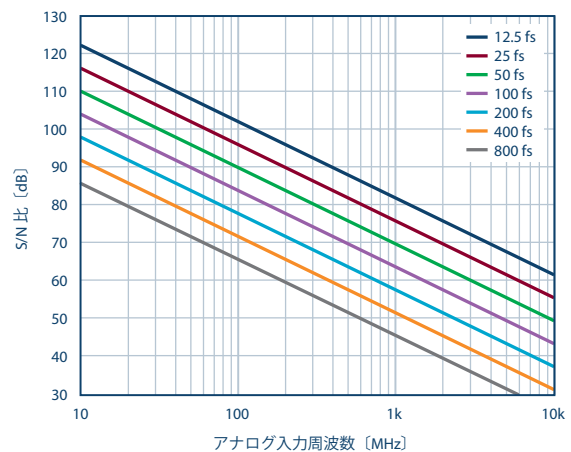


図 6. クロック・ジッタが S/N 比に及ぼす影響。
アナログ入力周波数を変化させた場合に、
大きさの異なるクロック・ジッタによって S/N 比に
どのような影響が及ぶのかを示しています。

図 6 は、クロック・ジッタが S/N 比に及ぼす影響を示したものです。アナログ入力周波数を変化させた場合に、大きさの異なるクロック・ジッタによって S/N 比にどのような影響が及ぶのかを示しています。クロック・ジッタは、フェムト秒の単位で変化させています。高い入力周波数に対しても、低い入力周波数で得られるのと同じ S/N 比を実現するには、クロックの RMS ジッタを抑える必要があります。例えば、クロックの RMS ジッタが 200 フェムト秒である場合、ADC の S/N 比は、入力周波数が 250 MHz のときに 70 dB 未満に制限されます。一方、1 GHz の入力信号に対して同じ 70 dB の S/N 比を得るには、クロックの RMS ジッタを 50 フェムト秒に抑える必要があります。

ADC の NSD は、フルスケールの信号パワーから、1 Hz を単位とする帯域全体に広がったノイズ・パワーを差し引いた値として簡単に定義できます。FFT で処理するサンプル数を変えても、ADC の NSD は変わりません。周波数帯域全体にノイズが拡散されるだけです。

ノイズ・シェーピングの特性は、ADC のアーキテクチャと、帯域外のノイズをデジタル・フィルタによって処理するか否かによって異なります。システムで必要とする帯域よりかなり広い帯域幅を持つナイキスト・レートの ADC があつたとします。その場合、処理利得によって、対象とする帯域内のダイナミック・レンジが向上します。

著者について

Ian Beavers (ian.beavers@analog.com) は、アナログ・デバイセズ（ノースカロライナ州グリーンズボロ）の高速 ADC チームに所属するアプリケーション・エンジニアです。1999 年の入社以来、19 年間にわたって半導体業界で経験を積んでいます。ノースカロライナ州立大学で電気工学の学士号、ノースカロライナ大学 グリーンズボロ校で経営学の修士号を取得しています。アナログ・デバイセズのオンライン・テクニカル・サポート・コミュニティである EngineerZone® では、高速 ADC に関するサポート・メンバーとして活動しています。IanB まで、ぜひお気軽に質問をお寄せください。

オンライン・サポート・コミュニティ



アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQ を参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com にアクセス

* 英語版技術記事は [こちら](#) よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー40F

©2018 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有に属します。
Ahead of What's Possible は
アナログ・デバイセズの商標です。

www.analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™