



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

JESD204B サバイバル・ガイド2017

JESD204B インターフェースの基礎



目次

1. JESD204Bとは?	3	3. JESD204Bインターフェースの接続	22
1-1. JESD204Bの使用目的	3	3-1. 信号ライン (レーン)	22
1-2. なぜシリアル伝送なのか.....	3	3-1-1. レーン信号と他の信号のロジック・レベル... ..	22
1-3. JESD204Bのメリット	5	3-1-2. CMLロジックの物理的な特徴.....	22
2. JESD204B規格の特徴	7	3-1-3. レーン信号に求められる性能.....	23
2-1. 規格の経緯.....	7	3-1-4. レイアウト.....	24
2-2. 規格の概要.....	8	3-2. JESD204Bの3種のサブクラスと同期方法の違い... ..	26
2-2-1. 技術的な特徴.....	8	3-2-1. 3種の動作モード.....	26
2-2-2. 8b/10b変換について.....	10	3-2-2. 3種のサブクラスの使用上の違い	27
2-3. 規格の中で使われる用語.....	11	3-3. アライメントと同期、制御信号の使い方.....	28
2-3-1. データの形などを表す用語.....	11	3-3-1. 制御信号とフレーム・クロックの同期.....	28
2-3-2. システム内部のクロックに関する記号、 用語.....	12	3-3-2. レーン上のデータの形	29
2-3-3. システム外部のタイミング/クロックに 関する用語	13	3-4. レーンのリンクを確立して同期を保証する手順	29
2-3-4. コンバータおよびその入出力に関する 記号、用語	15	3-4-1. SYSREFとSYNC~の動作.....	29
2-3-5. 制御文字 (キャラクタ) に関する記号.....	15	3-4-2. SYSREF、SYNC~のスキューとディタ ミニスティック・レイテンシの不確実性 (誤差要因)	30
2-3-6. データミニスティック・レイテンシ (DL) について	16	3-4-3. 変換データの伝送を始める前に行うこと (CGSとILAS)	31
2-4. 他のインターフェースとのハードウェア的な 比較.....	20	3-4-4. ILAS完了の後に起こること.....	34
		3-4-5. アライメント・モニターとキャラクタの 置き換え	34
		3-5. リンク確立後のデータ・アライメント	35
		3-6. 複数素子のデータのアライメントとタイム・ スタンプ	36
		3-7. エラーが発生すると何が起こるのか.....	36
		4. まとめ	37
		5. 参考記事	38
		JESD204B サブクラス (パート1) : JESD204B サブクラスとディタミニスティック・ レイテンシの紹介.....	38
		JESD204B サブクラス (パート2) : サブクラス 1 対サブクラス 2 システムの考慮事項.....	44
		JESD204の関連情報	50
		参考文献、資料	51

1. JESD204Bとは？

高速シリアル・インターフェース規格であるJESD204Bは、最新のデータ・コンバータ通信規格として注目されつつあります。ここでは、使い道やアプリケーションでのメリット、パラレルとの比較などについて解説します。

1-1. JESD204Bの使用目的

JESD204B インターフェースを持つコンバータには、いくつかのメリットがあります。パラレル伝送との比較を含めて解説します。

電波や光、磁気など高速信号をデジタル回路の中に取り込んで人の使える形に処理するためには、高速のAD/DAコンバータを必要とします。この周波数が高いほど、短い時間により多くの情報を処理することができます。JESD204Bは、このような要望に応えるため、多くの半導体メーカーやシステム・メーカーが集まり、新しいAD/DAコンバータの専用インターフェース規格として策定されました。大量の変換データを確実に高速で伝送する技術は、通信システムやレーダー機器の高性能化、画像機器の高精度化、医療機器の高機能化などに対応できる将来性を示しています。

JESD204Bスタンダードとは、データ・コンバータと、デジタル・データをやり取りするデジタル素子（FPGAやASICなど）との間でのシリアル・データ・インターフェース方法の決めごとです。ADコンバータからはデジタル側へ、あるいはDAコンバータではその逆方向に、高速シリアル・データの伝送を行うための規格です。大量のデジタル変換データを入出力する変換素子、すなわち高速AD/DAコンバータでの使用を前提としたインターフェース規格です。その特徴については、セクション2の概要で解説します。

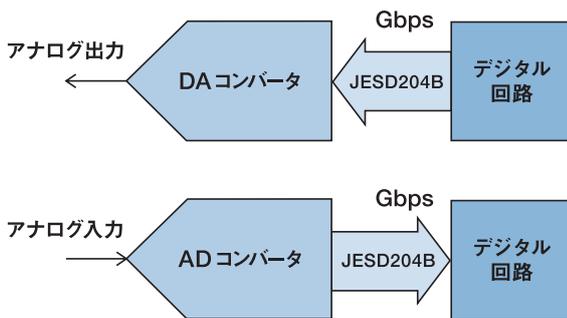


図1.1 高速コンバータ・インターフェース
ギガビット/秒の高速データ伝送の必要性

JESD204Bは、単なるデータ伝送のハードウェアだけでなく、データのデコード/エンコード技術、エラー検出、レーン・アライメントのための技術、ディタミニスティック・レイテンシという、コンバータとデジタル側を合わせた、サブシステムとして規定したタイミング規格の導入など、多くの技術要素の集成となっています。

1-2. なぜシリアル伝送なのか

大量の変換データを送受信するなら、データを並列で送ればデータ・クロックも低いレートで済むので、回路設計が容易になるのではと考えるのが普通です。動作の原理だけを考えるとその通りなのですが、実際に回路を実現しようとすると、並列伝送には、いくつかの問題点が見えてきます。

一つには、並列入出力のための多くの高速バッファ回路による、消費電力の増加です。12ビットでは、送受信合わせて24個のバッファが必要で、それだけで数100mWの電力を必要とします。元々消費電力の多い高速チップにこれに加わると、その冷却に手がかることとなります。

もう一つは、より深刻な問題です。高速のデジタル信号を何本も並列に扱おうとすると、それぞれの信号の間で必ず速い信号、遅い信号というタイミングの前後関係が生じます。これをタイミング・スキュー（Skew）と呼んでいます（図1.2参照）。同一チップ上で同じ信号回路を用いても、この信号伝搬のずれが生じます。これを補正するには、ディスクュー回路（可変ディレイ回路など）が必要ですが、タイミングのキャリブレーションという面倒な作業となり、コンバータの内部回路としてはあまり現実的ではありません。このスキュー補正回路が必要とされるのは、高精度のタイミング精度を必要とする、メモリーテスターやLSIテスターのような計測機器です。このスキュー誤差によるマージンを考慮した後に、データ・ストロブ（あるいはデータ・ラッチ・パルス）との間にセットアップ・タイムやホールド・タイムを十分保証できるタイミングを設定しなければなりません。スキューが大きいと、このタイミングを保証することが困難になります。回路設計やプロセスの性能で、このスキューをなるべく小さくするようにしますが、ゼロにすることはできません。

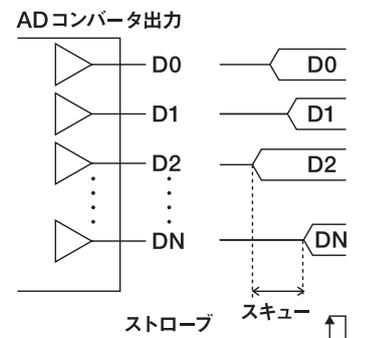


図1.2 パラレル出力インターフェース
パラレル信号のスキュー

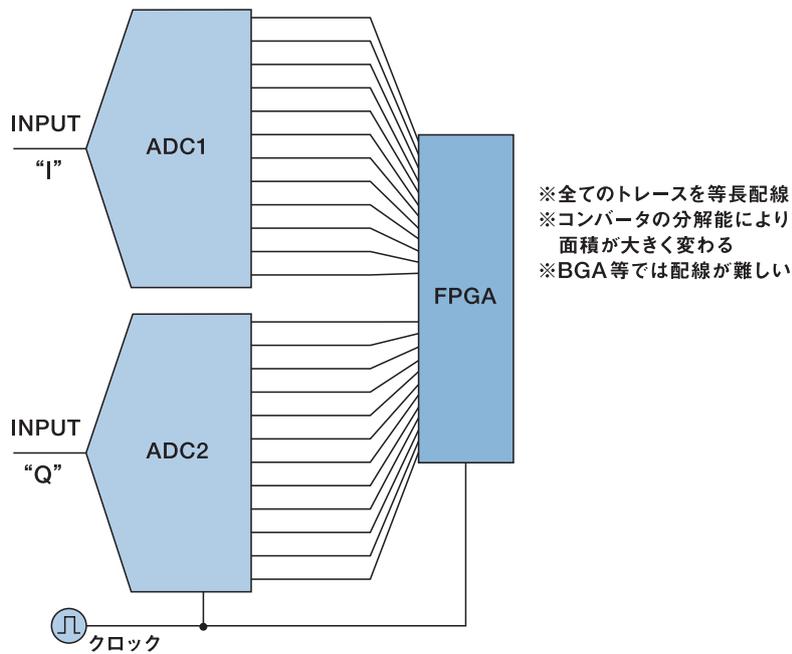
最後に物理的な問題として、配線に使用するPC板上の面積の広さがあります。12ビットの並列入出力のデータ・コンバータは当然12本のデータとストロブ信号を合わせて13本以上の信号線が必要ですが、シリアル伝送であれば信号線1本と数本の制御信号線で済みます。実際には高速信号は差動形態が多いので、実本数はこの2倍になります。シリアルのJESD204Bと他のインターフェースを比べたものが表1.1です。またそのイメージを示したものが図1.3です。

シリアル伝送は、信号ライン1本当たりの帯域を高くする必要がありますが、ビット・クロックをデータ信号に埋め込むことにより、スキューやセットアップ/ホールドの問題を解決しています。信号は1本ですからビット間のスキューは、存在しません。データ・ストロブであるビット・クロックはデータと一緒に伝送され、そこから再生されて使用されます。したがって、多数の信号との間で、セットアップ/ホールドの規定を考慮する必要がなくなります。光通信のSERDESのようにデータ信号が、自分自身で同期をとるようになっていきます。

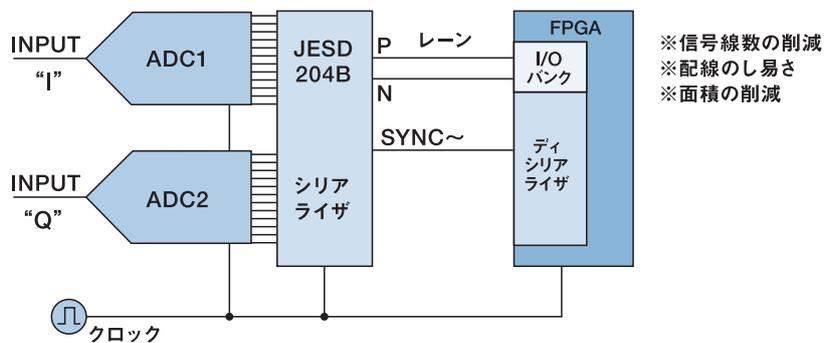
表1.1 各インターフェースのピン数
12~16ビット・コンバータに必要な信号線数

200MSPS ADコンバータのピン数比較(シリアルvsパラレル)

コンバータのCH数	分解能 (bit)	CMOSのピン数	LVDS(DDR)のピン数	CML(JESD204B)のピン数
1	12	13	14	2
2	12	26	28	4
4	12	52	56	8
8	12	104	112	16
1	14	15	16	2
2	14	30	32	4
4	14	60	64	8
8	14	120	128	16
1	16	17	18	2
2	16	34	36	4
4	16	68	72	8
8	16	136	144	16



(A) 2chパラレル出力ADC



(B) 2chシリアル出力ADC

図1.3 インターフェース信号線数
パラレル・インターフェースとシリアル・インターフェース

1-3. JESD204Bのメリット

JESD204B インターフェース自身のメリットはいくつか考えられますが、実際のアプリケーション上でのメリットも含めて説明します。

JESD204B インターフェースの特徴の一つとして、信号にビット・クロックを埋め込んで同時に送る、自己同期を用いたデータ伝送ということがあります。送受信にはクロック再生回路などが必要ですが、データ・ビットとビット・クロック間のセットアップ/ホールド時間の制限を緩和し、正確な高速・広帯域のデータ伝送を可能にします。データ・ストロブ・クロック（データ・ラッチ信号）が別ラインの平行伝送では、この制限により高速化が難しいことは、先に述べました。少し不思議に見えますが、平行伝送よりシリアル伝送のほうが、正確に大量のデータ通信を行うことができるのです。データ量が増えて通信路（レーン）を複数にした場合でも、各通信路の間に同期タイミングの相関は無く、それぞれの通信チャンネルでの独立した同期になります。

このようにJESD204Bは、高速・高分解能データ・コンバータ・システムの実現が容易になるため、この後で述べるように、実アプリケーションでのメリットが増えます。しかしながら、ここで注意しなければならない点が一つあります。高速変換を生かすには、デジタル側のシリアルI/Oチャンネルや、信号処理にも高い能力を必要とされることです。一本の通信路で全てのデータを送ろうとする場合、時にそのI/Oチャンネルのためだけに高速・高性能（＝高価）なデジタル素子を選ばなければならないことがあります。通信路を複数に分け、高速で駆動しなければ、より汎用的（＝低コスト）なデジタル・ソリューションで済む可能性があります。このあたりは、システム全体のバランスや要求性能使用、コスト要求などを考慮して設計することが重要です。

JESD204B 規格によるコンバータが多く使われるアプリケーションは、高速・広帯域信号を取り扱うアプリケーションです。特に通信関連のアプリケーションでは、アナログ信号処理の回路を削減し信号経路も短くすることにより、誤差要因を少なくする効果があります。

アプリケーション (1)

- ▶ 無線送受信機／通信機器／データ伝送機器
- ▶ SDR（Software Defined Radio）ソフトウェア無線
- ▶ レーダー／軍用機器（ESM/ECM/ECCM、他）
- ▶ AESA（Active Electronically Scaled Array）レーダー・システム、MIMO レーダー
- ▶ 計測機器（ネットワーク・アナライザ、無線/RFアナライザ、画像伝送装置アナライザ、FFTアナライザ 他）

これらの機器は、高周波の信号を扱うために何段もの周波数変換ブロックを持ちます。具体的には、ミキサーとIF段、フィルターの組み合わせをいくつか繰り返し、ベースバンドまで周波数を落としていきます。出力する際はその反対で、ベースバンドの信号を何段もの周波数変換ブロックを通して高い周波数へ変えます。直交変復調（I/Q変復調）を含んでいる場合は、ミキサーが2列になり、より複雑になります。（図1.4参照）

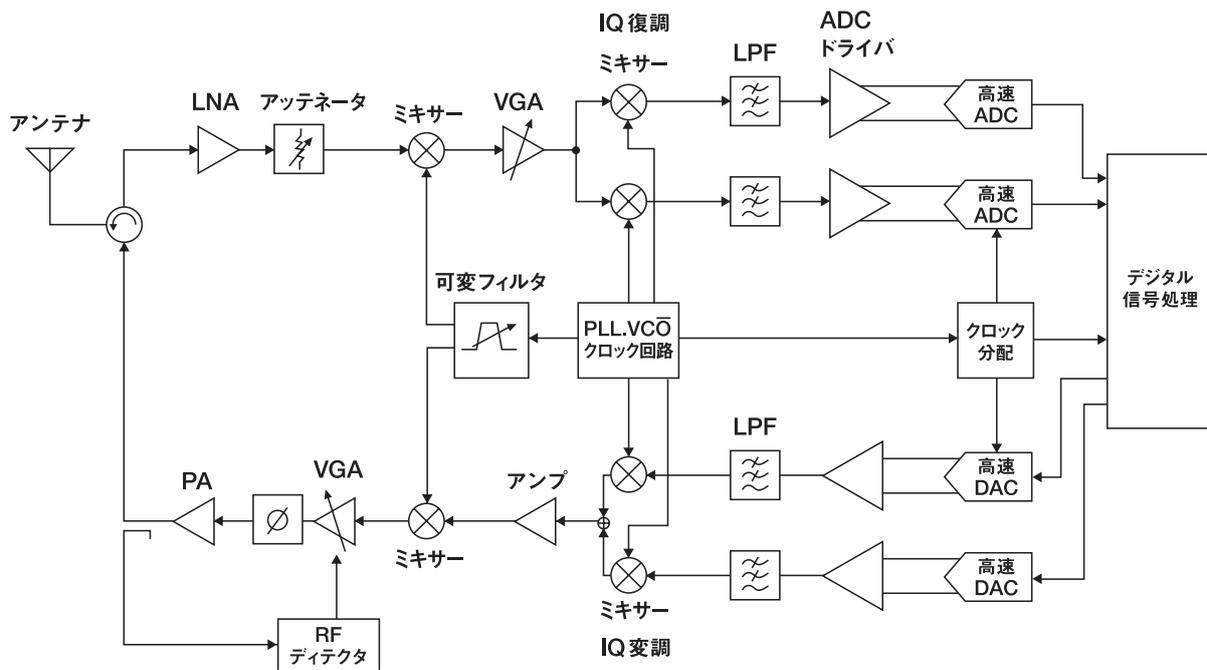


図1.4 無線送受信機
従来型の無線送受信機

従来の周波数変換ブロックは、ほとんどアナログ回路部品で構成されます。アナログ処理を行うということは、各ブロックを信号が通る毎にノイズが付加され（NF性能）SN比が劣化し、アクティブ素子であれば歪み（HD2やHD3、IMDなど）が増加します。データ・コンバータが高速（広帯域）になれば、図1.5のようにこれらのアナログ回路ブロックのいくつかが省略可能で、アナログ回路に起因する誤差要因（ノイズや歪みなど）を避けることができます。またアレイ・レーダーのように小さなレーダーが数十個から数千個同期して動作するようなシステムでは、大量のデータを扱う信号線の削減にメリットがあります。

もちろんデータ・コンバータ自身の歪みや量子化ノイズなどがあるので、信号誤差はゼロにはなりません、それでも従来の回路に比べると大きな性能向上になります。また変換より後の段では信号をデジタル処理するため、一般的なアナログ回路素子に見られる動作パラメータの温度ドリフトや経時変化、フィルター係数のマッチングずれなどの誤差要因を排除することができます。フィ

ルターの係数や特性を変更する場合も、多くの場合デジタル処理のソフト部分を変更することで対応でき、厄介なハード部分の変更は最小で済みます。ただしこのメリットを生かすためには、コンバータの高速・広帯域化だけでなく、デジタル信号処理部分の高速化・高度化が不可欠になります。

アプリケーション（2）

- ▶ 医療用画像機器（超音波診断装置、MRI、X線CT、他）
- ▶ アレイ型マイクロホン、超音波非破壊探傷装置

画像を利用する医療用の診断装置（超音波探傷器なども含む）は、高速信号を変換したり、数万chの高分解能データをデジタル信号処理側に伝送したりしなければなりません。これらのアプリケーションのように、大量のデータ伝送を行うアプリケーションにもJESD204Bは向いています。

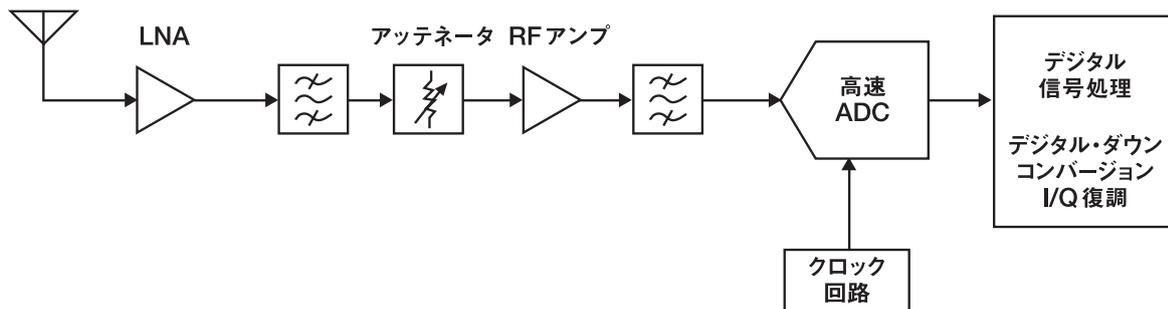


図1.5 RFダイレクト変換を用いた無線受信機
アナログ段を削減した無線回路の例

2. JESD204B規格の特徴

2-1. 規格の経緯

JESD204Bは、JEDEC（JEDEC Solid State Technology Association）による規格で、データ・コンバータ・メーカーやFPGAメーカーなどが集まって策定されました。もともと最初のバージョンであるJESD204が2006年4月にリリースされ、その後JESD204A（2008年4月）、そして2011年にはJESD204Bがリリースされ、現在（2016年9月の段階）ではJESD204B.01が最新となっています。

この進化の間に動作性能向上や新たな機能が追加され、使い方も少しずつ変化しています。外見から見て大きな変化は、接続できるリンクのマルチプレックス化と信号同期の方法、その制御信号の違いです。また後にでてきますが、JESD204AからJESD204Bへのステップで、ディタミニスティック・レイテンシ（Deterministic Latency）、略してDLというデータ遅延に関する特徴的な規格が新たに付け加えられ、アプリケーション上での使い勝手が向上しました。またリンクの初期同期をとる方法が3種類に分けられ、それぞれサブカテゴリー0、1、2と呼ばれています。これらは、データ・ラインそのものは同じですが、使用する制御信号が異なります。なおJESD204B規格でも、以前に策定された規格との互換性を保つことが考慮されています。具体的にはサブクラス0が、JESD204とJESD204Aとの上位互換性を持ちます。これらの3種類のモードの使用上の違いについては、後の項で解説します。

JESD204Bとそれ以前の規格の違いは、もう一つあります。以前の規格では、動作タイミングの基準となる信号としてフレーム・クロックを使用していましたが、JESD204Bではそれにかわりデバイス・クロックが、それぞれコンバータとデジタル側に入力されます。以前の規格でフレーム・クロックは、コンバータ回路の変換クロックとみなすことができ、実際サンプリングのタイミングとしても使用されています。これに対して204Bで使用されるデバイス・クロックは、やはりデータ伝送回路の基準となるタイミング信号ですが、フレーム信号はデバイス内部で、このクロックをもとにして生成されることになります。したがってこの規格のデバイスでは、デバイス・クロックと内部のフレーム信号との関係を明確にする、タイミング・スペックが規定されます。

接続方法と制御信号から見た違いを、図2.1、図2.2、図2.3に示します。

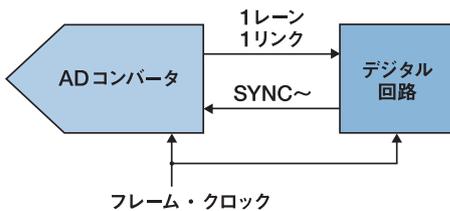


図2.1 JESD204 概略図
規格のオリジナル

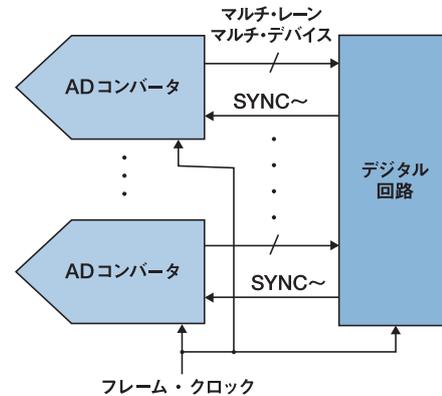


図2.2 JESD204A 概略図
最初の改訂

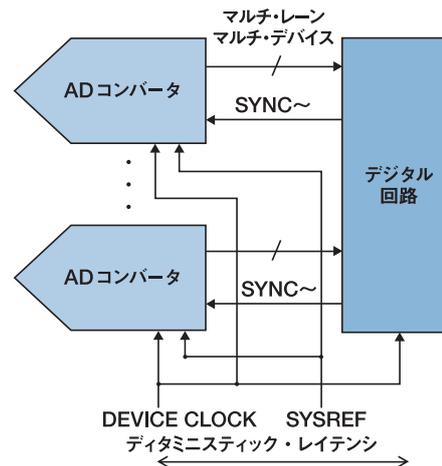


図2.3 JESD204B 概略図
現在の規格

機能・性能の違いについての大まかな比較を、表2.1に示します。この表には記されていませんが、レーンあたりのデータ伝送速度には最低速度にも規定があり、どの規格でも312.5Mbpsとなっています。データは、決められた速度で連続的に送出され、バーストで間欠的に送ることはできません。

表2.1 JESD204、JESD204A、JESD204B
各規格の違い

機能	JESD204	JESD204A	JESD204B
規格のリリース	2001	2006	2011
レーンの伝送速度	3.125Gbps	3.125Gbps	12.5Gbps
マルチ・レーン (コンバータ1台に複数レーン)	×	○	○
マルチ・デバイス (レーン1本に複数コンバータ)	○	○	○
レーン同期	×	○	○
ディタミニスティック・レイテンシ	×	×	○

2-2. 規格の概要

2-2-1. 技術的な特徴

JESD204B インターフェースは、主に次のような技術的特徴を持っています。

- (1) 高速シリアル・データ伝送 最大12.5Gbps/レーン
- (2) シリアル・データ・ビットのクロックは信号に埋め込み
- (3) データ信号のロジック・レベルはCML (電流モード・ロジック)
- (4) データ信号線は1レーンあたり差動一對
- (5) データ方向はレーン毎に単一方向
- (6) データ通信線以外に数本の制御信号
- (7) 0, 1, 2という3種のサブクラス (動作制御モード)
- (8) マルチ・レーン、マルチ・デバイスに対応
- (9) デイタミニスティック・レイテンシの規格化
- (10) 信号線のアライメント (協調) のため初期化プロセス

特徴の中でレーン (Lane) という単語がありますが、これは JESD204B のデータ伝送路を表すもので、差動 CML の一対の通信線です。ここに送出される信号は、シリアル化されたデータとそれと一緒に埋め込まれたビット・クロックです。これにより自己同

期をとって、受信側でパラレル・データを再生します。このように、信号の形としては、光通信や USB の信号に似ています。JESD204B では、この1レーンに最大12.5Gbps (12.5×10⁹ビット/秒) までのデータを、伝送することができます。しかし、高速・高分解能のコンバータを使用する場合は、これでも1レーンでは伝送容量が足りなくなります。例えば16ビットで1Gbps (10⁹ サンプル/秒) のADコンバータでは、データ量が16Gbpsで出力されるので、1レーンでは伝送速度が足りなくなります。この素子がデュアルなどですと、もっと大変なことになります。またこの後に解説しますが、JESD204B ではレーン容量を100%変換データの伝送に使うことはできず、最大でも80%の利用効率になります。

これに対応するため JESD204B では、特長 (8) で示したように、複数のレーンを一つのコンバータに使うマルチ・レーンの動作を規格化しています。1変換分のデータを分割し、複数のレーンにマッピングして送出し、受信側で元の形に再構成します。また1レーンで複数のコンバータと接続する、マルチ・デバイスの接続も規格化されています。例えばI/Q復調を行う素子では、AD変換の結果が1変換あたり2個出てきます。このデータを複数のレーンにマッピングして送るという複雑な動作も可能です。これらのイメージについては、図2.4、図2.5を見てください。

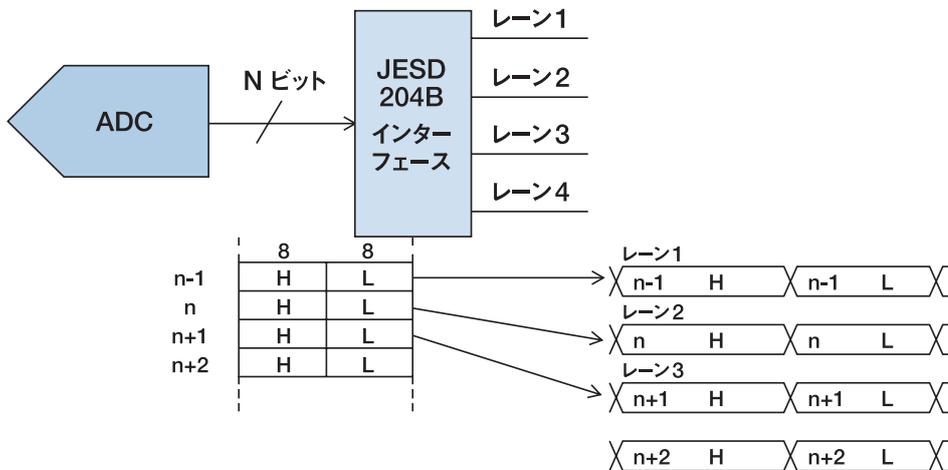


図2.4 マルチレーン接続
複数レーンへのデータ・マッピング

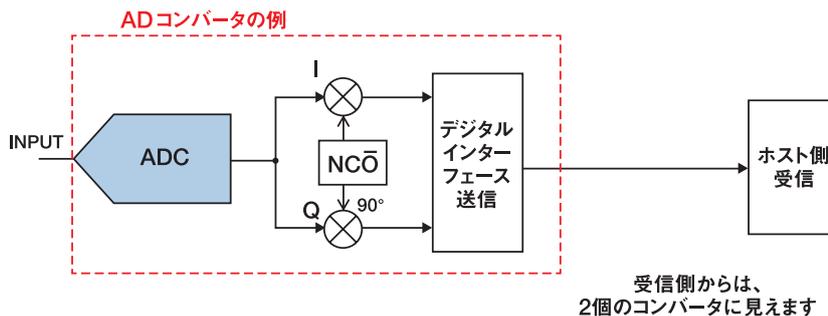


図2.5 コンバータ1個でも2chとみなされる例
デジタルI/Q復調ADコンバータ

実際のデータ伝送では、8ビット/ワードのデータをIEEE802.3にもとづいた8b/10b変換技術を使用し、データを加工して送るので、20%ほどオーバーヘッド(冗長なデータ)が生じます。これは1/0組み合わせの8ビット単位の送信側の元データ(オクテットと呼びます)を、10ビット長データ(キャラクタと呼びます)にエンコードする技術です。この理由については、2-2-2を参照してください。このプロセスで、8ビット単位のデータに対して2ビットのデータ以外のビットが付加され、10ビット/ワードでデータが送出されます。したがって12.5Gbpsの伝送帯域を、全て変換データの伝送に使えるわけではありません。実効データ・レートは、これより遅くなります。

オクテット・データに対するデータ・スクランブルの機能も取り入れられていて、送出される信号のスペクトラムが特定の周波数に偏らないように工夫されています。このスペクトラムの偏りがあると、特定の周波数にエネルギーが集中し、好ましくないスプリアスを発生するリスクがあります。この規格の素子の多くは、データ・スクランブル機能のEnable/Disable切り替えを持っています。このスクランブルと8b/10b変換については、以下の図2.6をご覧ください。また8b/10b変換の詳細については、2-2-2で説明します。

データ・コンバータとのインターフェースとしてレーン毎の目的が決まっています。帯域に余裕があったとしてもADコンバータのレーンとDAコンバータのレーンは、共用できません。各レーン上のデータの流れは、ADC→デジタル回路、あるいはデジタル回路→DACの単一方向です。したがってデータ伝送路を通してやり取りする方式のハンド・シェイク(例えばI2C通信やCANバスなどのやり方)は、使用できません。

もう一つJESD204Bのハードウェアで特徴的な部分は、ロジックのレベルが一般的な電圧レベル信号ではなく、電流の向き(あるいは強度)で0/1を表現する、電流モード・ロジック(CML: Current Mode Logic)を採用していることです。多くの場合、電圧信号より電流信号のほうが、高速で動作することが知られています。この電流信号は、実際の回路では終端抵抗により電圧に変換されて受信されます。この部分の動作は、LVDSに似ています。物理層(PHY)のハードウェアの詳細については、後の項3で解説します。

ディタミニスティック・レイテンシは、今のところ的確な日本語訳が見当たらないので、本文中ではそのままカタカナで用います。これは送信側デバイスのデータ・フレーム・クロックやデバイス・クロックを基準にした、データのディレイに関するスペックで、JESD204Bインターフェース規格の大きな特徴となっています。この部分は大事なところですので、やはり後の2-3-6で詳しく解説します。

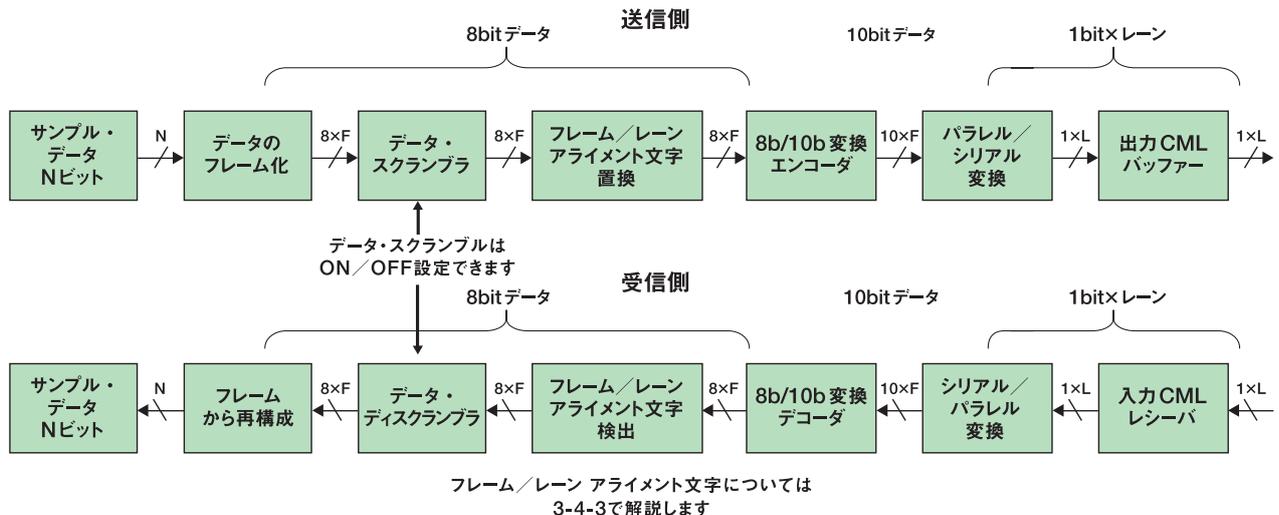


図2.6 内部のデータ処理の流れ
送信側/受信側での内部データ処理

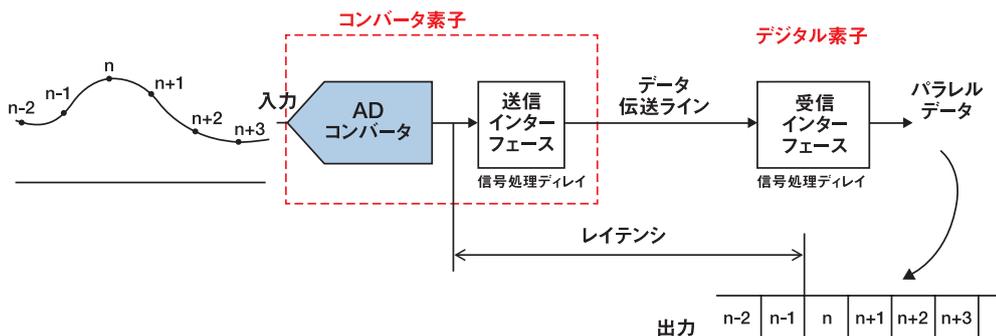


図2.7 デイタミニスティック・レイテンシ
ADコンバータでの例

高速でデータをやり取りするためには、送信側と受信側で通信リンクを確立して、データの読み落としを防がなければなりません。リンクの確立とは、送信側と受信側で送受信の方法の協調（アライメント）が取れたということで、正確なデータ伝送を開始できる状態になったということです。そのためにJESD204Bでは、データ送受信前に、あらかじめ決められた手順で特定コードのキャラクタを送受信し、タイミング関連の動作が正しく設定されていることや、送信時のデータの形（フレーム内のデータ数やマルチ・フレーム内のフレーム数など）を確認します。これをレーンのアライメントをとるといいます。またその手順の中で、レーンの動作パラメータと呼ばれる情報を送信して、受信側の設定と送信側の設定の確認をします。この手順をILAS（Initial Lane Alignment Sequence）と呼びます。データ伝送開始前の初期化作業と考えてもよいでしょう。これも高速データ伝送を実現する、JESD204Bの特徴的な動作の一つです。ただしJESD204Bの信号ラインは、先に説明した通り双方向ではないので、I2Cのハンド・シェイクのように、データ線を通してアクノリッジ信号を返し、正しいデータの受信成功を送信側に知らせることはできません。データ信号線以外のSYNC～という制御信号をこの目的で使用しますが、詳細は3-2以降に解説します。このリンクの確立作業では、データ送信前に動作パラメータのデータ以外にいくつかの制御コード（10ビットのキャラクタ）を使用してタイミングを合わせますが、その開始方法あるいはタイミングについては、各サブクラスにより使う制御信号が異なります。

このようにJESD204Bは、高速コンバータのための高速シリアル・データ伝送を、正確に行うために考案された規格で、そのためのさまざまな工夫が取り入れられています。これは良いことなのですが、そのためコンバータを使用する際に指定の手順を踏んで、リンクを確立してからでないに変換データのやり取りができません。例えば、JESD204BのADコンバータに単に変換クロックを入力しても、この初期設定ができていないと、データを出力することもありません。

2-2-2. 8b/10b変換について

JESD204Bのデータ伝送では、変換データを8ビットのブロックに分け、このデータ（オクテット）を10ビットのデータ（キャラクタ）に変換して送受信します。この8b/10b変換技術（特許の書類では8B/10Bと大文字です）は、1980年代にIBM社が開発したコード変換技術で、磁気ディスクのデータ読みとりなどのビット・クロック埋め込み型高速シリアル・データの伝送を、正確に行うために使われました。その後、同じようにクロックとデータを一つの伝送線でシリアル伝送するインターフェースであるイーサネット、シリアルATA、SONET/SDHなどでも使用されています。現在では特許の期限も過ぎて、JESD204Bを含む多くの用途で使われています。

符号化された10ビットを使うことのメリットを考える前に、まず8ビットの生のデータを送ることの問題点について考えてみます。8ビットの生データは、時に「1」の期間が長いコードや、逆に「0」の期間が長いコードが存在し、また中心値に近いメジャーキャリアー遷移部分のコードでは、1LSBの違いでも「1」と「0」の比率が大きく変わってしまいます。このように「1」や「0」が長期間続いてしまうコードや、比率が偏ったコードでは、ACカップリングされた受信側のDCバイアスがずれたり、ロジックの反転が長期間起

こらないコードでは、ビット・クロックを再生するクロック・リカバリがうまく同調できなくなったりします。これを避けるためには、コード内の「1」と「0」の比率をなるべく等しくし、同一レベルが長く連続しないように変換することが適切です。

8b/10b変換では、2ビット追加することにより冗長なビットが増えますが、8ビットのコード（256種のコード）を10ビットのコード（1024種のコード）にマッピングすることで、同じロジック・レベルが連続してあらわれたり、0/1の比率が極端に偏ったりすることを防ぎます。

実際には8ビットの元データを3ビットと5ビットに分け、それぞれ1ビットを追加して3b/4b変換、5b/6b変換を行い、合わせて10ビットとします。変換は、用意されたルックアップ・テーブル（数表）を参照して行うので、特に変換のための法則や計算式はありません。この変換されたコード（10ビットのキャラクタ）では、同じレベルのビットの連続が、データでは4ビット以下、後で解説する制御コードでは5ビット以下となるようにコードが選ばれています。3ビットのコードで8種類、5ビットのコードで32種類の変換データを定義するので、これらのキャラクタは、Dxx.xとコードの名前が付けられています。xxは32種類を表す0から31の数字、xは8種類を表す0から7の数字を用います。頭の「D」は、データという意味を表す文字です。8ビットを10ビットにマッピングするので、当然使わない10ビット・コードがあります。そのデータ以外のコードで、制御コード（制御キャラクタ）として規定されているものをK28.xで表現します。（表2.2参照）

表2.2 8b/10bのコード
データ（Dxx.x）と制御文字（K28.x）

データを表すコードの例

コード名	オクテット	キャラクタ RD=-1	キャラクタ RD=+1
D00.0	00000000	101110100	0110001011
D01.0	00000001	0111010100	1000101011
D02.0	00000010	1011010100	0100101011
↓	↓	↓	↓
D30.7	11111110	0111100001	1000011110
D31.7	11111111	1010110001	0101001110

JESD204Bで使用する制御コード

記号	コード名	オクテット	キャラクタ RD=-1	キャラクタ RD=+1	説明
R	K28.0	00011100	0011110100	1100001011	マルチ・フレーム先頭文字
A	K28.3	01111100	0011110011	1100001100	レーン・アライメント文字
Q	K28.4	10011100	0011110100	1100001011	リンク・コンフィギュ先頭文字
K	K28.5	10111100	0011111010	1100000101	グループ・シンクロ文字
F	K28.7	11111100	0011111000	0011111000	フレーム・アライメント

例えばK28.0は、/R/の制御コードと表現します。

この「K」で始まるキャラクタ・コードは、制御コードとしてデータ伝送以外の目的に使用します。全部で12種類ありますが、JESD204Bではそのうち5種類だけを使用しています。その目的については、後の3-4-3をご覧ください。

8ビットのデータを10ビットに変換するので、必要な10ビット・キャラクタは256種類で済むこととなりますが、8b/10b変換

では、一つの8ビット・データに二つの10ビット・キャラクタを割り当てています。それぞれのコードは、+RDあるいは-RDのコードとよばれます。RDとは、ランニング・ディスパリティの略です。二つのコードは補数の関係になっていて、10ビットの「1」と「0」が反転した形になっています。例えばK28.5というキャラクタは、-RDでは0011111010、+RDでは1100000101となります。RDは、伝送時に+と-が交互に使われ、前のデータ(キャラクタ)のRDが+RDであれば、次のデータは-RDのコードが使われます。このようにして、キャラクタとキャラクタのつなぎの部分で、同じロジック・レベルが連続しないようにしています。ただし、いくつかの例外のコードがあり、キャラクタのコード数は、正確には512個ではなく、それより少ない数です。

この方法の延長として、より効率の高い変換方式である、64b/66b変換、あるいは128b/130b変換などのエンコードも、他の用途で使われています。オーバーヘッドは、それぞれ約3%、および約1.5%と8b/10bに比べて高効率です。

2-3. 規格の中で使われる用語

JESD204B規格の中では、タイミングの規定や、システムの特性をあらかず数々のパラメータ、通信のチェックに使用する特定のコードなど、多くの用語や文字が使われています。これらは、使用する素子やそのメーカーが変わっても、データシートの中でほぼ同じものが使われています。またシステム設計において、動作設定などのデザインをする際に、変換速度やビット数から様々な計算をする必要がありますが、この方法もこれらの記号や単語を使用して、表現されています。このなかには、例えば「フレーム」のように他にも使用される一般的な言葉もありますが、JESD204Bで使われる独特の表現もあります。したがってJESD204Bの動作について解説する前に、まずこれらの用語の意味についてよく知っておく必要があります。ここでは重要な用語や、表現、記号の意味などについて解説します。

2-3-1. データの形などを表す用語

コンバータのデータをシリアル伝送するために、そのデータ・フォーマットを定め、それに沿ってやり取りを行います。具体的には8ビット(オクテット:Octet)のデータを最小単位として、スクランブルや8b/10b変換などを通して、データ・フレームでまとめてデータ(複数のキャラクタ:Character)の塊を送出します。

以下の説明の中にありますが、JESD204Bではコンバータ変換データをオクテットに分けてスクランブルし、変換(エンコーディング)して送出し、受信側で再生(デコーディングとディスクランブル)します。したがってハードウェアのデバッグなどの際に、デジタル・オシロ・スコープやロジック・アナライザで信号レーンの波形を直接見ても、そのデータが実は何なのか一見わからないようになっています。ただし高機能な測定器では、このデコーダなどの機能がついているものもあります。

- ▶ **Octet** : オクテット、8ビット単位のデータです。バイトと似ていますが、オクテットの場合は、8ビット/ワード固定のデータです。
- ▶ **Scrambler** : スクランブラ もとのデータに同じようなコードが続いた場合、あるいは周期的なデータの場合に、特定の周波

数スベクトラムにエネルギーが偏って集中しないように、データをあらかじめスクランブル(ランダム化)します。このプロセスを通すことで、スプリアスによる輻射の削減をはかります。方法はIEEE802.3に従います。

- ▶ **8b/10bエンコード** : 8ビットのオクテット・データは、ルックアップ・テーブルに照らして、1と0の比率が大きく偏らないような10ビット・コードにエンコードします。これによりACカップリングの際の受信側でのバイアス・バランスを取ります。また比率だけでなく、0や1が6ビット以上連続して続かないようにコードが選ばれています。これにより受信側クロック・リカバリ回路のロックを、容易にしています。方法は、IEEE802.3によります。2ビットが追加されて10ビットが1ワードとなり、それをキャラクタと呼びます。1キャラクタで1オクテット分のデータを表現します。したがって伝送路では、この部分において2ビットのオーバーヘッド(20%の冗長データ)が生じます。8b/10b変換については、2-2-2もご覧ください。
- ▶ **Character** : キャラクタ 8b/10b変換で出力された10ビットのデータを、この規格の中ではキャラクタと呼んでいます。これは変換データだけでなく、10ビットの制御コードも含まれます。個々のキャラクタの表現として、Dxx.xあるいはKxx.xというコード名を使います。xxは0~31、xは0~7の数字です。頭のDは、データを表し、Kはそれ以外の制御コードを表します。詳しくは、2-2-2をご覧ください。
- ▶ **Frame** : フレーム データをレーンに送る場合、連続するいくつかのキャラクタを一つのデータ・ブロックとして扱います。この一つのブロックはフレームと呼ばれ、この後に記述のある、フレーム・クロックでフレーム間の境目を区別します。動作パラメータのなかで、1フレームあたりのキャラクタ数が指定されます(図2.8参照)。
- ▶ **Multi-Frame** : マルチ・フレーム これも連続する複数フレームのブロックです。マルチ・フレーム・クロックにより、1ブロックのマルチ・フレームの境目が区別されます。動作パラメータのなかで、1マルチ・フレームあたりのフレーム数が指定されます(図2.8参照)。

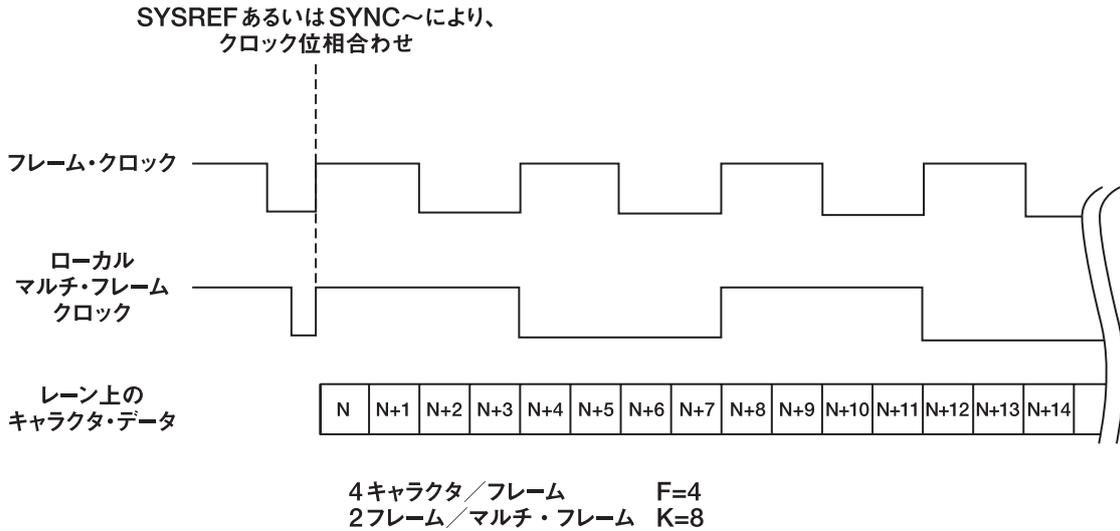


図2.8 フレームとマルチ・フレーム
F=4、K=8の例

2-3-2. システム内部のクロックに関する記号、用語

JESD204Bのシステムでは、送受信側ともデバイス・クロックをもとにしてタイミング制御をしていますが、それをもとに作られる重要な内部クロックがいくつかあります。これらのクロックは、特別にモニターピンが用意されていない限り、ユーザーが外部から測定することはできません。外部からは見えませんが、システムの動作には非常に重要な信号です。図2.9を合わせてご覧ください。

- ▶ **Frame Clock** : フレーム・クロック 伝送データの1ブロックを識別するデータ・フレーム信号。JESD204Bにおいては、デバイス・クロックより生成されます。ディタミニスティック・レイテンシの規格があるときは、このフレーム・クロックやローカル・マルチ・フレーム・クロックをもとに遅延を規定します。1フレームの間隔内には、最大256オクテット、32サンプルまでのデータを入れることができます。(実際にはオクテットはキャラクタに変換)

- ▶ **Local Multi-Frame Clock (LMFC)** : ローカル・マルチ・フレーム・クロック デバイス・クロックより生成される、連続した複数フレームのためのクロック。したがって、フレーム・クロックの整数倍サイクルを持つ、フレーム・クロックに同期した信号です。またディタミニスティック・レイテンシの規定でも使用します。SYSREF信号とデバイス・クロックを使って、デバイス・クロック、フレーム・クロックとアライメント(位相合わせ)をとります。このクロックの1サイクルは、フレーム・クロックの32サイクル以下でないといけません。またリンク・ディレイより長くなくてはなりません。これにより受信側(Rx)が余裕を持ってデータを受け取ることができるようになります。

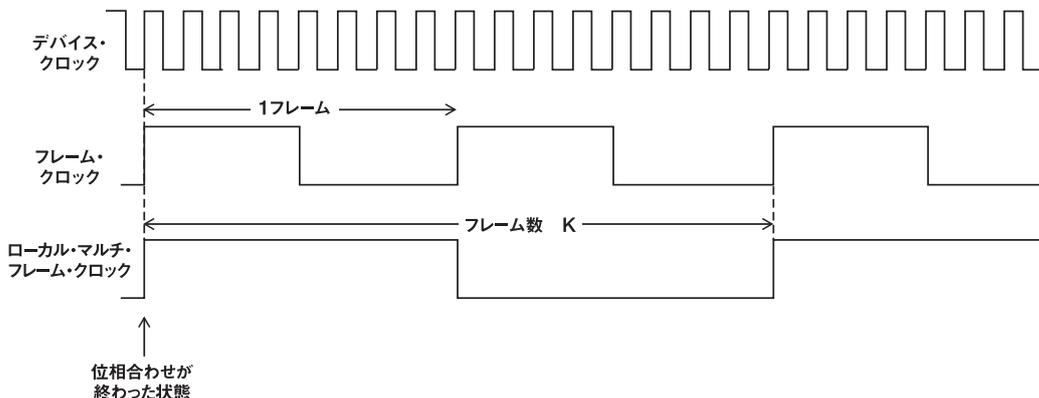


図2.9 フレーム・クロックとマルチ・フレーム・クロック
F=4、K=8の例

2-3-3. システム外部のタイミング/クロックに関する用語

JESD204B動作のためには、データのレーンだけでなく、いくつかのクロックと制御信号が外部から必要になります。特徴の項で出てきましたが、JESD204Bの規格では、サブクラスと呼ぶ動作モードが3種類あるので、使用するモードによって使われる制御信号が異なります。例えば、サブクラス0と2では、SYSREFという制御信号を使用しません。後の項でも説明がありますが、これらのクロックや制御信号は、CMLレベルである必要はありません。むしろそれ以外のロジック・レベルであることがほとんどです。

▶ **Device Clock** : デバイス・クロック システム動作の基準となるマスタークロック (システムの基準タイミング・クロック) であり、AD/DAコンバータにとっての変換クロックのもとにもなる信号です。この信号は、デジタル側にも供給され、動作タイミングの基準となります。フレーム・クロックやその他の内部タイミング信号、コンバータのサンプリング・クロックも、この信号から生成されます。SYSREFやSYNC~などの制御信号

と一緒に、フレーム・クロックの同期やレーン・アライメント作業のスタートのタイミングを知らせます。また後で解説されている、ディタミスティック・レイテンシの誤差の一つである不確実性を少なくするために、サンプリング・クロックよりずっと早いデバイス・クロックを使用し、ADC、DACのサンプリング・タイミングには、内部で分周したクロックを使う場合があります。

▶ **SYSREF** : タイミング制御信号の一つ。サブクラス1の動作モードで使用されます。SYSREF信号のタイミングはクロック回路により作られ、レーンに接続するすべての送受信デバイスに同時に送られます。この信号のL→Hレベル入力とデバイス・クロックのエッジから、ローカル・マルチ・フレーム・クロック (LMFC) とローカル・フレーム・クロック (LFC) の位相合わせ (信号の頭を合わせる) を行います。これによりこの二つの信号と、デバイス・クロック信号の時間関係がはっきりします。SYSREFとLMFC間のディレイは、デバイスの規格の中で規定されなければなりません。複数のチップ間で動作の同期をとりたい場合、この信号で位相合わせを行い、そのスタート地点を決めます (図2.10参照)。

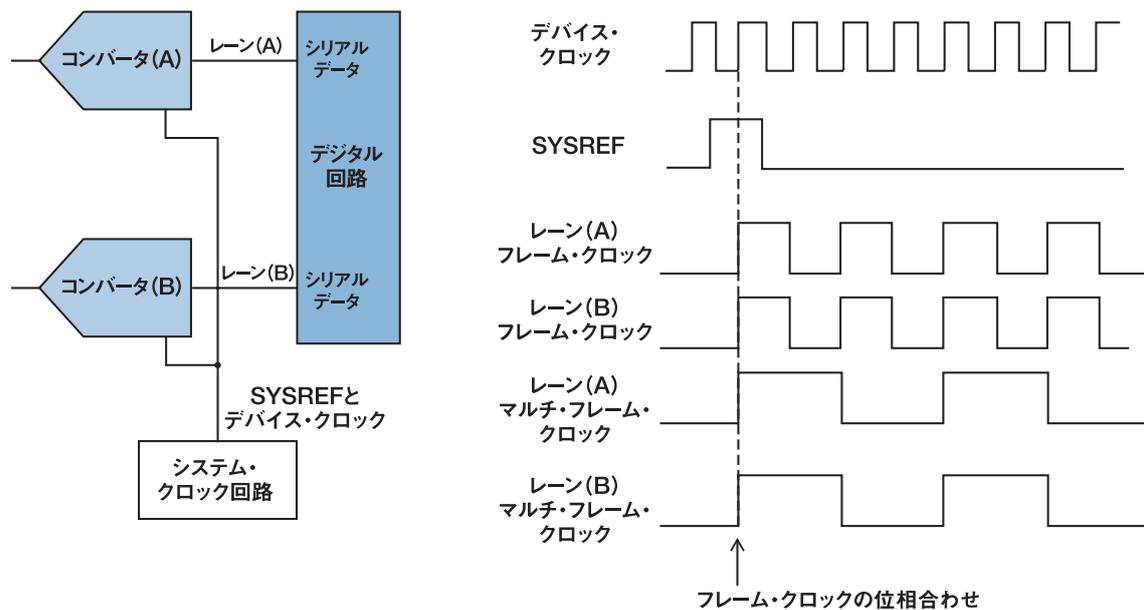


図2.10 SYSREF信号の働き
SYSREFによるフレームの位相同期 (Subclass1のみ)

▶ SYNC~: サブクラス0、1、2全ての動作モードで使用されます。この信号は、受信側 (Rx) で作られて送信側 (Tx) に送られます。この際には、デバイス・クロックと同期してエッジを作り出す必要があります。最後についている「~」は、この信号がLでアクティブという意味で、一般的なバーのついた負論理の信号名と同じ意味です。送信側は、この信号のH→Lの遷移を受け取ると、CGS (Code Group Synchronization) とILAS (Initial Lane Alignment Sequence) というレーンのリンクを確立させるための手順 (シーケンス) を開始するための合図として認識します。CGSが正常に実行され、データ送受信の協調 (アライメント) が取れると、この信号はHに戻り、データ伝送の動作が正常な間はその状態を維持します (図2.11参照)。サブクラス1では、SYNC~信号入力前にSYSREF信号でフレーム・クロックの位相合わせを行います。サブクラス0と2ではこのSYNC~信号でフレームの頭合わせを同時に行います。このSYNC~信号には、システム・スタートの際のアライメン

ト作業開始の合図だけでなく、もう一つ重要な役割があります。それはレーンのアライメントが外れて、データが正しく伝送できない状態が検出された際、SYNC~信号が再度H→Lに遷移して、CGSやILASなどの再アライメント動作を指示するというものです。レーン・アライメントの初期化リセット信号とも考えられます。アライメントのチェックは、文字置換処理によりアライメント・モニターのための特別に指定されたキャラクタを送付し、それが正しく受信側で受け取ることができたかどうかで判断します。規定のルールに従って文字を置換して送るので、このモニター動作でのオーバーヘッド (データ以外の冗長なデータ) の増加はありません。その方法については、後述のアライメント・モニターの項をご覧ください。また受信されたキャラクタが8ビットのオクテットに相当しないコードであった場合も、エラーとしてアライメントのやり直しを要求することがあります。それぞれの素子の設計仕様によりますので、データシートを確認してください。

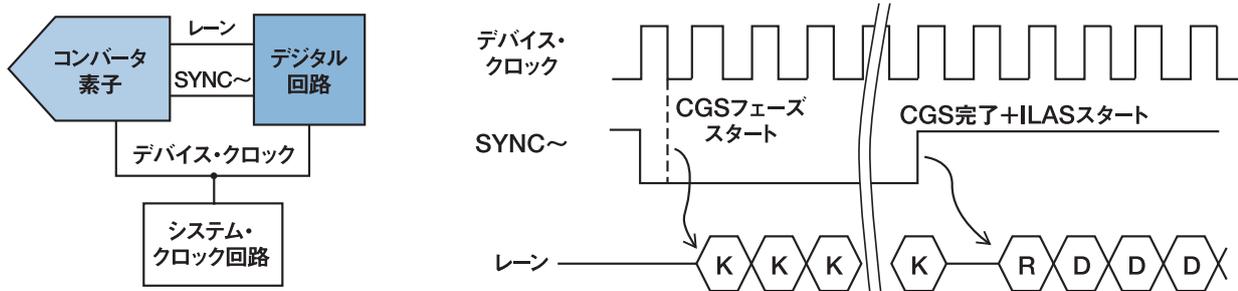


図2.11 SYNC~信号の働き
SYNC~によるレーン・アライメントの開始

2-3-4. コンバータおよびその入出力に関する記号、用語

JESD204B 規格のデバイスの動作状態をあらわすのに使われるパラメータ記号です。この中には、動作パラメータとして、ILAS 実行の際に受信側に送られるコンフィギュレーション・ファイルの中に設定されるものもあります。送信側と受信側で、これらのパラメータによる設定の協調ができなければなりません。ここで重要なことは、これらの動作パラメータは、アライメントの手順を始める前に、あらかじめ送受信素子の中に全て設定しておかなければならないということです。

- ▶ L：コンバータあたりのレーン数です。
- ▶ M：リンク上のコンバータの数です。例えばコンバータが一つでもデジタルI/Q変復調を内部で行っていると、コンバータ数としては2となります。
- ▶ N：コンバータの分解能です。ビット数/変換
- ▶ N'：1サンプルの中で送信される情報ビット数です。その中にはデータ・ビット、コントロール・ビット、テール・ビットが含まれています。コントロール・ビットは、データ以外の空いたスペースに追加できる、意味を持ったビット・データです。テール・ビットとは、コンバータの分解能などの関係で、データやコントロール・ビットがオクテットの倍数にぴったり収まらなかった場合、その空いているビットをこのように呼んでいます。ここには固定値を挿入します。したがってテール・ビットやコントロール・ビットの追加により、レーンの伝送路におけるオーバーヘッドは、8b/10b変換によるものに加えられるかたちで20%以上になります。
- ▶ S：一つのコンバータのフレームあたりのサンプル数です。1から32までの値です。
- ▶ Fs、SC：デバイス・クロックあるいはサンプル・クロック周波数です。
- ▶ F：1フレームあたりのオクテット (Octet) 数です。
- ▶ K：マルチ・フレームあたりのフレーム数です。32フレーム以下、およびリンク・ディレイ以上です。
- ▶ LR：lane Rate、一つのレーンのビット・レートです。これは次のように計算されます。

$$LR=(M \times N' \times (10/8) \times Fs) \div L$$

2-3-5. 制御文字 (キャラクタ) に関する記号

JESD204B システムでは、立ち上げの後やエラーリセット後にアライメントをとるため、実際のデータを送出する前に、制御キャラクタという特別なコードを送出して、送信側と受信側のチェックや設定を行います。これらのコードは、表2.3のRやKのようにアルファベットの1文字で表現されますが、実際には表に示した10ビットのキャラクタです。ランニング・ディスパリティ (Running Disparity) により、+と-で10ビットのパターンが反転します。実際のキャラクタ送信では、+RDと-RDのコードが交互に送出されます。同じ制御キャラクタを続けて送信する場合でも、キャラクタの境目で1、あるいは0が長期間連続しないようになっています。データシートや規格の中でこれらが示されるときには、各文字記号の前後を「/」で挟んだ形で表現されます。例えば、Kという名の制御キャラクタであれば/K/と表記されます。またそれぞれ1文字のキャラクタであらわされる制御コードは、ルックアップ・テーブルの中でK28.xという記号でコード名がつけられています。例えば/K/のコード名は、K28.5です。またレーン・アライメントの手順であるILASというシーケンスでは、マルチ・フレーム・データの始めと終わりに/R/と/A/のキャラクタが挿入され、データ・ブロックの区切りの目印となっています。

表2.3 制御コード (キャラクタ)

JESD204Bで使われる5種の制御キャラクタ

キャラクタ記号	キャラクタのコード名	オクテット	キャラクタ RD=-1	キャラクタ RD=+1	説明
R	K28.0	00011100	0011110100	1100001011	マルチ・フレーム先頭文字
A	K28.3	01111100	0011110011	1100001100	レーン・アライメント文字
Q	K28.4	10011100	0011110100	1100001011	リンク・コンフィギュ先頭文字
K	K28.5	10111100	0011111010	1100000101	グループ・シンクロ文字
F	K28.7	11111100	0011111000	0011111000	フレーム・アライメント

例えばK28.5は、/R/の制御コードと表現します。

このキャラクタのコード名は、制御コードのK28.Xだけでなくデータのコードにも、Dxx.xという名前が割り振られています。これらはIEEE803.2の中で規定されています。このなかで、D28.7というキャラクタ (実際のオクテット・データは0xFCh) には、特別な意味があります。ある条件下でこのキャラクタがフレームの最後のキャラクタであると、送信側で文字置換という動作が行われ、その置換された文字を使って、受信側でレーン・アライメントが正しく行われているかのチェックが行われます。文字置換が行われるのは、この時だけではなく、その他にいくつかの条件があります。詳しくは、後の3-4-5の説明を参照してください。

2-3-6. ディタミニスティック・レイテンシ (DL) について

JESD204Bに規格が改定されて、それ以前の204/204A規格との差異として「ディタミニスティック・レイテンシ」というスペックが規定されました。このスペックは、特に複数コンバータを使用する際の、データ・アライメント(複数のデータの位相合わせ)に重要な意味を持っています。一部のアプリケーションで必要とされる、正確なサンプリングのタイミング位置を規定する目的があります。MIMO通信やレーダー、デジタル・エンファシスを利用する多chシステムなど、信号とサンプリング・データの位置関係を明確にしなければならないシステムで重要です。

ディタミニスティック・レイテンシ(DL)とは、送信側にパラレル・データがそろって送信のための信号処理を開始したタイミング(JESD204B処理の入口)から、受信側で受け取られたそのシリアル・データが、元のパラレル・データにデコードされて出力される(JESD204B処理の出口)までの時間を、クロックの数で表現したものです。したがってこのスペックは、コンバータとデジタル処理が同一チップ上の素子となっていない限り、それぞれのコンバータ素子、あるいはデジタル素子単体で規定することはできません。設計者は、コンバータ内部の信号処理ディレイ(レイテンシ)と、デジタル回路側の信号処理ディレイ(レイテンシ)を勘案して、送受信全体としてのディタミニスティック・レイテンシを明確にしなければなりません。その際にはディタミニスティック・レイテンシ

シの不確実性を考慮して、内部信号処理のアジャスト(DLアジャスト用FIFOなどを使用する)を行い、各データのアライメントをとらなければなりません。ADコンバータとDAコンバータで、ディタミニスティック・レイテンシの考え方を以下に解説します。

ADコンバータでは、一回のAD変換が完了すると、1ワードの変換データが生成されます。12ビットADCであれば、12ビットのデータがそろい、データ伝送の前処理へ送られます。この地点が、ディタミニスティック・レイテンシの規定のスタート地点です。12ビット・データは、この後オクテット化されスクランブルされた後、8b/10bのエンコードを施され、シリアライザによりシリアル化されて、フレームごとに伝送路に送り出されます。この時ビット・クロックは、データに埋め込まれて(Embedded Clock)、一緒に受信側に送られます。受け取った受信側では、ディシリアライズ、デコードして冗長なビットを取り除いて、ディスクランブルされたオクテットから元の12ビット・パラレル変換データに戻します。ディタミニスティック・レイテンシの後ろの端は、このパラレル・データがそろった時点です。

DAコンバータの場合は、コンバータの出力コードの1ワードがそろって、204Bの信号処理に送り込まれた時点がスタートで、そのデータがシリアルレーンを通り、受信のDACに取り込まれ、コンバータ入力のパラレル・データとしてそろった時点が終了点です。

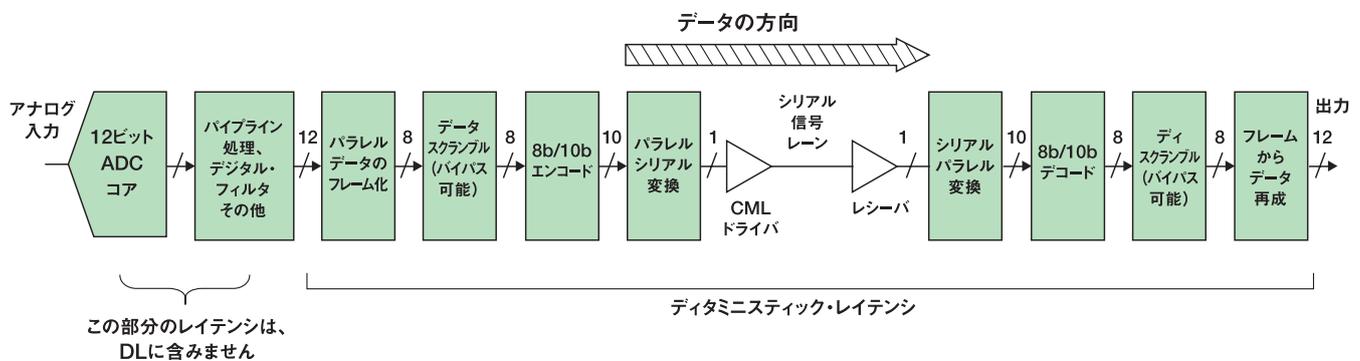


図2.12 ADコンバータ・システムのディタミニスティック・レイテンシ
12ビット分解能システムの例

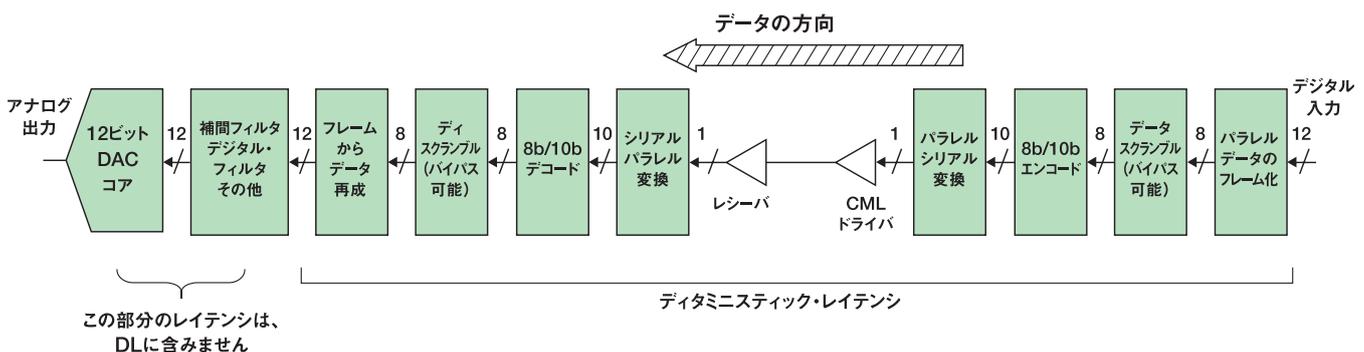


図2.13 DAコンバータ・システムのディタミニスティック・レイテンシ
12ビット分解能システムの例

ディタミニスティック・レイテンシの中には、ADコンバータ自身の変換時間やパイプライン・ディレイ、DAコンバータの内部ディレイやセトリング・タイムなどは、含まれていません。多くの場合、高速・高分解能ADコンバータには、サブレンジング型（あるいはパイプライン型）アーキテクチャが用いられますが、このタイプのADCには、図2.14のように必ずパイプライン・ディレイ、またはレイテンシと呼ばれる変換クロックと出力データのずれが生じ

ます。このディレイは、大きいときには変換クロックの数10ステップ以上に達することがありますので、システム設計でトータルのレイテンシ計算の際に注意してください。一度変換データが出力バッファに到達すれば、変換結果は変換クロックのサイクルで連続して出力されます。このタイプの素子では、アナログ入力の変換スタートのタイミングから、変換データの出力までのレイテンシをスペックに記載しています。

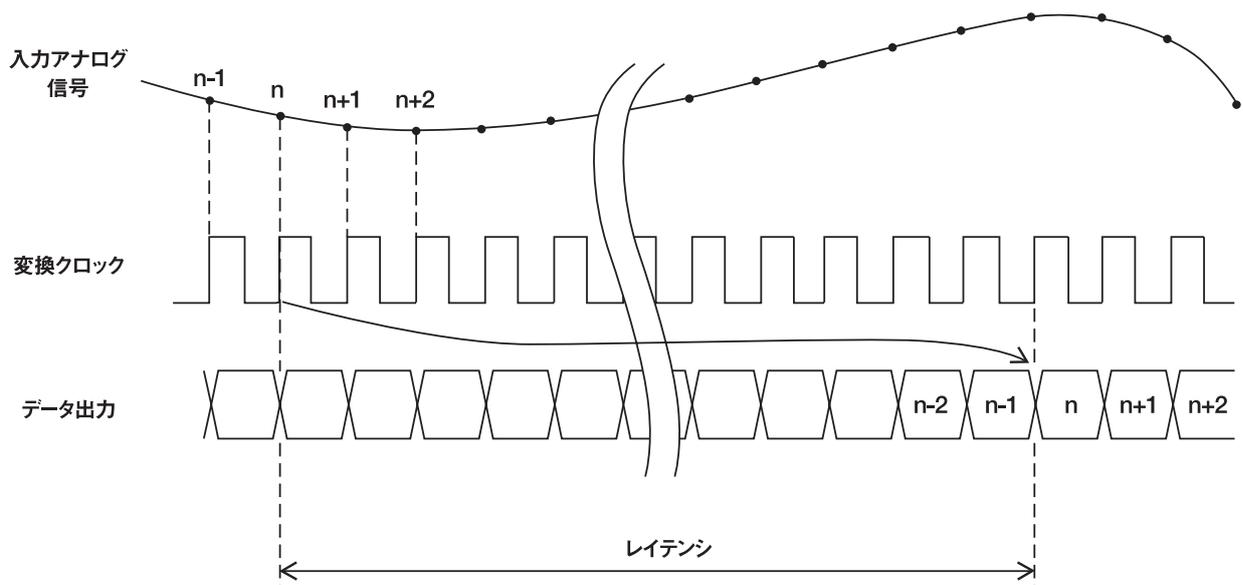


図2.14 ADコンバータのレイテンシ
変換の内部処理によるパイプライン・ディレイ

DAコンバータの場合も同じようなことが起こります。サンプル・ポイントの間のデータを補間する、インターポレーション型 (Interpolation DAC) DAコンバータでは、その設定によっては数100変換クロックのレイテンシを持つものもあります。インターポレーション型DACは、補間型DACとも呼ばれ、図2.15のようにサンプル・データからその間のデータを補間計算で求め、サンプル

ル点を増やすデジタル・フィルタの一種です。2倍、3倍、4倍と補間するポイントを増やすことができますが、それに伴い計算量が増加し、その部分でのレイテンシ (ディレイ) が増加し、時に数100クロックのステップを必要とします。デジタル・データがDAC回路に送られた後は、セトリング・タイムのようなアナログ的なディレイとなります。

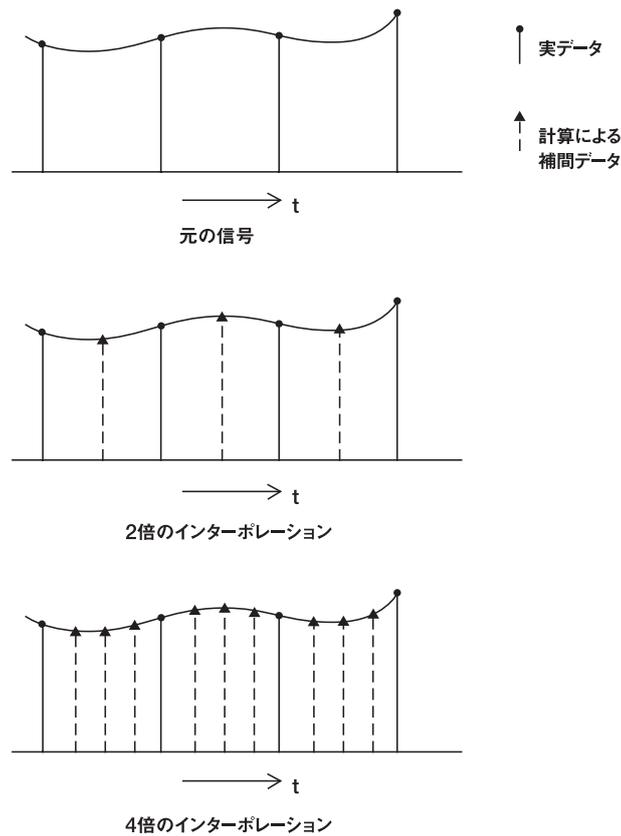


図: 計算による補間データの追加

図2.15 インターポレーションDAコンバータ
補間フィルタによるサンプル数の増加

ディタミニスティック・レイテンシは、JESD204Bに更新された時に新たに加えられた規定です。JESD204Bでは、複数の素子やレーンの信号のアライメントをとるために、サブクラス1ではSYSREFという信号を使用します。コンバータが複数の場合には同じデバイス・クロックとSYSREF、SYNC～信号を入力し、同期をとります。この場合、同期するのはフレーム信号です。ところが変換開始からデータ出力までのレイテンシが不明確であると、図2.16の左のように受信側での不揃い起きる可能性があります。またSYSREFやデバイス・クロック、SYNC～信号は、必ずしも同じタイミングで送信側の複数の素

子に届いているわけではなく、そのずれによる動作のタイミングずれも生じます。正しい結果を得るためには、このデータのアライメントが必要になります。ディタミニスティック・レイテンシが明確に規定されていれば、図の右のようにデータの受信側で受け取ったデータのアライメント（変換データのタイミングをそろえること）が容易になります。またこれらのデータが、どの時点のサンプルなのかも、明確にわかります。このようにJESD204Bでは、複数コンバータの正確な変換データの送受信を保証する手段が規定されています。

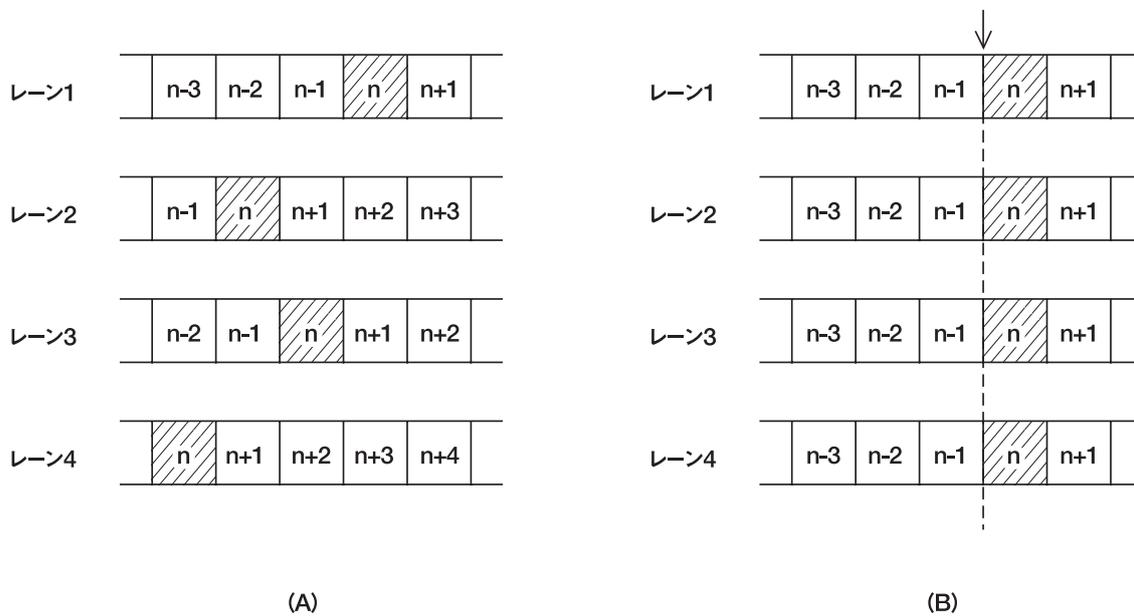


図2.16 複数レーンのデータのアライメント

(A) アライメント前 (B) アライメント後
一番遅いデータに合わせる

2-4. 他のインターフェースとのハードウェア的な比較

従来のデータ・コンバータの物理的インターフェースとしては、CMOSロジックや、より高速な動作をするLVDSを使用したものがあります。これらを使用しパラレル・フォーマットや、SPI通信のようにシリアル・フォーマットでのデータ伝送が行われます。ここではJESD204Bで使用される高速シリアル通信と、CMOS/LVDSによる通信との比較によるメリット/デメリットについて説明します。

CMOSやLVDSでは、シリアル/パラレルどちらの形態も使用できます。パラレル伝送の問題点は、先の1-2で述べました。シリアル通信で使用する場合は、CMOSでは200～300Mbpsぐらいまで、LVDSでは理論上は1Gbpsを超える伝送が可能です。実用上は600～1000Mbpsぐらいまでが現実的です。そのためデータ量が増えると、信号線数が増加します。それに比べてJESD204Bでは、それらの10倍以上である1レーンあたり12.5Gbpsまでの

高速伝送が可能です。

さらにCMOSは、一般的に低消費電力といわれていますが、高速回路では必ずしもそうではありません。CMOSロジックで構成されたドライバーは、基本的に次段のゲート入力に付いている入力容量を充放電することで信号を伝送します。その先の内部回路も同様に、絶縁ゲート（コンデンサ）の容量の充放電により信号処理をします（図2.17参照）。

周波数が高くなると（ロジックの動作速度が上がると）CMOSロジックが、CMLやLVDSの消費電力を追い越してしまいます。半導体プロセスや回路設計にもよりますが、現在では150MHzから200MHzぐらいの動作速度で、この逆転現象が起こります。（図2.18）一般的にCMOSは低消費電力という考え方がありますが、高速の信号伝送ではこれが成り立ちません。JESD204Bをはじめとする高速信号伝送に、定電流源の切り替えによる電流ロジック信号が使用される理由の一つです。容量を充放電するので、そのスイッチング周波数が高くなるとインピーダンスが下がり、大きな電流を必要とします。

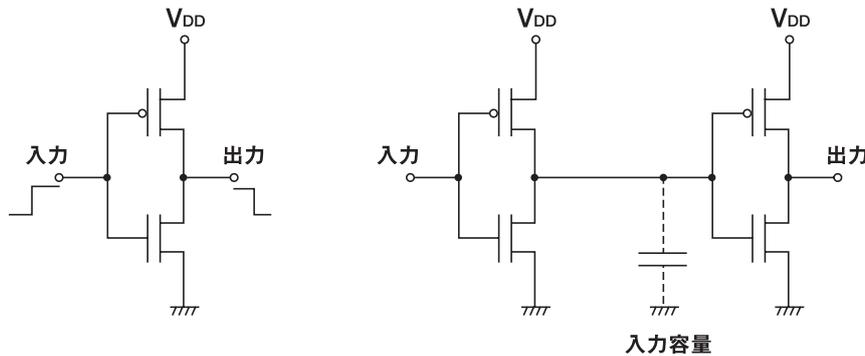


図2.17 CMOSロジック
CMOSドライバと直列接続

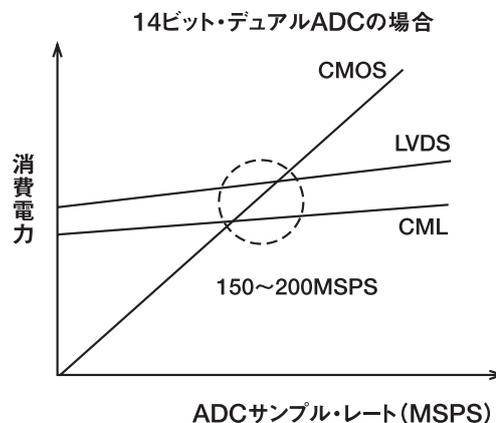


図2.18 ロジックの消費電力
CML/LVDS/CMOSの消費電力vs動作速度

図2.19にモデルが示されているLVDSも、回路的にはCMLによく似ています。LVDS (Low Voltage Differential Signaling) インターフェースでは、Voltage (電圧) という言葉を使っていますが、実際には図のように3.5mA (公称値) の電流信号を、差動出力にシンク/ソースが互いに逆方向になるように、電流スイッチで切り替えて出力します。受信端では100Ωの終端負荷抵抗で、±350mV (公称値) の差動電圧振幅信号を得ます。信号の同相電圧は、ポイントtoポイントの規格で0V~2.4Vの範囲となっていますが、一般的には1.2Vの設定で使用されます。またLVDSの場合、マルチ・ポイント接続を可能にする、M-LVDSの規格も決められていて、データ・バス構成にもできるようになっていること

が異なる点です。そのためM-LVDSでは信号のスペックが強化されています。M-LVDSでは信号の同相電圧範囲が、1対1のLVDSの0V~+2.4Vから-1V~+3.4Vと広がっています。また駆動レベルも強化され、出力振幅が100Ω負荷で250mV minから50Ωで480mV minとなっています。

LVDS、CMLは、動作中はどちらもスイッチ内部にほぼ定電流の信号が流れているので、動作速度(スイッチング周波数)が変化しても、スイッチ回路での消費電流(電力)は大きく変わらないというメリットがあります。逆にいえば、低速動作でも消費電力を大きくは削減できないということになります。CMLの物理的な特徴については後述します。

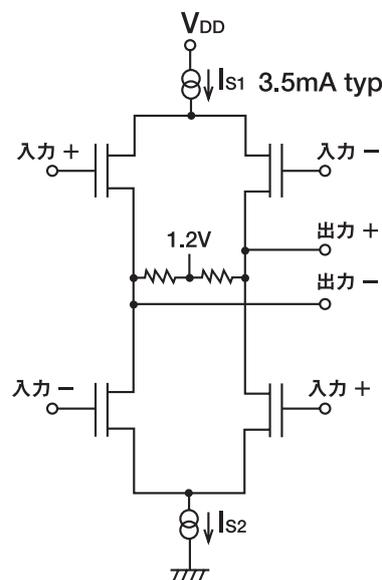


図2.19 LVDSロジック
LVDSドライバ回路

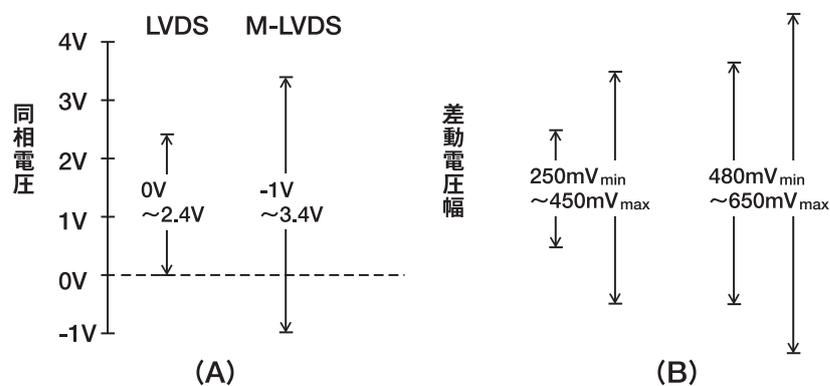


図2.20 LVDSとM-LVDS
ロジック・レベルの違い (A) 同相電圧 (B) 差動電圧

3. JESD204Bインターフェースの接続

ここではJESD204Bの信号ラインとそこで伝送されるデータの同期方法や手順などについて解説します。

3-1. 信号ライン (レーン)

規格の概要で説明しましたが、JESD204Bの信号伝送線 (レーン) は、高速の差動信号となっています。12.5Gbpsまでの高速信号を扱うため、いくつかのポイントがあります。またその配線にも十分な配慮が必要です。

3-1-1. レーン信号と他の信号のロジック・レベル

JESD204Bでは、電流信号によるCMLロジックを高速信号のやり取りに使用します。CMLは電流モード・ロジックと訳されるように、電流で1/0を表現します。JESD204Bだけでなく、高速のデジタル信号として使われ、例えば高速アナログ・コンパレータのデジタル出力などにも使用されています。

なおJESD204Bで注意しなければならないのは、信号にCMLレベルを使うことを規定しているのは、データ伝送のレーンに対してだけであるということです。システム動作の基準になるデバイス・クロックや、同期のためのタイミング制御信号などのロジック・レベルは、規格の中で指定されてはいません。例えばサンプリング・クロックの入力レベルは、コンバータの設計により異なる場合があるということです。また高速クロック入力は、通常ACカップリングが多いので、LVDSやPECL、LVPECL、CMOSなどのレベルから、動作の midpointであるバイアス点 (同相電圧) を設定して入力するような使用が一般的です。したがってJESD204B用のクロック・ジェネレータ素子なども、その出力は、ほとんどの場合CMLではありません。その他、内部レジスタによる動作設定のためのSPI入力なども、高速動作が求められるため、CMLロジックではない場合がほとんどです。

3-1-2. CMLロジックの物理的な特徴

CMLロジックは、図3.1のように定電流源をカレント・スイッチで差動出力に切り替えるモデルとして表されます。ここで V_{CM} は、信号の同相電圧を表します。電流信号といっても、接続できる電圧や、抵抗負荷に通した時に発生できるコンプライアンス電圧に、制限があります。通常はこの同相電圧を中心にした \pm の電流が、1/0の信号となります。この回路から明らかのように、CMLでは、動作の状態によらずドライバー側で使用される消費電流はほぼ一定となり、それは $I_S \times 2$ 倍となります。この特徴は、CMOSロジックに比べると大きな違いで、高速動作時での低消費電力化に大きなメリットとなります。

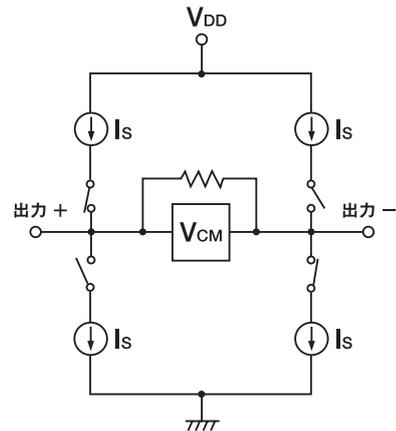


図3.1 CMLドライバ
CMLドライバの出力回路モデル

高速のCML信号の接続には、ACカップリングがよく使用されます (図3.2)。送出されるシリアル・データの1と0の比率に偏りがあると、バイアス点がずれて誤動作 (例えばビット・エラー) の元となります。そのためデータの1と0の比率が極端に偏らないように、送信側で8b/10bというエンコードを行ってから信号を送出します。

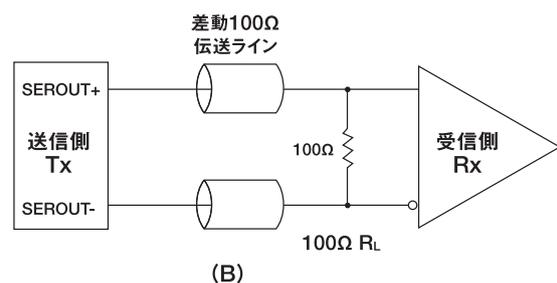
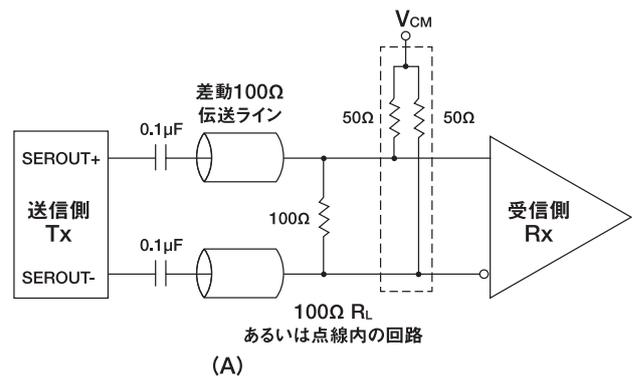


図3.2 CML伝送ライン

CMLの終端 (A) ACカップリング (B) DCカップリング

3-1-3. レーン信号に求められる性能

JESD204Bの規格では、動作速度に応じて受信端での差動電圧振幅と同相電圧の異なる仕様が、3種類あります。電流信号は、終端抵抗(100Ω差動)を通り電圧に変換され、受信素子に取り入れられます。レーンの速度が6.375Gbpsまでは、差動振幅が800mV(公称値)、同相電圧が1Vです。6.375Gbpsから12.5Gbpsまでは、同じく400mVと1Vです。それにより送受信端でのアイ・パターンの規格も異なっています。

JESD204Bではレーンの伝送速度により、送信/受信部の特性を規定するアイ・パターンの形が異なります。これは次の3種のレンジで分けて規定しています。

- (1) 312.5Mbps～3.125Gbps (LV-OIF-Sx15)
- (2) 312.5Mbps～6.375Gbps (LV-OIF-6G-SR)
- (3) 312.5Mbps～12.50Gbps (LV-OIF-11G-SR)

OIF・・・というのはOptical Internetworking Forumで策定された規格で、JESD204Bではこの中よりデータ送受信の規格を借りています。例えばLV-OIF-Sx15は、OIFのSx15.Ref3をあてはめています。

一般にアイ・パターンによる規定という、そのテスト用パターンにPRBS31パターンを使用しますが、JESD204Bでは、送信側に“modified RPAT”あるいはJSPAT、受信側には同じくJSPATというテスト・パターンを使用します。図3.3と表3.1に、これら3種の速度レンジに対する必要な性能を示します。なお、ここで単位として使われているUI(Unit Interval)とは、伝送データ1ビット分の時間で、例えば312.5Mbpsの伝送レートならば1秒÷312.5×10⁶=3.2nS(3200pS)が1UIとなります。その状態で、0.2UIといえば、3.2×0.2=0.64nSとなります。それぞれのBER(Bit Error Rate)は、Sx15で10⁻¹²、それ以上の速度の規格で10⁻¹⁴です。

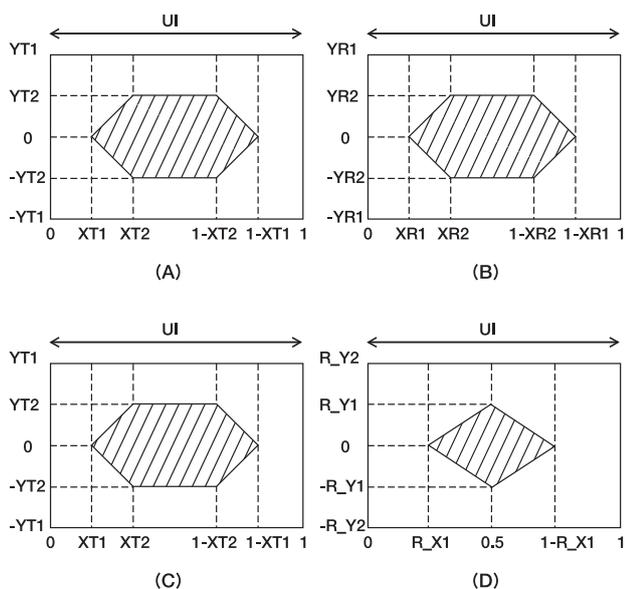


図3.3 送信側、受信側のアイ・パターン

- (A) LV-OIF-Sx15送信側 (B) LV-OIF-Sx15受信側
(C) LV-OIF-6G-SR/LV-OIF-11G-SR送信側
(D) (C) LV-OIF-6G-SR/LV-OIF-11G-SR受信側

表3.1 OIF各規格毎のアイパターン・スペック
3種類のレーン速度により、スペックが異なる

	仕様名	XT1	XT2	YT1	YT2	Total Jitter (p-p)	同相電圧 *1
送信側	LV-OIF-Sx15	0.175	0.45	0.5	0.25	0.35	0.72～1.23
	LV-OIF-6G-SR	0.15	0.4	0.375	0.2	0.3	0～1.8 *2
	LV-OIF-11G-SR	0.15	0.4	0.385	0.18	0.3	0～1.8 *2
受信側	LV-OIF-Sx15	0.28	0.39	0.5	0.0875	0.56	0.7～Vtt
	LV-OIF-6G-SR	0.3	0.7	0.0625	0.375	0.6	0.475～Vtt+0.125 *2
	LV-OIF-11G-SR	0.35	0.65	0.055	0.525	0.7	0.475～Vtt+0.125 *2

*1 単位はXT1,XT2,Total JitterはUI、YT1,YT2,同相電圧がVolt

*2 同相電圧は、終端回路とカップリング(AC/DC)により変わります。

CMLの信号レーン出力は、プリアンフィシスの機能を持っています。これは通信路の状態により損失が多く、受信端でのアイの余裕が十分確保できない危険性がある場合、送信側のエッジを少しオーバーシュート気味に加工して送り出し、結果として伝送路の損失で整形され、受信端の信号波形が正しく受け取られるようにする機能です。受信側回路で同じ機能を持たせることもでき、こちらはイコライザという呼び方が使われます。高速の通信路には、デジタル、アナログを問わずよく使われる技術で、デジタル伝送のHDMIやアナログ・ビデオ配信システムにも使われています。デバイスの内部レジスタ設定で大きさやON/OFFができるようになっていますが、性能/特性はメーカーにより異なります。この機能をどのように使うかは、信号配線の状態により考慮します。

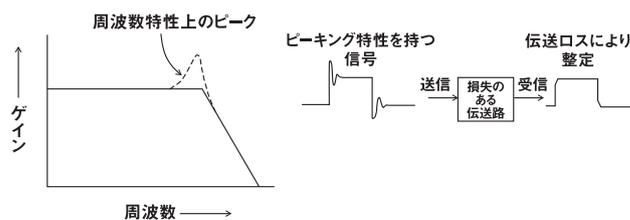


図3.4 レーン信号の補償
ピーキングにより伝送損失を補償

3-1-4. レイアウト

CML、LVDSに限らず、高速伝送路の設計にはインピーダンス・マッチングや終端処理、伝送路の特性インピーダンス配線など、高周波信号を扱うための知識と技術が必須です。PC基板上では、通常ストリップ・ラインやマイクロ・ストリップ・ラインの技術を使用し、シングル・エンドで50Ω、あるいは差動で100Ωの特性インピーダンスとなるよう配線を設計し、信号反射を抑えるために必要な終端抵抗を取り付けます。素子によっては、この終端抵抗が内蔵されている場合もあります。複数素子を接続する場合は、変換クロック（多くの場合デバイス・クロック）やSYSREFなどの信号のスキューを最小にするため、信号ソースから各デバイスへの信号線をなるべく等距離に配線します。ただし、これらの誤差があっても、ある程度は素子のアジャスト機能により、補正することは可能です。アジャストの機能は、素子の内部設計により異なりますので、それぞれのデータシートで確認してください。実際の配線等については、高速コンバータの評価ボードが実例

として参考になります。

基板材料や受動部品についても、十分な注意が必要です。レーンの速度が1Gbpsぐらいまでであれば、FR4（Flame Retardant Type 4）のガラス・エポキシ基板で、注意深くレイアウトすれば使用可能でしょう。それ以上の信号速度になると、より高周波特性に優れた基板材料を使用することをお勧めします。

前の項で説明した、プリエンファシスやイコライザの機能で、伝送路の損失はある程度カバーできますが、それにも限度があります。JESD204Bでは、正確に信号を送るため、伝送路に対してインサクション・ロス（挿入損失）に関する規格があります。図3.5に、規格表からの資料を示します。

このスペックでは、50MHzから0.75×ボーレートの帯域で、ミニマムの許容範囲の外にS21がなければなりません。このようにJESD204Bでは、デバイス単体の規格や機能だけでなく、伝送路の規格も指定しています。

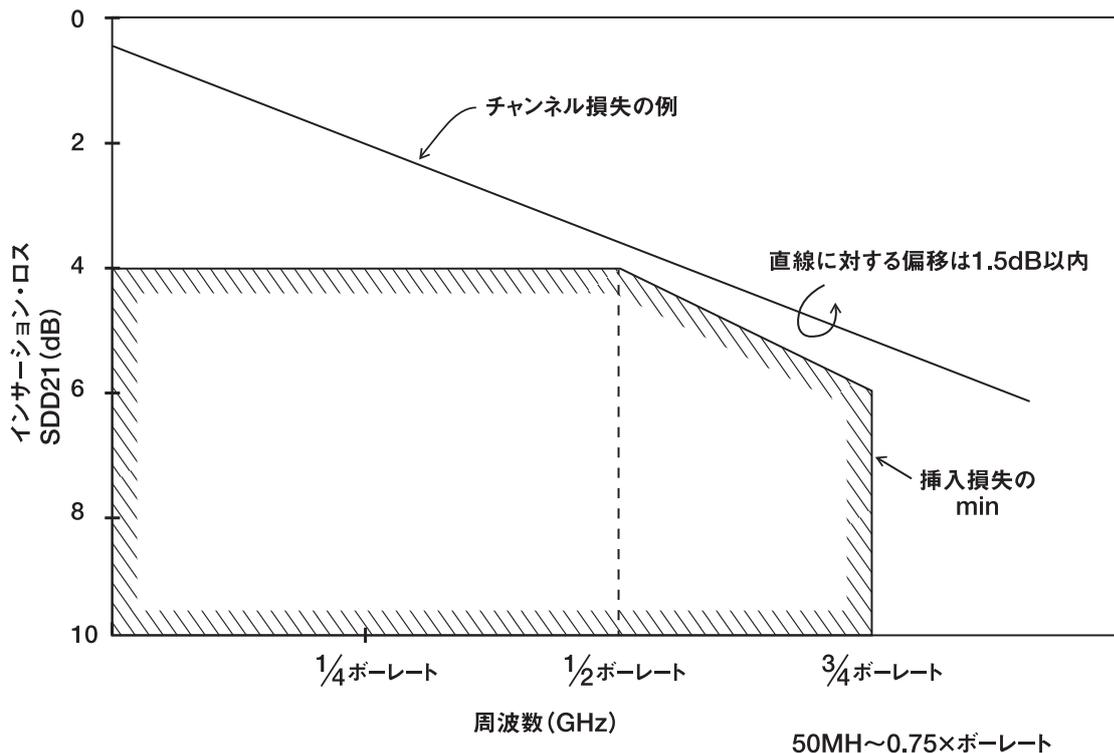


図3.5 レーンの挿入損失

損失が大きい場合は配線の工夫、イコライザなどが必要

受動部品の中で特に重要なものは、デバイス周辺に使用する高周波用コンデンサです。これは電源ピン近くに使用するデカップリング・コンデンサと、信号のACカップリングのためのコンデンサの2種類です。表現が適切かどうかは別として、デバイスのデカップリングは、決して手抜きをしないでください。ここでいう手抜きという意味は、本来のデータシートに記載されている方法とは、少し異なる取り付けをするということです。例えば2本の電源ピンを配線で一つにまとめて、ここに2倍の容量のデカップリング・コンデンサを一つ付けて済ませたり、容量が異なるコンデンサを、2重3重に並列接続してある電源デカップリング素子を、容量を合計した一つのコンデンサに置き換えたりするなどです。デバイス一つに複数電源ピンを配置するのには、意味があります。チップ内部回路の電源インピーダンス（特にインダクタンス分）が小さくなるよう、内部メタル配線の最適な位置でデカップリングするために、複数の電源ピンが配置されています。またコンデン

サの並列接続には、それぞれインピーダンスが低くなる帯域が異なる素子を並列接続にして、カバーする帯域を広げるという意味があります。電子デバイスは、信号もノイズも区別しないで応答します。高速素子で帯域が広がれば、その帯域のノイズも一緒にピックアップします。それに合わせて、デカップリング回路も広い帯域をカバーする方が重要です。レーン信号やデバイス・クロックなどの高速信号には、ACカップリングが多用されますが、このカップリング・コンデンサには、挿入ロス (Insertion Loss) の少ない広帯域キャパシタを使用してください。

ここではレイアウトに関して、特に重要な部分について説明しました。これ以外にも、集積度の高い基板での放熱方法や、インピーダンス・ミスマッチによる反射でのタイミング誤差、信号のクロス・カップリングの問題など様々な課題があります。RF帯域信号の取扱いに対する、十分な知識が必要です。

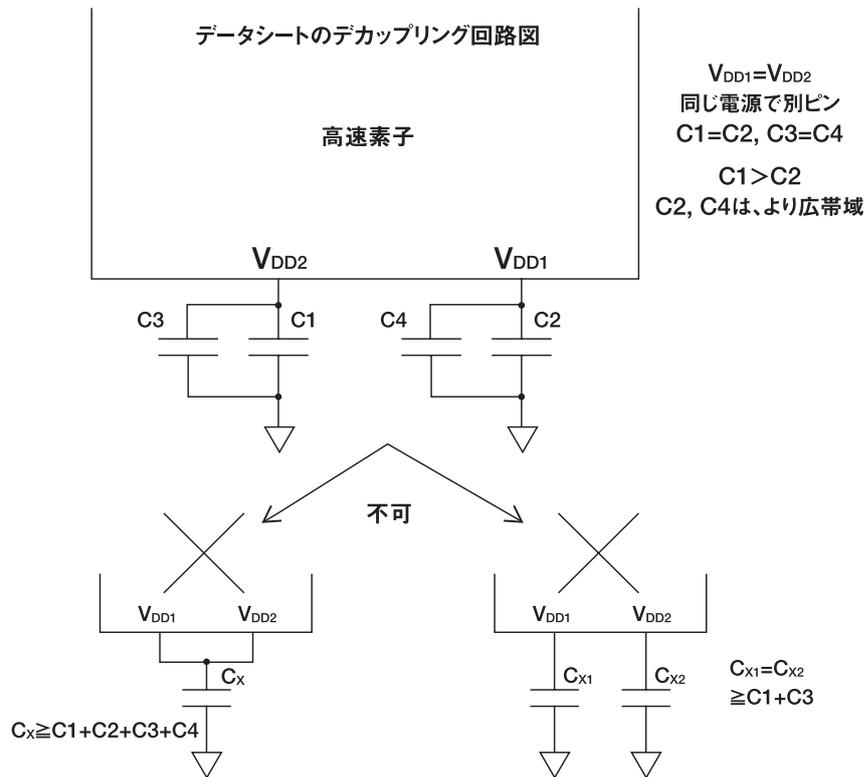


図3.6 デカップリング容量

高速・広帯域回路には適切なデカップリングが必須

3-2. JESD204Bの3種のサブクラスと同期方法の違い

JESD204Bのデータ・レーンのスタート時の同期方法には、3種類のやり方が規定されています。これらは、サブクラス0、1、2と呼ばれています。各サブクラスの違いは、使用する制御信号の違いと、それらを使用したリンク確立手順の違いです。実際に送られる変換データそのものはみな同じ形です。各サブクラスの概要を以下に示します。

3-2-1. 3種の動作モード

- (1) サブクラス0：この中ではディタミニスティック・レイテンシは規定されていません。レーンの同期を確立するために使用するタイミング信号は、デバイス・クロックとSYNC~です。このサブクラスは、JESD204/JESD204Aに対する互換性を確保するための規格です。

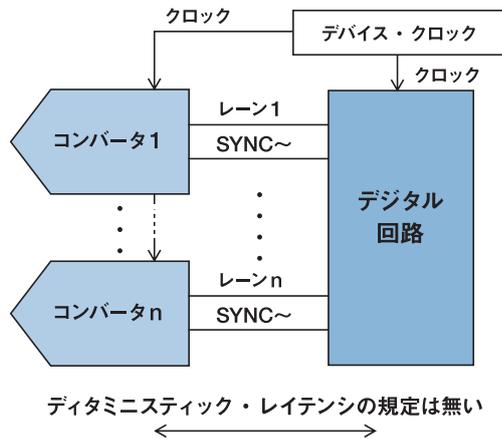


図3.7 サブクラス0の接続信号
制御信号はSYNC~とデバイス・クロック

- (2) サブクラス1：ディタミニスティック・レイテンシが規定されます。レーン信号の同期をはかるため、SYSREFという制御信号 (Hアクティブのレベル信号) と、デバイス・クロックのエッジを使用します。複数デバイス、複数レーンからの信号を扱う場合などは、この信号とデバイス・クロックにより、フレーム信号の位相を合わせます。SYSREFとデバイス・クロックは、コンバータ回路とデジタル回路に並列に供給されます。また最初にリンクの接続を開始する合図として、SYNC~信号が受信側から送信側に送られます。どちらの信号も、デバイス・クロックとの同期が重要なため、これをもとに発生させることが推奨されています。

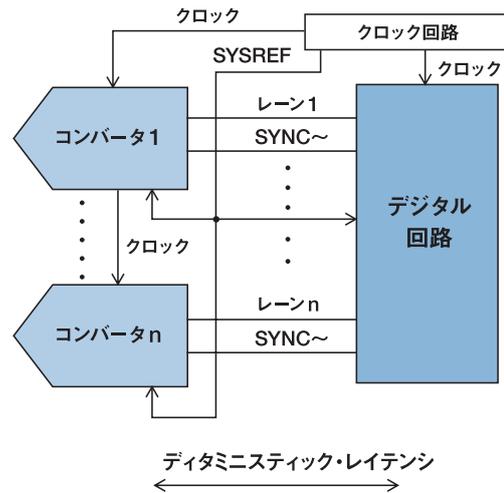


図3.8 サブクラス1の接続信号
制御信号はSYNC~、SYSREFとデバイス・クロック

- (3) サブクラス2：ディタミニスティック・レイテンシが規定されます。レーンの同期をはかるために、受信側から送信側に送るSYNC~信号とデバイス・クロックを使用します。SYNC~信号により、Tx/Rxはレーンの接続シーケンスを開始します。SYNC~の用途は、これだけでなく、送受信側のマルチ・フレーム信号の位相合わせにも使用します。

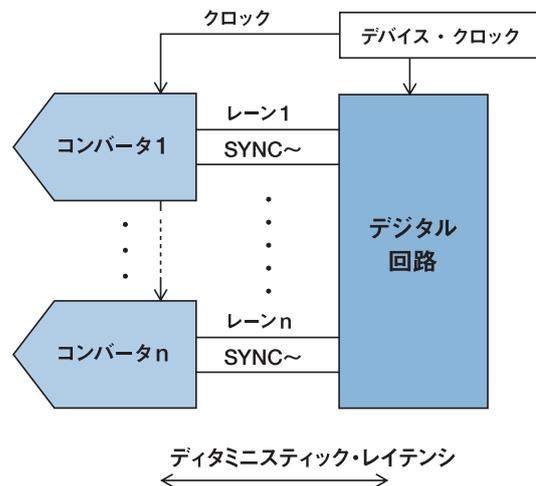


図3.9 サブクラス2の接続信号
制御信号はSYNC~とデバイス・クロック

図を見ると、各サブクラスで動作の基準になるものは、デバイス・クロックであることがわかります。デバイス・クロックは、サンプリング・クロックのもとにもなるので、サンプリング・クロック・ピリオドの間に必要なデータを伝送できるように各時間関係を設計しなければなりません。

SYSREF信号は、L→Hのレベルが意味を持つアクティブHの信号ですが、デバイス・クロックのエッジと合わせて内部のフレーム・クロック (FMC)、およびローカル・マルチ・フレーム・クロック (LMFC) のエッジをそろえる動作位相合わせを行います。したがって、素子のデータシートには、必ずSYSREFのL→Hエッジとデバイス・クロック、そしてFMCおよびLMFCの間の時間関係が規定されています。SYSREF信号は、図ではワンショットになっていますが、繰り返し入力、あるいはランダムな間隔でも入力可能です。SYNC～と、繰り返し入力をしない場合のSYSREFは、DCカップリングを使用します。

SYSREFとSYNC～という二つの信号は、デバイス・クロックのエッジがこれらの信号入力をサンプリングする形で取り込み、フレーム信号のリセットやCGS、ILASシーケンスをスタートします。ということは、デバイス・クロックの立ち上がりエッジに対して、SYSREFやSYNC～のエッジにはセットアップ、およびホールド・タイムの規定があるということになります (図3.10)。特に高速のコンバータを使用する際は、注意してください。このセットアップ/ホールドの特性により、ディタミニスティック・レイテンシに不確実性 (Uncertainty) が生じます。これについては後の項で解説します。

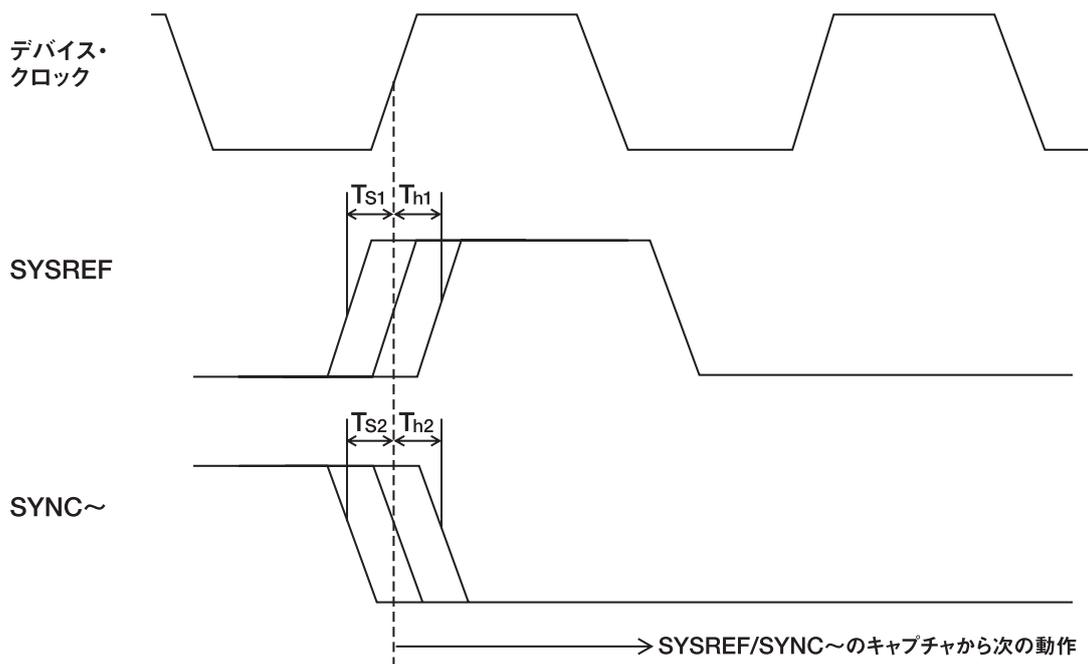


図3.10 制御信号とデバイス・クロック
SYSREF/SYNC～とクロックのセットアップ/ホールド

3-2-2. 3種のサブクラスの使用上の違い

サブクラス0は、204/204Aとの上位コンパチビリティ確保のためにありますが、1と2は現在提供されているコンバータ・システムでも一般的に用いられています。この二つの違いは、サブクラス1のみが持っているSYSREF信号の有無です。

SYSREFは、内部のフレーム・クロックのタイミング合わせに使用しますが、実はアライメント手順の最初の一回だけではなく、リンク確立後のデータ伝送中にいつでも入力することができます。これにより任意のタイミングで、データ・フレームの位相をそろえることができます。

サブクラス0と2では、SYNC～を使い、すべてのタイミングがこの信号エッジから規定されます。SYNC～信号は、動作の最初のアライメントをとるための作業の開始の合図で、正しい動作で

は電源オン後一度だけ使われるものです (この開始の合図という機能は、すべてのサブクラスで同じです)。この後のデータ・フレームなどのタイミングも、全てこの信号のエッジを基準にして動作します。サブクラス1が、SYSREFによりいつでもフレームの位相を整えることができるのに対して、サブクラス0や2では、最初の1回だけでフレームやデータのタイミングを整えなくてはならないので、信号やクロックのジッタ限界などのスペックが厳しくなっています。そのためサブクラス2で12.5Gbpsの動作は大変困難で、現実的にはサブクラス1が最高速度実現の唯一の方法となっています。

サブクラス1が好まれている理由は、信号が一つ増えるというデメリットより、タイミング精度実現の容易さと高速化ということになります。

3-3. アライメントと同期、制御信号の使い方

JESD204B では、先の制御信号 (SYSREF や SYNC~) とデバイス・クロックをもとにして、レーン信号の協調 (アライメント) を行います。この項ではその方法と手順について解説します。

3-3-1. 制御信号とフレーム・クロックの同期

JESD204B インターフェースを持つコンバータ・デバイスは、内部の動作設定レジスタで PLL クロックの設定や、フレーム内のキャラクタ数など様々な機能をプログラムできます。実際のリンクの確立シーケンスやデータ伝送を始める前に、SPI ポートなどを通してあらかじめこれらの動作設定をしなければなりません。このインターフェースの特徴の一つとして、送受信双方で通信速度やデータ・フレームの形など、すべて設定したうえで申し合わせの動作をします。送受信のやり取りの中で、伝送速度や信号の形を見て動作を適応させるという、柔軟なインターフェースではありません。速度の違いはありますが、RS232C のボーレートの自動設定のようにはできません。これは、この規格がコンバータとの接続という決められた動作のためのもので、送受信デバイスを簡単に取りかえて使用するというを想定していないからです。

JESD204B インターフェースでは、Gbps レベルの高速デジタル・データを正確にやり取りするため、コンバータの変換データをレーンに送出する前に、そのレーンの正常動作を確認します。これをリンクの確立と呼んでいます。そのために、前の項で説明した制御信号である SYSREF や SYNC~ を使用して、まずこの確認手順のスタートのタイミングを決めます。そのうえで規格に決められたシーケンスにより、リンクの確立 (動作の確認) をはかります。

SYSREF や SYNC~ 信号とデバイス・クロックは、先に述べたように、回路内部動作の初期化をはかります。サブクラス 1 において SYSREF は、この L→H 遷移のレベルをデバイス・クロックがサンプリングして、フレーム・クロックとマルチ・フレーム・クロックをリセットします。この時、複数のレーンのフレーム・クロックと、マルチ・フレーム・クロックの位相が同期 (同じ位相) します (図 3.11 参照)。この状態で受信側は SYNC~ を送信側に送り、やはりデバイス・クロックによりサンプリングされ、フレーム・クロックと同期して、リンクの確立のためのシーケンスを開始します (図 3.12 参照)。サブクラス 0 と 2 においては、この SYNC~ のタイミングでフレームの位相合わせを同時に行います。リンク確立のシーケンスが正しく完了しない限り、変換データはレーン上に送り出されません。3-4 以降にこのリンクの確立の手順 (シーケンス) について説明します。

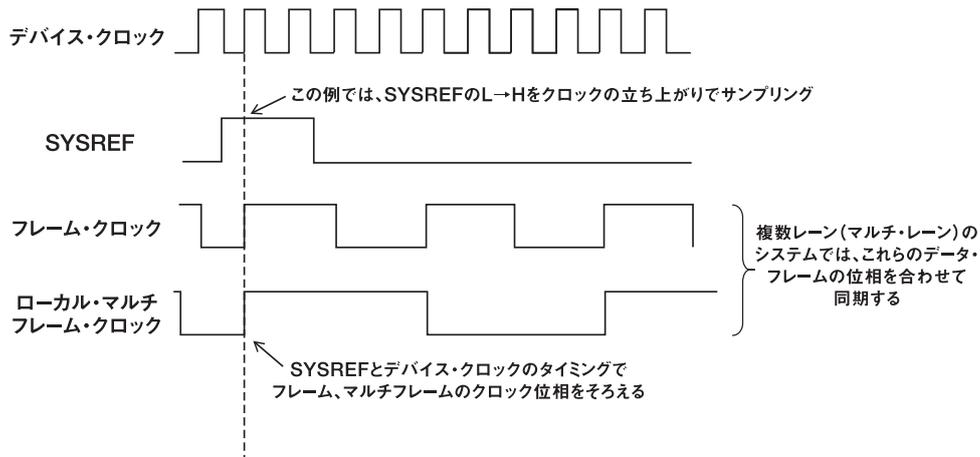
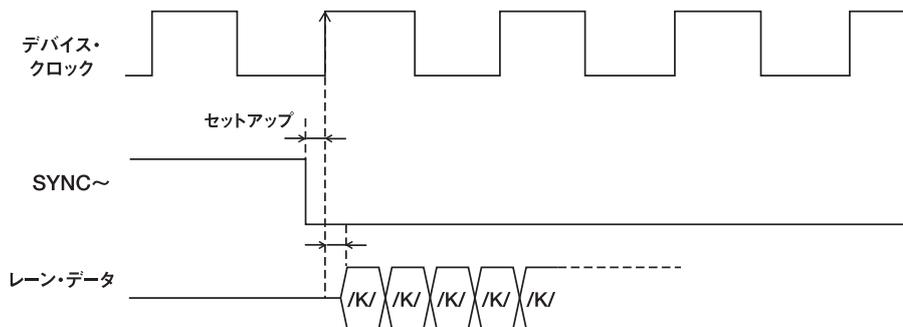


図3.11 SYSREF信号の動作

SYSREFとデバイス・クロックによるフレーム (フレーム・クロック) の位相合わせ



$$/K/ = K28.5 = 0xBCh$$

K28.5はレーン・アライメントの作業で最初に送出される文字

図3.12 SYNC~信号の動作

SYNC~とデバイス・クロックによるレーン・アライメントの開始

3-3-2. レーン上のデータの形

JESD204Bでは、1対の信号線にシリアル信号を送出しますが、その形はスピードにかかわらず決まっています。元のデータは、オクテットという8ビット/ワードにそろえられていますが、これを8b/10b変換を行い、10ビットのキャラクタとして信号ラインに送り出します。元のコンバータがもし12ビット分解能であれば、一つのサンプリング・データを送るのに少なくとも2個のオクテット(キャラクタ)が必要です。いくつかの連続するオクテット(キャラクタ)をひとかたまりのデータとして送るとき、例えば先の12ビット・データを、二つの連続するキャラクタのブロックで送る場合、このデータのかたまりをフレームと呼びます。フレームの始め、終わりを示すために、フレーム・クロックが使用されます(図3.13参照)。次に連続するフレームをいくつか合わせて、一つのデータのかたまりとして送るとき、これをマルチ・フレームと呼びます。マルチ・フレームの区切りをあらわすため、やはりマルチ・フレーム・クロックがあります。この二つのクロックは、別途モニターピンやその機能がない限り、通常はIC外部から見ることできません。

先に12ビット・コンバータのデータを送るには、2個のオクテットを使用すると説明しましたが、これはトータル16ビットのデータ長になり、4ビットが余ります。この余剰ビットは、制御ビットというデータ、およびテール・ビットと呼ばれるダミーデータで埋められます。制御ビットは、回路設計によりその機能が様々ですので、素子のデータシートの確認が必要です。一つの例として、タイム・スタンプ(後述)のマーカとして使用することがあります。テール・ビットは、その名の通り余ったビットをダミーデータで埋めたもので、それ自身に意味はありません。このようにJESD204Bでは、8b/10b変換と、このオクテットの余剰ビットによるオーバーヘッド(冗長なデータ)が生じることになります。

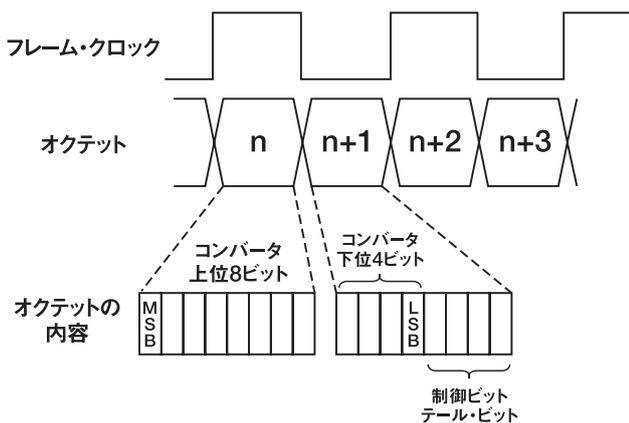


図3.13 制御ビットとテール・ビット
データの形、オクテット内の余分なビットの処理

レーンが一本で足りないときは、1コンバータに複数のレーンを割り当てます。1変換サイクルの間にレーン一本ではデータが送り切れない場合です。その際は、2-3-4で述べられているパラメータを使って、動作の設計を行います。データの各レーンへの振り分け方法、フレームの構造(オクテット数やサンプル数、他)など、これらのパラメータを用いて計算します。ただし計算上でできても、デバイスの回路構成上その設定で動作できないこともあります。

で、詳細はそれぞれのデバイスの動作仕様を参照してください。レーンの初期アライメント作業のフェーズであるILASフェーズでは、一連の送出データにマルチ・フレームの先頭と最後尾を表す制御コード(/R/と/A/)のキャラクタが挿入され、ブロックの区切りを示してくれます。この制御コードの挿入は、ILASのシーケンス時のみ実行されます。また、その際のフレームやマルチ・フレーム内のキャラクタ数は、実際のデータ伝送での設定とは異なります。レーンの初期アライメント作業が完了し、実際のコンバータのデータが送出され始めると、フレームやマルチ・フレームの区切りを表す制御コードのキャラクタ(/R/と/A/)は挿入されません。

3-4. レーンのリンクを確立して同期を保証する手順

リンクが正しくつながっているかを確認するために、JESD204Bでは、SYNC~を受信した後、リンク確立のシーケンスを実行します。これは二つのフェーズで構成され、最初のフェーズをCGS(Code Group Synchronization)、次のフェーズをILAS(Initial Lane Alignment Sequence)と呼びます。このリンク確立のための二つの手続きを開始する合図が、SYNC~(全サブクラス共通)信号です。この信号の入力タイミングにより、マルチ・レーンでのフレーム・クロックのずれなどの誤差が生じる可能性があります。特に、マルチ・レーンでのディタミニスティック・レイテンシの不確定要素となります。詳しくは、ディタミニスティック・レイテンシの項を参照してください。

3-4-1. SYSREFとSYNC~の動作

3-3-1にあるように、JESD204Bの送受信双方は、SYSREFを受け取ってフレーム・クロックの同期をとります。(サブクラス1のみ)また、次に受信側より送信側に送られたSYNC~信号とデバイス・クロックに同期してリンク確立のシーケンスをスタートします。(サブクラス0, 1, 2共通動作)

例えばSYSREFは、デバイス・クロックのエッジによりサンプリングされ、内部の各フレーム・クロックを設定するので、この間でセットアップ/ホールド時間のタイミング・スペックが存在します(図3.10参照)。同じように、SYNC~はクロックでサンプリングされ、リンク確立のシーケンスのスタート・タイミングを示します。したがってこちらの信号関係にも、セットアップ/ホールド時間のタイミング・スペックがあります(図3.10参照)。先にJESD204Bの特徴の一つとして、パラレルや外部クロック同期シリアルに比べてセットアップ/ホールドのスペックがないので、タイミング設計が楽になると説明しましたが、この二つの信号に関する部分では、明確なタイミング設計が必要になります。

SYSREFは図3.10にあるように、デバイス・クロックの立ち上がりエッジと自身のHレベルのセットアップ/ホールドが規定されます。その仕様については、それぞれのデバイス毎に規定されています。この二つの信号は、同期して動かなければなりません。デバイス・クロックが高速になると、タイミング・スペックを満たすために注意深い設計が必要です。

SYNC~も同じように、セットアップ/ホールドに注意する必要があります。コンバータのデータ伝送中、SYNC~信号はリンクが正常で、データのやり取りが正しく行われている間は、Hに保持されま

す。何らかのエラーが発生し、リンクのタイミングが外れると再度Lに反転し、CGSとILASのやり直しを要求します。これは、受信側が送信側にレーンのアライメント不具合をリアルタイムで知らせる、エラーリセット信号となります。

3-4-2. SYSREF、SYNC～のスキューとディタミニスティック・レイテンシの不確実性 (誤差要因)

サブクラス1で使用されるSYSREF信号は、送受信双方の素子に共通に使われます。また複数のコンバータ素子との接続では、全ての素子のマルチ・フレームの同期をとるために使用され、重要なタイミングを決めます。システム・タイミングのリセット信号とも言えます。ところがこの信号は複数の素子に並列に接続されるため、その配線長の差や、寄生素子の大小による影響などで、一つのソースから分配されても、到達時間は必ずしも同じではありません。むしろ、全て異なる到達時間を持っていると言えます。これをディストリビューション・スキューと呼びます。

SYSREFはデバイス・クロック (DCLK) のエッジのタイミングで取り込まれ、内部のマルチ・フレーム・クロックやフレーム・クロックの位相を合わせます。ところがこのSYSREFに到達時間のずれがあると、場合によってはこの位相合わせのタイミングがずれてしまいます。図3.14のように到達時間がずれて、DCLKとSYSREFのセットアップ/ホールドが満たせなければ、次のクロック・エッジでの動作ということになり、速い信号の素子と遅い信号の素子の間で、タイミングのずれが生じます。送受信素子内部処理のレイテンシが明確であっても、この部分が不確定な変数となってしまいますので、ディタミニスティック・レイテンシの不確定要素となってしまいます。これをディタミニスティック・レイテンシの不確実性 (DLU : Deterministic Latency Uncertainty) と呼んでいます。

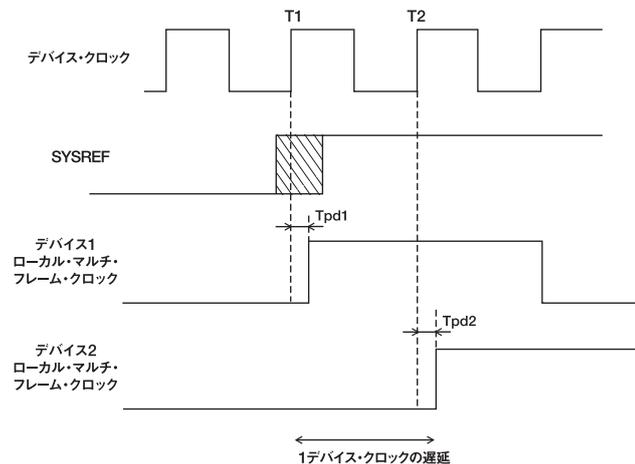


図3.14 SYSREF1のセットアップ/ホールド
デバイス2がT1ではなく、T2でSYSREFをキャプチャした例

このDLUを最小にするには、いくつかの方策が考えられます。

- (1) SYSREFやDCLKの信号をソース (クロック・ジェネレータ) から等距離に配線し、伝送遅延を等しくする。
- (2) DCLKの周波数を高くして、クロック一つあたりのずれを小さくする回路を内蔵する。
- (3) SYSREFの分配回路 (ディストリビュータ) にプログラマブル・ディレイ回路を付け、一番遅く到達する信号にタイミングを合わせる。(図3.15)

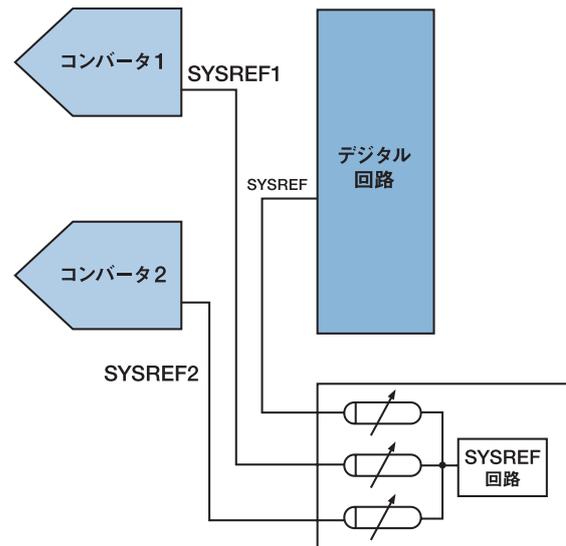


図3.15 SYSREFの変可ディレイ (ディスキュー)
デバイス・クロックとのタイミング調整

これらのうち、(2)の方法では、サンプリング周波数より高い周波数のDCLKに対応できる機能を内蔵することが必要です。また(3)の方法は、この位相を微調整するプログラマブル・ディレイの機能を内蔵することがやはり必要です。FPGAの中で実現しても良いですし、すでにこの機能を内蔵したクロック用の素子も提供されています (図3.16 AD9528の例)。

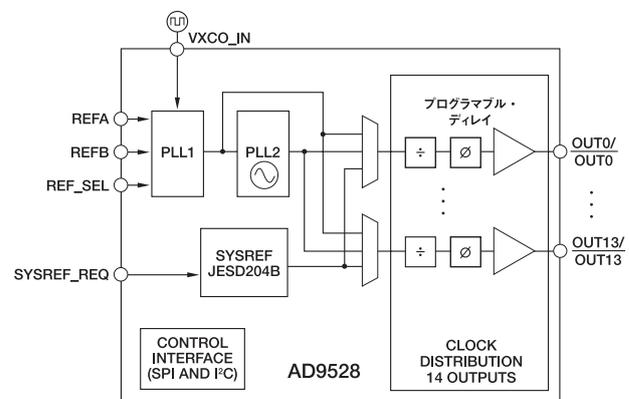


図3.16 AD9528ブロック図

出力に可変ディレイが付いたJESD204B用クロック・ジェネレータ

SYNC~がHに戻ったことが送信側で確認されると、システムは次のILAS (Initial Lane Alignment Sequence) フェーズに移ります。/K/ (K28.5) ではない最初のキャラクタは、次のフェーズであるILASの先頭のキャラクタと、受信側で認識されます。これは、制御コードの/R/ (K28.0) です。これを含めこのフェーズのキャラクタは、全てスクランブルなしで送信されます。ILASには、全部で4個の連続するマルチ・フレームがあります。それぞれのマルチ・フレームは、次の形と内容をもっています。ILAS動作では、各マルチ・フレームの最初の文字は制御コード/R/ (K28.0) であり、最後の文字は制御コード/A/ (K28.3) として、そのマルチ・フレームの区切りを表します。そのマルチ・フレーム内のフレーム数、キャラクタ数は、デバイスに設定したパラメータと異なりますので、注意してください。4個のマルチ・フレームの内容は以下の通りです。

- (1) マルチ・フレーム1：キャラクタ/R/ (K28.0) で始まり、キャラクタ/A/ (K28.3) で終了
- (2) マルチ・フレーム2：キャラクタ/R/ (K28.0) で始まり、その後、/Q/ (K28.4) が続き、オクテット14個分のリンク設定パラメータ (表3.2 参照) が続きます。その後ダミーデータが続き、最後はキャラクタ/A/ (K28.3) で終了
- (3) マルチ・フレーム3：マルチ・フレーム1と同じ内容
- (4) マルチ・フレーム4：マルチ・フレーム1と同じ内容

表3.2 ILAS内のコンフィギュレーション・データ
14個のオクテット・データにより構成

Configuration octet no.	Bits							
	MSB	6	5	4	3	2	1	LSB
0	DID<7:0>							
1	ADJCNT<3:0>					BID<3:0>		
2	X	ADJDIR<0>	PHADJ<0>	LID<4:0>				
3	SCR<0>	X	X	L<4:0>				
4	F<7:0>							
5	X	X	X	K<4:0>				
6	M<7:0>							
7	CS<1:0>		X	N<4:0>				
8	SUBCLASSV<2:0>				N'<4:0>			
9	JESDV<2:0>				S<4:0>			
10	HD<0>	X	X	CF<4:0>				
11	RES1<7:0>-Set to all X							
12	RES2<7:0>-Set to all X							
13	FCHK<7:0>							

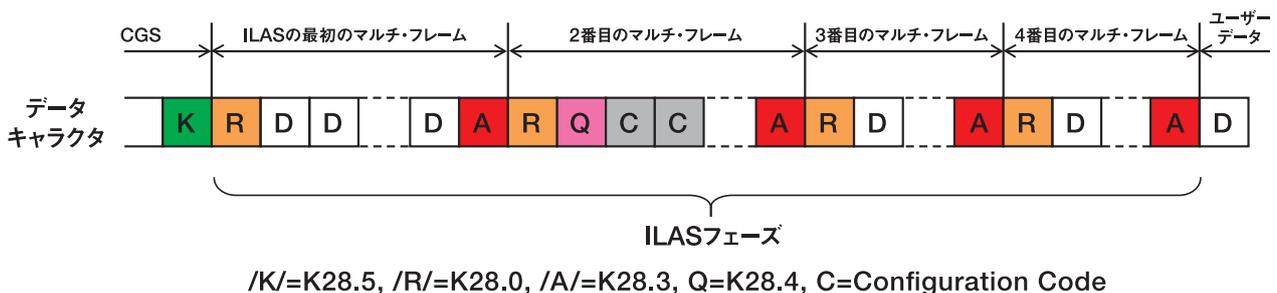


図3.18 ILAS (Initial Lane Alignment Sequence) フェーズ
4個のマルチ・フレーム送出

マルチ・フレーム1、3、4は、先の記述通り、決まった数のキャラクタの連続で、その中に意味のあるデータはありません。重要なものは、2のマルチ・フレームの内容です。この中では、先に説明したLやMといった記号であらわされた動作設定のパラメータや、その他の設定パラメータが、14個の連続するオクテット(キャラクタ)の中に納められています(表3.2参照)。なお表の中のXで示されたビットは、Don't Careです。これらの動作パラメータの内容が、あらかじめ受信側の内部レジスタに設定してある動作パラメータと一致しなければ、ILAS フェーズでのエラーということになります。

ここで14オクテットのJESD204B設定パラメータについて、簡単に解説しておきます。これらのパラメータは、使用するサブクラスによっては使わないものもありますので、注意してください。

- ▶ **ADJCNT** : サブクラス2のみで使用します。DACのLMFCの調整ステップの分解能を設定します。3ビット 15ステップ
- ▶ **DID** : Device (=Lane) 間のIDナンバーです。8ビット 0 ~ 255
- ▶ **BID** : Bank ID。DIDの拡張用ビットです。3ビット
- ▶ **ADJDIR** : サブクラス2のみで使用します。調整するDACのLMFCのディレクションを指定します。1ビット 0=アドバンス、1=ディレイ
- ▶ **PHADJ** : サブクラス2のみで使用します。DACに対する位相アジャストの要求です。
- ▶ **LID** : Lane リンクのIDナンバーです。5ビット 0 ~ 31
- ▶ **SCR** : Scrambling Enable。データ・スランブル有効/無効設定ビットです。1ビット 0=無効、1=有効。ただし、CGSやILASの間はここをセットしてもスクランブルは無効です。
- ▶ **L** : デバイス毎のレーンの数(=リンク数)です。5ビット 1 ~ 32 (最大値は32です。31ではないので注意してください)
- ▶ **F** : 1フレームあたりのオクテット数です。8ビット 1 ~ 256 (最大値は256です。255ではないので注意してください)

- ▶ **K** : マルチ・フレーム一つあたりのフレーム数です。5ビット 1 ~ 32 (最大値は、32です。31ではないので注意してください)
- ▶ **M** : デバイス一つあたりのコンバータ数です。8ビット 1 ~ 256 (最大値は256です。255ではないので注意してください)
- ▶ **CS** : サンプラー一つあたりの制御ビット数です。2ビット 0 ~ 3
- ▶ **SUBCLASS** : デバイスのサブクラスのバージョンを表します。3ビット 000 = Subclass 0, 001 = Subclass 1, 010 = Subclass 2
- ▶ **N** : コンバータ素子の分解能です。5ビット 1 ~ 32 (最大値は32です。31ではないので注意してください)
- ▶ **N'** : 1サンプルあたりのビット数です。5ビット 1 ~ 32. (最大値は32です。31ではないので注意してください)
- ▶ **JESDV** : JESD204のバージョンです。3ビット 000 = JESD204A, 001 = JESD204B
- ▶ **S** : 1フレーム・サイクルあたりのコンバーター一つのサンプル数です。
- ▶ **HD** : High Density Format. 1ビット 0 = Disable, 1 = Enable 一つのサンプリング・データを複数のレーンに分けて伝送する場合は1、それ以外は0です。
- ▶ **CF** : リンク一つあたりの1フレームに含まれる制御ワードです。5ビット 0 ~ 31
- ▶ **FCHK** : 全フィールドのmod256チェックサムです。8ビット 0 ~ 255
- ▶ **RES1,RES2** : 予約語フィールドです。Don't Careです。

これらの設定値は、0/1組み合わせの2進数であらわされますが、0から始まるデータだけでなく、+1された数の意味を持つ数字もあるので注意してください。(例えば5ビットで0 ~ 31ではなく1 ~ 32) これらのデータは、14個の8ビットのオクテットから、14個の10ビットのキャラクタに変換されて送信されます。このCGSとILASの手順のフローを、図3.19に示します。これら二つの手順が問題なく終わると、変換データの送受信が始まります。

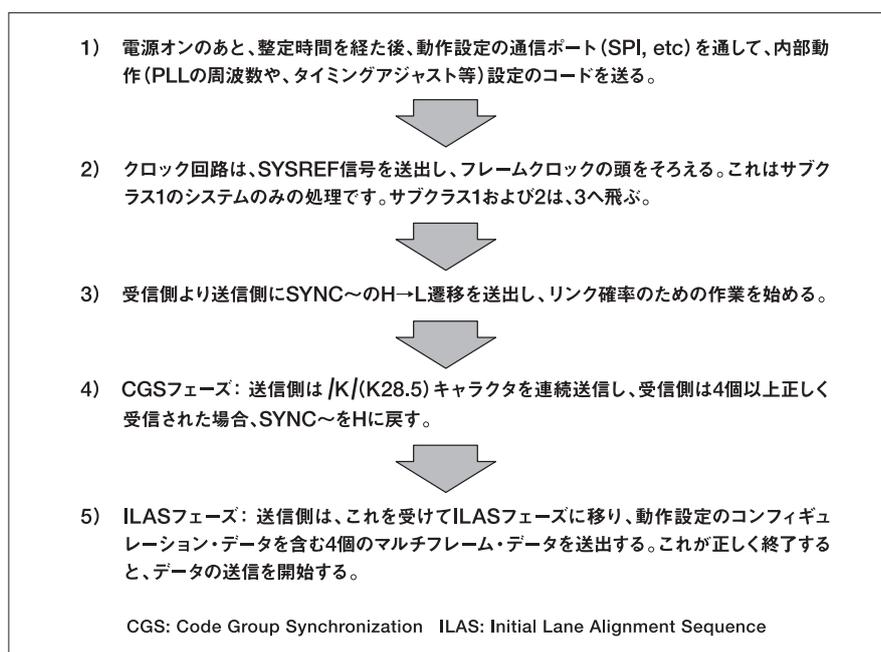


図3.19 リンクの確立の手順
サブクラス0/2とサブクラス1で少し異なる

3-4-4. ILAS完了の後に起こること

ILASの送受信が正常に終了すると、変換データの伝送が可能な状態になります。と言ってもすぐ次のフレームが、変換データとは限りません。送信側がデータを送ることができるようになるには、ディレイがかかる場合がありますので、素子のデータシートで確認してください。

送信側は、設定したフレーム長とマルチ・フレーム長で、一連のデータを連続して送信します。そして時々フレームやマルチ・フレームの最後の文字が置換され、アライメント・モニター文字となります。アライメント・モニターについては、次の項をご覧ください。

3-4-5. アライメント・モニターとキャラクタの置き換え

CGS/ILAS完了後の変換データ伝送中のレーンは、アライメント・モニター・キャラクタと呼ばれる、専用のキャラクタ・データでモニターされます。このキャラクタは、データ伝送のフレームの中に、巧妙に埋め込まれて送られます。フレームの中は、変換データや制御ビット、テール・ビットなどで埋められているので、このアライメント・モニター・キャラクタは、フレームやマルチ・フレームの最後のオクテット（キャラクタ）と置き換えられて送出され、受信側はそれを受け取ると、アライメントの確認を行います。このキャラクタは、常にフレーム毎に定期的を送られているわけではなく、ある条件のもとにフレームやマルチ・フレームの最後のオクテット（キャラクタ）が、このコードに置き換えられて送出されます。この機能を使うには、送受信側双方、あるいはどちらかが、これによるレーン同期（Lane Synchronization）の機能を持っていないなりません。この方法で、データ量を新たに増やす（効率を下げる）ことなく、オーバーヘッドなしでこの機能を付加しています。キャラクタの置き換えは、次の複数の条件で実行されます。

- (1) データ・スクランブルが Disable の時、現在のフレームの最後のオクテットが、一つ前のフレームの、最後のオクテットと同じ場合、現在のフレームの最後のオクテットを制御キャラクタ /F/ (K28.7) に置き換えて送出します。(図3.20 参照) ただし前のフレームですでに制御キャラクタが送られている場合は、もともとのオクテットをキャラクタに変換して送ります。このフレームは、マルチ・フレームの最後のフレームであってはなりません。

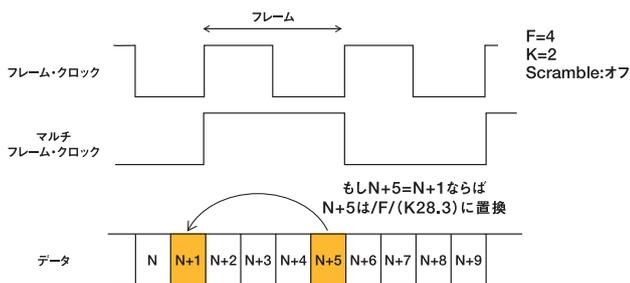


図3.20 アライメント・モニター文字の置換 (1)
Scrambleオフ時のフレーム・アライメント文字置換

- (2) データ・スクランブルが Disable の時、マルチ・フレームの最後のオクテットが、一つ前のフレームのオクテットと同じ場合、この最後のオクテットを制御キャラクタ /A/ (K28.3) に置き換えて送出します。この時は前のフレームの最後で同じ文字が送られていても、関係なしに置換が行われます。(図3.21 参照)

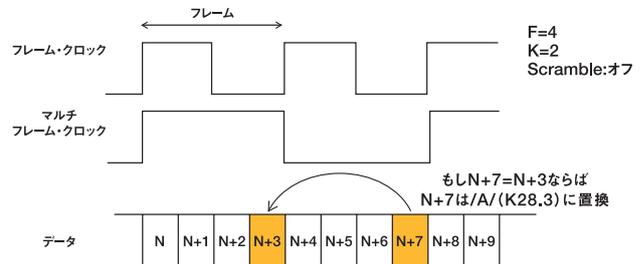


図3.21 アライメント・モニター文字の置換 (2)
Scrambleオフ時のマルチ・フレーム・アライメント文字置換

- (3) データ・スクランブルが Enable の場合、フレームの最後のスクランブルされたオクテットが、0xFCh に等しい場合、制御キャラクタ /F/ (K28.7) に置き換えて送出します。このフレームは、マルチ・フレームの最後のフレームであってはなりません。受信側は、これを受取ると 0xFCh をディスクリンブラに引き渡します。(図3.22 参照)

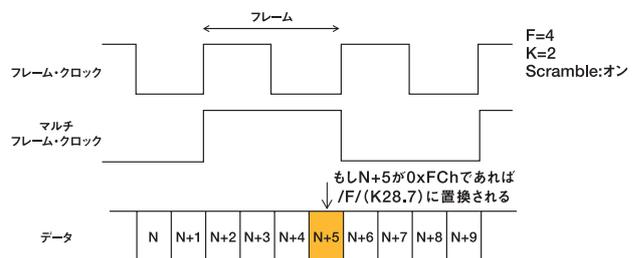


図3.22 アライメント・モニター文字の置換 (3)
Scrambleオン時のフレーム・アライメント文字置換

- (4) データ・スクランブルが Enable の時、マルチ・フレームの最後のスクランブルされたオクテットが 0x7Ch の場合、この最後のオクテットは、制御キャラクタ /A/ (K28.3) で置き換えられて送出されます。受信側は、これを受取ると 0x7Ch をディスクリンブラに引き渡します。(図3.23 参照)

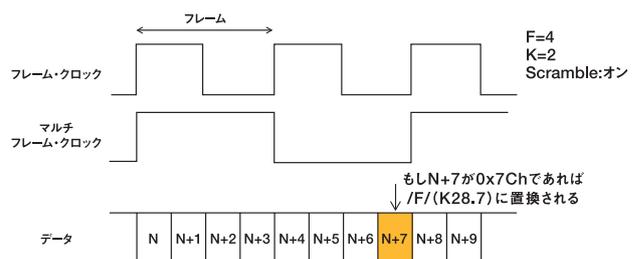


図3.23 アライメント・モニター文字の置換 (4)
Scrambleオン時のマルチ・フレーム・アライメント文字置換

- (5) データ・スクランブルが Enable の時、送受信のどちらかがレーン同期の機能を持っている場合、現在のフレームの最後のオクテットの変換値が D28.7 に等しい時、そのオクテットは K28.7 に置き換えられます。受信側は、この文字を受取ると、D28.7 のオクテット値をディスクランブラに引き渡します。D28.7 というコードは、具体的には 0xFCh というオクテット・データのコードです。(図 3.24 参照)

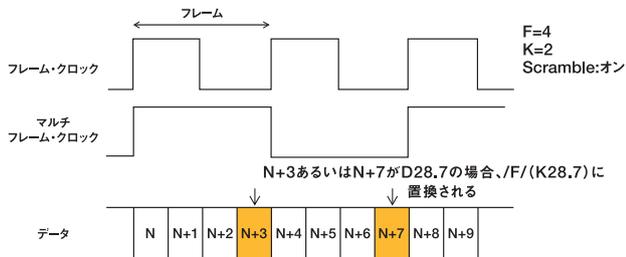


図 3.24 アライメント・モニター文字の置換 (5)
Scramble オン時、レーン同期のフレーム・アライメント

以上のうち、フレームの間隔でアライメントをチェックする (1) と (3) をフレーム・アライメント・モニタリング (FAM) とよび、マルチ・フレームの最後の文字を置き換える (2) と (4) をレーン・アライメント・モニタリング (LAM) とよびます。FAM、LAM の機能は、ともに内部のレジスタ設定でオン/オフできます。LAM はフレームのアライメント、LAM は複数レーンのアライメントをモニターします。ここでエラーが検出されると、もう一度アライメントを取り直さなければなりません。

3-5. リンク確立後のデータ・アライメント

リンクが確立され、データが正しく送受信されるようになったとしても、まだ考慮しなければならないことがあります。それは複数レーンに分けて送られたデータのディレイ (レイテンシ) が、みな合っているかということです。電源オン時の内部回路の状態や、複数送信デバイスを使用する時の配線長に差による SYSREF の到達時間の差など、さまざまな条件で、複数レーンのデータの位置がずれてしまいます。図 3.25 のように、リンクの状態により、はやく到着するデータと遅く到着するデータで時間差ができます。送信側と受信側でのディレイは、内部のロジックの処理による決まったディレイ時間と、その時々電源オンの状態で変わる不定のディレイの足し算です。このディレイは、送信側デジタル処理の入り口から、受信側デジタル処理の出口の間で測定される Link Delay (リンク・ディレイ) と呼ばれるものです。

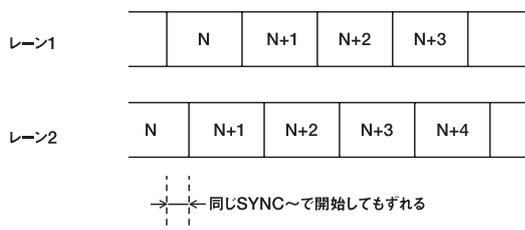
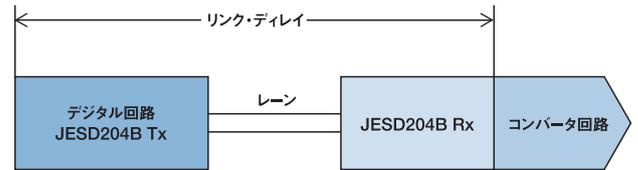


図 3.25 リンク・ディレイの差
同じ制御信号を使ってもディレイが異なる



$$\text{リンク・ディレイ} = \text{固定ディレイ値} + \text{不定ディレイ値}$$

図 3.26 リンク・ディレイ
固定ディレイと不定ディレイにより構成される

この図を見て、リンク・ディレイとディタミニスティック・レイテンシは何が違うのかという疑問が生じると思います。ディレイを測るポイントは、どちらも同じです。リンク・ディレイは、電源オン直後の状態で、先に説明した固定ディレイと不確定可変長ディレイの合計です。この状態では、受信側と送信側のデータの位置関係が、レーンによってはっきりしません。受信側のレジスタ設定や FIFO の設定により、このリンク・ディレイを補正して、送信から受信までのリンク・ディレイを確定した固定値として表したものが、ディタミニスティック・レイテンシということになります。この補正は、信号を前に進めることはできませんので、一番遅い信号にあわせることとなります。

ディタミニスティック・レイテンシの規格は、あるタイミングのデータが、どの時点のサンプリング・データなのかを明確にします。これはアプリケーションによって、変換の時間位置のポイントが非常に重要になるものがあり、そのためデータがどの時点のものかを知る必要があるからです。注意しなければならないのは、ディタミニスティック・レイテンシは、コンバータ素子の手前までのディレイ時間であるということです。コンバータ回路自身の変換レイテンシは、カウントされていないので、正確なサンプリング位置を求める場合は、この変換レイテンシを足し算しなければなりません。変換レイテンシは、コンバータ・モデルごとに異なり、また内部の動作設定 (例えば内部の補間方法やデジタル・フィルタの設定) により変わりますので注意してください。

3-6. 複数素子のデータのアライメントとタイム・スタンプ

複数のADコンバータのデータを、同じタイミングで取り込むためには、受信側はどのマルチ・フレームのタイミングで入ってきたデータが、各素子で同時に送出されたものか知る必要があります。このためサブクラス1の素子の中には、SYSREFが入力された直後のデータのコントロール・ビットに、タイム・スタンプというマー

クを入れて送信するものがあります。(図3.27参照) 受信側では、このタイム・スタンプが付けられたデータを見て、複数コンバータのデータの頭合わせを行います。

また、その他の方法として、ランプ波(ステップ・アップ/ダウン)のデジタル・データを伝送し、受信側はそのずれから計算して位相合わせを行う方法もあります。ADコンバータの中には、このランプ波データを発生させる機能を持ったものがあります。

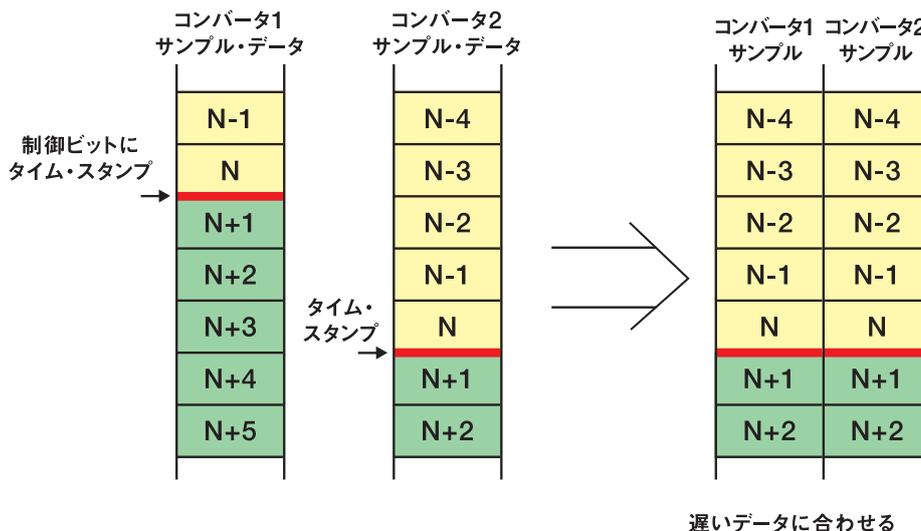


図3.27 複数コンバータのデータ位相合わせ
タイム・スタンプ機能による位相合わせ

3-7. エラーが発生すると何が起これるか

レーンのアライメントがずれて、正しいデータのやり取りが困難になると、受信側はSYNC~信号をHからLに変化させ、送受信間のアライメントの取り直しを要求します。送信側はこれを受け、CGS、ILASと続く再アライメントの作業を始めなければなりません。受け取られたデータが、Dxx.xやKxx.xのコードに当てはまらない時や、アライメント・モニターでのエラーの時です。ただし、このモニター用のキャラクタは常にデータとともに送出されている訳ではありません。先の説明にあるように、ある特定の条件がそろった時のみ、このチェック用のキャラクタが送られます。従ってこのアライメントのエラー・チェックは、定期的ではなくランダムに行われているということになります。この他に考えられるエラーには、次のような例が考えられます。

- ▶ データ・コンバータのコア回路部分のエラー。データ・コンバータとしての機能・性能の部分でのエラーは、一般的なコンバー

タのエラーと同じようにビジュアル化して判断することができます。コード欠けやビット落ち、内部短絡などによるエラーは、変換の結果としてみるすることができます。レーンのアライメントが外れ、リンクが切れているときは、データ自身が伝送されませんので、リンクのエラーとして認識されます。

- ▶ 動作中の温度が大きく変わった際のリンクのエラー。リンクのアライメント外れとして認識されます。
- ▶ ランニング・ディスパリティのパリティ・エラーが起きた時。

エラーが起きたとき、JESD204B規格の受信側素子が、リアルタイムでできることは、SYNC~信号をHからLに変化させ、レーンのアライメントの取り直しを指示することだけです。どのようなエラーが起きたときにこのSYNC~の再アサートをするかどうかは、デバイス個々の機能設定によりますので、各データシートを確認してください。もちろん一般的なデバイスのように、内部のレジスタを読み込んで、エラー内容を判断する機能が内蔵されています。

4. まとめ

JESD204Bについて解説してきましたが、ここで解説したようにその使い方は、簡単ではありません。通信部分に関しても、高速シリアル通信、例えばPCI-ExpressやUSB3.0を使ったシステムと同様の知識やスキルが必要です。これ以外にも、データ・コンバータに関するアナログ技術、FPGAなどのデジタル側の回路技術、広帯域アナログ／デジタル混在回路の配線技術など多くの分野の異なる知識を必要とします。またこの規格そのものは、メーカー側の裁量に任せられた部分が多く、モデルによってその内蔵機能が異なるため、データシートを読みこなし、それらを十分理解する必要があります。ここでは、規格の共通部分あるいは芯となる部分について解説しましたので、90%の内容は各コンバータにかかわらず適用できるはずです。今後の高速コンバータ技術のメジャーな流れの一つとして、重要な部分を占めると考えられます。

5. 参考記事

技術記事 MS-2672

JESD204B サブクラス (パート1) : JESD204B サブクラスとディタミニスティック・ レイテンシの紹介

著者:

Del Jones

アナログ・デバイスズ

スタッフ・アプリケーション・エンジニア

高速コンバータ

1. はじめに

情報時代の特徴は疑いなく、大きくなり続けるデータの収集、処理、分配に対するニーズの拡大です。これは、通信ネットワークでは、インフラストラクチャとそれを接続する部品の広帯域化を意味します。医療業界では、スキャン、X線、その他の測定機器からさらに詳細な情報を得ることと解釈できます。同様に、テストや解析装置における帯域幅の急速な拡張は、電子テスト装置の高速化と高機能化となります。

データに対するこの強い需要が、データ・コンバータとロジック・デバイスの間の高速シリアル・リンクに対する JESD204 規格を JEDEC に制定させたのです。規格の“B”レビジョン (2011年にリリース)では、今日の広帯域化要求を可能にするため、シリアル・リンク・データレートを 12.5 Gbps まで上げました。これら多くのアプリケーションでは、電源のオン/オフ・サイクル間に既知かつ一定の遅延でデータがシステムを通過する必要性があります。この概念は「ディタミニスティック・レイテンシ Deterministic Latency」と呼ばれ、この要求に対する規定も JESD204B 規格で導入されました。このレビジョンのリリース前には、ディタミニスティック・レイテンシを必要とするシステム設計では、外部アプリケーション層の回路を使用してこの要求を実現していました。JESD204B 規格では、3つのサブクラスが導入されました。サブクラス 0 は JESD204A 規格との後方互換性を目的としたもので、ディタミニスティック・レイテンシは規定されていません。サブクラス 1 では、外部リファレンス信号 SYSREF を導入しました。この信号は、サンプル・タイミングのシステム・レベルのリファレンスを提供します。サブクラス 2 では、サンプル・タイミングに対するシステム・レベル・リファレンスとして SYNC~ 信号の使い方を規定しています。各ケースとも、ディタミニスティック・レイテンシの実現に使用できるのはサンプル・タイミング・リファレンスです。この「ミニ・チュートリアル」の目的は、3種類の JESD204B サブクラス間の動作上の違いを説明し、個々のディタミニスティック・レイテンシ機能を実現する実用的な知識を提供することです。

2. ディタミニスティック・レイテンシの概要

JESD204B 規格では、ディタミニスティック・レイテンシ (DL) をフレームベースのサンプルがシリアル・トランスミッタに到着したタイミングから、シリアル・レシーバから出力されるタイミングまでの時間差として定義しています。遅延はフレーム・クロック・ドメインで測定され、少なくとも最小フレーム・クロック周期単位でインクリメントできる必要があります。遅延は、パワーアップ・サイクル間およびすべての再同期イベントで再現性を持つ必要があります。この定義を図1に示します。

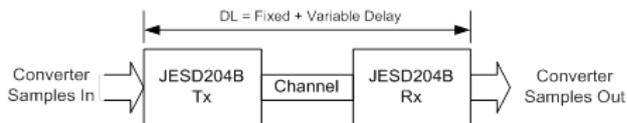


図1. ディタミニスティック・レイテンシの説明

JESD204 システムのディタミニスティック・レイテンシは、固定遅延と変動遅延から構成されます。変動遅延は、デジタル処理ブロック内の複数のクロック・ドメイン間での電源オン/オフ・サイクル間で位相関係が決まらないことから発生します。JESD204A と JESD204B サブクラス 0 のシステムでは、変動遅延は考慮できません。このため、電源オン/オフ・サイクルでの遅延変動がリンク内に存在します。

3. サブクラス 0

サブクラス 0 は、主に JESD204A デバイスに対する下位互換性を確保するために JESD204B 規格で規定されています。これは、旧型 JESD204A インターフェースを採用したカスタム ASIC がシステム設計内に存在し、更新された機能を持つ JESD204B コンバータをこれに接続したい場合に便利です。

3-1. JESD204B 規格からの要求

JESD204B 規格は、他のサブクラスに対する要求とは異なるサブクラス 0 モードでの動作に対する要求事項と推奨事項を規定しています。特に、SYNC~ 信号に対する要求は、サブクラス 1 と異なります。

SYNC~ の要求 (サブクラス 2 にも適用) :

- ▶ JESD204B レシーバからの SYNC~ 出力は、レシーバのフレーム・クロックと同期している必要があります。

- トランスミッタのフレーム・クロックがSYNC~に同期していることも要求されます。これは、トランスミッタのSYNC~ 入力にフレーム・クロック・カウンタをリセットさせることにより実現することができます。SYNC~ 入力からフレーム・クロック境界までの遅延を規定する必要があります。
- ▶ デバイス・クロック (例えばLVDS) に対しては、同じロジックを使うことが推奨されます。
 - ▶ AC 結合でない必要があります。
 - ▶ レシーバ・デバイス・ピンでのデバイス・クロックからSYNC~までの遅延 (tDS_R) を規定する必要があります。
 - フレーム・クロックがデバイス・クロックより高速なシステムでは、フレーム・クロックを使ってSYNC~を入出力します。tDS_R の規定の有無に無関係です。
 - ▶ トランスミッタのデバイス・クロックに対するSYNC~のセットアップ・タイムとホールド・タイムを規定する必要があります。

3-2. サブクラス0 動作の意味

1つのJESD204 リンク内のレーン・アライメントは、各JESD204レーンの可変バッファを使ってJESD204 レシーバ内で自動的に処理されます。初期レーン・アライメント・シーケンス (ILAS) で、すべてのレーンがモニタされ、最終着信レーンの「start of multiframe」アライメント制御文字が着信すると、すべてのバッファが同時に開放されます。これを図2で説明します。

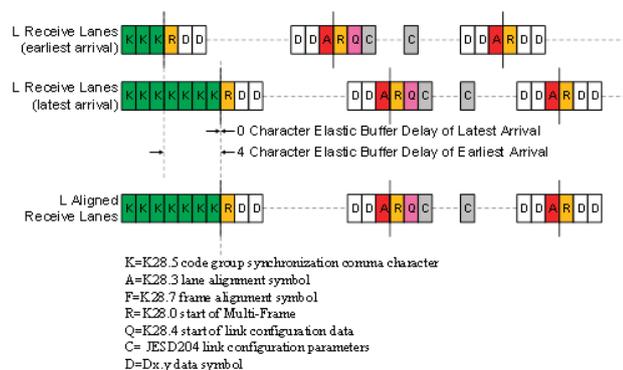


図2. 1つのリンク内のレーン・アライメント

レシーバとトランスミッタからの両フレーム・クロックをSYNC~信号に同期させることが推奨されますが（上記のSYNC~要求を参照）、システム内でローカル・マルチ・フレーム・クロック (LMFC) を同期させるメカニズムはありません。このため、複数のコンバータ・デバイス間のリンク・アライメントは、ディタミニスティック・レイテンシの方法を使って実現不可能です。逆に、1つのJESD204B リンクの一部として構成された1つのデバイス内の複数のコンバータは、外部回路なしでアラインすることができます。LMFC のミスアライメントは、リンクの総合遅延に対して最大1 LMFC 分の変動遅延成分となります。

3-3. マルチチップ同期に対するサブクラス0ソリューション

ディタミニスティック・レイテンシを実現する1つの利点は、マルチチップ同期を行う手段を提供することですが、マルチチップ同期を実現するためにはディタミニスティック・レイテンシは必要ありません。JESD204 規格では、トランスミッタからレシーバへサンプル情報を伝えるためにサンプル・データに「コントロール・ビット」を追加するように規定しています。ADC アプリケーションでは、コントロール・ビットを「タイム・スタンプ」として使用して、サンプルが外部リファレンスと同時に発生したことを表示することができます。サブクラス0 動作モデルでサブクラス1 デバイスを使用する場合、これはSYSREF 入力を使って実現することができます。1つのロジック・デバイスに接続したマルチADC アプリケーションで、SYNC~ 信号を使うことも可能です。マルチチップ同期に対する基本的な要求はADC に対する外部リファレンスを持ち、JESD204 トランスミッタ内でコントロール・ビットをサポートすることです。

AD9625 とAD9680 は、マルチチップ・アライメントに対するタイム・スタンプ機能をサポートしているデバイスです。図3に、サンプルがこの外部リファレンスと一致して発生したことをSYSREF 入力を使ってタイム・スタンプする例を示します。図に示すように、デバイス・クロックでSYSREF がサンプルされると、指定されたコントロール・ビットがそのサンプル内でセットされます。これをJESD204B システム内の各デバイスに対して実行することができます。

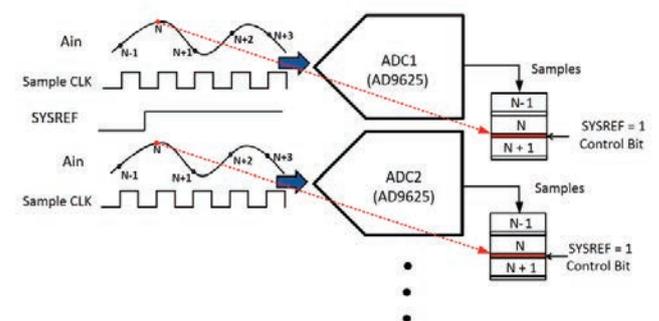


図3. 複数のADC へのタイム・スタンプコントロール・ビットの追加

各ADC デバイスからのサンプルがタイム・スタンプされると、ダウンストリームのロジック・デバイスはサンプルをアラインさせることができます（図4）。

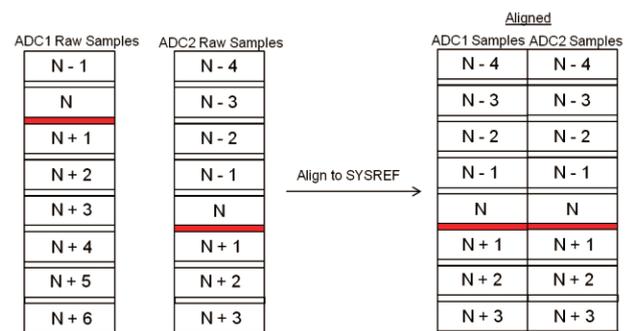


図4. タイム・スタンプされたサンプルのアライン

4. サブクラス 1

1つのリンク内のレーン・アライメントとマルチチップ・アライメントは、前述のようにサブクラス 0 モードで動作している場合実現可能ですが、複数のデバイスからの同期サンプルに依存するだけでなく、データがコンバータとロジック・デバイスの間を通過するための既知のディタミニスティック・レイテンシを必要とする多くのアプリケーションが存在します。例えば、幾つかの ADC アプリケーションでは帰還ループを使って、フロントエンド・アナログ・ゲインをキャリブレーションしています。これは、多くの場合レシーバへのテスト入力信号を使って行われています。その後デジタル化データを使って調整が必要か否かを決めています。調整の決定にはアナログ入力からロジック・デバイスまでの遅延を知ることが不可欠です。このデータの到着時間は各電源オン/オフ・サイクルの後で同じである必要があり、同期イベントと無関係である必要があります。これらのアプリケーションでは、ディタミニスティック・レイテンシを実現する必要があります。

サブクラス 0 システムでは、最終レーンの着信後に JESD204B レシーバからサンプル・データが出力されますが、出力時間は、電源オン/オフ・サイクルごとに変化します。サブクラス 1 システムでは、「受信バッファ」が定義され、その出力時間が外部 SYSREF 信号の基準になります。そのため、JESD204B システムで発生する電源のオン/オフ・サイクルによる変化はありません。この概念を図 5 に示します。

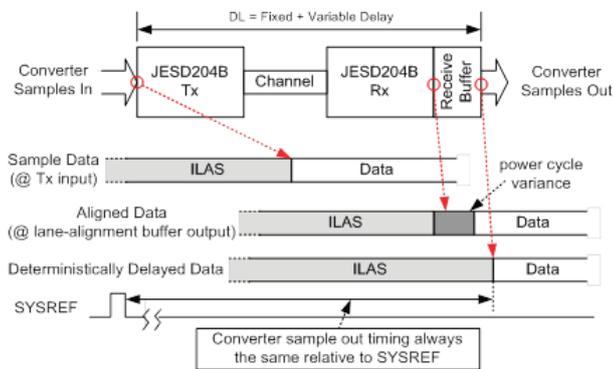


図5. サブクラス 1 システムでSYSREFを使用したデータ出力タイミング

バッファ出力時間は、LMFC との関係を使ってSYSREF 信号の基準になります。SYSREF を使って、システム内のすべての JESD204B デバイス間の LMFC の位相を揃えます。バッファ出力時間は、このSYSREF を揃えたLMFC を基準とします。

4-1. サブクラス 1 のためのシステム要求とガイドライン

JESD204B システム内のディタミニスティック・レイテンシの精度と信頼性は、デバイス・クロックとSYSREF の間の関係に依存します。デバイス・クロックは、システム・リファレンス・クロックであり、これからサンプル・クロック (一般に)、JESD204B クロック、シリアルライザ・クロックが発生されます。

このクロックは、SYSREF の取り込み、およびフレームとマルチ・フレーム・クロックのエッジの位相合わせに使用されます (図 6 参照)。JESD204B 規格では、SYSREF とデバイス・クロックに対する要求事項と推奨事項を規定しています。この規格では、PCB レイアウトとシステム・タイミングのガイドラインも規定していますが、これらの要求の JESD204B システムでの実現方法は、ディタミニスティック・レイテンシの不確定性 (DLU) などのアプリケーションのシステム・レベル要求に依存します。DLU と特定アプリケーションへの適用などその他の詳細については、「JESD204B サブクラス (パート 2) : サブクラス 1 対サブクラス 2 システムの考慮事項」で説明しています。

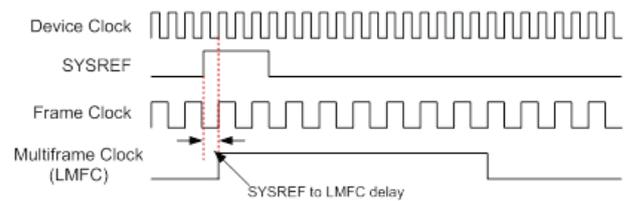


図6. SYSREF を使用したフレーム・クロックの位相アライメント

サブクラス 1 動作に対するその他の重要な要求と推奨事項:

- ▶ SYSREF のエッジからフレームおよびマルチ・フレームまでの遅延は、JESD204B システム内のすべてのデバイスに対して規定する必要があります。アナログ・デバイスサイズのコンバータ製品では、これはSYSREF—LMFC 間遅延と呼ばれています。
- ▶ 受信バッファを使ってデータをバッファし、SYSREF に揃えた LMFC をデータ出力のディタミニスティック・リファレンスとして使います。JESD204B 規格では、受信バッファ遅延 (RBD) と呼ばれるものを規定しています。RBD はバッファの深さを決めるもので、1~k のフレーム・サイクル数 (TF) が指定されます。RBD を使って、システムの変動遅延を補償します。マルチ・フレーム内のフレーム数が増えると、許容変動遅延が大きくなります。アナログ・デバイスサイズの DAC デバイスは、k 値として 16 または 32 をサポートします。大部分のアプリケーションに対して 32 の設定が推奨されます。
- ▶ ディタミニスティック・レイテンシの正確な値はメーカー毎に変わり、同じメーカーでもデバイスごとに変わるため、システム内でマルチチップ同期が必要な場合は、同じモデルのコンバータを使うことが重要です。
- ▶ デバイス間のレーン・スキューを小さくすることも重要です。アナログ・デバイスサイズの DAC アプリケーションの場合、デバイス間スキューと最大変動遅延の組み合わせをローカル・マルチ・フレーム・クロック (LMFC) の周期より小さくする必要があります。

- ▶ デバイス・クロックとSYSREF を同じデバイスから発生させて、2 つの信号の位相アライメントを確保する必要があります。SYSREF とデバイス・クロックのデバイス間スキューも小さくする必要があります。
- ▶ サブクラス 0 動作とマルチチップ同期を説明する際に、SYNC~ 組み合わせの概念を説明します。サブクラス1システムの場合、これは不要です。

4-2. SYSREF とデバイス・クロック

SYSREF 信号は、シングル・パルス、周期的方形波、またはギャップのある周期的方形波にすることができます。SYSREF の周期は、LMFC の整数倍である必要があります。アナログ・デバイスのデバイスは、3 タイプのSYSREF 信号をすべてサポートしています。

SYSREF 信号のタイミングは、デバイス・クロックのサンプリング・エッジが固定でユーザーから既知となるように、デバイス・クロックに対して正確に制御する必要があります。既に言及したように、SYSREF 信号はデバイス・クロックに同期したソースである必要があります。そのため、SYSREF はシステムにデバイス・クロックを供給するデバイスと同じデバイスで発生することが推奨されます。AD9525 は、この機能に適した1つのデバイスです。

JESD204B 規格のクロック分配スキューとその他のスキュー要求は、規定というよりはガイドラインのようなものです。これらは、ディシリアライザに対して推奨するスキュー除去能力を主張するために導入されました。これらは、JESD204B 規格のセクション 4.12 に記載されています。SYSREF とクロック・スキューを求める実用的なガイドは、「JESD204B サブクラス (パート2) : サブクラス 1 対サブクラス 2 システムの考慮事項」に記載してあります。

5. サブクラス 2

サブクラス 2 システムでは、外部信号を使ってタイミング・リファレンスを提供するのではなく、SYNC~ 信号を使ってディタミニスティック・レイテンシとマルチチップ同期を提供しています。この方式の主な利点は、JESD204B システムでのピン数とネット数が削減されることです。サブクラス 1 のSYSREFの背景にある考えは、これを使ってシステム内のすべてのデバイスで内部フレームとマルチ・フレーム・クロック (LMFC) を同期化することであったことを思い出してください。レシーバのLMFC に基いてSYNC~ が発生されるため、この信号には、外部リファレンスを使わない場合に、レシーバとトランスミッタの間で同じ同期を実現する際に使用できるLMFC タイミング情報が含まれています。SYNC~ に対して要求される機能と精度は、サブクラス 1 のSYNC~ に要求される機能と精度より多くなっています。これらの要求とシステム同期タイミング要求から、実現可能なデバイス・クロック周波数は低くなっています。これは「JESD204B サブクラス (パート2) : サブクラス 1 対サブクラス 2 システムの考慮事項」で詳しく説明します。

タイミング要求を満たすと同時にSYNC~ をタイミング・リファレンスとして使用する問題は、SYSREF を使用する場合と同じです。システム・タイミング精度は、PCB 上のSYNC~ とデバイス・クロックの分配スキュー、およびそれらの伝搬遅延に制限されます。精度の分解能はデバイス・クロック周期に依存します。サブクラス 1 の場合と同様に、システム DLU 要求が分配スキュー規定値を決定します。

サブクラス 1 システムでは、デバイス・クロック/SYSREF ソースがマスター・リファレンスで、同期要求はロジック・デバイスから来ます。サブクラス 2 システムでは、ロジック・デバイスがマスター・タイミング・コントローラで、リンクの両側でLMFC 位相を補正する機能を持ちます。これを実現する方法は、システムが DAC ベースのシステムであるか、または ADC ベースのシステムであるかに依存します。

5-1. ADC サブクラス 2 の概要

サブクラス 2 ADC アプリケーションでは、SYNC~ のディアサーションは検出クロックで取り込まれ、これは一般にデバイス・クロックであり、LMFC 位相のリセットに使われます。SYNC~ を検出し取り込み、さらにローカルLMFC をリセットすると、JESD204B トランスミッタはK28.5 文字の送信を開始し、システム・クロックが安定するまで送信を続けます。同期プロセスのILAS 部分が、クロックが安定した後のLMFC 境界で開始されます。ADC システムでは、ADC のLMFC のアライメントはインタラクティブ・プロセスではなく、1 回のSYNC~ アサーションで確立されます (図 7 参照)。周期的SYNC~ を使ってトランスミッタのLMFC 位相アライメントをモニターすることもできます。詳細については、JESD204B 規格のセクション 6.4 を参照してください。

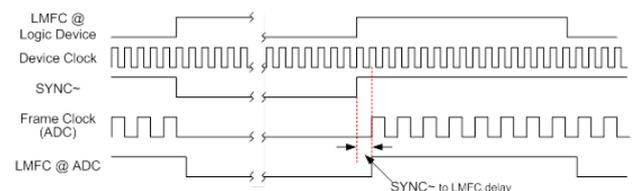


図7. SYNC~を使用したフレーム・クロックの位相アライメント

5-2. DAC サブクラス 2 の概要

サブクラス 2 動作では、ロジック・デバイスのLMFC がマスター LMFC リファレンスで、コンバータLMFC はこれに位相を揃える必要があります。サブクラス 2 DAC アプリケーションでは、ロジック・デバイスも検出クロック (一般にデバイス・クロック) を使って1個または複数のDAC デバイスからのSYNC~ を取り込みます。

ロジック・デバイスは、それ自身のLMFC とDAC LMFC との間の位相差を検出し、同期のILAS 部分で調整コマンドをDACへ発行します。ILAS はマルチ・フレーム4 個分の長さで、LMFC位相調整情報を含むリンク・パラメータが2 番目のLMFC 周期でレシーバへ送信されます。JESD204B システムでロジック・デバイスからDAC へ与えられるLMFC 位相調整コマンドは、次のように与えられます。

- ▶ PHADJ (位相調整): このコマンドは位相調整の要否を表示します。
- ▶ ADJCNT (カウント調整): このコマンドは必要な調整ステップ数を表示します。
- ▶ ADJDIR (調整方向): このコマンドはLMFC 位相を進めさせるか、遅れさせるかを表示します。

調整クロック分解能とLMFC 周期に対する関係に応じて、DACのLMFC 調整に要する時間はILAS の1 周期を超えることがあります。DAC で位相調整を行った後、SYNC~をロー・レベルにしてエラー報告を発行します。ロジック・デバイス上のトランスミッタは、この再アサーションを使ってLMFC 位相差を再度検出します。調整がこれ以上不要な場合は、PHADJ ビットがILAS 中にリセットされて、レシーバからのエラー報告はありません。この時点で、LMFC が揃えられて、ユーザー・データの送信が開始できます。さらに調整が必要な場合は、ロジック・デバイスのトランスミッタはプロセスをもう1 回開始させます。詳細については、JESD204B規格のセクション6.4 を参照してください。

JESD204B システム内のすべてのデバイスでLMFC 位相が揃った後、サブクラス1 と同じ方法でディタミニスティック・レイテンシが実現されます。すなわち、最終着信レーン・データの非ディタミニスティック着信時間ではなく、受信バッファの出力時間は位相が揃ったLMFC を基準とするようになります(図5 参照)。唯一の違いは、LMFC 位相アライメントを実現する方法にあります。

5-3. システム要求とサブクラス2 実現のガイドライン

JESD204B システム内のディタミニスティック・レイテンシの精度と信頼性は、デバイス・クロックとJESD204B システム内の各SYNC~信号との間の関係に依存します。サブクラス1 の場合と同様に、デバイス・クロックはシステム・リファレンス・クロックであり、これからサンプル・クロック、JESD204B クロック、シリアライザ・クロックが発生されます。これを使ってSYNC~を取り込みます。このSYNC~はシステム内のLMFC 位相関係に関する情報をロジック・デバイスへ提供します。

JESD204B 規格では、サブクラス2 動作に対する要求事項と推奨事項を次のように規定しています。

- ▶ ADC の場合:
 - ADC は、ロジック・デバイスから検出したSYNC~に対して内部フレーム・クロックとLMFC (多分サンプル・クロック)を調整する必要があります。
 - LMFC 調整の分解能はデバイス・メーカーが決定する必要があり、システム同期精度を制限します。
 - SYNC~ 検出分解能は、デバイス・メーカーが決定する必要があり、システム同期精度を制限します。
 - SYNC~ のディアサーションからADC LMFC境界までの遅延(図7 参照)は、規定する必要があります。
- ▶ DAC の場合:
 - DAC は、ロジック・デバイスからの指示に従い内部フレーム・クロックとLMFC を調整する必要があります(DAC サブクラス2の概要セクションの説明通り)。
 - DAC LMFC 調整分解能は規定する必要があります(DAC デバイス・クロック周期数を使用)。
 - DAC は、位相調整を行うごとにエラー報告を発行する必要があります。
- ▶ DAC アプリケーション内のロジック・デバイスの場合:
 - 自身のLMFC に対するSYNC 位相を検出クロック(一般にデバイス・クロック)のインクリメント数単位で検出できる必要があります。
 - DAC 調整分解能に基づいてADJCNT を計算できる必要があります。
 - ILAS 中に補正情報をDAC へ送信できる必要があります(表1 に説明)。

6. 最後に

今日および将来のアプリケーションで高速なデータ処理機能に対する要求を満たすため、JESD204B はデータ・コンバータとロジック・デバイス間の通信チャンネルで要求されるマルチギガビット・インターフェースを規定します。アプリケーションで必要とするサブクラスを決定することは、システム設計で重要なステップです。ディタミニスティック・レイテンシを必要としないシステムでは、3 種類のいずれのサブクラスでも十分ですが、サブクラス0 は最も問題少なく実現できます。ディタミニスティック・レイテンシが要求される場合は、サブクラス1 またはサブクラス2 の設計に対して他のシステム・レベル事項を考慮する必要があります。

「JESD204B サブクラス (パート2) : サブクラス 1 対サブクラス2 システムの考慮事項」で、ユーザーの設計に対する JESD204B の適切なサブクラス選択についてシステム設計者の理解を支援するためにこれらの問題の幾つかを詳しく説明します。

技術記事 MS-2677

JESD204B サブクラス (パート2) : サブクラス 1 対サブクラス 2 システムの考慮事項

著者:

Del Jones

アナログ・デバイセズ

スタッフ・アプリケーション・エンジニア

高速コンバータ

1. はじめに

[JESD204B サブクラス (パート1) : JESD204B サブクラスとディタミニスティック・レイテンシの紹介] では、JESD204B サブクラスとディタミニスティック・レイテンシの概要およびサブクラス 0 システムでのマルチチップ同期に対するアプリケーション層ソリューションに関する詳細を説明しました。シリーズのパート2では、サブクラス 1 とサブクラス 2 の違いを詳しく説明します。特に、ディタミニスティック・レイテンシに関係するタイミング条件を満たす課題、サブクラス 2 でのデバイス・クロック速度制限、サブクラスが与えられたシステム・アプリケーションに対して最適になるガイドラインについて説明します。

2. サブクラス 1

サブクラス 1 システムでは、ディタミニスティック・レイテンシの精度はデバイス・クロックと SYSREF の間のタイミング関係およびシステム内でのこれらの信号の分配スキューに依存します。SYSREF に対するセットアップ・タイム条件とホールド・タイム条件 (T_{SU} と T_{HOLD}) の他に、アプリケーションのディタミニスティック・レイテンシの不確定性に対する耐性が、SYSREF とデバイス・クロックに対するアプリケーションの分配スキュー要求を決める時に重要になります。

2-1. 精度良く SYSREF を取り込む

JESD204B インターフェースを採用するコンバータは、非常に高い周波数でデータをサンプルします。システム内の位相ノイズを小さくするため、これらのコンバータではサンプリング周波数がそれ以上のリファレンス・クロック (JESD204 デバイス・クロックと同じ) を使用することが一般的です。多くの場合、このクロックは GHz 範囲です。これらの速度で、セットアップ・タイム条件とホールド・タイム条件を満たすことは非常に難しくなります。システム設計を容易にするため、SYSREF および/またはデバイス・クロックの位相オフセットを JESD204B システムに含まれる各デバイスに対してプログラマブルにすることが必要になります。

サブクラス 2 に対するサブクラス 1 の利点の 1 つは、ソース同期クロックを使用していることです。サブクラス 2 システムではシステム同期クロックを使うため、ソース同期クロックの場合より早く周波数制限に遭遇します。

これは、特定のサブクラス 1 とサブクラス 2 のタイミング例を調べることで明確になってきます。

2-2. ディタミニスティック・レイテンシの不確定性

ディタミニスティック・レイテンシの不確定性 (DLU) は JESD204B システム内の LMFC スキューであり、システム内での SYSREF の最も早い取り込みと最も遅い取り込みとの間の差で決定されます。図 1 に、SYSREF 取り込みに対するセットアップ・タイム条件とホールド・タイム条件が満たされないときにシステム内の各デバイスで発生するワーストケース DLU を示します¹。これは、システム内のデバイス・クロックの分配スキューが制御されていない場合に発生し、最大 1 デバイス・クロック (DCLK) の不確定性を発生させます。これが SYSREF 分配スキュー (DS_{SYSREF}) に加わり、総合 DLU が発生します。

$$DLU = DS_{SYSREF} + T_{DCLK}$$

DS_{SYSREF} は、システム内 (システム内の全デバイス間で) で最も早く到着する SYSREF の着信時間と最後に到着する SYSREF の着信時間の差です。説明では、 $T_{SU} = \frac{1}{2} T_{DCLK}$ および $T_{HOLD} = \frac{1}{4} T_{DCLK}$ です。最も早く到着する SYSREF (A) は最も早い時間に取り込まれ ($DCLK_A$ はセットアップ時間条件を満たします)、最後に到着する SYSREF (N) は最も遅い時間に取り込まれます ($DCLK_N$ はセットアップ時間条件を満たしません)。そのため、対応する LMFC は $DS_{SYSREF} + T_{DCLK}$ だけ位相がずれます。

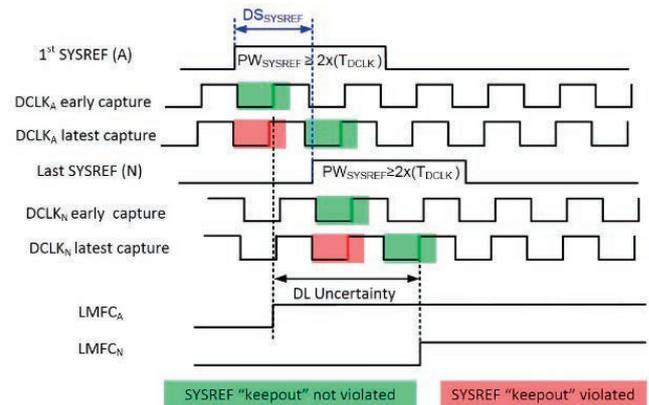


図1. ワーストケースディタミニスティック・レイテンシの不確定性

多くのアプリケーションで、DLU に対する条件はこのワーストケース・シナリオを許容するようになってきました。これらのアプリケーションの場合、デバイス・クロックの分配スキューを厳しく制御することは不要です。SYSREF パルス幅を ($2 \times T_{DCLK}$) 以上にして、システム・タイミング条件を満たすように SYSREF 分配スキューを制御することで十分です。

¹ DLU 概念の説明をシンプルにするため、ここではクロック・ジッターと処理、電圧、温度 (PVT) に起因する変動を考慮しません。

デバイス・クロックの不確実性が増えることを許容できないアプリケーションでは、デバイス・クロック分配スキューを厳しく制御して、SYSREF のタイミング条件をシステム内の各デバイスで満たす必要があります。このケースを図 2 に示します。不確実性は次式で与えられます。

$$DLU = DS_{SYSREF} + T_{\text{“Valid Window”}}$$

ここで、 $T_{\text{“Valid Window”}} = T_{DCLK} - (T_{SU} + T_{HOLD})$

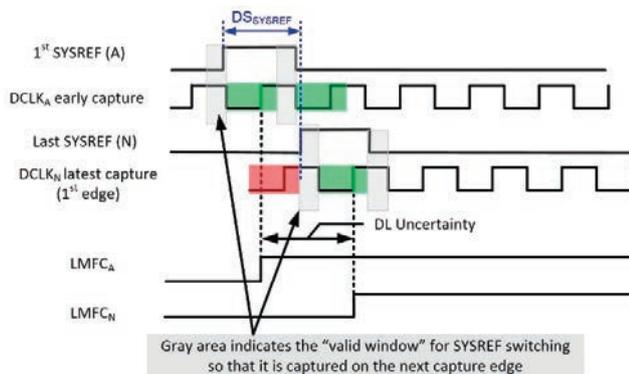


図2. SYSREF のセットアップ・タイムとホールド・タイムを満たすときのDLU

2-2-1. ディタミニスティック・レイテンシ不確実性の最小化

上の DLU の式が示すように、SYSREF/DCLK 対内の分配スキューを小さくすることにより、各対のセットアップ・タイムとホールド・タイムを満たすようにして DLU を小さくすることができます。

セットアップ・タイム条件とホールド・タイム条件を満たすため、JESD204B システム内の各デバイスは自身の SYSREF/DCLK 対を持つ必要があります。これらの各対内で、タイミングを保証するためパターン長を一致させることができます。パターン長一致の規定値は、SYSREF スwitching の有効なウィンドウ時間により決定されます。また、SYSREF は取り込みエッジを DCLK とする出力とし、SYSREF の長さはホールド・タイム条件から決まる DCLK の長さより長い必要があります (T_{HOLD} が 0 の場合は、2 つの長さを一致させることができます)。

パターン長を一致させるため、対内の分配スキューを小さくすることは、実質的に SYSREF 分配スキューを小さくすることと同じです。この分配スキューの規定値は、DLU 規定値から有効ウィンドウ時間を減算した値になり、パターン長を一致させることにより調節することができます。DLU 規定値は、アプリケーションの条件から設定されます。

DLU を最小化するこれらの方法を図 3 に示します。JESD204b システム内の各デバイスは自身の SYSREF/DCLK 対を持つため、SYSREF 取り込みのタイミング条件を満たすことは、ソース同期クロックを採用するシステムと同様です。各デバイスのタイミング・マージンは、システム内の他のデバイスに依存しないと見なされます。

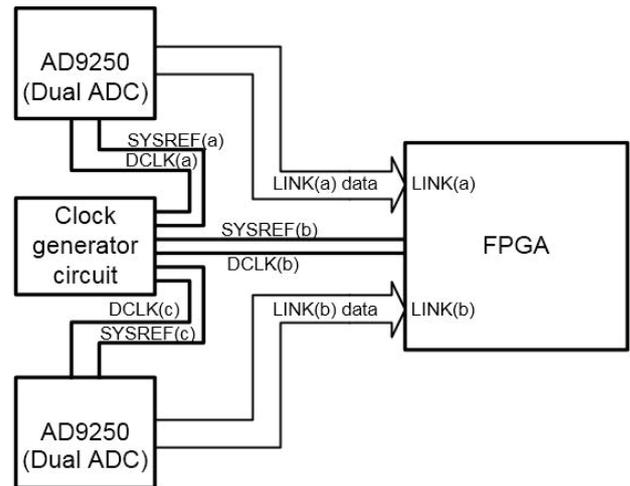


図3. 3 個のデバイスを持つ JESD204B システムの SYSREF/DCLK 配線

2-2-2. AD9250 を使った SYSREF タイミング例

AD9250 は、14 ビット、250 MSPS のデュアル ADC で、5 Gbps の JESD204B シリアル・データ出力を採用しています。PLL 性能を最適化するため、AD9250 は最大 1.5 GHz のデバイス・クロック速度を許容します。このデバイスは、最も厳しいシステム DLU 条件のもとで、パターン長を一致させて SYSREF タイミングを満たす方法の優れた例を提供します。² この例の条件は次の通りです。

- ▶ DCLK = 1.5 GHz (周期 667 ps)
- ▶ $T_{SU} = 500$ ps で $T_{HOLD} = 0$ ps
- ▶ 例えば、システムの $DLU_{MAX} = 1$ DCLK (667 ps)

SYSREF タイミングを満たすための対内パターン長の一致

この例の仕様に基づき、セットアップ・タイムとホールド・タイムを満たす「有効ウィンドウ」は 167 ps (667 ps $T_{DCLK} - 500$ ps T_{SU}) です。伝搬時間は、信号がソースを出発してからシンクに到着するまでの時間です。SYSREF の伝搬時間から DCLK の伝搬時間を減算した値は、セットアップ・タイムを満たすためには 167 ps より小さい必要があり、かつホールド・タイムを満たすためには 0 ps より大きい必要があります。この伝搬時間の差を大まかにインチ数に変換するため、1 インチの FR-4 材料の伝搬時間を 167 ps/インチと見積もります。そうすると、システム内の各 SYSREF/DCLK 対で、次の配線条件を満たす必要があります。

$$DCLK \text{ パターン長} < SYSREF \text{ パターン長} < DCLK \text{ パターン長} + 1 \text{ インチ}$$

² DLU 条件をデバイス・クロックに一致させることは、SYSREF のタイミングを満たすためのワースト・ケースになります。

この条件を満たすと、図 4 に示すように、SYSREF の変化は有効ウィンドウ内で発生するようになります。

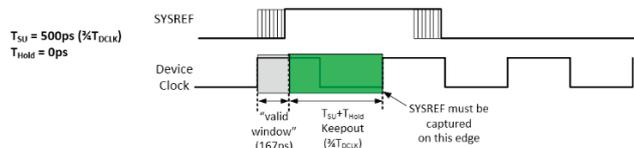


図4. SYSREF/DCLK タイミング条件の満足

DLU 規定値を満たすための対内パターン長の一致

DLU 規定値が 667 ps に設定されており、かつ DLU 規定値と対内 (すなわち SYSREF) 分配スキュー (DSSYSREF) との関係が既知であるため、パターン長一致の規定値は次のように簡単に求めることができます。

$$DS_{SYSREF} = DLU - T_{\text{Valid Window}} = 667 \text{ ps} - 167 \text{ ps} = 500 \text{ ps}$$

したがって、すべての SYSREF/DCLK 対での対内分配スキューは、次の値内である必要があります。³

$$500 \text{ ps} \div 167 \text{ ps} / \text{インチ} = 3 \text{ インチ}$$

図 5 に、このタイミング例を示します。「最適」分配スキュー (DS_{SYSREF}) とは、厳しくないパターン長一致条件を許容するケースを意味します。

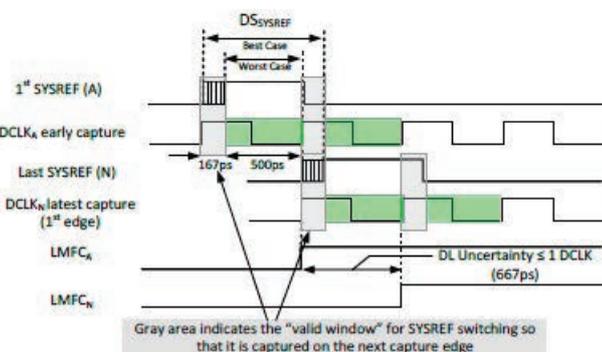


図5. 対内分配スキュー条件の満足

SYSREF タイミングとDLU 規定値を満たす高度なソリューション

もちろん、低速デバイス・クロックを使用すると長さの一致が容易になり、これを使用して問題を解決することができます。これには、システム位相ノイズ性能の犠牲がともないます。これと似たソリューションは、DLU 条件を緩くすることですが、システム位相ノイズ性能を向上させる利点は維持されます。DLU 条件の設定は、アプリケーションに依存します。これについては、ディタミニスティック・レイテンシの精度の文脈で次に説明します。

³ 500 ps は SYSREF のワースト・ケース・スキューであり、パターン長一致の規定値を決める際に使う必要があります。

位相ノイズ性能の向上が要求されて、DLU 条件を緩和できない場合、SYSREF/DCLK のデバイス内スキューとデバイス間スキューに対する配線条件 (上の例では、それぞれ1 インチと3 インチ) を満たすことは困難過ぎると思われます。この場合、デバイス・クロックおよび/または SYSREF に対する調整可能な位相遅延が必要になります。調整の分解能は、セットアップ・タイムとホールド・タイムに基づく「有効ウィンドウ」より小さい必要があります。例から、「有効ウィンドウ」は 167 ps になります。

FPGA によっては、微調整条件を満たすことが困難なものがありますが、AD9528 はこの条件を満たします。これは、SYSREF 位相遅延を 60 ps ステップで調整可能で、これが全出力での変異性が 50 ps より小さいためです。図 6 に、タイミング条件を満たすために SYSREF を遅延させる方法を示します。この説明では、SYSREF を 60 ps インクリメントで遅延させます。位相の設定値は、SYSREF エッジを有効ウィンドウの中央付近に設定することを推奨します。説明で、緑のエッジは良い位相設定値を、赤のエッジは悪い設定値を、それぞれ表します。位相設定値 3 は有効ウィンドウの中央であるため、この場合これを使います。



図6. SYSREF のタイミングを満たすためのプログラマブルな位相遅延

AD9528 のデバイス・クロック出力は、SYSREF 出力で使用可能な 60 ps の位相ステップの他に、 $\frac{1}{2}$ デバイス・クロック・サイクルで位相を遅延させることができます。この機能も、SYSREF タイミング条件を満たす際に役立ちます。

2-2-3. SYSREF セットアップとホールド・タイミングのモニタ

AD9680 は、SYSREF とデバイス・クロックとの間の相対的タイミングの調整に役立つ SYSREF セットアップとホールド・タイムのモニタ回路を内蔵しています。これら 2 つのレジスタをモニタすると、SYSREF の取り込みでタイミング条件に問題があるか否かを知ることができます。これらのいずれかのレジスタが、タイミング・マージンが不十分であることを示すと、デバイス・クロックに対する SYSREF の相対位置の調整が必要であることが分かります。上の例では、デバイス・クロックに対する SYSREF 位相の調整によって (例えば AD9528 を使用)、または SYSREF および/または デバイス・クロック信号のパターン長の調整によって、この調整を行うことができます。

2-2-4. ディタミニスティック・レイテンシの精度

システムのディタミニスティック・レイテンシの不確か性がどのように設定されるかを理解するためには、アプリケーションの理解が必要です。ディタミニスティック・レイテンシを必要とする大部分のシステムでは、時間内で、どのサンプルが注目するデータの開始を表すかを正確に知る必要があります。

ディタミニスティック・レイテンシの一般的な用途は、システム内の複数のコンバータを同期させることです。これは、マルチチップ同期と呼ばれています。これらのシステムでは、すべてのコンバータ間でサンプルのアライメントが必要です。このため、ディタミニスティック・レイテンシには「**正確なサンプル**」が必要です。これらのシステムでは、DLU はサンプル・クロックの $\pm 1/2$ である必要があります。サンプル・クロックの整数倍であるデバイス・クロックを持つ利点は、**正確に**サンプルするなどのように、SYSREF の取り込み処理が簡素化されることです。AD9250 の例では、デバイス・クロックはサンプル・クロックの6倍です。正確なサンプルであるためには、 $\pm 1/2$ サンプル・クロックのDLU 条件は ± 3 デバイス・クロックに言い換えられます。これを図7に示します。AD9250 の例では、各デバイスでSYSREF 位相を調整できるため、最も厳しいDLU 条件でも容易に満たすことができることを示しました。デバイス・クロックがサンプル・クロックの倍数である場合、サンプル精度に対するSYSREF の取り込みは、大幅に簡素化されます。コンバータのサンプル・レートが1 Gbps を超えて高くなると、SYSREF クロックとデバイス・クロックの位相遅延機能が不可欠になります。

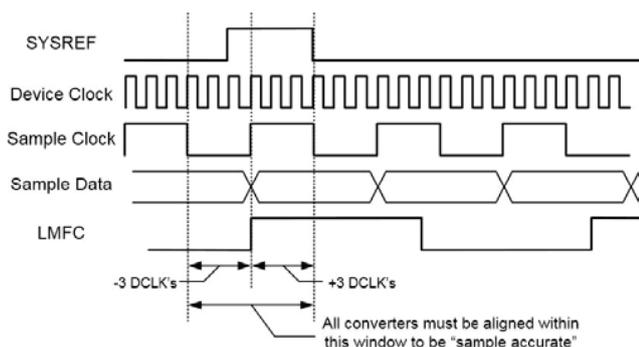


図7. SYSREF キャプチャの「**正確なサンプル**」条件

2-3. SYSREF 取り込みでの問題

SYSREF のセットアップ・タイム条件とホールド・タイム条件、およびDLU 条件を満たす他に、SYSREF の取り込みに関係して発生する他の問題があります。例えば、システムの初期パワーアップ時、システム・クロックが安定する前にSYSREF がアクティブになる可能性があります。これは、連続的なSYSREF 信号を使用する際に発生することがあります。この問題は、デバイスを所定エッジ数だけ待たせた後、クロックを同期するプログラム可能なJESD204B インターフェースを導入することにより解決されます。もう1つのプログラムに関するオプションは、有効なエッジが予想される際にSYSREF 取り込みの「**用意**」を可能にすることです。これにより、連続SYSREF で同期化するタイミングを制御できるようになります。AD9625 やAD9680 のようなJESD204B インターフェースを採用する多くのアナログ・デバイスサイズのコンバータ・デバイスは、これらの機能を内蔵しています。

もう1つの例は、SYSREF の小さな変動により、再同期を不要にできることです。この問題は、SYSREF エッジに対してLMFC を中心とする有効ウィンドウをユーザーが指定できるようにプログラム可能なJESD204B インターフェースを導入することにより解決されます。

SYSREF がこの有効ウィンドウ内で発生する場合、システムは「同期中」と見なします。多くのアプリケーションでは連続SYSREF 信号をモニタリング状態を知るため、これは非常に便利な機能です。LMFC 境界とSYSREF を比較して、この場合同期状態を決めています。AD9680 はこの機能を内蔵しています(図8)。

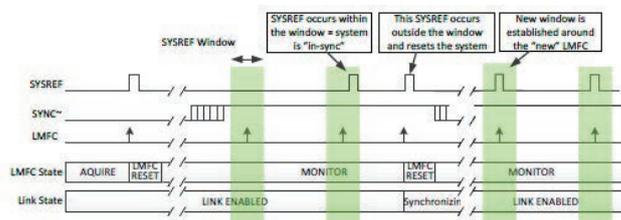


図8. SYSREF モニタ・ウィンドウ

SYSREF 取り込みで役立つその他の機能は、SYSREF の取り込みを使用するデバイス・クロック・エッジを変更する機能とLMFC を揃えるために使用するSYSREF エッジを変更する機能です。JESD204B インターフェースを採用する多くのアナログ・デバイスサイズのコンバータ・デバイスはこれらの機能を内蔵しています。

3. サブクラス 2

サブクラス 2 システムでは、ディタミニスティック・レイテンシの精度はデバイス・クロックとSYNC~信号との間のタイミング関係、および次に説明する、タイミング計画を使ってしまう様々な項に依存します。サブクラス 1 の場合と同様に、ディタミニスティック・レイテンシ不確定性に対するアプリケーションの耐性が、SYNC~とデバイス・クロックに対するアプリケーションのパターン長一致条件を決める際に重要になります。

3-1. SYNC~ 取り込みと開始の精度

SYNC~ を正確に取り込むためのタイミング条件を満たす問題は、SYSREF の取り込みでサブクラス 1 の説明に示した問題と本質的に同じ問題ですが、サブクラス 2 でのクロック方式はシステム同期であるため、各取り込みデバイス間で独立にタイミング解析を行えなくなるので、マルチコンバータ・アプリケーションでは難しくなります。これだけでなく、SYNC~ 信号の発生に関して不確定性を考慮することも必要になります。システム同期クロックを使用するシステム内の各デバイスは、タイミング余裕の一部を使ってしまう。タイミング余裕を失ってしまう項としては、クロック分配スキュー (DS_{DCLK})、マルチコンバータ・システムのSYNC~ 分配スキュー (DS_{SYNC~})、SYNC~ 信号の伝搬遅延、各JESD204B トランスミッタのセットアップ・タイム条件とホールド・タイム条件、各JESD204B レシーバのSYNC~ 出力でのクロック—SYNC~ 間出力遅延などがあります。

3-2. サブクラス 2 でのデバイス・クロックの上限

JESD204B 規格では、サブクラス 2 インプリメンテーションでシステム同期クロック方式を採用しているため、デバイス・クロック・レート限界が必要なことを認識しています。規格のアネックス B では、この規定値を 500 MHz とすることを推奨し、「SYSREF はデバイス・クロックと精確に位相が揃う方法で発生できるソース同期信号であるため、500 MHz より高いデバイス・クロック・レートでの動作を狙うシステム設計者はサブクラス 1 の方法を使うことを好むものと予想する」と述べています。

このような規定値が存在する理由を説明するため、詳細なタイミング例を示します。

サブクラス 2 マルチDAC のタイミング例

2 個のサブクラス 2 DAC デバイスと 1 個のロジック・デバイスを接続したトランスミッタ・アプリケーション (図 9) について調べます。

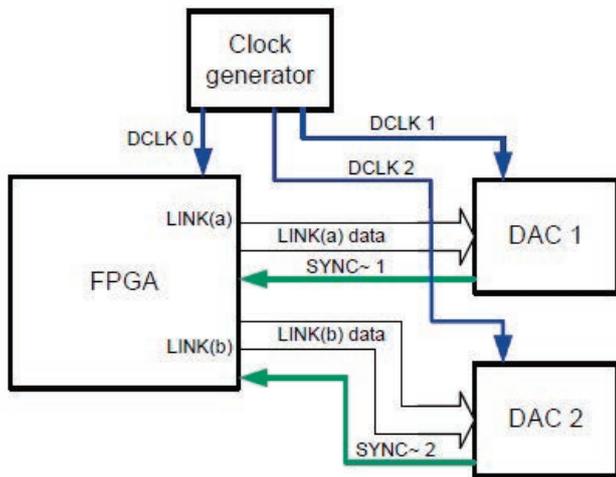


図9. サブクラス 2 マルチDAC アプリケーション

例えば、500 MHz のデバイス・クロックを使用します。SYNC~ 信号と DCLK 信号は、次に示す PCB スキュー⁴ を持ちます。

- ▶ FPGA へのクロック = 300 ps
- ▶ DAC1 へのクロック = 600 ps
- ▶ DAC2 へのクロック = 720 ps
- ▶ FPGA への SYNC~1 = 660 ps
- ▶ FPGA への SYNC~2 = 750 ps

ジッタと PVT 変動を考慮する前のタイミングを図 10 に示します。この図で、ワーストケース・タイミングは FPGA 入力での SYNC~2 信号の取り込みで発生します。DLCK2 伝搬遅延、SYNC~2 伝搬遅延、SYNC~2 のクロック出力間遅延の組み合わせにより、FPGA 入力での取り込みに対して 600 ps のセットアップ・タイムが残ります。

⁴ 300 ps = PCB パターンの 1.8 インチ。

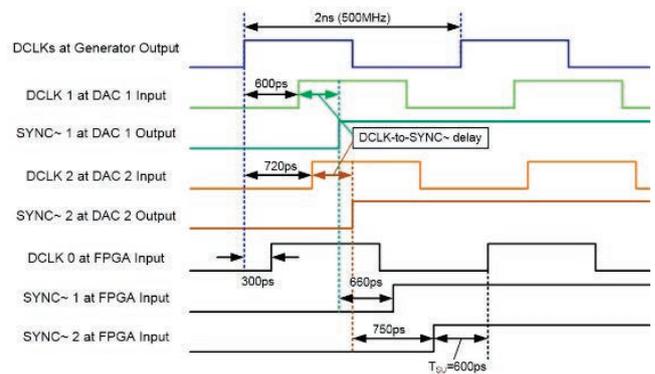


図 10. サブクラス 2 マルチDAC アプリケーションでの SYNC~/DCLK のタイミング

ただし、セットアップ・タイム、ジッタ、PVT 変動が加わると、図 11 に示すようにタイミング違反が容易に発生します。この例では、セットアップ・タイムが 500 ps で、PVT 変動⁵ が 300 ps に増え、ジッタ⁶ が 150 ps になります。最終到着の SYNC~ (SYNC~ 2) で、このためにタイミング違反が発生します。

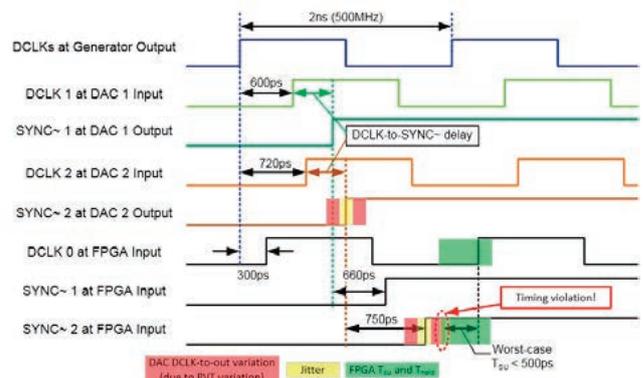


図 11. サブクラス 2 マルチDAC アプリケーションでの SYNC~/DCLK のタイミング違反

上の例では、パターン長および/またはクロック位相の調整を行ってタイミングを解決することができますが、DCLK 周波数が高くなると、サブクラス 1 インプリメンテーションに比べて考慮すべき変数が増えるため、遥かにタイミング条件を満たすことが難しくなります。JESD204B 規格のセクション 6.4 に、SYNC~ 取り込みタイミングの問題を詳細に記載してあります。

3-2-1. サブクラス 2 のディタミニスティック・レイテンシの不確定性

サブクラス 1 の場合と同様に、タイミングの制約はディタミニスティック・レイテンシの不確定性に対するアプリケーションの耐性により決まります。表 1 に、システムの DLU に対するサブクラス 2 タイミング条件を満たす際に考慮すべき変数をまとめます。⁷

⁵ SYNC~ 出力での PVT 変動と両クロック出力。

⁶ DCLK と SYNC~ のジッター。

⁷ DLU 概念の説明をシンプルにするため、ここではクロック・ジッターと処理、電圧、温度 (PVT) に起因する変動を考慮しません。

Table 1. Timing variables affecting subclass 2 DLU

Application	Variable 1	Variable 2	Variable 3	Variable 4	Variable 5
Single converter	Clock-to-SYNC~ output delay	T_{SU} and t_{HOLD} @ ADC	$T_{PD_SYNC~}$	DS_{DCLK}	
Multiconverter	Clock-to-SYNC~ output delay	T_{SU} and t_{HOLD} @ ADC	$T_{PD_SYNC~}$	DS_{DCLK}	$DS_{SYNC~}$

サブクラス 2 システムでの DLU は、 $T_{CLK-to-SYNC}$ 、 $T_{PD_SYNC~}$ 、 T_{SU} 、システム内のデバイス・クロック (DS_{DCLK}) の分配スキューの間の関係で決まります。シングル・コンバータ・アプリケーションでは、最適ケースの DLU は次式で与えられ、図 12 に示します。

$$DLU = DS_{DCLK} = T_{CLK-to-SYNC} + T_{PD_SYNC~} + T_{SU}$$

説明では、 $T_{SU} = \frac{1}{2} T_{DCLK}$ および $T_{HOLD} = \frac{1}{4} T_{DCLK}$ です。図に示すように、DCLK に歪を与えて DCLK—SYNC~ 間遅延と SYNC~ 伝搬遅延に一致させ、セットアップ・タイム条件を満たすようにします。

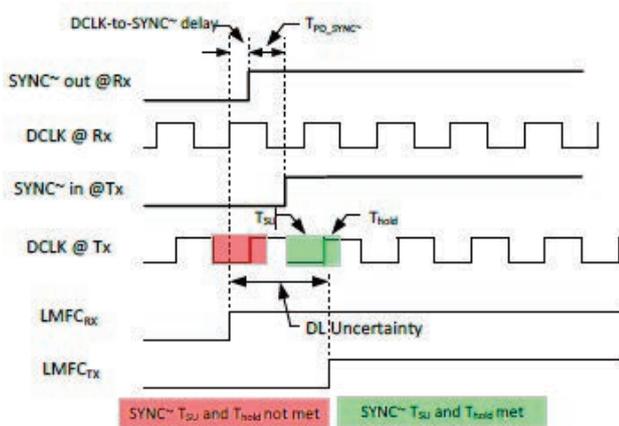


図 12. シングル・コンバータ・アプリケーションに対するサブクラス2 SYNC~ 取り込みタイミング: 最適ケースの DLU

シングル・コンバータ・サブクラス 2 システムでのワーストケース DLU は、トランスミッタで DCLK の歪が小さいために最初の使用可能な取り込みエッジのセットアップ・タイムを満たさない場合に発生します (図 13 参照)。

$$DS_{DCLK} < T_{CLK-to-SYNC} + T_{SU} + T_{PD_SYNC~}$$

$$DLU = T_{CLK-to-SYNC} + T_{PD_SYNC~} + T_{SU} + T_{DCLK}$$

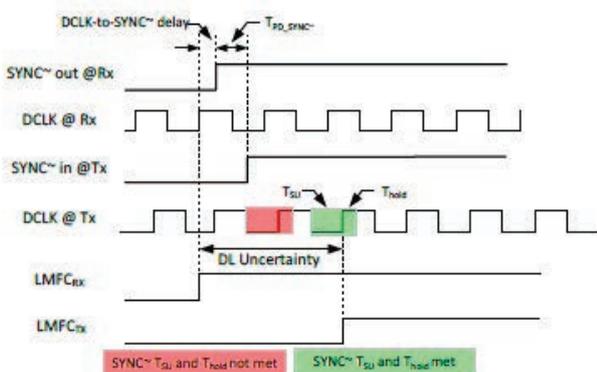


図 13. シングル・コンバータ・アプリケーションに対するサブクラス2 SYNC~ 取り込みタイミング: ワーストケースの DLU

4. アプリケーションに最適なサブクラスはどれか?

JESD204B システムに使用するサブクラスの選択は、ディタミニスティック・レイテンシの必要性、必要な場合のその精確さ、システムのデバイス・クロック条件に依存します。

サブクラス 0 は実現が最も容易で、ディタミニスティック・レイテンシが不要な場合に使用することができます。マルチコンバータ・システムがすべての (または幾つかの) コンバータからのサンプルの同期を必要とする場合でも、これを AD9625 と AD9680 でサポートされているタイム・スタンプ方式を使って実現することができます。

極めて高いデバイス・クロック・レートをサポートするサブクラス 1 の能力があり、かつ高いサンプリング・レートのコンバータで使用する場合、これはこれらの高いレートを必要とするシステムに対する最小リスクのソリューションになります。サブクラス 1 デバイスを低周波のレートで使うこともできます。500 MHz より低いデバイス・クロック・レートで使う場合、タイミング条件を満たすことは、クロック位相の調整なしで済む非常に簡単なことです。

サブクラス 2 デバイスも、500 MHz より下で使うことができます。低いレートでサブクラス 2 を使用する小さい利点は、ロジック・デバイスの IO 数の削減と、各 JESD204B デバイスへの SYSREF の配線が不要になることです。

JESD204の関連情報

関連製品等の情報はこちらをご覧ください。

www.analog.com/jp/JESD204

その他関連リンク

www.jedec.org

www.xilinx.com/products/intellectual-property/EF-DI-JESD204.htm

www.planetanalog.com/author.asp?section_id=3041&doc_id=561117&

www.electronicdesign.com/analog/pair-right-jesd204b-converter-your-fpga

www.eetimes.com/document.asp?doc_id=1280943

www.electronicdesign.com/analog/kickstart-your-system-designs-jesd204b

ビデオ

http://www.analog.com/en/education/search.html?Filters=resource_type_fac_s:d836fdbf3db14d168d0a145752fd9c5f&q=jesd204b

参考文献、資料

- ▶ JESD204B.01 (Jan 2012) 規格、JEDEC Solid State Association
- ▶ AD9860 Data Sheet, Analog Devices, Inc.
- ▶ AD9135/36 Data Sheet, Analog Devices, Inc.
- ▶ AD9516 Data Sheet, Analog Devices, Inc.
- ▶ HMC7044 Data Sheet, Analog Devices, Inc.
- ▶ OIF-SxI-5-01.0(Oct 2002) 規格、Optical Internetworking Forum
- ▶ What is JESD204 and why should we pay attention to it. MS-2374 Jonathan Harris Analog Devices Technical Article
- ▶ High Speed Converter survival guide: Digital Data Output
MS-2304 Jonathan Harris Analog Devices Technical Article
- ▶ JESD204B vs Serial LVDS interface consideration for wideband data converter applications.
MS-2442 George Diniz Analog Devices Technical Article
- ▶ Grasp the critical issues for a functioning JESD204B interface
MS-2448 Anthony Disimone Analog Devices Technical Article
- ▶ Stay your system dragons with JESD204.
MS-2503 Ian Beavers Analog Devices Technical Article
- ▶ JESD204B subclass (Part1). An introduction to JESD204B subclass and deterministic Latency.
MS-2672 Del Jones Analog Devices Technical Article
- ▶ JESD204B Subclass (Part2) Subclass1 vs Sunclass2 system consideration.
MS-2677 Del Jones Analog Devices Technical Article

アナログ・デバイス株式会社

本 社 〒 105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル10F
大 阪 営 業 所 〒 532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー10F
名 古 屋 営 業 所 〒 451-6040 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 40F

©2017 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有物に属します。
Printed in JAPAN G00001j-0-2/17(A)

analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™