

JESD204B によるシステム問題の解決

著者:

Ian Beavers

アナログ・デバイセズ

アプリケーション・エンジニア

JESD204B シリアル・データ・リンク・インターフェースは、高速コンバータへの更なる高速化需要をサポートするために開発されました。この第 3 世代の規格は、高い最大レーン・レート (チャンネルあたり最大 12.5 Gbps)、データミニステック・レーテンシー、高調波フレーム・クロックをサポートします。さらに、汎用 FPGA と互換性と拡張性を持つ高性能コンバータとの組み合わせにより、大量のデータを容易に処理できるようになりました。

FPGA プロバイダは、何年間もマルチギガビット・シリアルライゼーション/デシリアルライゼーション (SERDES) インターフェースについて提案していましたが、これまで大部分の A/D コンバータ (ADC) と D/A コンバータ (DAC) には、これらの高速シリアル・インターフェースが採用されず、FPGA とコンバータは、SERDES の広帯域幅を利用した共通規格を使ってインターフェースすることはありませんでした。JESD204B 準拠のコンバータはこの問題を解決することができますが、この新しい機能により幾つかの課題が発生しています。

8b/10b エンコーディングとは？、何故 JESD204B インターフェースで必要か？

ランダムなエンコードされていないシリアル・データの差動チャンネルでは、信号の DC バランスを保証することができません。これは、送信される多数の 1 または 0 が互いに他に対して均等でないことが容易に発生するためです。シリアル・リンクを介して送信されるランダム・データでも、長時間の無動作か、またはすべて 1 または 0 が比較的長時間続くデータであることがあります。

これが発生すると、DC バランスが一方の電源レールまたは他方の電源レールへ傾きます。この時、アクティブなデータが再開されると、差動ラインのバイアスが再設定されるため、ビット・エラーの可能性が高くなります。更に、差動 DC 電圧が対の片方より一方に長く維持されるために生ずる懸念点があり、それはエレクトロマイグレーションです。これらの問題に対処するため、JESD204B などの差動シリアル・データ・ストリームでは、8b/10b エンコーディング方式が広く採用されています。

8b/10b エンコーディングでは、ルックアップ・テーブルを使い 8 ビットの情報をソース・トランスミッタから送信するために 10 ビットに変換します。この場合、25% ($10b/8b = 1.25$) のオーバーヘッドが発生します。さらに、このエンコーディングでは、10 ビット・シンボルあたり 3~8 ビット変化が可能です。これは、元データのダイナミック動作とは無関係に、レシーバが組み込みクロックを再生するために十分な変化を保証します。

シリアルデータのストリーム内の 0 と 1 の数の不一致は、8b/10b エンコーディングを使うことで ± 1 以内に維持されているため、DC バランスを所望の時間内において維持することができます。10 ビットから 8 ビットへのデコーディングは、レシーバ側でデータ・ストリームに対して行い、ルックアップ・テーブルを使って元のデータへ戻す必要があります。同じ原理で動作し、3.125% と小さいオーバーヘッドに出来る効率の良い 64b/66b エンコーディングは、更に高度です。JESD204 の将来世代で使用される可能性があります。

コンバータで割り当てた JESD204B のレーンがボード上の FPGA への配線が容易にできません。配線の交差がボード上で全体的に発生しているため、全体としてクロストークに弱くなっています。レイアウトを容易にするため JESD204B のレーンを再割り当てする方法はありませんか？

コンバータは、リンク全体で特定の関係を指定する番号、文字、またはその他の名前前で定義付けした JESD204B シリアル・レーンを持つことができますが、固定である必要はありません。仕様では、各レーンとデバイスがユニークな識別を持つ限り、初期設定データの再割当てを許容しています。リンク設定データには、動作を識別する、デバイスとレーンの識別番号が含まれています。複数レーン・トランスミッタはこの情報により、クロスバー・マルチプレクサを使って任意のデジタル論理シリアル・データを任意の物理出力レーンへ容易に再割当てすることができます。

仕様が許容するのはオプション機能ですが、ADC ベンダーが論理出力を物理出力へ再割当てするクロスバー・マルチプレクサ機能を持つ場合、レイアウトを容易にする最適なリンク I/O を再設定することができます。FPGA レシーバは同じ初期設定データを取得し、割当てられたレーンに変更してデータを再現することができます。この機能を使うと、1 つのデバイスから他のデバイスへのレーンの配線は容易に、かつデータシートに記載された初期の割り当てた名前と無関係に可能になります。

JESD204B マルチポイント・リンクを使用するシステム上でコンバータ部の設計を検討しています。シングル・リンクとはどのように違いますか？

JESD204B 仕様では、マルチポイント・リンク・インターフェースと呼ばれるものをサポートしています。これは、3 個以上の JESD204B デバイスを接続する通信リンクです。このリンク構成は、コンバータの使い方に応じて、シングル・リンクで意味を持つ場合があります。

例えば、JESD204B を使用するデュアル ADC の場合を取り上げます。多くの場合、デュアル ADC は両コンバータに対して 1 つのクロック入力を持ちます。このため、同じ周波数での同時サンプリングになってしまいますが、2 つの個別クロックも使用するユニークなアプリケーションでは、各クロックがそれぞれの ADC を独立に駆動することができます。これにより、2 個の ADC 間でサンプリング位相差を許容するか、または互いに非コヒーレントな周波数で各 ADC をサンプルすることになります。後者の場合、データが両コンバータからくるシングル JESD204B リンクは、後方に複雑な FIFO がないと正常に動作しません。

この問題に対するソリューションは、デュアル・コンバータでマルチポイント・リンク JESD204B インターフェースを使用することです。この場合、各コンバータ・チャンネルでは固有のシリアル・リンク出力を使います。そうすると、非コヒーレント・クロックを各 ADC で使うことができ、各シリアル・リンク出力は、個々の FPGA または ASIC へ独立に容易に配線することができます。1つの FPGA から複数の DAC へ複数ストリームのデータを送信する際に、マルチポイント・リンク構成も使用することができます。デバイス・クロック分配スキューをマルチポイント構成内で小さくすることはさらに困難なことです。これは、リンク内のデバイス数が多くなるためです。

JESD204B 内のデターミニスティック・レーテンシーとは何ですか？これはコンバータの総合遅延と同じですか？

ADC の総合遅延は、サンプルされるアナログ信号が入力され、信号処理の後、デバイスからデジタル的に出力されるまでに要する時間です。同様に、DAC の総合遅延は、デジタル・サンプル・データがデバイスへ入力されてアナログ信号が出力されるまでの時間です。一般に、これらは周波数に無関係であるため、両方とも分解能のサンプル・クロック周期で測定されます。これは基本的に、JESD204B リンク・インプリメンテーションで規定されているデターミニスティック・レーテンシーと同じ定義ではありません。

JESD204B リンクでのデターミニスティック・レーテンシーは、データがトランスミッタ (ADC またはソース側 FPGA) のパラレルでフレーム化されたデータ入力からレシーバ (DAC またはレ

シーバ側 FPGA) のパラレルで非フレーム化されたデータ出力まで伝搬するために要する時間により定義されます。この時間は一般に分解能のフレーム・クロック周期またはデバイス・クロック数で測定されます (図 1)。この定義は、ADC のアナログ・フロントエンド・コアと DAC のバックエンド・アナログ・コアを除外しています。この遅延計算で 2 つのデバイスが関数であるだけでなく、2 つをインターフェースさせるシリアル・データ信号でも関数となります。これは、JESD204B レーン配線長に応じて、マルチコンバータ・システムまたはマルチポイント・リンク内でデターミニスティック・レーテンシーは大きくも、小さくもなることを意味します。レシーバのバッファ遅延は、配線による遅延差への対処で役立ちます。

JESD204B ではテール・ビットをどのように使い、その目的は何ですか？

JESD204B リンクでは、コンバータ・データとコントロール・ビットを送信するために実際に必要な量より多くの情報量を割り当てることができます。特定のコンバータまたは設定に対するデータが全体を埋めない場合、この「パディング (padding)」は、テール・ビットと定義されたもので埋められます。例えば、 $N' = 16$ の量のスペースが実データを詰める 13 ビットより多い場合 ($N = 13 + CS = 0$) を取り上げます。3 ビットのテール・ビットを使って未使用データ・スペースを埋めます (図 2)。

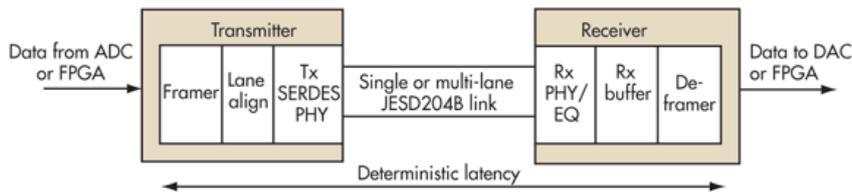


図 1. 接続された 2 つのデバイス上のフレームとデフレーマの間の JESD204B デターミニスティック・レーテンシーの概念的例 遅延はトランスミッタ

レシーバ、2 つの間のインターフェース伝搬時間の 3 つ変数の関数

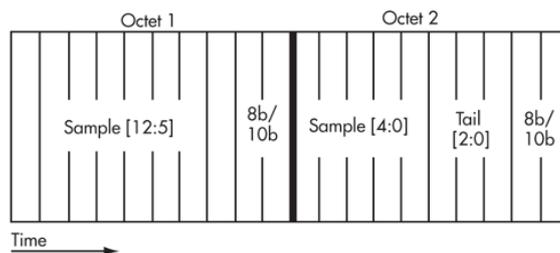


図 2. コンバータが 13 ビットだけのサンプル・データを使う場合、 $N' = 16$ に対して 3 ビットのテール・ビットを使って 2 つ目のオクテットを埋めます

テール・ビットは情報のないダミー・ビットで、未使用スペースを完全に埋めるためにのみ使用されます。すべてのテール・ビットに繰り返しのスタティック値を割り当てると、テール・ビットは不要なスプリアス・ノイズを発生させる可能性があるため、オプションで擬似ランダム・シーケンスとして与えることもできます。トランスミッタとレシーバは、リンク設定に基づいてこれらのビットには情報が含まれないことを理解する必要があります。このため、レシーバはデータ・ストリームから単純にこれらを無視することができます。

リンク・パターンは正常に機能しますが、通常動作モードでコンバータ・データを送信できません。旧世代のコンバータでは低電圧差動シグナリング (LVDS) やパラレル・インターフェースがあり、コンバータ動作が正常に動作しているかどうか、DAC または ADC の最下位ビット (LSB) ピンまたは最上位ビット (MSB) ピンを容易にプロービング/デバッグできました。JESD204B インターフェースを使う際、MSB または LSB をどのようにプロービングできますか？

これは、JESD204B インターフェースの少ない欠点の 1 つです。コンバータに対して正常な動作であるか否かを確認するために、LSB または MSB の I/O を確認することは容易ではありません。サンプル・データがチャンネルごとにシリアル化されているので、特定のビットを電氣的にプローブできないためです。ただし、有効なデータ(存在する場合)が送信されている、またはコンバータから受信されていることを迅速に知りたい場合、幾つかのオプションを使って、デバッグすることができます。

幾つかのオシロスコープ・メーカーでは、8b/10b データをデコードし、オシロスコープ・スクリーン上にデコードされたストリームを表示するリアルタイム・データ処理機能を搭載した装置を提供しています。非スクランブル・データはこの方法でプローブできるため、リンクで起きている動作を確認することができます。

FPGA メーカーでは、コンピュータに USB ドングルを接続して、FPGA 内部で送受信した I/O データを観測する内部プロービング・ソフトウェア・ツールを提供しています。また、ASIC やコンバータでは、リンク上のデータ解読問題の支援に使える内部シリアル・ループバック・セルフテスト・モードを搭載していることもあります。

リンクの他のパラメータが与えられたとき、コンバータのレーン・レートはどのように計算しますか？

JESD204B を使用するシステム設計者は、コンバータ、ASIC、または FPGA の他の情報が与えられたとき、レーン数またはリ

ンクのレーン・レートを容易に計算することができます。以下の基本リンク・パラメータは、1 個の未知変数を計算して求めることができます。計算結果を使用して、コンバータまたは FPGA アーキテクチャの範囲内でリンク動作を変更する他のパラメータを選択することができます。

$$\text{レーン・レート} = (M \times N' \times [108] \times F_s) / L$$

ここで、

- M はリンク上のコンバータ数。
- N' は 1 サンプル内で送信される情報ビット数 (サンプル分解能、コントロール・ビット、テール・ビットを含む)。
- F_s はデバイス・クロックまたはサンプル・クロック。
- L はレーン数。
- レーン・レートは、シングル・レーンのビット・レート。
- 108 は、8b/10b エンコーディングにより生ずるリンク・オーバーヘッド。

例えば、 $N' = 16$ 、 $F_s = 235$ MHz、2 レーンのデュアル ADC の場合、レーン・レートは？

$$\text{レーン・レート} = [2 \times 16 \times 1.25 \times 235 \text{ MHz}] / 2$$

$$\text{レーン・レート} = 4700 \text{ Mbps すなわち } 4.7 \text{ Gbps}$$

アプリケーション層とは？ どういった動きをしますか？

アプリケーション層は、サンプル・データを通常仕様とは別に対応させることを可能にする、JESD204B 用に提供される 1 つの方法です。これは、リンクの N' とは相対的に異なるサイズでデータ・サンプルを渡す必要があるコンバータ・モードにとって役立ちます。

アプリケーション層を使用することで、リンク上の効率の悪い配置を、少ないレーン数または低いレーン速度で効率良くすることができます。特定のコンバータ・モードによりカスタム設計または独自設計ができるため、特定のアプリケーション層を理解するようにトランスミッタとレシーバを設定する必要があります。図 3 に、5 個のサンプルを通常 4 個で使う 1 つのスペースに分割する例を示します。

アプリケーション層計算に前述の式を使う場合、実際の N' ではなく実効 N' を使う必要があります。例えば、下に示すアプリケーション層の場合、実際の JESD024B サンプル N' は 16 ですが、5 個のサンプルを送信するために 64 ビットを使うので、ADC サンプルの実効 N' を計算することができます。したがって、 $N_{\text{eff}} = 64/5 = 12.8$ となります。他のすべての変数を変えない場合、レーン・レートは次のように 20% 低くなります。

$$N_{\text{eff}}/N' = 12.8/16 = 0.8$$

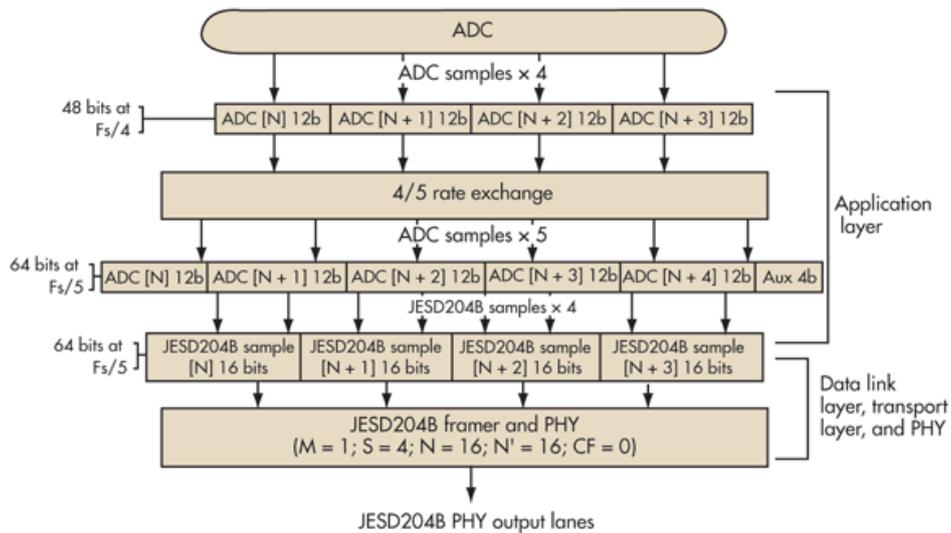


図 3. ADC アプリケーション層は 5 個の 12 ビット ADC サンプルを 4 個の JESD204B $N' = 16$ サンプルに使用されるスペースへ再割当てすることができます。4 ビットの余分な補助情報は他の用途に使うことができます。

次は何ですか？

データ・コンバータ・マーケット内で JESD204B の採用が増えると、FPGA プラットフォームに関する知財 (IP) 製品が採用拡大に役立ちます。多くのエンジニアが参加して新しいシステムの設計が開始されると、このテーマの議論は、より複雑になりますが、広がりを見せると思われます。

著者について

Ian Beavers は、アナログ・デバイセズ(Greensboro, N.C)の高速コンバータ・チームのアプリケーション・エンジニアです。彼は、1999 年から会社に勤務しました。彼は半導体業界で 15 年の経験を持っています。彼は、North Carolina State University から電気工学の学士号を、University of North Carolina at Greensboro から MBA を、それぞれ取得しました。Ian.Beavers@analog.com を使って彼に連絡することができます。

参考資料

JESD204B。 www.analog.com/jp/jesd204。

リソース

この資料を



で共有してください。