

JESD204B サバイバル・ガイド

世界的なデータ・コンバータ・マーケット・シェア・リーダ*からの
JESD204B の実用的な技術情報、ヒント、アドバイス



* 調査会社 Databeans 社の「2011 Data Converters Report」では、
アナログ・デバイセズは競合 8 社の合計を上回り世界データ・コンバータ・マーケット・シェアの 48.5% を占めています。

目次

MS-2374: JESD204 とは何ですか、何故注目するのですか? 2

MS-2304: 高速コンバータ・サバイバル・ガイド: デジタル・データ出力 6

MS-2442: 広帯域データ・コンバータ・アプリケーション用インターフェースの考慮事項: JESD204B 対シリアル LVDS 10

MS-2448: JESD204B インターフェースを動作させる際のクリティカルな問題の理解 14

MS-2433: JESD204B を使用する複数 ADC の同期..... 21

MS-2447: JESD204B トランスミッタの 3 つの重要な物理層(PHY)の性能測定基準 23

MS-2446:インターリーブ ADC の初歩..... 31

MS-2438: 高速データ・コンバータ用の新しい高速 JESD204B 規格における検証問題 36

MS-2503: JESD204B によるシステム問題の解決 44

MS-2672: JESD204B サブクラス (パート 1): JESD204B サブクラスとデターミニスティック・レーテンシーの紹介 48

MS-2677: JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項..... 54

MT-201: FPGA と A/D コンバータ・データ出力とのインターフェース 60

JESD204 の関連情報 70

JESD204 とは何ですか、何故注目するのですか？

著者

Jonathan Harris

アナログ・デバイス

アプリケーション・エンジニア

新しいコンバータ・インターフェースへの採用が着実に増えており、将来のコンバータの最適なプロトコルになるものと思われます。この新しいインターフェース JESD204 は、数年前に制定されましたが、コンバータ・インターフェースをさらに魅力的かつ効率的にするための改訂が今も行われています。コンバータの分解能と速度が向上するにつれて、効率良いインターフェースに対する要求が強くなっています。JESD204 インターフェースはこの効率を実現し、さらに速度、サイズ、コストの面で先行する CMOS インターフェースおよび LVDS インターフェースに比べて幾つかの利点も提供します。JESD204 を採用した設計では、コンバータ・サンプリング・レートの高速化に合わせたインターフェースの高速化を実現しています。さらに、ピン数の削減が可能になるため、パッケージの小型化とパターン配線数の削減が可能となり、ボード設計が簡素化され、システム全体コストが削減されます。この規格は、将来のニーズに適應できるようになっています。この機能は、改定された 2 つのレビジョンで既に提示されています。JESD204 規格には 2006 年の制定以来 2 つのレビジョンがあり、現在はレビジョン B です。コンバータメーカーとユーザー、さらに FPGA メーカーによるこの規格の採用が増えるにつれて、改良が進み、効率と使い易さを改善する新しい機能が追加されました。この規格は、A/D コンバータ(ADC)と D/A コンバータ(DAC)に適用され、主に FPGA に対する共通インターフェースとすることを目的にしました(ASIC でも使用可能)。

JESD204—とは？

2006 年 4 月に、JESD204 のオリジナル・バージョンがリリースされました。この規格は、FPGA または ASIC のようなデバイスで構成されるレシーバとコンバータとの間でマルチギガビット・シリアル・データ・リンクに関する規定です。JESD204 のこのオリジナル・バージョンでは、1 個のコンバータまたは複数のコンバータと 1 個のレシーバとの間のシングル・シリアル・レーンに対してシリアル・データ・リンクが定義されました。図 1 に説明図を示します。表示したレーンは、M 個のコンバータと 1 個のレシーバとの間の物理インターフェースを表し、電流モード・ロジック (CML) のドライバとレシーバを採用した差動対の相互接続で構成されています。表示したリンクは、コンバータとレシーバとの間で確立されるシリアル化されたデータ・リンクを表します。

フレーム・クロックは、コンバータとレシーバに接続され、デバイス間の JESD204 リンクにクロックを供給します。

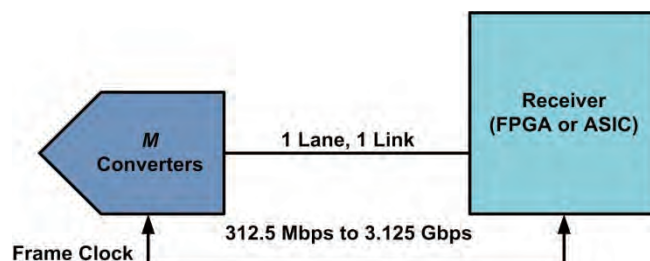


図 1. JESD204 のオリジナル規格

レーン・データレートは毎秒 312.5 メガビット (Mbps) から毎秒 3.125 ギガビット (Gbps) の範囲に、ソース・インピーダンスと負荷インピーダンスは $100\ \Omega \pm 20\%$ に、それぞれ規定されています。差動電圧レベルは公称 800 mV ピーク to ピークに、同相モード電圧レベルは 0.72 V から 1.23 V の範囲に、それぞれ規定されています。リンクではクロックを組み込んだ 8b/10b エンコーディングを採用しているため、クロック・ラインの追加が不要となり、さらに追加クロック信号と送信されるデータを高いデータレートで位相を揃える煩雑さがなくなります。JESD204 規格が広く採用されるにつれて、複数のシリアル・レーンと複数のコンバータとの間での位相を揃えることで、コンバータの速度と分解能を向上させるように規格改定の必要性が明らかになりました。これは 2008 年 4 月に JESD204 規格の最初のレビジョンで実現され、JESD204A と呼ばれています。このレビジョンでは、複数のシリアル・レーンと複数のコンバータとの間で位相を揃える機能がサポートされるようになりました。312.5 Mbps から 3.125 Gbps をサポートするレーン・データレート、フレーム・クロック、電氣的インターフェース仕様は、変更されていません。複数のシリアル・レーン間で位相を揃える機能をサポートするように規格が強化されたため、コンバータは高いサンプル・レートと高い分解能で最大 3.125 Gbps のデータレートをサポートすることができるようになりました。図 2 に、複数レーンをサポートするために JESD204A レビジョンで追加された機能を示します。

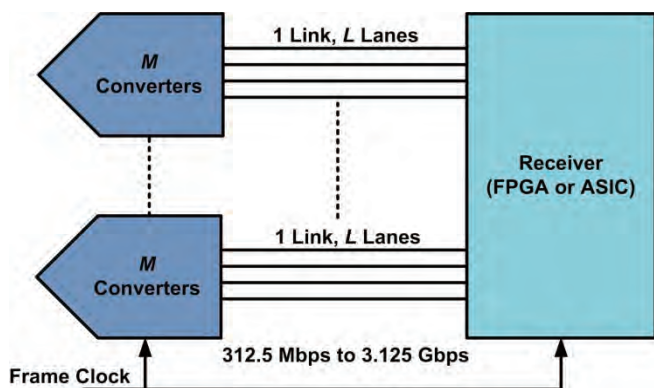


図 2. 最初のレビジョン—JESD204A

オリジナルの JESD204 規格と改定された JESD204A 規格は旧型インターフェースよりは高い性能を持っていましたが、まだ重要な要素が欠如していました。その要素とは、リンク上のシリアル化されたデータでのデターミニスティックレーテンシーでした。コンバータを扱う際、サンプルされた信号とデジタル値との間のタイミング関係を知ることが重要です。これは、信号を受信した後にサンプルされた信号をアナログ領域に正しく戻すために知る必要があります (これは ADC の場合ですが、DAC の場合も同じです)。このタイミング関係は、コンバータの遅延から影響を受けます。このコンバータ遅延は、ADC の場合、入力信号のサンプリング・エッジからデジタル値がコンバータ出力に現れるまでの間のクロック・サイクル数として規定されます。同様に、DAC の場合、遅延はデジタル信号が DAC に入力されるタイミングからアナログ出力が変化を開始するまでの間のクロック・サイクル数として規定されます。JESD204 規格と JESD204A 規格では、コンバータとそのシリアル化されたデジタル入力/出力の遅延を定める規定はありませんでした。さらに、コンバータの速度と分解能は向上し続けていました。これらの要因により、規格の第 2 レビジョン JESD204B が制定されました。

2011 年 7 月に、規格の現レビジョンである第 2 レビジョン JESD204B がリリースされました。改定された規格の重要部分の 1 つは、デターミニスティック・レーテンシーを前レビジョンに追加したことです。さらに、サポートするデータレートを 12.5 Gbps に上げて、デバイスを速度グレードで分類したことです。このレビジョンでは、フレーム・クロックをメイン・クロック・ソースとして使用することから、デバイス・クロックをメイン・クロック・ソースとして使用することへ変更しました。図 3 に、JESD204B レビジョンで追加された機能を示します。

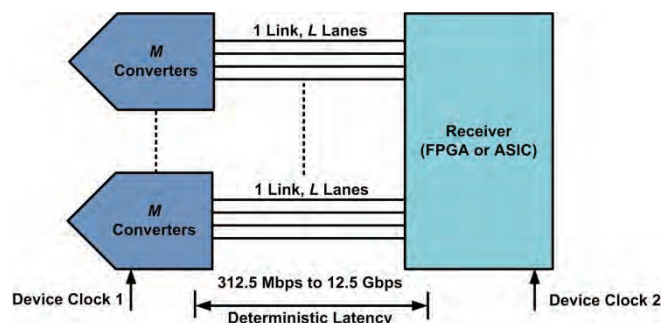


図 3. 第 2 レビジョン(現レビジョン)—JESD204B

JESD204 規格の前の 2 つのバージョンでは、インターフェースのデターミニスティック・レーテンシーの規定がありません。JESD204B レビジョンでは、パワーアップ・サイクル間およびリンク間での再同期時に、遅延の再現性と決定性 (デターミニスティック) を維持するメカニズムを規定することによりこの問題を改善しました。これを実現する 1 つの方法は、SYNC~と呼ばれる入力信号を使って、すべてのレーン間で明確なタイミングでコンバータの初期レーン・アライメント・シーケンスを同時に開始させることにより実現する方法です。もう 1 つの方法は、JESD204B に対して新しく定義された信号である SYSREF 信号を使う方法です。この SYSREF 信号は、マスター・タイミング・リファレンスとして機能し、デバイス・クロックのすべての内部分周器および各トランスミッタとレシーバのローカル・マルチフレーム・クロックの位相を一致させます。これが、システムでのデターミニスティック・レーテンシーの確立に役立ちます。JESD204B 仕様では、サブクラス 0—デターミニスティック・レーテンシーのサポートなし、サブクラス 1—SYSREF を使用するデターミニスティック・レーテンシー、サブクラス 2—SYNC~を使うデターミニスティック・レーテンシーの 3 つのデバイス・サブクラスを規定しています。サブクラス 0 は、単純に JESD204A リンクに対比することができます。サブクラス 1 は主に 500 MSPS 以上で動作するコンバータを対象にし、サブクラス 2 は主に 500 MSPS 未満で動作するコンバータを対象にしています。

JESD204B バージョンでは、デターミニスティック・レーテンシーの他に、サポートするレーン・データレートを 12.5 Gbps に上げて、デバイスを 3 種類の速度グレードに分類しています。ソース・インピーダンスと負荷インピーダンスは、3 種類の全速度グレードで同じで $100\ \Omega \pm 20\%$ に規定されています。1 つ目の速度グレードは、規格の JESD204 バージョンと JESD204A バージョンのレーン・データレートに一致し、最大 3.125 Gbps のレーン・データレートに対する電氣的インターフェースを規定しています。JESD204B の 2 つ目の速度グレードでは、最大 6.375 Gbps のレーン・データレートに対する電氣的インターフェースを規定しています。この速度グレードでは、最小差動電圧レベルを最初の速度グレードの 500 mVp-p から 400 mVp-p へ低下させています。JESD204B の 3 つ目の速度グレードでは、最大 12.5 Gbps のレーン・データレートに対する電氣的インターフェースを規定しています。この速度グレードでは、電氣的インターフェースに要求される最小差動電圧レベルを 360 mVp-p へ低下させています。

速度グレードに対してレーン・データレートが大きくなるにつれて、ドライバの所要スルーレートを小さくして物理的に容易に実現できるようにするため、所要最小差動電圧レベルを小さくしています。

柔軟性を高くするため JESD204B レビジョンでは、フレーム・クロックからデバイス・クロックへ変更しています。前の JESD204 レビジョンと JESD204A レビジョンでは、フレーム・クロックが JESD204 システムの絶対的なタイミング・リファレンスでした。一般に、フレーム・クロックとコンバータのサンプリング・クロックは同じでした。これでは柔軟性が低いため、同じ信号を複数のデバイスへ配線し、異なる配線パス間のスキューを考慮すると、システム設計が複雑になってしまうことがあります。JESD204B では、デバイス・クロックが JESD204 システム内の各要素に対するタイミング・リファレンスになります。クロック・ジェネレータ回路は共通のソースからすべてのデバイス・クロックを発生し、各コンバータとレシーバはこのクロック・ジェネレータ回路からそれぞれのデバイス・クロックを受信します。これによりシステム設計では柔軟性が高くなりますが、与えられたデバイスに対してフレーム・クロックとデバイス・クロックとの間の関係を規定する必要があります。

JESD204—注目する理由

数年前からコンバータのデジタル・インターフェースに対する最適な技術として LVDS が CMOS を置き換え始めたのと同じ様に、次の数年で JESD204 が同じ道を進むものと思われます。CMOS 技術はまだ使われていますが、多くの場合 LVDS で置き換えられています。コンバータの速度と分解能への要求、さらに低消費電力化への要求により、CMOS と LVDS はコンバータに対して不十分になります。CMOS 出力でデータレートが高くなると、過渡電流も増えて、消費電力が大きくなります。LVDS に関しては、電流とは言え、消費電力が比較的平坦なままですが、インターフェースにはサポートできる速度に上限があります。この上限は、ドライバ・アーキテクチャから生じ、さらにデータ・クロックに同期が必要な多数のデータラインにも起因します。図 4 に、デュアル 14 ビット ADC の CMOS 出力、LVDS 出力、CML 出力に対する様々な消費電力条件を示します。

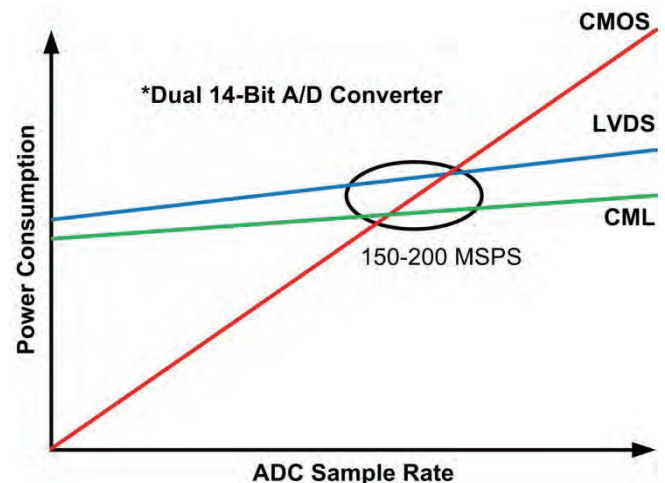


図 4. CMOS ドライバ、LVDS ドライバ、CML ドライバの消費電力

分解能が 14 ビットのとき 150 MSPS～200 MSPS で、CML 出力ドライバの消費電力効率が良くなり始めます。CML ではデータをシリアル化するため、LVDS ドライバと CMOS ドライバに比べて、与えられた分解能に対して出力対の数が少なく済む利点があります。JESD204B インターフェースに対して規定された CML ドライバには、さらに利点があります。これは、サンプル・レートの増加につれてピーク to ピーク電圧レベルを小さくする規定があり、出力ライン・レートを高くすることができるためです。同じコンバータ分解能とサンプル・レートに対して必要とされるピン数も大幅に削減されます。表 1 に、200 MSPS コンバータを使用する 3 種類のインターフェース、種々のチャンネル数、ビット分解能に対するピン数を示します。このデータでは、CMOS 出力と LVDS 出力の場合は各チャンネルのデータに同期クロックを想定し、CML 出力を使用する JESD204B データ転送では 4.0 Gbps の最大データレートを想定しています。CML ドライバを使用する JESD204B への進展理由は、この表および削減可能なピン数から明らかです。

表 1. ピン数の比較—200 MSPS ADC

Number of Channels	Resolution	CMOS Pin Count	LVDS Pin Count (DDR)	CML Pin Count (JESD204B)
1	12	13	14	2
2	12	26	28	4
4	12	52	56	8
8	12	104	112	16
1	14	15	16	2
2	14	30	32	4
4	14	60	64	8
8	14	120	128	16
1	16	17	18	2
2	16	34	36	4
4	16	68	72	8
8	16	136	144	16

アナログ・デバイセズはデータ・コンバータでのマーケット・リーダーであり、JEDEC が制定した JESD204 インターフェースに向かってコンバータのデジタル・インターフェースが進んでいく傾向を予測していました。アナログ・デバイセズは、最初の JESD204 仕様がリリースされたときから規格にかかわっています。現在まで、アナログ・デバイセズは JESD204 と JESD204A に準拠した出力を持つ複数のコンバータの量産を開始しています。さらに、JESD204B に準拠した出力を持つ製品も開発中です。AD9639 はクワッド・チャンネル 12 ビット 170 MSPS/210 MSPS の ADC で JESD204 インターフェースを内蔵しています。AD9644 と AD9641 は、それぞれ 14 ビット 80 MSPS/155 MSPS のデュアルとシングルの ADC で、JESD204A インターフェースを内蔵しています。DAC については、最近リリースされた AD9128 はデュアル 16 ビット 1.25 GSPS DAC で、JESD204A インターフェースを内蔵しています。JESD204 に関するアナログ・デバイセズの取り組みについては、www.analog.com/jp/jesd204 をご覧ください。

コンバータの速度と分解能が向上するにつれて、さらに効率良いデジタル・インターフェースに対する要求が増えます。業界は、JESD204 シリアル化データ・インターフェースによりこれの実現を開始しました。このインターフェース仕様は、コンバータと FPGA (または ASIC) との間でデータを送信する優れた高速な方法を提供するため、進化を続けてきました。このインターフェースには、構成を向上させ、高速高分解能のコンバータからの増え続ける要求を満たすための 2 つのレビジョンがあります。コンバータのデジタル・インターフェースの将来を予測すると、コンバータに対する最適なデジタル・インターフェースとして JESD204 を業界が選択することは明白です。各レビジョンは構成の向上に対する要求に応え、コンバータ技術の変化からもたらされる新しい条件に対応するため規格が進化するこ

とを許容してきました。システム設計が複雑になり、コンバータ性能が高度化すると、JESD204 規格の適用が進み、新しい設計条件の要求を満たし続けるために進化します。

参考資料

JEDEC Standard JESD204 (2006 年 4 月)。JEDEC Solid State Technology Association。 www.jedec.org。

JEDEC Standard JESD204A (2008 年 4 月)。JEDEC Solid State Technology Association。 www.jedec.org。

JEDEC Standard JESD204B (2011 年 7 月)。JEDEC Solid State Technology Association。 www.jedec.org。

リソース

この資料を
してください。



で共有

著者について

Jonathan Harris は、アナログ・デバイセズ (Greensboro, NC) の高速コンバータ・グループのプロダクト・アプリケーション・エンジニアです。彼は、アプリケーション・エンジニアとして 7 年以上の経験を持ち、RF 業界で製品をサポートしてきました。彼は Auburn University から MSEE を、UNC-Charlotte から BSEE を、それぞれ取得しています。 jonathan.harris@analog.com を使って彼に連絡することができます。

高速コンバータ・サバイバル・ガイド: デジタル・データ出力

著者

Jonathan Harris

アナログ・デバイスズ

アプリケーション・エンジニア

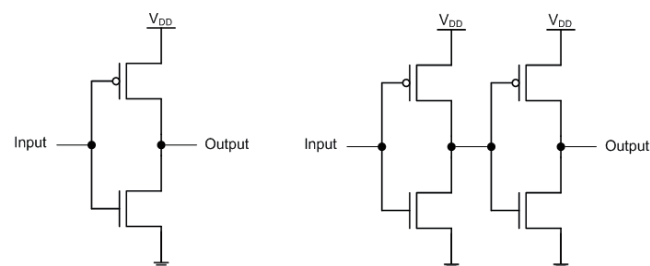
背景

多くの A/D コンバータ (ADC) の中から選択する際、1 つの重要なパラメータとなるのは、内蔵しているデジタル・データ出力のタイプです。現在、高速コンバータで採用されている一般的なデジタル出力のタイプは 3 つあり、CMOS、低電圧差動シグナリング (LVDS)、電流モード・ロジック (CML) です。ADC で採用されているこれらの各デジタル出力タイプには利点と欠点があり、設計者は特定のアプリケーションに対してこれらを考慮する必要があります。これらのファクタは、ADC のサンプリング・レートと分解能、出力データレート、システム設計の電源条件、その他に依存します。この資料では、各出力タイプの電氣的仕様を説明し、特定のアプリケーションに対して各タイプが適する理由も説明します。各タイプの物理的構成、効率、最適なアプリケーションについて、これらのタイプの出力を比較します。

CMOS デジタル出力ドライバ

200 MSPS より低いサンプル・レート of ADC では、デジタル出力が CMOS であることが一般的です。使用されている一般的な CMOS ドライバは、電源 (V_{DD}) とグラウンドの間に接続された NMOS と PMOS の 2 個のトランジスタで構成されています (図 1a 参照)。この構造では出力が反転します。出力の反転を回避するため図 1b に示す同じものを 2 個接続した構造を使用することができます。CMOS 出力ドライバの入力インピーダンスは高く、出力インピーダンスは低くなっています。ドライバ入力で、2 個の CMOS トランジスタのゲート・インピーダンスは非常に高くなっています。これは、ゲート酸化物でゲートが導体から絶縁されているためです。入力インピーダンスは、 $k\Omega \sim M\Omega$ の範囲です。

ドライバの出力インピーダンスは一般に小さく、ドレイン電流 I_D により支配されます。この場合、インピーダンスは数百 Ω より小さい値です。CMOS の電圧レベルは、ほぼ V_{DD} からグラウンドまで変化するため、 V_{DD} の大きさに大きく依存します。



a) 反転出力

b) 非反転出力

図 1. 一般的な CMOS デジタル出力ドライバ

入力インピーダンスが高く、出力インピーダンスが比較的低いため、CMOS の利点は 1 つの出力で複数の CMOS 入力を駆動できることです。CMOS のもう 1 つの利点はスタティック電流が小さいことです。電流が大きくなる唯一の瞬間は、CMOS ドライバのスイッチング時です。ドライバがロー状態 (グラウンド) またはハイ状態 (V_{DD}) にある場合、ドライバを流れる電流はほとんどありませんが、ドライバがロー状態からハイ状態へまたはハイ状態からロー状態へスイッチングする際に、 V_{DD} からグラウンドへの低抵抗パスが瞬時的に生じます。この過渡電流が、200 MSPS を超えるコンバータ速度で出力ドライバに他の技術が使用される主な理由の 1 つになっています。

注意すべきもう 1 つの理由は、コンバータの各ビットに CMOS ドライバが必要になることです。コンバータが 14 ビットの場合、これらの各ビットを送信するために 14 個の CMOS 出力ドライバが必要になります。一般に、与えられた 1 つのパッケージには複数のコンバータが内蔵されており、1 個のパッケージに最大 8 個のコンバータが内蔵されることは普通です。CMOS 技術を使用する場合、データ出力だけのために最大 112 本の出力ピンが必要になることを意味します。これはパッケージの面から望ましくないだけでなく、消費電力が高くなり、さらにボード・レイアウトが複雑になる点でも望ましくありません。これらの問題を解決するために、低電圧差動シグナリング (LVDS) を採用したインターフェースが導入されました。

LVDS デジタル出力ドライバ

LVDS は、CMOS 技術に対して幾つかの利点を持っています。約 350 mV の低電圧信号で動作し、シングルエンドではなく差動です。電圧振幅が小さいほどスイッチング時間が高速になり、EMI 問題も小さくなります。

差動であるため、同相モード除去の利点もあります。これは、信号に混入するノイズが両信号パスに共通になる傾向があるため、差動レシーバで大部分が相殺されることを意味します。LVDS のインピーダンスは、より厳しく制御する必要があります。LVDS では、負荷抵抗が約 $100\ \Omega$ である必要があり、LVDS レシーバで並列終端抵抗により実現されています。さらに、LVDS 信号はインピーダンスを制御した伝送線を使って配線する必要があります。シングルエンドでは $50\ \Omega$ インピーダンスが必要とされますが、差動インピーダンスは $100\ \Omega$ に維持されます。図 2 に一般的な LVDS 出力ドライバを示します。

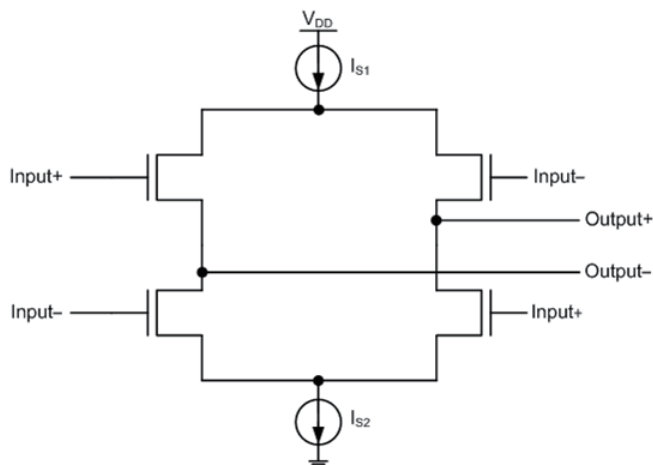


図 2. 一般的な LVDS 出力ドライバ

図 2 の LVDS 出力ドライバ回路に見られるように、回路動作により出力電源に対して固定の DC 負荷電流が発生します。これにより、出力ロジック状態が変化する場合に一般的な CMOS 出力ドライバで生じる電流スパイクが回避されます。回路の公称ソース/シンク電流が 3.5 mA に設定されているため、代表的な出力電圧振幅は $100\ \Omega$ 終端抵抗で 350 mV になります。回路の同相モード・レベルは一般に 1.2 V に設定されているため、 3.3 V 、 2.5 V 、 1.8 V の電源電圧と互換性があります。

LVDS インターフェースを規定するために 2 つの規格が書かれています。最も一般的に使用されているのは、「Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits」と呼ばれている ANSI/TIA/EIA-644 仕様です。もう 1 つは、「IEEE Standard for Low Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)」と呼ばれる IEEE standard 1596.3 です。

LVDS は、信号配線の物理レイアウトに特別な注意が必要ですが、サンプリング速度が 200 MSPS 以上の場合コンバータに多くの利点があります。LVDS ドライバの電流は一定であるため、CMOS のように大きな電流を必要としないで、多くの出力を駆動することができます。さらに、LVDS をダブル・データレート (DDR) モードで動作させることができます。

この DDR モードでは同じ LVDS 出力ドライバを使って 2 ビットのデータを配線することができます。これにより、所要ピン数を CMOS に比べて半分に減らすことができます。さらに、同じデータ出力数での消費電力が削減されます。LVDS はコンバータのデータ出力に対して CMOS より多くの利点を提供しますが、CMOS の場合と同様に限界があります。コンバータの分解能が向上するほど、LVDS インターフェースで要求されるデータ出力数が PCB レイアウトで困難な問題になります。さらに、コンバータのサンプル・レートが、インターフェースの所要データレートを LVDS の能力を超えて押し上げています。

CML 出力ドライバ

コンバータのデジタル出力インターフェースでの最新の傾向は、電流モード・ロジック (CML) 出力ドライバを採用したシリアル化インターフェースの使用です。一般的に、高分解能 (14 ビット以上)、高速 (200 MSPS 以上)、小型パッケージ、低消費電力を必要とするコンバータが、このタイプのドライバを使用します。CML 出力ドライバは、最新コンバータで使用されつつある JESD204 インターフェースで採用されています。

シリアル化 JESD204 インターフェースで CML ドライバを使用すると、コンバータ出力のデータレートを 12 Gbps (JESD204B 仕様の現レビジョン)まで高くすることができます。さらに、所要出力ピン数が大幅に削減されます。クロックが $8\text{b}/10\text{b}$ エンコード・データ・ストリームに含まれるようになったため、個別クロック信号の配線が不要になります。データ出力ピン数も削減されて、最小 2 本が必要とされます。コンバータの分解能、速度、チャンネル数が増加すると、データ出力ピン数が大きな所要スループットに対応するように調整されます。CML ドライバを採用したインターフェースは一般にシリアルですが、所要ピン数の増加は CMOS または LVDS と比べると遥かに少なくなっています (CMOS または LVDS で転送されるデータは並列であるため、所要ピン数は大きくなります)。

シリアル化データ・インターフェースで CML ドライバが採用されたため、所要ピン数がかなり少なくなっています。図 3 に、JESD204 または同様のデータ出力を持つコンバータで使用される一般的な CML ドライバを示します。CML ドライバの代表的アーキテクチャの概要を示してあります。オプションのソース終端抵抗と同相モード電圧を示してあります。回路入力電流源のスイッチを駆動し、この電流源が 2 つの出力端子への該当するロジック値を駆動します。

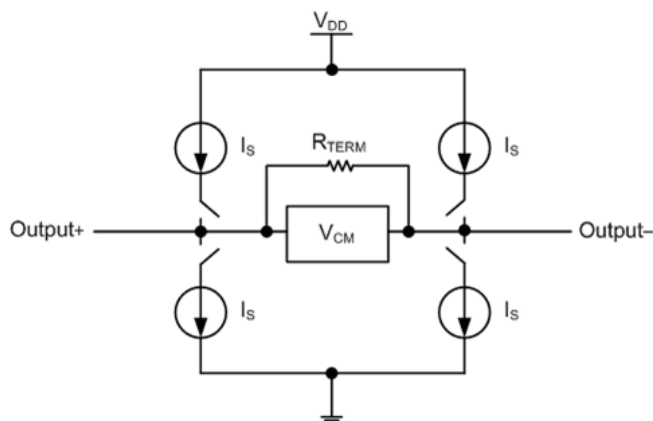


図 3. 一般的な CML 出力ドライバ

CML ドライバは、一定電流モードで動作する点で LVDS ドライバに似ています。これはまた、CML ドライバに消費電力の面で利点を提供します。一定電流モードでの動作では出力ピン数が少なく済み、合計消費電力が削減されます。LVDS の場合と同様に負荷終端とインピーダンスが制御された伝送線が必要です。シングルエンド・インピーダンスは $50\ \Omega$ で、差動インピーダンスは $100\ \Omega$ です。このような広帯域信号での感度起因する信号反射の解消に役立てるためドライバ自体も終端を持つことができます (図 3 参照)。JESD204 規格を採用するコンバータでは、動作速度に応じて差動電圧レベルと同相モード電圧レベルに対して異なる仕様があります。最大 $6.375\ \text{Gbps}$ の速度で動作させる場合は、差動電圧レベルは公称 $800\ \text{mV}$ で同相モード電圧レベルは約 $1.0\ \text{V}$ です。 $6.375\ \text{Gbps} \sim 12.5\ \text{Gbps}$ の速度で動作させる場合は、差動電圧レベルは $400\ \text{mV}$ で、同相モード電圧レベルは約 $1.0\ \text{V}$ です。コンバータの速度と分解能が向上すると、CML 出力が望ましいドライバ・タイプになり、種々のアプリケーションに対してコンバータに課せられる技術的要求ベースに追い付くために必要な速度を提供します。

デジタル・タイミング—注意すべきこと

各デジタル出力ドライバ・タイプには、注意深く監視する必要があります。CMOS と LVDS では複数のデータ出力があるため、スキューを小さくするように信号配線パスに注意を向ける必要があります。差が大きすぎると、レシーバで正しいタイミングを実現できなくなります。さらに、配線が必要なクロック信号が存在し、かつデータ出力と位相を揃える必要があります。クロック出力とデータ出力との間の配線パスに注意して、スキューが大きくなるようにする必要があります。

JESD204 インターフェースでの CML の場合、複数のデジタル出力間の配線パスにも注意する必要があります。対象となるデータ出力数が少ないため作業は容易になりますが、全く無くすることはできません。この場合、クロックがデータに組み込まれているので、データ出力とクロック出力の間のタイミング・スキューについて心配する必要はありません。ただし、レシーバでのクロックおよびデータ再生 (CDR) 回路が十分に要求事項を満たしている必要があります。

スキューの他に、CMOS と LVDS では、セットアップ・タイムとホールド・タイムにも注意する必要があります。データ出力は、クロック・エッジ変化の前に適切な時間の間に適切なロジック状態に設定し、クロック・エッジ変化の後には適切な時間の間に適切なロジック状態を維持する必要があります。これは、データ出力とクロック出力の間のスキューから影響をうけるため、正しいタイミング関係を維持することが重要です。LVDS では小さい信号振幅と差動シグナリングを使用するため、CMOS より優れた利点があります。LVDS 出力ドライバは、多くの出力に対してこのような大きな信号を駆動する必要がなく、さらにロジック状態を変えるときに CMOS ドライバほどの電流を電源から流す必要はありません。このため、ロジック状態を変えるときに問題が生じないようにします。同時にスイッチングする CMOS ドライバが多数存在する場合には、電源電圧がプルダウンされるため、レシーバへ正しいロジック値を駆動する際に問題が生じます。LVDS ドライバではこの問題が生じないように、一定レベルの電流を維持しており、差動シグナリングを使用しているため、元々同相モード・ノイズに耐性を持っています。CML ドライバも、LVDS と同じ利点を持っています。これらのドライバも一定レベルの電流で動作しますが、LVDS とは異なり、データをシリアル化しているため配線数は少なく済みます。さらに、CML ドライバも差動シグナリングを使用しているため、同相モード・ノイズに対して耐性を持っています。

速度と分解能が向上しコンバータ技術が進歩すると、デジタル出力ドライバは、データ転送に必要な条件を満たすように進化し適用されるようになりました。コンバータのデジタル出力インターフェースがシリアルデータ転送に移行するにつれて、CML 出力がますます広く採用されるようになりましたが、CMOS デジタル出力と LVDS デジタル出力は現在でも使用されています。各タイプのデジタル出力が最適なアプリケーションは存在し、それぞれ課題と設計時の考慮事項、さらにそれぞれの利点もあります。サンプリング速度が $200\ \text{MSPS}$ 以下のコンバータでは CMOS は適切な技術となりますが、サンプリング速度が $200\ \text{MSPS}$ を超える場合は、多くのアプリケーションにおいて LVDS の方が有効なオプションとなります。

さらに効率を高め、消費電力を削減し、パッケージを小型化するためには、JESD204 のようなシリアルデータ・インターフェースにおいて CML ドライバを採用することです。

参考資料

Bloomington, Cindy, Gary Hendrickson. [AN-586](#) アプリケーション・ノート。「高速 A/D コンバータのための LVDS データ出力」。アナログ・デバイセス、2002 年。

JEDEC Standard JESD204 (2006 年 4 月)。JEDEC Solid State Technology Association。www.jedec.org。

JEDEC Standard JESD204A (2008 年 4 月)。JEDEC Solid State Technology Association。www.jedec.org。

JEDEC Standard JESD204B (2011 年 7 月)。JEDEC Solid State Technology Association。www.jedec.org。

著者について

Jonathan Harris は、アナログ・デバイセス (Greensboro, NC) の高速コンバータ・グループのプロダクト・アプリケーション・エンジニアです。彼は、アプリケーション・エンジニアとして 7 年以上の経験を持ち、RF 業界で製品をサポートしてきました。彼は Auburn University から MSEE を、UNC-Charlotte から BSEE を、それぞれ取得しています。jonathan.harris@analog.com を使って彼に連絡することができます。

リソース

この資料を
してください。

facebook

twitter

で共有

広帯域データ・コンバータ・アプリケーション用インターフェースの検討事項: JESD204B 対シリアル LVDS

著者: George Diniz

アナログ・デバイス

プロダクト・ライン・マネージャ

背景

シリアル・インターフェース業界規格 JESD204A/JESD204B は、低コストで効率良く最新の広帯域データ・コンバータを他のシステム IC と接続する際に発生する問題に対処するために制定されました。このインターフェースを規定する動機は、データ・コンバータと FPGA (フィールド・プログラマブル・ゲート・アレイ) や SoC (システム・オン・チップ) のような他のデバイスとの間のデジタル入力/出力の数を、スケーラブルな高速シリアル・インターフェースを使って削減することでした。

最近の傾向は、新しいアプリケーションと既存アプリケーションの高度化により、高いサンプリング周波数と高いデータ分解能を持つ広帯域データ・コンバータに対する需要が押し上げられていることを示しています。これらの広帯域コンバータとのデータ転送では、既存 I/O 技術では帯域幅の限界があるためコンバータ製品のピン数を増やして対応しなければならず大きな設計問題が生じています。このため、システム PCB の設計では相互接続が高密度化して複雑化しています。問題は、多数の高速デジタル信号を配線すると同時に電磁ノイズ問題を管理する必要がありますことです。GPS のサンプリング周波数で、かつ相互接続数が少なく済む広帯域データ・コンバータを提供することは、PCB レイアウト問題を簡素化し、システム全体の性能に影響を与えることなくシステムの小型化を可能にします。

マーケットは、多機能化とシステム性能の強化を強く要求し続け、高いデータ処理能力に対する要求を強めています。システム OEM 会社が次世代のデータ集中型需要を満たそうとする場合、FPGA と高速 A/D コンバータおよび高速 D/A コンバータとの間のインターフェースが、需要を満たせるか否かの限界を決定する要因になっている場合があります。JESD204B シリアル・インターフェース仕様は、このクリティカルなデータ・リンクに対処してこの問題の解決に役立てるために特別に制定されました。図 1 に、代表的な高速コンバータと FPGA との間の JESD204A/JESD204B を使用した接続を示します。

この仕様の採用を進める幾つか重要なエンドシステム・アプリケーションと、シリアル LVDS と JESD204B との間の対比について以下に説明します。

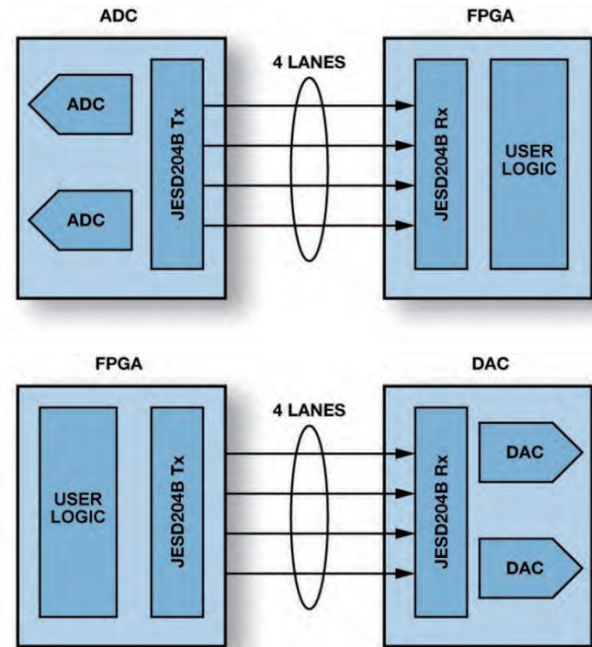


図 1. JESD204A/JESD204B インターフェースを使用した高速コンバータと FPGA との間の代表的な接続構成 (出典: Xilinx)

JESD204B を必要とするアプリケーション

携帯無線基地局送受信機

今日の無線基地局で採用されている、LTE のような OFDM ベースの技術は、各加入者の携帯電話に対するビームを発生するアンテナ・アレイ・エレメントを駆動する FPGA または SoC デバイスに搭載されている DSP ブロックを使用しています。各アレイ・エレメントでは、送信モードまたは受信モードで、FPGA とデータ・コンバータとの間で毎秒数百メガバイトのデータ移動が要求されることがあります。

ソフトウェア無線

今日のソフトウェア無線では、再定義可能で高度な変調方式を採用し、チャンネル帯域幅を迅速に増加させ、これまでになくワイヤレス・データレートを提供します。高効率、低消費電力、ピン数の少ないインターフェースで FPGA とデータ・コンバータを接続することは、性能にとって重要な役割を果たします。

ソフトウェア無線アーキテクチャは、GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-SCDMA をサポートするマルチキャリア、マルチモード・ワイヤレス・ネットワークのトランシーバ・インフラストラクチャに不可欠です。

医用画像システム

超音波、コンピュータ断層 (CT) スキャナ、磁気共鳴画像 (MRI) などの医用画像システムは多チャンネルのデータを使用し、コンバータから FPGA または DSP へ送られます。増加し続けるデータ I/O 数は、FPGA とコンバータのピン数を一致させるためのインターポーザー基板が必要となることで部品数を増やし、複雑化しています。これにより、システムコストと複雑さが増加します。この問題は、効率良い JESD204B インターフェースにより解決することができます。

レーダーおよび安全な通信

今日の高度なレーダー・レーシーバに採用されている精巧なパルス構造により、信号帯域幅が 1 GHz 以上に押し広げられています。最新世代の AESA (active electronically scaled array) レーダー・システムは、数千のエレメントを持ちます。広帯域 SERDES 採用のシリアル・インターフェースは、アレイ・エレメント・データ・コンバータと、データの受信・送信処理を行う FPGA または DSP を接続するために必要です。

シリアル LVDS 対 JESD204B

シリアル LVDS と JESD204B インターフェース間の選択

LVDS または複数バージョンの JESD204 シリアル・インターフェース仕様を採用するコンバータ製品の選択のためには、各インターフェースの機能と能力を比較することが有効です。表 1 に簡単な比較表を示します。SerDes レベルでは、LVDS と JESD204 との明らかな違いは、レーン・データレートです。LVDS と比較すると、JESD204 はレーンあたり 3 倍を超えるシリアル・リンク速度をサポートしています。マルチデバイス同期、データミニスティックレーテンシー、高調波クロッキングのような高レベル機能で比較すると、JESD204B はこれら全ての機能を提供する唯一のインターフェースです。すべてのレーンとチャンネルの間のデータミニスティックレーテンシー (Deterministic Latency) に敏感な広帯域マルチチャンネル・コンバータを必要とするシステムでは、LVDS またはパラレル CMOS を効果的に使用することはできません。

表 1. シリアル LVDS と JESD204 仕様の比較

Function	Serial LVDS	JESD204	JESD204A	JESD204B
Specification Release	2001	2006	2008	2011
Maximum lane Rate	1.0 Gbps	3.125 Gbps	3.125 Gbps	12.5 Gbps
Multiple Lanes	No	No	Yes	Yes
Lane Synchronization	No	No	Yes	Yes
Multidevice Synchronization	No	Yes	Yes	Yes
Deterministic Latency	No	No	No	Yes
Harmonic Clocking	No	No	No	Yes

LVDS の概要

低電圧差動シグナリング (LVDS) は、データ・コンバータと FPGA または DSP をインターフェースさせる従来の方法です。LVDS は、1994 年に導入され、既存の RS-422 および RS-485 差動送信規格より広い帯域幅と低い消費電力を提供することを目標とし、翌 1995 年の TIA/EIA-644 の公開により規格化されました。LVDS の採用は 1990 年代後半に増加し、この規格は 2001 年の TIA/EIA-644-A 公開で改版されました。

LVDS では、高速データ転送に対して低電圧振幅を使用する差動信号を採用しています。トランスミッタは ± 3.5 mA を駆動し、極性は 100 Ω 抵抗を介して送信するロジック・レベルに一致し、レーシーバ側で ± 350 mV の電圧振幅を発生します。常時オンの電流が異なる方向へ流されて、ロジック 1 と 0 を発生します。LVDS の常時オン特性は、同時スイッチング・ノイズ・スパイクと、トランジスタがシングルエンド構成でオン/オフする際に発生することがある電磁干渉をなくすことに役立ちます。LVDS の差動特性も、同相ノイズに対してかなりの耐性を提供します。TIA/EIA-644-A 規格は、理想的な伝送媒体では 1.9 Gbps 以上の速度まで動作出来るとされていますが、推奨は 655 Mbps の最大データレートとなっています。

特に前述のアプリケーションでは、FPGA または DSP とコンバータとの間のデータ・チャンネル数と速度が大幅に増加したため、LVDS インターフェースで幾つかの問題が生じました (図 2 参照)。LVDS 配線の帯域幅は、実用的には約 1.0 Gbps が限界です。現在の多くのアプリケーションでは、このために多数の広帯域で PCB の相互接続が必要になりますが、これら故障となりうるポイントを作っています。

パターン数が増えると、PCB が複雑になり大型化します。このため、設計と製造のコストが増加します。アプリケーションによっては、データ・コンバータ・インターフェースが広い帯域幅を要するアプリケーションにおいて、所要システム性能を実現する際に制限要素となっている場合があります。

ADC WITH CONVENTIONAL PARALLEL CMOS/LVDS OUTPUTS

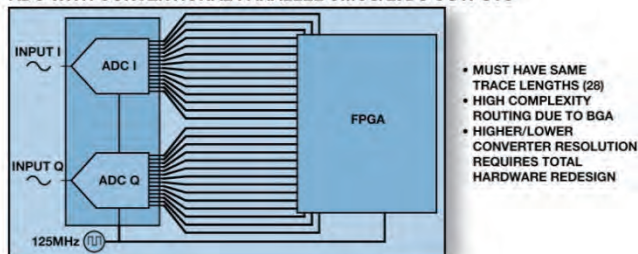


図 2. システム設計での問題とパラレル CMOS または LVDS を使用する相互接続での問題

JESD204B の概要

JESD204 データ・コンバータ・シリアル・インターフェース規格は、JEDEC Solid State Technology Association JC-16 Committee on Interface Technology により制定され、データ・コンバータに対して高速シリアル・インターフェースを提供し、帯域幅を広くし、高速データ・コンバータと他のデバイスとの間のデジタル入力数とデジタル出力数を削減することを目標としていました。IBM が開発した 8b/10b エンコーディング技術をもとに制定されたこの規格は、フレーム・クロックとデータ・クロックを不要にして、1 対の線による通信を遥かに高い速度で可能にしました。

2006 年に、JEDEC はシングル 3.125 Gbps データ・レーンに対する JESD204 仕様を公開しました。JESD204 インターフェースは自己同期であるため、クロック・スキューをなくするために PCB 配線パターン長を校正する必要はありません。JESD204 では、汎用 I/O を開放するために多くの FPGA で提供された SerDes ポートを利用しています。

2008 年に公開された JESD204A では、時間を揃えた複数のデータ・レーンとレーン同期のサポートを追加しました。この機能強化により、広帯域のデータ・コンバータの使用と複数のデータ・コンバータ・チャンネルの同期が可能になり、携帯電話基地局で使用されるワイヤレス・インフラストラクチャ・トランシーバにとって特に重要です。また、JESD204A はマルチデバイス同期のサポートも提供しています。この機能は、多数の ADC を使用する医用画像システムのような機器で有効です。

3 番目のレビジョンである JESD204B では、最大レーン・レートを 12.5 Gbps に上げています。またデータ・ミニスティック・レーンシーが追加され、レシーバとトランスミッタとの間で同期ステータスを交信します。そして高調波クロッキングも導入され、データ・ミニスティックフェーシング (Deterministic Phasing) を持つ低速入力クロックから高速データ・コンバータ・クロックを発生できるようになりました。

まとめ

シリアル・インターフェースの業界規格 JESD204B は、高速データ・コンバータ、FPGA、他のデバイスの中でデジタル入出力数を削減します。相互接続数が減るとレイアウトが簡素化されて、小型化が実現できます (図 3 参照)。これらの利点は、ワイヤレス・インフラストラクチャ・トランシーバ、ソフトウェア無線、医用画像システム、レーダー、安全な通信などの広範囲な高速データ・コンバータ・アプリケーションで重要です。アナログ・デバイセズは JESD204 規格委員会のオリジナル参加メンバーであり、並行して規格に準拠したデータ・コンバータ技術やツールを開発、広範囲な製品ロードマップを提示してきました。当社の最先端データ・コンバータ技術と JESD204A/JESD204B インターフェースを組み合わせた製品を提供することにより、お客様がシステム設計問題を解決すると同時にこの大きなブレークスルーの利点を利用できるものと期待しています。

ADC WITH ONE SERIAL JEDEC LINK

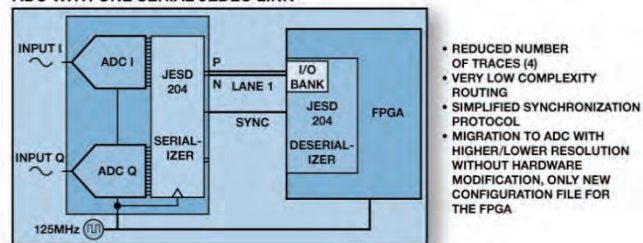


図 3. 高速シリアル I/O 機能を持つ JESD204 がシステム PCB の複雑化問題を解決

著者について

George Diniz は、アナログ・デバイセズ (Greensboro, NC) の高速 D/A コンバータ・グループのプロダクト・ライン・マネージャです。彼は、高速 A/D コンバータ製品と高速 D/A コンバータ製品に内蔵される JESD204B Rx および Tx インターフェース・コアを開発するチーム・リーダーをつとめました。彼は半導体業界で 25 年の経験を有し、設計エンジニアリングと製品ライン管理で種々の役割を担っています。ADI に入社する前は、IBM の設計エンジニアを勤め、PowerPC プロセッサのカスタム SRAM マクロ、PLL ファンクション、DLL ファンクションのミックスド・シグナル設計を行っていました。彼は、North Carolina State University から MSEE を、Manhattan College から BEE を、それぞれ取得しています。彼は、アウトドア活動、自動車の復元、ランニングを趣味としています。

リソース

この資料を



で共有してください。

JESD204B インターフェース を動作させる際のクリティカル な問題の理解

著者

Anthony Desimone

アナログ・デバイセズ

アプリケーション・エンジニア

Michael Giancioppo

アナログ・デバイセズ

アプリケーション・エンジニア

JESD204B は、コンバータとデジタル処理 IC をシリアルでインターフェース通信をする最近認定された JEDEC の規格です。第 3 世代の規格として、前のバージョンの幾つかの課題を解決しています。このインターフェースの利点は、データ・インターフェース配線に要するボード面積の削減、セットアップ・タイミング条件とホールド・タイミング条件の削減、コンバータとロジック IC のパッケージの小型化を可能にしたことです。アナログ・デバイセズの [AD9250](#) のような種々のベンダーが提供する新しい A/D コンバータは、このインターフェースを採用しています。

既存のインターフェース・フォーマットとプロトコルから JESD204B インターフェースのそれらを区別するのが複雑で明確でないため、JESD204B インターフェースの利点の実現にはトレードオフが存在します。すべての規格と同様に、シングル・データレートまたはダブル・データレートの CMOS または LVDS のような一般的なインターフェースに対して普及し広く受け入れられるためには、インターフェースはシームレスに機能する必要がありますことは明らかです。JESD204B 規格は JEDEC によりドキュメント化されていますが、これに関する特定な幾つかの情報は翻訳中か、または複数の基準に広がる可能性があります。規格の概要、動作方法、問題発生時のトラブルシュート方法を提供する簡潔なガイドがあると非常に役立つことも明らかです。

この資料では、ADC から JESD204B 用 FPGA へのインターフェース、正しく動作していることの確認方法、さらに重要なことですが、何か不具合が生じたときのトラブルシュート方法について説明します。ここで説明するトラブルシュート技術では、オシロスコープ、ロジック・アナライザ、Xilinx®社の ChipScope または Altera®社の SignalTap のようなソフトウェア・ツールなど、一般的なテスト装置および計測装置を使用することができます。シグナリングをビジュアル化するシングル・アプローチまたは複数アプローチを可能にするため、インターフェース・シグナリングも説明します。

JESD204B の概要

JESD204B 規格は、一般的なパラレル・データ転送より高速なシリアル・インターフェースを使って、1 個または複数のデータ・コンバータをデジタル信号処理デバイスへ(一般に、ADC または DAC から FPGA へ)インターフェースさせる方法を提供します。最大 12.5 Gbps/ レーンで動作するインターフェースでは、クロックとアライメント文字を組み込んだフレーム化シリアル・データ・リンクを使用します。このインターフェースは、デバイス間のパターン数を削減し、そのためパターン的一致条件を削減し、セットアップ・タイミングとホールド・タイミングの制約条件を不要にするため、高速コンバータのデータ・インターフェースの構成を簡素化します。データ転送の前にリンクを確立する必要があるため、新しい課題があり、さらにインターフェースの正常/異常動作を識別し、異常へ対応するために必要な技術があります。

規格の動作方法に関する簡単な説明から始めて、JESD204B インターフェースでは、同期化リンクを確立するために、コード・グループ同期 (CGS)、初期レーン同期 (ILAS)、データ送信の 3 つのフェーズを使っています。リンクに必要な信号は、共用されるリファレンス・クロック (デバイス・クロック)、少なくとも 1 本の差動 CML 物理データ電氣的接続 (レーンと呼ばれます)、少なくとも 1 本の他同期信号 (SYNC~ および SYSREF も可)です。使用する信号は次のサブクラスに依存します。

- サブクラス 0 では、デバイス・クロック、レーン、SYNC~ を使用
- サブクラス 1 では、デバイス・クロック、レーン、SYNC~、SYSREF を使用
- サブクラス 2 では、デバイス・クロック、レーン、SYNC~ を使用

サブクラス 0 は多くのケースで満足するため、この資料ではこれを中心にします。サブクラス 1 とサブクラス 2 では、デタミニスティック・レーテンシーの設定方法を説明します。これは、複数のデバイスを同期化する場合またはシステム同期または固定遅延が必要な場合 (例えば、システムがイベントに対する既知サンプリング・エッジを必要とする場合またはイベントが指定時間内に入力信号に応答する必要がある場合など)にアプリケーションで重要です。

図 1 に、Tx デバイス (ADC) から Rx デバイス (FPGA) への JESD204B リンクの簡略と、1 個の ADC から 1 つのレーンへ出力されるデータを示します。

JESD204B 仕様内には多数の変数がありますが、その内の幾つかはリンクを確立する際に特に重要です。仕様内のこれらの重要な変数は次の通りです (これらの値は一般に “X - 1” と表されます):

- M: コンバータ数
- L: 物理レーン数
- F: フレームあたりのオクテット数
- K: マルチフレームあたりのフレーム数
- N および N': それぞれコンバータ分解能およびサンプルあたりのビット数 (4 の倍数) N' 値は = N 値 + コントロール・ビット + ダミー・ビット

サブクラス 0: 同期化ステップ

前述のように、多くのアプリケーションは比較的シンプルなサブクラス 0 動作モードを使用することができます。これはリンクを確立して確認する最も簡単なモードです。サブクラス 0 では、CGS フェーズ、ILAS フェーズ、データ・フェーズの 3 つのフェーズを使って同期を確立してモニタします。各フェーズに対応する図には、オシロスコープ、ロジック・アナライザ、または Xilinx の ChipScope や Altera の SignalTap のような FPGA 仮想 I/O アナライザを使って観測することができるため、様々なフォーマットのデータを示してあります。

コード・グループ同期 (CGS) フェーズ

リンクから観測できる CGS フェーズの最も重要な部分を図 2 に示します。図の 5 つの強調ポイントの説明も示してあります。

1. Rx は SYNC~ ピンをロー・レベルにして同期要求を発行します。
2. Tx は、スクランブルされていない /K28.5/ シンボル (10 ビット/シンボル) を次のシンボルの開始時に送信します。
3. Rx が少なくとも 4 個の連続した /K28.5/ シンボルを正常に受信すると同期化されて、Rx は SYNC~ ピンをハイ・レベルに駆動します。
4. Rx は少なくとも 4 個の 8B/10B 文字をエラーなしで受信する必要があります、そうでない場合は同期に失敗して、リンクは CGS フェーズに留まります。
5. CGS フェーズが終わり、ILAS フェーズが開始されます。

JESD204B 規格内では /K/ ととも呼ばれる /K28.5/ 文字は図 3 のように表示することができます。この規格では連続するニュートラル・ディスパリティが必要です。8B10B コーディングでは、平均的に 1 と 0 の数が等しく含まれるようにシーケンスを均衡化することができます。各 8B10B 文字は、正 (1 が多い) または負 (0 が多い) のディスパリティを持つことができ、現在の文字のディスパリティは送信済みの前の文字の現在の和によって決定されます。これは一般に、正ディスパリティ・ワードとそれに続く負ディスパリティ・ワードを交互に送信して実現されています。図には両極性の /K28.5/ シンボルを示してあります。

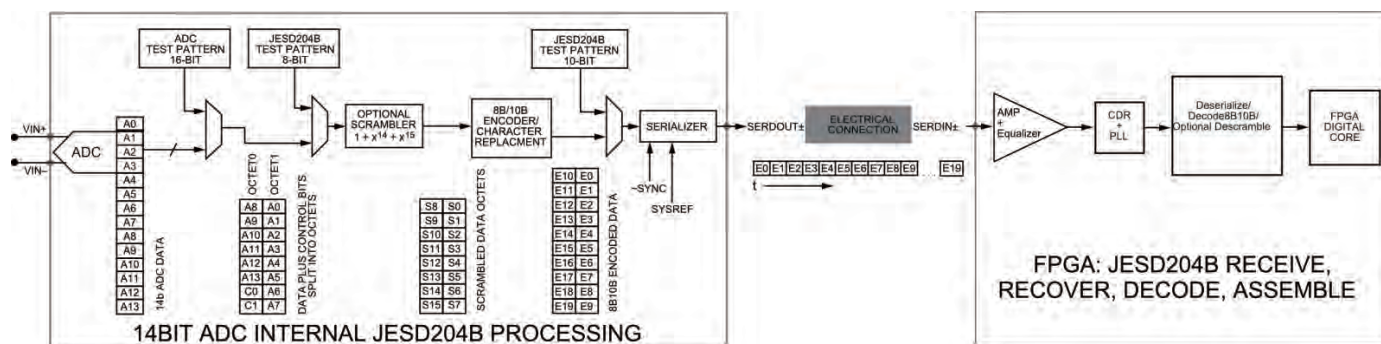


図 1. 1 個の ADC から 1 個のレーンを経て FPGA までの JESD204B リンクの図

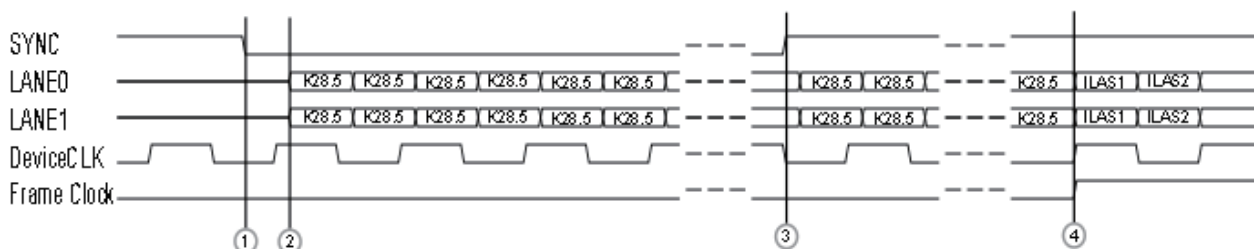


図 2. CGS フェーズでの JESD204B サブクラス 0 リンク信号のロジック出力 (2 個のレーン、1 個のデバイス、2 個の ADC の場合)

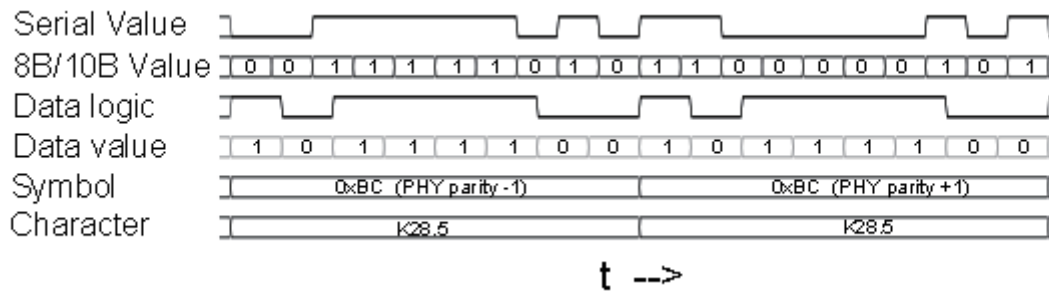


図 3. /K28.5/ 文字のロジック出力と JESD204B Tx 信号パスを伝送する方法

次の重要ポイントに注意してください。

- シリアル値はレーンに送信される 10 ビットのロジック・レベルを表します。物理インターフェースを測定するオシロスコープで見られます。
- 8B/10B 値はレーンに送信されたロジック値 (10 ビット) を表します。物理インターフェースを測定するロジック・アナライザで見られます。
- データ値とデータ・ロジックは、8B10B コーディング前の JESD204B Tx ブロック内のシンボルのロジック・レベルを表します。Xilinx の ChipScope or Altera の SignalTap などの FPGA ロジック解析ツールで見られます。
- シンボルは送信される文字の 16 進値を表し、PHY 層のパリティを表します。
- 文字は JEDEC 仕様の規定に従い JESD204B 文字を表示するために示してあります。

ILAS フェーズ

ILAS フェーズでは、Rx がすべてのリンクからのレーンを揃えることができるようにし、また Rx がリンク・パラメータを確認できるようにする 4 個のマルチフレームがあります。アライメントは、パターン長の違いとレシーバで発生する文字スキューに対応するために必要です。各連続するマルチフレームは、4 個の内の前の 1 個の直後に続きます (図 4)。スクランプリング・リンク・パラメータがイネーブルされるか否かに関係なく、ILAS は常にスクランプリングなしで送信されます。

SYNC~のアサートが解除された(ハイ・レベルになります)後に、ILAS フェーズが開始されます。送信ブロックが内部でフル・マルチフレームをトラックすると(ADC 内で)、4 個のマルチフレームの送信を開始します。

マルチフレーム全体が送信されるように、ダミー・サンプルが所要文字の間に挿入されます (図 4)。4 個のマルチフレームには次が含まれます。

- マルチフレーム 1: /R/ 文字 [K28.0] で開始され、/A/ 文字 [K28.3] で終了。
- マルチフレーム 2: /R/ 文字で開始され、/Q/ [K28.4] 文字、14 個の設定オクテットのリンク設定パラメータ (表 1) が続き、/A/ 文字で終了。
- マルチフレーム 3: マルチフレーム 1 と同じ。
- マルチフレーム 4: マルチフレーム 1 と同じ。

JESD204B パラメータに対してフレーム長を $(S) \times (1/\text{サンプル・レート})$ のように計算することができます。

変換: $(\text{サンプル数}/\text{コンバータ}/\text{フレーム}) \times (1/\text{サンプル・レート})$

例: 250 MSPS で動作するコンバータが 1 サンプル/コンバータ/フレームの場合 (バイナリ値 -1 として符号化されているためこの場合“S”は 0 であることに注意)、フレーム長は 4 ns になります。

$$(1) \times (1/250 \text{ MHz}) = 4 \text{ ns}$$

JESD204B パラメータに対してマルチフレーム長を $K \times S \times (1/\text{サンプル・レート})$ のように計算することができます。

変換: $(\text{サンプル数}/\text{コンバータ}/\text{フレーム}) \times (\text{フレーム数}/\text{マルチフレーム}) \times (1/\text{サンプル・レート})$

例: 250 MSPS で動作するコンバータが 1 サンプル/コンバータ/フレームで、32 フレーム/マルチフレームの場合、マルチフレーム長は 128 ns になります。

$$(1) \times (32) \times (1/250 \text{ MHz}) = 128 \text{ ns}$$

文字置換をイネーブルしたデータ・フェーズ

データ送信フェーズでは、フレーム・アライメントが制御文字で監視されます。文字置換はフレームの終わりで使用されます。データ・フェーズでデータまたはフレーム・アライメントに対応するためにオーバーヘッドの追加はありません。文字置換により、現在のフレームの最終文字が最終フレームの最終文字で置き換えられた場合にのみ、フレーム境界でアライメント文字を発行することができます。これにより、ILAS シーケンス以後アライメントが変化していないことを(ときどき)確認することができます。

トランスミッタでの文字置換は次の場合に行われます。

- スクランブリングがディセーブルされ、かつフレームまたはマルチフレームの最後のオクテットが前のフレームのオクテット値に一致する場合。
- スクランブリングがイネーブルされ、かつマルチフレームの最後のオクテットが 0x7C に一致するか、またはフレームの最後のオクテットが 0xFC に一致する場合。

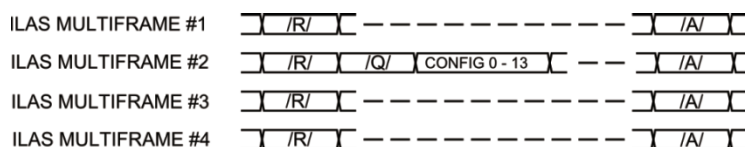


図 4. ILAS フェーズでの JESD204B サブクラス 0 リンク信号のロジック出力

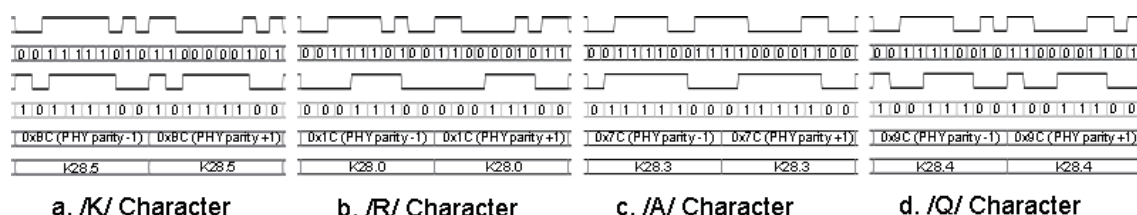


図 5. /K/ 文字 [K28.5]、/R/ 文字 [K28.0]、/A/ 文字 [K28.3]、/Q/ 文字 [K28.4]の図

表 1. ILAS マルチフレーム 2 の CONFIG の表 (14 オクテットの JESD204B 設定パラメータ)

Octet No.	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)
0	DID[7:0]							
1	ADJCNT[3:0]				BID[3:0]			
2		ADJDIR	PHADJ	LID[4:0]				
3	SCR			L[4:0]				
4	F[7:0]							
5				K[4:0]				
6	M[7:0]							
7	CS[1:0]			N[4:0]				
8	SUBCLASS[2:0]			N[4:0]				
9	JESDV[2:0]			S[4:0]				
10	HD			CF[4:0]				
11	RESERVED 1							
12	RESERVED 2							
13	FCHK[7:0]							

トランスミッタとレシーバの各々は、マルチフレーム・カウンタ (LMFC) を維持します。このカウンタは永久に $(F \times K) - 1$ までカウントし “0” に戻り、さらにカウントを再開します(内部ワード幅を無視)。共通 (ソース) SYSREF がすべてのトランスミッタとレシーバへ送信されます。これらは、SYSREF を使って自分の LMFC をリセットし、その後すべての LMFC が互いに同期します(1 クロック以内)。

SYNC が解除されると (すべてのデバイスから見て)、トランスミッタは次の (Tx) LMFC が “0” に戻るとき ILAS を開始します。 $F \times K$ が(送信エンコード時間) + (ライン伝搬時間) + (レシーバ・デコード時間) より大きい値に正しく設定されていると、受信したデータは次の LMFC の前にレシーバの SerDes から出力されます。レシーバはデータを FIFO へ渡し、FIFO は次の (Rx) LMFC 境界でデータの出力を開始します。トランスミッタの SerDes 入力とレシーバの FIFO 出力の間のこの“既知の関係”が“データミニスティック・レーテンシー”と呼ばれます。

何によって異常が生じるか？

JESD204B には微妙な動作が多いため、複雑なインターフェース規格です。動作しない理由を見つけるためには、次の発生している状況を理解する必要があります。

CGS モードでの停止: SYNC がロー・レベルを維持する場合、または 4 マルチフレームより狭いハイ・レベル・パルスになる場合:

1. 電源を切り、ボードを調べて次を確認します:
 - a) SYSREF と SYNC~ のシグナリングが DC 結合されていること。
 - b) ボード電源を切り、SYNC~ のソース (一般に FPGA または DAC) から SYNC~ 入力 (一般に ADC または FPGA) までのボード SYNC~ 接続が正常で低インピーダンスであること。
 - c) プルダウン抵抗またはプルアップ抵抗がシグナリングを制約していないこと、例えば、値が小さ過ぎるまたは短絡している場合、正しく駆動できません。
 - d) JESD204B リンクの差動対パターン (使用した場合はケーブルも) がマッチングしていること。
 - e) パターンの差動インピーダンスが 100 Ω であること。
2. 電源を入れて、ボードを調べて次を確認します:
 - a) SYNC パスにバッファ/変換器がある場合、正しく動作していること。
 - b) SYNC~ 受信デバイスに対して準拠したロジック・レベルを発生するように、SYNC~ ソースとボード回路 (差動の場合 SYNC+ と SYNC-) が正しく構成されていること。ロジック・レベルが準拠していない場合、ソース構成と受信構成の回路に問題ないこと。その他の場合は、デバイス・メーカーに相談すること。
 - c) JESD204B シリアル・データ・レシーバに対して正しいロジック・レベルを発生するように、JESD204B シリアル・トランスミッタとボード回路が正しく構成されていること。ロジック・レベルが準拠していない場合、ソース構成と受信構成の回路に問題ないこと。その他の場合は、デバイス・メーカーに相談すること。
3. SYNC~ シグナリングを調べて、次を確認します。
 - a) SYNC~ がロー・レベルで静止している場合、リンクは CGS フェーズより先に進みません。データ送信時の問題、または JESD204B レシーバがサンプルを正常にデコーディングしない問題があります。/K/ 文字が送信されていることを確認し、受信設定値を確認し、SYNC~ ソースを確認し、ボード回路をレビューし、さらに SYNC~ 信号をオーバードライブして強制的にリンクを ILAS モードにして、リンク Rx 問題かリンク Tx 問題かを切り分けてください。その他の場合は、デバイス・メーカーに相談すること。
 - b) SYNC~ が 6 マルチフレーム間より短い区間ハイ・レベルになりロー・レベルに戻る場合、JESD204B リンクは CGS フェーズより先に進みますが、ILAS フェーズより先には進みません。これは、/K/ 文字は正しく、かつ CDR 基本機能が正しく機能していることを示唆しています。ILAS トラブルシュート・セクションへ進んでください。
 - c) SYNC~ が 6 マルチフレーム区間より長くハイ・レベルを続ける場合、リンクは ILAS フェーズより先に進み、データ・フェーズで不具合が生じます。トラブルシュートのヒントについてはデータ・フェーズのセクションを参照してください。
4. シリアル・データを確認します。
 - a) Tx データレートとレシーバの期待レートが同じであることを確認します。
 - b) 高インピーダンス・プローブ (可能な場合差動プローブ) を使ってレーンを測定します。文字に異常がある場合、レーンの差動パターンがマッチングしていること、PCB のリターン・パスが断線していないこと、デバイスが正しく PCA へハンダ付けされていることを確認してください。ILAS とデータ・フェーズのランダム文字とは異なり (見かけ上)、CGS 文字はスコープ上で容易に識別できます (十分高速なスコープの場合)。
 - c) 高インピーダンス・プローブを使って /K/ 文字を確認します。
 - i) /K/ 文字が正しい場合、リンクの Tx 側は正常に動作しています。
 - ii) /K/ 文字が正しくない場合、Tx デバイスまたはボード・レーン信号に問題があります。
 - d) DC 結合の場合、トランスミッタとレシーバの同相モード電圧がデバイス仕様を満たしていることを確認してください。
 - i) 構成に応じて、トランスミッタの同相モード電圧範囲は 490 mV~1135 mV になります。
 - ii) 構成に応じて、レシーバの同相モード電圧範囲は 490 mV~1300 mV になります。
 - e) データ・レーン上のトランスミッタ CML 差動電圧を確認します (CML 差動電圧は各信号成分の電圧振幅の 2 倍として計算されることに注意)。
 - i) トランスミッタ CML 差動電圧範囲は、速度 3.125 Gbps まで 0.5 Vpk-pk~1.0 Vpk-pk です。
 - ii) トランスミッタ CML 差動電圧範囲は、速度 6.374 Gbps まで 0.4 Vpk-pk~0.75 Vpk-pk です。
 - iii) トランスミッタ CML 差動電圧範囲は、速度 12.5 Gbps まで 0.360 Vpk-pk~0.770 Vpk-pk です。

- f) データ・レーン上のレシーバ CML 差動電圧を確認します (CML 差動電圧は各信号成分の電圧振幅の 2 倍として計算されることに注意)。
- i) レシーバ CML 差動電圧範囲は、速度 3.125 Gbps まで 0.175 Vpk-pk~1.0 Vpk-pk です。
- ii) レシーバ CML 差動電圧範囲は、速度 6.374 Gbps まで 0.125 Vpk-pk~0.75 Vpk-pk です。
- iii) レシーバ CML 差動電圧範囲は、速度 12.5 Gbps まで 0.110 Vpk-pk~1.05 Vpk-pk です。
- g) プリエンファシス (Pre-emphasis) がオプションの場合、データ信号をイネーブルしてデータ・パスに沿って観測してください。
- h) M 値と L 値がトランスミッタとレシーバの間で一致していることを確認してください。そうしないと、データレートが一致しません。例えば、M = 2 かつ L = 2 にすると、M = 2 かつ L = 1 の場合に比べてシリアル・インターフェースのデータレートは $\frac{1}{2}$ になります。
- i) トランスミッタとレシーバへ供給するデバイス・クロックは位相ロックされて、正しい周波数であることを確認してください。

約 4 マルチフレーム間 SYNC パルスがハイ・レベルを続けると、ILAS モードより先へ進めません。

- 1) リンク・パラメータの競合
 - a) リンク・パラメータのオフセットが 1 でないことを確認します(多くのパラメータは値 -1 として規定されています)。
 - b) ILAS マルチフレームの送信が正しいことを確認し、Tx デバイスと Rx デバイスのリンク・パラメータ、および 2 番目の ILAS で送信されたリンク・パラメータを確認します。
 - c) 予想 ILAS 長 (t_{frame} , $t_{\text{multiframe}}$, $4 \times t_{\text{multiframe}}$) を計算し、約 4 マルチフレーム間 ILAS が試みられたことを確認します。
- 2) すべてのレーンが正しく機能していることを確認します。マルチレーン/マルチリンク競合がないことを確認します。

データ・フェーズに入るが、リンクがときどきリセットされる (CGS と ILAS に戻った後にデータ・フェーズへ戻ります):

- 1) 周期的または間欠的な SYSREF 信号または SYNC~ 信号の無効なセットアップ・タイムとホールド・タイム。
- 2) リンク・パラメータの競合。
- 3) 文字置換の競合。
- 4) スクランプリング・イネーブル時のスクランプリング問題。
- 5) レーン・データの破壊、ノイズまたはジッタによるアイ・ダイアグラムの閉鎖。
- 6) デバイス・クロック上の擬似クロックまたは大きなジッタ。

リンクのトラブルシュート時のその他のヒント:

- 許容最小速度でコンバータとリンクを動作させます。そうすると、入手し易い狭い帯域幅の計測機器を使えるようになります。
- M、L、K、S の許容最小組み合わせを設定します。
- 可能な場合テスト・モードを使用します。
- トラブルシュートにサブクラス 0 を使います。
- トラブルシュート時にスクランプリングをディスエーブルします。

このトラブルシュート・ガイドにはすべてを含むことはできませんが、JESD204B リンクを学ぶエンジニアに優れたベースラインを提供します。

JESD204B 仕様のこの概説は、このリンクについて実用的な情報を提供します。この最新の高性能インターフェース規格にかかわるエンジニアにとって、トラブルシュートが必要な場合にこの資料が参考になり役立つことを希望しています。

著者について

Anthony Desimone は、アナログ・デバイセズの高速コンバータ・グループのアプリケーション・エンジニアです。彼は、University of Lowell (マサチューセッツ)から BSEE を、Tufts University から MSEE を、それぞれ取得しました。

Michael Giancioppo は、アナログ・デバイセズのアプリケーション・テクノロジー・グループのアプリケーション・エンジニアです。彼は、1981 年に University of Massachusetts Amherst から BSEE/CSE を取得しました。

リソース

この資料を
してください。



で共有

JESD204B を使用する複数 ADC の同期

著者

Ian Beavers

アナログ・デバイセズ

アプリケーション・エンジニア

背景

多くの通信、測定器、高速信号処理システムでは、複数の A/D コンバータ (ADC) を通してアナログ入力信号を同時にサンプルする機能を必要とします。次にサンプルされたデータは、各々が異なる遅延を持っているため同期

処理される必要があります。これは、LVDS とパラレル出力 ADC で満たすことは、システム設計者にとって歴史的に困難な問題でした。

JESD204B は、ADC 出力のような 1 つまたは複数の差動信号対を使って高速シリアル・データを送信するフレームワークを提供します。JESD204B 仕様上での複数のレーン間において、粗いアライメントを実現するためのインターフェースとして固有の方式が存在します。データは、境界を持つフレームに分割されて連続的にレシーバへ送信されます。JESD204B のサブクラス 1 インターフェースでは、トランスミッタとレシーバで内部フレーム・クロックを同期化するためにシステム・リファレンス・イベント信号 (SYSREF) を使い、複数のシリアル・レーン・リンク間または複数の ADC 間でサンプル・レベルまでのデータ・アライメントを規定しています。これにより、JESD204B リンクを使用するデバイスに対してデターミニスティック・レーテンシーを発生しますが、PCB レイアウトの考慮事項、クロックの一致、タイミングを満たす SYSREF の発生、SYSREF の周期性、デジタル FIFO 遅延のような、サンプリング同期に対するタイミングを完全に解決するためにシステム設計者が克服しなければならない多くの問題が残っています。

設計者は、デバイス・クロックと SYSREF 信号を発生させる方法、システム内で分配する方法を決定する必要があります。理想的には、デバイス・クロックと SYSREF は同じ振幅レベルとオフセットであり、入力ピンで固有なスキューが発生するのを防止する必要があります。SYSREF イベントの更新レートは、スタートアップ時のシングル・イベントとして、または同期が必要ときに何時でも発生できる繰り返し信号として決定される必要があります。最大クロックと SYSREF 信号スキューを考慮すると、ボード、コネクタ、バック・プレーン、種々の部品の間でセットアップ・タイミングとホールド・タイミングを満たすために注意深い PCB レイアウトが必要です。

最後に、デジタル FIFO 設計と、複数のクロック・ドメイン間を通過する信号は、JESD204B トランスミッタとレシーバ内で固有のデジタル・バッファ・スキューを作ります。それは、考慮されるべき内容で、後段のデータ処理で除去する必要があります。システム・クロックは、水晶、VCO、クロック発生器またはクロック分配チップのような幾つかのソースから作ることができます。特定のシステム性能がクロック・ニーズを支配しますが、複数の同期 ADC を使う場合、入力クロックにソース同期する SYSREF 信号を発生させることができます。これにより、特定時点で既知のクロック・エッジを使ってこのシステム・リファレンス・イベントをラッチできるようにするため、クロック・ソースの選択が重要な考慮事項になります。SYSREF 信号とクロックが位相ロックしてない場合、これを実現することはできません。

システムに SYSREF イベントを提供するために FPGA を使うことができますが、この信号が ADC へ送られるマスター・サンプル・クロックも使用して同期化しないかぎり、FPGA からクロックへの SYSREF 信号の位相を揃えることは困難です。別の方法はクロック発生器またはクロック分配チップから SYSREF 信号を提供する方法で、このチップはこの信号の位相をシステム内に送られる複数のクロックへ一致させることができます。この方法を使うと、SYSREF イベントをスタートアップ時のワンショット・イベントにするか、またはシステム条件に応じた繰り返し信号にすることができます。

複数の ADC と FPGA の間で、システム内のデターミニスティック・レーテンシーが一定であるかぎり、特定のシステム・データのフレーム化を支援する場合を除いて、追加 SYSREF パルスが不要です。このため、同期が失われる時間まで、クロック・アライメントに対する周期的な SYSREF パルスは無視またはフィルタすることができます。SYSREF 発生のマーカー・サンプルは、JESD204B リンクのリセットなしに、別に維持することができます。

ADC チャンネルに対して既知の決定性 (デターミニスティック) スタート・ポイントを開始するため、システム・エンジニアはシステム内に分配される SYSREF イベント信号のタイミングを閉じることができる必要があります。これは、クロックに対する期待されるセットアップ・タイムおよびホールド・タイムを満たすことを意味します。複数のクロック・サイクルに跨る比較的長い SYSREF パルスは、最初に要求されるクロックまでのセットアップ・タイムも満たすことができるかぎり、ホールド・タイム条件を満たすために使用することができます。スキューを最小にするためシステム内でクロックと SYSREF のパターン長を一致させるため、注意深い PCB レイアウトが不可欠になります。これは、チャンネル間で同期サンプリング処理を実現する最も困難な部分になります。ADC エンコード・クロック・レートが高くなるほど難しくなり、マルチボード・システムは複雑になります。

ボード間とコネクタ間で、SYSREF からクロック・ボードまでの部品のスキューは、各デバイスに対して既知である必要があります。残りのデバイス間のデジタルおよびクロック・スキュー遅延は、FPGA または ASIC 内で実質的にゼロである必要があります。後段の処理で複数の ADC 間でサンプル順序を変更することができるため、データをさらに同期処理するための再アライメントが必要になります。

デバイス間サンプル・スキューに対する補正は、後段の FPGA または ASIC で、最高速のデータ・サンプルとトランスミッタ・レイテンシを遅延させて最低速のデータ・サンプルに揃えることにより実現されます。複雑なシステムの場合、最終的に位相を揃えるためにデバイス間サンプルの合計遅延を交信し合う複数の FPGA または ASIC が関係します。特定の各トランスミッタ・レイテンシ遅延を許容するために、JESD204B レシーバに適切な弾性バッファ遅延を導入すると、システム内でデバイス間サンプル・スキューを既知の決定性値に揃えることができます。

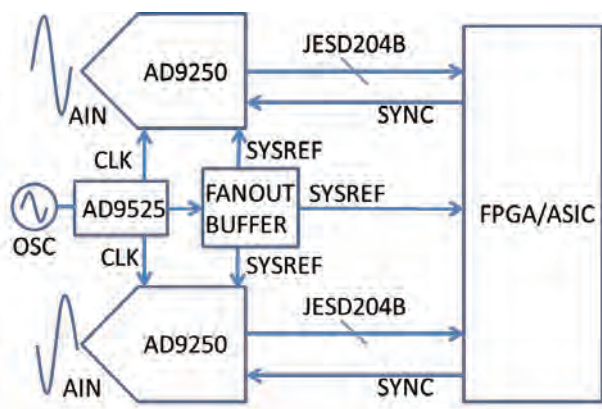


図 1. AD9250、AD9525、FPGA の図

AD9250 はアナログ・デバイセズが提供する 250 MSPS 14 ビットのデュアル ADC であり、サブクラス 1 の JESD204B インタフェースをサポートしています。このサブクラスでは、SYSREF イベント信号を使って複数の ADC 間でアナログ・サンプル同期が可能です。AD9525 は低ジッタ・クロック・ジェネレータであり、最大 3.1 GHz の 7 クロック出力を提供するだけでなく、ユーザー構成に基いて SYSREF 出力信号を同期化することもできます。これらの 2 つの製品とアナログ・デバイセズのファンアウト・バッファ製品とを組み合わせ、処理のために FPGA または ASIC へ送られる複数の ADC データを正確に同期化し位相を揃えるフレームワークを提供します。

著者について

Ian Beavers は、アナログ・デバイセズ (Greensboro, NC) の高速コンバータ・グループのアプリケーション・エンジニアです。彼は 1999 年から会社に勤務し、半導体業界で 15 年を超える経験を有します。彼は、North Carolina State University から電気工学の学士号を、University of North Carolina at Greensboro から MBA を、それぞれ取得しました。Ian.Beavers@analog.com を使って彼に連絡することができます。

リソース

この資料を
してください。

facebook

twitter

で共有

JESD204B トランスミッタの 3つの重要な物理層(PHY)の 性能測定基準

著者

Jonathan Harris

アナログ・デバイセズ

アプリケーション・エンジニア

はじめに

データ・コンバータでの JESD204 インターフェースの採用が増えるとともに、デジタル・インターフェースの性能と最適化にさらに注意を払うことが必要になりました。データ・コンバータ性能にだけ注目すべきではありません。この規格の最初の 2 つのレビジョン(2006 年の JESD204 と 2008 年の JESD204A)では、3.125 Gbps のデータレートを規定しました。最新レビジョン(2011 年にリリースされた JESD204B)では、12.5 Gbps の最大データレートを持つ 3 つの速度グレードを記載しています。これらの 3 つの速度グレードは、OIF (Optical Internetworking Forum) により策定された 3 種類の電氣的インターフェース仕様で規定されています。3.125 Gbps までのデータレートでは OIF-Sx5-01.0 で電氣的インターフェース仕様を定め、6.375 Gbps および 12.5 Gbps までのデータレートでは、それぞれ CEI-6G-SR および CEI-11G-SR で電氣的インターフェース仕様を、それぞれ定めています。高速データレートでは、JESD204B インターフェースの物理インターフェース (PHY) を構成する高速 CML ドライバ、レシーバ、相互接続回路の設計と性能にさらに注意する必要があります。

JESD204B トランスミッタの PHY の性能を評価するために、複数の性能測定基準があります。これには、同相モード電圧、差動ピーク to ピーク電圧、差動インピーダンス、差動出力リターンロス、同相モード・リターンロス、トランスミッタ短絡電流、アイ・ダイアグラム・マスク、ジッタなどが含まれます。この資料では、送信信号品質、アイ・ダイアグラム、バスタブ・プロット、ヒストグラム・プロットの評価に使われる重要な 3 つの性能測定基準を中心に説明します。レシーバが信号を正しくデコードする場所であるため、これらの測定はレシーバの観点から行います。アイ・ダイアグラムは、出力データの遷移変化を複数回測定し重ねて表示することで、多くのリンク品質の表示をします。このプロットを使うと、インピーダンスの不連続性や不適切な終端など JESD204B 物理インターフェースの多くの特性を観測することができます。

これは、物理層を評価できる唯一の方法です。バスタブ・プロットとヒストグラム・プロットは、JESD204B リンクの品質評価に使用する他の 2 つの重要な性能測定基準です。バスタブ・プロットは、与えられたアイ開口に対するビット・エラー・レート (BER) の視覚表現を与え、ユニット・インターバル (UI) を単位として測定します。ユニット・インターバルは JESD204B の物理層仕様で規定される時間で、データ変化とデータ変化の間の時間を規定します。3 つ目の測定値はヒストグラム・プロットで、測定した UI 変動の分布を与えます。この測定値は、測定した信号に現れるジッタの大きさも表示します。このプロットは、アイ・ダイアグラムとバスタブ・プロットと組み合わせて、JESD204B インターフェース物理層の全体性能を測定するときを使用することができます。5.0 Gbps の出力データレートを持つ JESD204B トランスミッタがあります。このデータレートのトランスミッタ性能は OIF CEI-6G-SR 仕様で規定されています。

アイ・ダイアグラム

図 1 に、データレートが 5.0 Gbps の JESD204B トランスミッタのアイ・ダイアグラムを示します。理想波形を測定波形の上に重ねて表示してあります。理論的には、遷移は殆ど瞬間的で、オーバーシュートまたはアンダーシュートがなく、リンギングもありません。さらに、UI を決定する交差点にはジッタはありません。図 1 から分かるように、実システムでは、損失を持つ非理想伝送媒体と正確にマッチングしない終端のため理想波形の実現は不可能です。表示したアイ・ダイアグラムは、JESD204B システムのレシーバで得た測定値です。信号は、コネクタと約 20 cm の差動伝送路を通り、測定ポイントに到着します。このアイ・ダイアグラムは、トランスミッタとレシーバの間の適切なインピーダンス・マッチングと、インピーダンスの大きな不連続性のない優れた伝送媒体を表しています。これは一定のジッタを示していますが、JESD204 インターフェース仕様を超えていません。アイ・ダイアグラムはオーバーシュートを示していませんが、伝送媒体を通るとき信号が低速になるため、立上りエッジで小さいアンダーシュートがあります。ただし、これはコネクタと 20 cm の差動伝送線を通過後に予測されることです。平均 UI は、小さいジッタを持つ信号で約 200 ps の予測 UI に一致すると見られます。全体として、このアイ・ダイアグラムはレシーバに対する優れた信号を表しており、組み込まれたデータ・クロックの再生に問題なく、データを正しくデコーディングします。

図 2 に示すアイ・ダイアグラムは、図 1 の測定で使用された同じ伝送媒体を使って測定されていますが、違いは終端インピーダンスが正しくないことです。影響は、交差点と非変化領域で信号に現れるジッタが大きくなることに見られます。全体的に

振幅が圧縮されているため、アイ・ダイアグラムが閉じ始めています。性能低下によりレシーバでの BER が大きくなり、レシーバの許容限界を超えてアイが閉じると、レシーバで JESD204B リンクの喪失が発生します。

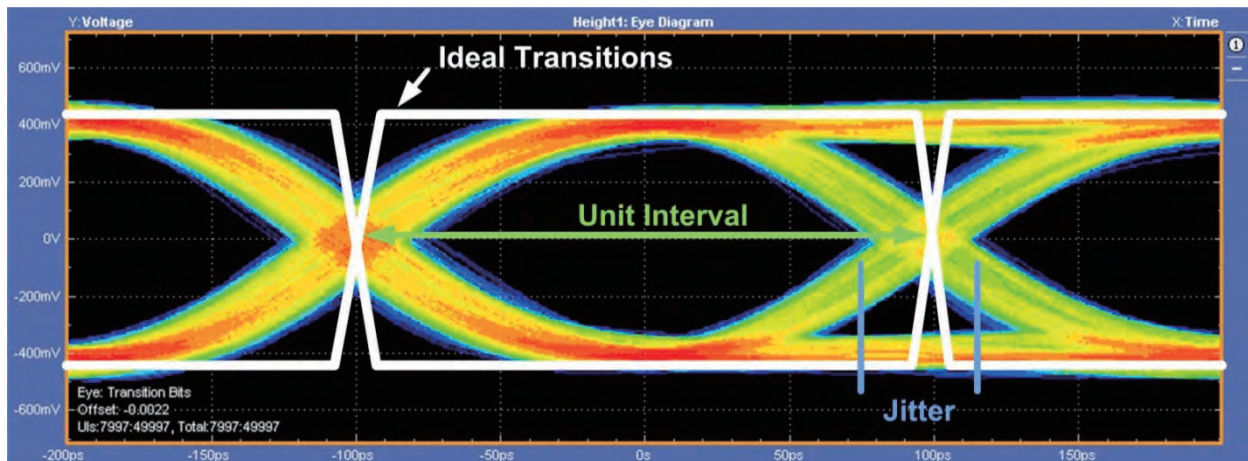


図 1.5.0 Gbps のアイ・ダイアグラム

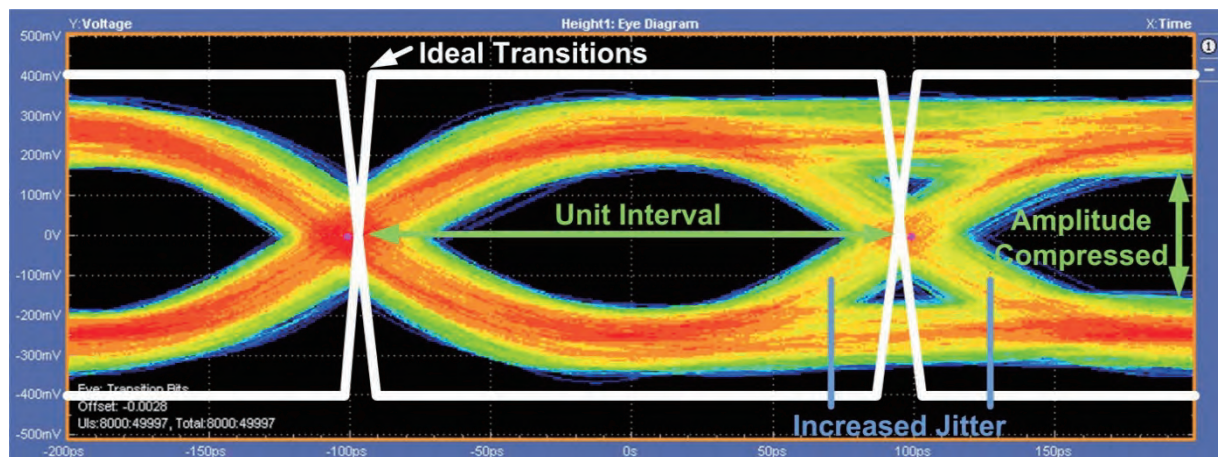


図 2.5.0 Gbps のアイダイアグラム—不適切な終端

図 3 に示すアイ・ダイアグラムは、もう 1 つの非理想伝送を示しています。この場合、インピーダンスの不連続性がトランスミッタとレシーバ (この場合はオシロスコープ) の間の途中にあります。性能低下を示すプロットから分かるように、アイが閉じて、変化ポイントの内側の面積が小さくなっています。データの立上りエッジと立下りエッジが、伝送線のインピーダンス不連続性による反射のため、大きく性能低下しています。インピーダンスの不連続性も、データ変化ポイントに見られるジッタの増加に影響を与えます。データ・ストリームをデコードするレシーバの能力限界を超えてアイが閉じると、データ・リンクが失われます。図 3 の場合、多くのレシーバはデータ・ストリームをデコードできないと思われます。

バスタブ・プロット

アイ・ダイアグラムの他に、バスタブ・プロットも JESD204B データ・リンクで伝送されるシリアル・データの品質に関する情報を提供します。バスタブ・プロットは、アイ・ダイアグラム上を時間軸上で移動するときのサンプリング・ポイントの関数としての BER (ビット・エラー・レート) の測定値です。バスタブ・プロットは、アイ・ダイアグラム上のサンプリング・ポイントを移動させたとき、各ポイントで発生する BER を測定して生成します。図 4 に示すように、サンプリング・ポイントがアイの中心に近づくほど、BER が減少します。サンプリング・ポイントがアイ・ダイアグラムの変化ポイントに近づくほど、BER が増加します。与えられた BER でのバスタブ・プロットの 2 つのスロープの間の距離が、指定された BER (この場合 10^{-12}) でのアイ開口度を与えます。

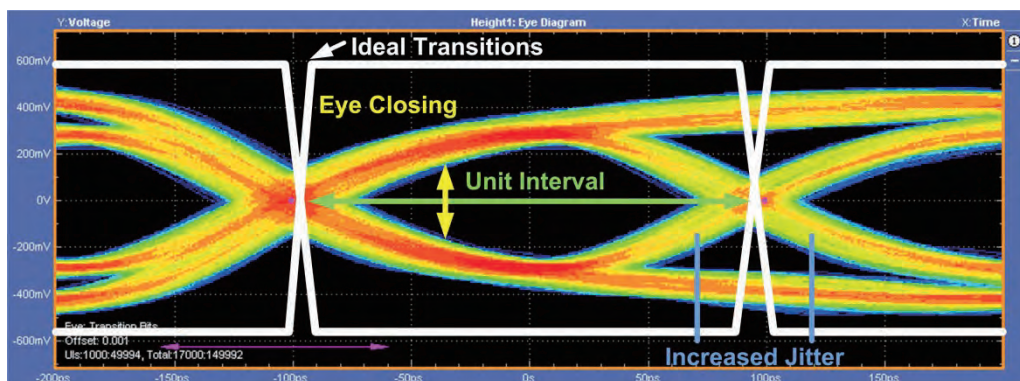


図 3. 5.0 Gbps のアイダイアグラム—インピーダンス不連続性

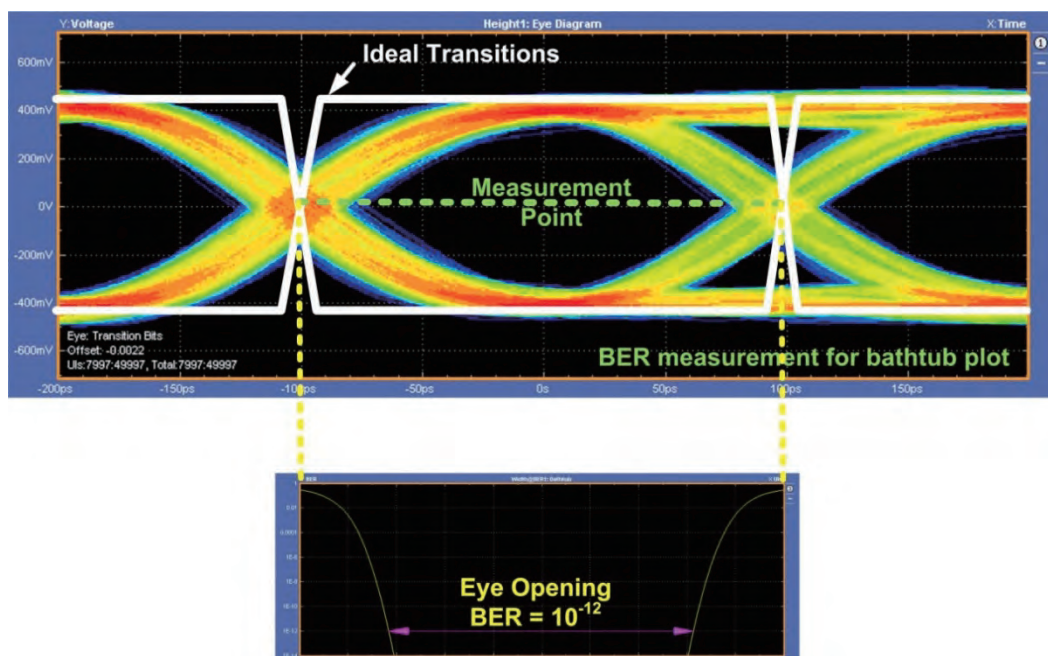


図 4. 5.0 Gbps のアイダイアグラム—バスタブ・プロット測定値

バスタブ・プロットも、信号に現れるジッタ (T_j) 成分に関する情報を提供します。図 5 に示すように、測定ポイントが変化ポイントまたはその近くにあるとき、比較的平坦で、ジッタの主要成分はデターミニスティック・ジッタです。アイ・ダイアグラム測定の場合と同様に、バスタブ・プロットはコネクタと約 20 cm の伝送線を通過した後レシーバで測定した JESD204B 5.0 Gbps トランスミッタの測定値から得たものです。測定値ポイントがアイ開口の中心に近づくと、主要ジッタ・メカニズムはランダム・ジッタになります。ランダム・ジッタは、一般に小さい振幅の多数のプロセスの結果から生じます。代表的な原因は、熱雑音、パターン幅の変動、ショット・ノイズなどです。ランダム・ジッタの PDF (確率密度関数) は通常ガウス分布になります。これに対して、デターミニスティック・ジッタは大きな振幅を持ち独立ではない少数のプロセスから発生します。デター

ミニスティック・ジッタの PDF は有界で、明確なピーク to ピーク値を持っています。形は変化するため、ガウス分布にはなりません。

図 4 に示すバスタブ・プロットの拡大図を図 6 に示します。これは、 $BER = 10^{-12}$ の 5.0 Gbps シリアル・データ転送のレシーバで約 0.6 UI (ユニット・インターバル) のアイ開口を表しています。図 6 に示すようなバスタブ・プロットは外挿した測定であることに注意することが重要です。データの取得に使用したオシロスコープは、測定値のセットを取得してバスタブ・プロットを外挿します。BERT (ビット・エラー・レート・テスト) を使用し、バスタブ・プロットを得るために十分な測定値を得ようとする場合、今日の測定装置の高速動作を利用しても、数時間または数日かかります。

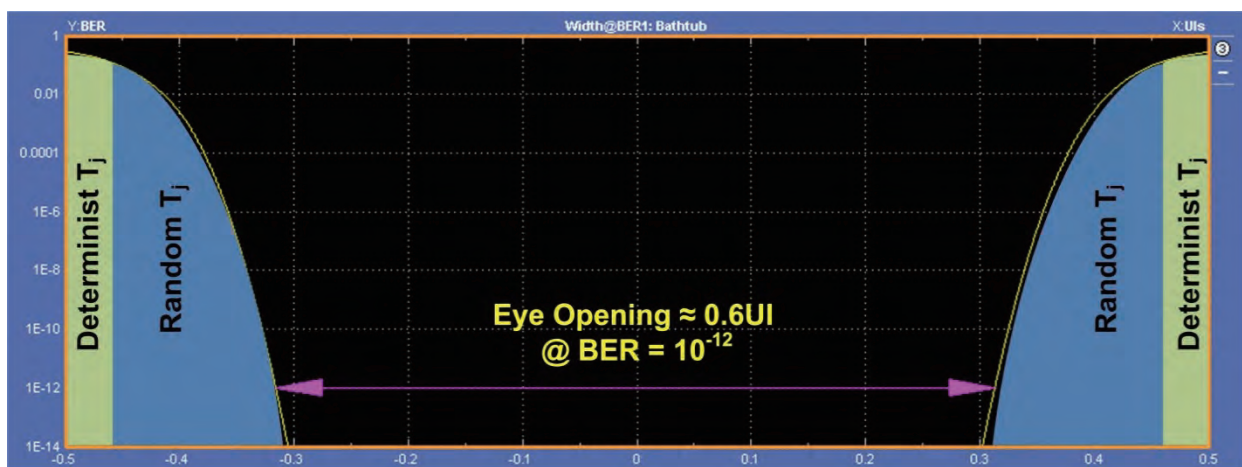


図 5. バスタブ・プロット—ジッタ成分

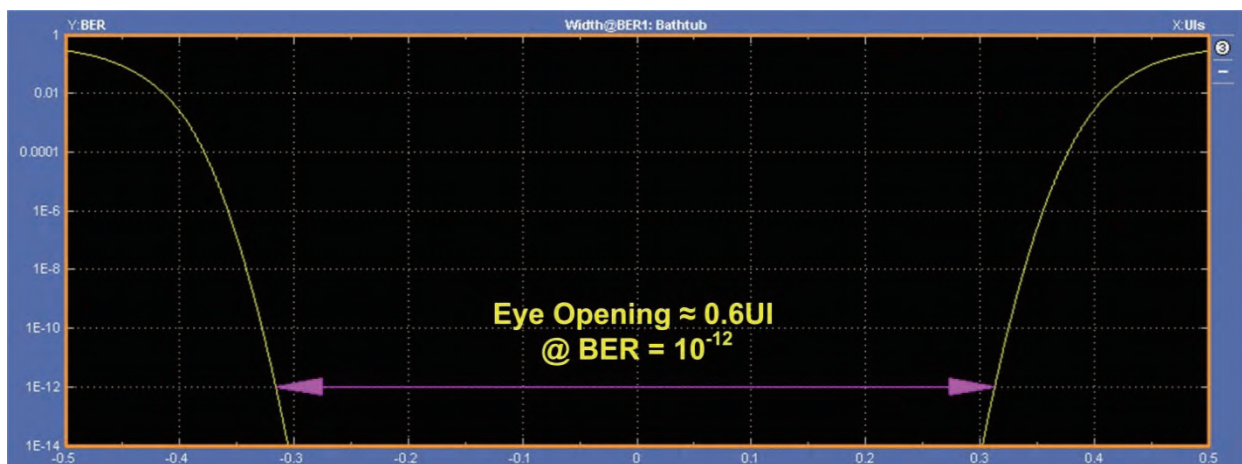


図 6. 5.0 Gbps のバスタブ・プロット

アイ・ダイアグラムで示したように、システム内の不適切な終端またはインピーダンス不連続性がバスタブ・プロットに見ることがあります。図 6 のバスタブ・プロットとは対照的に、図 7 と図 8 のバスタブ・プロットは両側のスロープが緩やかであることを示しています。BER = 10^{-12} でのアイ開口は両ケースとも僅か 0.5 UI ですが、良い条件の 0.6 UI より 10%以上小さくな

っています。不適切な終端とインピーダンス不連続性は、システムで大きなランダム・ジッタを発生させる原因になります。これは、バスタブ・プロットの両側のスロープの減少と、BER = 10^{-12} でのアイ開口の減少によって証明されます。デターミニスティック・ジッタも少し増加します。これは、バスタブ・プロットのエッジ近くのスロープの減少によっても証明されます。

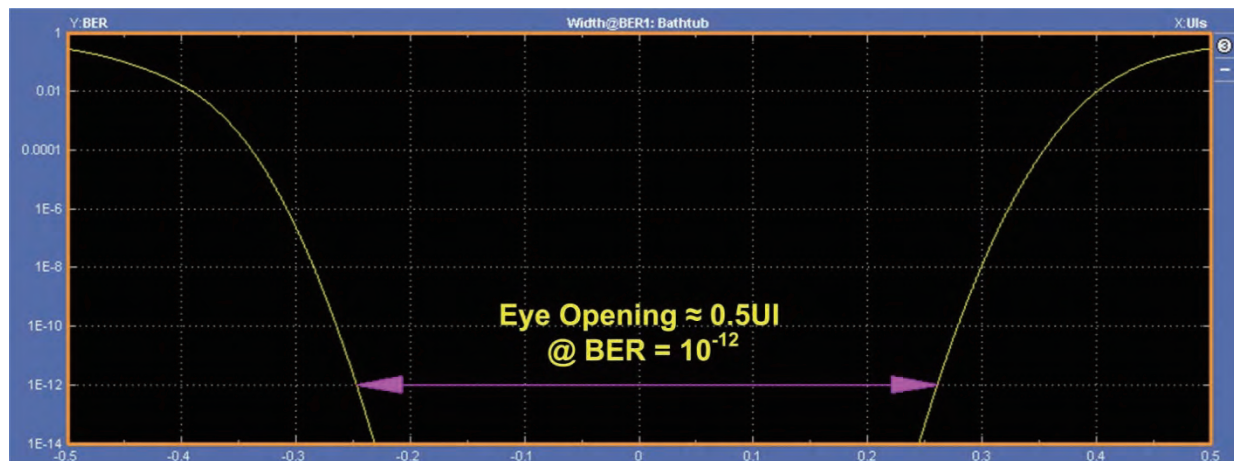


図 7.5.0 Gbps のバスタブ・プロット—不適切な終端

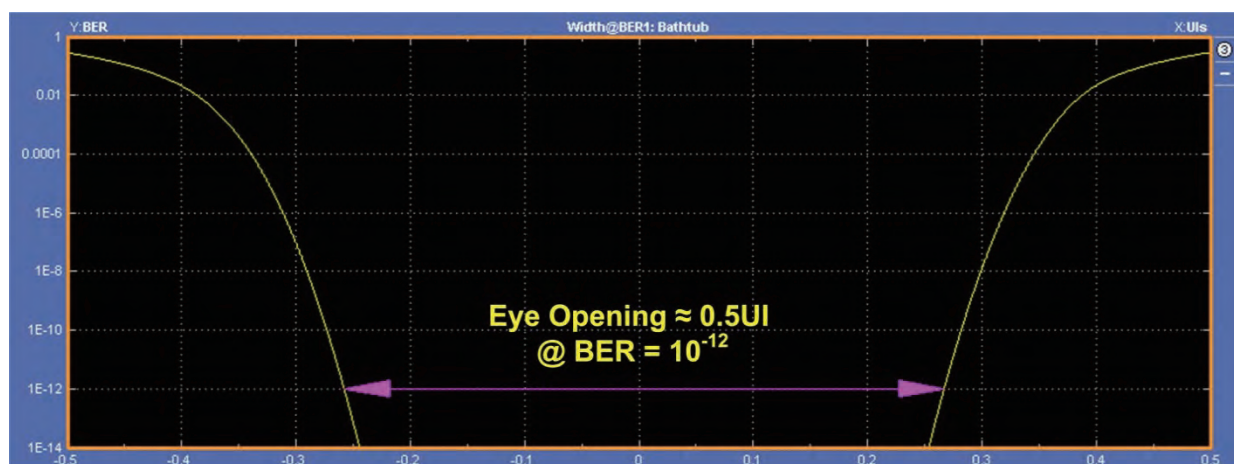


図 8.5.0 Gbps のバスタブ・プロット—インピーダンス不連続性

ヒストグラム・プロット

3 つ目の役立つ測定値は、ヒストグラム・プロットです。このプロットは、データ転送内の変化ポイント間の測定期間の分布を表します。アイ・ダイアグラムとバスタブ・プロット測定値の場合と同様に、ヒストグラム・プロットは、コネクタと約 20 cm の伝送線を通して後にレシーバで測定した JESD204B 5.0 Gbps トランスミッタの測定値から得たものです。図 9 に、5.0 Gbps で比較的良好な性能を持つシステムのヒストグラムを示します。このヒストグラムは、185 ps～210 ps で測定された期間を持つほぼガウス・タイプ分布であることを示しています。5.0 Gbps

の信号に対する予測期間は 200 ps で、期待値を中心として約 -7.5%から+5%に分布していることを意味します。

図 10 に示すように不適切な終端が発生すると、分布が広がって、170 ps～220 ps で変化するようになります。このため、変動パーセント値が-15%から+10%へ増加し、図 9 に示す測定値の 2 倍になります。これらのプロットは、ガウス分布に近い場合、信号に現れる大部分がランダム・ジッタになることを示しています。ただし、形がガウス分布そのものでないため、少量のデターミニスティック・ジッタが存在することも示しています。

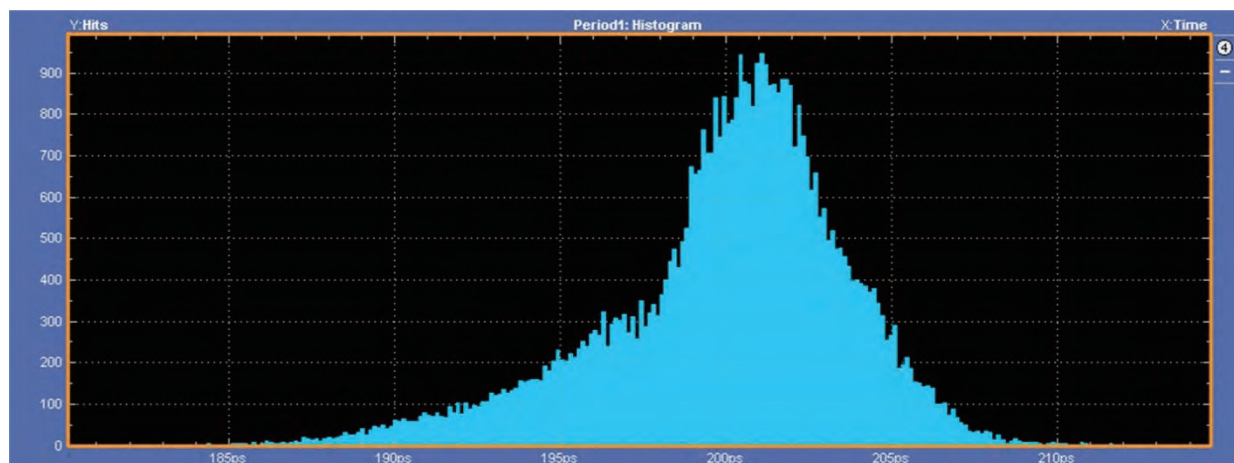


図 9. 5.0 Gbps のヒストグラム・プロット

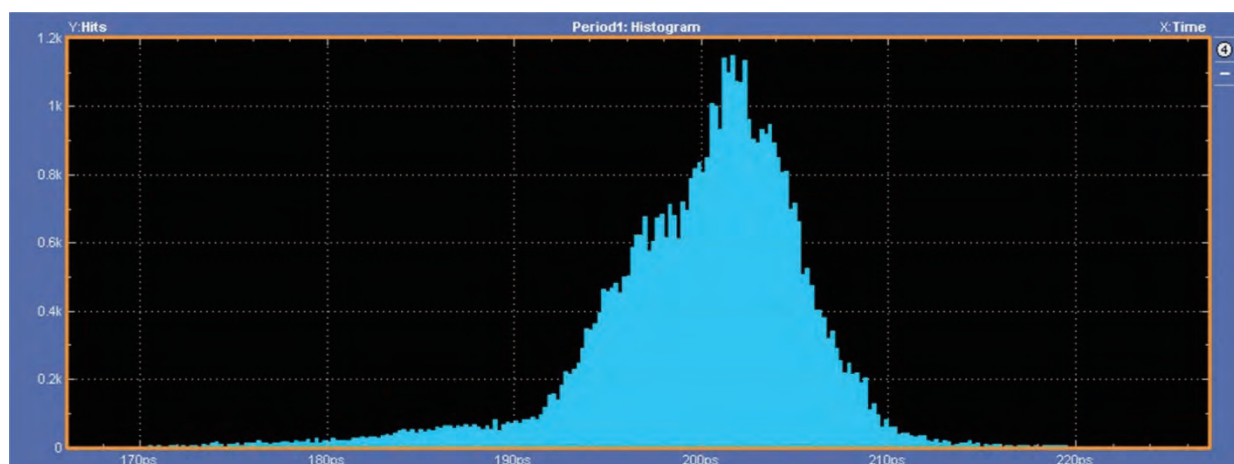


図 10. 5.0 Gbps のヒストグラム・プロット—不適切な終端

図 11 に示すヒストグラムは、伝送線にインピーダンスの不連続性が存在することを示しています。分布は、ガウスに似ていなく、2 つ目の盛り上がりがあります。測定期間の平均値も変化しています。図 9 と図 10 のプロットと異なり、平均は 200 ps でなくなり、約 204 ps へ移動しています。分布が双峰性に近づくことは、システム内のデターミニスティック・ジッタが増えていることを表しています。これは伝送線にあるインピーダンス

の不連続性に起因するもので、システムに対する影響は予測可能です。期間に対して測定された値の範囲は、不適切な終端の場合ほどではないですが、この場合も増加しています。この場合、範囲は 175 ps～215 ps で、これは期待期間の約 -12.5%～+7.5%の範囲になります。範囲はこの場合も大きくありませんが、分布の双峰性は強くなります。

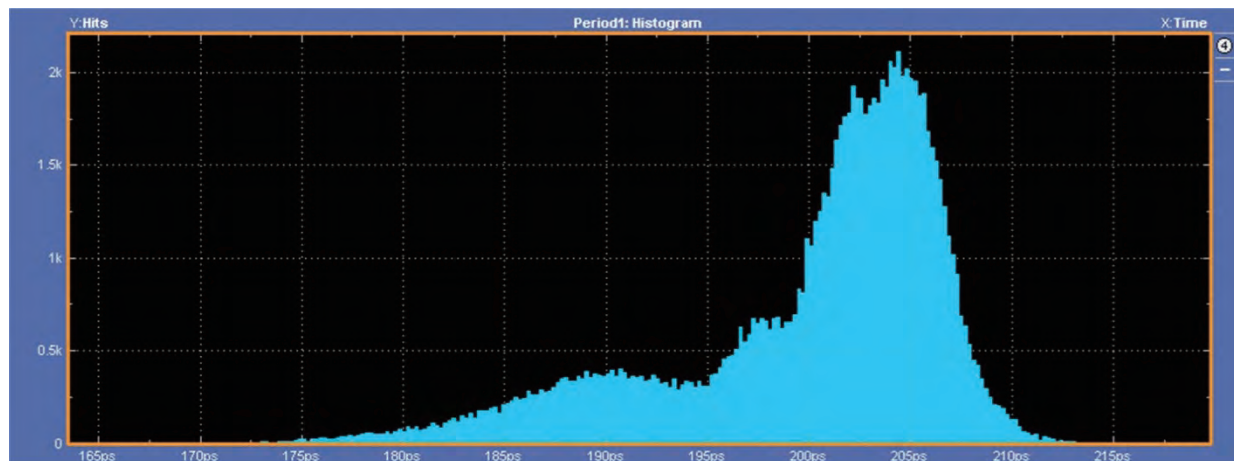


図 11. 5.0 Gbps のヒストグラム・プロットーインピーダンス不連続性

結論

複数の性能測定基準を使って、JESD204B トランスミッタの物理層性能を評価することができます。これには、同相モード電圧、差動ピーク to ピーク電圧、差動インピーダンス、差動出力リターンロス、同相モード・リターンロス、トランスミッタ短絡電流、アイ・ダイアグラム・マスク、ジッタなどが含まれます。ここでは、伝送信号品質の評価に使用される 3 つの重要な性能測定基準を説明しました。アイ・ダイアグラム、バスタブ・プロット、ヒストグラム・プロットは、3 つの重要な性能測定基準であり、JESD204B リンク品質の評価に使用されます。不適切な終端やインピーダンス不連続性のようなシステム問題は、物理層性能に大きな影響を与えます。これらの影響は、アイ・ダイアグラム、バスタブ・プロット、ヒストグラム・プロットで示される性能低下により裏付けられます。伝送媒体でシステムを正しく終端し、インピーダンスの不連続性をなくするためには、優れた設計手法を維持することが大切です。これらはデータ伝送にかなりの悪影響を与えるため、JESD204B トランスミッタとレシーバの間でデータ・リンク障害を生じさせることがあります。これらの問題を回避する技術を採用すると、システムを正しく動作させることに役立ちます。

著者について

Jonathan Harris は、アナログ・デバイセズ (Greensboro, NC) の高速コンバータ・グループのプロダクト・アプリケーション・エンジニアです。彼は、アプリケーション・エンジニアとして 7 年以上の経験を持ち、RF 業界で製品をサポートしてきました。彼は Auburn University から MSEE を、UNC-Charlotte から BSEE を、それぞれ取得しています。彼の趣味は、モバイル・オーディオ、nitro (ラジコン)、大学フットボール、二人の子供と過ごすことです。

参考資料

JEDEC Standard JESD204B (2011 年 7 月)。JEDEC Solid State Technology Association。 www.jedec.org

アプリケーション・ノート 5989-5718EN。 「Using Clock Jitter Analysis to Reduce BER in Serial Data Applications。」 Agilent Technologies 社、2006 年 12 月。

アプリケーション・ノート 5988-9109EN。 「Measuring in Digital Systems。」 Agilent Technologies 社、2008 年 1 月。

リソース

この資料を
してください。



で共有

インターリーブ出力 ADC の初歩

著者

Jonathan Harris

アナログ・デバイス

アプリケーション・エンジニア

はじめに

今日の多くのマーケット・セグメントで、インターリーブ出力タイプの ADC は多くのアプリケーションで利用されています。通信インフラストラクチャでは、DPD (デジタル・プリディストーション) のような直線化技術に必要とされる広帯域に対する要求に加え、マルチバンドのマルチキャリア無線を可能にする高サンプル・レート ADC に対する要求が常に存在します。軍用と航空宇宙用では、高サンプル・レート ADC により、通信、監視装置、レーダーなどに使用できる多目的システムが可能になっています。さらに他のセグメントの工業用測定機器では、十分な精度で高速信号を測定できるように、高サンプル・レート ADC に対する需要は常に増加しています。

インターリーブ出力 ADC とは何かを正確に理解することが先ず重要です。インターリーブを理解するためには、実際に行われていること、それがどのように実現されているかを見ることが良い方法です。基本的な理解の後に、インターリーブの利点を説明することができます。もちろん、良いことだけではなく、インターリーブの問題点も評価する必要があります。

インターリーブについて

複数の ADC をインターリーブする場合、ある定義に沿ったクロックと 2 個以上の ADC を使って、入力信号を同時サンプルし出力信号を発生します。この出力信号のサンプリング帯域幅は、個々の ADC の倍数になります。 m 個の ADC を使うと、実効サンプル・レートが m 倍になります。理解しやすくするため、2 個の ADC について説明します。この場合、サンプル・レート f_s の 2 個の ADC をインターリーブすると、得られるサンプル・レートは $2f_s$ になります。これらの 2 個の ADC は、インターリーブが正しく機能するためにあるクロック位相関係を持つ必要があります。クロック位相関係は式 1 に従います。ここで、 n は特定の ADC で、 m は合計 ADC 数です。

$$\phi_n = 2\pi \left(\frac{n-1}{m} \right) \quad (1)$$

一例として、サンプル・レート 100 MSPS の 2 個の ADC をインターリーブして 200 MSPS のサンプル・レートを実現します。

この場合、式 1 を使って 2 個の ADC のクロック位相関係を求めることができ、式 2 と式 3 で表すことができます。

$$\phi_1 = 2\pi \left(\frac{1-1}{2} \right) = 0 \text{ radians} = 0^\circ \quad (2)$$

$$\phi_2 = 2\pi \left(\frac{2-1}{2} \right) = \pi \text{ radians} = 180^\circ \quad (3)$$

ここでクロック位相関係が既知となったので、サンプル構造を調べることができます。図 1 に、100 MSPS の 2 個のインターリーブ ADC のクロック位相関係とサンプル構造を示します。180° のクロック位相関係とサンプルがインターリーブされる方法に着目してください。入力波形は、2 個の ADC によって交互にサンプルされます。この場合、インターリーブは 200 MHz クロック入力を使って実現されています。このクロックは 2 分周されて各 ADC への必要なクロック位相を持ちます。

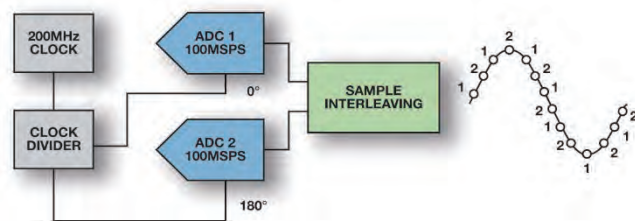


図 1. 2 個の 100 MSPS ADC のインターリーブ—基本図

この概念のもう一つの表現を図 2 に示します。これらの 2 個の 100 MSPS ADC をインターリーブすると、サンプル・レートが 200 MSPS に増加します。これにより、各ナイキスト・ゾーンが 50 MHz から 100 MHz に広がり、動作有効帯域幅が 2 倍になります。動作帯域幅が広がると、多くのマーケット・セグメントのアプリケーションに利点をもたらします。無線システムはサポートするバンド数を増やすことができ、レーダー・システムは空間分解能を向上させることができ、計測装置はアナログ入力帯域幅を広げることができます。

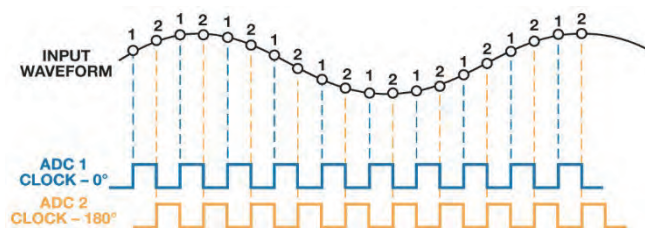


図 2. 2 個の 100 MSPS ADC のインターリーブ—クロックとサンプル

インターリーブの利点

インターリーブの利点は、複数のマーケット・セグメントに当たります。インターリーブの最も大きな利点は、インターリーブされた ADC のナイキスト・ゾーンが広がることで可能になる帯域幅の増加です。もう一度、2 個の 100 MSPS ADC をインターリーブして 200 MSPS のサンプル・レートにする例を取り上げると、図 3 は、2 個の ADC のインターリーブにより可能になった拡張された帯域幅を表しています。携帯電話規格でチャンネル帯域幅と動作バンド数が増えると、ADC の有効帯域幅を増やす要求が強くなります。さらに、軍用アプリケーションでは、優れた空間認識への要求、後方通信でのチャンネル帯域幅の増加により ADC の広帯域化が要求されます。これらの領域での帯域幅に対する需要増のため、これらの信号を正確に測定する必要性が生じました。このため、計測装置ではこれらの広帯域信号を正しく取得および測定するために、広帯域に対する要求が増えています。多くの装置におけるシステム要求は、市販 ADC 技術より厳しくなっていますが、インターリーブを使うと、このギャップのいくつかを埋めることができます。

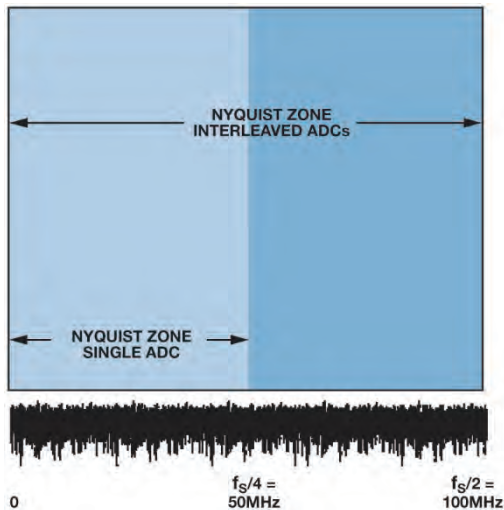


図 3. 2 個の ADC のインターリーブ — ナイキスト・ゾーン

サンプル・レートが高くなると、これらのアプリケーションにさらに多くの帯域幅を提供できるだけでなく、周波数プランも容易になり、さらに ADC 入力で使用される折り返し防止フィルタも簡素化されてコストが削減されます。これらの大きな利点に対して、コストはどうかという疑問も生じます。他の場合でも同様ですが、利点だけでは済みません。インターリーブ ADC は広帯域化とその他の利点を提供しますが、インターリーブ ADC を扱う際に幾つかの問題も生じます。

インターリーブでの問題

ADC をインターリーブする際に注意が必要な問題がいくつかあります。出力スペクトルにスプリアスが現れ、これはインターリーブ ADC に関係する不完全性から発生します。これらの不完全性は、インターリーブされる 2 個の ADC の間の基本的なミスマッチによります。スプリアスを発生させるミスマッチは 4 つあります。これらは、オフセット、ゲイン、タイミング、帯域幅のミスマッチです。

これらの内で理解が最も容易なのは、2 個の ADC の間のオフセット・ミスマッチと思われます。各 ADC は対応する DC オフセット値を持っています。2 個の ADC をインターリーブし、2 個の ADC の間で交互にサンプルする場合、各連続サンプル値の DC オフセットが変化します。図 4 に、各 ADC が固有の DC オフセットを持ち、これらの 2 つの DC オフセット値の間でインターリーブ出力が切り替えられる例を示します。出力がこれらのオフセット値の間で $f_s/2$ のレートで切り替えられるため、 $f_s/2$ の位置の出力スペクトルにスプリアスが生じます。ミスマッチ自体には周波数成分がなく DC だけであるため、出力スペクトルに現れるスプリアス周波数はサンプリング周波数だけに依存し、常に周波数 $f_s/2$ に現れます。スプリアス振幅は、ADC 間のオフセット・ミスマッチの大きさに依存します。ミスマッチが大きいくほど、スプリアスが大きくなります。オフセットのミスマッチから発生するスプリアスを小さくするために、各 ADC の DC オフセットを完全に一致させる必要はありません。これを行うためには、信号内の DC 成分をフィルタで除去しますが、信号成分が実数と複素数であり DC にデータを含む、ZIF (ゼロ IF) アーキテクチャを採用するシステムでは適用できません。これに対する適切な方法は、一方の ADC のオフセットを他方の ADC に合わせることで、一方の ADC のオフセットを基準として選び、他方の ADC のオフセットを設定して、できるだけ値を一致させます。オフセット値が一致するほど、 $f_s/2$ でのスプリアスが小さくなります。

インターリーブの際に注意すべき 2 つ目のミスマッチは、ADC 間のゲイン・ミスマッチです。図 5 に、2 個のインターリーブしたコンバータ間のゲイン・ミスマッチを示します。この場合、ミスマッチに対する周波数成分が存在します。このミスマッチを観測するためには、ADC に信号を入力する必要があります。オフセット・ミスマッチの場合、2 個の ADC の DC オフセットを調べるための信号は不要です。ゲイン・ミスマッチの場合、信号を入力してゲイン・ミスマッチを測定する以外、調べる方法はありません。ゲイン・ミスマッチからスプリアスが発生しますが、このスプリアスは入力周波数とサンプリング・レートに関係し、 $f_s/2 \pm f_{in}$ に現れます。ゲイン・ミスマッチから生ずるスプリアスを小さくするためには、オフセット・ミスマッチの場合と同じ方法を使います。一方の ADC のゲインを基準として選び、他方の ADC のゲインを設定して、できるだけゲイン値を一致させます。ADC のゲイン値が互いに一致するほど、出力スペクトルに現れるスプリアスは少なくなります。

次に、2 個の ADC 間のタイミング・ミスマッチを調べる必要があります。タイミング・ミスマッチには、ADC のアナログ部分でのグループ遅延とクロック・スキューの 2 つの成分があります。ADC のアナログ回路部には影響を与えるグループ遅延があり、その値は 2 個の ADC 間で異なることがあります。この他に、各 ADC 内にアパーチャ不確定成分を持つクロック・スキューがあり、さらに各コンバータに入力されるクロック位相の精度にも関係する成分があります。図 6 に、ADC 内のタイミング・ミスマッチのメカニズムと影響を示します。ゲイン・ミスマッチスプリアスと同様に、タイミング・ミスマッチ・スプリアスも入力周波数とサンプル・レートの間数で、 $f_s/2 \pm f_{IN}$ に現れます。発生するスプリアスを小さくするためには、各コンバータのアナログ部でのグループ遅延を回路設計技術で正しく一致させる必要があります。さらに、アパーチャ不確定の差を小さくするためには、クロック・パス設計を一致させる必要があります。最後に、2 つの入力クロック差が 180° となるように、クロック位相関係を細かく制御する必要があります。他のミスマッチの場合と同様に、目的はタイミング・ミスマッチを発生するメカ

ニズムを小さくすることです。

注意すべき最後のミスマッチは、理解と扱いが恐らく最も難しい帯域幅ミスマッチです。図 7 に示すように、帯域幅ミスマッチには、ゲイン成分と位相/周波数成分があります。このために帯域幅ミスマッチがますます難しくなります。これは、他のミスマッチ・パラメータの 2 つの成分を含むためです。ただし、帯域幅ミスマッチでは、異なる周波数で異なるゲイン値を扱います。さらに、帯域幅にはタイミング成分があり、これにより各コンバータ内で信号が異なる周波数で異なる遅延を持つようになります。帯域幅ミスマッチを小さくする最善の方法は、非常に優れた回路設計とレイアウト設計を行うことです。各 ADC が一致するほど、発生するスプリアスは少なくなります。ゲインとタイミングのミスマッチから $f_s/2 \pm f_{IN}$ にスプリアスが発生するように、帯域幅ミスマッチでも同じ周波数位置にスプリアスが発生します。

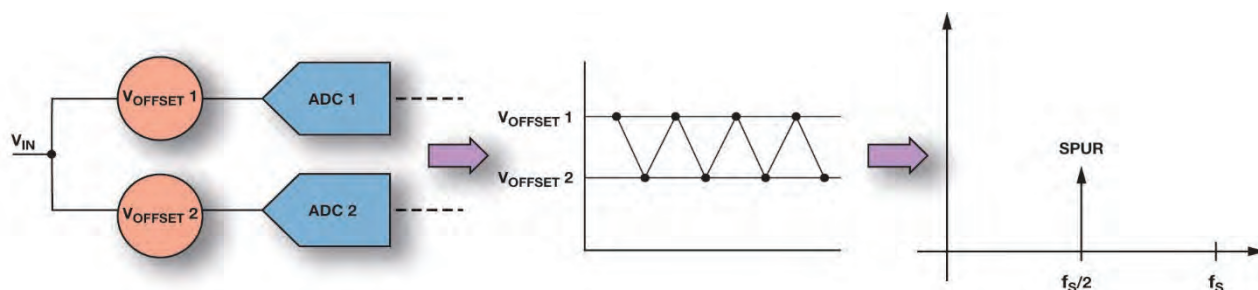


図 4. オフセットのミスマッチ

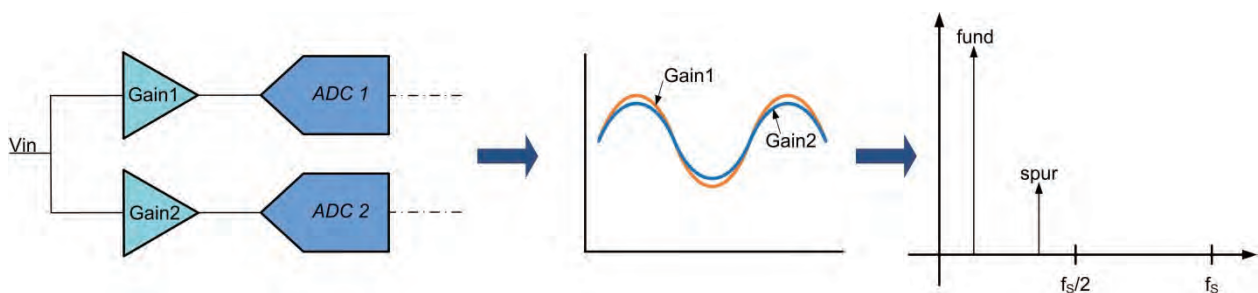


図 5. ゲインのミスマッチ

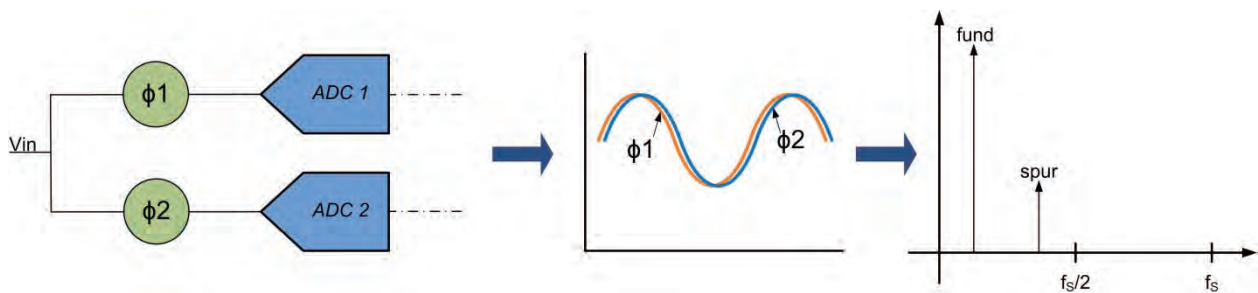


図 6. タイミング・ミスマッチ

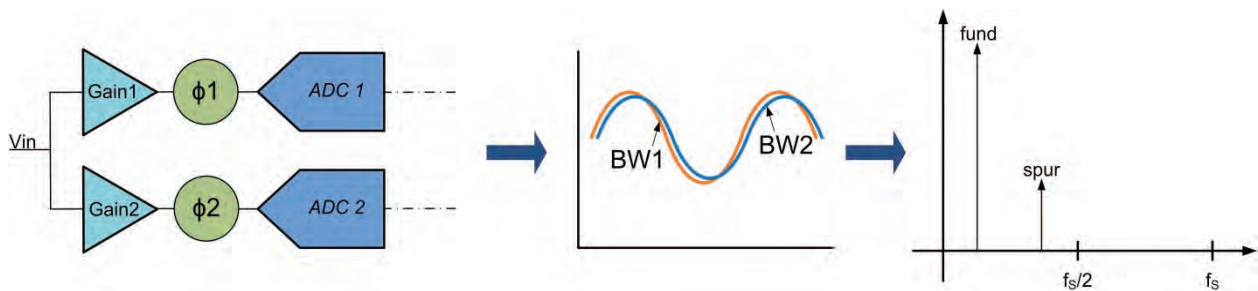


図 7. 帯域幅ミスマッチ

ADC をインターリーブする際に問題となる 4 つのミスマッチを説明しましたが、明らかな共通性があります。4 つのミスマッチの内の 3 つは、出力スペクトル内で $f_s/2 \pm f_{IN}$ にスプリアスを発生させます。オフセット・ミスマッチによるスプリアスだけは $f_s/2$ に存在し、容易に補償できるため、識別は容易にできます。ゲイン、タイミング、帯域幅のミスマッチはすべて、出力スペクトル内で $f_s/2 \pm f_{IN}$ にスプリアスを発生するため、各成分を識別する方法が問題になります。図 8 に、インターリーブ ADC の様々なミスマッチからスプリアスが発生する原因を識別するクイック・ガイド図を示します。

行い、次に後続の測定を高い周波数で行うことで帯域幅ミスマッチのタイミング成分をタイミング・ミスマッチから分離します。

結論

最新の通信システム設計、最先端のレーダー技術、超広帯域測定装置は、常に現存 ADC 技術を凌いでいるように見えます。それは、ADC のユーザーとメーカーにこれらの要求に追いつく方法を開発するように後押ししています。インターリーブ ADC を使うことにより、ADC の変換レートを高くする従来型の方法より速いペースで広帯域幅を実現することができます。2 個以上の ADC を選びこれらをインターリーブすると、有効帯域幅が広がり、システム設計条件を速いペースで満たすことができます。ただし、インターリーブ ADC では、ADC 間のミスマッチを無視できない問題があります。ミスマッチが存在しても、これら内容を理解し適切に処理することで、最新システム設計での増加し続ける要求を満たすことができます。

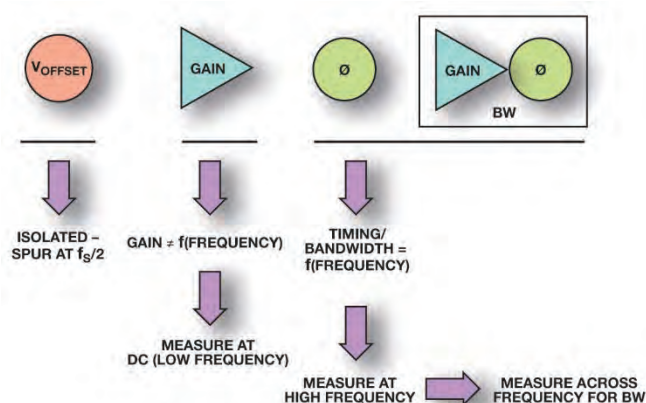


図 8. インターリーブ・ミスマッチの相互関係

純粋にゲイン・ミスマッチだけを見ると、それは低周波または DC 成分のミスマッチとなります。DC 近くの低周波でゲイン測定を行い高い周波数でゲイン測定を行うことで、帯域幅ミスマッチによるゲイン成分をゲイン・ミスマッチから分離することができます。ゲイン・ミスマッチは、帯域幅ミスマッチのゲイン成分のような周波数の関数ではありません。タイミング・ミスマッチに同じ方法が使用されます。測定を DC 近くの低周波で

参考資料

Had, Jim、Mark Looney、Rob Reeder 著「Pushing the State of the Art with Multichannel A/D Converters.」 アナログ・ダイアログ。 Vol. 39、No. 5、2005 年 5 月

リソース

この資料を
してください。



で共有

高速データ・コンバータ用の 新しい高速 JESD204B 規格 における検証課題

著者:

Frank Farrelly

アナログ・デバイセズ

プロダクト・エンジニアリング・マネージャ

Chris Loberg

Tektronix

シニア・テクニカル・マーケティング・マネージャ

背景

JESD204B は、高速高分解能データ・コンバータ向けの新しい 12.5 Gb/s シリアル・インターフェース規格です。既に、コンバータ・メーカーから市場投入が開始されており、JESD204B を採用した製品数は将来大幅に増えるものと予想されています。JESD204B インターフェースの主な価値は、コンバータとロジック・デバイス (FPGA や ASIC など) とのデータ転送帯域幅の信頼度の増加です。

他の新しいインターフェースと同様に、JESD204B でも新しい課題があります。システム開発者の課題は、PCB 設計の面から JESD204B を最適に実装する方法であり、さらに初期に正しく動作しない場合のシステム・デバッグ方法です。部品メーカーにとっては、新しい JESD204B デバイスのテストに関する課題です。テストは、比較的理想的な環境で仕様を満たすだけでなく、エンド・システム環境においても JESD204B が正常動作することも確実にする必要があります。

この資料では、JESD204B 仕様を説明し、JESD204B デバイスの検証に必要なテストをレビューし、エンド・システム環境の再現方法に関する概要を説明します。

JESD204B—データ・コンバータの進化

データ・コンバータ (D/A コンバータと A/D コンバータ) は、オーディオからテスト測定機器までの多くのアプリケーションで使用されています。データ・コンバータの世界は進化しています。ビット数とサンプル・レートが大きくなるほど、データの入出力が困難になります。10 年前または 20 年前は、高速コンバータのサンプル・レートの限界は 100 MSPS 以下であったため、TTL または CMOS パラレル・データ・バスの使用で十分でした。例えば、データ用に 12 本のピンを持つ 12 ビット・コンバータは、クロックに対して適切なセットアップ・タイムとホ

ールド・タイムを持って実現することができました。

速度が 100 MSPS を超えると、シングルエンド信号のセットアップ・タイムとホールド・タイムは維持できなくなります。速度を上げるため高速コンバータに差動信号を採用しましたが、ピン数増加の犠牲が生じました。例えば、12 ビット・コンバータは、データ用に 24 本のピンを必要とします。このピン数問題を解決するために、シリアル・データ・インターフェースが採用されました。6 倍のシリアル・データ・インターフェースにすると、2 本の差動 I/O (わずか 4 本のピン) を使って 12 ビット・パラレルと同じデータ転送ができるようになります。今日では、JESD204B 仕様が採用されたコンバータが開発中されています。

JEDEC 規格組織は、JESD204 高速シリアル・デジタル・インターフェース仕様の 2 つのバージョンを公開しました。1 つ目のバージョンである JESD204 2006 仕様は、3.125 Gbps の最大変換速度を持つコンバータに SerDes 採用の高速シリアル・インターフェースの利点をもたらしました。これは 2008 年に改定され (JESD204A 2008 仕様)、複数のデータ・レーンとレーン同期のサポートなど重要な機能強化が追加されました。この仕様の 2 つ目のバージョンである JESD204B は、25 の会社の約 65 名のメンバーで構成された国際 JEDEC JC-16 タスク・グループ (プロジェクト 150.01) により制定されました。最大レーン・レートの高速化、インターフェースのデタミニスティック・レーテンシーのサポート、高調波フレーム・クロックのサポートなど多くの強化機能を提供しました。

公式コンプライアンス・テスト仕様に関する留意点

他の多くの高速シリアル・インターフェース規格とは異なり、JESD204B 規格には公式コンプライアンス・テスト仕様が含まれていません。テスト仕様は以下の 2 点で価値があります。適合性を保証するために実行するテスト、およびこれらのテストを実行する手順 (プロシージャ) を記載することです。異なるメーカー間で使用出来る一貫性のある手順を持つことで、仕様に関する共通の理解に役立ち、そして仮定による相違をなくすることができます。公式コンプライアンス・テスト仕様が含まれていないことは、すべてが無になることを意味するわけではございません。テストと手順に関する必要なすべての情報は、JESD204B 仕様とそれが参照する仕様に記載されています。これらの情報収集は、個々のチップ・メーカーとシステム開発者が行う必要があります。

物理層のテスト

物理層 (PHY) のテストは、各データ・レーンのドライバ回路とレシーバ回路すなわちリンクのアナログ・テストに関係します。デジタル機能またはプロシージャ・テストは含まれません。PHY テストに関する全てのリストの作成作業を進めることで、OIF-CEI-02.0 仕様のセクション 1.7 から、推奨 SerDes PHY テストのリストを得ることができます。JESD204B 仕様はこれらの推奨事項に沿っていますが、幾つかの変更も含んでいます。例えば、JESD204B は個々のテスト項目としてランダム・ジッタを規定しておりませんが、それをトータルジッタに含めています。また、JESD204B は推奨テスト・パターンとして JSPAT、JTSPAT、modified RPAT を規定していますが、これに対して OIF-CEI-02.0 では PRBS31 パターンの使用を規定しています。

不可欠な PHY テストの他に、OIF-CEI-02.0 仕様または JESD204B 仕様の PHY セクションに記載されていない追加 PHY テストがあります。例えば、他の SerDes コンプライアンス・テ

スト仕様を使うことや、ペア間スキュー (Tx 用)とペア間スキュー耐性 (Rx 用)のようなテストです。これらを取り上げたのは、これらのテストを JESD204B 仕様に追加・推奨する意図ではないので JESD204B 適合性を保証するために PHY テストを追加する必要ありません。この意図は、特定の PHY テストに不合格になった場合に、別の PHY テストを使ってその調査に役立てることを知らせるためです。

テストのリストが設定された後、JESD204B 仕様からこれらのテストの規定値を得ることができます。LV-OIF-11G-SR、LV-OIF-6G-SR、LV-OIF-SxI5 の 3 つのセットの規定値があることを覚えていてください。特定の JESD204B デバイスでは、1 つ以上のセットの規定値をサポートすることがあります。この場合、

表 1. ジッタ用語の解釈

JESD204B ジッタ用語	JESD204B ジッタ名	テスト装置ジッタの解釈
T_UBHPJ	送信アンコリレーティド・バウンデド高確率ジッタ	BUJ (PJ and NPJ)
T_DCD	送信デューティ・サイクル歪み	DCD
T_TJ	送信トータルジッタ	TJ
R_SJ-HF	受信正弦波ジッタ、高周波	$PJ > 1/1667 \times BR$
R_SJ-MAX	受信正弦波ジッタ、最大	$PJ < 1/166,700 \times BR$
R_BHPJ	受信バウンデド高確率ジッタ—コリレーティド	DDJ
R_TJ	受信バウンデド高確率ジッタ—アンコリレーティド	NPJ
R_TJ	受信総合ジッタ	TJ

部品はサポートしているすべてのセットの規定値に対してテストする必要があります。

JESD204B PHY テストで混乱する 1 つのポイントは、ジッタ用語です。JESD204B 仕様と OIF-CEI-02.0 仕様では、テスト装置ベンダーと異なる用語を使用しています。一般的なジッタ・マップを図 1 に示します。テスト装置メーカーは業界規格のデュアル・デラック (Dual Dirac) ジッタ・モデルに基づく用語を使っています。ジッタは非常に紛らわしいのでこの用語違いがテスト手順で問題になります。表 1 に、ジッタ用語の我々の解釈を示します (JESD204B 仕様では、ジッタに対してテスト装置ベンダーと異なる用語を使っています)。

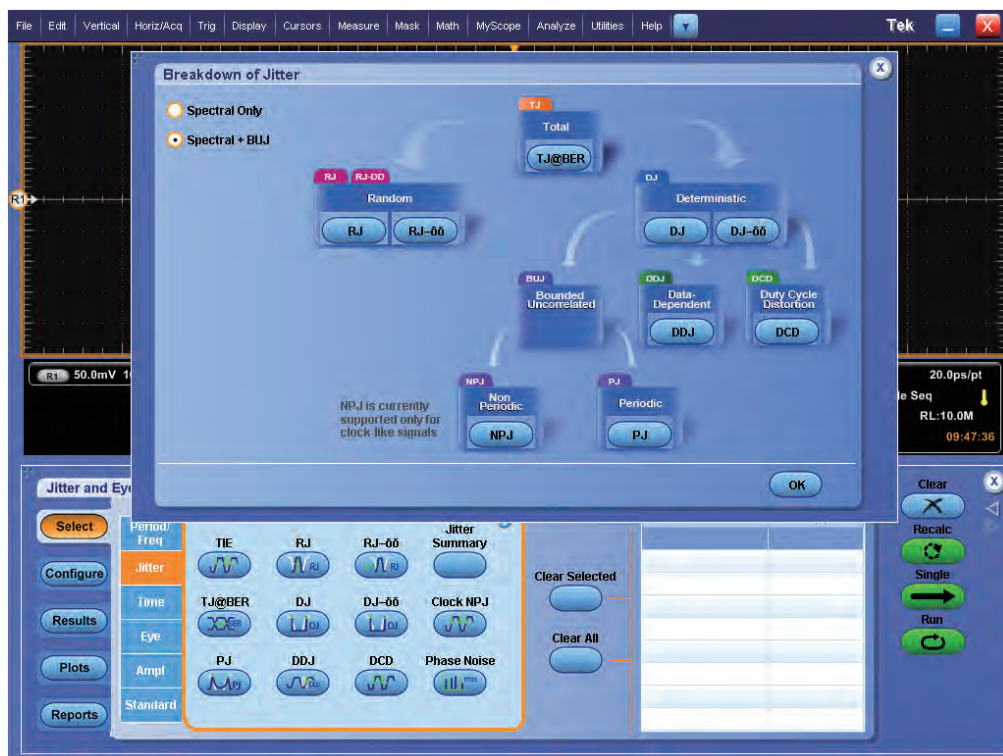


図 1.一般的なジッタ・マップーバウンデド・アンコリレーティド・ジッタ (BUJ)の識別を含む

JESD204B PHY テストで紛らわしいもう 1 つのポイントは、11.1 Gbps を超えるデータレートに対するアイ・マスクです。JESD204B 仕様では、11.1 Gbps を超えるデータレートに対して 11.1 Gbps の正規化ビット時間を使用すると規定しています。したがって、12.5 Gbps (ビット周期 80 ps)で動作する場合、11.1 Gbps (90.9 ps)のビット周期を使うことを規定しています。ここでの問題は、アイ・マスクを UI のエッジまたは UI の中央から開始して決めることができますが、JESD204B はどちらを開始基準ポイントにするか明確に定めていません。基準ポイントを UI の中央にする場合、アイ・マスクは 12.5 Gbps の通常より大きくなり、Tx の合格が厳しくなり、Rx の合格が緩くなります。基準ポイントを UI のエッジにする場合、アイ・マスクは 12.5 Gbps の通常より小さくなり、Tx の合格が緩くなり、Rx の合格が厳しくなります。適合性を保証するためには、この問題が解決されるまで、2 つの各マスク・オプションに対してテストすることが推奨されます。

タイミング・テスト

JESD204B のタイミング・テストの完全なリストを作ることは、容易ではありません。仕様全体では少なくとも 12 個のタイミング図があり、Tx、チャンネル、または Rx のいずれに適用されるかは明らかではありません。また、幾つかは特定のサブクラス (0、1、または 2)のみに適用されます。公式コンプライアンス・テスト仕様は、もしタイミング仕様を単に 1 つの表にまとめるものであったなら、ここで特に役立ちます。時間をとって系統的にタイミング仕様を検討することで、これらについて混乱することがなくなります。

タイミングに関するシステム開発者にとって 1 つの良いことは、JESD204B 部品のタイミングを指定することが、仕様から自明であることより、タイミングを指定することの方が容易であることが分かることです。サブクラス 0 と 2 の場合、デバイス・クロック—SYNC~ 間のタイミングだけを指定します。サブクラス 1 場合、デバイス・クロック—SYSREF 間のタイミングだけを指定します。

プロトコル・テスト

PHY テストの場合と同様、JESD204B プロトコル・テストの公式リストはありません。そのため、仕様を調べてテストする機能のリストをまとめるのは各ユーザーに任されています。このセクションでは、多くの推奨プロトコル・テストをリストと共に短い説明を示します。

プロトコル・テストの 1 つのカテゴリは、テスト・シーケンスです。PHY テストの場合、JESD204B トランスミッタは JSPAT パターンと modified RPAT パターンを出力する必要があります。プロトコルの観点から、これらのパターンが正しいことを確認する必要があります。JESD204B レシーバと JTSPAT パターンに対しても同じことが言えます。オプションで、これらが PRBS パターンをサポートする場合、これらも確認する必要があります。次は、短いトランスポート層パターンと長いトランスポート層パターンです。リンクがトランスポート層を通して正しく動作していることを証明することにより、これらトランスポート層パターンは、システム開発者のシステムデバッグを支援します。部品メーカーの観点からは、デバイスがサポートする各動作モードに対して、これらのトランスポート層パターンを確認する必要があります。これは、リンク設定変数の数を考慮すると、最終的には数多くのケースになります。

プロトコル・テストに関して生ずる 1つの疑問は、12.5 Gbps でそれをどのように行うかです。1つの推奨ソリューションは、シリアル・データ・デコーダ付きの高速オシロスコープを使うことです。多くのハイエンド・オシロスコープには、JESD204B

で使用されているような 8b/10b データでトリガする専用トリガ・チップが付いています。図 3 に、初期レーン・アライメント・シーケンス (ILAS) 開始時における、6 Gb/s の JESD204B データ・レーンのシリアル・デコードを示します。



図 2. 6 Gbps の JESD204B データ・レーンのシリアル・デコード—ILAS シーケンスの開始

プロトコル・テストのもう 1 つのグループは、ILAS について作成することができます。ILAS の全体はかなり複雑であるため、個々の部品に分割すると、プロトコル・テストが分かり易くなります。トランスミッタ動作を確認するために、トランスミッタ上で測定できるテスト例を次に示します。マルチフレーム長は正しいか？各マルチフレームは /R/ 制御コードで始まり、/A/ 制御コードで終わるか？/Q/ 制御コードの位置は正しいか？リンク設定データは正しく、正しい位置にあるか？ILAS はデータを含んでいるが、それは正しいか？ILAS が継続するマルチフレーム数は？すべてのレーンで ILAS は同じか？明らかに、ILAS シーケンスについてはプロトコル・テストについて多くの可能性があります。

JESD204B は多数のハンドシェイクを持ちませんが、もっているものはテストすることができます。サブクラスに応じて、多くのテストを行うことができます。SYNC~ 信号は、初期ハンドシェイク、エラー報告、リンクの再初期化に使うことができるため、Tx 部品と Rx 部品はその部分を相応に行うか？正しいタイミングで開始され、正しい継続時間で Rx は SYNC~ をアサートするか？SYNC~ アサーションの継続時間に基いて Tx は正しく応答するか？リンクに送信されるデータもハンドシェイクの役割を果たすので (すなわち ILAS)、データは値と SYNC~ タイミングについて正しいか？

次に、プロトコルの一部としてテストが必要な多くの小さなデジタル機能があります。これには、スクランプリング、8b/10b エンコーディング/デコーディング、スキューとスキュー耐性、コントロール・ビット、テール・ビット、SYNC~ 信号の組み合わせ、フレーム・アライメント・モニタリング、補正が含まれます。これらすべての機能を確認する必要があります。

最後に、エラー処理と呼ばれるプロトコル・テストのカテゴリがあります。仕様には、検出と報告を必要とする最小最小限のエラーが含まれています。すなわち、パリティ不一致エラー、テーブル不記載エラー、予期しない制御文字エラー、コード・グループ同期エラーです。ただし、検出／報告されるエラーはさらに多く存在します。JESD204B 部品から検出できる各々および各タイプに対して、プロトコル・テストがあります。これらのタイプのプロトコル・テストは、正常に動作するリンクでは実行されることがないので、小さい問題になります。一般に、これらのテストには特別なテスト装置が必要です。エラーを含むパターンを生成し、BERT パターン・ジェネレータを使って多くのテストを行うことができます。特別にこれらのエラーを発生するようにコードを変更した FPGA を使って、エラー・ケースも発生することができます。

エンファシスと等化のテスト

JESD204B 仕様は、エンファシスと等化については殆ど規定していません。「プリエンファシスが必要となることがある」や「等化の組み込みが必要となることがある」のような少ないコメントから、仕様はこれらの使用を可能にしてはいるが、その他のガイダンスを与えていない」と判断することができます。エンファシスまたは等化を内蔵する JESD204B 採用のコンバータを使う際、この機能のオン／オフはどうやって決定するのか、またオンする場合どれくらい多くオンするか？これに応えるためには、先ずシンボル間干渉 (ISI) と呼ばれるジッタのタイプを理解することが最適です。ISI は、送信ラインのフィルタ処理効果から生じるエッジ・タイミング変動に対する名前です。数学的には、ローパス・フィルタとして単純にモデル化することができます。高速シリアル・データを伝送線に送信する際、フィルタ処理すると、信号歪が生じます。エンファシスと等化は、チャンネルの端での周波数応答を周波数に対してできるだけ平坦に戻して、ISI で歪を受けなかった信号を発生させることにより、ISI のフィルタ処理の影響を弱めます。

エンファシス、等化、ISI を基本的に理解した後は、次のステップはこれらを設定することです。多くの人が最初に訊ねることは、エンファシス／等化のあり／なしで駆動できるパターン長です。実際の PCB 設計でチャンネルのパターン長を指定できるためには、ISI に影響を与える変数が多すぎます。パターン幅、パターン長、ビア対ビアなし、誘電体、コネクタ対コネクタなし、パターン材料、コーナー、受動部品、グラウンド・プレーンへの距離のような変数はすべてチャンネル性能に影響を与えます。そのため、チャンネル特性はエンファシス／等化とどのような相関を持つか？これに対するソリューションは、チャンネルの挿入損失を使って規定することです。挿入損失は、周波数に対する信号電力損失の指標として JESD204B 仕様に規定されています。エンファシス、等化、PCB チャンネルはすべて、挿入損失 (およびゲイン) の意味で関係があります。該当する周波数 (JESD204B 仕様は ¼ ボー・レートと規定) と挿入損失規定値 (JESD204B は -6 dB と規定) を使って、エンファシスおよび／または等化により提供されたゲインを選択して、選択した周波数での周波数応答を損失規定値の上に持つて行くことができます。例えば、+9 GHz で損失 -12 dB の PCB チャンネルは、合計を -6 dB に戻すために +6 dB のエンファシス/等化ゲインが必要です。

あるいは、コンバータ・メーカーがエンファシス/等化設定値対 PCB 挿入損失の表を用意することができます。この方法は多くの仮定に基いていないので、良いソリューションになります。トランスミッタに対してこのような表をつくるため (さらにエンド・システム設計のエミュレーションのため)、テスト評価用ボードのセットを可変長パターンで作成することができます。

PCB パターンの端でアイ・ダイアグラムを直接測定することができ、JESD204B Rx マスクと比較されます。種々の PCB パターン長を試みると、Rx マスクにかろうじて合格するアイが見つかるでしょう。その特定パターンの挿入損失を測定できるため、特定のエンファシス設定値に対する駆動能力が分かります。図 3 の ISI PCB の端のアイ・ダイアグラムと図 4 の ISI PCB 入力でのアイ・ダイアグラムを比較します。この場合、データレートは 5 Gb/s で、ISI PCB は 4 GHz で 8 dB の挿入損失を持ち、エンファシスはオフです。

このプロセス対エンファシス設定値を繰り返すと、エンファシス設定値対挿入損失の表が得られます。同じ手法が、等化を持つ

レシーバに対して適用できます。最大許容総合ジッタ (ISI ジッタを除く) を出力する BERT ジェネレータから始めます。可変長パターンの同じセットの ISI テスト・ボードを使って、目標のビット・エラー・レート (1E-15) を超えるエラーがレシーバで発生し始めるまで、パターンを長くしながらテストします。PCB パターンの挿入損失を測定します。各イコライザ設定値に対して繰り返します。つまり、JESD204B デバイス・メーカーがエンファシス/等化ゲインだけを提供する場合、最初の方法を使って設定値を選択することができます。最適な方法は、メーカーが設定値対チャンネル挿入損失の表を提供する場合です。

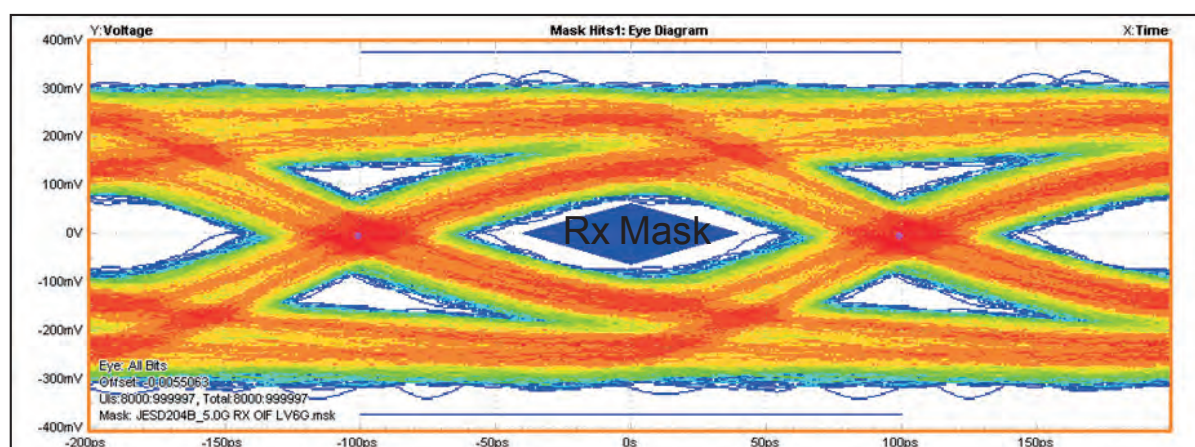


図 3. 長い ISI PCB の端のアイ・ダイアグラム

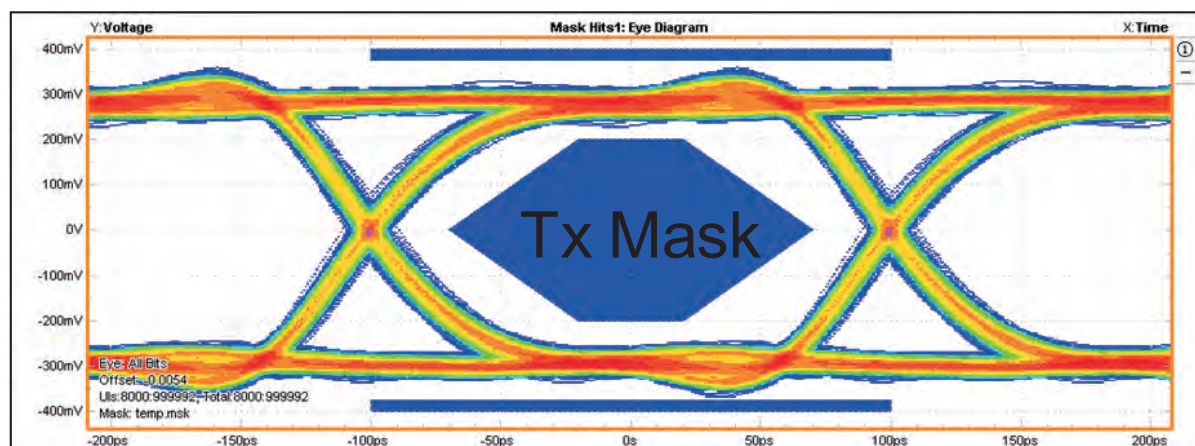


図 4. 長い ISI PCB 入力でのアイ・ダイアグラム

エンファシスまたは等化を使用すべきか？周波数応答補正の観点からは、これらを使用する明確な理由はありませんが、多くの場合、エンファシスは小さい電力で一定のゲインを発生することができます。システム電力が重要な場合、これが等化よりエンファシスの方を選択する理由になります。等化よりエンファシスを選択するもう 1 つの利点は、信号に対する効果をオシロスコープで直接測定できることです。

エンファシス付き JESD204B Tx と等化付き Rx を持つことは一般的なことです。両方をオンにするタイミングはどのように決めるのでしょうか？チャンネル挿入損失をエンファシスのみまたは等化のみで回復できない場合は、その時が両方をオンにするタイミングです。各々に設定するゲインの大きさについて言えば、挿入損失 (およびゲイン) を使って応答を規定する 1 つの利点はそれが加算的であることです (例えば、注目する周波数で、PCB パターンが -20 dB の損失を持ち、Tx が $+6$ dB のエンファシスを持ち、Rx が $+8$ dB の等化を持つ場合、総合で -20 dB $+6$ dB $+8$ dB $= -6$ dB と表すことができます)。

システム環境のエミュレーション—ノイズとジッタ

ノイズとジッタのないエンド・システム設計は存在しません。システム・ジッタのエミュレーションは、JESD204B 仕様でフルに規定されていますが、電圧ノイズは規定されていません。エンド・システム設計で電圧ノイズをエミュレートするときは、部品メーカーはノイズ耐性テストを行うことができます。このようなテストの 1 つは電源ノイズ耐性です。このテストの場合、ノイズを部品の種々の電源領域に注入します。最初にコンプライアンス・テストに失敗するまでノイズ振幅を大きくします (SerDes での最初のテストの失敗はジッタであることが多い)。このテストを PCB ノイズが存在する周波数範囲 (数 Hz ~ 約 100 MHz) で繰り返します。最大許容電源ノイズ周波数特性のプロットをつくります。同じテストを他のすべてのピンに対して行うことができます。このすべてのテスト結果は、「特定の電源領域を分離する」または「このピンにバイパス・コンデンサを使用する」または「このピンの近くには信号を配線しない」などの実用的な PCB 設計推奨事項のセットになります。

測定時の信号正常性の維持

すべての高速シリアル・テスト・アプリケーションの場合と同様に、正確な計測結果を得るために多くの優れた実践経験を動員し、正確な計測結果を与えるために測定機器が十分な性能と信号正常性を持っていることを確認する必要があります。次に幾つかの考慮事項を示します：

ダイナミックレンジ：一般に、オシロスコープの、アンプのクリッピングのない A/D コンバータ・ダイナミックレンジをフルに使うことが最適です。クロック信号を見るときにクリッピングが許容できるとしても、データ信号を評価する際には ISI 問題が隠れているため、測定のエッジ・インターポレーション・アルゴリズムに影響を与えることがあります。

サンプル・レート：オシロスコープを最大サンプル・レートに設定すると、大部分の正確な信号測定とジッタ測定に対して最適タイミング分解能を提供します。1 つの例外は、低いタイミング精度で長い時間ウィンドウを観測する場合です。

キャプチャ・ウィンドウ：長い時間ウィンドウで信号を解析すると、電源ノイズや分散スペクトル・クロッキングのような低周波変調効果を観測することができます。キャプチャ・ウィンドウを大きくすると、残念ながら解析処理時間が長くなります。SerDes システムでは、追跡/除去される CDR のループ帯域幅の下側で変調効果を見ることが不要であることがあります。

テスト・ポイント・アクセスとディエンベディング：できるだけ Tx テスト・ポイントの近くに、さらにできるだけ Rx テスト・ポイントの近くに、プローブを近づけるメカニズムを採用することに注意してください。高速シグナリング・テストでは、測定プロセスで長いパターンおよび/または実際の Tx/Rx テスト・ポイントの治具から不要な信号不連続性が導入されると、タイミング測定と振幅測定がマージン・テスト結果に大きな影響を与えることがあります。

場合によっては、プローブ・アクセス・ポイントが伝送線長のため信号品質が低下する位置にあることがあります。この場合、実際の信号を確かめるため伝送線をディエンベッドする必要があります。ディエンベディングには、測定器とターゲット・テスト・ポイントの間の測定チャンネルのモデル (S パラメータを使う線形法を使用) の生成が必要です。このモデルを使って、オシロスコープで波形データを取得して伝送線性能低下を考慮します (図 5)。

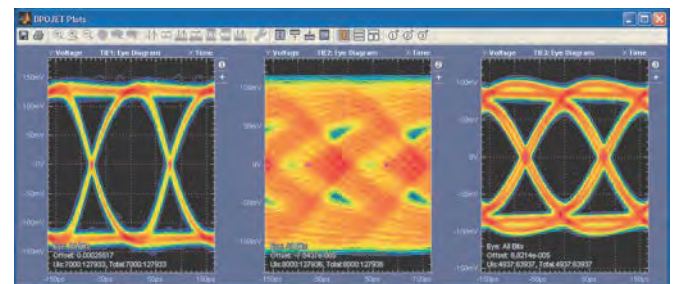


図 5. テスト治具、チャンネル端、EQ の後ろで取得した測定値を説明するアイ・ダイアグラム

測定技術で優れた信号正常性を実践することにより、JESD204B のような高速技術の評価とキャラクタライズの機能を備えることができます。

まとめ

最近リリースされた JESD204B インターフェースは、コンバータとロジック・デバイスの間のデータ転送帯域幅を確実に広げ、このインターフェースを採用する多くの新しいデバイスがマーケットに登場しつつあります。他の多くの高速シリアル・インターフェース規格とは異なり、JESD204B 規格は公式コンプライアンス・テスト仕様を含まないため、設計をテスト/デバッグしなければならないシステム設計者にとって多くの問題を発生させています。幸いにも、仕様は、PHY、タイミング、プロトコル・テストなどのテスト手順を制定する十分な情報を含んでいます。

テストは、性能と仕様に対するコンプライアンスの確認の他に、システム設計でのエンファシスまたは等化の必要性の判断に役立ち、さらにノイズとジッタの不要な原因の特定に役立ちます。高速シリアル・テスト作業の場合と同様に、測定器の選択、セットアップ、プローブについての優れた実践経験に従って矛盾のない正確な結果を得るようにします。

著者について

Frank Farrelly は、アナログ・デバイセズのプロダクト・エンジニアリング・マネージャです。彼は 19 年間 ADI に勤務し、現在高速 SerDes 製品のキャラクタライゼーションと検証を行っています。彼は The University of Tennessee, Knoxville から BSEE を、The University of North Carolina, Greensboro から MBA を、それぞれ取得しました。

Chris Loberg は、Tektronix® 社のシニア・テクニカル・マーケティング・マネージャで、米国地域のオシロスコープを担当しています。Chris は、13 年間以上の Tektronix 社勤務で、同社の光

ビジネス・ユニットのマーケティング・マネージャなど様々なポジションにありました。テクニカル・マーケティングにおける彼の広範囲なバックグラウンドには、Grass Valley Group と IBM でのポジションも含まれます。彼は、San Jose State University からマーケティングで MBA を取得しています。

参考資料

JESD204B 仕様。

OIF-CEI-02.0。

リソース

この資料を
してください。

facebook

twitter

で共有

JESD204B によるシステム問題の解決

著者:

Ian Beavers

アナログ・デバイス

アプリケーション・エンジニア

JESD204B シリアル・データ・リンク・インターフェースは、高速コンバータへの更なる高速化需要をサポートするために開発されました。この第 3 世代の規格は、高い最大レーン・レート (チャンネルあたり最大 12.5 Gbps)、データミニステック・レーテンシー、高調波フレーム・クロックをサポートします。さらに、汎用 FPGA と互換性と拡張性を持つ高性能コンバータとの組み合わせにより、大量のデータを容易に処理できるようになりました。

FPGA プロバイダは、何年間もマルチギガビット・シリアルライゼーション/デシリアルライゼーション (SERDES) インターフェースについて提案していましたが、これまで大部分の A/D コンバータ (ADC) と D/A コンバータ (DAC) には、これらの高速シリアル・インターフェースが採用されず、FPGA とコンバータは、SERDES の広帯域幅を利用した共通規格を使ってインターフェースすることはありませんでした。JESD204B 準拠のコンバータはこの問題を解決することができますが、この新しい機能により幾つかの課題が発生しています。

8b/10b エンコーディングとは？、何故 JESD204B インターフェースで必要か？

ランダムなエンコードされていないシリアル・データの差動チャンネルでは、信号の DC バランスを保証することができません。これは、送信される多数の 1 または 0 が互いに他に対して均等でないことが容易に発生するためです。シリアル・リンクを介して送信されるランダム・データでも、長時間の無動作か、またはすべて 1 または 0 が比較的長時間続くデータであることがあります。

これが発生すると、DC バランスが一方の電源レールまたは他方の電源レールへ傾きます。この時、アクティブなデータが再開されると、差動ラインのバイアスが再設定されるため、ビット・エラーの可能性が高くなります。更に、差動 DC 電圧が対の片方より一方に長く維持されるために生ずる懸念点があり、それはエレクトロマイグレーションです。これらの問題に対処するため、JESD204B などの差動シリアル・データ・ストリームでは、8b/10b エンコーディング方式が広く採用されています。

8b/10b エンコーディングでは、ルックアップ・テーブルを使い 8 ビットの情報をソース・トランスミッタから送信するために 10 ビットに変換します。この場合、25% (10b/8b = 1.25) のオーバーヘッドが発生します。さらに、このエンコーディングでは、10 ビット・シンボルあたり 3~8 ビット変化が可能です。これは、元データのダイナミック動作とは無関係に、レシーバが組み込みクロックを再生するために十分な変化を保証します。

シリアルデータのストリーム内の 0 と 1 の数の不一致は、8b/10b エンコーディングを使うことで±1 以内に維持されているため、DC バランスを所望の時間内において維持することができます。10 ビットから 8 ビットへのデコーディングは、レシーバ側でデータ・ストリームに対して行い、ルックアップ・テーブルを使って元のデータへ戻す必要があります。同じ原理で動作し、3.125% と小さいオーバーヘッドに出来る効率の良い 64b/66b エンコーディングは、更に高度です。JESD204 の将来世代で使用される可能性があります。

コンバータで割り当てた JESD204B のレーンがボード上の FPGA への配線が容易にできません。配線の交差がボード上で全体的に発生しているため、全体としてクロストークに弱くなっています。レイアウトを容易にするため JESD204B のレーンを再割り当てする方法はありませんか？

コンバータは、リンク全体で特定の関係を指定する番号、文字、またはその他の名前前で定義付けした JESD204B シリアル・レーンを持つことができますが、固定である必要はありません。仕様では、各レーンとデバイスがユニークな識別を持つ限り、初期設定データの再割り当てを許容しています。リンク設定データには、動作を識別する、デバイスとレーンの識別番号が含まれています。複数レーン・トランスミッタはこの情報により、クロスバー・マルチプレクサを使って任意のデジタル論理シリアル・データを任意の物理出力レーンへ容易に再割り当てすることができます。

仕様が許容するのはオプション機能ですが、ADC ベンダーが論理出力を物理出力へ再割り当てするクロスバー・マルチプレクサ機能を持つ場合、レイアウトを容易にする最適なリンク I/O を再設定することができます。FPGA レシーバは同じ初期設定データを取得し、割り当てられたレーンに変更してデータを再現することができます。この機能を使うと、1 つのデバイスから他のデバイスへのレーンの配線は容易に、かつデータシートに記載された初期の割り当てた名前と無関係に可能になります。

JESD204B マルチポイント・リンクを使用するシステム上でコンバータ部の設計を検討しています。シングル・リンクとはどのように違いますか？

JESD204B 仕様では、マルチポイント・リンク・インターフェースと呼ばれるものをサポートしています。これは、3 個以上の JESD204B デバイスを接続する通信リンクです。このリンク構成は、コンバータの使い方に応じて、シングル・リンクで意味を持つ場合があります。

例えば、JESD204B を使用するデュアル ADC の場合を取り上げます。多くの場合、デュアル ADC は両コンバータに対して 1 つのクロック入力を持ちます。このため、同じ周波数での同時サンプリングになってしまいますが、2 つの個別クロックも使用するユニークなアプリケーションでは、各クロックがそれぞれの ADC を独立に駆動することができます。これにより、2 個の ADC 間でサンプリング位相差を許容するか、または互いに非コヒーレントな周波数で各 ADC をサンプルすることになります。後者の場合、データが両コンバータからくるシングル JESD204B リンクは、後方に複雑な FIFO が無いと正常に動作しません。

この問題に対するソリューションは、デュアル・コンバータでマルチポイント・リンク JESD204B インターフェースを使用することです。この場合、各コンバータ・チャンネルでは固有のシリアル・リンク出力を使います。そうすると、非コヒーレント・クロックを各 ADC で使うことができ、各シリアル・リンク出力は、個々の FPGA または ASIC へ独立に容易に配線することができます。1つの FPGA から複数の DAC へ複数ストリームのデータを送信する際に、マルチポイント・リンク構成も使用することができます。デバイス・クロック分配スキューをマルチポイント構成内で小さくすることはさらに困難なことです。これは、リンク内のデバイス数が多くなるためです。

JESD204B 内のデターミニスティック・レーテンシーとは何ですか？これはコンバータの総合遅延と同じですか？

ADC の総合遅延は、サンプルされるアナログ信号が入力され、信号処理の後、デバイスからデジタル的に出力されるまでに要する時間です。同様に、DAC の総合遅延は、デジタル・サンプル・データがデバイスへ入力されてアナログ信号が出力されるまでの時間です。一般に、これらは周波数に無関係であるため、両方とも分解能のサンプル・クロック周期で測定されます。これは基本的に、JESD204B リンク・インプリメンテーションで規定されているデターミニスティック・レーテンシーと同じ定義ではありません。

JESD204B リンクでのデターミニスティック・レーテンシーは、データがトランスミッタ (ADC またはソース側 FPGA) のパラレルでフレーム化されたデータ入力からレシーバ (DAC またはレ

シーバ側 FPGA) のパラレルで非フレーム化されたデータ出力まで伝搬するために要する時間により定義されます。この時間は一般に分解能のフレーム・クロック周期数またはデバイス・クロック数で測定されます (図 1)。この定義は、ADC のアナログ・フロントエンド・コアと DAC のバックエンド・アナログ・コアを除外しています。この遅延計算で 2 つのデバイスが開数であるだけでなく、2 つをインターフェースさせるシリアル・データ信号でも関数となります。これは、JESD204B レーン配線長に応じて、マルチコンバータ・システムまたはマルチポイント・リンク内でデターミニスティック・レーテンシーは大きくも、小さくもなることを意味します。レシーバのバッファ遅延は、配線による遅延差への対処で役立ちます。

JESD204B ではテール・ビットをどのように使い、その目的は何ですか？

JESD204B リンクでは、コンバータ・データとコントロール・ビットを送信するために実際に必要な量より多くの情報量を割り当てることができます。特定のコンバータまたは設定に対するデータが全体を埋めない場合、この「パディング (padding)」は、テール・ビットと定義されたもので埋められます。例えば、 $N' = 16$ の量のスペースが実データを詰める 13 ビットより多い場合 ($N = 13 + CS = 0$) を取り上げます。3 ビットのテール・ビットを使って未使用データ・スペースを埋めます (図 2)。

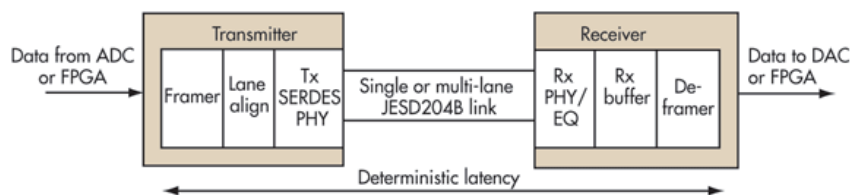


図 1. 接続された 2 つのデバイス上のフレームとデフレイマの間の JESD204B デターミニスティック・レーテンシーの概念的例 遅延はトランスミッタ

レシーバ、2 つの間のインターフェース伝搬時間の 3 つ変数の関数

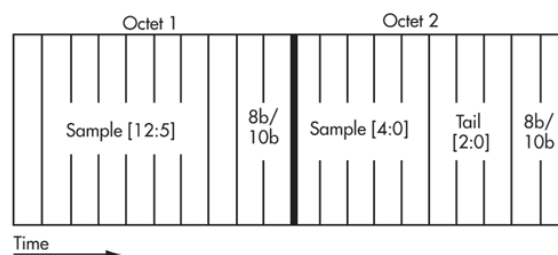


図 2. コンバータが 13 ビットだけのサンプル・データを使う場合、 $N' = 16$ に対して 3 ビットのテール・ビットを使って 2 目目のオクテットを埋めます

テール・ビットは情報のないダミー・ビットで、未使用スペースを完全に埋めるためにのみ使用されます。すべてのテール・ビットに繰り返しのスタティック値を割り当てると、テール・ビットは不要なスプリアス・ノイズを発生させる可能性があるため、オプションで擬似ランダム・シーケンスとして与えることもできます。トランスミッタとレシーバは、リンク設定に基いてこれらのビットには情報が含まれないことを理解する必要があります。このため、レシーバはデータ・ストリームから単純にこれらを無視することができます。

リンク・パターンは正常に機能しますが、通常動作モードでコンバータ・データを送信できません。旧世代のコンバータでは低電圧差動シグナリング (LVDS) やパラレル・インターフェースがあり、コンバータ動作が正常に動作しているかどうか、DAC または ADC の最下位ビット (LSB) ピンまたは最上位ビット (MSB) ピンを容易にプロービング／デバッグできました。JESD204B インターフェースを使う際、MSB または LSB をどのようにプロービングできますか？

これは、JESD204B インターフェースの少ない欠点の 1 つです。コンバータに対して正常な動作であるか否かを確認するために、LSB または MSB の I/O を確認することは容易ではありません。サンプル・データがチャンネルごとにシリアル化されているので、特定のビットを電氣的にプローブできないためです。ただし、有効なデータ(存在する場合)が送信されている、またはコンバータから受信されていることを迅速に知りたい場合、幾つかのオプションを使って、デバッグすることができます。

幾つかのオシロスコープ・メーカーでは、8b/10b データをデコードし、オシロスコープ・スクリーン上にデコードされたストリームを表示するリアルタイム・データ処理機能を搭載した装置を提供しています。非スクランブル・データはこの方法でプローブできるため、リンクで起きている動作を確認することができます。

FPGA メーカーでは、コンピュータに USB ドングルを接続して、FPGA 内部で送受信した I/O データを観測する内部プロービング・ソフトウェア・ツールを提供しています。また、ASIC やコンバータでは、リンク上のデータ解読問題の支援に使える内部シリアル・ループバック・セルフテスト・モードを搭載していることもあります。

リンクの他のパラメータが与えられたとき、コンバータのレーン・レートはどのように計算しますか？

JESD204B を使用するシステム設計者は、コンバータ、ASIC、または FPGA の他の情報が与えられたとき、レーン数またはリ

ンクのレーン・レートを容易に計算することができます。以下の基本リンク・パラメータは、1 個の未知変数を計算して求めることができます。計算結果を使用して、コンバータまたは FPGA アーキテクチャの範囲内でリンク動作を変更する他のパラメータを選択することができます。

$$\text{レーン・レート} = (M \times N' \times [108] \times F_s) / L$$

ここで、

- M はリンク上のコンバータ数。
- N' は 1 サンプル内で送信される情報ビット数 (サンプル分解能、コントロール・ビット、テール・ビットを含む)。
- F_s はデバイス・クロックまたはサンプル・クロック。
- L はレーン数。
- レーン・レートは、シングル・レーンのビット・レート。
- 108 は、8b/10b エンコーディングにより生ずるリンク・オーバーヘッド。

例えば、 $N' = 16$ 、 $F_s = 235 \text{ MHz}$ 、2 レーンのデュアル ADC の場合、レーン・レートは？

$$\text{レーン・レート} = [2 \times 16 \times 1.25 \times 235 \text{ MHz}] / 2$$

$$\text{レーン・レート} = 4700 \text{ Mbps すなわち } 4.7 \text{ Gbps}$$

アプリケーション層とは？ どういった動きをしますか？

アプリケーション層は、サンプル・データを通常仕様とは別に対応させることを可能にする、JESD204B 用に提供される 1 つの方法です。これは、リンクの N' とは相対的に異なるサイズでデータ・サンプルを渡す必要があるコンバータ・モードにとって役立ちます。

アプリケーション層を使用することで、リンク上の効率の悪い配置を、少ないレーン数または低いレーン速度で効率良くすることができます。特定のコンバータ・モードによりカスタム設計または独自設計ができるため、特定のアプリケーション層を理解するようにトランスミッタとレシーバを設定する必要があります。図 3 に、5 個のサンプルを通常 4 個で使う 1 つのスペースに分割する例を示します。

アプリケーション層計算に前述の式を使う場合、実際の N' ではなく実効 N' を使う必要があります。例えば、下に示すアプリケーション層の場合、実際の JESD204B サンプル N' は 16 ですが、5 個のサンプルを送信するために 64 ビットを使うので、ADC サンプルの実効 N' を計算することができます。したがって、 $N_{\text{eff}} = 64/5 = 12.8$ となります。他のすべての変数を変えない場合、レーン・レートは次のように 20% 低くなります。

$$N_{\text{eff}}/N' = 12.8/16 = 0.8$$

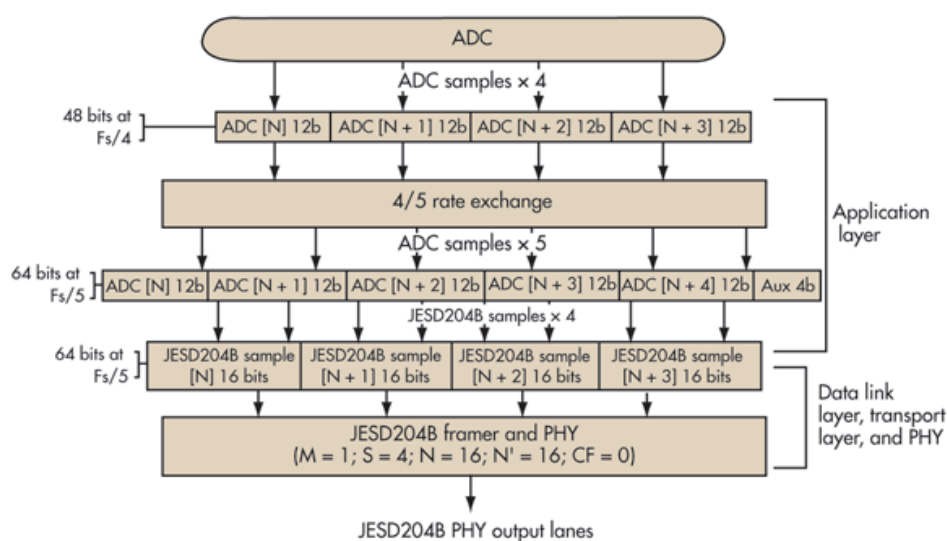


図 3. ADC アプリケーション層は 5 個の 12 ビット ADC サンプルを 4 個の JESD204B $N' = 16$ サンプルに使用されるスペースへ再割当てすることができます。4 ビットの余分な補助情報は他の用途に使うことができます。

次は何ですか？

データ・コンバータ・マーケット内で JESD204B の採用が増えると、FPGA プラットフォームに関する知財 (IP) 製品が採用拡大に役立ちます。多くのエンジニアが参加して新しいシステムの設計が開始されると、このテーマの議論は、より複雑になりますが、広がりを見せられると思います。

著者について

Ian Beavers は、アナログ・デバイセズ(Greensboro、N.C)の高速コンバータ・チームのアプリケーション・エンジニアです。彼は、1999 年から会社に勤務しました。彼は半導体業界で 15 年の経験を持っています。彼は、North Carolina State University から電気工学の学士号を、University of North Carolina at Greensboro から MBA を、それぞれ取得しました。Ian.Beavers@analog.com を使って彼に連絡することができます。

参考資料

JESD204B。 www.analog.com/jp/jesd204。

リソース

この資料を



で共有してください。

JESD204B サブクラス (パート1): JESD204B サブクラスとデターミニスティック・レーテンシーの紹介

著者:

Del Jones

アナログ・デバイセズ

スタッフ・アプリケーション・エンジニア—

高速コンバータ

1 はじめに

情報時代の特徴は疑いなく、大きくなり続けるデータの収集、処理、分配に対するニーズの拡大です。これは、通信ネットワークでは、インフラストラクチャとそれを接続する部品の広帯域化を意味します。医療業界では、スキャン、X 線、その他の測定機器からさらに詳細な情報を得ることと解釈できます。同様に、テストや解析装置における帯域幅の急速な拡張は、電子テスト装置の高速化と高機能化となります。

データに対するこの強い需要が、データ・コンバータとロジック・デバイスの間の高速シリアル・リンクに対する JESD204 規格を JEDEC に制定させたのです。規格の“B”レビジョン(2011年にリリース)では、今日の広帯域化要求を可能にするため、シリアル・リンク・データレートを 12.5 Gbps まで上げました。これら多くのアプリケーションでは、電源のオン/オフ・サイクル間に既知かつ一定の遅延でデータがシステムを通過する必要があります。この概念は「デターミニスティック・レーテンシーDeterministic Latency」と呼ばれ、この要求に対する規定も JESD204B 規格で導入されました。このレビジョンのリリース前には、デターミニスティック・レーテンシーを必要とするシステム設計では、外部アプリケーション層の回路を使用してこの要求を実現していました。JESD204B 規格では、3つのサブクラスが導入されました。サブクラス 0 は JESD204A 規格との後方互換性を目的としたもので、デターミニスティック・レーテンシーは規定されていません。サブクラス 1 では、外部リファレンス信号 SYSREF を導入しました。この信号は、サンプル・タイミングのシステム・レベルのリファレンスを提供します。サブクラス 2 では、サンプル・タイミングに対するシステム・レベル・リファレンスとして SYNC~ 信号の使い方を規定しています。各ケースとも、デターミニスティック・レーテンシーの実現に使用できるのはサンプル・タイミング・リファレンスです。この「ミニ・チュートリアル」の目的は、3種類の JESD204B サブクラス間の動作上の違いを説明し、個々のデターミニスティック・レーテンシー機能を実現する実用的な知識を提供することです。

2 デターミニスティック・レーテンシーの概要

JESD204B 規格では、デターミニスティック・レーテンシー(DL)をフレームベースのサンプルがシリアル・トランスミッタに到着したタイミングから、シリアル・レシーバから出力されるタイミングまでの時間差として定義しています。遅延はフレーム・クロック・ドメインで測定され、少なくとも最小フレーム・クロック周期単位でインクリメントできる必要があります。遅延は、パワーアップ・サイクル間およびすべての再同期イベントで再現性を持つ必要があります。この定義を図 1 に示します。

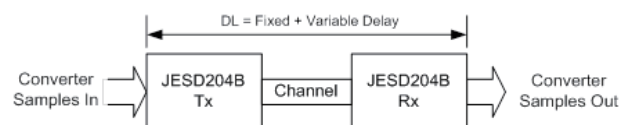


図 1.デターミニスティック・レーテンシーの説明

JESD204 システムのデターミニスティック・レーテンシーは、固定遅延と変動遅延から構成されます。変動遅延は、デジタル処理ブロック内の複数のクロック・ドメイン間での電源オン/オフ・サイクル間で位相関係が決まらないことから発生します。JESD204A と JESD204B サブクラス 0 のシステムでは、変動遅延は考慮できません。このため、電源オン/オフ・サイクルでの遅延変動がリンク内に存在します。

3 サブクラス 0

サブクラス 0 は、主に JESD204A デバイスに対する下位互換性を確保するために JESD204B 規格で規定されています。これは、旧型 JESD204A インターフェースを採用したカスタム ASIC がシステム設計内に存在し、更新された機能を持つ JESD204B コンバータをこれに接続したい場合に便利です。

3.1 JESD204B 規格からの要求

JESD204B 規格は、他のサブクラスに対する要求とは異なるサブクラス 0 モードでの動作に対する要求事項と推奨事項を規定しています。特に、SYNC~ 信号に対する要求は、サブクラス 1 と異なります。

SYNC~ の要求 (サブクラス 2 にも適用):

- JESD204B レシーバからの SYNC~ 出力は、レシーバのフレーム・クロックと同期している必要があります。

- トランスミッタのフレーム・クロックが SYNC~ に同期していることも要求されます。これは、トランスミッタの SYNC~ 入力にフレーム・クロック・カウンタをリセットさせることにより実現することができます。SYNC~ 入力からフレーム・クロック境界までの遅延を規定する必要があります。
- デバイス・クロック (例えば LVDS) に対しては、同じロジックを使うことが推奨されます。
- AC 結合でない必要があります。
- レシーバ・デバイス・ピンでのデバイス・クロックから SYNC~ までの遅延 (tDS_R) を規定する必要があります。
 - フレーム・クロックがデバイス・クロックより高速なシステムでは、フレーム・クロックを使って SYNC~ を入出力します。tDS_R の規定の有無に無関係です。
- トランスミッタのデバイス・クロックに対する SYNC~ のセットアップ・タイムとホールド・タイムを規定する必要があります。

3.2 サブクラス 0 動作の意味

1 つの JESD204 リンク内のレーン・アライメントは、各 JESD204 レーンの可変バッファを使って JESD204 レシーバ内で自動的に処理されます。初期レーン・アライメント・シーケンス (ILAS) で、すべてのレーンがモニタされ、最終着信レーンの「start of multiframe」アライメント制御文字が着信すると、すべてのバッファが同時に開放されます。これを図 2 で説明します。

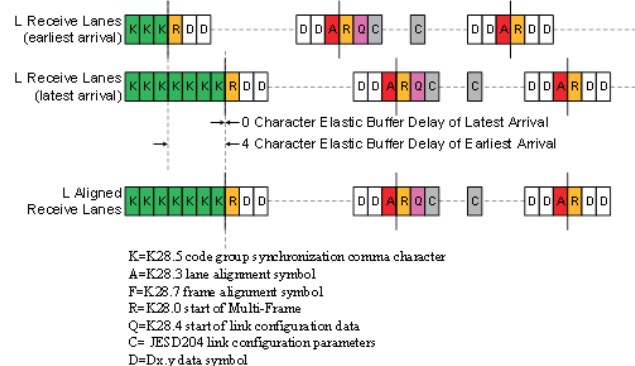


図 2.1 つのリンク内のレーン・アライメント

レシーバとトランスミッタからの両フレーム・クロックを SYNC~ 信号に同期させることが推奨されますが (上記の SYNC~ 要求を参照)、システム内でローカル・マルチフレーム・クロック (LMFC) を同期させるメカニズムはありません。このため、複数のコンバータ・デバイス間のリンク・アライメントは、デターミニスティック・レーテンシーの方法を使って実現不可能です。逆に、1 つの JESD204B リンクの一部として構成された 1 つのデバイス内の複数のコンバータは、外部回路なしでアラインすることができます。LMFC のミスアライメントは、リンクの総合遅延に対して最大 1 LMFC 分の変動遅延成分となります。

3.3 マルチチップ同期に対するサブクラス 0 ソリューション

デターミニスティック・レーテンシーを実現する 1 つの利点は、マルチチップ同期を行う手段を提供することですが、マルチチップ同期を実現するためにはデターミニスティック・レーテンシーは必要ありません。JESD204 規格では、トランスミッタからレシーバへサンプル情報を伝えるためにサンプル・データに「コントロール・ビット」を追加するように規定しています。ADC アプリケーションでは、コントロール・ビットを「タイム・スタンプ」として使用して、サンプルが外部リファレンスと同時に発生したことを表示することができます。サブクラス 0 動作モデルでサブクラス 1 デバイスを使用する場合、これは SYSREF 入力を使って実現することができます。1 個のロジック・デバイスに接続したマルチ ADC アプリケーションで、SYNC~ 信号を使うことも可能です。マルチチップ同期に対する基本的な要求は ADC に対する外部リファレンスを持ち、JESD204 トランスミッタ内でコントロール・ビットをサポートすることです。

ADI の AD9625 と AD9680 は、マルチチップ・アライメントに対するタイム・スタンプ機能をサポートしているデバイスです。図 3 に、サンプルがこの外部リファレンスと一致して発生したことを SYSREF 入力を使ってタイム・スタンプする例を示します。図に示すように、デバイス・クロックで SYSREF がサンプルされると、指定されたコントロール・ビットがそのサンプル内でセットされます。これを JESD204B システム内の各デバイスに対して実行することができます。

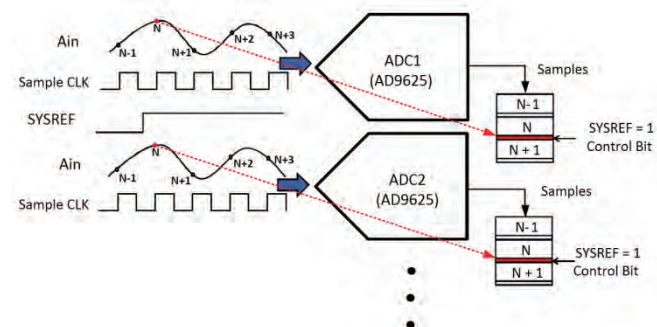


図 3.複数の ADC へのタイム・スタンプコントロール・ビットの追加

各 ADC デバイスからのサンプルがタイム・スタンプされると、ダウストリーム・ロジック・デバイスはサンプルをアラインさせることができます (図 4)。

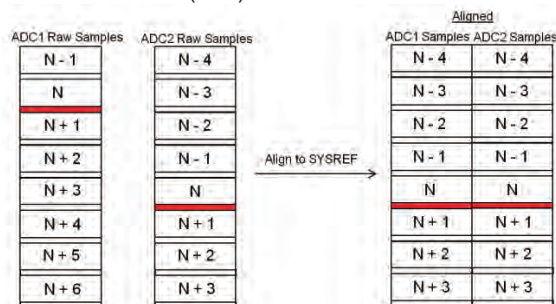


図 4.タイム・スタンプされたサンプルのアライン

4 サブクラス 1

1 つのリンク内のレーン・アライメントとマルチチップ・アライメントは、前述のようにサブクラス 0 モードで動作している場合実現可能ですが、複数のデバイスからの同期サンプルに依存するだけでなく、データがコンバータとロジック・デバイスの間を通過するための既知のデターミニスティック・レーテンシーを必要とする多くのアプリケーションが存在します。例えば、幾つかの ADC アプリケーションでは帰還ループを使って、フロントエンド・アナログ・ゲインをキャリブレーションしています。これは、多くの場合レーンパへのテスト入力信号を使って行われています。その後デジタル化データを使って調整が必要か否かを決めています。調整の決定にはアナログ入力からロジック・デバイスまでの遅延を知ることが不可欠です。このデータの到着時間は各電源オン/オフ・サイクルの後に同じである必要があります、同期イベントと無関係である必要があります。これらのアプリケーションでは、デターミニスティック・レーテンシーを実現する必要があります。

サブクラス 0 システムでは、最終レーンの着信後に JESD204B レシーバからサンプル・データが出力されますが、出力時間は、電源オン/オフ・サイクルごとに変化します。サブクラス 1 システムでは、「受信バッファ」が定義され、その出力時間が外部 SYSREF 信号の基準になります。そのため、JESD204B システムで発生する電源のオン/オフ・サイクルによる変化はありません。この概念を図 5 に示します。

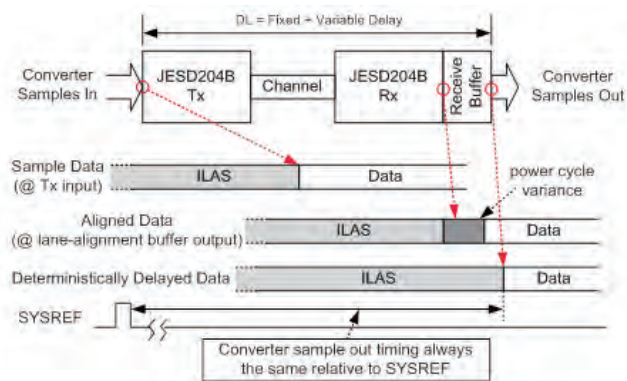


図 5. サブクラス 1 システムで SYSREF を使用したデータ出力タイミング

バッファ出力時間は、LMFC との関係を使って SYSREF 信号の基準になります。SYSREF を使って、システム内のすべての JESD204B デバイス間の LMFC の位相を揃えます。バッファ出力時間は、この SYSREF を揃えた LMFC を基準とします。

4.1 サブクラス 1 のためのシステム要求とガイドライン

JESD204B システム内のデターミニスティック・レーテンシーの精度と信頼性は、デバイス・クロックと SYSREF の間の関係に依存します。デバイス・クロックは、システム・リファレンス・クロックであり、これからサンプル・クロック（一般に）、JESD204B クロック、シリアルライザ・クロックが発生されます。

このクロックは、SYSREF の取り込み、およびフレームとマルチフレーム・クロックのエッジの位相合わせに使用されます(図 6 参照)。JESD204B 規格では、SYSREF とデバイス・クロックに対する要求事項と推奨事項を規定しています。この規格では、PCB レイアウトとシステム・タイミングのガイドラインも規定していますが、これらの要求の JESD204B システムでの実現方法は、デターミニスティック・レーテンシーの不確定性(DLU)などのアプリケーションのシステム・レベル要求に依存します。DLU と特定アプリケーションへの適用などその他の詳細については、「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」で説明しています。

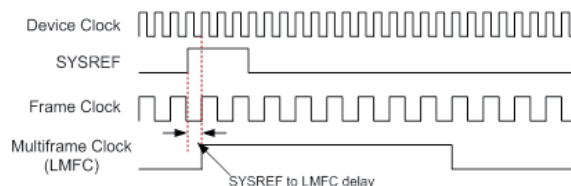


図 6. SYSREF を使用したフレーム・クロックの位相アライメント

サブクラス 1 動作に対するその他の重要な要求と推奨事項:

- SYSREF のエッジからフレームおよびマルチフレームまでの遅延は、JESD204B システム内のすべてのデバイスに対して規定する必要があります。ADI コンバータ製品では、これは SYSREF—LMFC 間遅延と呼ばれています。
- 受信バッファを使ってデータをバッファし、SYSREF に揃えた LMFC をデータ出力のデターミニスティック・リファレンスとして使います。JESD204B 規格では、受信バッファ遅延 (RBD) と呼ばれるものを規定しています。RBD はバッファの深さを決めるもので、1 ~k のフレーム・サイクル数 (TF) が指定されます。RBD を使って、システムの変動遅延を補償します。マルチフレーム内のフレーム数が増えると、許容変動遅延が大きくなります。ADI DAC デバイスは、k 値として 16 または 32 をサポートします。大部分のアプリケーションに対して 32 の設定が推奨されます。
- デターミニスティック・レーテンシーの正確な値はメーカー毎に変わり、同じメーカーでもデバイスごとに変わるため、システム内でマルチチップ同期が必要な場合は、同じモデルのコンバータを使うことが重要です。
- デバイス間のレーン・スキューを小さくすることも重要です。ADI DAC アプリケーションの場合、デバイス間スキューと最大変動遅延の組み合わせをローカル・マルチフレーム・クロック (LMFC) の周期より小さくする必要があります。

- デバイス・クロックと SYSREF を同じデバイスから発生させて、2 つの信号の位相アライメントを確保する必要があります。SYSREF とデバイス・クロックのデバイス間スキューも小さくする必要があります。
- サブクラス 0 動作とマルチチップ同期を説明する際に、SYNC~ 組み合わせの概念を説明します。サブクラス 1 システムの場合、これは不要です。

4.2 SYSREF とデバイス・クロック

SYSREF 信号は、シングル・パルス、周期的方形波、またはギャップのある周期的方形波にすることができます。SYSREF の周期は、LMFC の整数倍である必要があります。ADI デバイスは、3 タイプの SYSREF 信号をすべてサポートしています。

SYSREF 信号のタイミングは、デバイス・クロックのサンプリング・エッジが固定でユーザーから既知となるように、デバイス・クロックに対して正確に制御する必要があります。既に言及したように、SYSREF 信号はデバイス・クロックに同期したソースである必要があります。そのため、SYSREF はシステムにデバイス・クロックを供給するデバイスと同じデバイスで発生することが推奨されます。AD9525 は、この機能に適した 1 つの ADI デバイスです。

JESD204B 規格のクロック分配スキューとその他のスキュー要求は、規定というよりはガイドラインのようなものです。これらは、ディシリアライザに対して推奨するスキュー除去能力を主張するために導入されました。これらは、JESD204B 規格のセクション 4.12 に記載されています。SYSREF とクロック・スキューを求める実用的なガイドは、「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」に記載してあります。

5 サブクラス 2

サブクラス 2 システムでは、外部信号を使ってタイミング・リファレンスを提供するのではなく、SYNC~ 信号を使ってデータミニスティック・レーテンシーとマルチチップ同期を提供しています。この方式の主な利点は、JESD204B システムでのピン数とネット数が削減されることです。サブクラス 1 の SYSREF の背景にある考えは、これを使ってシステム内のすべてのデバイスで内部フレームとマルチフレーム・クロック (LMFC) を同期化することであったことを思い出してください。レシーバの LMFC に基づいて SYNC~ が発生されるため、この信号には、外部リファレンスを使わない場合に、レシーバとトランスミッタの間で同じ同期を実現する際に使用できる LMFC タイミング情報が含まれています。SYNC~ に対して要求される機能と精度は、サブクラス 1 の SYNC~ に要求される機能と精度より多くなっています。これらの要求とシステム同期タイミング要求から、実現可能なデバイス・クロック周波数は低くなっています。これは「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」で詳しく説明します。

タイミング要求を満たすと同時に SYNC~ をタイミング・リファレンスとして使用する問題は、SYSREF を使用する場合と同じです。システム・タイミング精度は、PCB 上の SYNC~ とデバイス・クロックの分配スキュー、およびそれらの伝搬遅延に制限されます。精度の分解能はデバイス・クロック周期に依存します。サブクラス 1 の場合と同様に、システム DLU 要求が分配スキュー規定値を決定します。

サブクラス 1 システムでは、デバイス・クロック/SYSREF ソースがマスター・リファレンスで、同期要求はロジック・デバイスから来ます。サブクラス 2 システムでは、ロジック・デバイスがマスター・タイミング・コントローラで、リンクの両側で LMFC 位相を補正する機能を持ちます。これを実現する方法は、システムが DAC ベースのシステムであるか、または ADC ベースのシステムであるかに依存します。

5.1 ADC サブクラス 2 の概要

サブクラス 2 ADC アプリケーションでは、SYNC~ のディアサーションは検出クロックで取り込まれ、これは一般にデバイス・クロックであり、LMFC 位相のリセットに使われます。SYNC~ を検出し取り込み、さらにローカル LMFC をリセットすると、JESD204B トランスミッタは K28.5 文字の送信を開始し、システム・クロックが安定するまで送信を続けます。同期プロセスの ILAS 部分が、クロックが安定した後の LMFC 境界で開始されます。ADC システムでは、ADC の LMFC のアライメントはインタラクティブ・プロセスではなく、1 回の SYNC~ アサーションで確立されます (図 7 参照)。周期的 SYNC~ を使ってトランスミッタの LMFC 位相アライメントをモニタすることもできます。詳細については、JESD204B 規格のセクション 6.4 を参照してください。

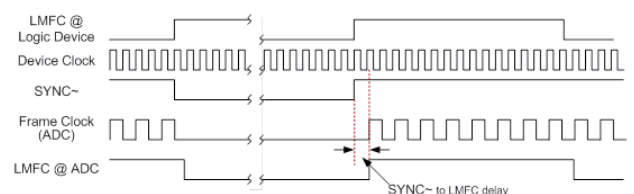


図 7. SYNC~ を使用したフレーム・クロックの位相アライメント

5.2 DAC サブクラス 2 の概要

サブクラス 2 動作では、ロジック・デバイスの LMFC がマスター LMFC リファレンスで、コンバータ LMFC はこれに位相を揃える必要があります。サブクラス 2 DAC アプリケーションでは、ロジック・デバイスも検出クロック (一般にデバイス・クロック) を使って 1 個または複数の DAC デバイスからの SYNC~ を取り込みます。

ロジック・デバイスは、それ自身の LMFC と DAC LMFC との間の位相差を検出し、同期の ILAS 部分で調整コマンドを DAC へ発行します。ILAS はマルチフレーム 4 個分の長さで、LMFC 位相調整情報を含むリンク・パラメータが 2 番目の LMFC 周期でレシーバへ送信されます。JESD204B システムでロジック・デバイスから DAC へ与えられる LMFC 位相調整コマンドは、次のように与えられます。

- PHADJ (位相調整): このコマンドは位相調整の可否を表示します。
- ADJCNT (カウント調整): このコマンドは必要な調整ステップ数を表示します。
- ADJDIR (調整方向): このコマンドは LMFC 位相を進めさせるか、遅れさせるかを表示します。

調整クロック分解能と LMFC 周期に対する関係に応じて、DAC の LMFC 調整に要する時間は ILAS の 1 周期を超えることがあります。DAC で位相調整を行った後、SYNC~をロー・レベルにしてエラー報告を発行します。ロジック・デバイス上のトランスミッタは、この再アサーションを使って LMFC 位相差を再度検出します。調整がこれ以上不要な場合は、PHADJ ビットが ILAS 中にリセットされて、レシーバからのエラー報告はありません。この時点で、LMFC が揃えられて、ユーザー・データの送信が開始できます。さらに調整が必要な場合は、ロジック・デバイスのトランスミッタはプロセスをもう 1 回開始させます。詳細については、JESD204B 規格のセクション 6.4 を参照してください。

JESD204B システム内のすべてのデバイスで LMFC 位相が揃った後、サブクラス 1 と同じ方法でデターミニスティック・レーテンシーが実現されます。すなわち、最終着信レーン・データの非デターミニスティック着信時間ではなく、受信バッファの出力時間は位相が揃った LMFC を基準とするようになります(図 5 参照)。唯一の違いは、LMFC 位相アライメントを実現する方法にあります。

5.3 システム要求とサブクラス 2 実現のガイドライン

JESD204B システム内のデターミニスティック・レーテンシーの精度と信頼性は、デバイス・クロックと JESD204B システム内の各 SYNC~信号との間の関係に依存します。サブクラス 1 の場合と同様に、デバイス・クロックはシステム・リファレンス・クロックであり、これからサンプル・クロック、JESD204B クロック、シリアルライザ・クロックが発生されます。これを使って SYNC~を取り込みます。この SYNC~はシステム内の LMFC 位相関係に関する情報をロジック・デバイスへ提供します。

JESD204B 規格では、サブクラス 2 動作に対する要求事項と推奨事項を次のように規定しています。

- ADC の場合:
 - ADC は、ロジック・デバイスから検出した SYNC~に対して内部フレーム・クロックと LMFC (多分サンプル・クロック)を調整する必要があります。
 - LMFC 調整の分解能はデバイス・メーカーが決定する必要があり、システム同期精度を制限します。
 - SYNC~ 検出分解能は、デバイス・メーカーが決定する必要があり、システム同期精度を制限します。
 - SYNC~ のディアサーションから ADC LMFC 境界までの遅延(図 7 参照)は、規定する必要があります。
- DAC の場合:
 - DAC は、ロジック・デバイスからの指示に従い内部フレーム・クロックと LMFC を調整できる必要があります (DAC サブクラス 2 の概要セクションの説明通り)。
 - DAC LMFC 調整分解能は規定する必要があります (DAC デバイス・クロック周期数を使用)。
 - DAC は、位相調整を行うごとにエラー報告を発行する必要があります。
- DAC アプリケーション内のロジック・デバイスの場合:
 - 自身の LMFC に対する SYNC 位相を検出クロック(一般にデバイス・クロック)のインクリメント数単位で検出できる必要があります。
 - DAC 調整分解能に基いて ADJCNT を計算できる必要があります。
 - ILAS 中に補正情報を DAC へ送信できる必要があります(表 1 に説明)。

6 最後に

今日および将来のアプリケーションで高速なデータ処理機能に対する要求を満たすため、JESD204B はデータ・コンバータとロジック・デバイスの間の通信チャンネルで要求されるマルチギガビット・インターフェースを規定します。アプリケーションで必要とするサブクラスを決定することは、システム設計で重要なステップです。デターミニスティック・レーテンシーを必要としないシステムでは、3 種類のいずれのサブクラスでも十分ですが、サブクラス 0 は最も問題少なく実現できます。デターミニスティック・レーテンシーが要求される場合は、サブクラス 1 またはサブクラス 2 の設計に対して他のシステム・レベル事項を考慮する必要があります。

「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」で、ユーザーの設計に対する JESD204B の適切なサブクラス選択についてシステム設計者の理解を支援するためにこれらの問題の幾つかを詳しく説明します。

リソース

この資料を
してください。



で共有

JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項

著者:
Del Jones
アナログ・デバイセズ
スタッフ・アプリケーション・エンジニア
高速コンバータ

1 はじめに

「JESD204B サブクラス (パート 1): JESD204B サブクラスとデータミニスティック・レーテンシーの紹介」では、**JESD204B** サブクラスとデータミニスティック・レーテンシーの概要およびサブクラス 0 システムでのマルチチップ同期に対するアプリケーション層ソリューションに関する詳細を説明しました。シリーズのパート 2 では、サブクラス 1 とサブクラス 2 の違いを詳しく説明します。特に、データミニスティック・レーテンシーに関するタイミング条件を満たす課題、サブクラス 2 でのデバイス・クロック速度制限、サブクラスが与えられたシステム・アプリケーションに対して最適になるガイドラインについて説明します。

2 サブクラス 1

サブクラス 1 システムでは、データミニスティック・レーテンシーの精度はデバイス・クロックと SYSREF の間のタイミング関係およびシステム内でのこれらの信号の分配スキューに依存します。SYSREF に対するセットアップ・タイム条件とホールド・タイム条件 (T_{SU} と T_{HOLD}) の他に、アプリケーションのデータミニスティック・レーテンシーの不確定性に対する耐性が、SYSREF とデバイス・クロックに対するアプリケーションの分配スキュー要求を決める時に重要になります。

2.1 精度良く SYSREF を取り込む

JESD204B インターフェースを採用するコンバータは、非常に高い周波数でデータをサンプルします。システム内の位相ノイズを小さくするため、これらのコンバータではサンプリング周波数かそれ以上のリファレンス・クロック (JESD204 デバイス・クロックと同じ) を使用することが一般的です。多くの場合、このクロックは GHz 範囲です。これらの速度で、セットアップ・タイム条件とホールド・タイム条件を満たすことは非常に難しくなります。システム設計を容易にするため、SYSREF および/またはデバイス・クロックの位相オフセットを JESD204B システムに含まれる各デバイスに対してプログラマブルにすることが必要になります。

サブクラス 2 に対するサブクラス 1 の利点の 1 つは、ソース同期クロックを使用していることです。サブクラス 2 システムではシステム同期クロックを使うため、ソース同期クロックの場合より早く周波数制限に遭遇します。

これは、特定のサブクラス 1 とサブクラス 2 のタイミング例を調べることで明確になってきます。

2.2 デターミニスティック・レーテンシーの不確定性

データミニスティック・レーテンシーの不確定性 (DLU) は JESD204B システム内の LMFC スキューであり、システム内での SYSREF の最も早い取り込みと最も遅い取り込みとの間で決定されます。図 1 に、SYSREF 取り込みに対するセットアップ・タイム条件とホールド・タイム条件が満たされないときにシステム内の各デバイスで発生するワーストケース DLU を示します¹。これは、システム内のデバイス・クロックの分配スキューが制御されていない場合に発生し、最大 1 デバイス・クロック (DCLK) の不確定性を発生させます。これが SYSREF 分配スキュー (DS_{SYSREF}) に加わり、総合 DLU が発生します。

$$DLU = DS_{SYSREF} + T_{DCLK}$$

DS_{SYSREF} は、システム内 (システム内の全デバイス間で) で最も早く到着する SYSREF の着信時間と最後に到着する SYSREF の着信時間の差です。説明では、 $T_{SU} = \frac{1}{2} T_{DCLK}$ および $T_{HOLD} = \frac{1}{4} T_{DCLK}$ です。最も早く到着する SYSREF (A) は最も早い時間に取り込まれ ($DCLK_A$ はセットアップ時間条件を満たします)、最後に到着する SYSREF (N) は最も遅い時間に取り込まれます ($DCLK_N$ はセットアップ時間条件を満たしません)。そのため、対応する LMFC は $DS_{SYSREF} + T_{DCLK}$ だけ位相がずれます。

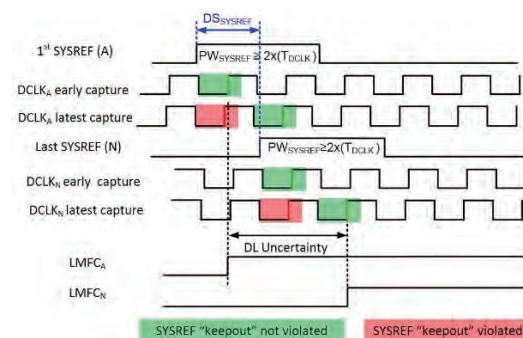


図 1. ワーストケースデータミニスティック・レーテンシーの不確定性

多くのアプリケーションで、DLU に対する条件はこのワーストケース・シナリオを許容するようになっています。これらのアプリケーションの場合、デバイス・クロックの分配スキューを厳しく制御することは不要です。SYSREF パルス幅を ($2 \times T_{DCLK}$) 以上にして、システム・タイミング条件を満たすように SYSREF 分配スキューを制御することで十分です。

¹ DLU 概念の説明をシンプルにするため、ここではクロック・ジッターと処理、電圧、温度 (PVT) に起因する変動を考慮しません。

デバイス・クロックの不確実性が増えることを許容できないアプリケーションでは、デバイス・クロック分配スキューを厳しく制御して、SYSREF のタイミング条件をシステム内の各デバイスで満たす必要があります。このケースを図 2 に示します。不確実性は次式で与えられます。

$$DLU = DS_{SYSREF} + T_{\text{Valid Window}}$$

ここで、 $T_{\text{Valid Window}} = T_{DCLK} - (T_{SU} + T_{HOLD})$

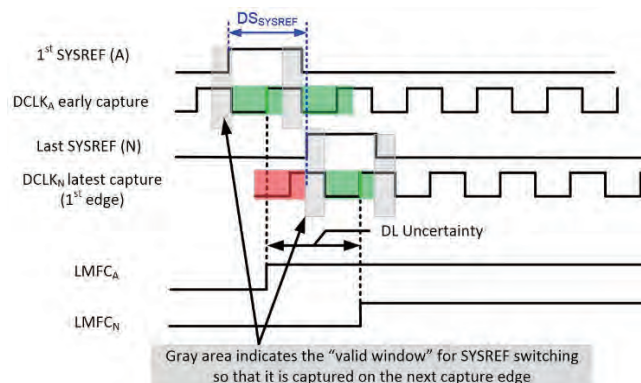


図 2. SYSREF のセットアップ・タイムとホールド・タイムを満たすときの DLU

2.2.1 デターミニスティック・レーテンシー不確実性の最小化

上の DLU の式が示すように、SYSREF/DCLK 対内の分配スキューを小さくすることにより、各対のセットアップ・タイムとホールド・タイムを満たすようにして DLU を小さくすることができます。

セットアップ・タイム条件とホールド・タイム条件を満たすため、JESD204B システム内の各デバイスは自身の SYSREF/DCLK 対を持つ必要があります。これらの各対内で、タイミングを保証するためパターン長を一致させることができます。パターン長一致の規定値は、SYSREF スイッチングの有効なウインドウ時間により決定されます。また、SYSREF は取り込みエッジを DCLK とする出力とし、SYSREF の長さはホールド・タイム条件から決まる DCLK の長さより長い必要があります (T_{HOLD} が 0 の場合は、2 つの長さを一致させることができます)。

パターン長を一致させるため、対内の分配スキューを小さくすることは、実質的に SYSREF 分配スキューを小さくすることと同じです。この分配スキューの規定値は、DLU 規定値から有効ウインドウ時間を減算した値になり、パターン長を一致させることにより調節することができます。DLU 規定値は、アプリケーションの条件から設定されます。

DLU を最小化するこれらの方法を図 3 に示します。JESD204b システム内の各デバイスは自身の SYSREF/DCLK 対を持つため、SYSREF 取り込みのタイミング条件を満たすことは、ソース同期クロックを採用するシステムと同様です。各デバイスのタイミング・マージンは、システム内の他のデバイスに依存しないと見なされます。

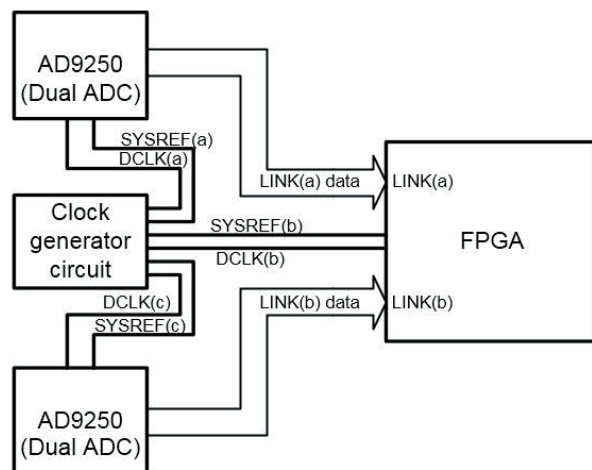


図 3. 3 個のデバイスを持つ JESD204B システムの SYSREF/DCLK 配線

2.2.2 AD9250 を使った SYSREF タイミング例

AD9250 は、14 ビット、250 MSPS のデュアル ADC で、5 Gbps の JESD204B シリアル・データ出力を採用しています。PLL 性能を最適化するため、AD9250 は最大 1.5 GHz のデバイス・クロック速度を許容します。このデバイスは、最も厳しいシステム DLU 条件のもとで、パターン長を一致させて SYSREF タイミングを満たす方法の優れた例を提供します。² この例の条件は次の通りです。

- DCLK = 1.5 GHz (周期 667 ps)
- $T_{SU} = 500$ ps で $T_{HOLD} = 0$ ps
- 例えば、システムの $DLU_{MAX} = 1$ DCLK (667 ps)

SYSREF タイミングを満たすための対内パターン長の一致

この例の仕様に基づき、セットアップ・タイムとホールド・タイムを満たす「有効ウインドウ」は 167 ps ($667 \text{ ps } T_{DCLK} - 500 \text{ ps } T_{SU}$) です。伝搬時間は、信号がソースを出発してからシンクに到着するまでの時間です。SYSREF の伝搬時間から DCLK の伝搬時間を減算した値は、セットアップ・タイムを満たすためには 167 ps より小さい必要があります、かつホールド・タイムを満たすためには 0 ps より大きい必要があります。この伝搬時間の差を大まかにインチ数に変換するため、1 インチの FR-4 材料の伝搬時間を 167 ps/インチと見積もります。そうすると、システム内の各 SYSREF/DCLK 対で、次の配線条件を満たす必要があります。

$$DCLK \text{ パターン長} < SYSREF \text{ パターン長} < DCLK \text{ パターン長} + 1 \text{ インチ}$$

² DLU 条件をデバイス・クロックに一致させることは、SYSREF のタイミングを満たすためのワースト・ケースになります。

この条件を満たすと、図 4 に示すように、SYSREF の変化は有効ウィンドウ内で発生するようになります。

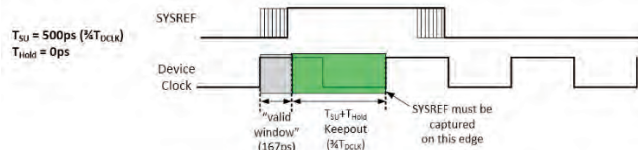


図 4. SYSREF/DCLK タイミング条件の満足

DLU 規定値を満たすための対内パターン長の一致

DLU 規定値が 667 ps に設定されており、かつ DLU 規定値と対内 (すなわち SYSREF) 分配スキュー (DS_{SYSREF}) との関係が既知であるため、パターン長一致の規定値は次のように簡単に求めることができます。

$$DS_{SYSREF} = DLU - T_{\text{Valid Window}} = 667 \text{ ps} - 167 \text{ ps} = 500 \text{ ps}$$

したがって、すべての SYSREF/DCLK 対での対内分配スキューは、次の値内である必要があります。³

$$500 \text{ ps} \div 167 \text{ ps/インチ} = 3 \text{ インチ}$$

図 5 に、このタイミング例を示します。「最適」分配スキュー (DS_{SYSREF}) とは、厳しくないパターン長一致条件を許容するケースを意味します。

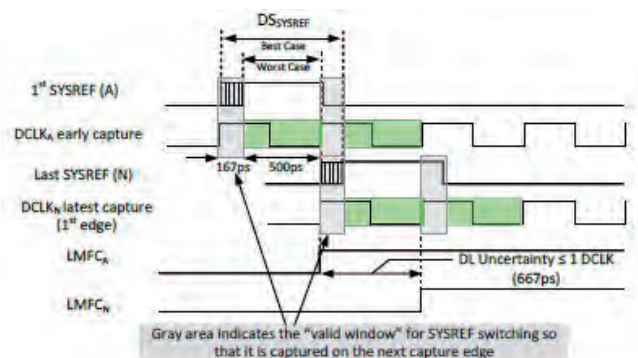


図 5. 対内分配スキュー条件の満足

SYSREF タイミングと DLU 規定値を満たす高度なソリューション

もちろん、低速デバイス・クロックを使用すると長さの一致が容易になり、これを使用して問題を解決することができます。これには、システム位相ノイズ性能の犠牲がともないます。これと似たソリューションは、DLU 条件を緩くすることですが、システム位相ノイズ性能を向上させる利点は維持されます。DLU 条件の設定は、アプリケーションに依存します。これについては、デターミニスティック・レーテンシーの精度の文脈で次に説明します。

³ 500 ps は SYSREF のワースト・ケース・スキューであり、パターン長一致の規定値を決める際に使う必要があります。

位相ノイズ性能の向上が要求されて、DLU 条件を緩和できない場合、SYSREF/DCLK のデバイス内スキューとデバイス間スキューに対する配線条件 (上の例では、それぞれ 1 インチと 3 インチ) を満たすことは困難過ぎると思われます。この場合、デバイス・クロックおよび/または SYSREF に対する調整可能な位相遅延が必要になります。調整の分解能は、セットアップ・タイムとホールド・タイムに基づく「有効ウィンドウ」より小さい必要があります。例から、「有効ウィンドウ」は 167 ps になります。

FPGA によっては、微調整条件を満たすことが困難なものがありますが、AD9528 はこの条件を満たします。これは、SYSREF 位相遅延を 60 ps ステップで調整可能で、これが全出力での変異性が 50 ps より小さいためです。図 6 に、タイミング条件を満たすために SYSREF を遅延させる方法を示します。この説明では、SYSREF を 60 ps インクリメントで遅延させます。位相の設定値は、SYSREF エッジを有効ウィンドウの中央付近に設定することを推奨します。説明で、緑のエッジは良い位相設定値を、赤のエッジは悪い設定値を、それぞれ表します。位相設定値 3 は有効ウィンドウの中央であるため、この場合これを使います。

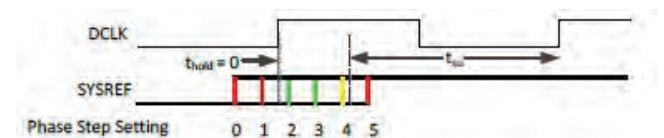


図 6. SYSREF のタイミングを満たすためのプログラマブルな位相遅延

AD9528 のデバイス・クロック出力は、SYSREF 出力で使用可能な 60 ps の位相ステップの他に、 $\frac{1}{2}$ デバイス・クロック・サイクルで位相を遅延させることができます。この機能も、SYSREF タイミング条件を満たす際に役立ちます。

2.2.3 SYSREF セットアップとホールド・タイミングのモニタ

ADI の AD9680 は、SYSREF とデバイス・クロックとの間の相対的タイミングの調整に役立つ SYSREF セットアップとホールド・タイムのモニタ回路を内蔵しています。これら 2 つのレジスタをモニタすると、SYSREF の取り込みでタイミング条件に問題があるか否かを知ることができます。これらのいずれかのレジスタが、タイミング・マージンが不十分であることを示すと、デバイス・クロックに対する SYSREF の相対位置の調整が必要であることが分かります。上の例では、デバイス・クロックに対する SYSREF 位相の調整によって (例えば AD9528 を使用)、または SYSREF および/またはデバイス・クロック信号のパターン長の調整によって、この調整を行うことができます。

2.2.4 デターミニスティック・レーテンシーの精度

システムのデターミニスティック・レーテンシーの不確定性がどのように設定されるかを理解するためには、アプリケーションの理解が必要です。デターミニスティック・レーテンシーを必要とする大部分のシステムでは、時間内で、どのサンプルが注目するデータの開始を表すかを精確に知る必要があります。

データミニスティック・レーテンシーの一般的な用途は、システム内の複数のコンバータを同期させることです。これは、マルチチップ同期と呼ばれています。これらのシステムでは、すべてのコンバータ間でサンプルのアライメントが必要です。このため、データミニスティック・レーテンシーには「正確なサンプル」が必要です。これらのシステムでは、DLU はサンプル・クロックの $\pm \frac{1}{2}$ である必要があります。サンプル・クロックの整数倍であるデバイス・クロックを持つ利点は、正確にサンプルするなどのように、SYSREF の取り込み処理が簡素化されることです。AD9250 の例では、デバイス・クロックはサンプル・クロックの 6 倍です。正確なサンプルであるためには、 $\pm \frac{1}{2}$ サンプル・クロックの DLU 条件は ± 3 デバイス・クロックに言い換えられます。これを図 7 に示します。AD9250 の例では、各デバイスで SYSREF 位相を調整できるため、最も厳しい DLU 条件でも容易に満たすことができることを示しました。デバイス・クロックがサンプル・クロックの倍数である場合、サンプル精度に対する SYSREF の取り込みは、大幅に簡素化されます。コンバータのサンプル・レートが 1 Gbps を超えて高くなると、SYSREF クロックとデバイス・クロックの位相遅延機能が不可欠になります。

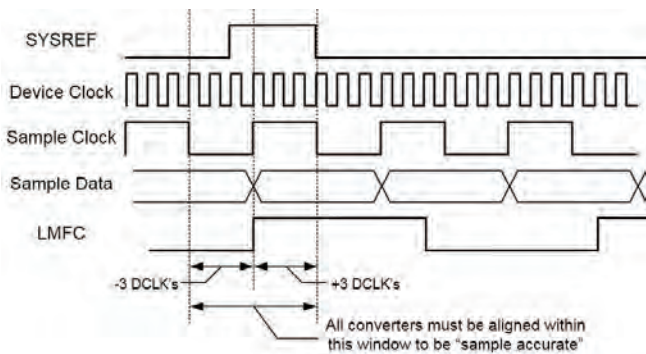


図 7. SYSREF キャプチャの「正確なサンプル」条件

2.3 SYSREF 取り込みでの問題

SYSREF のセットアップ・タイム条件とホールド・タイム条件、および DLU 条件を満たす他に、SYSREF の取り込みに関係して発生する他の問題があります。例えば、システムの初期パワーアップ時、システム・クロックが安定する前に SYSREF がアクティブになる可能性があります。これは、連続的な SYSREF 信号を使用する際に発生することがあります。この問題は、デバイスを所定エッジ数だけ待たせた後、クロックを同期するプログラム可能な JESD204B インターフェースを導入することにより解決されます。もう 1 つのプログラムに関するオプションは、有効なエッジが予想される際に SYSREF 取り込みの「用意」を可能にすることです。これにより、連続 SYSREF で同期化するタイミングを制御できるようになります。AD9625 や AD9680 のような JESD204B インターフェースを採用する多くの ADI コンバータ・デバイスは、これらの機能を内蔵しています。

もう 1 つの例は、SYSREF の小さな変動により、再同期を不要にできることです。この問題は、SYSREF エッジに対して LMFC を中心とする有効ウィンドウをユーザーが指定できるようにプログラム可能な JESD204B インターフェースを導入することにより解決されます。

SYSREF がこの有効ウィンドウ内で発生する場合、システムは「同期中」と見なします。多くのアプリケーションでは連続 SYSREF 信号をモニタリリンク状態を知るため、これは非常に便利な機能です。LMFC 境界と SYSREF を比較して、この場合同期状態を決めています。ADI の AD9680 はこの機能を内蔵しています (図 8)。

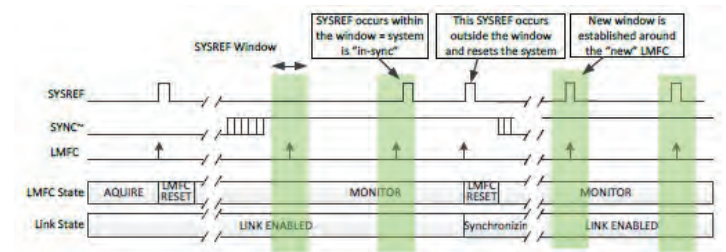


図 8. SYSREF モニタ・ウィンドウ

SYSREF 取り込みで役立つその他の機能は、SYSREF の取り込みに使用するデバイス・クロック・エッジを変更する機能と LMFC を揃えるために使用する SYSREF エッジを変更する機能です。JESD204B インターフェースを採用する多くの ADI コンバータ・デバイスはこれらの機能を内蔵しています。

3 サブクラス 2

サブクラス 2 システムでは、データミニスティック・レーテンシーの精度はデバイス・クロックと SYNC~信号との間のタイミング関係、および次に説明する、タイミング計画を使ってしまう様々な項目に依存します。サブクラス 1 の場合と同様に、データミニスティック・レーテンシー不確定性に対するアプリケーションの耐性が、SYNC~とデバイス・クロックに対するアプリケーションのパターン長一致条件を決める際に重要になります。

3.1 SYNC~ 取り込みと開始の精度

SYNC~ を正確に取り込むためのタイミング条件を満たす問題は、SYSREF の取り込みでサブクラス 1 の説明に示した問題と本質的に同じ問題ですが、サブクラス 2 でのクロック方式はシステム同期であるため、各取り込みデバイス間で独立にタイミング解析を行えなくなるので、マルチコンバータ・アプリケーションでは難しくなります。これだけでなく、SYNC~ 信号の発生に関して不確定性を考慮することも必要になります。システム同期クロックを使用するシステム内の各デバイスは、タイミング余裕の一部を使ってしまう。タイミング余裕を失ってしまう項目としては、クロック分配スキュー (DS_{DCLK})、マルチコンバータ・システムの SYNC~ 分配スキュー (DS_{SYNC})、SYNC~ 信号の伝搬遅延、各 JESD204B トランスミッタのセットアップ・タイム条件とホールド・タイム条件、各 JESD204B レシーバの SYNC~ 出力でのクロック—SYNC~ 間出力遅延などがあります。

3.2 サブクラス 2 でのデバイス・クロックの上限

JESD204B 規格では、サブクラス 2 インプリメンテーションでシステム同期クロック方式を採用しているため、デバイス・クロック・レートの限界が必要であることを認識しています。規格の Annex B では、この規定値を 500 MHz とすることを推奨し、「SYSREF はデバイス・クロックと精確に位相が揃う方法で発生できるソース同期信号であるため、500 MHz より高いデバイス・クロック・レートでの動作を狙うシステム設計者はサブクラス 1 の方法を使うことを好むものと予想する」と述べています。

このような規定値が存在する理由を説明するため、詳細なタイミング例を示します。

サブクラス 2 マルチ DAC のタイミング例

2 個のサブクラス 2 DAC デバイスと 1 個のロジック・デバイスを接続したトランスミッタ・アプリケーション (図 9) について調べます。

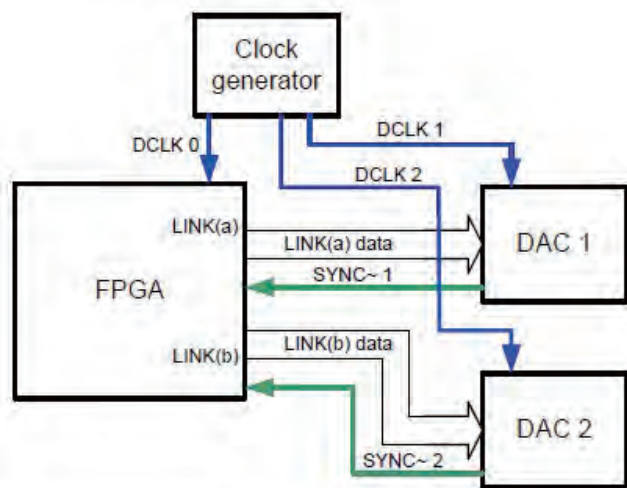


図 9. サブクラス 2 マルチ DAC アプリケーション

例えば、500 MHz のデバイス・クロックを使用します。SYNC~ 信号と DCLK 信号は、次に示す PCB スキュー⁴を持ちます。

- FPGA へのクロック = 300 ps
- DAC1 へのクロック = 600 ps
- DAC2 へのクロック = 720 ps
- FPGA への SYNC~1 = 660 ps
- FPGA への SYNC~2 = 750 ps

ジッタと PVT 変動を考慮する前のタイミングを図 10 に示します。この図で、ワーストケース・タイミングは FPGA 入力での SYNC~2 信号の取り込みで発生します。DCLK2 伝搬遅延、SYNC~2 伝搬遅延、SYNC~2 のクロック出力間遅延の組み合わせにより、FPGA 入力での取り込みに対して 600 ps のセットアップ・タイムが残ります。

⁴ 300 ps = PCB パターンの 1.8 インチ。

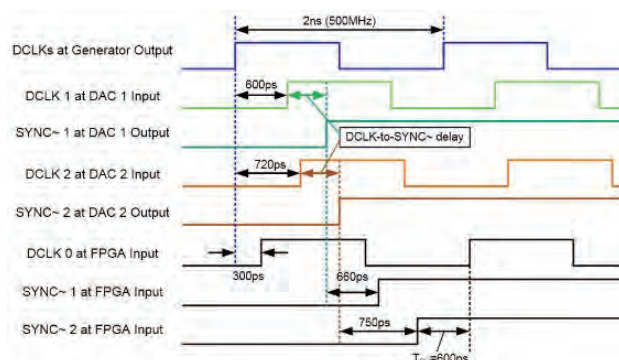


図 10. サブクラス 2 マルチ DAC アプリケーションでの SYNC~/DCLK のタイミング

ただし、セットアップ・タイム、ジッタ、PVT 変動が加わると、図 11 に示すようにタイミング違反が発生します。この例では、セットアップ・タイムが 500 ps で、PVT 変動⁵が 300 ps に増え、ジッタ⁶が 150 ps になります。最終到着の SYNC~ (SYNC~2) で、このためにタイミング違反が発生します。

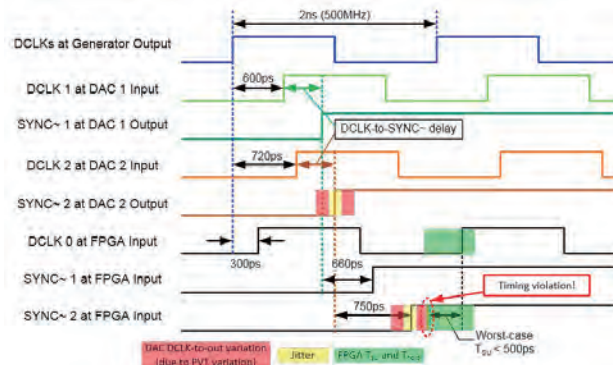


図 11. サブクラス 2 マルチ DAC アプリケーションでの SYNC~/DCLK のタイミング違反

上の例では、パターン長および/またはクロック位相の調整を行ってタイミングを解決することができますが、DCLK 周波数が高くなると、サブクラス 1 インプリメンテーションに比べて考慮すべき変数が増えるため、遥かにタイミング条件を満たすことが難しくなります。JESD204B 規格のセクション 6.4 に、SYNC~ 取り込みタイミングの問題を詳細に記載してあります。

3.2.1 サブクラス 2 のデターミニスティック・レーテンシーの不確定性

サブクラス 1 の場合と同様に、タイミングの制約はデターミニスティック・レーテンシーの不確定性に対するアプリケーションの耐性により決まります。表 1 に、システムの DLU に対するサブクラス 2 タイミング条件を満たす際に考慮すべき変数をまとめます。⁷

⁵ SYNC~ 出力での PVT 変動と両クロック出力。

⁶ DCLK と SYNC~ のジッター。

⁷ DLU 概念の説明をシンプルにするため、ここではクロック・ジッターと処理、電圧、温度 (PVT) に起因する変動を考慮しません。

Table 1. Timing variables affecting subclass 2 DLU

Application	Variable 1	Variable 2	Variable 3	Variable 4	Variable 5
Single converter	Clock-to-SYNC~ output delay	t_{su} and t_{hold} @ ADC	$T_{PD_SYNC~}$	DS_{DCLK}	
Multiconverter	Clock-to-SYNC~ output delay	t_{su} and t_{hold} @ ADC	$T_{PD_SYNC~}$	DS_{DCLK}	$DS_{SYNC~}$

サブクラス 2 システムでの DLU は、 $T_{CLK-to-SYNC}$ 、 $T_{PD_SYNC~}$ 、 T_{SU} 、システム内のデバイス・クロック (DS_{DCLK}) の分配スキューの間の関係で決まります。シングル・コンバータ・アプリケーションでは、最適ケースの DLU は次式で与えられ、図 12 に示します。

$$DLU = DS_{DCLK} = T_{CLK-to-SYNC} + T_{PD_SYNC~} + T_{SU}$$

説明では、 $T_{SU} = \frac{1}{2} T_{DCLK}$ および $T_{HOLD} = \frac{1}{4} T_{DCLK}$ です。図に示すように、 $DCLK$ に歪を与えて $DCLK$ — $SYNC~$ 間遅延と $SYNC~$ 伝搬遅延に一致させ、セットアップ・タイム条件を満たすようにします。

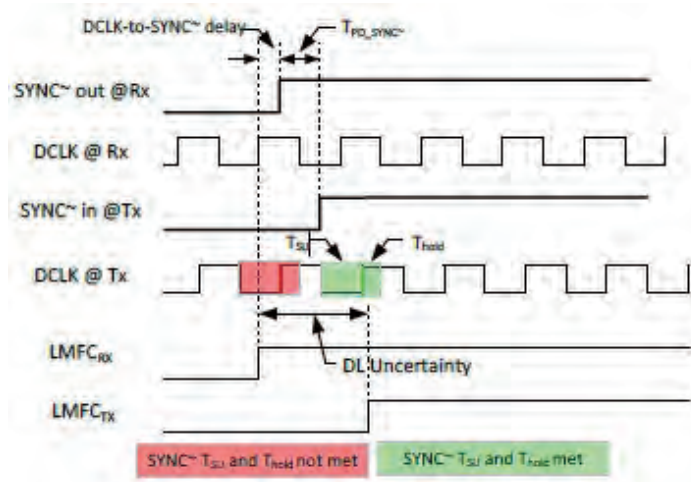


図 12. シングル・コンバータ・アプリケーションに対するサブクラス 2 $SYNC~$ 取り込みタイミング: 最適ケースの DLU

シングル・コンバータ・サブクラス 2 システムでのワーストケース DLU は、トランスミッタで $DCLK$ の歪が小さいために最初の使用可能な取り込みエッジのセットアップ・タイムを満たさない場合に発生します(図 13 参照)。

$$DS_{DCLK} < T_{CLK-to-SYNC} + T_{SU} + T_{PD_SYNC~}$$

$$DLU = T_{CLK-to-SYNC} + T_{PD_SYNC~} + T_{SU} + T_{DCLK}$$

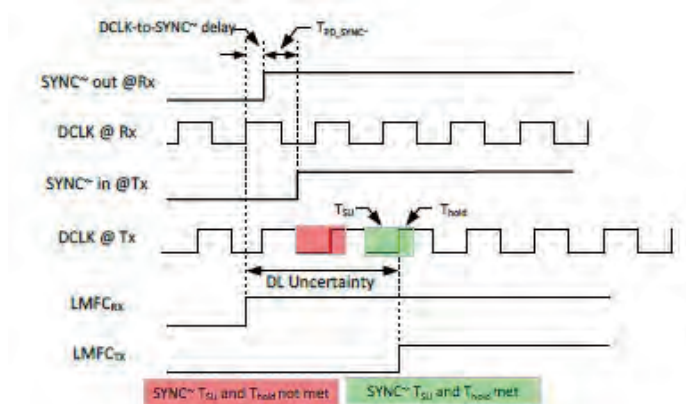


図 13. シングル・コンバータ・アプリケーションに対するサブクラス 2 $SYNC~$ 取り込みタイミング: ワーストケースの DLU

4 アプリケーションに最適なサブクラスはどれか?

JESD204B システムに使用するサブクラスの選択は、デターミニスティック・レーテンシーの必要性、必要な場合のその精確さ、システムのデバイス・クロック条件に依存します。

サブクラス 0 は実現が最も容易で、デターミニスティック・レーテンシーが不要な場合に使用することができます。マルチコンバータ・システムがすべての (または幾つかの) コンバータからのサンプルの同期を必要とする場合でも、これを AD9625 と AD9680 でサポートされているタイム・スタンプ方式を使って実現することができます。

極めて高いデバイス・クロック・レートをサポートするサブクラス 1 の能力があり、かつ高いサンプリング・レートのコンバータで使用する場合、これはこれらの高いレートを必要とするシステムに対する最小リスクのソリューションになります。サブクラス 1 デバイスを低周波のレートで使うこともできます。500 MHz より低いデバイス・クロック・レートで使う場合、タイミング条件を満たすことは、クロック位相の調整なしで済む非常に簡単なことです。

サブクラス 2 デバイスも、500 MHz より下で使うことができます。低いレートでサブクラス 2 を使用する小さい利点は、ロジック・デバイスの IO 数の削減と、各 JESD204B デバイスへの SYSREF の配線が不要になることです。

リソース

この資料を
してください。

facebook

twitter

で共有

FPGA と A/D コンバータ・データ出力とのインターフェース

アプリケーション・エンジニアリング・グループ
アナログ・デバイセズ

内容

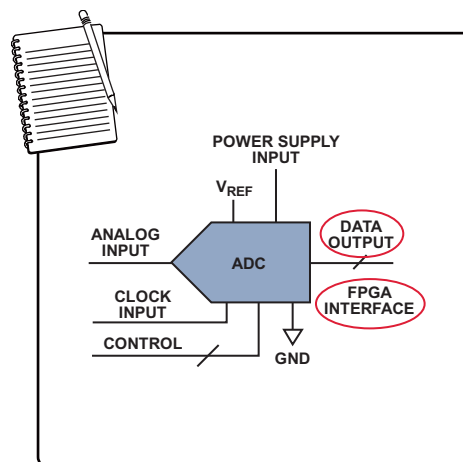
フィールド・プログラマブル・ゲート・アレイ (FPGA) と A/D コンバータ (ADC) 出力とのインターフェースは、一般的な技術問題です。このノートブックには、種々のインターフェース・プロトコルの概要、規格、アプリケーションのヒント、高速データ・コンバータで LVDS を使用する技術を記載します。

目次

インターフェース形式と規格	2
一般的な推奨事項	3
代表的な例	4
トラブルシューティングのヒント	7
ビット 14 目がミスコードするケース	7
ADC の周波数領域でのプロット—ビット 14 のミスコード	7
ADC の時間領域でのプロット—ビット 14 のミスコード	8

改訂履歴

1/13—Rev. 0 to Rev. A	
Deleted Using Adapter Boards Section	11
1/12—Revision 0: Initial Version	



アプリケーション・エンジニアリング・ノートブック
エデュケーション・シリーズ

ビット 9 とビット 10 が短絡したケース	8
ビット 9 とビット 10 が短絡した ADC の周波数領域プロット	9
ビット 9 とビット 10 が短絡した ADC の時間領域プロット	9
データとクロックの無効なタイミングがある場合の時間領域プロット	10
データとクロックの無効なタイミングがある場合の時間領域プロットの拡大表示	10

インターフェース形式と規格

フィールド・プログラマブル・ゲート・アレイ (FPGA) と A/D コンバータ (ADC) のデータ出力とのインターフェースは、一般的な技術問題です。そのインターフェース作業は、ADC が様々なデジタル・データ形式と規格を扱うため複雑になります。シングル・データレート (SDR) CMOS は、200 MHz を下回る低速データ・インターフェースで非常に一般的で、トランスミッタ側ではデータがクロックの一方のエッジで変化し、レシーバ側では他方のクロック・エッジでデータ確定し受信されます。これにより、データは安定するまでに多くの時間を確保した後に、レシーバでサンプルされます。ダブル・データレート (DDR) CMOS では、トランスミッタが各クロック・エッジでデータを変化させます。このため、SDR と同じ時間に 2 倍のデータを転送できますが、レシーバでのサンプリングのタイミングが複雑になります。

パラレル低電圧差動シグナリング (LVDS) は、高速データ・コンバータにおいては一般的なインターフェース規格です。この規格では、各ビットに P (+) 線と N (-) 線を使う差動信号を採用し、DDR では 1.6 Gbps まで、または最新 FPGA では 800 MHz までの速度を実現しています。パラレル LVDS の消費電力は CMOS より少ないですが、配線数が 2 倍になるため、配線が難しくなります。LVDS 規格ではありませんが、LVDS は送信側クロック同期クロック・システムを採用するデータ・コンバータで広く使用されています。このセットアップでは、データと同相のクロックがデータと一緒に送信されます。レシーバはこのクロックを使って、データ変化を知ることができるので、データを容易に取り込むことができます。

FPGA ロジックが高速コンバータの速度に追いつけないことがあります。このため大部分の FPGA はシリアライザ/ディシリアライザ (SERDES) ブロックを内蔵して、コンバータ側の高速のシリアル・インターフェースを FPGA 側の低速パラレル・インターフェースへ変換します。バス内の各データビットに対して、このブロックは 2 ビット、4 ビット、または 8 ビットを出力しますが、クロック・レートは 1/2、1/4、または 1/8 であり、効果的にデータをディシリアライズします。コンバータでは本数の少ないバスになりますが、FPGA 内部では遥かに低速で動作し線数の多いバスで処理されます。

LVDS 規格は、シリアル・リンクで、多くは高速 ADC で採用されています。シリアル LVDS は、速度よりピン数が重要な場合に使用されることが一般的です。データレート・クロックとフレーム・クロックの 2 つのクロックがよく使われます。パラレル LVDS のセクションで説明したすべての考慮事項は、シリアル LVDS にも適用されます。パラレル LVDS は、単順という複数のシリアル LVDS ラインから構成されています。

I²C では、クロックとデータの 2 本の線を使用し、バス上で多数のデバイスをサポートします。I²C は、400 kHz~1 MHz と比較的低速で、プロトコル・オーバーヘッドがあります。一般に、デバイス・サイズが気になる応用で、低い速度で動作するデバイスで採用されています。また、I²C は制御インターフェースまたはデータ・インターフェースでも使用されます。

SPI は、次の 3 本または 4 本の線を使います。

- クロック
- データ入力とデータ出力 (4 線式)、または双方向データ入出力 (3 線式)
- チップ・セレクト (非マスター・デバイスあたり 1 本)

SPI は、使用可能なチップ・セレクト・ライン数と同数のデバイスをサポートします。最大 100 MHz の速度を提供し、一般的に制御インターフェースとデータ・インターフェースとして使用されています。

CMOS ベースの双方向インターフェースであるシリアル PORT (SPORT) では、1 方向あたり 1 本または 2 本のデータ・ピンを使用します。ワード長が調整可能ですので、バイト単位ではないデータに対して非常に有効です。SPORT は、時分割多重 (TDM) をサポートするため、一般にオーディオ/メディア・コンバータとチャンネル数の多いコンバータで採用されており、ピンあたり約 100 MHz の性能を提供します。SPORT は弊社 Blackfin プロセッサで用いられており、FPGA で容易に実現することができます。SPORT では、制御文字を挿入できますが、一般にデータに対してのみ使用されます。

JESD204 は、FPGA や ASIC のようなシングル・ホストと、1 個または複数のデータ・コンバータとの間の高速シリアル・リンクに対する JEDEC 規格です。最新規格では、レーンすなわち差動のペアあたり最大 3.125 Gbps を規定しています。将来のレビジョンでは 6.25 Gbps 以上が規定されます。レーンでは、8B/10B エンコーディングを使い、レーンの実効帯域幅を理論値の 80% へ削減します。クロックがデータ・ストリームに組み込まれているため、クロック信号の追加は不要です。複数のレーンを束ねてスループットを上げると同時にデータ・リンク層プロトコルによりデータの確実性を確保します。シンプルな LVDS または CMOS に比べると、JESD204 ではデータ・フレーム用に非常に多くの FPGA/ASIC リソースを必要とします。配線要求が大幅に減りますが、代わりに高価な FPGA と優れた PCB 配線手法が必要になります。

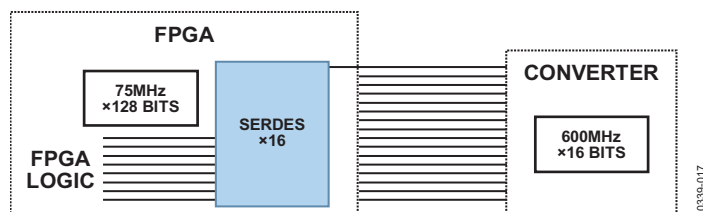


図 1. コンバータの高速シリアル・インターフェースとインターフェースする FPGA 内の SERDES ブロック

一般的な推奨事項

一般的な推奨事項は、ADC と FPGA との間のインターフェースでも利用出来ます。

- FPGA 内部の 終端ではなく、レシーバ、FPGA、ASIC 側に外付け抵抗による終端を使うことで、タイミングスペックを割る可能性を作る mismatch による反射をなくします。
- システム内で複数の ADC を使用する場合、DCO は 1 個の ADC のものを使用しないでください。
- レシーバへのデジタル・パターンをレイアウトする場合は、すべてのパターンを同じ長さにする「トロンボーン」のような形の多用を避けてください。
- CMOS 出力に直列に終端を接続することで、エッジの周波数成分を低くしてスイッチング・ノイズを制限してください。正しいデータ・フォーマット (2 の補数、オフセット・バイナリ) を使用していることを確認してください。

シングルエンドの CMOS デジタル信号では、ロジック・レベルが約 1 V/nS で出力負荷が最大 10 pF のとき、代表的電流はビットあたり 10 mA になります。電流は、できるだけ小さな容量性負荷にする必要があります。それは、できるだけ短いパターンで、望ましくはビアなしで、1 個のゲートだけを駆動することで実現できます。また、デジタル出力と入力にダンピング抵抗を使用することにより充電電流を小さくすることができます。

ダンピング抵抗と容量性負荷の時定数は、サンプリング・レート周期の約 10% である必要があります。クロック・レートが 100 MHz で負荷が 10 pF の場合、時定数は 10 nS の 10%、すなわち 1 nS である必要があります。この場合、R は 100 Ω である必要があります。最適な信号対ノイズ比 (SNR) 性能を得るためには、3.3 V DRVDD より 1.8 V DRVDD の方が望まれます。ただし、大きな容量負荷を駆動すると SNR が低下するので注意が必要です。CMOS 出力は、約 200 MHz のサンプリング・クロックまで使用することができますが、2 つの出力負荷を駆動する場合、またはパターン長が 1 または 2 インチ (約 2.5cm か 5cm) より長い場合は、バッファの使用が推奨されます。

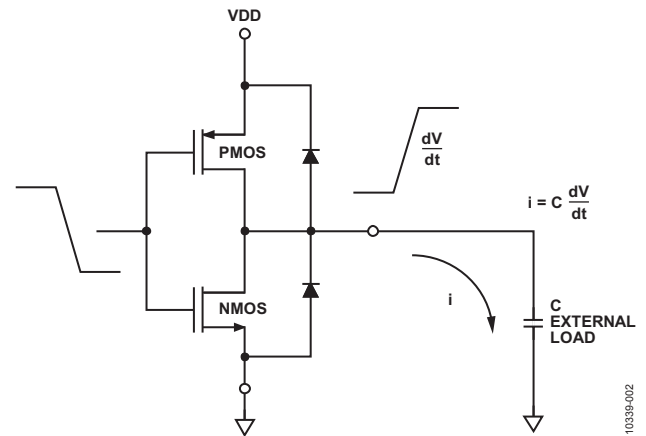


図 2. 代表的な CMOS デジタル出力ドライバ

ADC デジタル出力は、出力の過渡電流により ADC のノイズと歪みが大きくなり、アナログ入力に影響を与えることがあるため注意深く扱う必要があります。

図 2 に示す代表的な CMOS ドライバは、特に容量負荷を駆動するとき、大きな過渡電流を発生します。CMOS データ出力の ADC では特に注意して、これらの電流を小さくし、ADC 内でノイズと歪みがさらに大きくならないようにする必要があります。

代表的な例

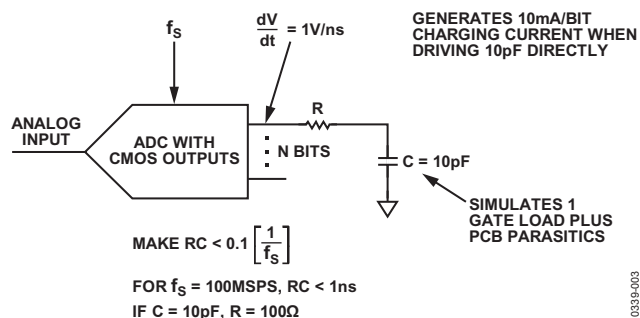


図 3. CMOS デジタル出力の充電電流を小さくするために直列抵抗を使用

図 3 に、16 ビット・パラレル CMOS 出力 ADC の場合について示します。各出力に 10 pF の負荷を接続し、1 ゲート分の負荷 + PCB 寄生容量をシミュレーションすると、各ドライバは 10 pF 負荷を駆動する際に 10 mA の充電電流を発生します。

このため、16 ビット ADC の合計過渡電流は最大 $16 \times 10 \text{ mA} = 160 \text{ mA}$ になります。これらの過渡電流は、各データ出力に直列に抵抗 R を接続して小さくすることができます。抵抗値は、RC 時定数が合計サンプリング周期の 10%未満になるように選択する必要があります。fs = 100 MSPS の場合、RC は 1 ns より小さくする必要があります。C = 10 pF の場合、R が約 100 Ω で最適です。これより大きな値の R を選択すると、出力データのセトリング・タイムが性能低下して、データ取り込みに悪影響を与えます。CMOS ADC 出力の容量負荷は 1 ゲート分の負荷(通常は外付けデータ・キャプチャ・レジスタ)に制限する必要があります。

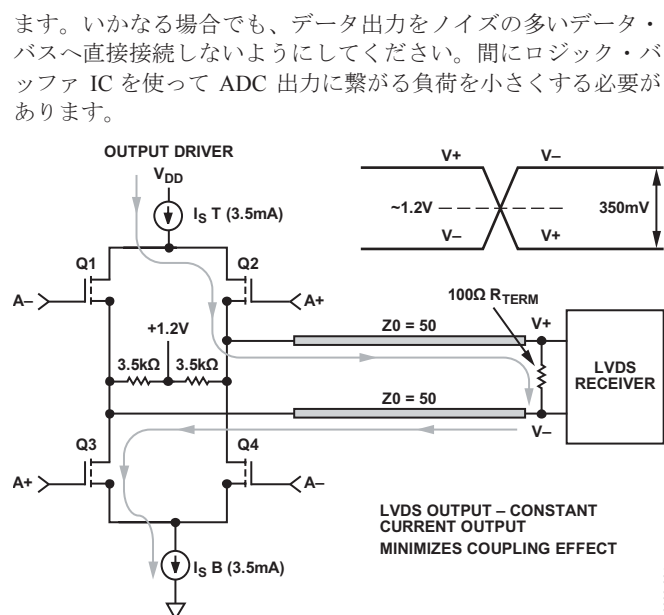


図 4.代表的な LVDS ドライバ設計

図 4 に CMOS での標準的な LVDS ドライバを示します。公称電流は 3.5 mA で、同相モード電圧は 1.2 V です。したがって、レシーバでの各入力振幅は、 $100\ \Omega$ の差動終端抵抗を駆動する際 350 mV p-p になります。これは、差動振幅 700 mV p-p に相当します。これらの数値は LVDS 仕様から求めたものです。

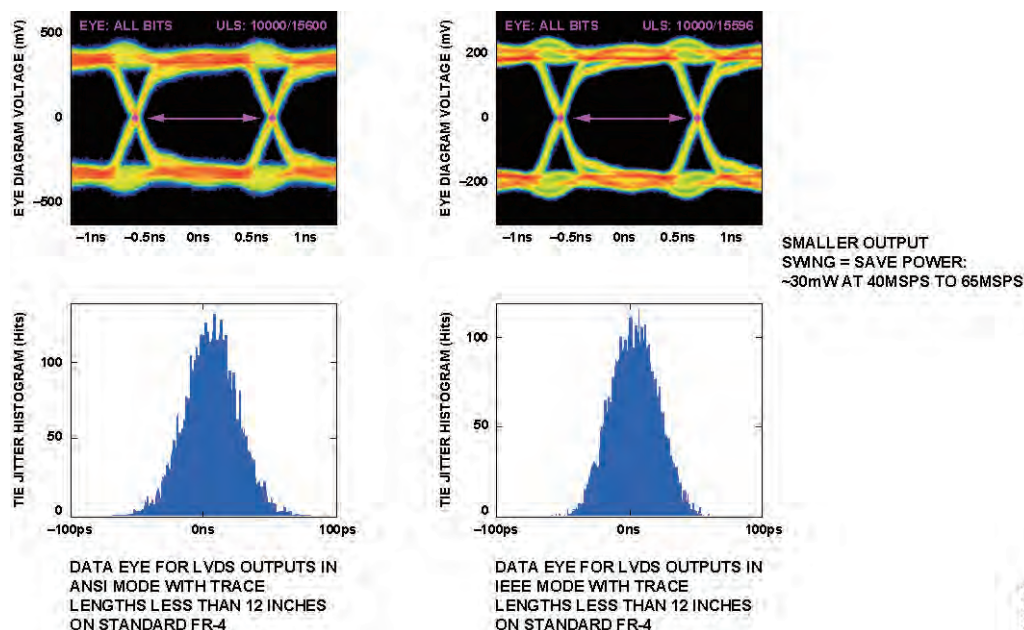


図 5.LVDS の ANSI 規格対 IEEE 規格

ANSI と IEEE により制定された 2 つの LVDS 規格があります。2 つの規格は似ていて、全体として互いに互換性がありますが、同じではありません。図 5 に、2 つの規格のアイ・ダイアグラムとジッタ・ヒストグラムの比較を示します。IEEE 規格の LVDS 振幅は 200 mV p-p で、ANSI 規格の 320 mV p-p より小さくなっています。これはデジタル出力での消費電力の削減に役立ちます。このため、アプリケーションとレシーバへの接続で問題ない場合は、IEEE 規格を使うと良いでしょう。

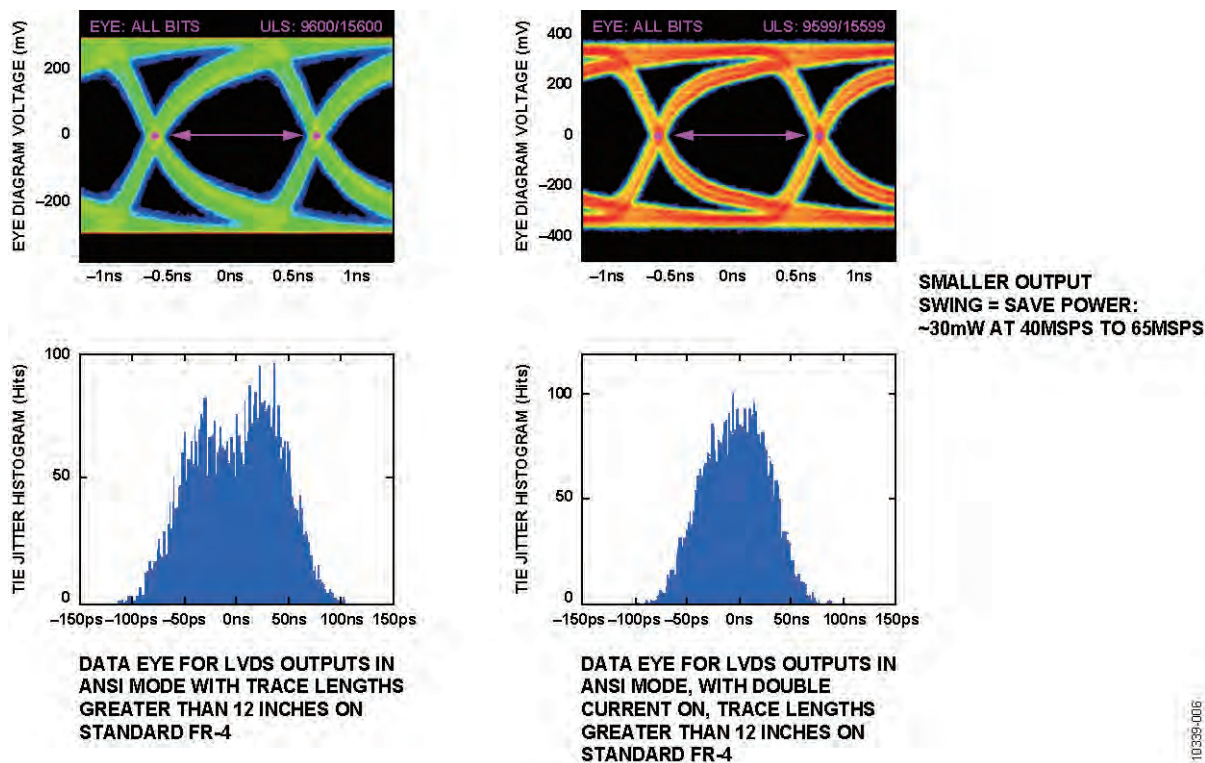


図 6.LVDS の ANSI 規格対 IEEE 規格—パターン長が 12 インチを超える場合

図 6 に、パターン長が 12 インチ(30 cm)を超えるときの LVDS の ANSI 規格と IEEE 規格の比較を示します。両図とも ANSI バージョンの規格で駆動しています。右の図では、出力電流が 2 倍になっています。出力電流を 2 倍にすると、アイがクリーンになり、ジッタ・ヒストグラムも改善されます。

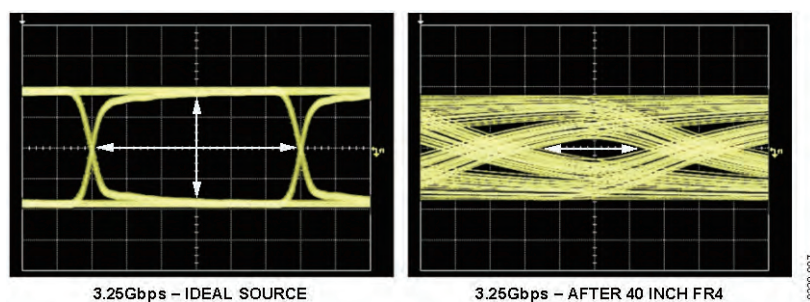


図 7.FR4 チャンネル損失の影響

図 7 に示す FR4 材料上のパターン長の影響に注意してください。左図にトランスミッタでの理想アイ・ダイアグラムを示します。40 インチ離れたレシーバでは、アイが殆ど閉じた状態であるため、レシーバでのデータ再生は困難になります。

トラブルシューティングのヒント

ビット 14 がミスコードするケース

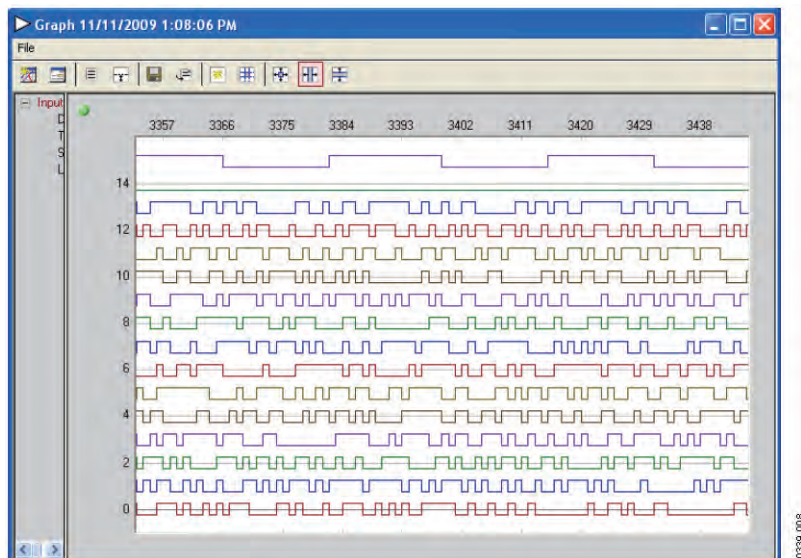


図 8. ビット 14 ミッシングの AD9268 ADC

図 8 に、データビットの VisualAnalog デジタル・ディスプレイを示します。ビット 14 は動作していません。デバイス、PCB、レシーバに問題があることを示しています。あるいは、符号なしデータが小さ過ぎて、最上位ビットが変化しないことも考えられます。

ADC の周波数領域でのプロット—ビット 14 のミスコード

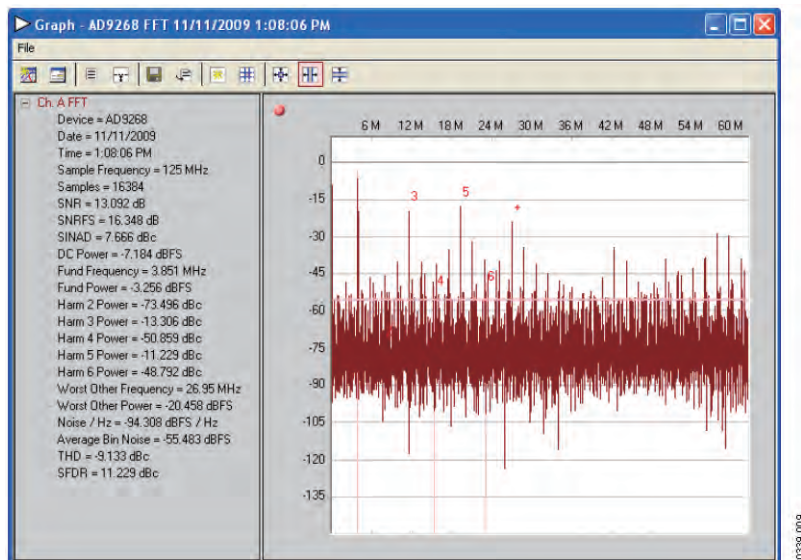


図 9. AD9268 ADC の周波数領域でのプロット—ビット 14 ミッシング

図 9 に、ビット 14 が変化しない前のデジタル・データの周波数領域での表示を示します。このプロットは、ビットの重みが大きく、システム内の何処かでエラーがあることを示しています。

ADC の時間領域でのプロットー ビット 14 のミスコード

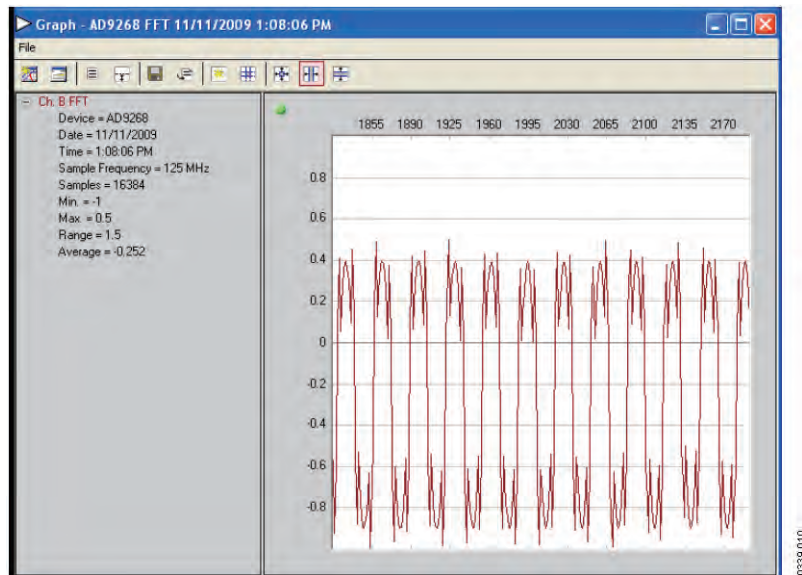


図 10. AD9268 の ADC 時間領域でのプロットービット 14 ミッシング

図 10 に、同じデータの時間領域プロットを示します。滑らかな正弦波ではなく、データがオフセットされ、波形全体のポイントに大きなピークがあります。

ビット 9 とビット 10 が短絡した ADC

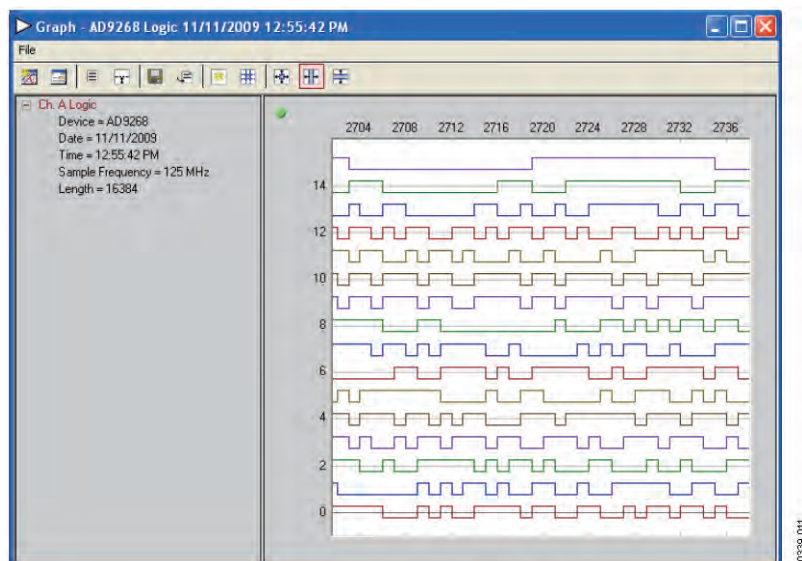


図 11. ビット 9 とビット 10 が短絡した AD9268 ADC

図 11 では、ミスコードではなく、2つのビットが短絡しているため、レシーバから見ると2本のピンに同じデータが出力されています。

ビット 9 とビット 10 が短絡した ADC の周波数領域プロット

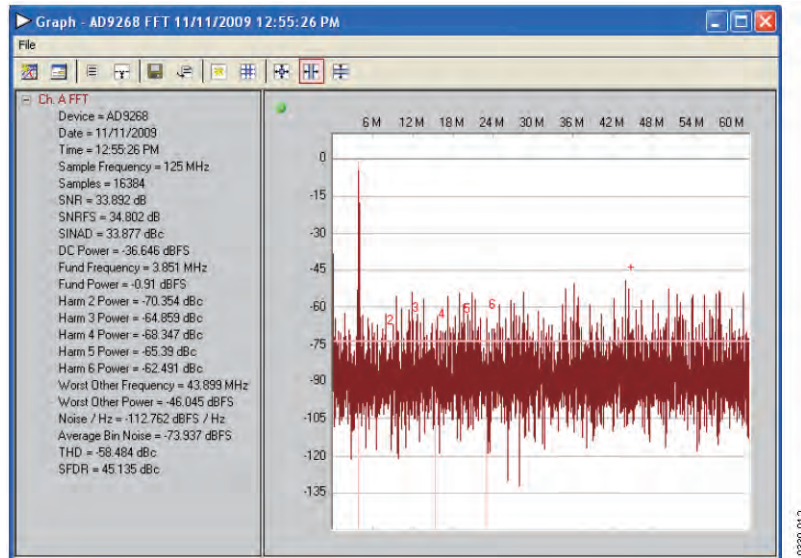


図 12. ビット 9 とビット 10 が短絡した AD9268 ADC の周波数領域プロット

図 12 に、2 ビットが短絡した同じケースの周波数領域表示を示します。基本波がクリアに表示されていますが、ノイズ・フロアかなり悪くなっています。フロアが歪を受ける度合いは、短絡したビットに依存します。

ビット 9 とビット 10 が短絡した ADC の時間領域プロット

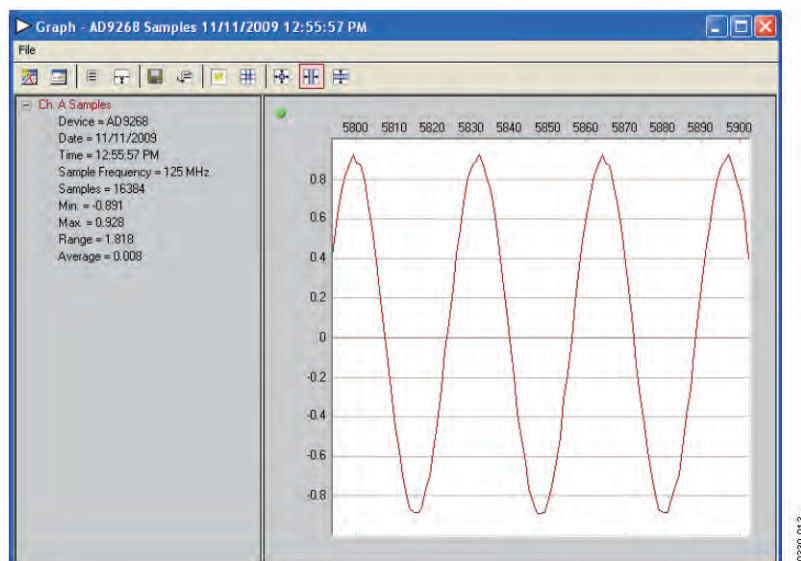


図 13. ビット 9 とビット 10 が短絡した AD9268 ADC の時間領域プロット

図 13 に示す時間領域表示では、問題が見え難くなっています。波形の山と谷で滑らかさがなくなっていますが、これはサンプル・レートが波形の周波数に近づいたときにも見られます。

データとクロックの無効なタイミングがある場合の時間領域プロット

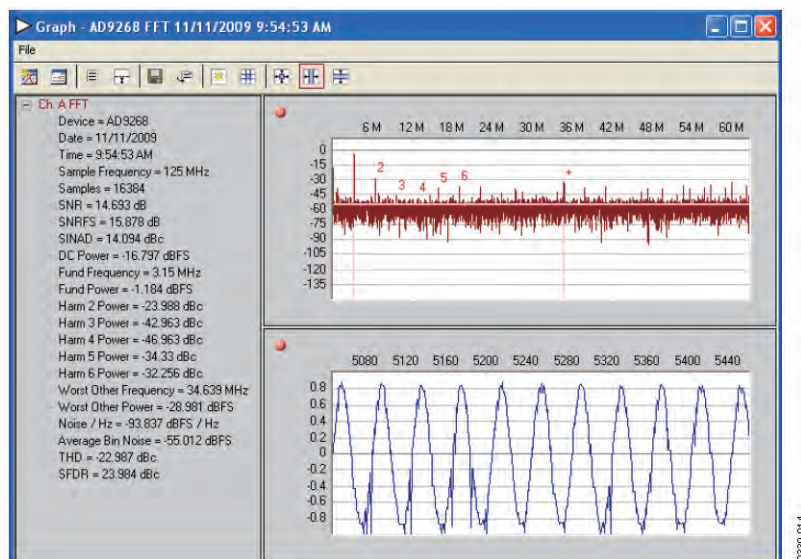


図 14. データとクロックの無効なタイミングがある場合の AD9268 の時間領域プロット

図 14 に、無効なタイミングを持つコンバータを示します。このケースは、セットアップ/ホールド問題から発生しています。全体としてデータの各サイクルで表示される前述のエラーとは異なり、タイミング・エラーでは余り見られなくなります。タイミング・エラーは深刻ではなく間欠的です。これらのプロットは、タイミングを満たさないデータ・キャプチャの時間領域と周波数領域を示しています。時間領域で示すエラーは、1 周期の期間において一定していないことに注意してください。また、FFT/周波数領域で示すノイズ・フロアも上がっていることに注意してください。これは通常ミス・コードを示し、タイム・アライメントが正しくないことから発生します。

データとクロックの無効なタイミングがある場合の時間領域プロットの拡大表示

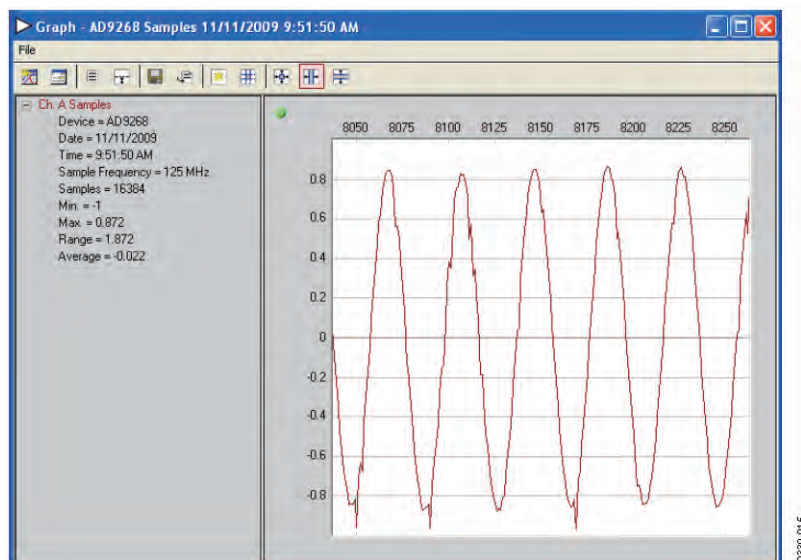


図 15. データとクロックの無効なタイミングがある場合の AD9268 の時間領域拡大プロット

図 15 に、図 14 に示す時間領域タイミング・エラーを拡大して表示しています。ここでも、エラーは 1 周期の期間で一定しませんが、繰り返すエラーもあることに注意してください。このプロットの複数サイクルの谷で発生する負スパイクがこの例です。

【JESD204の関連情報】

関連製品等の情報はこちらをご覧ください。

www.analog.com/jp/JESD204

その他関連リンク

www.jedec.org

www.xilinx.com/products/intellectual-property/EF-DI-JESD204.htm

www.planetanalog.com/author.asp?section_id=3041&doc_id=561117&

www.electronicdesign.com/analog/pair-right-jesd204b-converter-your-fpga

www.eetimes.com/document.asp?doc_id=1280943

www.electronicdesign.com/analog/kickstart-your-system-designs-jesd204b

ビデオ

[Rapid Prototyping with JESD204B Using FMC and Xilinx FPGAs](#)

[A Look at the JESD204B Serial Interface EYE Diagram](#)

アナログ・デバイス株式会社

本 社 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
大 阪 営 業 所 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40 階

お問い合わせは… www.analog.com/jp/support

©2015 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有物に属します。
Printed in JAPAN G11313-0-7/15(C)-JP

www.analog.com/jp

