

JESD204 とは何か、 なぜ注目すべきなのか？

著者：Jonathan Harris、アプリケーション・エンジニア

JESD204は、JEDEC（半導体技術協会）によってA/Dコンバータ（ADC）やD/Aコンバータ（DAC）向けに策定されたインターフェース規格です。現在も普及が進んでいる状況にありますが、将来的には、ADC/DAC向けの最適なプロトコルとして扱われるようになるでしょう。この規格は2006年に策定されましたが、より魅力的かつ効率的なものにすべく、その後も改訂が行われています。ADC/DACの分解能と速度が向上するに連れて、より電力効率の良いインターフェースが求められるようになるからです。そうしたニーズに応えるだけでなく、速度、サイズ、コストの面でも有利になるよう、従来のCMOSインターフェースやLVDS（Low Voltage Differential Signaling）インターフェースに勝るいくつかのメリットを提供します。JESD204を採用した設計では、ADC/DACのサンプリング・レートの高速化に応じ、インターフェースも高速化できます。また、ピン数の削減が可能なので、パッケージの小型化も実現できます。加えて、プリント回路基板上のパターン数が減るため、基板の設計が簡素化され、システム全体のコストを低減することが可能になります。更に、JESD204は、将来のニーズにも適応できるようになっています。これについては、新たに登場した同規格の2つのリビジョンによって既に実証されています。1つ目のリビジョンA（JESD204A）を経て、現在はリビジョンB（JESD204B）が最新の規格となっています。JESD204は、主にADC/DACとFPGA（あるいはASIC）を接続するための共通インターフェース規格として使用されます。より多くのADC/DACメーカー、FPGAメーカー、ユーザーがJESD204を採用するようになるに連れて、規格の改良が進みました。具体的には、より高い効率が得られ、実装が行いやすくなるよう改善するための新たな機能が追加されていきました。

JESD204 とは何か？

JESD204のオリジナル版がリリースされたのは、2006年4月のことです。この規格は、FPGA（またはASIC）で構成されたレシーバーとADC/DACとの間でマルチギガビットのレベルの転

送速度を実現するシリアル・データ・リンクについて定めています。オリジナル版では、1個または複数のADC/DACと1個のレシーバーとの間で1つのシリアル・レーンを使用するデータ・リンクについて定義されていました。図1に示したレーンは、M個のADC/DACと1個のレシーバーとの間の物理インターフェースを表しています。具体的には、CML（Current Mode Logic）に対応するドライバとレシーバーを採用した差動対のインターコネクトによって構成されます。データ・リンクは、ADC/DACとレシーバーとの間でシリアル方式で確立されます。ADC/DACとレシーバーには、共通のフレーム・クロックが供給されます。

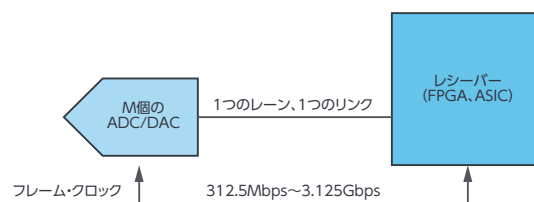


図1. JESD204のオリジナル版で規定された事柄

レーンのデータ・レートは312.5Mbps～3.125Gbpsです。ソース・インピーダンスと負荷インピーダンスは、それぞれ100Ω±20%と規定されています。差動電圧レベルは公称800mVp-p、コモンモード電圧レベルは0.72V～1.23Vです。データ・リンクでは、クロックを含む8b/10bのエンコーディングを採用しています。そのため、クロック・ラインを追加する必要はありません。また、追加したクロックと送信されるデータの位相を高いデータ・レートでそろえるという煩雑さも発生しません。

ADC/DACの速度と分解能が高まるなか、JESD204は広く採用されるようになりました。それに伴って、複数のシリアル・レーンと複数のADC/DACとの間でアライメントを実行できるようにする（位相をそろえられるようにする）ために、規格を改定する必要性が高まっていきました。

この課題は、2008年4月に策定されたJESD204Aで解消されました。JESD204Aでは、複数のシリアル・レーンと複数のADC/DACの間でアライメントを実行する機能をサポートしています(図2)。312.5Mbps~3.125Gbpsというレーンのデータ・レート、フレーム・クロック、電氣的インターフェースの仕様は変更されていません。複数のシリアル・レーンの間でアライメントを実行する機能をサポートするよう規格が強化されたことから、ADC/DACでは、最大3.125Gbpsのデータ・レートを利用できるようになりました。言い換えれば、高いサンプル・レートと高い分解能を活用できるようになりました。

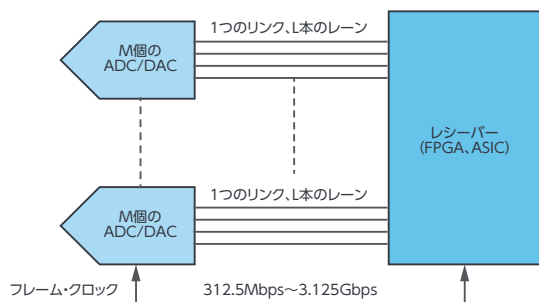


図2. JESD204Aで規定された事柄

JESD204のオリジナル版と改定後のJESD204Aは、旧来のインターフェースと比較すれば高い性能を備えていました。それでも、まだ重要な要素が欠けていました。その要素とは、リンク上のシリアル・データについてデタミニスティックな遅延を保証することです。ADC/DACを使用する場合、サンプリングの対象となった信号と、得られたデジタル値との間のタイミング関係を把握することは重要です。特に、デジタル・データを受信した後、それをアナログ信号に正しく戻す上で重要な情報になります。これはADCを使う場合の例ですが、DACについても同様のことが言えます。このタイミング関係は、ADC/DACで生じる遅延の影響を受けます。その遅延は、ADCの場合、入力信号のサンプリング・エッジからデジタル値が出力に現れるまでのクロック・サイクル数として定義されます。同様に、DACの遅延は、デジタル信号が入力されるタイミングからアナログ出力が変化し始めるまでのクロック・サイクル数として定義されます。JESD204/JESD204Aには、ADC/DACとシリアル・データの入出力に関する遅延について定めた規定は存在しませんでした。加えて、ADC/DAC製品の速度と分解能は更に高められていました。こうした課題に対応するものとして、2011年7月にJESD204Bがリリースされました。

上述したとおり、JESD204Bにおける重要なポイントは、JESD204Aに対してデタミニスティックな遅延についての規定が追加されていることです(図3)。また、サポートするデータ・レートが12.5Gbpsまで引き上げられており、速度グレードによって対応デバイスが分類されます。加えて、メインのクロック・ソースとしては、フレーム・クロックではなく、デバイス・クロックを使用するように変更されています。

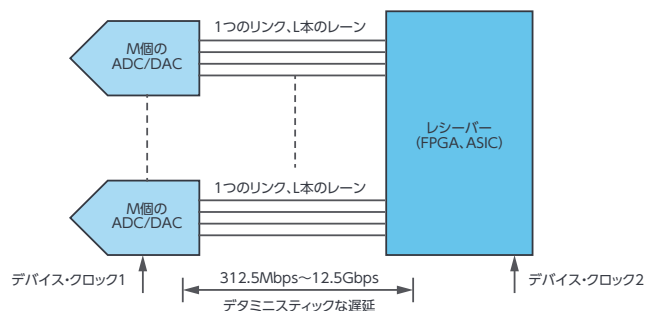


図3. JESD204Bで規定された事柄

JESD204/JESD204Aには、デタミニスティックな遅延に関する規定はありません。それに対し、JESD204Bでは、パワーアップのサイクルから次のパワーアップのサイクルの間、ならびにリンク間での再同期の際に、遅延の再現性と決定性を維持するメカニズムを規定しています。それによって、デタミニスティックな遅延を保証します。その実現方法の1つは、SYNC~という入力信号を使用し、全レーンの中で最初のアライメント・シーケンスを明確なタイミングで同時に開始するというものです。もう1つの方法では、JESD204Bにおいて新たに定義されたSYSREFという信号を使用します。SYSREFは、マスタのタイミング・リファレンスとして機能し、デバイス・クロックを受け取る全内部分周器の出力と、各トランスミッタ/レーシーパーのローカルマルチフレーム・クロックのアライメントを実行します。この機能を利用することにより、システムにおいてデタミニスティックな遅延を確立することが可能になります。JESD204Bでは、デバイスのサブクラスとして以下の3種を規定しています。

- ▶ サブクラス0: デタミニスティックな遅延はサポートされません。
- ▶ サブクラス1: SYSREFを使用するデタミニスティックな遅延をサポートします。
- ▶ サブクラス2: SYNC~を使うデタミニスティックな遅延をサポートします。

サブクラス0は、単純にJESD204Aのリンクと対比することができます。サブクラス1は、主に500MSPS以上で動作するADC/DACを対象としています。サブクラス2の対象は、主に500MSPS未満で動作するADC/DACです。

上述したように、JESD204Bでは、デタミニスティックな遅延をサポートしただけではなく、データ・レートのサポートを12.5Gbpsまで高め、3種の速度グレードで対応デバイスを分類しています。ソース・インピーダンスと負荷インピーダンスは、いずれのグレードでも $100\Omega \pm 20\%$ です。1つ目の速度グレードの場合、レーンのデータ・レートはJESD204/JESD204Aのデータ・レートと同等です。すなわち、最高3.125Gbpsのデータ・レートに対する電氣的インターフェースが規定されています。2つ目の速度グレードについては、最高6.375Gbpsのデータ・レートに対する電氣的インターフェースを規定しています。この速度グレードでは、最小差動電圧レベルを1つ目の速度グレードの500mVp-pから400mVp-pまで下げています。

3つ目の速度グレードでは、最高12.5Gbpsのデータ・レートに対する電氣的インターフェースを規定しています。この速度グレードでは、電氣的インターフェースの最小差動電圧レベルを360mVp-pまで下げています。上記のように、より高い速度グレードでは、レーンのデータ・レートが高くなります。そこで、ドライバのスルー・レートを低減することで物理的に容易に実装できるようにするために、最小差動電圧レベルを下げているということです。

JESD204Bでは、フレーム・クロックからデバイス・クロックへの移行を実施しました。その目的は柔軟性を高めることです。JESD204/JESD204Aでは、フレーム・クロックがシステムにおける絶対的なタイミング・リファレンスでした。そして、フレーム・クロックは、一般にADC/DACのサンプリング・クロックと同じものでした。このことが柔軟性の面で制約になっていたのです。実際、この信号を複数のデバイスに供給する場合、異なる配線パスのスキューを考慮すると、システムの設計がかなり複雑になってしまいます。JESD204Bでは、デバイス・クロックがシステム内の各要素に対するタイミング・リファレンスとなります。すべてのデバイス・クロックは、共通のソースを基にクロック・ジェネレータ回路によって発生します。つまり、各ADC/DACとレシーバーは、そのクロック・ジェネレータ回路からそれぞれのデバイス・クロックを受け取ります。これにより、システム設計における柔軟性が高まります。但し、各デバイスについて、フレーム・クロックとデバイス・クロックの関係を明確にしておくよう注意する必要があります。

なぜ JESD204 に注目すべきなのか？

ADC/DACのデジタル・インターフェースについては、CMOSインターフェースからLVDSインターフェースに移行するという動きがありました。CMOSインターフェースもまだ使われていますが、LVDSインターフェースへの置き換えは着々と進みました。それと同様に、あと数年の間に、JESD204への移行が急速に進むことになるでしょう。ADC/DACの速度や分解能の向上という要求に加え、消費電力の削減が強く求められていることから、CMOSインターフェースやLVDSインターフェースでは不十分です。CMOSインターフェースを使用する場合、データ・レートが高くなると、過渡電流が増えて消費電力が増大します。LVDSの場合、消費電力は比較的少なく抑えられますが、サポートできる速度に限界があります。この限界は、ドライバのアーキテクチャによって生じます。また、データ・クロックに対し、多数のデータ・ラインの同期をとらなければならないことにも起因しています。

図4に、各インターフェースを使用した場合の消費電力についてまとめました。分解能が14ビットのデュアルADCにおいて、CMOS出力、LVDS出力、CML出力を使用した場合の性能を示しています。

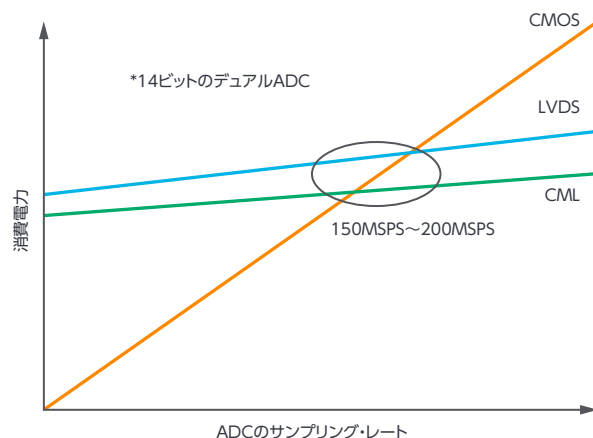


図4. CMOS、LVDS、CMLを使用した場合の消費電力

分解能が14ビットの場合、150MSPS～200MSPSにおいて、CML出力ドライバの消費電力が相対的に優れているという結果になります。CMLではデータをシリアル化するので、LVDSインターフェース、CMOSインターフェースに比べ、分解能に対して出力数が少なく済むという利点があります。JESD204Bに対応するCMLドライバには、他にもメリットがあります。サンプリング・レートが高い場合には、ピークtoピークの電圧レベルを下げるという規定があることから、出力レートを高めることができるのです。同じ分解能とサンプリング・レートで比較すると、必要なピン数も大幅に削減されます。表1に、チャンネル数と分解能の異なる200MSPSのADC/DACに対し、各インターフェースを使用する場合に必要なピン数を示しました。CMOS出力とLVDS出力については、各チャンネルのデータに対して同期クロックを使うことを前提としています。また、JESD204Bに対応するCML出力については、最高4.0Gbpsのデータ・レートで動作させることを想定しています。この表から、JESD204Bに対応するCMLドライバを採用すれば、必要なピン数を大幅に削減できることがわかります。このことから、JESD204Bへの移行が進むのは明らかだと言えるでしょう。

表1. 200MSPSのADCを使用する場合に必要なピン数

チャンネル数	分解能	CMOSの場合のピン数	LVDSの場合のピン数(DDR)	CMLの場合のピン数(JESD204B)
1	12	13	14	2
2	12	26	28	4
4	12	52	56	8
8	12	104	112	16
1	14	15	16	2
2	14	30	32	4
4	14	60	64	8
8	14	120	128	16
1	16	17	18	2
2	16	34	36	4
4	16	68	72	8
8	16	136	144	16

アナログ・デバイセズはADC/DAC分野のマーケット・リーダーです。その立場から、JESD204に向かってADC/DAC用のデジタル・インターフェースが進化していく様子を見てきました。実際、当社はJESD204のオリジナル版がリリースされた当初から同規格にかかわっています。現時点で、アナログ・デバイセズはJESD204/JESD204Aに準拠した複数種のADC/DACを量産しています。また、JESD204Bに準拠した製品も開発中です。例えば、以下のような製品があります。

- ▶ [AD9639](#)：クワッドチャンネル、12ビット、170MSPS/210MSPSのADC。JESD204に対応するインターフェースを内蔵しています。
- ▶ [AD9644](#)、[AD9641](#)：14ビット、80MSPS/155MSPSのADC。AD9644はデュアル品でAD9641はシングル品です。JESD204Aに対応するインターフェースを内蔵しています。
- ▶ [AD9128](#)：デュアルチャンネル、16ビット、1.25GSPSのDAC。JESD204Aに対応するインターフェースを内蔵しています。

JESD204に関するアナログ・デバイセズの取り組みについてはwww.analog.com/jp/jesd204をご覧ください。

ADC/DACの速度と分解能が向上すれば、より効率に優れるデジタル・インターフェースに対する要求が高まります。それに応えるものが、シリアル・データ・インターフェースを採用したJESD204です。この規格は、ADC/DACとFPGA（またはASIC）の間でデータをやり取りするための優れた方法を提供するために進化してきました。具体的には、より良い実装が行え、高速／高分解能のADC/DACに対応できるようにするために2つのリビジョンが策定されました。将来的には、ADC/DACにとって最適なデジタル・インターフェースとしてJESD204が選ばれることは明白です。各リビジョンでは、実装方法に対する要求に応え、ADC/DAC技術の変化によってもたらされる新たな条件に対応できるよう規格が改善されました。システムの設計が複雑になり、ADC/DACの性能が向上するに従い、JESD204の採用が進むでしょう。この規格は、設計上の新たな要求を満たすために進化を続けるはずで

参考資料

[JEDEC Standard JESD204 \(2006年4月\)](#)、JEDEC Solid State Technology Association.

[JEDEC Standard JESD204A \(2008年4月\)](#)、JEDEC Solid State Technology Association.

[JEDEC Standard JESD204B \(July 2011年7月\)](#)、JEDEC Solid State Technology Association.

著者について

Jonathan Harris (jonathan.harris@analog.com) は、アナログ・デバイセズの高速コンバータ・グループ（ノース・カロライナ州グリーンズボロ）に所属するプロダクト・アプリケーション・エンジニアです。RF業界でアプリケーション・エンジニアとして7年以上、製品のサポートを担当してきました。ノースカロライナ大学シャーロット校で電子工学の学士号、オーバーン大学で電子工学の修士号をそれぞれ取得しています。

EngineerZone®
オンライン・

サポート・コミュニティ

ADI EngineerZone™
SUPPORT COMMUNITY

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com にアクセス

*英語版技術記事は[こちら](#)よりご覧いただけます。



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

VISIT ANALOG.COM/JP

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2020 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possible はアナログ・デバイセズの商標です。

TA11322-8/19

※初出典 2020年 マイナビニュース