



[Maxim > 設計サポート > 技術資料 > チュートリアル > A/D変換、D/A変換、サンプリング回路 > APP 1023](#)

[Maxim > 設計サポート > 技術資料 > チュートリアル > 基地局/ワイヤレス・インフラ > APP 1023](#)

キーワード：パイプライン、ADC、アナログ/デジタル・コンバータ、A/Dコンバータ、A/D、レイテンシ、ブロック図、コンポーネントの精度、デジタル誤差補正、アーキテクチャの比較、A/D変換、コンバータ

チュートリアル1023

パイプライン型ADCを理解する

2001年10月2日

概要

本稿では、パイプライン型の A/D コンバータ (ADC) について説明します。アーキテクチャの詳細、レイテンシ、デジタル誤差補正 (デジタル・エラー・コレクション)、内蔵コンポーネントの精度、デジタル・キャリブレーションなど、同 ADC の性能に影響を与える主要な事柄について詳しく解説します。また、パイプライン型以外のアーキテクチャとの比較も行います。

パイプライン型の ADC は、サンプリング・レートが数 Msps (メガ・サンプル/秒) から 100Msps 強までのアプリケーションで最もよく使用されています。分解能は、サンプリング・レートが高い場合には 8 ビット、サンプリング・レートが低い場合には 16 ビットといった具合です。このようなサンプリング・レートと分解能がマッチする多様なアプリケーションで広く活用されています。代表的な用途としては、CCD (Charge Coupled Device) を使用するイメージング機器、医療用の超音波画像処理装置、デジタル・レシーバー、基地局、デジタル映像 (例えば HDTV) 機器、xDSL (x Digital Subscriber Line) 向けの機器、ケーブル・モデム、高速イーサネット向けの機器などが挙げられます。

現在でも、サンプリング・レートが低いアプリケーションではアーキテクチャとして SAR (Successive Approximation Register) 型または積分型を採用した ADC が広く使われています。また、最近ではオーバーサンプリングとデルタ・シグマ変調を組み合わせた ADC も使われるようになりました。一方、非常に高いサンプリング・レート (数百 Msps 以上) が求められるアプリケーションでは、現在でもフラッシュ型の ADC が使用されています。ただ、このような状況にも変化が生じつつあります。最近では、様々な種類のパイプライン型 ADC が製品化されるようになりました。そうした製品では、速度 (サンプリング・レート)、分解能、動的性能、消費電力が大幅に改善されています。

パイプライン型のアーキテクチャ

図 1 に示したのは、パイプライン型 ADC のアーキテクチャです。ここでは、分解能が 12 ビットの例の例を示しています。

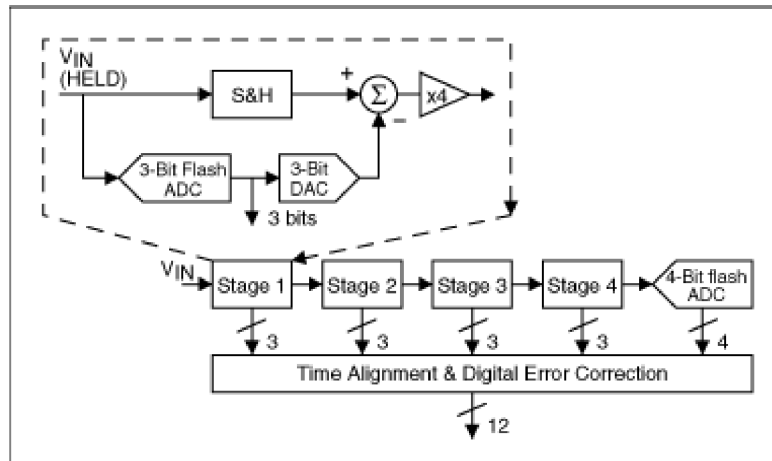


図 1. パイプライン型 ADC のアーキテクチャ。3 ビットに対応する 4 つのステージ（各ステージは 2 ビット分のデータを生成）が設けられています。

この ADC において、アナログ信号 V_{IN} は、まずサンプル・アンド・ホールド回路に入力されます。それにより、入力された信号がサンプリングされ、その電圧がそのままホールドされます。それと同時に、 V_{IN} はステージ 1 のフラッシュ型 ADC によって 3 ビットに量子化されます。この 3 ビットの出力は分解能が 3 ビットの DAC に入力されます（約 12 ビットの精度）。そして、この DAC のアナログ出力が入力から差し引かれます。得られた「残差」は 4 倍に増幅され、ステージ 2 に入力として引き渡されます。増幅された残差は、パイプラインを通過していきながら、ステージ当たり 3 ビットのデータに変換されます。そして、最後の 4LSB 分を生成する 4 ビットのフラッシュ型 ADC に達します。各ステージからのビット・データは、異なるタイミングで生成されます。そのため、1 つのサンプルに対応するすべてのビット・データに対しては、デジタル誤差補正回路に入力される前に、シフト・レジスタによって時間を揃える処理が施されます。上記のとおり、各ステージは 1 つのサンプルを処理し、ビット・データの値を決定して、その残差を次のステージに引き渡します。ここまでの処理が終わってから、各ステージは、自身が備えるサンプル・アンド・ホールド回路から受け取った次のサンプルの処理を開始します。この点に注意してください。ADC 全体としては、このようなパイプライン型の動作を行いつつ、高いスループットを達成します。

データのレイテンシ

各サンプルは、すべてのビット・データがデジタル誤差補正用のロジック回路で統合される前に、すべてのパイプラインを伝搬することになります。そのため、パイプライン型の ADC では、データのレイテンシが生じます。図 1 の例で言えば、レイテンシの値は約 3 サイクル分になります。図 2 に示したタイミング・チャートを参照してください。

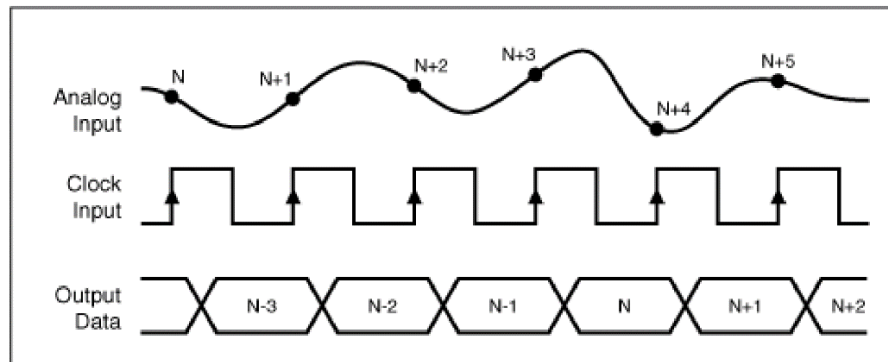


図 2. パイプライン型 ADC におけるデータのレイテンシ

デジタル誤差補正

最新のパイプライン型 ADC は、デジタル誤差補正と呼ばれる技術を採用しています。その目的は、内蔵するフラッシュ型 ADC（すなわち、独立したコンパレータ）の精度に対する要求を大幅に緩和することです。図 1 において、加算ノードの出力は 3 ビット相当の残差になります。そのダイナミック・レンジは、ステージ 1 の入力 V_{IN} の $1/8$ です。しかし、次のゲインはわずか 4 しかないことに注目してください。このことから、ステージ 2 への入力がとり得る範囲は、ステージ 2 の 3 ビットの ADC の $1/2$ ということになります（ステージ 1 の最初の 3 ビットの変換において誤差がない場合）。

アナログ入力、最初の 3 ビットのフラッシュ型 ADC が備えるコンパレータの 1 つのトリップ・ポイントに近いケースを考えます。その場合、コンパレータのオフセットが大きいと、誤った 3 ビットのコードが生成されます。すると、3 ビットの DAC の出力も適切なものではなくなり、誤差を含んだ残差が生成されます。その残差が増幅された結果が次の 3 ビットの ADC の対応範囲を超えない限り、残りのパイプラインによって生成される LSB のコードは（誤った 3 ビットの MSB のコードに加えられた場合でも）、ADC の出力として正しいことがわかります。つまり、図 1 のすべてのフラッシュ型 ADC については、ADC 全体と同じレベルの精度は必要ないということです。実際、ステージ 1 からステージ 4 までに使われている 3 ビットのフラッシュ型 ADC に求められる精度は 4 ビット程度です。

最後に配置された 4 ビットのフラッシュ型 ADC については、変換時に発生した誤差がデジタル誤差補正によって補正されることはありません。変換時に生じる誤差は、この 4 ビットのフラッシュ型 ADC に到達する前の累積ゲイン（ 4^4 ）によって抑制されます。最終ステージのフラッシュ型 ADC だけは 4 ビット以上の精度が必要です。

図 1 の例の場合、各ステージが生成するのは 3 ビットの未処理のデータです。ステージ間のゲインは 4 なので、各ステージ（ステージ 1～4）が実際に判定／生成するのは 2 ビット分です。余分のビットは、残差の大きさを半減させるために使用されます。上述したように、デジタル誤差補正を行うために次の 3 ビットの ADC に対して余分の領域を与えます。この処理は、隣接するステージ間の「1 ビット・オーバーラップ」と呼ばれています。結果として、ADC 全体としての有効ビット数は、 $2 + 2 + 2 + 2 + 4 = 12$ で、12 ビットになります。

内蔵コンポーネントの精度

デジタル誤差補正は、個々の DAC やゲイン・アンプのゲイン／リニアリティに関する誤差を補正することはできません。フロントエンドのサンプル&ホールド回路と DAC には約 12 ビットの精度が必要です。しかし、その後のステージのコンポーネントにはそれより低い精度しか求められません。例えば、ステージ 2 に対しては 10 ビットの精度、ステージ 3 に対しては 8 ビットの精度といった具合です。このように低い精度のコンポーネントを使用するのは、後のステージの誤差項がそれ以前のステージ間のゲインによって除算されるからです。この手法は、パイプラインのステージを徐々に小さくすることによって、消費電力を更に少なく抑えるためにも利用されます。

パイプライン型 ADC は、CMOS 技術または BiCMOS 技術をベースとして設計されるケースが多いはずです。その場合、サンプル&ホールド回路、DAC、加算ノード、ゲイン・アンプは、スイッチド・キャパシタをベースとする 1 つの回路ブロックとして実現されるでしょう。この回路ブロックは、乗算型 DAC (MDAC : Multiplying DAC) と呼ばれます。MDAC の精度を制限する主な要因は、内部回路で使用されるコンデンサのミスマッチです。純粋なバイポーラによる実装は、更に複雑になります。主に、電流源 DAC やステージ間のゲイン・アンプにおける抵抗のミスマッチに悩まされることになるでしょう。

一般に、約 12 ビット以上の精度を実現したい場合には、何らかの補正処理が必要になります。特に最初の 2 つのステージに対しては、何らかの形でコンデンサ／抵抗をトリミングしたり、デジタル・キャリブレーションの機構を組み込んだりすることが求められるはずです。

デジタル・キャリブレーション

アナログ・デバイセズは、様々な種類のパイプライン型 ADC を提供しています。代表的な製品の例としては、16 ビット／1Msps の「[MAX1200](#)」、14 ビット／2Msps の「[MAX1201](#)」、14 ビット／1Msps の「[MAX1205](#)」が挙げられます¹。これらの製品は、優れた精度と動的性能を保証するためにデジタル・キャリブレーションを採用しています。各 IC は CMOS をベースとしており、(1 ビット・オーバーラップを備える) 4 ビットの 4 つのステージを備えています (図 3)。それら 4 つのステージの後段には、5 ビットのフラッシュ型 ADC が配置されています。その結果、全体としては $3 + 3 + 3 + 3 + 5 = 17$ ビットの未処理のデータが得られます。余分の 1~3 ビットは、ADC 自体よりも高い精度で誤差項を量子化し、デジタル・キャリブレーションを実施するために使用します。また、14 ビット品、16 ビット品に不要な余分のビットは廃棄されます。

キャリブレーションはステージ 3 の MDAC から始まります。ステージ 3 以降は、MDAC の誤差項が十分に小さくなるのでキャリブレーションは必要ありません。ステージ 3 の出力は、パイプライン上の残りの ADC によってデジタル化され、誤差項はオンチップの RAM に保存されます。3 つ目の MDAC がキャリブレートされたら、それを使って同様の方法で 2 つ目の MDAC がキャリブレートされます。同様に、キャリブレートされた 2 つ目、3 つ目の MDAC を使って 1 つ目の MDAC がキャリブレートされます。キャリブレーションがノイズフリーであることを保証するためには、(特に 1 つ目と 2 つ目の

MDAC において) 平均化の処理が用いられます。通常の変換中は、それらの誤差項の値が RAM から読み出されます。それらのデータを使ってデジタル誤差補正用のロジック回路の出力が調整されます。

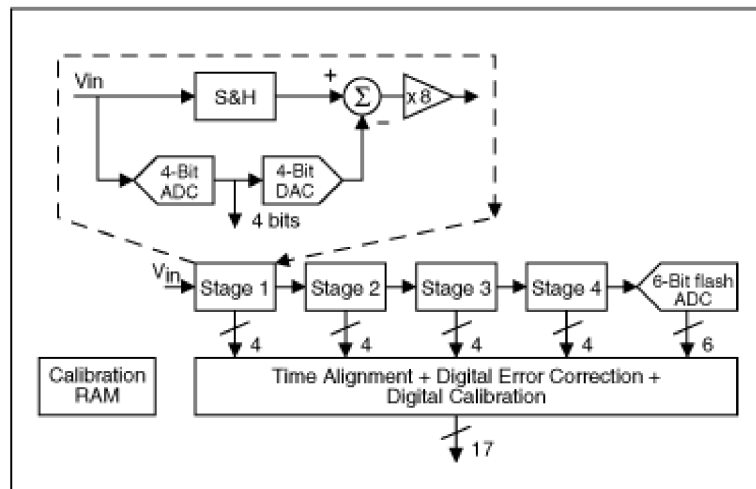


図 3. MAX1200 のアーキテクチャ

様々なバリエーション

図 1 は、パイプライン型 ADC には多くのバリエーションがあり得ることを示唆しています。例えば、各ステージが生成するビット数、LSB 側のフラッシュ型 ADC が対応するビット数、最初の数ステージの精度を高めるためのデジタル・キャリブレーション、トリミングの使用方法など、複数の要素に関する選択肢が存在するはずです。各ステージで生成するビット数は、目標とするサンプリング・レートと分解能によってある程度決まります。一般に、CMOS ベースで高速のパイプライン型 ADC では、ステージ当たりのビット数が低く設定される傾向があります（ステージ当たり 1 ビットだけにすれば、ステージ間のゲインは 2 になる）。その理由は、CMOS では、非常にゲインが高く、帯域の広いアンプを実現することが難しいからです。一方、サンプリング・レートが低い CMOS ベースのパイプライン型 ADC やバイポーラ・ベースのパイプライン型 ADC（サンプリング・レートが非常に高いものを含む）では、ステージ当たりのビット数が高く設定される傾向があります。その場合、データのレイテンシを低く抑えることができます。

「MAX1425」（10 ビット、20Msps）と「MAX1426」（10 ビット、10Msps）は CMOS ベースのパイプライン型 ADC です。これらの製品は、ステージ当たり 1.5 ビット（以下、1.5 ビット／ステージと表記します）の一般的なアーキテクチャを採用しています。各ステージは 0.5 ビットのオーバーラップを備えており、1 ビット分のデータを生成する役割を果たします。1.5 ビットの各ステージは、2 ビット・フルのフラッシュ型 ADC ではなく、1.5 ビットのフラッシュ型 ADC を備えています（コンパレータは 2 個だけ）。これらの製品の各ステージは、デジタル誤差補正によって、2 ビットのフラッシュ型 ADC と DAC を備える標準的な MDAC のステージと同じように動作します。10MHz のアナログ入力信号を 20Msps でサンプリングした場合、59dB という高い S/N 比（Signal to Noise Ratio）が得られます。

「MAX1444/MAX1446/MAX1448/MAX1449」は、高速、低消費電力、10ビット、CMOSベースのパイプライン型ADCです。それぞれ、40Msps、60Msps、80Msps、105Mspsのサンプリング・レートに対応しています。これらの製品は、いずれも1.5ビット／ステージのアーキテクチャを採用しています。広帯域、低歪みのトラック＆ホールド・アンプを内蔵しており、ナイキスト帯域全体はもちろん、それ以上の帯域においても優れた動的性能が得られるようになっています。これらの製品を採用すれば、デジタル・レシーバーの設計でよく用いられるアンダーサンプリングの手法に対応できます。

1.5 ビット／ステージの動作

1.5ビット／ステージのフラッシュ型ADC（2個のコンパレータ）では、アナログ入力とコンパレータの閾値を比較します。図4の例の場合、閾値は-0.25Vと0.25Vです。このフラッシュ型ADCは、アナログ入力が含まれている領域に対応するデジタル・データを出力します。1.5ビットというのは、 V_{RESIDUE} と V_{IN} の伝達特性に3つの領域があるということを表しています。この伝達特性については、1ビットのADCには2つの領域（1／ハイまたは0／ロー）があり、2ビットのADCには4つの領域（00、01、10、11）があるということになります。

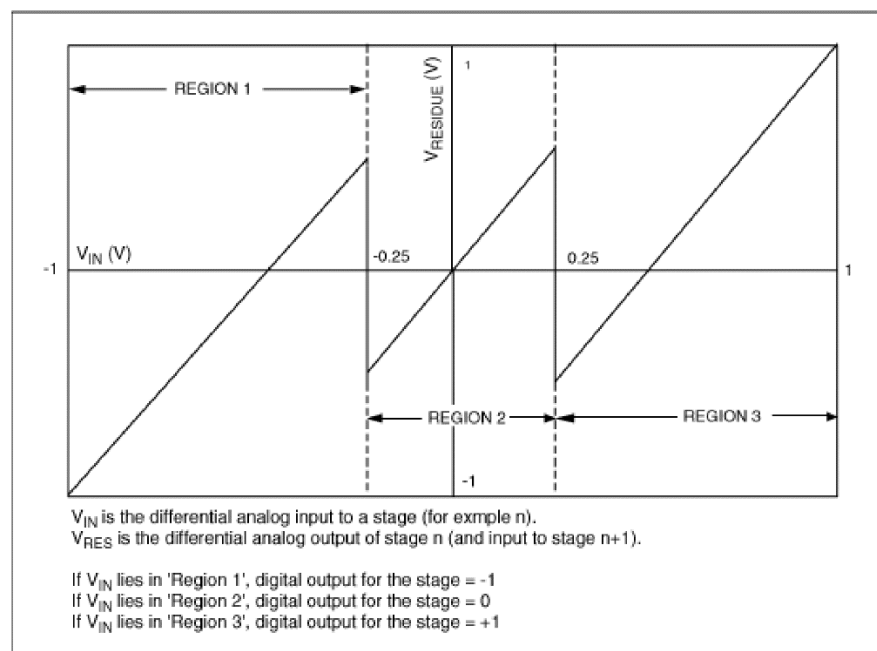


図 4. V_{RESIDUE} と V_{IN} の伝達特性

フラッシュ型 ADC への入力が含まれる領域に応じ、残差電圧は次のように算出されます。

$$\begin{aligned} V_{\text{RESIDUE}} &= 2V_{\text{IN}} - V_{\text{REF}}, \text{ for } V_{\text{IN}} > +0.25\text{V} \text{ (} V_{\text{REF}} = 1\text{V is used in this example)} \\ V_{\text{RESIDUE}} &= 2V_{\text{IN}}, \text{ for } (-0.25\text{V}) < V_{\text{IN}} < (+0.25\text{V}) \\ V_{\text{RESIDUE}} &= 2V_{\text{IN}} + V_{\text{REF}}, \text{ for } V_{\text{IN}} < (-0.25\text{V}) \end{aligned}$$

上の式による結果は、次のステージの入力電圧となります。

表 1 は、0.6V のアナログ入力電圧がサンプリングされ、7 ステージを備えるパイプライン型 ADC によってデジタル出力に変換されるケースについてまとめたものです。同 ADC のステージ 1 は、デジタル出力の最上位ビットを変換する役割を担います。ステージ 7 は、最下位ビットを変換する役割を果たします。

表 1. パイプライン型 ADC の動作についてのまとめ。0.6V のアナログ入力を 7 ステージのパイプライン型 ADC でデジタル値に変換するケースを対象としています。

ステージ	V_{IN} (V)	V_{RESIDUE} と V_{IN} の伝達特性に おける領域 (図 4)	デジタル出力 (-1、0、+1)	10 進の値	V_{RESIDUE} (次の ステージの入力電圧)
1	0.6	領域 3	+1	64	$2 \times 0.6 - 1$
2	0.2	領域 2	0	32	2×0.2
3	0.4	領域 3	+1	16	$2 \times 0.4 - 1$
4	-0.2	領域 2	0	8	$2 \times (-0.2)$
5	-0.4	領域 1	-1	4	$2 \times (-0.4) + 1$
6	0.2	領域 2	0	2	2×0.2
7	0.4	領域 3	1	1	なし

各ステージのデジタル出力とその 10 進値を使用すると、0.6V のアナログ入力電圧を A/D 変換した結果は以下ようになります。

$$[(64 \times 1) + (32 \times 0) + (16 \times 1) + (8 \times 0) + (4 \times -1) + (2 \times 0) + (1 \times 1)] = 77$$

1V のアナログ入力は、127 (すべて 1) というデジタル出力に相当します。そのため、デジタル出力が 77 であるということは、 $77/127 = 0.606\text{V}$ に相当することがわかります。パイプライン型 ADC でサンプリングしたアナログ入力電圧と近い数字になっていることがわかります。

他のアーキテクチャとの比較

以下では、パイプライン型の ADC と他のアーキテクチャを採用した ADC を比較してみます。

SAR 型との比較

SAR 型 ADC では、1 個の高速／高精度のコンパレータによって、MSB から LSB までにわたり 1 ビットずつ値を決定していきます。それまでに決定されたビットによって更新された DAC の出力を対象として、アナログ入力の比較を逐次実行します。このようなシリアル方式の性質が理由となって、変換レート（速度）は数 Msps 以下に制限されます。また、分解能が非常に高い（14～16 ビット）場合には、速度の面の制限が更に厳しくなります。それに対し、パイプライン型の ADC は並列構成を採用しています。各ステージは（連続したサンプルの）1 ビット～数ビットを並列に処理します。

SAR 型の ADC で使用するコンパレータは 1 個だけです。このコンパレータは、高速（クロック・レートは、ビット数×サンプル・レートに近い値）に動作する必要があります。それだけでなく、ADC 自体と同程度の精度を達成していなければなりません。それとは対照的に、パイプライン型 ADC で使用するコンパレータについては、そのようなレベルの速度や精度は求められません。但し、パイプライン型 ADC のチップ面積は、同レベルの仕様の SAR 型 ADC と比べてかなり大きくなるはずで、また、SAR 型 ADC のレイテンシはわずか 1 サイクル（1 サイクルは $1/F_{\text{sample}}$ ）に抑えられます。一方、代表的なパイプライン型 ADC のレイテンシは約 3 サイクル以上に達します。

なお、パイプライン型の ADC と同様に、分解能が 12 ビット以上の SAR 型 ADC は、通常、何らかの形のトリミングやキャリブレーションを適用する必要があります。

フラッシュ型との比較

パイプライン型の ADC は並列性を備えていますが、DAC におけるアナログ・アンプやステージ間で使用するゲイン・アンプには高い精度が求められます。また、線形かつ長いセトリング・タイムを必要とします。一方、完全なフラッシュ型の ADC には、帯域が広く、ゲインの小さいプリアンプとラッチから成る大規模なコンパレータ群が必要になります。ただ、プリアンプについては、パイプライン型 ADC で使用するアンプとは異なり、ゲインは線形でなくても構いません。また、精度がさほど高くないものでも使用できます。但し、コンパレータのトリップ・ポイントは正確でなければなりません。加えて、総合的に言えば、パイプライン型 ADC は優れた設計のフラッシュ型 ADC の速度には対抗できません。

極めて高速な 8 ビットのフラッシュ型 ADC（折り返し/補間型）の中には、1.5Gsps の高速サンプリング・レートに対応する製品もあります（例えば、[MAX104/MAX106/MAX108](#)）。しかし、10 ビットのフラッシュ型 ADC はほとんど存在しません。12 ビット（またはそれ以上）のフラッシュ型 ADC は、商業レベルで実現可能なデバイスだとは言えないでしょう。なぜなら、フラッシュ型の ADC では、分解能が 1 ビット増えると、コンパレータの数が 2 倍になるからです。それだけでなく、各コンパレータには 2 倍の精度が求められます。一方、パイプライン型 ADC では、分解能に対して複雑さが指数関数的に増すわけではありません。直線的に増加するだけです。

パイプライン型 ADC とフラッシュ型 ADC のどちらでも実現できるサンプリング・レートで比較する

と、通常は、パイプライン型の ADC はフラッシュ型の ADC と比べて消費電力が大幅に少なくなります。一般に、パイプライン型の ADC はコンパレータのメタスタビリティ（準安定性）の影響を受けることはほとんどありません。それに対し、フラッシュ型の ADC におけるコンパレータのメタスタビリティは、スパークル・コード・エラーを招くことがあります。その状態になると、ADCからは予測可能な不安定な変換結果が出力されます。

デルタ・シグマ型との比較

オーバーサンプリングとデルタ・シグマ変調を組み合わせた ADC は、かなり前からデジタル・オーディオでよく使用されていました。その場合、帯域幅は約 22kHz に制限されていました。ただ、最近では帯域幅の広いデルタ・シグマ型 ADC も登場しています。なかには、分解能が 12～16 ビットで 1MHz～2MHz の帯域幅を実現しているものもあります。このような仕様の製品は、マルチビットの ADC とマルチビットのフィードバック用 DAC を内蔵した非常に高次のデルタ・シグマ変調器（例えば、4 次以上）を採用しているはずでです。その種の製品の代表的なアプリケーションは ADSL（Asymmetric DSL）です。デルタ・シグマ型 ADC では、トリミングやキャリブレーションを行わなくても、16 ビット～18 ビットの分解能を実現できます。また、対象とする帯域幅に対してサンプリング・レートが非常に高いので、アナログ入力部に急峻なロールオフ特性を備えるアンチエイリアシング（折り返しノイズ防止）フィルタを配置する必要もありません。それと同等の処理は、バックエンドのデジタル・フィルタが担います。加えて、デルタ・シグマ型 ADC では、オーバーサンプリングの効果によってアナログ入力部におけるシステム・ノイズは平均化される傾向があります。

デルタ・シグマ型 ADC は、変換速度と引き換えに高い分解能を実現します（速度と分解能はトレードオフの関係にあります）。最終的な 1 つのサンプルを生成するためには、多数回（最低 16 回。実際にはそれ以上のことが多い）のサンプリングを実行する必要があります。そのため、デルタ・シグマ変調器で使用するアナログ・コンポーネントは、最終的なデータ・レートと比べてかなり高速に動作させなければなりません。また、デジタル・デシメーション・フィルタの設計は容易ではなく、かなりのチップ面積を占めることになります。最も高速で最も分解能の高いデルタ・シグマ型 ADC が実現されたとしても、その帯域幅は数 MHz 以上に達することはないでしょう。なお、パイプライン型 ADC と同様に、デルタ・シグマ型 ADC でもレイテンシが発生します。

2 ステップ・フラッシュ型との比較

2 ステップ・フラッシュ型（ハーフ・フラッシュ型）の ADC は、2 ステージのパイプライン型 ADC だと説明されることがあります。但し、デジタル誤差補正によってビット数を増やしている（例えば 12 ビット以上）ので、各ステージには 6～7 ビットのフラッシュ型 ADC を用意する必要があります。また、ステージ間のゲイン・アンプは、非常に高いゲインを実現しなければなりません。そのため、高い分解能を得たい場合には、2 つ以上のステージを使用する方が賢明です。

まとめ

パイプライン型の ADC は、サンプリング・レートが数 Msps から 100Msps 強までのアプリケーションに最適なアーキテクチャです。設計の複雑さは、ビット数に対して（指数関数的ではなく）直線的なので、高速、高分解能、低消費電力を同時に実現する ADC を実現できます。パイプライン型の ADC が適したアプリケーションは多岐にわたりますが、特にデジタル通信は採用を検討すべき分野だと言えます。多くの場合、この分野では、従来の微分非直線性（DNL）や積分非直線性（INL）といった DC 仕様よりも、動的性能の方が重視されます。パイプライン型 ADC のレイテンシは、ほとんどのアプリケーションでは問題になりません。アナログ・デバイセズは、今後もパイプライン型 ADC のポートフォリオを拡充すべく新製品を開発しています。それらの製品は、他のアーキテクチャを採用した ADC 製品をうまく補完する存在になるはずです。

¹ 詳細については、「[Pipeline ADCs Come of Age（パイプライン型 ADC の時代が到来）](#)」を参照してください。

関連製品

MAX1200	+5V 単一電源、1Msps、16ビット自己較正ADC	
MAX1201	+5V 単一電源、2.2Msps、14 ビットセルフキャリブレート ADC	
MAX1205	+5V 単一電源、1Msps、14 ビット自己較正 ADC	サンプル
MAX1425	10 ビット、20Msps ADC	サンプル
MAX1426	10 ビット、10Msps ADC	サンプル
MAX1444	リファレンス内蔵、10 ビット、40Msps、3.0V、低電力 ADC	サンプル
MAX1446	10 ビット、60Msps、3.0V、リファレンス内蔵、低電力 ADC	サンプル

詳細については、以下をご覧ください。

技術サポートに関するお問い合わせ：<https://www.analog.com/jp/support.html>

サンプルのご依頼：<https://www.analog.com/jp/support/sample-products.html>

その他のご質問やご意見：<https://www.analog.com/jp/contact-us.html>

アプリケーション・ノート 1023：https://www.analog.com/media/jp/technical-documentation/application-notes/AN-1023_jp.pdf

チュートリアル 1023, AN1023, AN 1023, APP1023, Appnote1023, Appnote 1023

© 2001 Analog Devices, Inc. All rights reserved.

本ウェブページに掲載されているコンテンツは、米国およびその他の国の著作権法によって保護されています。

このコンテンツのコピーをご希望される方は、[弊社まで](#)お問い合わせください

その他の法的注意事項：<https://www.analog.com/jp/who-we-are/legal-and-risk-oversight.html>