

完全統合型の トランスレーション・ ループ・デバイスは、 なぜ最高の位相ノイズ性能を 実現できるのか？

著者：Erkan Acar、RF システム・アーキテクト

概要

帯域幅に対する要求はとどまるところを知りません。現在では、数十GHzのキャリア周波数に対応しなければならないレベルにまでなっています。そのような高い周波数を使用すれば、非常に広い帯域幅からのメリットを享受することができます。つまり、帯域内が過密な状態に陥るといったデメリットを被ることなく、コンシューマはシステムを利用することが可能になります。しかし、最終的な機器で使用する周波数が高くなればなるほど、それらを対象とする計測ソリューションは非常に複雑なものになります。計測ソリューションには、被測定デバイスよりも1桁上の性能が必要になるからです。そうした性能の中でも、本稿では信号源の位相ノイズに焦点を絞ることにします。周波数の高い信号を生成するためのいくつかの手法を取り上げ、それぞれの長所、短所について検討します。その上で、あらゆる周波数生成手法の長所を取り入れたトランスレーション・ループ・デバイスを紹介します。そのデバイスを採用すれば、複雑さを増すことなく、位相ノイズが極めて小さい高周波信号を生成することが可能になります。

PLLの内部構造

多くの周波数生成器では、フェーズ・ロック・ループ (PLL) 回路がよく使用されます。その主機能は、リファレンス信号に対して、内部で生成した信号の位相をロックしつつ、より高い周波数信号を出力することです。図1に示したのは、典型的なPLLのブロック図です。この回路のVCO (Voltage Controlled Oscillator: 電圧制御発振器) の出力はN分周器によって分周され、PFD (Phase/Frequency Detector: 位相/周波数検出回路) によってリファレンス信号と比較されます。このシンプルな回路は、多くの教科書で取り上げられ、広く学ばれてきました。本稿では、このような基本的な回路を活用し、出力において位相ノイズ

ズを大幅に低減可能な手法を確立していきます。

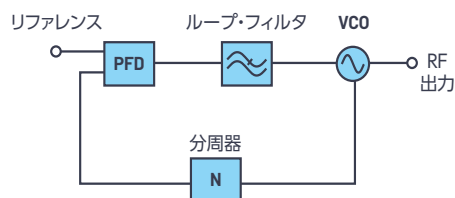


図1. 典型的なPLL回路

PLLを構成する各ブロックの位相ノイズや不完全さは、PLL全体としての位相ノイズに影響を及ぼします。各ブロックに関連する位相ノイズについてはモデリングすることが可能です。そうすれば、シミュレーションや解析計算によってPLL全体の位相ノイズを正確に予測できます。以下では、各ブロックについてそうした再確認を行い、PLLの出力の位相ノイズに及ぶ影響について検討していきます。

PFDは、出力信号を分周した信号とリファレンス信号の比較を行います。その結果として、VCOの制御電圧を生成するチャージ・ポンプ回路に入力する誤差信号を生成します。このような仕組みにより、出力信号の位相がリファレンス信号の位相と一致するまでVCOを制御します。ほとんどの場合、PFDを内蔵する最新の周波数生成デバイスのデータシートには、性能指数 (FOM: Figure of Merit) の値が記載されています。FOMを使用すれば、帯域内の位相ノイズを次式によって計算することができます。

$$L_{OUT} = FOM + 10 \log f_{PFD} + 20 \log N \quad (1)$$

ここで、 f_{PFD} はPFDに入力される比較周波数、Nは分周器による出力信号の分周比です。出力周波数は、 f_{PFD} と分周比Nの乗算によって決まります。所望の出力周波数が固定値であるとして、 f_{PFD} の値をある倍率で高めると、Nの値を同じ倍率で下げなければなりません。



Nの値を下げると、上式の f_{PFD} の項によって2倍の割合で位相ノイズが減少し、全体の出力位相ノイズが低下します。つまり、PFDの周波数が高くなればなるほど、近接位相ノイズは小さくなると結論づけられます。この結論は、後ほどシステム全体の位相ノイズを最適化する方法を検討する際に利用することにします。

PFDの後段に配置されたループ・フィルタは、PFDが出力するVCOの制御用の誤差信号を平滑化します。ループ・フィルタは、チャージ・ポンプの電流、VCOの感度、PFDの周波数など、システムに関する複数のパラメータを基に設計されます。ループ・フィルタでは、負帰還制御ループの帯域幅はそれほど重視されません。同フィルタの制御帯域内では、出力信号の位相ノイズに対してはリファレンス信号が大きな影響を及ぼします。同フィルタのカットオフ周波数を超えると、全体の位相ノイズ性能はVCOの特性によって決まります。このことも、後ほどの検討で利用します。

VCOは、入力された制御電圧に応じて周波数が変化する信号を出力します。VCOの出力信号の周波数は、その位相がリファレンス信号の位相に対してロックされるまで制御ループによって更新されます。ここで、VCOはPLL全体の位相ノイズに直接影響を及ぼします。一般に、VCOのQ値（Quality Factor）が高ければ位相ノイズは小さくなります。但し、Q値が高い場合、一般的にチューニング範囲を制限するコンポーネントが必要になります。一般に、対応周波数範囲の狭いVCOは、非常に優れた位相ノイズ性能を備えています。

周波数生成に関する選択肢

信号生成は、質のレベルが異なる様々な発振器のトポロジを使用して行われます。通常、計測アプリケーションでは、位相ノイズとスプリアスの両方の観点から最高の性能を追求します。以下では、位相ノイズを非常に低く抑えられる周波数生成方法をいくつか取り上げ、解説を加えることにします。

固定周波数の発振器

優れた位相ノイズ性能を備える信号生成デバイスとしては、固定周波数（一定周波数）の発振器が挙げられます。例えば、OCXO（Oven Controlled Crystal Oscillator：恒温槽付水晶発振器）、TCXO（Temperature Compensated Crystal Oscillator：温度補償水晶発振器）、VCXO（Voltage Controlled SAW Oscillator：電圧制御SAW発振器）などです。この種のデバイスは一般にQ値が非常に高く、優れた近接位相ノイズ性能が実現されています。主にデバイスの形状や構造によって規定された周波数を実現します。また、リファレンス信号源に対して位相をロックできる程度の変換性を備えています。固定周波数の発振器の短所は、デバイスの周波数範囲が限定されていることです。固定周波数やその複数倍の周波数で動作する機器には適していますが、ほとんどの計測機器では周波数が可変であることが求められます。

この問題の解決策として使われるのが、DDS（Direct Digital Synthesis）デバイスやD/Aコンバータ（DAC）です。図2に示すように、DDSデバイスは固定周波数の信号をサンプリング・クロックとして使用して動作します。なお、発振器からの信号は、必要に応じ、周波数乗算器またはSRD（Step Recovery Diode）を使って逡倍され、フィルタ処理を施してからDDSデバイスに入力されます。DDSデバイスを使えば、第1ナイキスト領域（サンプリング周波数の1/2）の範囲内で任意の周波数の信号を生成できます。一方、最新のDACの中には、第2ナイキスト領域でも問題なく動作するものがあります。

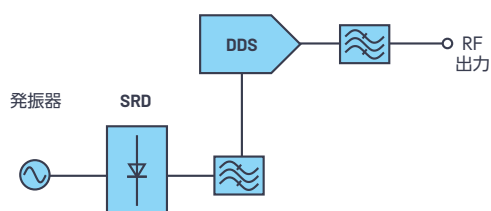


図2. 可変周波数の生成方法。
固定周波数の信号源を利用しています。

図3に示したのは、16ビットのDACとDDSを内蔵する「AD9164」の出力スペクトルと位相ノイズです。これらは、同ICを低位相ノイズのDRO（Dielectric Resonant Oscillator：誘電体共振発振器）によって6GHzで駆動した場合の結果です。下側のグラフから、出力位相ノイズが非常に小さいことがわかります。また、上側のグラフのとおり、スプリアスのレベルは-70dBcよりも低く抑えられています。

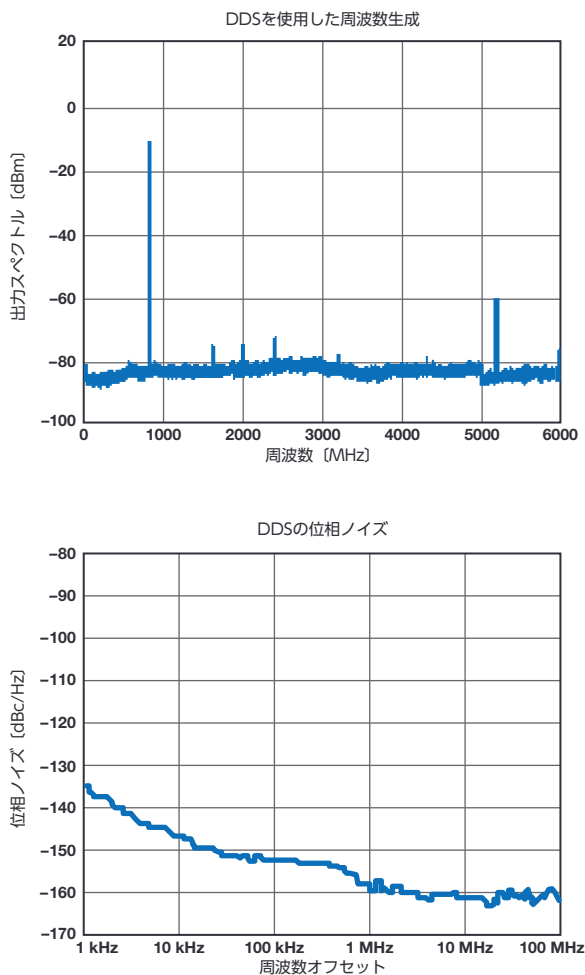


図3. AD9164の出力スペクトルと位相ノイズ。
固定周波数の発振器をサンプリング・クロックとして使用して
800MHzで動作させた結果です。

通倍されたサンプリング・クロックのスペクトル純度 (spectral purity) は、そのクロックを入力したデバイスの出力に対して直接的に影響を及ぼします。クロック信号を通倍すると、出力には多くの高調波が現れます。DDSの出力でスプリアスを非常に低く抑えるためには、クロック信号に対してフィルタ処理を施す必要があります。一般に、サンプリング・クロックに含まれるスプリアスは、同程度のレベルで出力に現れます。通倍比が大きい場合、フィルタとしてはかなり急峻な減衰特性を備えるものを適用する必要があります。結果として、かなりの実装面積が必要になります。

また、通倍比を高めると、通倍された信号の位相ノイズが増加します。位相ノイズは、信号の周波数が2倍になると6dB増加します。初期の位相ノイズのプロファイルと通倍比に基づいてノイズ・フロア（ファアアウト位相ノイズ）が大幅に上昇し、ソリューション全体としてはそれほど魅力的なものではなくなります。固定周波数のデバイスの近接位相ノイズ性能を活かしたいと考えてQ値の高いデバイスを採用したとしても、ファアアウト位相ノイズの代償を払うことになるという、よく知られたジレンマに陥るということです。一例を挙げると、SAW（Surface Acoustic Wave）デバイスは、キャリア周波数が約1GHzという条件下で優れた近接位相ノイズ性能を発揮します。ただ、40GHz以上で動作するミリ波デバイスでそれを利用するには、40通倍しなければなりません。その結果、位相ノイズのノイズ・フロアは32dB以上も上昇することになります。つまり、そのソリューションの魅力は大きく損なわれるということです。

広帯域に対応するPLL

広帯域に対応するPLL（シンセサイザ）を使用すれば、固定周波数を生成するデバイスに関する多くの課題を解決することができます。例えば、マイクロ波に対応するシンセサイザ「ADF4372」などの製品では、複数のVCOコアを使用して広い帯域を複数のオーバーラッピング帯域に分割して広範な周波数に対応します。このようなアーキテクチャを使えば、各コア／帯域において高いQ値を得ることができます。その結果、単一のコアを使用するアーキテクチャと比べてデバイス全体の性能を大幅に高めることが可能になります。

この種のデバイスの主な長所は、水晶発振器やSAW発振器と比べて基本動作周波数を高く設定できることです。最新のVCOの多くは、4GHz～20GHz以上の基本周波数範囲に対応します。このことから、ミリ波を利用するアプリケーションにおいては、ファアアウト位相ノイズの面ではるかに魅力的な選択肢になります。例えば、10GHzの基本周波数で動作するデバイスを使用する場合、40GHzの周波数を得るためには4通倍しなければなりません。水晶発振器を使用する場合、位相ノイズのノイズ・フロアは32dBも上昇しますが、シンセサイザを使う場合、その値を12dBに抑えられます。

マルチコア／マルチバンドのデバイスについては、ターゲットとなる周波数を合成するための最適な帯域を見つけることが課題になります。そのためには、適切な帯域を見極めるためのルックアップ・テーブルを作成する作業なども必要になります。ADF4372や「ADF5610」のような自動キャリブレーション機能を備えるシンセサイザICを採用すれば、そうしたプロセスを大幅に簡略化することができます。また、温度やプロセスばらつきに対しても堅牢性を発揮できます。周波数の変更にあたっては、デバイスのレジスタをプログラムするだけで最適な動作帯域を自動的に決定できます。そのため、デバイス全体の動作は大幅に簡素化されます。

シンセサイザICのもう1つの課題は、固定周波数の信号を生成するデバイスと比べて、同ICに関連する近接位相ノイズがかなり大きくなることです。位相ノイズ全体のノイズ・フロアが低くても、近接位相ノイズが大きくなると、トータル積分ノイズも大きくなります。そのため、積分位相ノイズが小さいことが求められるアプリケーションでは、シンセサイザICの使用は難しくなることがあります。

トランスレーション・ループ

アナログ・デバイスでは、上述した各周波数生成方式の短所を回避しつつ長所を取り入れたデバイスを提供しています。それがトランスレーション・ループ（変換ループ）デバイスです。その詳細について理解できるように、まずはここまでに述べた内容をまとめておきましょう。

OCXO、SAW発振器、水晶発振器といった固定周波数のデバイスは、高いQ値、優れた近接位相ノイズ性能を備えています。但し、固定周波数のデバイスでは一般的に基本周波数が高くはありません。そこで、それをミリ波のレベルまで通倍して使おうとすると、ファアアウト位相ノイズが発生してそれほど魅力的な選択肢ではなくなってしまいます。理想的なソリューションを得るには、ファアアウト位相ノイズ性能についての代償を払うことなく、優れた近接位相ノイズ性能を活かせるようにしなければなりません。

一方、DDSデバイスやDACを利用すれば、固定周波数のデバイスを用いて可変周波数に対応可能な信号源を構成することができます。但し、その場合には、ミリ波帯の信号を生成するために必要な通倍比を実現しつつ、低調波や不要なスプリアスを除去しなければなりません。結果として、そのためのフィルタ処理に大きな労力を費やすことになります。この欠点を受け入れられるのなら、1つの望ましいソリューションを実現できるとも言えます。

広帯域に対応するシンセサイザICは、非常に高い基本周波数に対応できます。また、ファアアウト位相ノイズ性能にも優れています。しかし、Q値はそれほど高くありません。そのため、固定周波数に対応するデバイスと比べると、近接位相ノイズが大きくなります。では、近接位相ノイズ性能を劣化させることなく、優れたファアアウト位相ノイズ性能を活かすことはできないのでしょうか。

トランスレーション・ループ・デバイスは、上述したような考え方に基いて考案されたものです（図4）。同デバイスでは、出力周波数を大きな分周比で分周する代わりに、周波数ミキサーを使用します。それにより、出力信号からリファレンス信号の周波数と同等の中間周波数（IF）を生成します。つまり、事実上、分周比は1に引き下げられるということです。その結果、従来のPLLで生じていた大きな分周比に起因するノイズの影響が排除されます。一方、制御ループにおけるLO（局部発振）信号の位相ノイズのプロファイルには強く影響が及びます。そこで、LO信号を生成する方法としては、優れた近接位相ノイズ性能を備える固定周波数のデバイスとDDSを使用します。

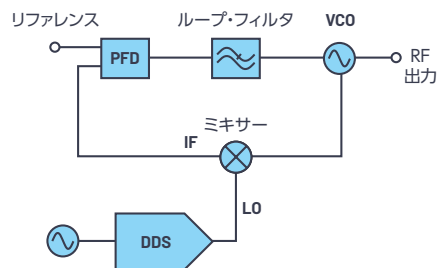


図4. トランスレーション・ループ・デバイスのアーキテクチャ

トランスレーション・ループ・デバイスにおいては、ループ・フィルタの帯域幅が1つの重要な設計パラメータとなります。先述したように、ループ・フィルタは制御ループ全体の帯域幅を決める要素です。言い換えれば、リファレンス信号とLO信号が、出力位相ノイズにどのくらいの影響を与えるのかを決める要素になります。トランスレーション・ループ・デバイスの場合、近接位相ノイズが非常に小さいので、ループ・フィルタの帯域幅を広くとることができます。図5は、LOの入力とトランスレーション・ループ・デバイスの位相ノイズのプロファイルを示したものです。LOの近接位相ノイズは非常に小さいのですが、ファアアウト位相ノイズのノイズ・フロアが高いことに注目してください。RF出力の位相ノイズは、ループ・フィルタの帯域幅まではLOの位相ノイズに追従しています。ファアアウト位相ノイズは、ループ・フィルタのカットオフ周波数を超えるとVCOによって決まるようになり、非常に小さく抑えられます。

トランスレーション・ループ・デバイスでは、DDSデバイスをLOとして使用することにより、実質的に固定周波数デバイスの望ましい近接ノイズ性能を活かすことができます。同時に、広いループ帯域幅を選択することによって、広帯域に対応するVCOのファアアウト位相ノイズ性能を活かすことが可能になります。つまり、どちらの位相ノイズ領域を最適化するかという周知のジレンマに陥ることはありません。そのような問題を打破し、非常に高い出力位相ノイズ性能を実現することができます。

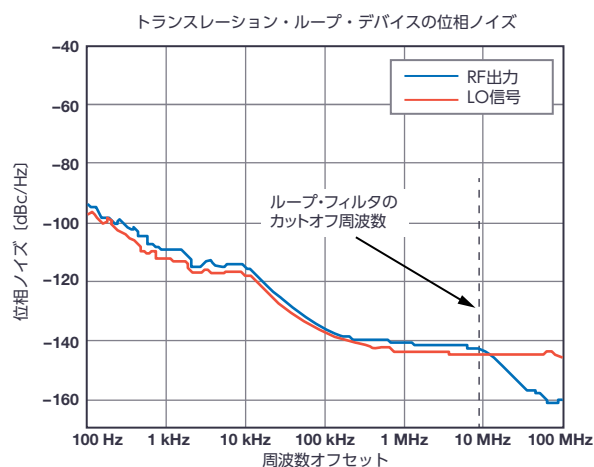


図5. トランスレーション・ループ・デバイスの位相ノイズのプロファイル

トランスレーション・ループ・デバイスの優れた位相ノイズ性能は、ミリ波に対応する計測ソリューションにとって非常に有用です。また、計測ソリューションでは、位相ノイズだけでなくスプリアスもかなり低いレベルまで抑えることが期待されます。ただ、それはかなりの難題だと言えます。トランスレーション・ループ・デバイスでは、周波数の異なる複数の大きな信号を扱うことになるからです。多くの場合、LO信号／IF信号の出力へのフィードスルーを防ぐのは非常に困難です。加えて、IF信号、LO信号、RF信号の相互変調歪みが出力に現れます。それらのスプリアスは、計測ソリューションのスプリアス性能を下げる原因になります。

アナログ・デバイセズは、完全統合型のトランスレーション・ループ・デバイス (SiP モジュール) 「[ADF4401A](#)」を提供しています。この製品は、本稿で説明したような多くの課題に対処しています。まず、ディスクリット構成の場合に存在するすべてのフィードスルー・パスを排除しています。これは、IC内部にシールドを配置したり、フィードスルーの機構を最小化するための設計ノウハウを適用したりすることで実現しています。また、同ICは、-90dBc以下という非常に優れたスプリアス除去性能を達成しています。この性能は、YIG (イットリウム鉄ガーネット) 球を用いた発振器に匹敵するレベルです。ADF4401Aでは、システムへの入力理想的でない場合でも、出力におけるスプリアス・レベルを低く抑えることができます。図6に示したのは、同製品の評価結果です。図6 (a) は、同製品の出力スペクトルを表しています。これは、図6 (b) に示す約-40dBcのスプリアスを含むLO信号を入力した場合の結果です。通常、このレベルのLO信号を使用する場合、複雑なフィルタ処理が必要になります。そのため、計測ソリューションに適しているとは言えません。しかし、ADF4401Aを採用すれば、追加のフィルタ処理を施すことなく、そのようなLO入力に対応して図6 (a) のような出力スペクトルを得ることができるのです。

ADF4401Aは、ターゲットとする周波数に対して最適なVCOの帯域を決定するための自動キャリブレーション・エンジンを搭載しています。キャリブレーション・モードで動作させれば、温度やプロセスの条件に応じた適切な帯域を見だし、シームレスな周波数調整を実現することができます。

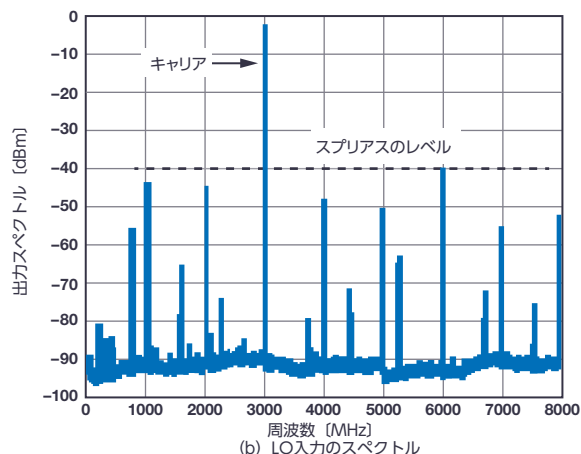
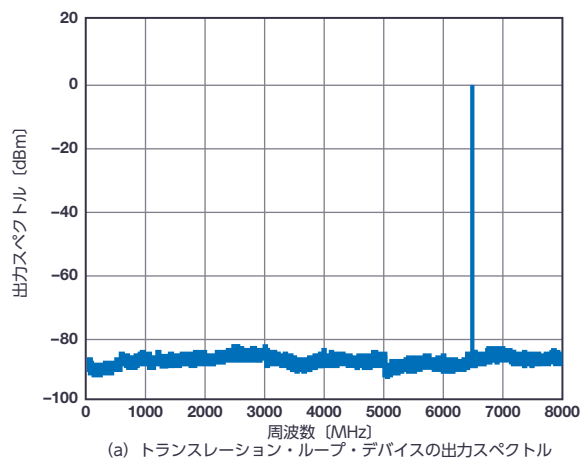


図6. ADF4401Aの評価結果。(a) は同製品によって6.5GHzで出力した場合のスペクトルです。(b) は3GHzのLO入力信号のスペクトルを表しています。ADF4401Aが備えるLO周波数ダブラを使用することによって、6GHzのLO周波数が生成されます。IF周波数は500MHzです。

まとめ

計測ソリューションでは、ミリ波に対応するデバイスの要件を満たすために、スプリアスと位相ノイズが極めて小さいキャリア信号が必要になります。そうした信号を合成する方法はいくつも存在します。しかし、それぞれの方法には大きなトレードオフが存在し、ソリューション全体としてもどんどん複雑さが増していきます。そうした課題を解決するのが、トランスレーション・ループ・デバイスであるADF4401Aです。これは、周波数生成用の各方式が抱える欠点を回避しつつ、長所だけを活用した製品です。それにより、複雑なフィルタ処理を適用することなく、比類ないレベルの位相ノイズ性能とスプリアス性能を実現することができます。

参考資料

Ian Collins 「フェーズ・ロック・ループ (PLL) の基礎」 Analog Dialogue、Vol. 52、No. 3、2018年7月

D. B. Leeson 「A Simple Model of Feedback Oscillator Noise Spectrum (帰還型発振器のシンプルなノイズ・スペクトル・モデル)」 Proceedings of the IEEE、Vol. 54、No. 2、1966年2月

著者について

Erkan Acar (erkan.acar@analog.com) は、アナログ・デバイスズのRFシステム・アーキテクトです。主にベースバンドから110GHzあるいはそれ以上のRF/ミリ波までを対象とするシグナル・チェーンに注力しています。以前は、低コストのRFテスト、自動テスト装置、高速インターフェースの信号品質/電力品質などに関する数多くの研究開発プロジェクトを率いていました。また、複数の特許を取得し、数多くの記事を執筆。デューク大学（米ノースカロライナ州ダーラム）で修士号と博士号を取得しています。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイスズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

* 英語版技術記事は[こちら](#)よりご覧いただけます。