

ラインおよび負荷トランジェントに関する電源特性のテスト

ラインおよび負荷トランジェントに関する電源仕様には、ライン電圧および負荷電流の急激な変化に対する電源の応答が記述されています。そのようなトランジェントに対してレギュレーションを維持しようとするときの電源挙動を監視すると、電源出力のオーバershootまたは発振の傾向を知ることができます。

ラインおよび負荷トランジェントは、電源に擾乱を与えるステップファンクションであると考えられます。負荷トランジェントは負荷電流のステップ変化によって出力に擾乱を与えるものであり、ライントランジェントはライン電圧のステップ変化によるものです。このような変化に対する電源出力の応答を観察すると、ラインまたは負荷に対するステップ変化に含まれるさまざまな周波数成分を、電源がどの程度、減衰することができるのかがわかります。このアーティクルでは、電源のテスト方法と、その結果得られる情報について説明します。

ラインおよび負荷トランジェントの生成方法

ラインおよび負荷トランジェントのテスト装置は、擾乱を人工的に生成することができるだけでなく、実際の電源の動作条件とほぼ同じ状態を作り出せなければなりません。電源の動作条件やエンドユーザが指定するのと同一条件で、コントローラの応答時間に比べて高速のステップ変化をライン電圧や負荷電流に生成することができなければならないのです。そのためにはレイアウトや部品の選択に注意が必要です。プリント基板のトレースや部品が持つ寄生インダクタンス、寄生抵抗、および寄生容量によって必要とするスルーレートが制限され、高速のステップ変化を生成することができなくなってしまうことがあります。

トランジェントの立ち上がり時間は、稼働中の電源に対して発生する条件と同等としてください。実際の条件がわからない場合は、コントローラの応答を最大限引き出せるように、電源出力がレギュレーションを外れるほどの高速な立ち上がり時間としてください。そのためには、テストに使うトランジェントがコントローラの応答時間よりも高速でなければなりません。コントローラのレギュレーションが必ず外れるためには、スイッチング周期の半分以下の時間でスイッチングコンバータへのステップ遷移を与える必要があります。

立ち上がり時間に加え、電圧および電流のステップ幅がわかれば、テスト装置の寄生インダクタンス、寄生抵抗、および寄生容量をどの程度に抑えなければならないかがわかります。出力($V_{OUT}=1.8V$)に対し、200nsの立ち上がり時間を持つ10Aのステップ変化を加えるケースを考えてみましょう。出力コンデンサと負荷の間に100nHの寄生インダクタンスがあると、555nsよりも速い立ち上がり時間は実現することができません。このケースでは、寄生インダクタンスが明らかに重要なポイントとなります。これに対し、同じ10Aでも立ち上がり時間が10 μ sでよければ、立ち上がり時間に対する寄生インダクタンスの影響は5%以下と小さくなります。

ライントランジェント

2つのnチャンネルMOSFET(低 R_{DS_ON})を使って2つのDCソース間のスイッチングを行うと、高速のライントランジェントを生成することができます(図1)。電源入力端子は、期間Aでは、Q1によって5Vに接続され、Q2によって3V電源が切り離されます。期間Bでは、Q1によって5V電源が切り離され、Q2によって3Vに接続されます。Q2のドレインとQ1のソースの両方が電源入力端子に接続され、MOSFETボディダイオードが不適切な状態にならないようにしてあることに注意してください。

Q1とQ2のゲートは、ドレイン-ソース電圧(V_{DS})を超える十分高いレベルまで駆動し、MOSFETを完全にオンにする必要があります。高電圧入力の場合、これは厄介ですが、この要件は、関数発生器やMOSFETドライバを使った5V以下のシステムでは簡単に実現することができます。たとえば、MAX4428のMOSFETドライバにはコンプリメンタリ出力があり、2個のFETを逆位相で駆動し、最大で18Vのゲート駆動電圧を生成することができます。電流は、ソースもシンクも1.5Aまで対応しています。トランジェントドライバのソースインピーダンス(Q1・Q2の R_{DS_ON} 、 C_{BP} のESR、および寄生インダクタンス)

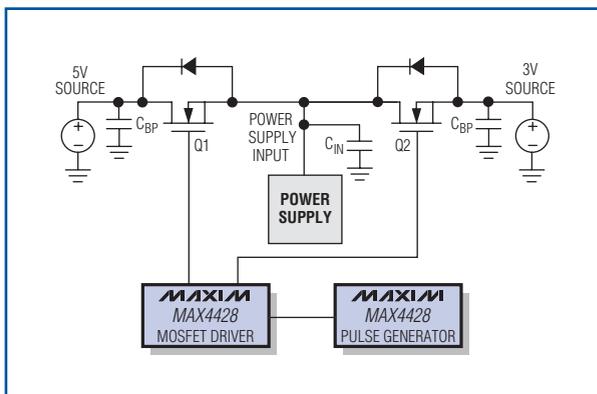


図1. 2個のnチャンネルMOSFETによって2つのDCソース間のスイッチングを行い、高速ライントランジェントを生成します。

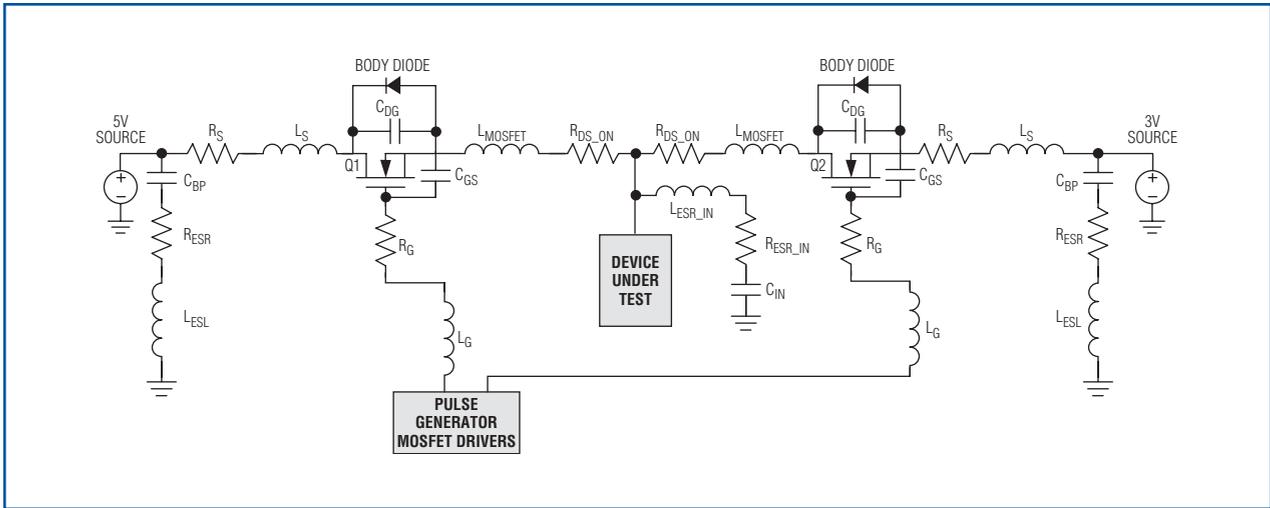


図2. ライトランジェント測定回路が持つ寄生成分により、ステップファンクションの波形が崩れます。

は、テストする電源が通常動作するときのコンデンサ (C_{IN}) およびその電源のインピーダンスとほぼ同等とする必要があります。

寄生成分

ライトランジェント用測定回路(図2)では、寄生インダクタンス、寄生抵抗、および寄生容量があるとクリアなステップファンクションの波形が崩れてしまいます。必要とする大電流をソースおよびシンクするためには、プリント基板、MOSFET、およびコンデンサの直列抵抗やインダクタンスを最小限に抑える必要があります。そうしないと、回路が持つ大きな容量と小さな直列抵抗とが、MOSFETと電源入力の接点でインダクタンスおよびキャパシタンスと影響しあってしまいます。この結果、ステップ応答のダンピングが悪くなり(共振)、リングングが発生します。このインダクタンスをなくすことは不可能ですが、ライトランジェントの立上りおよび立下り時間に対して無視することができるほど高い共振周波数を持つようにすることは可能です。

電源の寄生成分

レイアウトによっては C_{IN} を電源入力端子に直接、配置しなければならない場合があります。入力バイパスコンデンサと電源入力端子の間に MOSFET を挿入すると望ましい結果が得られないような場合です。そのような場合、 C_{IN} の両端にライン電圧ステップを加えます。時間 (Δt) で電圧を ΔV_{STEP} だけ変化させるためには、 C_{IN} は次式の大きさの電流をソースまたはシンクする必要があります。

$$I = C_{IN} \times \frac{\Delta V_{STEP}}{\Delta t}$$

バイパスコンデンサ (C_{BP}) には、 C_{IN} よりも十分に大きな容量を持つ低 R_{ESR} のセラミックコンデンサを用いなければなりません。そのようにすると、所要時間で C_{IN} の充放電が行うことができるだけの電流を流したとき、 R_{ESR} における電圧降下を最小限に抑えることができます。

バイパスコンデンサにセラミックを用いても、そのコンデンサの直列インダクタンス (L_{ESL}) および C_{IN} と C_{BP} 間の直列インダクタンス (L_S) によって立上り時間と電流が制限されることがあります。ほんの数ナノヘンリーでも、 C_{IN} に所要の電圧ステップを生成できないほどに電流立上り時間 (t) が制限されてしまうこともあります。たとえば、 $C_{IN} = 100\mu F$ 、 $\Delta V = 1V$ のとき、 $1\mu s$ の電圧ステップを実現するためには C_{IN} に対し $100A$ の電流をソースする必要があります。 C_{BP} と C_{IN} 間に $100nH$ の寄生インダクタンスが存在すると、 C_{IN} 電圧を $1V$ 上昇させるために必要とする時間が $2\mu s$ になってしまいます。寄生インダクタンスが大きいと、過剰なオーバシュートやリングングが発生し、やはり、ライトランジェントがきれいなステップファンクションにならないことがあります。

寄生抵抗と寄生インダクタンスは、小容量のセラミックコンデンサを並列に挿入することによって低減可能です。つまり、複数コンデンサの R_{ESR} と L_{ESL} を並列にすることによって、総合的な等価インピーダンスを低減します。等価インダクタンスは、リードレスコンデンサやマルチレイヤセラミックチップコンデンサ (MLCC) によっても低減することができます。バイパスコンデンサと MOSFET のドレインが離れていると、インピーダンスが大きくなります。プリント基板の銅トレースが $2mm$ 幅、 $1oz$ のとき、その寄生成分はおよそ $25m\Omega/cm$ および $5nH/cm$ となります。バイパスコンデンサと MOSFET ドレイン間を可能な限り近づけ、太い配線とすることによってトレースによるインピーダンスは低減します。

MOSFETの寄生成分

MOSFET(Q1およびQ2)を選ぶ際は、主としてオン抵抗(R_{DS_ON})とパッケージ、サイズ、およびゲート容量に着目します。 R_{DS_ON} が重要である理由は、プリント基板の電気抵抗やバイパスコンデンサの R_{ESR} について指摘した理由と同じです。電気抵抗が大きいと入力コンデンサ(C_{IN})への流入電流が制限され、また、スイッチング電源のパルス電流によって過剰な電圧リップルが生じます。特に R_{DS_ON} は、コンデンサ充放電経路の電気抵抗を支配する要素であり、この抵抗値を小さくすることが非常に重要です。

ドレイン-ソース間インダクタンスおよび内部ボンドワイヤやリードのインダクタンスからなるMOSFETの直列インダクタンスも、電源と直列に存在するインピーダンスです。MOSFETのパッケージサイズが小さくなるとボンドワイヤやリードが短くなり、インダクタンスが小さくなります。MOSFETチップが同じでも、D²PAKパッケージに収めると直列インダクタンスは10nH、8ピンSOPパッケージに収めると3.2nHになります。

オン抵抗が非常に小さいMOSFETは、通常、大きなゲート容量(C_{GS})を持つため、 C_{GS} を十分な速度で充放電することができる能力を持つMOSFETドライバが必要となります。数ナノファラッドものゲート容量を持つMOSFETをすばやくオンオフすることができるドライバとしては、MAX4428などが有用です。なお、この場合も、ゲート電圧の立ち上がり時間に悪影響を与えるインダクタンスおよび電気抵抗を低減するために、ドライバとMOSFETのゲート間は短くて太いトレースを用いてください。

コンデンサの充放電経路が持つインダクタンスと電気抵抗を最小限に抑えることができれば、MOSFETは、電源のバイパスコンデンサと電源入力コンデンサの間、または可能な場合には、電源入力端子に直接接続することができます。後者のケースでは、電源のバイパスコンデンサが、電源に対する入力容量となります。いずれの場合も、MOSFETと C_{IN} あるいはMOSFETと電源入力端子を結ぶ配線は可能な限り短くし、プリント基板による寄生インダクタンスと寄生抵抗を最小限に抑えることが重要です。

負荷トランジェント

負荷トランジェントステップの生成方法としては、nチャネルMOSFETによって電源出力端子で2つの負荷抵抗を切り替える形式がよいでしょう。大きな出力電流のトランジェントテストでは、MOSFET自体を負荷とすることができます(図3)。このような構成では、MOSFETのドレインを電源出力端子に、ソースをグランドへと電流検出抵抗経由で接続します。負荷抵抗は、ゲート-ソース間電圧(V_{GS})をステップ変化させて切り替えます。MOSFETが飽和しない範囲であれば、 V_{GS} を変化させるとMOSFETの R_{DS_ON} が変化し、負荷電流が変化することになります。

電流測定ループに不要なインダクタンスを発生させないように、低インダクタンスの電流検出抵抗を採用してください。このインダクタンスが大きくなると出力電流ステップの立ち上がり時間が制限され、図3に示すように、ドレイン-ソース間容量(C_{DS})と寄生トレースインダクタンス(L_{PARA})の間でリングングが発生します。このような構成では、検出抵抗も負荷の一部となります。

MOSFETは、出力コンデンサ(C_{OUT})の両端間に直接接続しなければなりません。小型パッケージのMOSFETを使用するか、または複数MOSFETを並列接続すると、 L_{PARA} を小さくすることができます。クリーンで高速なスイッチングとするためには、MOSFETゲートとパルスジェネレータ(またはMOSFETドライバ)の間の配線を太くて短いものとし、トレースが持つインダクタンスと電気抵抗(R_G と L_G)を最小限に抑える必要があります。

負荷が軽い場合($R_{LOAD} \gg R_{DS_ON}$)は、MOSFETをグランドと負荷抵抗 R_A の間に挿入し(図3の太線)、MOSFETに並列に別の負荷抵抗(R_B)を挿入してください。負荷抵抗はMOSFETがオンのとき R_A となり、オフのとき R_A+R_B となります。この構成では、負荷を電源の出力コンデンサに接続する抵抗とリードが持つインダクタンス(L_R)に細心の注意が必要です。 R_A と R_B への配線を可能な限り短くすると、このインダクタンスを最小限に抑えることができます。巻線抵抗は、インダクタンスが大きいため使用は避けてください。電力用金属皮膜抵抗の使用を推奨します。

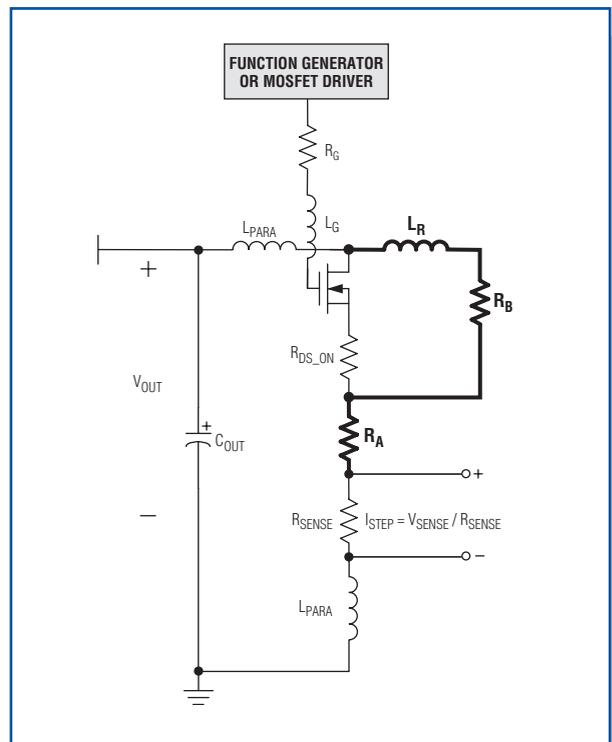


図3. 負荷トランジェントテストではMOSFETが負荷の一部となります(寄生成分も表示されています)。

ラインおよび負荷トランジェントから電源について何がわかるか？

ここまではラインおよび負荷トランジェントの生成方法を説明してきました。ここからは、ラインおよび負荷トランジェントから電源についてどのような情報を読み取ることができるのかを説明します。まず、背景として、フィードバックの動作と電源制御ループに対する周波数応答の影響、ラインおよび負荷トランジェントに対する応答を見てみましょう。

ループ利得の減衰

最初に、電源コントローラが持つ小信号利得に対するフィードバックの効果を理解する必要があります。図4aに、フィードバックなしの場合のバック(降圧型)コンバータについて、シンプルなダイアグラムを示します。ラインステップと負荷ステップは $I_{LOAD}(s)$ と $V_{IN}(s)$ という入力となっています。ラインや負荷からの外乱の影響は、次式で表されます。

$$V_{OUT}(s) = V_{IN}(s) \times G_{VIN}(s) - I_{LOAD}(s) \times Z_{OUT}(s)$$

ただし、 $Z_{OUT}(s)$ は出カインピーダンスです。

コントローラのパワーフィルタ利得($G_{VIN}(s)$)は入力から出力までの小信号利得です。このバックコンバータの場合、パワーフィルタ利得は次式のようになります。

$$\frac{\Delta V_{OUT}}{\Delta V_{IN}} = \frac{D}{s^2 LC_{OUT} + s \frac{L}{R_{LOAD}} + 1} = G_{VIN}(s)$$

ただし、 D はコントローラのデューティサイクルです。 L 、 C_{OUT} 、および R_{LOAD} は図4bに示すとおりです。

バックコンバータの出カインピーダンスは次式で表されます。

$$\frac{\Delta V_{OUT}}{\Delta I_{OUT}} = R_{LOAD} \left\| \frac{1}{s C_{OUT}} \right\| s L = \frac{s L}{s^2 L C_{OUT} + \frac{s L}{R_{LOAD}} + 1}$$

ただし、 R_{LOAD} はコントローラのDC負荷です。

フィードバックがなければ、入力電圧または負荷電流の外乱が伝播し、出力電圧に直接影響を与えます。たとえば、バックコンバータが $V_{IN} = 12V$ 、デューティサイクル50%、出力電圧6Vで動作していたとします。入力電圧に2Vのステップが入ると、出力電圧は1V、変化します。フィードバックを導入すると(図4aの太線部分)、出力は設定したリファレンス(V_{REF})になるようにレギュレーションが行われます。この場合、ラインおよび負荷の外乱に対する利得は、次式のようになります。

$$V_{OUT}(s) = \frac{V_{REF}(s) \times G_C(s)}{1 + G_{FB} \times G_C(s)} + \frac{V_{IN}(s) \times G_{VIN}(s)}{1 + G_{FB} \times G_C(s)} - \frac{Z_{OUT}(s) \times I_{LOAD}(s)}{1 + G_{FB} \times G_C(s)}$$

上式は閉ループ利得を表しています。フィードバックを導入した結果、ライン電圧と負荷電流に対する外乱は、 $(1 + G_{FB} \times G_C(s))$ だけ小さくなります(G_{FB} はフィードバック分圧器の利得、 $G_C(s)$ はコントローラの利得です)。コントローラの利得には、パワーフィルタとエラーアンプ

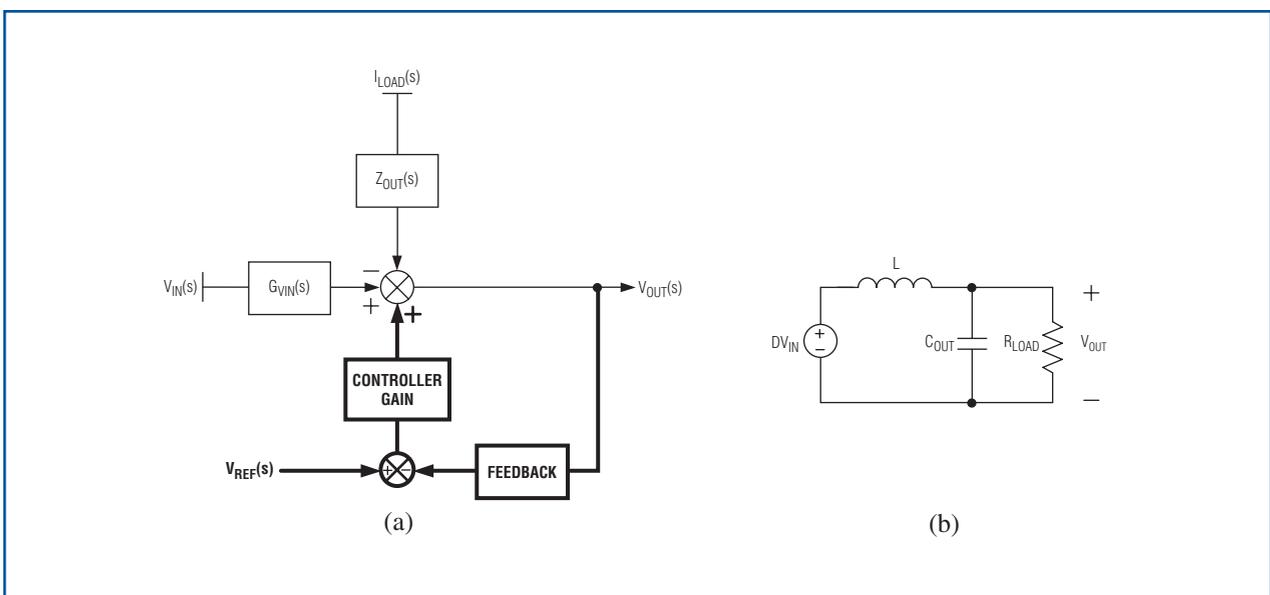


図4. バックコンバータのシンプルなダイアグラムと回路図((a)はフィードバックがある場合、(b)はない場合)

の利得および制御ループ内に存在するその他の利得が含まれます。 $G_{FB} \times G_C(s)$ は、開ループ利得を表す項です。開ループ利得のボードプロットを見ると、 V_{IN} および I_{LOAD} の外乱がフィードバックによってどのように減衰するのかを周波数との関係で見ることができます。ここで特に注目すべきことは、 $|G_{FB} \times G_C(s)| = 1$ となるクロスオーバー周波数(f_c)とその場合の位相シフト(位相マージン)です。位相マージンとは、 180° と f_c における位相シフトの差です。マージンが 0° に近づくと、 f_c 近傍の周波数でシステムが望ましくない挙動をするようになります。

ラインおよび負荷トランジェントは $1/f$ に比例する振幅を周波数全域にわたって加算したステップファンクションであるため、周波数応答と過渡応答の間には一定の関係があります。ステップファンクションは、通常、周波数領域において $1/s$ (s は複素数 $j\omega$)と表現されます。

時間領域から周波数領域へ

ラインおよび負荷トランジェントに対する挙動のよい例として、シングルポールの開ループ利得を持つ電源の過渡応答があります。開ループ利得がシングルポールのみを持つとすると、その開ループ利得は次式で表現されます。

$$G_{FB} \times G_C(s) = \frac{DC_{GAIN}}{\left(\frac{s}{\omega_0} + 1\right)}$$

ただし、 DC_{GAIN} は開ループのDC利得です。図5aはシングルポールのボードプロットで、利得は -20dB/DECADE で低下し、位相マージンが 90° のところまで1と交わっています。周波数の変化によって開ループ利得が低下して

いくにつれ、 V_{IN} または I_{LOAD} から入ってくる高周波数の外乱の減衰量も低下します。閉ループ利得

$$\left(\frac{1}{1 + G_{FB} \times G_C(s)}\right)$$

に周波数領域のステップファンクション、 $1/s$ を乗算し、逆ラプラス変換を行うと、ステップファンクションに対する時間領域応答が得られます(図5b)。この開ループ利得を持つコントローラに負荷ステップ(ΔI_{LOAD})を加えると、初期の出力低下が $\Delta V = I_{LOAD}(s) \times Z_{OUT}(s)$ となる指数応答が時間領域で得られます。高周波帯域では、直列抵抗(R_{ESR})と直列インダクタンス(L_{ESL})からなるコンデンサのインピーダンスが $Z_{OUT}(s)$ を支配します。擾乱からの回復は、次式のようにになります。

$$V(t) = \frac{\Delta V}{1 + DC_{GAIN}} \times (1 + DC_{GAIN} \times e^{-(\omega_0 + \omega_0 DC_{GAIN})t})$$

時定数($\tau \approx 1/2\pi f_c$)だけ時間が経過すると、出力電圧は初期低下(ΔV)から63%だけ、回復します。同様に、ラインステップでは、 $G_{VIN}(s)$ と $V_{IN}(s)$ の積だけ電圧が高くなります。時定数(この場合も $1/2\pi f_c$)だけ時間が経過すると、出力電圧は初期上昇幅の63%だけ回復します。

開ループ利得は複数のポールを持つことが多く、そのような場合、位相マージンは 90° よりも小さくなります。開ループ利得の位相マージンが 0° に近づくと、トランジェントに対する閉ループの応答がオーバシュートするようになり、最終的には発振が始まります。このような出力挙動は、電源制御ループの安定度がぎりぎりしかない、あるいは不足していることを示すもので、トランジェントテスト時のチェック項目となります。

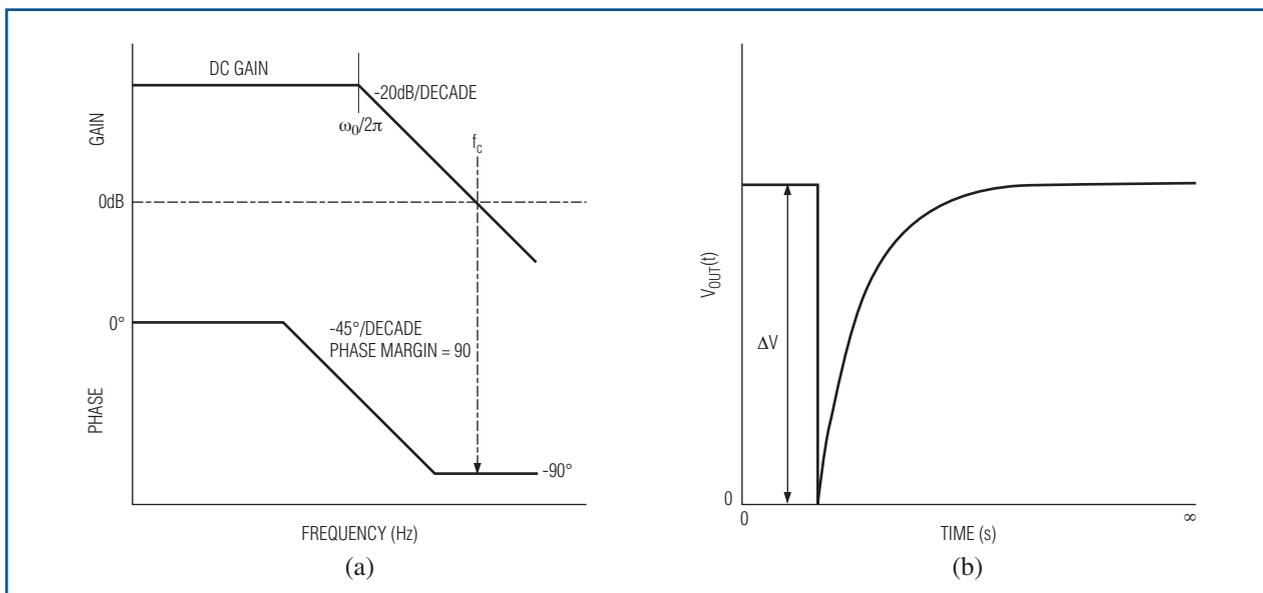


図5. シングルポールを持つループ利得のボードプロット(a)とステップファンクションに対する時間領域応答(b)

トランジェントの周波数成分が減衰する代わりに増幅するようになると、閉ループ応答がオーバーシュートや発振を示すようになります。この現象は、閉ループ利得の分母が持つ実数成分と複素数成分の相互作用によって説明することができます。開ループの位相マージンが 0° に近づくと、その実数成分は-1に近づき、複素数成分は1よりも小さくなります。また、開ループ利得の大きさは1に近づきます。閉ループ利得の分母は、実数部分がゼロになり、小さな複素数成分だけになります。その結果、普通なら信号を減衰するはずの閉ループが逆に増幅するようになります。位相マージンが小さいとどのようなステップ応答が得られるかは、2ポールの開ループ利得を検討するとよくわかります。開ループ利得が $DC_{GAIN} = 60\text{dB}$ で2つの実数ポールを持つとします。

$$G_{FB} \times G_C(s) = \frac{1000}{\left(\frac{s}{\omega_1} + 1\right)\left(\frac{s}{\omega_2} + 1\right)}$$

このとき閉ループ利得は次式で表されます。

$$\frac{1}{1 + G_{FB} \times G_C(s)}$$

f_c が ω_1 と ω_2 の間にあると仮定します。 ω_1 と ω_2 を変化させると、 f_c 一定のまま位相マージンを変化させることができます。このように位相マージンを変化させると、それに応じて時間領域におけるステップ応答も変化します。MATLAB®のstep()コマンドを使うと、さまざまな位相マージンに対し、2ポールの開ループ利得を持つ閉ループ利得の時間領域応答を得ることができます(図6)。

図6は、位相マージンが変わった場合に電源出力に起こり得るいくつかの過渡応答を示したものです。ステップの最初で出力電圧が上昇します。位相マージンが小さくなるにつれて、電源がレギュレーションに戻るにとき、オーバーシュートが大きくなり、最後は完全な発振状態になってしまいます。オーバーシュートなしで最も速く回復するのは、位相マージンが約 72° のときです。

負荷トランジェントの実例

図7a/b/cに、電圧モード制御のバックコンバータに0Aから10Aの負荷トランジェントを加えたときの様子を示します(japan.maxim-ic.comにあるMAX1960EVKITを参照)。COMP端子に高周波ポールを加えてクロスオーバーを超える周波数における利得を減少させて、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $I_{LOAD} = 10\text{A}$ で開ループ利得と位相を測定したものです。このポール周波数を引き下げると位相マージンが小さくなります。図7aは開ループのクロスオーバー周波数が 42kHz 、位相マージンが 2° の場合の応答です。0Aから10Aへの負荷ステップに対し、電源が発振していることがわかります。位相マージンを 11° に増やすと

MATLABはThe MathWorks, Inc.の登録商標です。

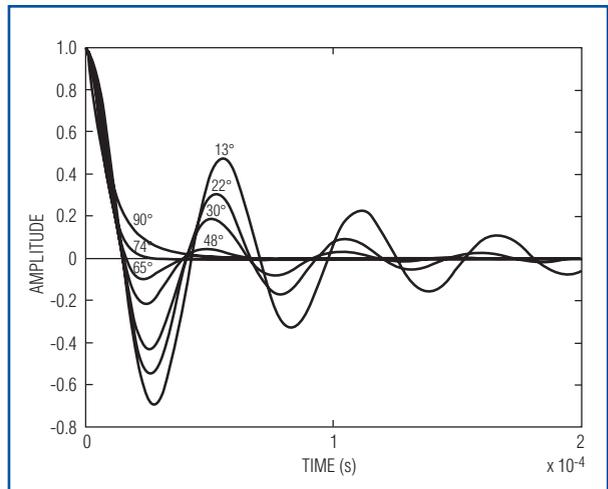


図6. MATLABのstep()コマンドを使うと、さまざまな位相マージンに対してループ利得の時間領域応答が得られます。

発振が抑えられます(図7b)。位相マージンを 90° にすると(図7c)、シングルポールと同じ指数関数的な出力応答が得られます。

小信号周波数応答から、位相マージンが 2° では電源出力が発振すると予想されます。しかし、10Aから0Aに戻す負荷ステップでは発振が起きていません。なぜでしょうか。これは、小信号応答は動作条件(バイアス)によって変化し、0Aという条件では発振が起きないからです。初期の位相マージンは $I_{LOAD} = 10\text{A}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ という条件で測定しました。これらのパラメータが変化すると、小信号利得も位相マージンも変化します。この効果が表れるのが10Aから0Aへの負荷ステップです。 I_{LOAD} を0Aにステップ変化させると、発振が抑制されます。10A負荷とは違い、0A負荷では、位相マージンが改善されるからです。

開ループや閉ループの伝達関数を用いて予測した小信号応答を、ラインおよび負荷トランジェントのような大信号変化に適用するときは、注意が必要です。小信号応答は、もともと、特定の動作点近傍における小さな変化に対してのみ成立するものです。信号が大きく変化するとバイアスが変化し、その結果、開ループ利得や位相が変化します。小信号応答から予測することができるのは、その特定の動作点の近傍におけるトランジェントだけです。

このテストの負荷トランジェントは、DPAKパッケージのnチャンネルMOSFET(IRLR024N)1つで生成しました。このMOSFETを出力コンデンサの上側端子部分に直接取りつけ、 $37.5\text{m}\Omega$ の低インダクタンス検出抵抗をソースとグランドの間に接続しました。パルスジェネレータ(HP8112)によってゲートを0Vから4Vにステップ変化させ、200nsでの0Aから10Aへのステップ変化に対し、オーバーシュートもリングングもない応答を得ました。

ライトランジェントの実例

図7dは、位相マージンが図7cと同じライトランジェントの応答です。入力電圧を3.3Vから5Vにステップ変化させました。図1に示す回路を用い、9mΩのnチャンネルMOSFET(IRF3704、TO-220パッケージ)を2個使って3.3Vソースと5Vソースを切り替え、テスト対象電源に入力電圧を加えました。スイッチとしたMOSFETは、いずれも、並列接続した2個の470μF POSCAP(6TPB470M)とMAX1960の入力との間に取り付けました。ラインステップのシミュレーションとして、250mVのオーバーシュートを示す立ち上がり時間400nsが得られました。

小信号ボードプロットから指数応答が得られると予想され、実際もそのとおりになりました。電圧を3.3Vから5Vにステップ変化させるのは大きな信号スイングであり、 $V_{IN} = 3.3V$ で電源が動作しているときは動作点が変わります。このランジェントテストでは、入力電圧が3.3Vでも5Vでも、この位相マージンなら十分にオーバーシュートやリングングを防止することができることがわかりました。

*Power Electronics Technology*の2004年7月号にも、同様のアーティクルが掲載されています。

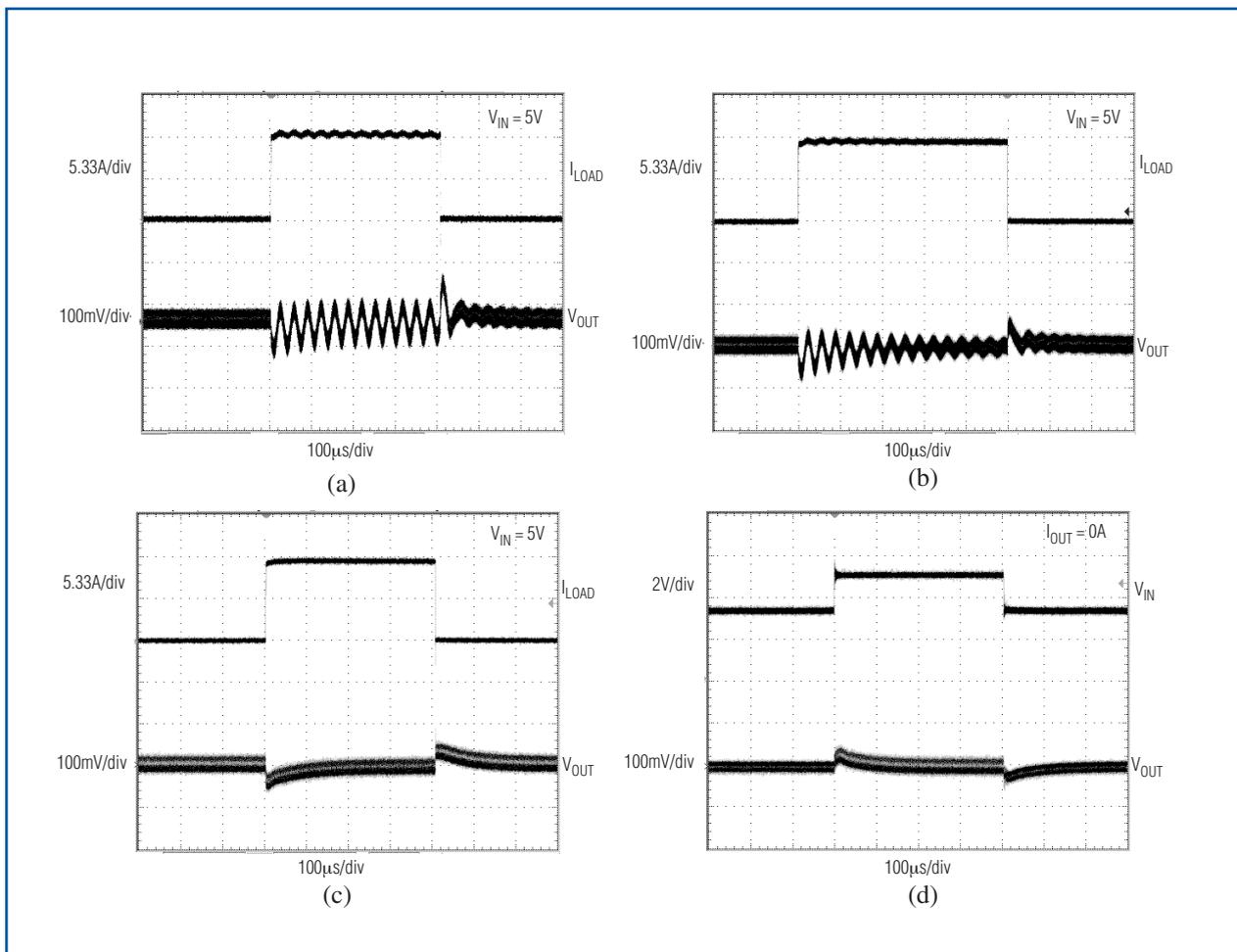


図7. 評価キットによる過渡応答を示します。(a)位相マージン 2° の負荷ステップ、(b)位相マージン 11° の負荷ステップ、(c)位相マージン 90° の負荷ステップ、(d)位相マージン 90° のラインステップ