

JESD204Bを使用して 複数のADCを同期

著者: Ian Beavers、アプリケーション・エンジニア

概要

通信、計測器、信号アキュイジション用の多くのシステムには、複数のA/Dコンバータ（ADC）のアナログ入力信号を同時にサンプリングできる能力が求められます。サンプリングされたデータは、それぞれに異なる様々な固有の遅延を持つこれらの複数の入力がすべて同期されている、という前提で処理する必要があります。従来、低電圧デジタル伝送（LVDS）やパラレル出力のADCでこの要求を満たすことは、システム設計者にとって難しい課題でした。

JESD204Bは、ADC出力のような高速シリアル・データを、1つまたは複数の差分信号ペアを使って送信する枠組みを提供します。このインターフェースには、JESD204B仕様の範囲内でレーン間の大まかなアライメントを実現するための構造が内在しています。データは境界を持つ複数のフレームに分割され、連続的にレシーバーに送信されます。JESD204Bサブクラス1インターフェースには、複数のシリアル・レーン・リンクや複数のADCのサンプル・レベルに至るまでのデータ・アライメントに関する規定があり、アライメントには、トランスミッタとレシーバー両方の内部フレーミング・クロックを同期するためのシステム・リファレンス・イベント信号（SYSREF）が使われます。これにより、JESD204Bリンクを使用するデバイスには確定的遅延が発生します。しかし、サンプリングの同期に関するタイミング条件をすべて満たすためにシステム設計者が解決すべき課題は、他にも数多くあります。例えば、PCBレイアウトに関する考慮事項、クロックのマッチング、タイミング条件を満たすSYSREFの生成、SYSREFの周期、デジタルFIFOの遅延などです。

設計者は、デバイス・クロックとSYSREF信号をどのように生成し、それをどのようにシステム全体に分配するかを決定する必要があります。理想としては、部品入力ピンにおける本質的なスキューの発生を防ぐために、デバイス・クロックとSYSREFの振幅レベルとオフセットは同じ値に揃えるべきです。SYSREFイベントの更新レートは、起動時の単一イベントとして、あるいは同期が必要になった場合に常に生成される反復的な信号として決定

する必要があります。PCBレイアウトは、クロックとSYSREF信号の最大スキューを考慮に入れて、ボード、コネクタ、バックプレーン、その他様々な部品のすべてについてセットアップとホールドのタイミング条件を満たすことができるよう、慎重に行う必要があります。最後に、デジタルFIFO設計と複数のクロック領域をまたぐ信号は、JESD204Bのトランスミッタとレシーバーに本質的なデジタル・バッファ・スキューを発生させますが、バックエンドのデータ処理ではこれを考慮に入れ、除去する必要があります。

システム・クロックは、水晶発振器、VCO、およびクロック生成チップやクロック分配チップなど、複数のソースから生成することができます。特定のシステム性能によってクロッキングの必要性は左右されますが、入力クロックにソース同期されたSYSREF信号を生成するには、複数の同期されたADCを使用する必要があります。したがって、特定時点における既知のクロック・エッジによってこのシステム・リファレンス・イベントをラッチできるようにするには、クロック・ソースの選択が重要な考慮事項となります。SYSREF信号とクロックの位相が同期されていない場合、これを実現することはできません。

FPGAを使ってシステムにSYSREFイベントを供給することもできます。ただし、FPGAもADCに送られるマスタ・サンプル・クロックを使って同期させない限り、FPGAからのSYSREF信号とクロックの位相を揃えることは困難です。もう1つの方法は、SYSREF信号とシステムのあらゆる場所に送られる複数クロックの位相を揃えることのできるクロック生成チップまたはクロック分配チップから、SYSREF信号を供給することです。この方法を使用すると、SYSREFイベントを起動時の単一イベントとする、またはシステムの必要に応じて反復される信号とすることができます。

複数のADCやFPGAに関わるシステム内の確定的遅延が一定である限り、特定システム・データのフレーム化の助けとする場合を除いて、追加的なSYSREFパルスが必要になることはありません。したがって、クロック・アライメント用の周期的SYSREFパルスは、同期が失われる時点まで無視するか、フィルタで除去することができます。また、SYSREF発生時のマーカー・サンプルは、JESD204Bリンクをリセットせずに維持することができます。

ADCチャンネルの既知の確定的開始点を機能させるには、システム・エンジニアが、システム全体に分配するSYSREFイベント信号のタイミングを完了させることができればなりません。これは、クロックを基準とした既定のセットアップ時間とホールド時間の条件を確実に満たさなければならないことを意味します。必要とされる最初のクロックまでのセットアップ時間の条件を満たすことができれば、複数のクロック・サイクルにまたがるような比較的長いSYSREFパルスを使用してホールド時間の条件を満たすことができます。スキューを最小限に抑えるようシステム内のクロックとSYSREFのパターン長を揃えるには、このような努力の中でPCBレイアウトに十分な注意を払うことが極めて重要になります。すべてのチャンネル間で同期されたサンプリング処理を実現するにあたっては、ここが最も難しい部分になります。この作業は、ADCのエンコード・クロック・レートが上がり、マルチボード・システムがより複雑になるのに応じて、ますます難しくなります。

システム・エンジニアは、すべてのボード部品とコネクタにおけるSYSREFとクロック間のボード・スキューについて、デバイスごとにその確定的な値を把握する必要があります。残りのデバイス間デジタル・スキュー遅延とクロック・スキュー遅延は、FPGAまたはASIC内で実質的にゼロにする必要があります。バックエンド処理では、複数存在するADCのサンプリング順が変わる可能性があるため、更に同期処理を進められるようデータを整えるために、リアライメントが必要になることがあります。デバイス間サンプル・スキューの補正は、最も高速のデータ・サンプルを遅らせると共に最も短いトランスミッタ遅延を延長して、バックエンドFPGAまたはASIC内の最も低速のデータ・サンプルに揃えることによって実現できます。複雑なシステムでは、これに複数のFPGAやASICが関係することがあり、その場合は最終的なアライメントのために、それぞれのFPGAやASICがその合計デバイス間サンプル遅延を通知し合う必要があります。JESD204Bレシーバーに適切なエラスティック・バッファ遅延を導入してそれぞれの具体的なトランスミッタ遅延の延長に対応することにより、デバイス間サンプル・スキューをシステム内の既知の確定値に揃えることができます。

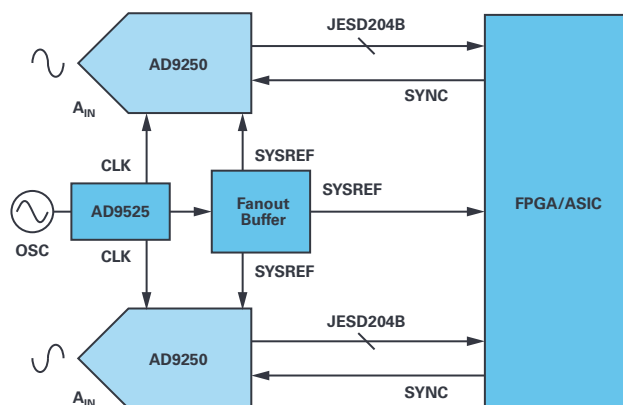


図1. AD9250、AD9525、およびFPGAの図。

AD9250はアナログ・デバイセズが提供する250MSPS、14ビットのデュアルADCで、サブクラス1を実装したJESD204Bインターフェースをサポートしています。このサブクラスは、SYSREFイベント信号を使って複数のADCのアナログ・サンプルを同期させることができます。AD9525は低ジッタのクロック・ジェネレータで、最大3.1GHzのクロック出力を7つ備えているほか、ユーザ設定に基づいてSYSREF出力信号に同期させることもできます。これら2つの製品は、アナログ・デバイセズのファンアウト・バッファ製品の1つと組み合わせることで、処理のためFPGAやASICに送信される複数のADCデータを、正確に同期してアライメントを取るための枠組みを提供します。

著者について

Ian Beavers

アナログ・デバイセズ（ノースカロライナ州グリーンズボロ）のオートメーション／エネルギー／センサー・チームのプロダクト・エンジニアリング・マネージャ。1999年、アナログ・デバイセズ入社。半導体業界での経験は20年以上。ノースカロライナ州立大学で電気工学の学士号を、グリーンズボロのノースカロライナ大学でM.B.A.を取得。

連絡先：ian.beavers@analog.com

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

* 英語版技術記事は[こちら](#)よりご覧いただけます。