

# 従来の半分のスペースでGSPSサンプリングADCに 低ノイズ電源を供給する Silent Switcher $\mu$ Moduleレギュレータ

著者：Aldrick Limjoco、Patrick Pasaquian、Jefferson Eco  
Analog Devices, Inc.

高速A/Dコンバータ(ADC)はギガサンプル/秒(GSPS)の範囲にまで発展を遂げており、これに伴って使用可能帯域幅も拡大しています。このような性能向上に伴う課題は多く、その1つが複雑化する電源条件です。例えば、2.6GSPS ADCのAD9625には7つの独立した電源レールが必要で、電源レベルは1.3V、2.5V、3.3Vの3種に分圧されます。

フル機能のADCの電源システムは、効率的で、既にスペースが不足気味のPCBにも適合し、発生する出力ノイズは負荷感度に見合ったものでなければなりません。多くの場合、これらの条件のバランスをとることは互いに相反する要求を満たすということであり、システム設計者にとっては何よりも優先すべきパラメータ最適化に関わる問題です。従来この問題は、ノイズは多くても効率的なスイッチング・レギュレータと、比較的効率は低くても電源ノイズの小さい低ドロップアウト(LDO)ポストレギュレータを組み合わせることで解決されてきました。図1に代表的なシステムのブロック図を示します。

残念ながら、効率とノイズ性能の最適化を実現しようとすると、通常、システムが複雑なものになってしまいます。図2に、 $\mu$ Module® Silent Switcher®レギュレータを使用した新たな電源システムを示します。このソリューションは、従来のソリューションに比べ省スペースでADCに低ノイズの電源を供給し、効率も向上しています。

## ノイズの検討

システム設計者には、負荷の感度を定量化して、それを電源ノイズに合ったものにすることが求められます。電源ノイズは電源パス内でLDOレギュレータを使用することによって最小限に抑えることが可能で、このLDOレギュレータはスタンドアロン・レギュレータとして使用するか(図2)、図1に示すようにスイッチング・レギュレータ後段のポストレギュレータとして使用します。LDOレギュレータが除去可能なのは入力電源ノイズで、この能力は電源電圧変動除去比(PSRR)で表されます。

LDOレギュレータを使ってノイズ性能を向上させる際にトレードオフとなるのは、効率の低下です。このレギュレータは通過素子で大きな電力を消費するので、高いステップダウン比では効率が良くありません。したがって、LDOレギュレータ使用時は、最大限の効率を得るためにステップダウン比を最小限に抑える必要があります。基本的にノイズは多いものの、効率的なスイッチング・レギュレータの後段で、ポストレギュレータとしてLDOレギュレータを多用する理由は、ここにあります。スイッチング・レギュレータは、LDOレギュレータへの入力前にまずメイン・レールを降圧します。それでも、ポストレギュレータとして使用する場合は、LDOレギュレータのPSRR性能を最大限まで高めるのに特別なヘッドルームが必要で、高負荷時には、これが全体的な電源効率を更に低下させる結果となります。

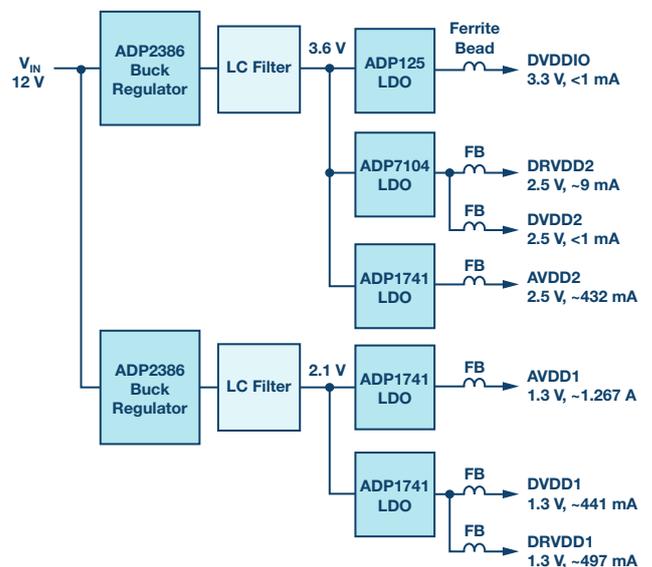


図1. スイッチング・レギュレータとLDOレギュレータを使用するベースラインGSPS ADC電源設計(従来の設計)

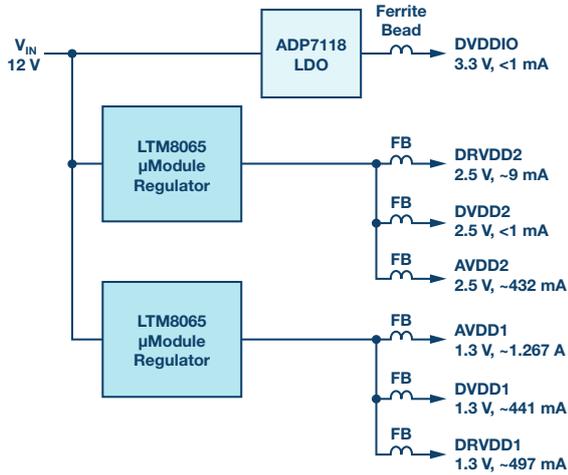


図2. 図1に示すスイッチャとLDOによる従来型電源システムに代わるシステム。この設計の特徴は、2個のLTM8065  $\mu$ Module Silent Switcherレギュレータが直接AD9625に電源を供給する点です。ノイズが少なく、よりコンパクトで効率的です (LTM8065使用のフィルタなし設計)。

### シンプルさとフットプリントに関する検討

スイッチング・レギュレータとLDOを使用する従来のシステムはディスクリート部品を使って実装されることが多いため、PCBフットプリントが大きく複雑なものになりがちで、サイズ縮小と設計のシンプルさという目標が損なわれてしまいます。一方、 $\mu$ Moduleレギュレータを使用した場合、これらの目標を達成することができます。このレギュレータは主要なレギュレータ部品を内蔵しているので、コンパクトなPCBソリューションを実現可能です。特に、比較的大きなインダクタを内蔵していることが大きな利点となります。

また、一般に $\mu$ Moduleレギュレータは比較的大きな負荷を扱うことが可能で、設計者は1つの $\mu$ Moduleの出力上に等しい電圧の複数の電源レールを組み合わせたことができます。また、電流量が大きいので、 $\mu$ Moduleレギュレータベースの既存設計にレールを追加することも可能で、設計変更が容易なため、製品の市場投入までの時間を短縮することができます。

ここに示す $\mu$ Moduleレギュレータベースのソリューションは高効率かつコンパクトで、12ビット2.6GSPSの高性能ADC AD9625に最適です。電源は、Power by Linear™ Silent Switcher  $\mu$ Moduleレギュレータ、LTM8065によって供給されます。Silent Switcherテクノロジーは、予測もフィルタリングも難しい高周波ノイズを実質的に除去し、ADCの感度に適した電源を実現します。

$\mu$ Moduleレギュレータ・ソリューションと従来型電源セットアップの比較テストを行うために、2.5AのLTM8065降圧 $\mu$ ModuleレギュレータによりAD9625の1.3Vレールと2.5Vレールの電源を供給します。そして、両方のレールにおけるADCの電源ノイズ感度と、LTC電源モジュールの出力スペクトラムを調べました。

### AD9625 ADC用の従来型ベースライン電源システム設計

従来推奨されてきたAD9625 2.6GSPS ADC用電源セットアップの回路図の一部を図3に示します。この図には2.5Vレールだけが示されていますが、これは各レールの標準的な電流条件を示すものでもあります。フル機能の電源では、7つの異なる電源領域が3つの電源レベル(1.3V、2.5V、3.3V)に分割されています。図1のブロック図が、フル機能の電源の概要を示すものです。

このシステムでは、スイッチング・レギュレータ(LCフィルタ付きの20V/6A降圧コンバータADP2386が2個)が、3.6Vおよび2.1Vへの中間電圧プリレギュレータとして動作します。図3には、3.6V出力のレギュレータを示します。これらの中間電圧は、安定化ADC入力レールのLDOレギュレータによって更に降圧されます。LDOレギュレータは安定化電圧をADCに提供し、スイッチング・レギュレータからの出力リップルを軽減します。

従来型のベースライン・システムは、良好に安定化された低ノイズの出力を生成しますが、構成が複雑という欠点があります。したがって、様々な部品をボード上に取り付ける際に困難が予想され、最大負荷時には、発熱の問題でLDOの効率が低下するおそれがあります。何か良い方法はないのでしょうか？ 実はあるのです。

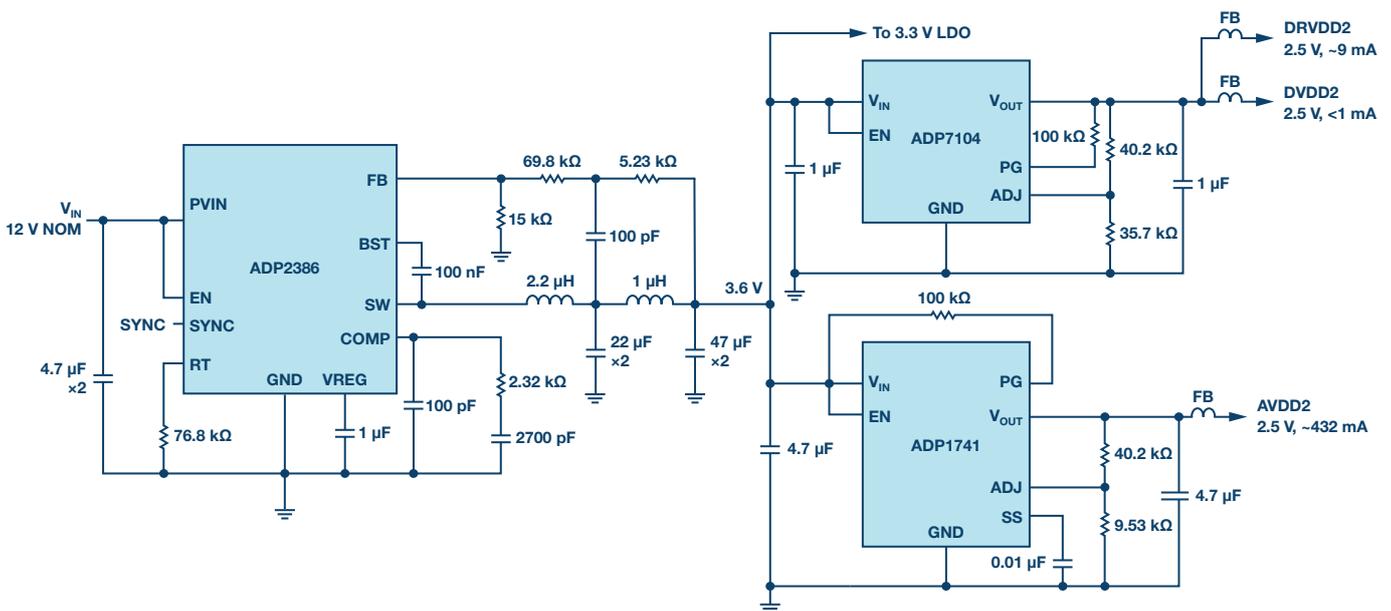


図3. スイッチャとLDOによる従来型AD9625用電源システムの3つの2.5Vレールを示す回路図。他の4つのレールは図に示されていません(図1のブロック図を参照)。

LTM8065 μModuleレギュレータによりAD9625 ADCの1.3Vおよび2.5Vレールに電源を直接供給

図2のブロック図に概要を示した新たなソリューションの詳細配線を、図4に示します。このシステムは、2個のLTM8065 μModuleレギュレータと1個のADP7118 LDOレギュレータで構成されています。LTM8065は40V入力、2.5A Silent Switcher μModuleレギュレータで、熱的に強化されたコンパクトなオーバーモールド型ボール・グリッド・アレイ (BGA) パッケージで提供されます。このモジュールには、スイッチング・コントローラ、インダクタ、その他のサポート部品が組み込まれています。LTM8065の出力電圧範囲は0.97V~18V、スイッチング周波数範囲は200kHz~3MHzで、外付け抵抗を使って出力電圧を設定します。レギュレータを完成させるために必要なその他の部品は、入力コンデンサと出力コンデンサだけです。

このソリューションでは、2個のLTM8065が1.3Vレールと2.5Vレールに直接電源を供給します。3.3Vレールは、12V電源に接続されたADP7118低ノイズLDOから直接供給されます。3.3Vレールの電流は1mA未満なので、LDOレギュレータで消費される電力は無視できます。

電源ノイズに対する負荷感度について

ADCの電源感度は、電源システムを設計する際に最初に検討すべき事項です。電源ノイズに対する感度は、ADC自体のPSRRを測定するか、データシートに記載されたPSRRを用いることによって決定できます。PSRRには静的PSRRと動的 (AC) PSRRの2種類があります。静的PSRRは、電源電圧の変動と、それによるADCオフセット誤差変動の比です。DC/DCコンバータは良好な安定化電圧を負荷に提供するので、これは大きな問題ではありません。これに対し、動的 (AC) PSRRは広い周波数範囲にわたって電源ピンに加わるノイズを減衰するADCの能力を表すものなので、電源設計者にとって重要な数値です。

ADCのAC PSRRは、正弦波信号を電源ピンに注入しながら、その正弦波信号の振幅を測定することによって得られますが、この振幅測定はテスト対象の電源ピン位置で直接行います (電源ピンの近くにあるデカップリング・コンデンサでプローブ計測)。ADC FFTの対応周波数位置におけるノイズ・フロアに、デジタル化されたスプリアスが現れます。注入信号の測定振幅と、ADC FFTスペクトラムに現れるデジタル化されたスプリアスの対応振幅の比が、電源電圧変動除去比 (PSRR) です。代表的なAC PSRR測定用セットアップのブロック図を図5に示します。

AD9625 2.6GSPS ADCを使い、1MHz、100mVのピークtoピーク正弦波を1.3Vのアナログ電源レールに能動的に結合します。対応する1MHzのデジタル化スプリアスがADCのFFTノイズ・フロア上に現れますが、その振幅は1MHzにおけるPSRRによって決まります。この場合FFTでは、コンバータのノイズ・フロア上の-61.8dBFSの位置に1MHzのデジタル化スプリアスが現れますが、これは、1.1Vのアナログ入力フルスケール・レンジ基準で、892μVp-pのピークtoピーク電圧に相当します。

式1を使って1MHzでのAC PSRRを計算すると、その値は41dBとなります。

$$ACPSRR \text{ (dB)} = 20 \log \frac{\text{Injected Ripple}}{\text{Digitized Spur}} \tag{1}$$

ここで、

Digitized spurはADC FFTに現れるスプリアスで、これは電源ピンに注入されるリップルに対応しています。この場合、スプリアスは892μVp-pです。

Injected rippleは、入力電源ピンで結合されて測定される正弦波です。ここでのリップル振幅は100mVp-pです。

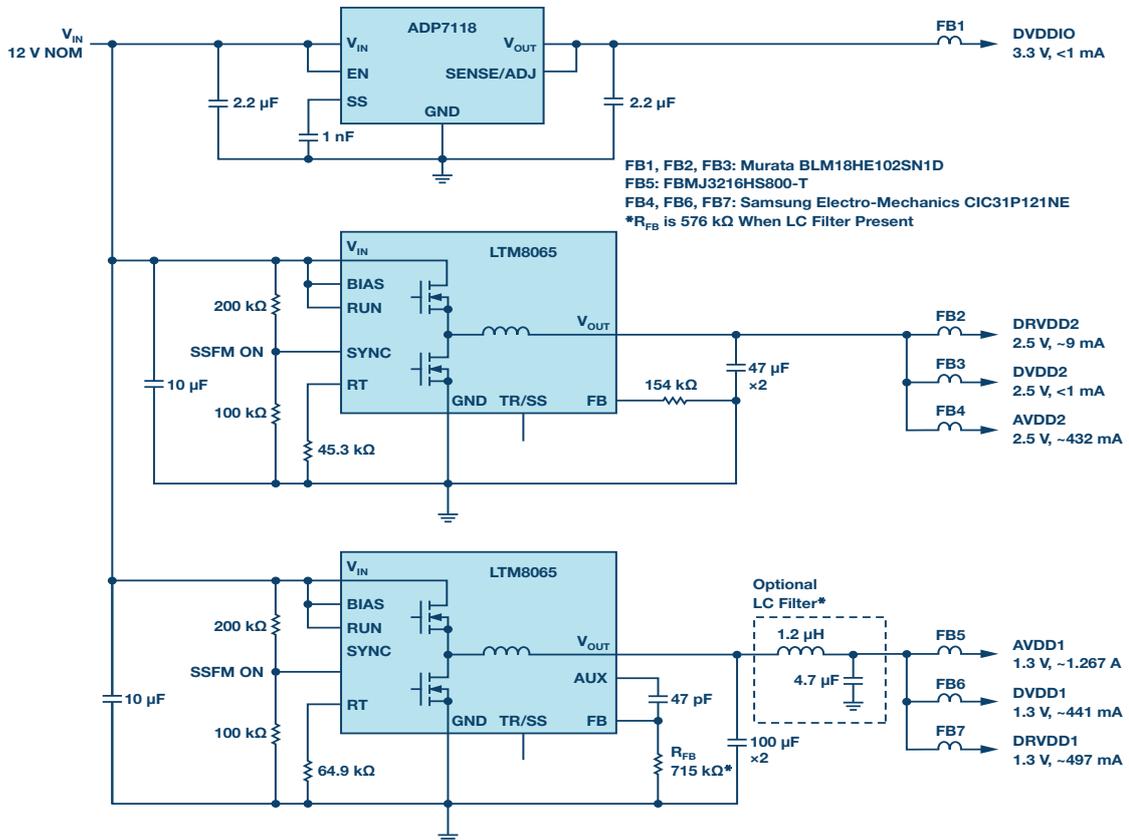


図4. 従来型ADC電源システムに代わるシステムの全体図。7つのレールを持つこのソリューションは、AD9625 2.6GSPS ADCに電源を供給します。この全体図と、図2に示すブロック図との間に大きな違いはありません。

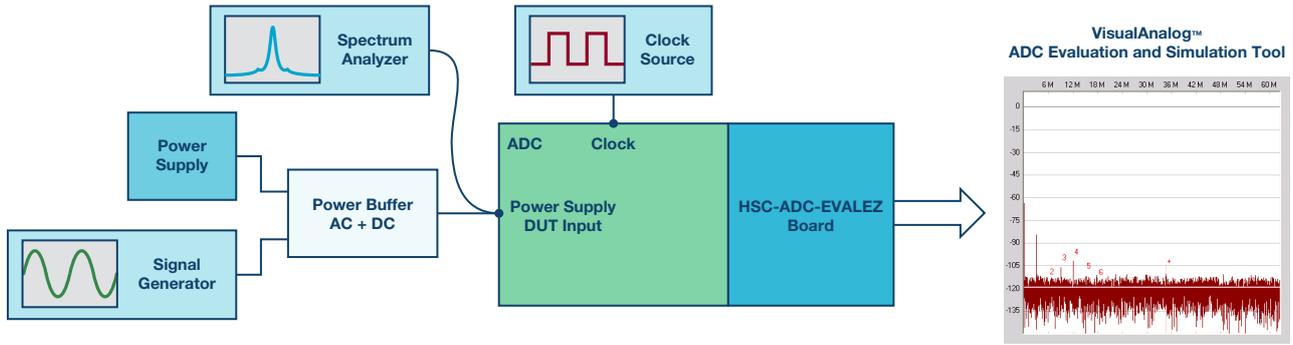


図5. ADCのPSRRテスト用セットアップ

### 1.3VレールにLCフィルタを追加してAD9625 ADCに電源を供給するLTM8065 $\mu$ Moduleレギュレータ

図6は、1.3V AVDDレールの方が2.5V AVDDレールより電源ノイズの影響を受けやすいことを示しており、LTM8065のスイッチング周波数範囲(200kHz~3MHz)では特にその傾向が強くなります。図7にもう1つのLTM8065ソリューションを示します。これは、結合した1.3Vレール用にローパスLC(インダクタ-コンデンサ)フィルタを追加したものです。

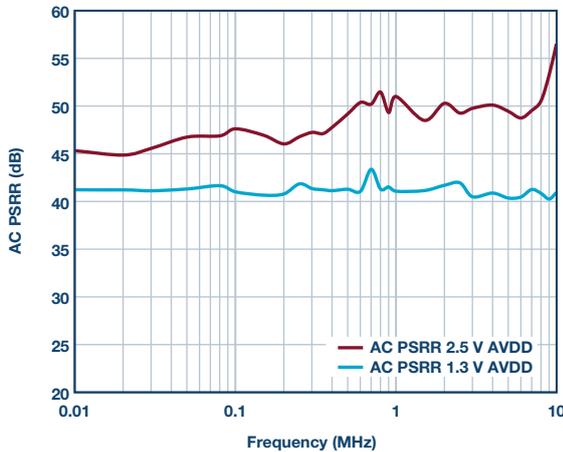


図6. AD9625アナログ電源入力の電源電圧変動除去比

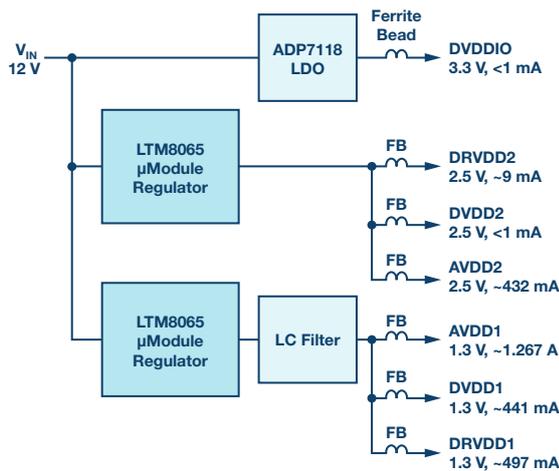


図7. ノイズを更に低減するために1.3VレールにLCフィルタを追加

ローパスLCフィルタ用に推奨される部品は、どの程度のフィルタリングが必要かによって異なります。1.3Vレールの場合、スイッチング・スプリアスをデータ・コンバータのノイズ・フロアまで減らすには、少なくとも20dBのフィルタリングが必要です。1.2 $\mu$ Hと4.7 $\mu$ Fの組み合わせを使用すると、カットオフ周波数は約67kHzとなります(LTM8065の1.3Vレールのスイッチング周波数よりほぼ1桁低い値)。インダクタにおける過度の電圧低下と電力消費を防ぐために、DC抵抗(DCR)の小さいインダクタを推奨します。

コンデンサに関しては、多層セラミック・コンデンサ(MLCC)を使用することができます。MLCCは等価直列抵抗(ESR)が小さいので、コンデンサの自己共振周波数で良好な減衰を実現します。コンデンサの最小インピーダンスはESRによって決まります。MLCCは等価直列インダクタンス(ESL)も小さく、高周波数域で優れたデカップリング性能を発揮します。

スイッチング・レギュレータによってADC電源レールに生じる高周波ノイズの除去には、フェライト・ビーズを使用します。これらは、組み合わせる各レールの高周波ノイズ・アイソレーションも実現します。ビーズの推奨通過電流は、コアの飽和を防ぐために、フェライト・ビーズのDC電流定格の約30%以下とする必要があります。コアが飽和すると、等価インピーダンスとEMI除去能力が低下するおそれがあります。DC抵抗の小さいフェライト・ビーズは、特にAVDD 1.3Vのような大電流レールにおいて、ビーズの電圧低下と消費電力を最小限に抑えます。

### 評価結果

ここでは、262,000個のデータ・ポイントを持つ高速フーリエ変換(FFT)の結果から、AD9625のS/N比(SNR)とスプリアスフリー・ダイナミック・レンジ(SFDR)を求めることで、3つの電源構成を比較します。最初の構成は、図1に示す従来型のベースライン電源です。2つめの構成は、図2に示すフィルタなしのLTM8065です。3つめの構成は、図7に示すように1.3VレールにLCフィルタを組み込んだLTM8065です。LTM8065ベースのソリューションは、どちらもスペクトラム拡散変調を有効にして使用します。

これら3つの電源構成のそれぞれで電源供給した場合のAD9625の動的性能を表1に示します。ADCアナログ入力に使用した搬送周波数は2種類です(729MHzと1349MHz)。LTM8065ベースの電源を2つ使用した場合も、ADCのS/N比とSFDRはベースライン電源使用時と同等です。データは、LTM8065が追加的なLDOレギュレータを使用せずにAD9625に電源を直接供給できることを示しており、これはソリューション全体を非常にシンプルなものにします。

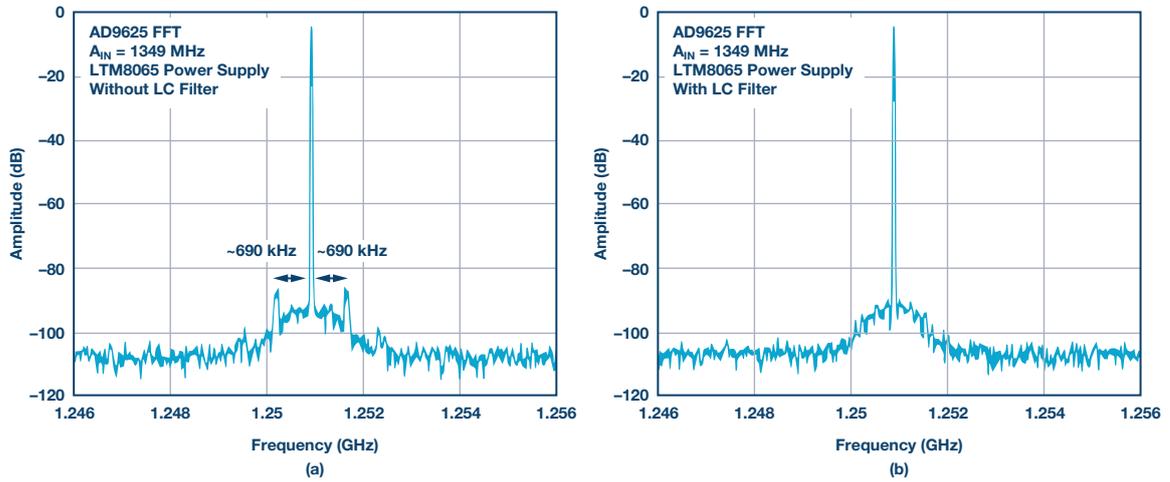


図8. LCフィルタが1349MHzの搬送波周波数付近で変調スプリアスに及ぼす影響は、2つの異なる電源システムを使用するAD9625のFFT結果、つまり、LCフィルタなしの $\mu$ Moduleレギュレータをベースとする電源システム(a)を使用した場合のFFT結果と、LCフィルタを追加したシステム(b)を使用した場合のFFT結果を比較することでわかります。

表1. AD9625の2.6GHz動的性能

入力周波数 (MHz)	SNRFS (DB)			SFDR (DBC)		
	ベースライン電源	LTM8065、フィルタなし	LTM8065、LCフィルタ付き	ベースライン電源	LTM8065、フィルタなし	LTM8065、LCフィルタ付き
729	57.01	57.03	57.01	79.87	79.72	80.11
1349	56.53	56.49	56.54	78.41	80.06	80.77

1349MHz付近の帯域を詳しく見ると、図8aに示すように、LTM8065 (1.3Vレール) の690kHzのスイッチング周波数(スペクトラム拡散が有効)に対応するサイドバンド・スプリアスが現れていますが、変調振幅は代表的なSFDR仕様値よりはるかに小さくなっています。それでも、図8bに示すようにこれらのサイドバンド・スプリアスを除去できるほうが望ましいので、LTM8065ソリューションにはLCフィルタを追加することが推奨されます。

LCフィルタ・セクションの前後でプローブ計測したスペクトラム拡散出力を、図9に示します。これは、ノイズ除去に関して最大で25dBの改善が実現したことを示しています。

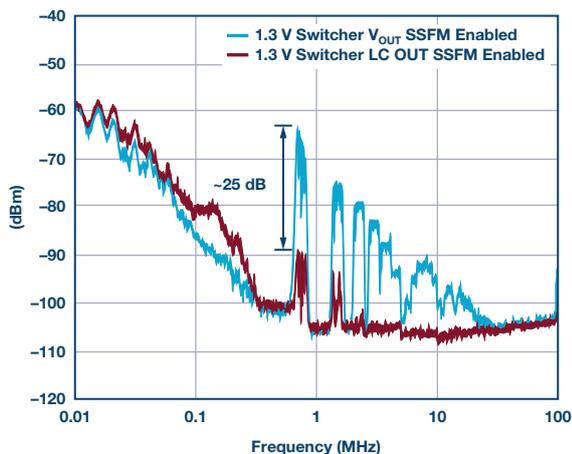


図9. 1.3VレールにおけるLTM8065のスペクトラム成分(SSFMを有効化)

拡散スペクトラム周波数変調(SSFM)は、プログラムされた値をカバーする範囲でスイッチング周波数をその値より約20%高い値に連続的に変化させることによって、コンバータの基本動作周波数におけるリップルのピーク振幅を小さくします。SSFMは、ピークEMI/リップル振幅を下げるのが求められるシステムに最も有効です。SSFMの利点を図10に示します。この図は、SSFMを有効にした場合と無効にした場合のそれぞれについて、LTM8065の1.3V出力のスペクトラム成分を示しています。リップルのピーク振幅の下げ幅は基本周波数時に約10dB~12dBで、高調波のピークも大きく減少しています。

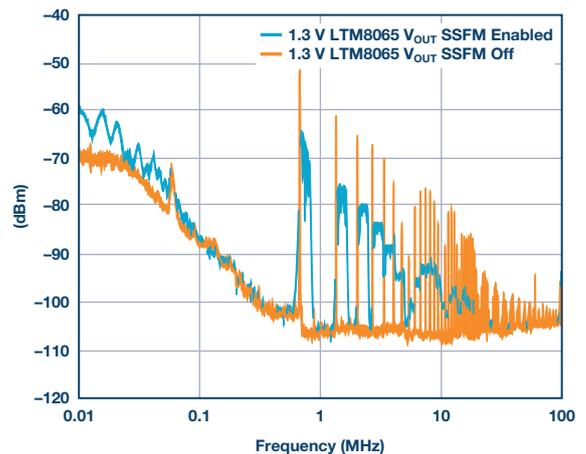


図10. 1.3VレールにおけるLTM8065のスペクトラム成分(SSFMオンとオフの場合)。

LTM8065により1.3Vレールに直接電源を供給すると(スペクトラム拡散オフ)、図11に示すように変調のピークが2次高調波歪みまで現れます。

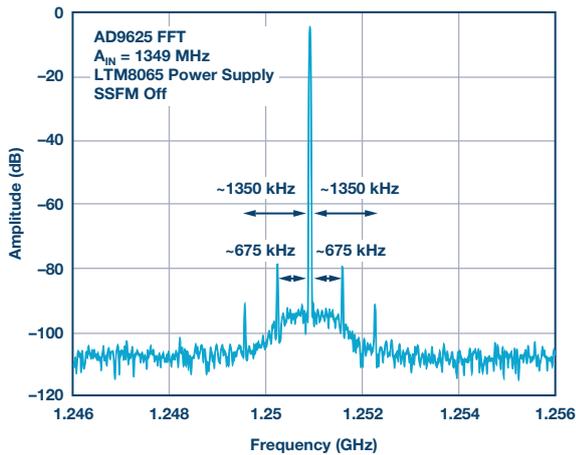
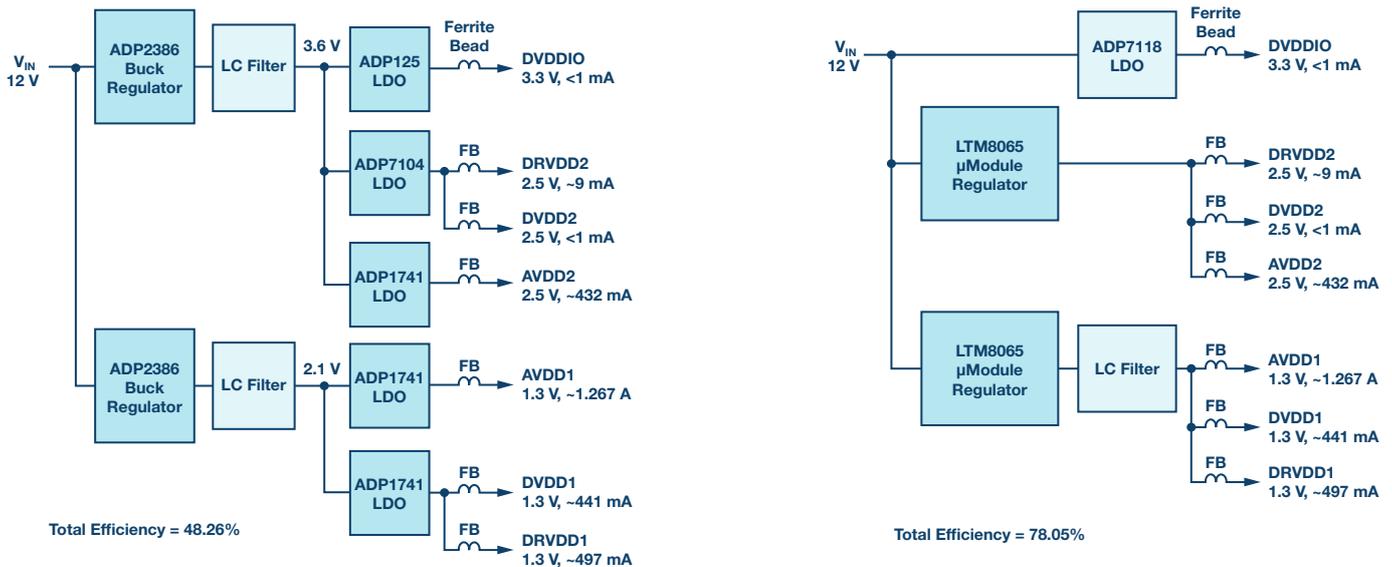


図11. LTM8065の1.3VレールでSSFMを有効にした場合の1349MHzアナログ入力搬送波の詳細。

システム効率の測定

ベースライン電源と、LCフィルタ付きLTM8065システムの効率の比較を図12に示します。LTM8065電源ソリューションでは効率が30%向上しています。



	レール	電圧 (V)	電流 (A)	電力 (W)
P <sub>IN</sub>	V <sub>IN</sub>	11.729	0.676	7.929
	AVDD_1.3V	1.268	1.222	1.549
P <sub>OUT</sub>	DRVDO_1.3V	1.301	0.521	0.678
	DVDD_1.3V	1.305	0.406	0.530
	AVDD_2.5V	2.589	0.408	1.056
	DRVDO_2.5V	2.590	0.0047	0.012
	DVDD_2.5V	2.590	0.0001	0.0003
	DVDDIO_3.3V	3.301	0.0004	0.0013
	P <sub>OUT</sub> 合計			3.827
効率 (%)			48.26	

	レール	電圧 (V)	電流 (A)	電力 (W)
P <sub>IN</sub>	V <sub>IN</sub>	11.885	0.442	5.256
	AVDD_1.3V	1.303	1.308	1.704324
P <sub>OUT</sub>	DRVDO_1.3V	1.302	0.531	0.691
	DVDD_1.3V	1.305	0.459	0.599
	AVDD_2.5V	2.486	0.440	1.094
	DRVDO_2.5V	2.494	0.005	0.012
	DVDD_2.5V	2.495	0.0001	0.0002
	DVDDIO_3.3V	3.301	0.0004	0.0013
	P <sub>OUT</sub> 合計			4.104
効率 (%)			78.05	

図12. ベースライン電源設計とLTM8065ベース・システム(バージョン2)の効率比較

PCB寸法の比較

μModuleレギュレータ・ソリューションのサイズ上の利点を明らかにするために、LCフィルタ付きのLTM8065ベース・ソリューションをPCB上に実装し、これによって実現された電源セクションの面積を、既製のEVAL-AD9625評価用ボード(ベースライン電源設計を使用)の電源セクションと比較しました。

標準のEVAL-AD9625評価用ボード(ベースライン電源使用)と新たに作成したAD9625評価用ボード(LCフィルタ付きLTM8065 μModuleレギュレータ使用)の比較を図13に示します。LTM8065を使用した電源ソリューションの部品はほぼすべてがPCBの上面に置かれていますが、既製品であるディスクリット・ソリューションのEVAL-AD9625評価用ボードでは、上面(LDOレギュレータ)と下面(スイッチャ)両側への電源部品配置を強いられています。LTM8065ベースのソリューションでは、電源の占める面積が70%以上削減されています。

LTM8065ベースのシステムとベースライン電源システムを部品数と部品面積の点で比較した結果を、表2に示します。LTM8065ソリューションは、部品点数で半分以下、面積もほぼ半分になっています。

表2. 各種電源の電源セクションの合計部品数と面積

	LTM8065、LCフィルタ付き		ベースライン電源	
	部品数 (個)	部品面積 (mm <sup>2</sup> )	部品数 (個)	部品面積 (mm <sup>2</sup> )
スイッチング・レギュレータ (IC/モジュール)	2	78	2	32
LDO IC	1	4	5	82
受動部品	21	58	58	159
合計	24	140	65	273

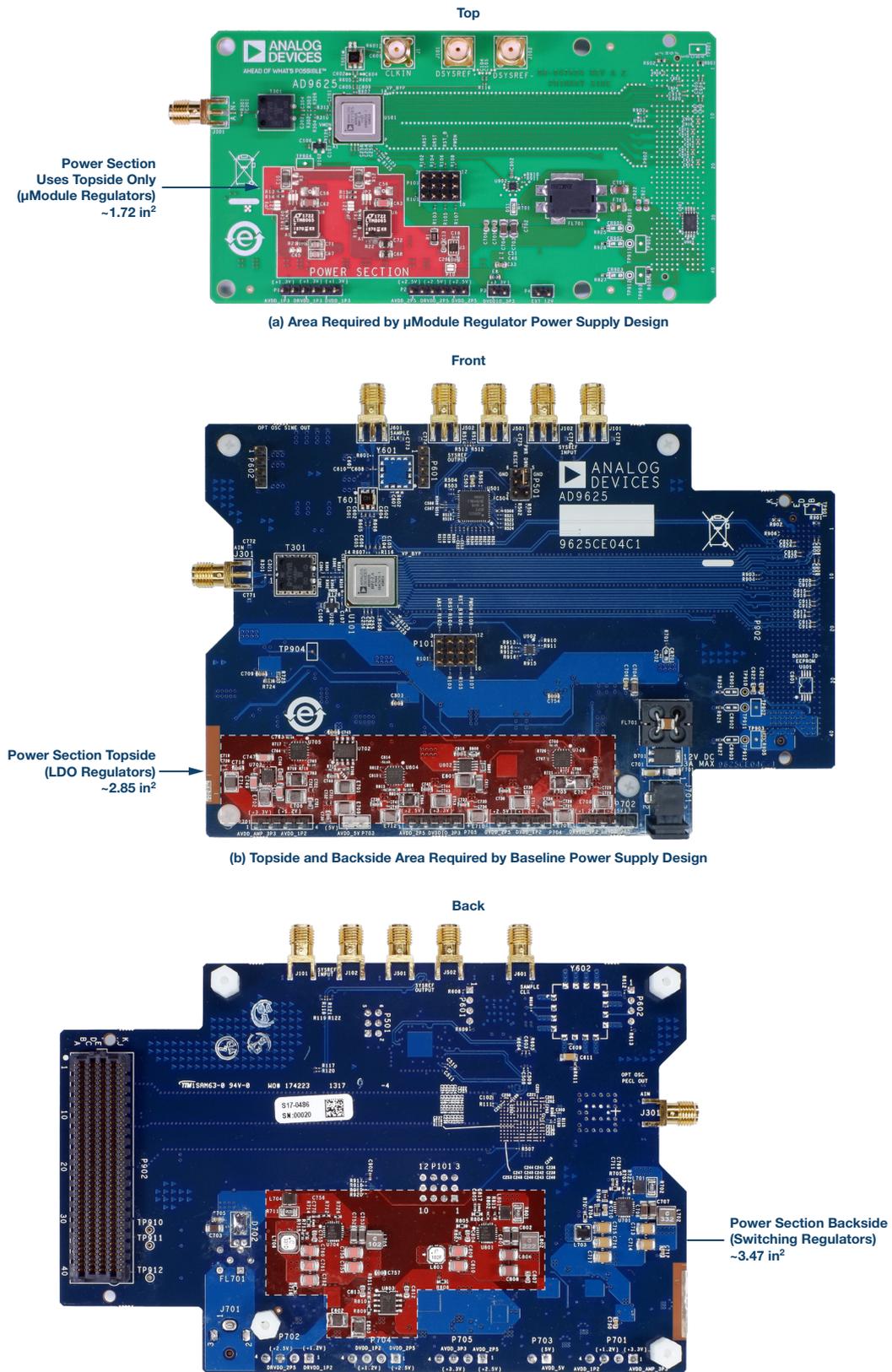


図13. 従来型のコントローラ/レギュレータに代えて $\mu$ Module Silent Switcherレギュレータを使用すると、電源に必要な面積が大幅に減少します。  
 (a) LTM8065使用の新たなAD9625デモ・ボードと、(b) 既製のAD9625評価用ボード。ハイライト表示は両システムの電源セクション。

## まとめ

LTM8065  $\mu$ Module Silent SwitcherレギュレータはAD9625 GSPS ADCへの電源供給に使用可能で、ADCの動的性能を損なうことなく、従来のディスクリート・ソリューションと比較して大幅な改善を実現します。また、LTM8065を使用してAD9625の1.3Vおよび2.5V電源レールに直接電力を供給することによって、電源ボードの部品点数と面積を大幅に削減します。

この実現にあたっては、多少のフィルタを追加するだけ助けとなります。非常に高いアナログ入力周波数では、アナログ入力搬送波周波数とレギュレータの出力リップル周波数の間に変調効果が生じることがあります。この変調効果によるサイドバンド・スプリアスはアナログ入力搬送波付近に現れ、より高いアナログ入力周波数では更に顕著になります。

この変調効果の主な原因は1.3Vレールのノイズですが、これは、LTM8065レギュレータのスイッチング周波数付近の電源電圧変動除去比が低いことによります。変調スプリアスはスプリアスフリー・ダイナミック・レンジ(SFDR)の仕様を超えることはありませんが、出力リップルを減衰させるために簡単なLCローパス・フィルタを使ってスプリアスを減らすのは良い方法です。これによって、変調サイドバンドのない、より低ノイズのデジタル化アナログ入力搬送波を得ることができます。

$\mu$ Moduleレギュレータによる電源ソリューションは78%のシステム効率を実現しますが、この値は既存のAD9625デモ・ボードより30%向上しています。また、この効率向上(およびそれによる熱管理の簡素化)に加え、LTM8065電源は自己完結型で小型のため、PCBボードの面積と部品点数も大幅に減少しています。

## 参考資料

Eco, Jefferson and Aldrick Limjoco.「DC/DCコンバータにおけるフェライト・ビーズの活用方法」アナログ・ダイアログ、2017年2月

Jayamohan, Umesh.「GSPSレベルの高速ADCへの給電方法:

スイッチング・レギュレータでLDOを置き換える」アナログ・ダイアログ、2016年2月

Jayamohan, Umesh.「高速A/Dコンバータの電源領域 珍問・難問集」アナログ・ダイアログ、2018年5月

Reeder, Rob.「高速ADCの電源回路設計で考慮すべきこと」アナログ・デバイセス、2012年2月

Scott, Kevin and Greg Zimmer.「Spread Spectrum Frequency Modulation Reduces EMI.」(拡散スペクトラム周波数変調によるEMIの抑制) Analog Devices, Inc., 2014.

Ye, Zhongming.「Silent Switcherを採用した $\mu$ Moduleレギュレータ、40V入力/3.5A出力で車載用途や産業用途に最適」アナログ・デバイセス、2018年1月

## 著者について

Aldrick S. Limjoco

アナログ・デバイセス フィリピンアプリケーション・マネージャ。2006年にアナログ・デバイセス入社。設計評価、製品アプリケーション、アプリケーション調査などの分野で様々な技術職を歴任。2件の米国特許を有し、更にスイッチング電源リップルのフィルタリングに関する特許を1件申請中。マニラのデ・ラ・サル大学を卒業、電子工学の学士号を取得。

連絡先: [aldrick.limjoco@analog.com](mailto:aldrick.limjoco@analog.com)

Patrick Errgy Pasaquian

2014年にアナログ・デバイセス入社。設計およびレイアウト・エンジニアリング・グループのアプリケーション・エンジニア。これまでアプリケーション開発、設計評価、アタッチ電源、EngineerZone®でのカスタマ・サポートなどの様々な業務を担当。2015年にはフィリピン科学技術省(DOST)主催の全国コンペで論文を発表。イロイロのセントラル・フィリピン大学で電子工学の学士号を取得。

連絡先: [patrick.pasaquian@analog.com](mailto:patrick.pasaquian@analog.com)

Jefferson A. Eco

2011年5月にアナログ・デバイセス フィリピン入社。アプリケーション開発エンジニア。専門はパワー・マネージメント。スイッチング電源リップルのフィルタリングに関する特許を申請中。ナガのカマリネス・スル・ポリテクニク・カレッジを卒業、電子工学の学士号を取得。

連絡先: [jefferson.eco@analog.com](mailto:jefferson.eco@analog.com)

オンライン・  
サポート・  
コミュニティ



当社のオンライン・サポート・コミュニティで、アナログ・デバイセスの技術専門家と連携することができます。設計上の難問について問い合わせたり、FAQを参照したり、話し合いに参加することができます。

[ez.analog.com](http://ez.analog.com)

\* 英語版技術記事は [こちら](#) よりご覧いただけます。

## アナログ・デバイセス株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F  
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F  
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2019 Analog Devices, Inc. All rights reserved.  
本誌記載の商標および登録商標は、  
各社の所有に属します。  
Ahead of What's Possible は  
アナログ・デバイセスの商標です。

TA20641-0-10/18(A)

[www.analog.com/jp](http://www.analog.com/jp)



想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™