

フェーズド・アレイ向けの ハイブリッド型ビーム フォーミング、受信側の電力効率を 定量的な解析で明らかにする

著者 : Prabir K. Saha、IC 設計エンジニア

概要

ビームフォーミング向けのアーキテクチャは、アナログ方式、デジタル方式、ハイブリッド方式に大別できます。本稿では、電力効率に着目してこれらの方式の比較を行います。それに向けて、フェーズド・アレイ・アンテナのレシーバー側を対象とし、3種のアーキテクチャの消費電力を表す詳細なモデルを作成しました。数式に基づくそれらのモデルを使用することにより、様々なコンポーネントがトータルの消費電力にどのように寄与するのかを明確化することができます。また、フェーズド・アレイ・アンテナの様々なパラメータによって消費電力がどのように変化するのかを確認することも可能になります。各アーキテクチャにおけるビーム・帯域幅積 (beam-bandwidth product) あたりの消費電力を比較すると、1つの事実が明らかになります。その事実とは、アンテナ素子数の多いミリ波対応のフェーズド・アレイ・アンテナでは、ハイブリッド方式を採用することによって大きなメリットが得られるというものです。

はじめに

本稿では、同時に複数のビームを生成する能力と電力効率に着目し、アナログ方式、デジタル方式、ハイブリッド方式のビームフォーミングを比較します。フェーズド・アレイ・アンテナは、レーダーや通信システムにおいてますます重要な役割を担うようになりました。それに伴い、システムの性能と効率を改善する方法に対する関心が改めて高まっています。従来のアナログ方式のビームフォーミング (ABF : Analog Beamforming) と比較した場合、デジタル方式のビームフォーミング (DBF : Digital Beamforming) を採用することで、いくつかのメリットが得られます。このことについては、数十年前から明らかになっていました。しかし、デジタル信号処理に関連する様々な課題が存在することから、DBFはさほど普及しませんでした。ただ、デバイスの小型化が継続的に進み、それに伴ってコンピューティング能力が指数関数的に増大した結果、再びDBFに対する関心が高まってきました。実際、DBFは多くの魅力的な性質を備えています。しかし、現在でも消費電力とコストの増大という問題が大きな懸念事項になっています。それに対し、ハイブリッド方式のビームフォーミングであれば、優れた電力効率を実現できます。そのため、同方式のビームフォーミングは、多くのアプリケーションにとっての最適解になる可能性があります。

アナログ方式とデジタル方式の違い

ビームフォーミングの処理における基本的な要素は遅延と加算です。遅延と加算は、アナログ領域またはデジタル領域のどちらかでされることになります。アナログ領域で処理を行うのがABFです。ABFは、シグナル・チェーンの中のどこで遅延と位相シフトを適用するのかによって更に細分化することができます。本稿では、RF領域のビームフォーミングだけを検討の対象とすることとします。その場合、ABFを実現するシステムの構成は図1(a)のようになります。ABFでは、まず数多くのアンテナ素子から得られる信号に重み付けをして結合する処理を行います。その結果としてビームが生成されます。そのビームは、ミキサーを介してシグナル・チェーンの後段に引き渡されます。従来のフェーズド・アレイ・アンテナは、多くの場合このような形態で実装されていました。

このアーキテクチャにはいくつかの欠点があります。1つは、同時に多数のビームを生成するのが難しいというものです。複数のビームを生成するには、各アンテナ素子からの信号を分割した上で個々に遅延と加算を適用する必要があります。そのために必要なVAP (Variable Amplitude and Phase : 可変の振幅/位相) ブロックの数は、アンテナ素子の数とビームの数に比例します。VAPブロックと分割/結合回路 (スプリッタとコンバイナ) の実装にはかなりの面積が必要になります。何本ものビームを生成しようとする、分割/結合回路の占有面積と複雑さが無視できないレベルで増大します。つまり、同時に多数のビームを生成したい場合、ABFは実用的な方法だとは言えないということです。特に、プレーナ・アレイでは、占有面積が大きくなると、アンテナ素子の間隔によって決まるグリッド内に電子コンポーネントを配置するのも難しくなります。更に、より基本的な問題として、分割を行うたびにS/N比が低下してしまいます。ノイズ・フロアに埋もれさせることなく信号を分割できる回数は、ノイズ・フロアによって制限されます。

一方、DBFであれば同時に複数のビームを比較的容易に生成できます。図1(b)に示したように、DBFでは各アンテナ素子からの信号は個々にA/D変換されます。その後、ビームフォーミングの処理をデジタル領域で実施します。ひとたびデジタル・データに変換すれば、忠実度を損なうことなく信号を複製することができます。つまり、新たに複製した信号に対して遅延と加算を適用することで、新たなビームを生成することが可能です。この処理は、必要なだけ繰り返すことができるので、理論上は無限の数のビームを生成できることになります。ただ、実際にはデジタル信号処理の能力には限界があります。より多くの処理を行えば消費電力とコストも増加するので、ビームの数 (またはビーム・帯域幅積) は制限されることになります。また、DBFではビームの数を必要なタイミングで変更できます。これは、ABFでは不可能な処理です。加えて、より高精度なキャリブレーションやアダプティブなヌリング処理を適用することもできます。このようなメリットが得られることから、DBFは通信やレーダーに使われる様々なフェーズド・アレイ・アンテナにとって魅力的な選択肢になります。但し、そうしたあらゆるメリットを活かそうとすると、その代償としてコストと消費電力が増加します。ABFでは、ビームの生成に必要なA/Dコンバータ (ADC) とミキサーは1つずつです。それに対し、ベースバンド領域でDBFを実施する場合には、アンテナ素子ごとにADCとミキサーを用意する必要があります。特に大きなアレイの場合、コンポーネントの数が増加すると、消費電力とコストが大幅に増加します。また、ビームフォーミングをベースバンド領域で行うことになるので、ADCとミキサーは各アンテナ素子の広い視野内に存在する任意の信号の影響を受けます。潜在的な干渉源に対応できるようにするためには、十分なダイナミック・レンジを確保しなければなりません。一方、RF領域でビームフォーミングを行う場合、空間フィルタリングを適用できます。そのため、ミキサーとADCのダイナミック・レンジに対する要件は緩和されます。

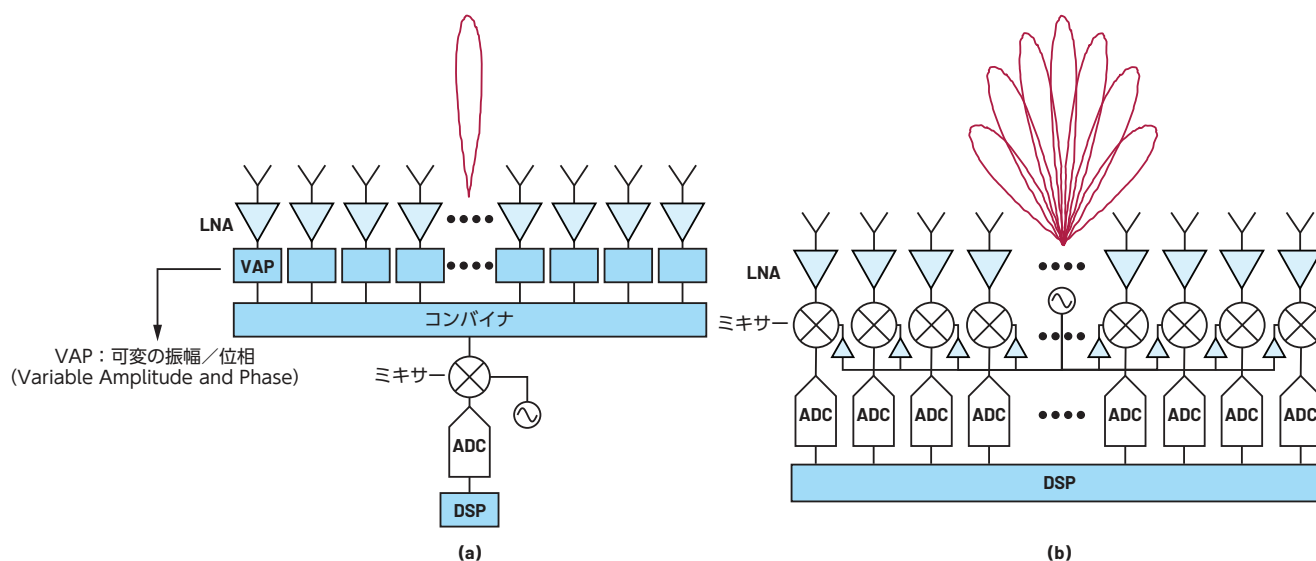


図1. ABF (a) と DBF (b) のアーキテクチャ

DBFでは演算に関する要件が重要になります。それらの要件は、トータルの消費電力に大きな影響を及ぼします。DSPで処理する必要があるデータの量は、アンテナ素子の数、ビームの数、信号の瞬時帯域幅に比例します（以下参照）。

一般に、ミリ波帯の信号を扱う場合には、広い帯域幅が必要になります。それに対応して動作する大規模なアレイでは、データによる負荷が天文学的に高くなる可能性があります。例として、1024個のアンテナ素子を使用するフェーズド・アレイを考えます。必要な帯域幅は500MHzで、ADCの分解能は8ビットであるとしましょう。その場合、DSPでは、ビームあたり8Tb/秒にも上るデータを処理しなければなりません。これだけ大量のデータを伝送して処理を施すには、膨大な電力が必要です。演算の負荷に換算すると、ビームあたり毎秒約 4×10^{12} 回の乗算処理を行う必要があります。信号の全帯域幅を対象として複数のビームを生成するには、膨大な演算能力を要します。その能力は、今日のDSPの限界を上回ります。標準的な実装では、ビーム・帯域幅積を一定とし、ビーム数が増える場合にはそれらのビームの間で全帯域幅を分け合う形になります。多くの場合、デジタル信号処理は、大量のデータに対応できるよう分散方式で実行されます。しかし、その場合にはビームフォーミングの柔軟性、消費電力、遅延などの間で様々なトレードオフが生じます。演算処理に加えて、様々なDSPブロックの高速I/Oデータ・インターフェースでもかなりの電力が消費されます。

ハイブリッド方式のビームフォーミング (HBF: Hybrid Beamforming) とは、アナログ方式とデジタル方式を組み合わせることでビームフォーミングを実現するというものです。それにより、両者の長所を活かし、短所を補います。1つの実現形態は、アレイをそれよりも小さなサブアレイに分割し、サブアレイ内でABFの処理を実施するというものになります。サブアレイ内のアンテナ素子数は比較的少ないので、ビームの幅は比較的狭くなります。図2に示すように、各サブアレイはわずかに指向性を持つ放射パターンに対応可能なスーパー素子だと見なすことができます。その後、サブアレイからの信号を使用してDBFの処理を行うことで、アレイの全開口幅に対応し、ゲインが高く幅の狭いビームを生成できます。この方法であれば、完全なDBFとは異なり、ADCとミキサの数とデータ処理の負荷がサブアレイのサイズ

サブアレイのパターンは一般的に広くなります。これは、多くのアプリケーションにおいては許容できるトレードオフ項目になる可能性があります。より高い柔軟性を必要とするアプリケーションでは、複数の独立したアナログ・ビームを生成することによって問題を解決できるでしょう。但し、それにはRFフロント・エンドにVAPブロックを更に追加する必要があります。それでも、完全なDBFと比べればADCとミキサの数を抑えられます。

図3に示すように、2つのアナログ・ビームを生成してカバレージを拡大しつつ、ADC、ミキサー、データ・ストリームを1/2に減らすことが可能です。

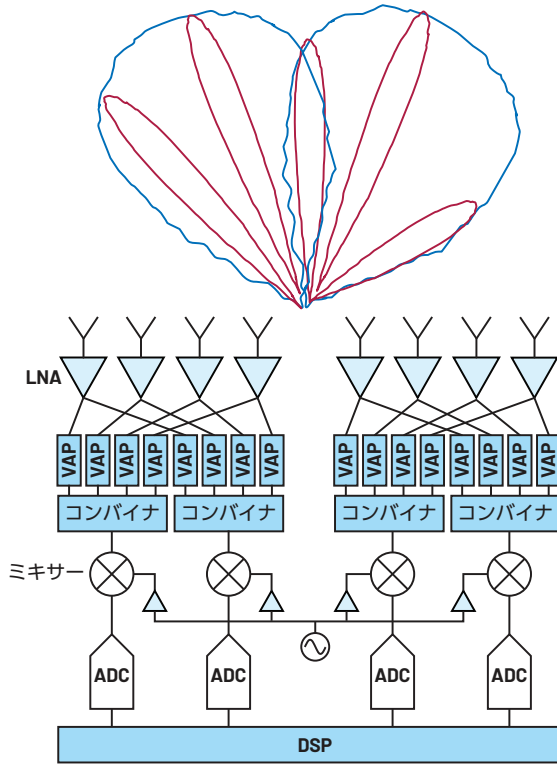


図3. 複数のアナログ・ビームを生成するHBF

DBFと比べると、HBFではサイド・ローブも抑制されます。アナログ・ビームの中心から離れる方向にデジタル・ビームを走査すると、位相制御のハイブリッドな性質に起因して位相誤差が生じます。1つのサブアレイ内において、アンテナ素子の間の位相差はアナログ・ビームの制御によって決まります。言い換えれば、デジタル走査角には依存しません。デジタル制御では、所定の走査角において、サブアレイの中心にしか適切な位相を適用することはできません。サブアレイの中心から端に向かうにつれて、位相誤差は大きくなります。その結果、アレイ全体に周期的な位相誤差が現れます。また、ビームのゲインが低下し、疑似サイド・ローブとグレーティング・ローブが生成されます。このような影響は、走査角の増大に伴って大きくなります。このことは、純粋なABFやDBFと比べた場合のHBFの欠点の1つです。サイド・ローブとグレーティング・ローブは、誤差を非周期的なものにすることによって抑制できます。誤差の周期性を抑えるためには、サブアレイのサイズ、向き、位置を調整します。

電力効率の検証

ここでは、フェーズド・アレイの受信側を対象として、ABF、DBF、HBFの電力効率を比較します。各方式の消費電力のモデルは、それぞれ以下に示す式 (2)、式 (3)、式 (4) で表されます。

$$P_{analog} = P_{LNA} \times (m) + P_{losscomp} \left(L_{VAP} + L_{split} \log_2 n + L_{path} D(1 + D_x) - (3 - L_{comb}) \log_2 m \right) (mn) + (P_{ADC} + P_{mixer})(n) \quad (2)$$

$$P_{digital} = (P_{LNA} + P_{ADC} + P_{mixer})(m) + (4 \times P_{DSP-comp} + P_{Serdes} \times b) \times \min(DSP_{TP}, 2 \times IBW \times (mn)) + P_{losscomp} \left(L_{split} \log_2 m + L_{path} D(1 + D_x) \right) (m) \quad (3)$$

$$P_{hybrid} = P_{LNA} \times (m) + P_{losscomp} \left[L_{VAP} + L_{split} \log_2 n_s + L_{path} D(1 + D_x) - (3 - L_{comb}) \log_2 m_s \right] \left(m \times \min(n, n_s) \right) + (P_{ADC} + P_{mixer}) \left(\frac{m}{m_s} n_s \right) + (4 \times P_{DSP-comp} + P_{Serdes} \times b) \times \min(DSP_{TP} \frac{n_s}{m_s}, 2 \times IBW \times \left(\frac{m}{m_s} n \right)) + P_{losscomp} \left(L_{split} \log_2 \frac{m}{m_s} + L_{path} D(1 + D_x) \right) \left(\frac{m}{m_s} \right) \quad (4)$$

表1は、上の式で使われている各記号の意味と、後続の解析で使用する値（仮定の値）についてまとめたものです。

表1. 各記号の意味、値、関連する稿末の参考資料

記号	意味	値	参考資料
P_{LNA}	LNAの消費電力	15mW (1個あたり)	1
$P_{losscomp}$	RF/LOの信号パスにおける様々な損失を補償するための電力	1.5mW/dB	1
P_{mixer}	ミキサー/LOアンプの消費電力	40mW (1個あたり)	2
P_{ADC}	ADCの消費電力 (8ビット、1GSPS)	5mW (1個あたり)	3, 4
b	ADCの分解能 (ビット数)	8	
$P_{DSP-comp}$	DSPの消費電力 (ビームフォーミング用の演算)	1.25mW/GMAC	5
P_{Serdes}	DSPの消費電力 (I/O部)	10mW/Gbps	6
L_{VAP}	受動ゲイン、位相制御に起因する損失	10dB	7
L_{split}	ABFのパワー・スプリッタにおける損失	4dB	
L_{comb}	ABFのパワー・コンバイナにおける損失	1dB	
L_{path}	RF/LO信号のルーティングによる損失 (単位長あたり)	0.05dB/mm	8
D	アレイの長さ/幅	155mm	
D_s	サブアレイの長さ/幅	15mm	
D_x	RF信号のルーティング/結合に要する追加の長さ (係数)	0.25	
m	アンテナ素子の数	1024	
m_s	サブアレイのアンテナ素子の数	16	
n	ビームの数	—	
n_s	HBFのアナログ・ビームの数	4	
IBW	信号の瞬時帯域幅	500MHz	
DSP_{TP}	DBFにおけるDSPの最大スループット	8TSPS	

以下、これらの消費電力のモデルにおける重要なポイントについてまとめます。

- ▶ ミキサーにおける RF 信号の電力は、3 種のアーキテクチャで等しいと仮定します。
- ▶ 文献によっては、「DBF の場合、ADC の量子化ノイズが S/N 比に及ぼす影響がアレイの要素によって抑えられるので、ABF と比べて必要なビット数（分解能）を削減できる」と主張していることがあります。しかし、DBF の ADC については、空間フィルタリングが適用されないことと、各素子の放射パターンの視野に存在するすべての干渉源に対処しなければならないことから、より高いダイナミック・レンジが求められます。これらを考慮し、本稿で使用するモデルでは、いずれのアーキテクチャでも ADC に必要なビット数は同じであると仮定しています。
- ▶ DBF の場合、ビーム・帯域幅積は DSP の処理能力によって制限されます。これについては、 DSP_{TP} という変数によって考慮しています。HBF の場合、最大処理能力は消費電力の削減量に比例して低下します。
- ▶ DBF における DSP の消費電力は、演算と I/O 部という 2 つの要素によって決まります。1 つの虚数乗算を行うためには、4 回の実数積和演算（MAC）が必要です。稿末に示した参考資料 5「Assessing Trends in Performance per Watt for Signal Processing Applications（信号処理アプリケーションにおける消費電力あたりの性能、そのトレンドの評価結果）」に基づき、MAC の処理に要する消費電力は 1GMAC あたり約 1.25mW であるとしてしました。DSP の消費電力で大きな割合を占めるのは I/O 部です。参考資料 6「A 56-Gb/s PAM4 Wireline Transceiver Using a 32-Way Time-Interleaved SAR ADC in 16-nm FinFET（56Gb/秒を実現する PAM4 対応の有線トランシーバー、16nm の FinFET と 32 ウェイの時間インターリーブ型 SAR ADC を採用）」に基づいてその消費電力を見積もると、10mW/Gbps という値が得られます。より多くの演算が必要になるより複雑なビームフォーミング方式では、演算による消費電力と I/O 部による消費電力の差は縮まります。但し、DSP のトータルの消費電力は増加します。また、このモデルにおける I/O 部の消費電力については、データ転送が最小限に抑えられた状態を想定しています。DBF のアーキテクチャによっては、I/O 部の消費電力はより多くなる可能性があります。
- ▶ ADC による処理と DSP による演算によって生じる消費電力は、ビット数に応じて指数関数的に増加します。逆に言えば、ビット数を減らすことによって消費電力を大幅に抑えられるということです。一方、トータルの消費電力に最大の影響を及ぼすのは DSP の I/O 部です。ここでの消費電力は、ビット数を変更しても劇的には変化しません。

- ▶ ルーティング損失 L_{path} は、シリコン・ベースの IC と低損失のプリント基板上の GCPW（Grounded Coplanar Waveguide）型伝送線の損失を合計することで算出しています。オンチップの伝送線については、損失は 0.4dB/mm であると仮定しています。一方、プリント基板上のパターンについては、損失は 0.025dB/mm であると仮定しました⁸。また、伝送線の 5% はチップ上に存在し、残りはプリント基板上に存在すると想定しています。ABF については RF 結合に必要なルーティング損失を考慮に入れ、DBF については LO 信号の分配回路の損失を考慮しました。
- ▶ HBF のモデルでは、各ビームはアレイの全開口幅に対応すると仮定しています。

図 4 に、消費電力とビームの数の関係を示しました。ABF の場合、ビーム数を変更するには設計自体を修正しなければなりません。それに対し、DBF では、同じ設計のまま臨機応変にビームの数を変更できます。HBF については、アナログ・ビームの数 n_s が固定の単一の設計を想定しています。また、ビーム数は n_s よりも少なく、未使用のパスのアンプについては電源が遮断されていると仮定しています。

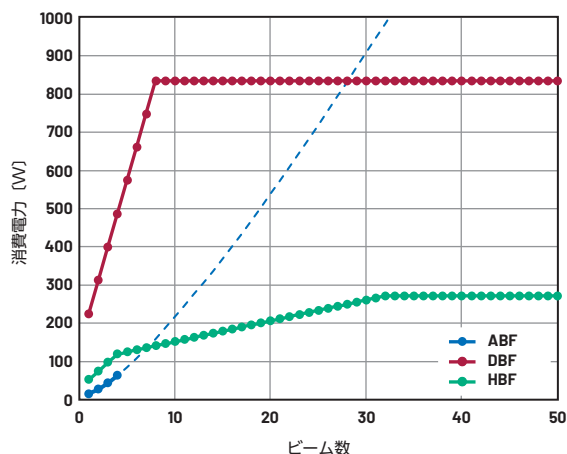


図 4. ABF、DBF、HBF（アナログ・ビームは 4 本）におけるビーム数と消費電力の関係。ABF については、ビーム数が 4 本を超えると実装が難しくなります。それを表現するために、グラフでは途中から点線を使用しています。DBF と HBF では、DSP の処理能力が限界に達した時点で、消費電力とビーム・帯域幅積が一定になります。

ビームが 1 本である場合、消費電力が最も多くなるのは DBF です。DBF では、追加のミキサー、LO アンプ、ADC のオーバーヘッドが存在するからです。消費電力の増加率について見ると、DBF ではトータルのデータ・レートが高まるにつれて消費電力が増加します。一方、ABF の増加率は、分割処理と追加の VAP ブロックによる損失の補償に必要な電力に依存します。先述したとおり、ABF では分割／結合回路が複雑になるため、ビームの数が多い場合には実装が非常に困難になります。このことを表現するために、図 4 では、ビームの数が 4 本を超えた部分では点線を使用しています。DBF の場合、DSP の処理能力が限界に達すると、消費電力はそれ以上増加しなくなります。それ以降は、ビーム数の増加に伴って、ビームあたりの帯域幅が減少していきます。DBF の消費電力は、ある時点で ABF と互角になります。ビーム数が更に増えると、ABF と比べて消費電力は少なくなります。HBF では、DBF と比べて消費電力のオーバーヘッドと傾きがはるかに小さくなります。また、HBF の消費電力は、ビーム数が少し増えればすぐに ABF と互角になります。

図5は、3種の方式の電力効率を比較したものです。この図ではビーム・帯域幅あたりの消費電力をプロットしています。全体を通して最も効率が高いのはABFです。HBFはDBFとABFの中間に位置しますが、ビーム数が増えるとABFと互角になります。

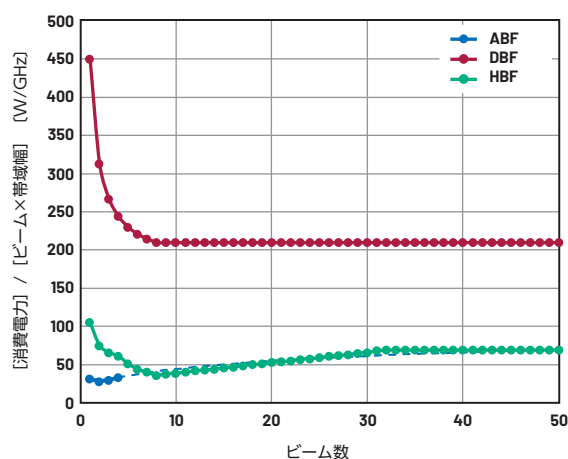


図5. ABF、DBF、HBFの電力効率の比較

まとめ

本稿で示した消費電力のモデルと比較結果は、フェーズド・アレイ・システムの受信側 (Rx) にのみ当てはまります。送信側 (Tx) については、仮定の一部を変更しなければなりません。また、DBFの消費電力は、受信側とは異なり、ABF、HBFとの差が小さくなる可能性があります。受信側についても、3種のアーキテクチャの差は、式 (2)~(4) で使用するパラメータに大きく依存します。パラメータの値が表1に示したものと異なれば、各グラフの差にも変化が生じます。とはいえ、HBFであれば、DBFの多くのメリットを維持しつつ、多くのアプリケーションにおいて消費電力を大きく削減できることは間違いありません。本稿で触れたとおり、HBFには欠点もあります。しかし、多くのアプリケーションにおいて、そのトレードオフに見合うだけの消費電力の削減効果が得られると考えられます。

参考資料

- ¹ Chaojiang Li, Omar El-Aassar, Arvind Kumar, Myra Boenke, Gabriel M. Rebeiz. 「LNA Design with CMOS SOI Process-1.4dB NF K/Ka band LNA (CMOS SOIプロセスのLNAの設計-NFは1.4dBでK/Kaバンドに対応)」 IEEE/MTT-S International Microwave Symposium - IMS、2018年6月
- ² Charley Wilson, Brian Floyd 「20-30 GHz Mixer-First Receiver in 45-nm SOI CMOS (45nmのSOI CMOSを採用したミキサー・ファースト・レシーバー、20GHz~30GHzに対応)」 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)、2016年5月
- ³ Boris Murmann 「ADC Performance Survey 1997-2021 (ADCの性能調査: 1997年~2021年)」 ISSCC & VLSI Symposium
- ⁴ Maarten Baert, Wim Dehaene 「20.1 A 5GS/s 7.2 ENOB Time-Interleaved VCO Based ADC Achieving 30.5fJ/conv-step (20.1A、5GS/秒、7.2ビットのENOBで、変換ステップあたり30.5fJを達成するVCOベースの時間インターリーブ型ADC)」 IEEE International Solid-State Circuits Conference - (ISSCC)、2019年2月
- ⁵ Brian Degnan, Bo Marr, Jennifer Hasler 「Assessing Trends in Performance per Watt for Signal Processing Applications (信号処理アプリケーションにおける消費電力あたりの性能、そのトレンドの評価結果)」 IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 24, No. 1、2016年1月
- ⁶ Yohan Frans, Jaewook Shin, Lei Zhou, Parag Upadhyaya, Jay Im, Vassili Kireev, Mohamed Elzeftawi, Hiva Hedayati, Toan Pham, Santiago Asuncion, Chris Borrelli, Geoff Zhang, Hongtao Zhang, Ken Chang 「A 56-Gb/s PAM4 Wireline Transceiver Using a 32-Way Time-Interleaved SAR ADC in 16-nm FinFET (56Gb/秒を実現するPAM4対応の有線トランシーバー、16nmのFinFETと32ウェイの時間インターリーブ型SAR ADCを採用)」 IEEE Journal of Solid-State Circuits, Vol. 52, No. 4、2017年4月
- ⁷ Umut Kodak, Gabriel M. Rebeiz 「Bi-directional Flip-Chip 28 GHz Phased-Array Core-Chip in 45nm CMOS SOI for High-Efficiency High-Linearity 5G Systems (45nmのCMOS SOIを採用した28GHz対応の双方向フリップチップ・フェーズド・アレイ・コアチップ、効率と直線性に優れる5Gシステムに対応)」 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)、2017年6月
- ⁸ John Coonrod 「PCB Design and Fabrication Concerns for Millimeter-Wave Circuits (ミリ波回路向けプリント基板の設計/製造に関する検討事項)」 High-Frequency Electronics, Rogers Corp., 2021年3月

著者について

Prabir K. Saha (prabir.saha@analog.com) は、アナログ・デバイスズのIC設計エンジニアです。2013年に入社して以来、マイクロ波／ミリ波に対応する様々なICの開発に携わってきました。現在は、ビームフォーマを利用する次世代のフェーズド・アレイ・システム向けに、シリコン・ベースのプロセスで製造可能なICの開発に取り組んでいます。RF／マイクロ波、アナログ、デジタル・アシスト・アダプティブといった領域のICの設計に関する研究に関心を持っています。2013年にジョージア工科大学で電気工学の博士号を取得しました。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

*英語版技術記事は[こちら](#)よりご覧いただけます。