

Umesh Jayamohan
アナログ・デバイス
アプリケーション・
エンジニア

前時代のものとは大違い—— RFサンプリングADCがシステム 設計にもたらすメリット

 Share on Twitter

 Share on LinkedIn

 Email

ここ数十年にわたり、A/Dコンバータ（ADC）は、現実のアナログの世界とデジタルの世界を架橋する役割を果たしてきました。その黎明期には、「DATRAC」と呼ばれるものが開発されました。このADCの仕様は、分解能が11ビットでサンプリング・レートが50kSPSというものでした。真空管とディスクリート素子をベースとし、複数のラック・スペースを占有する形で構成されており、消費電力は500Wにも達していました。その後、シリコンをベースとする半導体技術が進化したことにより、多くの素子を集積したモノリシックICが誕生しました¹。初の商用品が開発されて以来、データ・レートの向上に対する飽くなきニーズを受けて、ADCの開発はペースを緩めることなく続けられました。その結果、最新のADCではGHz領域のサンプリング周波数に対応できるようになっています。この種のADCは、RFサンプリングADC（あるいは GSPS ADC）と呼ばれています。

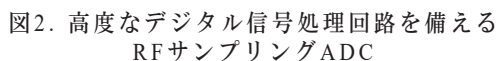
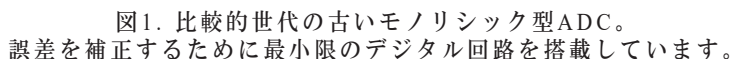
半導体技術とアーキテクチャの急速な進化により、ADCはモノリシックのICとして供給されるのが当たり前になりました。上述したように、当初のADCでは、ディスクリート構成のアナログ回路によってビルディング・ブロックが実現されていました。1990年代以降になると、CMOS技術によって、そのようなビルディング・ブロックと同等の品質を実現することが可能になりました。CMOSベースのビルディング・ブロックをモノリシックICとして集積すれば、電力効率と空間効率の高い設計を実現できます。現在、ムーアの法則は、デジタルICの設計だけではなく、アナログICの設計にも適用されています²。1990年代半ばから2010年代の半ばにかけて、ADCに関連する各種の技術が急速に成長したことは、市場に投入された製品の仕様から明らかに見てとれます。技術の進化は、高速なデータ変換に対するニーズの高まりに拍車をかけました。結果として、更に広い帯域幅に対応するADCが開発されるようになりました。

長年にわたって半導体技術が進化を続けた結果、現在では、非常に強力なデジタル処理機能を備えるADCを、

経済性を踏まえた形で設計することが可能になっていきます。初期のADCでは、デジタル回路は主に誤差の補正とデジタル・ドライバなどにしか使用されていませんでした。それに対し、RFサンプリングADCは先進的な技術を適用して実現されています。ADCの性能を高めるために、65nmのCMOS技術によって、非常に多くのデジタル処理機能が盛り込まれています。1990年代半ばから2000年代にかけて、ADCは大きなアナログ部と小さなデジタル部で構成されたデバイスでした。それに対し、現在のADCは、アナログ部が小さく、デジタル部が大きいデバイスに変貌しています。アナログ回路は相対的に小さくなりましたが、性能が下がったというわけではありません。そうではなく、アナログ回路の性能を補完することを目的として、大量のデジタル回路も集積されるようになったということです。そのような機能が追加された結果、ADCの内部では多くのデジタル処理が高速で実行されるようになりました。現在では、デジタル処理の負荷の一部をFPGAからADCに移行できるようにもなっています。それにより、システム設計者にとっては可能性が大きく広がったと言えます。例えば、最新のRFサンプリングADCを1つ使用すれば、1つのハードウェアを設計するだけで複数のアプリケーションに対応するプラットフォームを実現できるといった具合です。つまり、ソフトウェアを効果的に利用してそのハードウェアを再構成することで、別のアプリケーションに適合させられるということです。

高速デジタル処理の強化

微細化が進んだCMOSプロセスと先進的なアーキテクチャが融合されたことにより、ADCではデジタル処理技術を使用して性能を高められるようになりました。このようなブレークスルーは1990年代前半に達成されましたが、その後もADCの設計は進化を続けています¹。例えば、CMOSプロセスの微細化が0.5μm、0.35μm、0.18μm、65nmへと進むにつれ、ADCの変換速度は高まっていきました。しかし、微細化によってトランジスタの高速化が進む（広帯域化につながる）一方で、トランスコンダクタンス（Gm）のようなアナログ特性はやや低下しました。それを補うために、補正用のロジック回路が次々と追加されたのです。



CMOS技術が65nmといったディープ・サブミクロンのレベルまで進化した結果、ADCコアの動作は非常に高速化されました（1GSPS以上）。それに加えて、スケール・メリットが得られることから、ADCにはより多くのデジタル処理機能が追加されるようになりました²。これは、非常に画期的なことです。通常、デジタル信号処理は、システムの性能とコストの要件に応じてASICやFPGAで行われます。ただ、ASICは特定用途向けのICなので、多額の開発費用がかかります。そのため、通常は一度設計したASICを長期間にわたって使用することで投資回収率を高めます。一方、FPGAを利用する場合には巨額な開発費は必要ありません。したが

図2に、構成が可能なデジタル処理ブロックを備えるRFサンプリングADCのブロック図を示しました。このような新世代のADCは、システムの設計に対して多くの柔軟性をもたらします。このような製品を採用することで、例えば無線システムの設計を一新することが可能になります。以下では、基本的に無線分野のアプリケーションを前提として解説を進めることにします。

代表的な高速デジタル処理

旧世代の無線システムでは、信号を処理するために、その周波数をベースバンド帯まで下げることが行われていました。その周波数変換を実施するためには、アナログ方式のミキサーと、それにカスケード接続されたデジタル・ダウンコンバータ（DDC：Digital Downconverter）を使用していました。それらの処理には、多くのハードウェア（アナログ方式のミキシング処理）と消費電力（アナログ処理とASIC/FPGAによるDDC処理）が必要になります。それに対し、RFサンプリングADCの場合、DDCの処理はフル・カスタムの内蔵デジタル回路を使用し、ADC内で対応可能な速度で実施することができます。それにより、この処理の電力効率ははるかに向上します。

JESD204BがもたらすIOの柔軟性

RFサンプリングADCの特徴は、GSPSレベルの速度でサンプリングを実施する能力を備えていることだけではありません。従来のLVDS（Low Voltage Differential Signaling）出力ではなく、高速シリアル・インターフェースを採用している点も異なります。インターフェースの仕様としては、一般にJEDECのJESD204Bが採用されます。CML（Current Mode Logic）を介して、1レーンあたり最大12.5Gbpsという高いレーン・レートでデジタル出力データを伝送することができます。これにより、I/Oにおける高度な柔軟性が得られます。例えば、ADCを全帯域幅モードで動作させ、得られたデジタル・データを複数のレーンを使用して伝送することができます。また、レーン・レートが1レーンあたり12.5Gbps未満であれば、利用可能なDDCの1つを使用して、デシメーションなどの処理を施したデータを1つのレーンによって伝送することも可能です。

スケーラブルなハードウェア設計

DDCを使用すれば、ハードウェア設計の面で新たなレベルの柔軟性を得ることができます。例えば、ADCやFPGAのハードウェア設計を固定し、ADCが対応可能で

ある限り、最小限の変更によってシステムを異なる帯域幅向けに再構成するといったことが可能になりました。無線システムを例にとると、ADCを全帯域幅で動作させる（RFサンプリングADCとして使用する）ことを前提として設計してもよいですし、DDCを活用して中間周波数帯を対象とするADC（IFサンプリングADC）として使用しても構いません。IFサンプリングADCとして使用する場合、システムにおける唯一の変更点としてRF側で最小限のミキシング機能を追加しなければならない可能性があります。それに伴う主な作業は、ADCを新たな帯域幅向けに再構成するためにソフトウェアを変更することです。つまり、ADCとFPGAによるハードウェアは、ほぼそのまま使用できます。言い換えれば、ソフトウェアを変更するだけで、多くの要件に対応可能なプラットフォーム（リファレンス）となるハードウェア設計を提供できるということです。この概念は、ソフトウェア無線（SDR：Software Radio Design）と呼ばれています。

その他の追加機能

ディープ・サブミクロンのCMOSプロセスにより高い集積度を実現できるようになったことから、ADCには更に多くの機能を組み込めるようになりました。そうした機能の例としては、効果的なAGC（自動ゲイン制御）や信号の監視（ピーク検出回路など）を可能にする高速検出に対応したCMOS出力などが挙げられます。これらの機能は、いずれも外付け部品の削減や設計時間の短縮といった面でシステム設計に貢献します。

柔軟性が高まったレシーバー設計

通信システムで使用するレシーバーは、ADCの非常に一般的なユース・ケースです。ADCを使用したレシーバーに関する文献は数多く執筆されていますので、本稿ではその概要に触れるだけにとどめます。例えば、旧来の無線システムでは図3に示すような形でレシーバーが構成されていました¹。

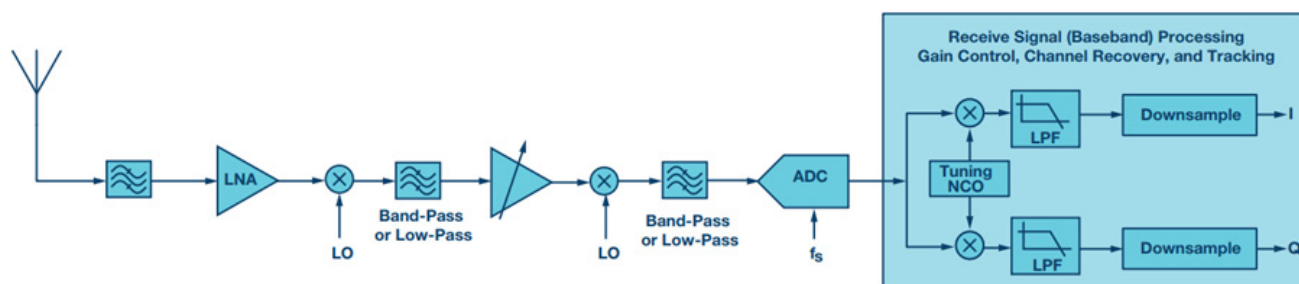


図3. 広帯域に対応するセルラ向けのレシーバー。
デジタル機能の活用によって実現されます。

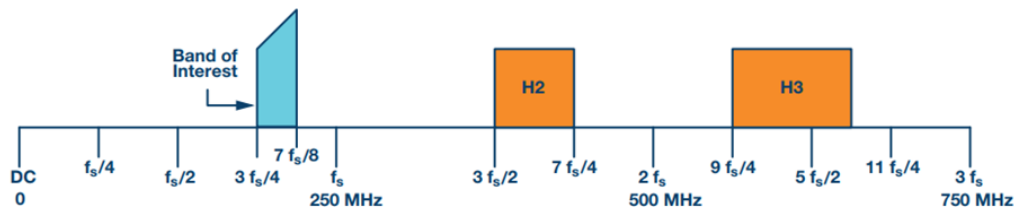


図4. 250MSPSのADCを使用する場合の周波数プラン。
50MHzの広帯域無線システムに対応しています。

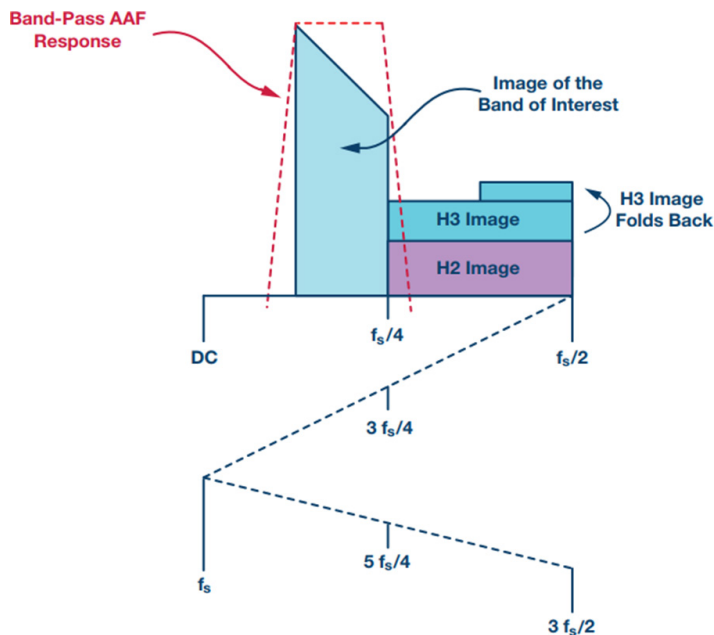


図5. 対象とする帯域と2次／3次の高調波帯。
第1ナイキスト・ゾーンの状況を示しています。

GSM (Global System for Mobile Communications) の場合、レシーバーの通常の仕様として、ADCのノイズ・スペクトル密度 (NSD: Noise Spectral Density) は少なくとも153dBFS/Hz以上であることが求められます。よく知られているように、ADCのS/N比とNSDには次式のような関係があります³。

$$NSD = SNR + 10 \log_{10} (f_s \div 2)$$

ここで、SNR (S/N比) の単位はdBFSであり、 f_s はADCのサンプリング周波数を表します。

従来のSDRの設計

広帯域に対応する無線アプリケーションでは、最高50MHzの帯域を対象として一度にA/D変換を実施するのは珍しいことではありません。その変換を適切に行うためには、ADCには少なくともその5倍の帯域幅が必要になります。つまり、250MHz以上でサンプリングを実施しなければならないということです。上の式にこの数字を当てはめると、ADCが-153dBFS/HzというNSDの仕様を達成するために必要なS/N比は約72dBFSとなります。

図4に示したのは、上記のような仕様に対応する場合の周波数プランの例です。ここでは、250MSPSのADCを使用して50MHzの帯域を効果的にサンプリングできるようにすることを想定しています。この図には、2次、3次の高調波帯の位置も示してあります。

ADCでサンプリングを実施するとエイリアシングが発生します。これは、本来A/D変換の対象とする範囲外の周波数成分が、ADCの第1ナイキスト・ゾーン (DC~125MHz) に折り返し (エイリアス) として現れるというものです。つまり、対象とする帯域だけでなく、その2次高調波帯、3次高調波帯に含まれる周波数成分は、すべて第1ナイキスト帯域に折り返します (図5)。

GSM、LTE、LTE-Aなどのセルラ規格では、NSDだけでなく、SFDR (Spurious Free Dynamic Range) についても厳しい要件を定めています。その仕様によって、フロント・エンドの設計者には大きなプレッシャーがかかることになります。対象とする帯域の信号をサンプリングする際に、あらかじめ不要な帯域の信号を減衰させられるようにしなければならないからです。

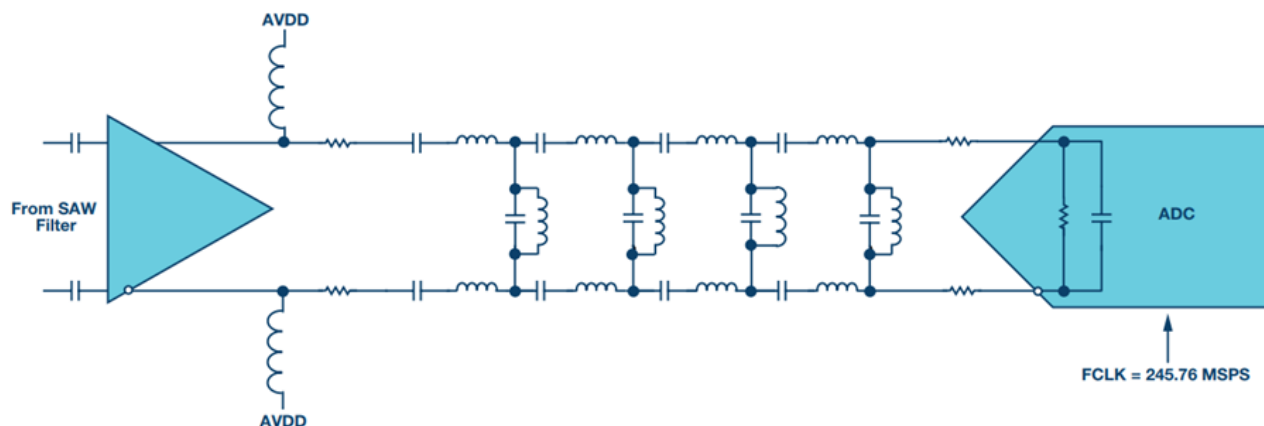


図6. 250MSPSのADCを使用する場合のフロント・エンドの設計例。
アンプ、AAF、ADCで構成しています。

SFDRの仕様を念頭に置くと、従来の無線フロント・エンドで採用されていたアンチエイリアシング（折返し誤差防止）フィルタ（以下、AAF）の要件をそのまま満たすのは非常に困難です。SFDRの仕様を満たすための最適なソリューションは、AAFとしてバンドパス・フィルタ（以下、BPF）を実装することになります。通常、BPFに必要な次数は5次以上になります。ここで例にとっているアプリケーションのS/N比（またはNSD）とSFDRの要件を満たすことができるADCとしては、「AD9467」が挙げられます⁴。これは、分解能が16ビット、サンプリング・レートが250MSPSの製品です。セルラ・アプリケーションに同ADCを採用した場合、フロント・エンドの設計は図6のようなものになります。SFDRの要件を満たすためには、AAFの周波数特性として図7のようなものが必要です。このようなAAFを実装するのは不可能ではありませんが、設計上の課題がいくつも存在します。そもそも、BPFは多くの部品を必要とするので、実装が非常に困難です。また、実装にあたっては部品の選定が鍵になります。というのも、部品間にミスマッチが存在すると、ADCの出力に不要なスプリアス（SFDRの低下要因）が発生するからです。また、インピーダンスにミスマッチが生じると、AAFのゲインの平坦性に影響が及びます。AAFの通過帯域の平坦性と阻止帯域の減衰量に関する要件を満たすように設計を最適化するためには、かなりの労力を要します。

上述したとおり、このようなフロント・エンドの設計は複雑であり、難易度が高くなる可能性があります。ただ、適切な設計を行えば、図8に示すように、S/N比もSFDRも求められる性能に達します。

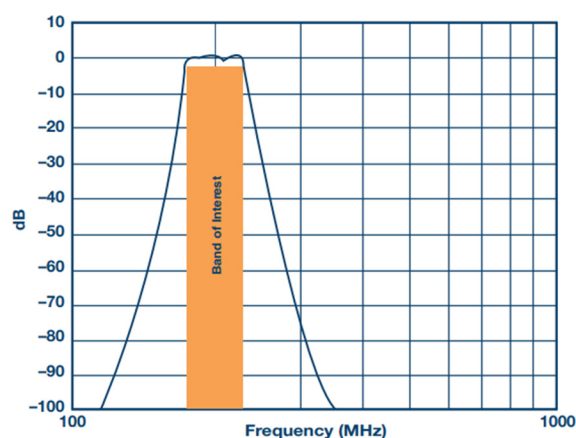


図7. 図6に示したフロント・エンドのバンドパス特性

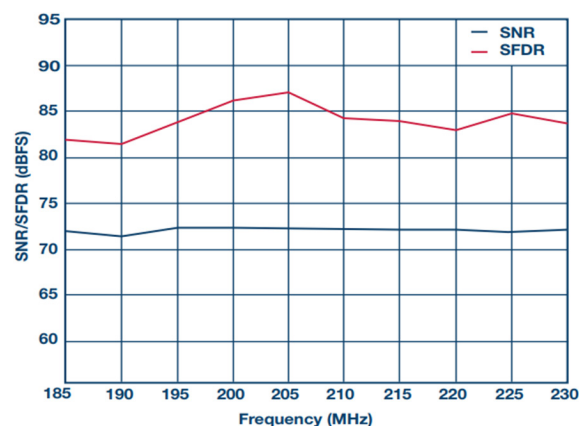


図8. 図6に示したフロント・エンドのS/N比とSFDR。
16ビット、250MSPSのADCを使用しています。

図9には、205MHzにおけるFFT結果も示しました。とはいえ、システムの設計が複雑であることに間違いはありません。その原因としては、以下の事柄が挙げられます。

- ▶ AAF の設計の難易度が高い
- ▶ FPGA には、LVDS のデータ（16 ペア）を取得するために専用の I/O ポートを実装する必要がある。そのため、プリント回路基板の設計が複雑になる
- ▶ デジタル信号処理を実施するために、FPGA の処理能力を確保する必要がある

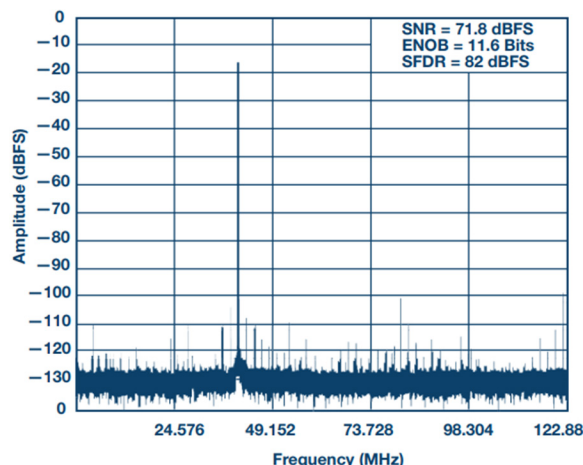


図9. 図6に示したフロント・エンドの応答。205MHzにおけるFFT結果を示しています。フロント・エンドでは、16ビット、250MSPSのADCを使用しています。

RFサンプリングADCによる設計の簡素化／加速

RFサンプリングADCを採用すれば、上述した課題を解決することができます。そのアプローチでは、オーバーサンプリングとデシメーションという2つの手法を使用します。それにより、ダイナミック・レンジを高め⁵ます。ディープ・サブミクロンのCMOS技術により、デジタル回路の高速化と集積度の向上が可能になり、RFサンプリングADCによる新時代が始まりました。RFサンプリングADCは、単にA/D変換を行うだけでなく、はるかに負荷の重い処理を担うことができます。より多くのデジタル回路を搭載しており、高速な信号処理を実現します。その結果、実装が容易になると共に、従来はASIC/FPGAが担っていた処理にも柔軟に対応できるようになります。

ここまで例にとってきた無線システムは、RFサンプリングADCを使用することでも実装することができます。ここでは、RFサンプリングADCの例として「AD9680」を取り上げることにします。同製品は、分解能が14ビット、サンプリング・レートが1GSPSのデュアルADCです。また、JESD204Bのサポートをはじめとする多くのデジタル処理機能を備えています⁶。このADCを1GSPSで動作させた場合、S/N比は約67dBFSとなります⁷。この性能についての詳細は後述します。システムが対象とする帯域は前の例と同じですが、RFサンプリングADCを使用する場合、ナイキスト・ゾーンに関する周波数プランは図10に示すようにはるかにシンプルになります。同ADCを使えば、前の例と比べて4倍の周波数（250MHzの4倍の1GHz）でサンプリングを実施できるからです。

図10の周波数プランと図4の周波数プランを見比べると、RFサンプリングADCを採用した方がはるかに実装がシンプルになることは明らかです。

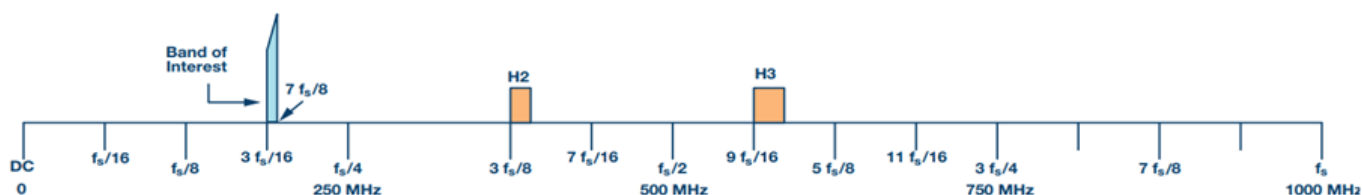


図10. 1GSPSのADCを使用する場合の周波数プラン。50MHzの広帯域無線システムに対応しています。

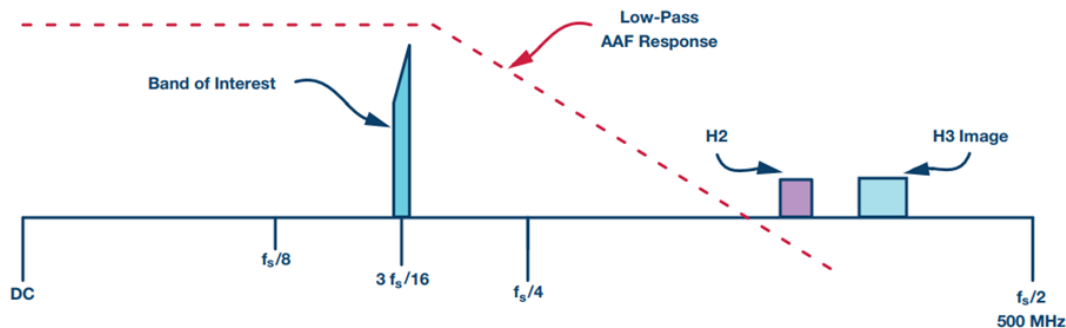


図11. 1GSPS ADCを使用する場合に必要なAAF

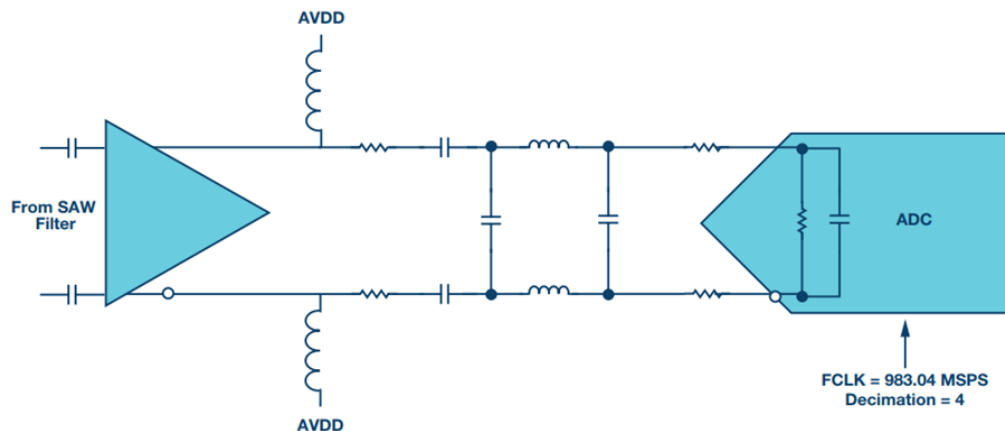


図12. 1GSPSのADCを使用する場合のフロント・エンドの設計例。
アンプ、AAF、ADCで構成しています。

図11に示すように、AAFの要件もかなり緩和されます。この手法の狙いは、アナログ・フロント・エンドの設計を簡素化しつつ、RFサンプリングADCが内蔵するデジタル信号処理ブロックによって負荷の重い処理もこなしてしまうことです。

オーバーサンプリングのメリットは、周波数プランを横方向（周波数軸の方向）に広げられることです。ナイキスト・ゾーンは、250MSPSのADCを使用する場合と比べて4倍広くなります。その結果、AAFの要件が大幅に緩和されます。実際、250MSPSのADCを使用する場合とは異なり、BPFではなく、シンプルな3次のローパス・フィルタ（以下、LPF）を使うだけで十分です。RFサンプリングADCを使用した場合、AAFの実装は図12のように簡素化されます。

図13は、1GSPSのADCを使用する場合に求められるAAF（LPF）の特性を示したものです。比較のために、250MSPSのADCに必要なAAF（BPF）の特性も示してあります。LPFは通過帯域の平坦性に優れており、部品のミスマッチの面で管理しやすいと言えます。また、インピーダンス・マッチングの観点からも実装が容易になります。更に、部品点数を抑えられるので、システム・コストも削減されます。フロント・エンドの設計がシンプルになることから、設計時間の短縮も期待できるでしょう。

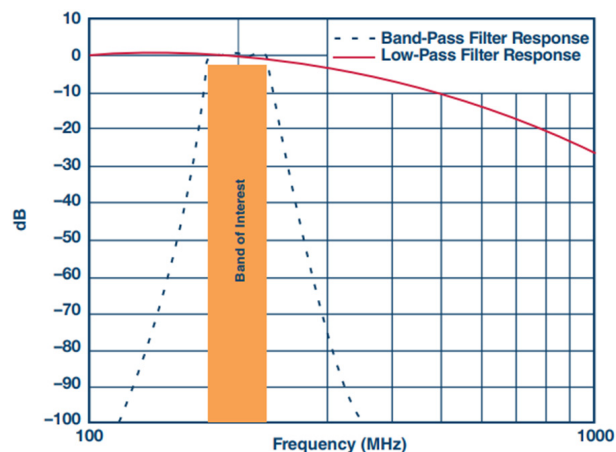


図13. AAFに求められる特性の比較。250MSPSのADCと1GSPSのADCとでは、AAFに求められる要件が大きく異なります。

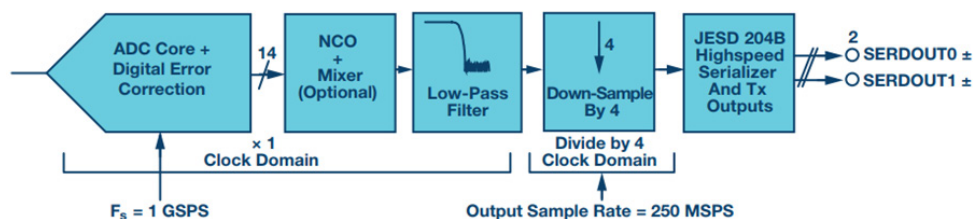


図14. DDCによる1/4のデシメーション。
データ・レートを1GSPSから250MSPSまで下げています。

RFサンプリングADCは、多くのデジタル処理機能を搭載しています。そのため、ADCの内部で多くのデジタル処理を高速に実行できます。このことは、消費電力の削減とI/Oの効率の向上につながります。JESD204Bに対応するRFサンプリングADCを搭載したトランシーバーを使用すれば、FPGAを使うことなく、必要な処理（A/D変換、フィルタリング、デシメーション）を実施済みのデータを得ることが可能になります。FPGAのリソースを効率的に使用できることに加え、無線システムのチャンネル数を増やすことも容易になるでしょう。

ADCが内蔵するDDCを使用すれば、ADCをデジタル・ミキサーとして活用できるようになります。言い換えれば、設計上必要なあらゆるIFにデータ・レートを適合させられます。ここでは、前掲の周波数プランを前提としています。そのため、図14に示したように、実数ミキシングと1/4のデシメーションを適用しています。

AD9680を通常帯域幅または全帯域幅のモードで動作させた場合、S/N比は約66dBFS～67dBFSにとどまります。ただ、デシメーション比を4に設定してDDCを動作させた場合、更に6dBの処理ゲインが得られます³。それによって、ダイナミック・レンジ性能が維持されることが保証されます。RFサンプリングADCによって4倍のサンプル・レートでサンプリングを実行することにより、高調波帯も図10に示したように拡散されます。RFサンプリングADCが備えるDDCを使えば、不要な信号はデシメーション・フィルタによってデジタル的に確実に減衰します。しかし、対象の帯域に現れる高調波（高次の高調波やその他の周波数成分）は、DDCを通過してそのまま残ってしまいます。そうした成分が存在してしまう原因としては、アンプでアーティファクトが生じていたり、LPFの減衰量が十分でなかったりすることが考えられます。LPFについては、システムの要件ごとに

再設計することで、異なるスプリアス性能を満たすようにすることができます。

図15に、入力周波数に対する1GSPSのADCのS/N比とSFDRを示しました。このデータから明らかなように、DDCを使用することによってS/N比は6dB（処理ゲインによる）向上します。また、SFDRも改善されます。全帯域幅モードで動作させた場合、SFDRは、通常は2次/3次の高調波によって制限されます。それに対し、DDCモード（デシメーション比が4の場合）では、条件が最悪の他の高調波が原因となって制限が生じます。

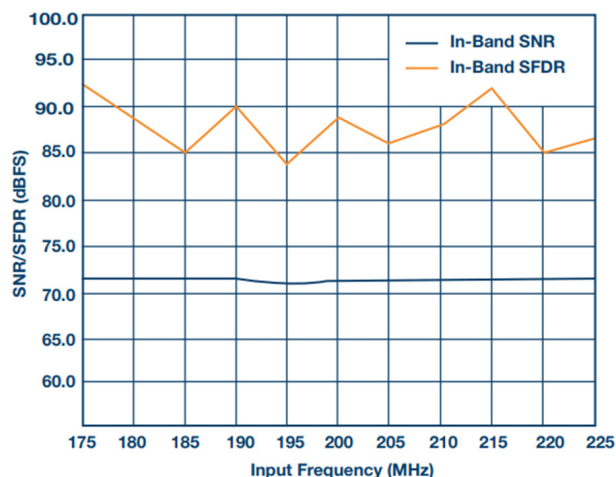


図15. 図12に示したフロント・エンドのS/N比とSFDR。14ビット、1GSPSのADCを使用しています。

図16に示したのは、デシメーションを実施後の出力データにFFTを適用した結果です。DDCを使用する場合、対象とする帯域に対して確実かつ確かな処理が適用されるよう注意しなければなりません。この例では、対象とする帯域がデシメーション後のナイキスト・ゾーンの中心に現れるようにするために、NCO (Numerically Controlled Oscillator) を200MHzにチューニングしました。DDCを利用すれば、スペクトル内の不要な周波数成分を容易に排除することができます。その結果、FPGAによる処理のオーバーヘッドを低減することが可能になります。比較のために、AD9680を通常（全帯域幅）動作させた場合のFFT結果を図17に示しました。

2つの図を見比べると、DDCを使用すれば、帯域内のノイズ性能が向上するだけでなく、不要な高調波が含まれないきれいなスペクトルが得られることがわかります。DDCは、データに対してフィルタリングとデシメーションの処理を適用します（250MSPSまで）。そのため、出力のレーン・レートも低下します。結果として、JESD204Bに対応するシリアル・インターフェースについて柔軟性が生まれます。例えば、レーン・レートが高く（より高コスト）、I/O数の少ないFPGAを使用するのか、それともレーン・レートが低く（より低コスト）、I/O数の多いFPGAを使用するのかといった選択が可能になります。

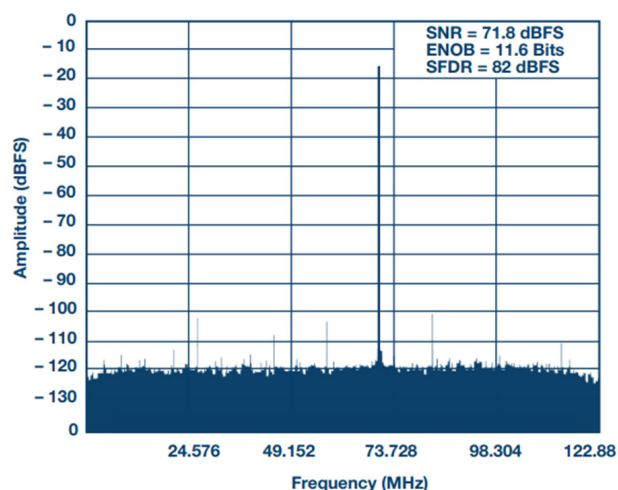


図16. 1GSa/sのADCに1/4のデシメーションを適用した場合のスペクトル。
205MHzにおけるFFT結果を示しています。
NCOは200MHzにチューニングしました。

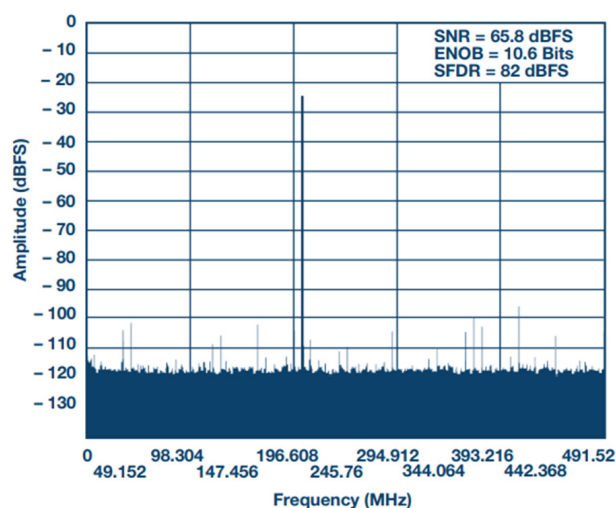


図17. 1GSa/sのADCを全帯域幅モードで動作させた場合のスペクトル。205MHzにおけるFFT結果を示しています。

まとめ

RFサンプリングADCは、旧来のADCでは決して得られなかったメリットをシステム設計にもたらします。エレクトロニクス業界は、インフラの設計と実装を加速し、より広い帯域幅を求める声に応えようとしています。その一方で、設計に許される時間と予算は縮小される傾向にあります。その結果、ソフトウェアをベースとするスケラブルで再構成が可能なアーキテクチャに対するニーズが高まっています。そうしたアーキテクチャは、新たな標準になりつつあるとも言えるでしょう。帯域幅に対するニーズが高まっているということは、より高い能力が求められていることを意味します。それにより、例えばFPGAのI/Oに、より大きな負荷がかかるといった問題が生まれます。RFサンプリングADCを採用すれば、内蔵DDCを使用することによって、FPGAの負荷を軽減することが可能になります。

参考資料

¹ I. Beavers 「Noise Spectral Density: A 'New' ADC Metric? (ノイズ・スペクトル密度はADCの新たな指標なのか?)」 Electronic Design、2014年

² W. Kester 「The Data Conversion Handbook (データ変換ハンドブック)」 Elsevier/Newnes、2005年

³ D. Robertson 「High-Speed Converters: What Are They and How Do They Work? (高速コンバータとは何か? どのように機能するのか?)」 Electronic Design、2014年

⁴ AD9467の製品概要とデータシート

⁵ AD9680の製品概要とデータシート

⁶ 「Oversampling (オーバーサンプリング)」 ウィキペディア

著者について

Umesh Jayamohanは、アナログ・デバイセズのアプリケーション・エンジニアです。所属は高速コンバータ・グループ (ノースカロライナ州グリーンズボロ) で、2010年に入社しました。1998年にインドのケララ大学で学士号、2002年にアリゾナ州立大学で修士号を取得。EngineerZoneのメンバーであり、高速ADCのサポート・コミュニティに参加しています。以下のリンクから、お気軽に交流してください。

https://ez.analog.com/community/data_converters/high-speed_adcs

<https://ez.analog.com/people/UmeshJ>

umesh.jayamohan@analog.com

オンライン・サポート ・コミュニティ



アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪市淀川区宮原3-5-36 新大阪トラストタワー
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38階

©2015 Analog Devices, Inc. All rights reserved.

本紙記載の商標および登録商標は、
各社の所有物に属します。
Printed in JAPAN TA13179-0-7/15

www.analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™