

優れたシステム・ブロック・デザインのためのレシピ—SPICE の追加

著者

Reza Moghimi, Applications Engineering Manager,
Analog Devices, Inc.

Natasha Baker, Product Marketing Engineer for
Multisim, National Instruments

背景

シミュレーションを行うとプロトタイプの前に回路動作の検証と評価が可能になり、デザイン・チェーン内でデザイン不備が続くことを防止し、リスクのない仮想環境で回路性能を向上させることができるため、デザイン・プロセスではシミュレーションが不可欠なステージになっています。

デザイン不備により回路ボードが返却されてくるほどストレスが溜まることはありません。多くの設計者は現在、プロトタイプを数日以内ではないとしても数週間以内に用意しなければならないプレッシャを受けており、デザインを繰り返し行う余裕はありません。幸運なことに、最新のデザイン・ツールは回路のデザインと評価に対して総合的かつ直感的な手法を提供して生産性を向上させてくれます。

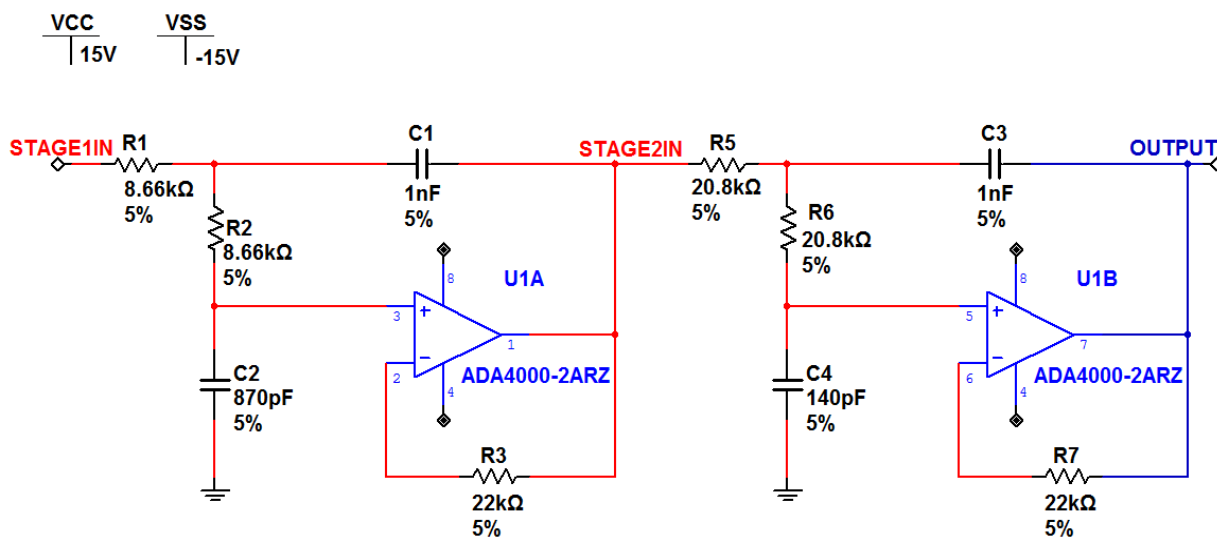


図 1. NI の Multisim での 20 kHz バタワース・フィルタ

多くの半導体メーカーは、仕様決定の初期ステージで強固なシステム・ブロックのデザインを支援するツールを提供しています。例えば、アナログ・デバイセズ(ADI)は、オンライン・フィルタ・デザイン・ツール(参考資料 1 参照)を提供しています。このツールは、アクティブ・フィルタ合成のプロセスと仕様に基づく推奨オペアンプの選択をガイドします。このツールはさらに、最終回路デザイン、部品表、SPICE ネットリストを生成します。プロトタイプの前ステージでは、National Instruments 社(NI)が提供するようなシミュレーション環境はさらに、指定部品のマクロモデルを使った最適化と検証も提供します(参考資料 2)。

この資料では、この総合的手法によりフィルタ(広範囲な電子機器アプリケーションで使用される共通ビルディング・ブロック)の困難なデザイン作業をどのように高速化し向上させるかを調べます。では、まず基本から。

シミュレーションの基本

最も一般的なアナログ回路シミュレーション・ツールは SPICE です。この SPICE は、Simulation Program With Integrated Circuit Emphasis の略号です。SPICE の起源は、University of California, Berkeley により開発された 1960 代後半です。SPICE はアナログ回路シミュレーションの業界標準になり、世界で最も広範囲に使われる回路シミュレータの地位を維持しています。年を経るにしたがい、シミュレーション・アルゴリズム、部品モデル、機能拡張が加えられてきました。例えば、Georgia Tech 社により開発された XSPICE では、ミックス・モードとデジタル・シミュレーションを加速する部品のビヘイビア・モデルが可能になっています。NI の Multisim™環境では、SPICE 3F5 と XSPICE シミュレーションをサポートしています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

しかし、設計者は何故シミュレーションに煩わされなければならないのでしょうか？シミュレーションはプロトタイプの前に回路動作の評価と検証を可能にするため、デザイン・プロセスでは不可欠なステージになっています。シミュレーションは、回路ボード製造までのデザイン・チェーンでデザイン不備が続くことを防止します。一方、デザインのやり直し費用は急激に高価になっています。さらに、設計者は広範囲な状況仮定シナリオを調べることで、リスクのない仮想環境で回路性能を向上させることができます。

回路シミュレータを使用する主な利点の 1 つは、購入可能な実部品をエミュレートするマクロモデルをシミュレーションでできることです。また、現代の SPICE シミュレータでは、従来はテキスト・ベースのプロセスであったところへグラフィカルな手法を取り入れることも増えています。例えば、NI の Multisim は 17,500 を超える部品を用意しています。多くのマクロモデルは大手半導体メーカから提供され、回路を入力すると自動的にテキスト・ベースの SPICE ネットリストが生成され、オシロスコープやファンクション・ジェネレータのような対話型計測器は実際のベンチトップを真似た表示と機能を持っています。これらのグラフィカルな機能拡張により、シミュレーションを利用するために SPICE 構文の知識が必要なくなりました。

シミュレーションとフィルタ・デザイン

フィルタは、超音波装置からペースメーカに至るまで、特定範囲の周波数のみを通過させることが必要な場合に使用されます。フィルタは電子機器アプリケーションのどこでも使用されるビルディング・ブロックですが、フィルタ・デザインはあまり理解されず、ときには苦痛でもあります。何故こんなに複雑なのでしょう？特定の性能に対して必要とされるフィルタの次数について、アナログ回路デザインを専門としないシステム設計者が理解していないことがあります。

フィルタ・タイプには多くの派生があり(例えば、パタワース、チェビシェフ、楕円)、リップル単調性や遷移領域幅のような種々の仕様について最適化されています。また、フィルタ・デザインには、フィルタ形状(応答)を変える極/ゼロ点の位置を決める複雑な式が関係します(参考資料 3 参照)。もう 1 つの難点は、理論計算で想定する完全な部品は実在しないことです。例えば、抵抗の製造許容偏差は、予想する回路動作に影響を与えます。

フィルタ・ウィザードのようなデザイン・ツールは、設計者が様々な回路間の相異を理解することを支援し、複雑な計算なしにデザインで使用する推奨部品を提示することにより、この複雑な作業を大幅に簡素化します。グラフィカル環境を使うと、設計者は広範囲な部品偏差での回路動作を見ることができます。

パタワース・フィルタ・デザインの検証

この例では、アクティブ・フィルタのデザインを検証します。このフィルタは ADI のフィルタ・ウィザードを使ってデザインし、[ADA4000-2](#) デュアル高精度オペアンプを使用しています。このアンプは、高速スルーレートであり容量負荷で安定なため選択され、フィルタ・デザインには最適です。このオペアンプのバイアス電流は非常に小さい(ピコアンペア)ため、DC 誤差が増えることを心配しないで済み、大きな値の抵抗を使って低周波フィルタを構成することができます。さらに、 R_1 に大きな値を使うと、信号ソース抵抗との干渉を小さくすることができます。複数のブロックをカスケード接続することによりフィルタ次数を高くすることができますが、部品値に対する感度と部品間の相互作用による周波数応答への影響が劇的に大きくなるため、意味がなくなります。信号の位相はフィルタで維持されます(非反転構成)。

このフィルタは NI の Multisim を使って入力し、検証と解析で使います(図 1 参照)。4 次パタワース・ローパス・フィルタは、20 kHz のカットオフ周波数を持ち、デザインが容易で、最平坦周波数応答、最小部品数のサレン・キー構成を採用しました。パタワース・フィルタは通過帯域と阻止帯域で単調で、最適通過帯域リップルと広い遷移領域(通過帯域と阻止帯域との間の領域)を持っています。これらのフィルタは、データ・アキュイジション・システムで折り返し防止フィルタとして広く採用されています。2 極のサレン・キー・フィルタ回路は、[EVAL-FLTR-SO-1RZ](#) フィルタ・ボードと [EVAL-FLTR-LD-1RZ](#) フィルタ・ボードで使用されています。これらのボードは ADI から購入することができます。このボードのアプリケーション・ノートは [AN-0991](#) です。

フィルタのデザインでは、回路の周波数応答と時間応答を考慮することが重要です。NI の Multisim を使ってこれらの特性をどのように検証するか調べてみます。

周波数応答の検証

図 2 に AC 解析の結果を示します。このシミュレーション結果は、カットオフ周波数(ゲインが 3 dB 低下する周波数)が 20.1 kHz であることを示しています。この 20.1 kHz は指定した 20 kHz に近い値です。このコーナー周波数から上では、ゲインが 80 dB / デイケード(フィルタ伝達関数の各極あたり -20dB/dec すなわち -6dB/oct)で減少していることが分かります。

また、阻止帯域も理想フィルタで予測したほど連続的に減衰していないことも分かります。ゲインはオペアンプの電圧ゲイン低下のため約 1 MHz で増加し始めています。カーソルを使うと、この阻止帯域は約 700 kHz であることが分かります。

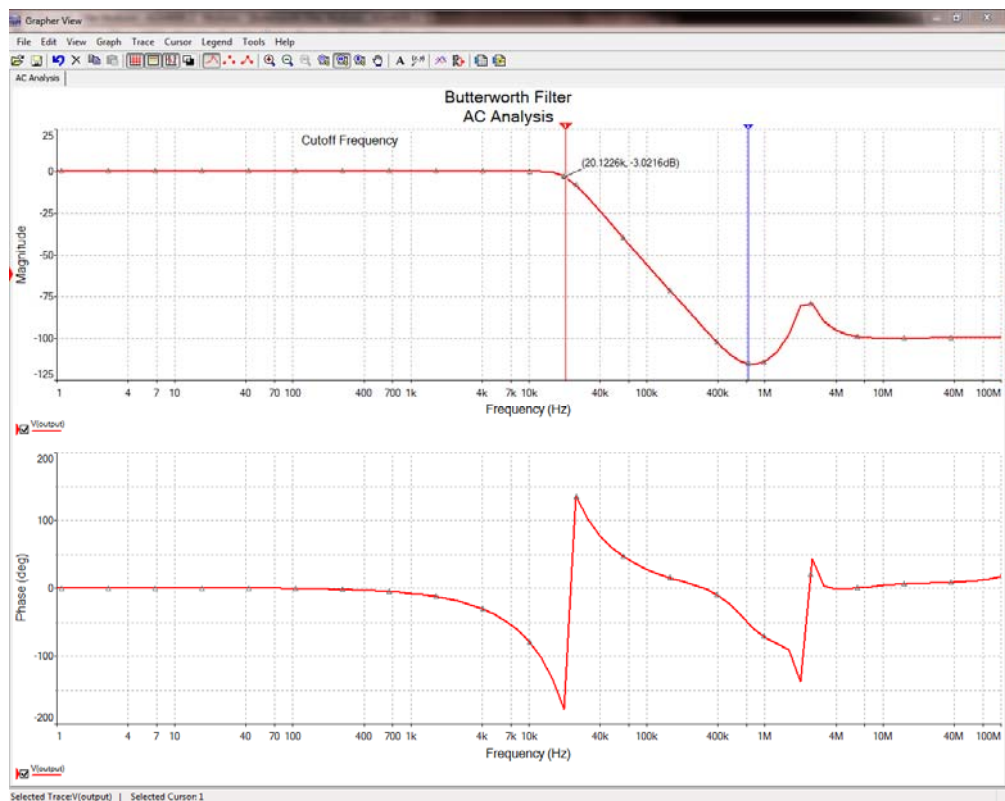


図 2. バタワース・フィルタの周波数応答

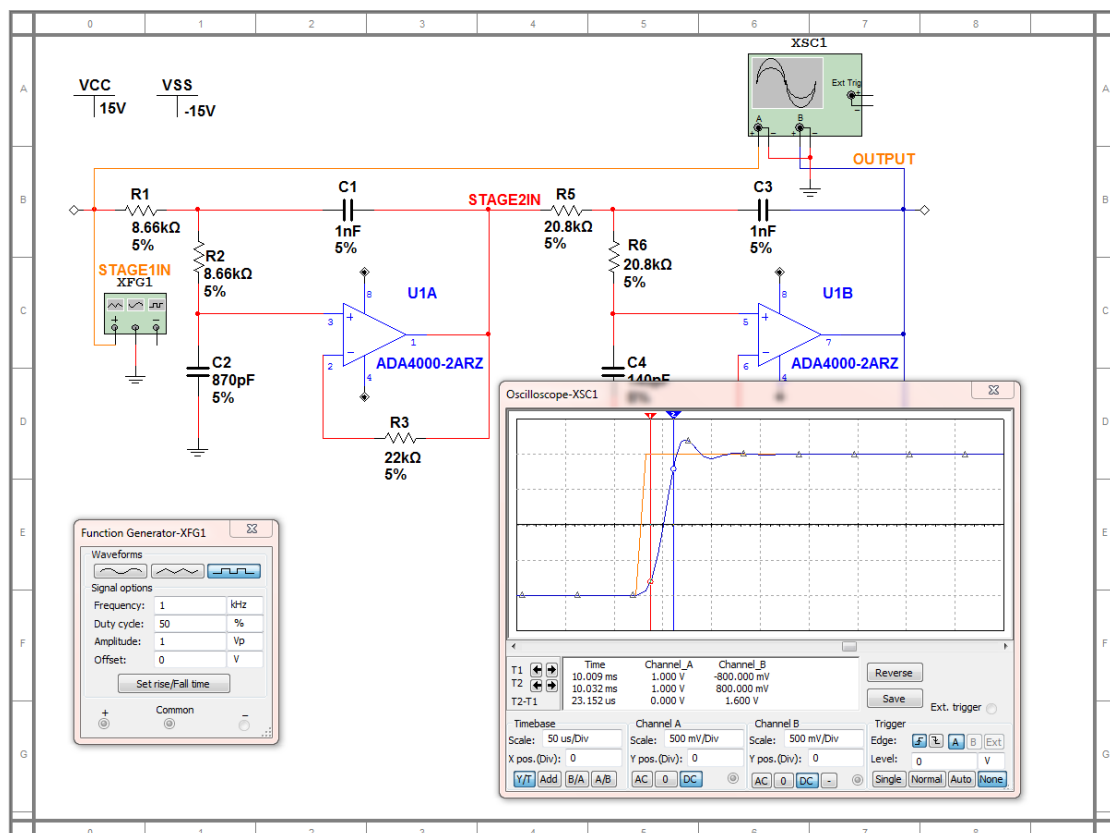


図 3. バーチャル計測器を使った時間領域応答の調査

時間応答の検証

Multisim 内に用意してある計測器を使ってステップ応答を調べることができます。ファンクション・ジェネレータを使うとテスト信号を入力することができ、オシロスコープを使うと出力波形を観測することができます。両方とも回路図環境で直接行います。これらの計測器は実験室の環境を真似ています。例えば、オシロスコープの場合、時間軸や電圧軸の表示単位のようなパラメータは波形特性に基づいて調整することができます。計測器では、ファンクション・ジェネレータで設定される周波数などの設定値をリアルタイムで変更することもできます。この機能により、20 kHz を超える周波数で信号の減衰を表示することができます。

図 3 に示すように、立上がり時間やセトリング・タイムのような特性をオシロスコープで測定することができますが、Grapher 内でこのデータを表示することもできます。この Grapher はドキュメント化のためにグラフにアノテーションを付けてプリントするオプションです。

ここで、立上がり時間特性を最初に調べます。立上がり時間は最終出力値の 10% から 90% までの時間と定義されます。カーソルを使うと、この値は 19.3 μ s と得られます。また、セトリング・タイムは約 92 μ s と得られます。これらの特性は、図 4 に示すグラフ上にアノテーションされます(パラメータ TMAX は立上がり時間に影響を与えるので、この例で使うためにデフォルト値から変更してあることに注意してください)。

最悪ケース・シナリオの考慮

シミュレーションのもう 1 つの重要な利点は、非理想部品値(すなわち許容偏差)を考慮できる機能があることです。このセクションでは、モンテカルロ解析を実行します。このモンテカルロ解析では、この回路図例で定めた 5% の部品許容偏差範囲を持つ部品値の順列を使って AC 解析を複数回実行します。この機能を使うと、最悪ケースでカットオフ周波数が受ける影響の大きさが分かります(この解析は過渡解析または DC 動作ポイント解析に使うこともできることに注意してください)。

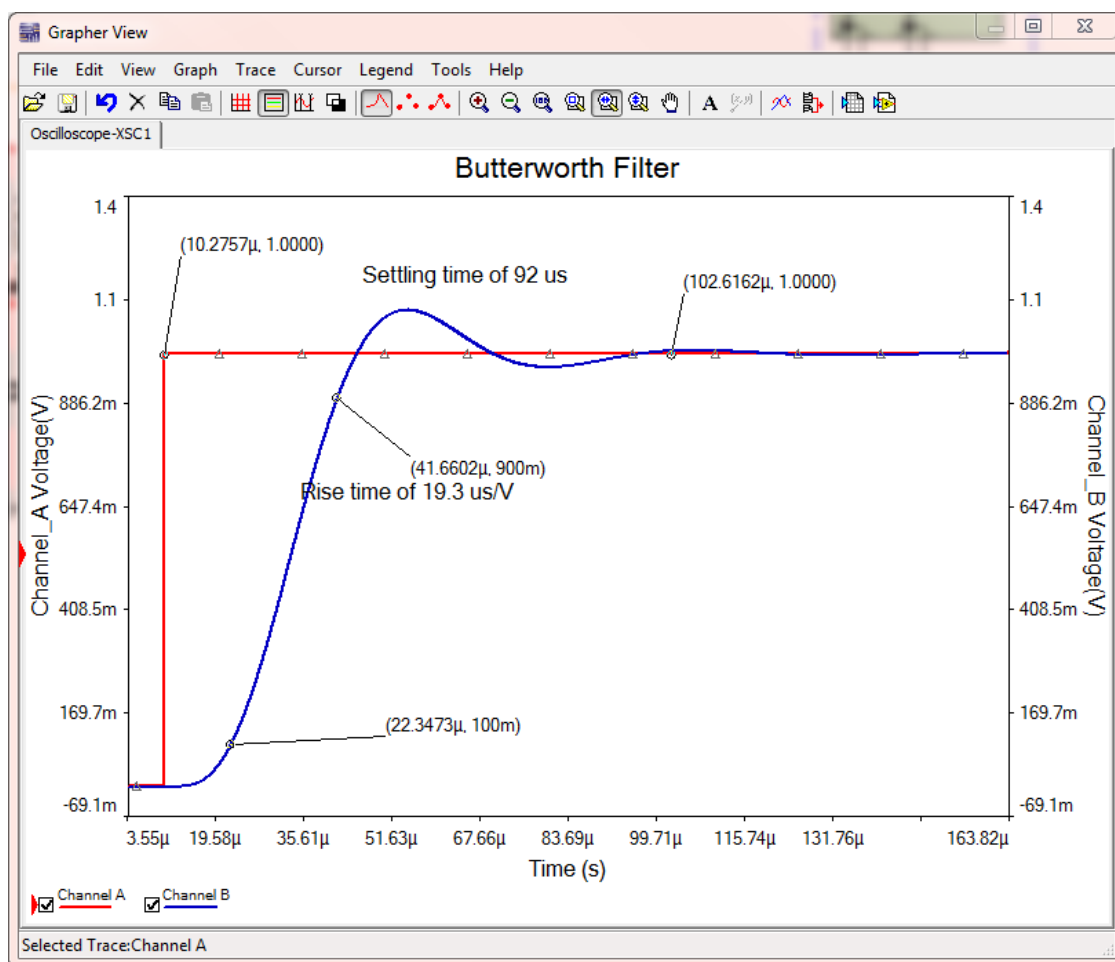


図 4. Grapher を使った時間領域特性のドキュメント化

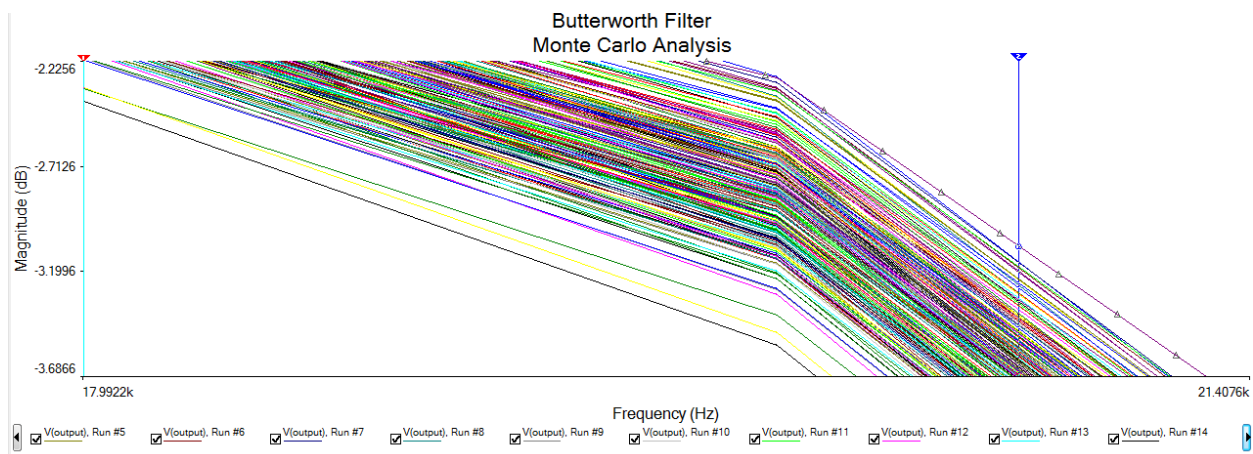


図 5.モンテカルロ・シミュレーション結果

最初の実行は公称値に対するもので、理想条件を仮定していません。回路例の 200 の順列に対して繰り返し実行した解析結果を図 5 に示します。171 回目の実行(下のトレース)と 2 回目の実行(下のトレース)は、カットオフ周波数がそれぞれ 20.67 kHzと 19.02 kHzである最悪ケースです。カットオフ周波数からのこの変化は、このフィルタ・デザインの部品分散に対する感度が低いことを示しています。

図から読み取れるように、測定値によっては後処理が必要な場合があることも分かります。例えば、立上がり時間の計算のような作業は、繰り返し行う場合は退屈なものになります。幸運なことに、この問題を解決するツールも提供されています。NI の LabVIEW™は、グラフィカル・プログラミング言語です。このプログラミング言語を使うと、Multisim 内で測定値の表示と解析のためのカスタム・インターフェースを作成することができます。この計測器は、入力波形と出力波形を使ってフィルタ・デザインの立上がり時間、スロープ、オーバーシュート、アンダーシュートの計算を自動化します。カスタム計測器を生成することにより、これまで手動の後処理が必要であった特性の正確な値を自動的に表示することができるようになります。カスタム計測器は広範囲なアプリケーションに対して生成することができます。これらのアプリケーションとしては、ノイズのような実世界の影響を組込んで、シミュレーション精度を向上させるために、実際に取得した測定値の NI Multisim へのインポートなどがあります。

結論

今日のシステム設計者には、未検証の方法を実行する余裕はありません。ADIフィルタ・ウィザード(構築/検証済みの回路、このLab Reference Circuits (CFTL)回路は

<http://www.analog.com/jp/circuits-from-the-lab/index.html#> で提供中)、さらにNI Multisimのような新しいデザイン・ツールでは、この必要はありません。プロトタイプ・ステージよりはるか前に回路動作を検証し改善することができるため、デザインの生産性が大幅に向上します。このため費用のかかる再デザインが少なくなり、マーケット投入時間が短くなり、デザイン性能が向上します。

参考資料

参考資料 1

Analog Filter Wizard™ DesignとProducts Selection Tool, V1.0は、http://www.analog.com/en/amplifiers-and-comparators/products/dt-adisim-design-sim-tool/Filter_Wizard/resources/fca.htmlから提供しています。また、ADIは、周波数が数kHzから数十MHzの 2 極、4 極、または 6 極のローパスまたはハイパス・フィルタの迅速なプロトタイプを可能にするアクティブ・フィルタ評価ボードも提供しています。

参考資料 2

NI Multisim Component Evaluator – Analog Devices Editionは、ADI 部品の評価を目的とした回路デザイン/シミュレーション環境の無償バージョンで、<http://www.analog.com/nimultisimevaluator> から提供しています。

参考資料 3

Linear Circuit Design Handbookは、http://www.analog.com/library/analogDialogue/archives/43-09/linear_circuit_design_handbook.html から提供しています。