

CareFusion 社とアナログ・デバイセズとのディスカッション: EEG アンプ性能の最適化と消費電力の削減

著者

Bill Kolasa、CareFusion 社

Harry Holt および Matt Duff、アナログ・デバイセズ

背景

この 20 年間、CareFusion Nicolet 社は EEG 診断システム領域を開拓してきました。EEG (脳波) モニタリングは、睡眠研究、脳マッピング、脳卒中患者の ICU モニタリングで神経学的解析に使用されています。脳研究と EEG 診断でのブレイクスルーが続く中で、EEG モニタリング機器は従来の臨床環境の外側での新しい環境で動作することが期待されています。これらの新しい環境により新しいデザイン問題が発生しています—この資料ではこれらの問題の幾つかをとりあげます。

Harry (アナログ・デバイセズのオペアンプ・アプリケーション・エンジニア): 私は、最近、Bill と Matt の二人と EEG フロントエンド(計装アンプ) デザインの初期ステージでのトレードオフについて幾つかの議論をしました。三人はその内容を他の設計者とも共有することが有益だと思いました。

Matt (アナログ・デバイセズの計装アンプ・アプリケーション・エンジニア): その通りです。Bill は、当社ポートフォリオ

内の多くの計装アンプを調べましたが、独自の計装アンプを構築する必要があるという結論になりました。これは、性能重視のアプリケーションでは非常に珍しいことなので、この思考プロセスを説明したいと思います。Bill、デザイン目標の概要を説明してください。

Bill Kolasa (CareFusion 社の主任電気技師): 我々は現在、計装アンプを採用したデザインを持っており、性能は良いのですが、ある性能特性を最適化すると同時に消費電力を削減したいと思っています。

EEG 機器と ECG 機器の多くの設計者が知っているように、電極の半電池電位の差から大きな DC オフセットが発生し、計測システムがこれに耐える必要があります。我々の現在のシステムは、最大 ± 900 mV オフセットに対応できるようにデザインされています。様々な電極タイプとフィールドで遭遇する環境条件に対処するため、 ± 1300 mV まで許容電圧を上げたいと思っています。

これと同時に、バッテリー駆動のデザインを完成させようとしています。このため、計装アンプなどのすべての部品の消費電力を大幅に削減する必要があります。現在の消費電力はチャンネルあたり 28 mW で、これを 10 mW 以下に削減したいと思っています。消費電力を削減しようとする、ノイズが増加してしまうオプションしかありませんでした。

Matt: このトレードオフは、当社の ECG 顧客と EEG 顧客でも多くみられます ECG と EEG のフロントエンド・デザインの場合、ノイズ、オフセット処理能力、消費電力との間に固有のトレードオフがあります。

大部分の計装アンプは、減算ステージのノイズに起因する大きなノイズ成分を持っています。高ゲイン・アプリケーションでは、このノイズはゲインに無関係に出力で一定であるため、大きな問題にはなりません。このため、入力換算ノイズは非常に小さいものです。

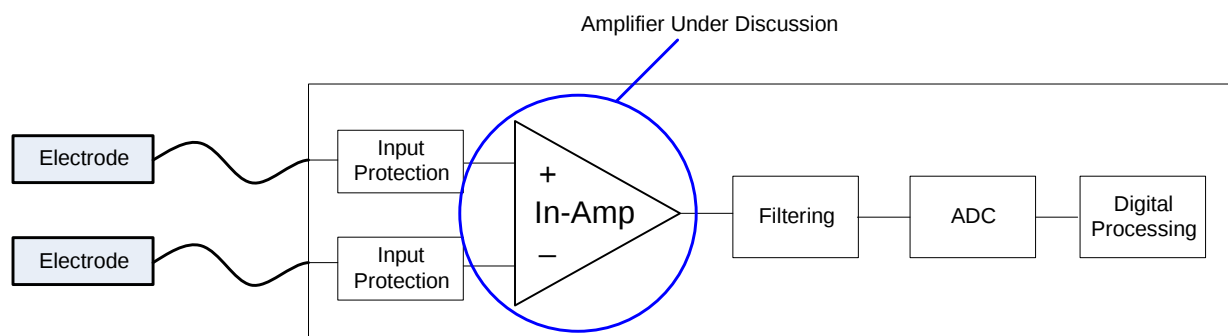


図 1.EEG のシグナル・チェーン

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

残念ながら、EEG と ECG のアプリケーションでは、ゲインは電極で生ずる大きなオフセットで制限されます。ノイズ性能を良くするために大きなゲインを使用しようとする、この大きなオフセットに対処するため大きな電源を使用せざるを得なくなります。

Bill: これが、[AD8221](#) 計装アンプを採用した前のデザインで我々が直面したことです。出力ノイズは $75 \text{ nV}/\sqrt{\text{Hz}}$ で、入力ノイズは $8 \text{ nV}/\sqrt{\text{Hz}}$ です。大きな出力ノイズの入力換算成分を小さくするため、[AD8221](#) のゲインを 14.8 に設定しました (ノイズ計算の詳細については、式 1 と式 2 参照)。また、ゲイン増により同相モード・ゲイン = 1 で同相モード除去比も 23 dB だけ大きくなりました (式 3 参照)。しかし、このゲインで 900 mV の電極オフセットに対応するためには、 $\pm 15.5 \text{ V}$ DC の電源を使用する必要があります (式 4 参照)。EEG アンプで構成されるこれらのチャンネルが 64 個ある場合には、バッテリー駆動アプリケーションとして消費電力が大き過ぎます。

私は、アナログ・デバイセズが低出力ノイズの計装アンプを提供するのを待ち続けています。提供は何時になりますか？

Matt: 計装アンプの出力ノイズは、主に 6 個の抵抗 (図 2 の R1~R6) から発生します。これらの抵抗値を小さくすることができますが、これには次の欠点があります。1) 計装アンプ・アンプからこれらの抵抗を駆動しなければならない電流が増えます。これらの大きな駆動状態で優れた直線性を維持するためには、電流を多く消費する "たくましい" アンプをつくる必要があります。小さい値抵抗を通して大きな電流を供給することと、"たくましい" アンプへ大きな電流を供給することの 2 つの "魔法" を行うこととなります。

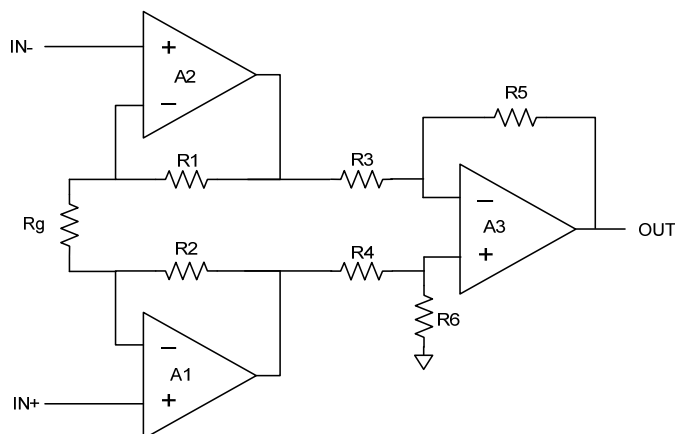


図 2. Textbook 計装アンプの構成

Bill: 私の消費電力問題にとってはグッド・ニュースでないようです。

Matt: R_g ゲイン設定抵抗は小さくできると思います。これはノイズにとっては良いのですが、大きな差動過電圧状態が予想される場合には良くありません。高ゲインでの大きな差動電圧に対してアンプ入力が弱くなります。この問題に対処するため回路を追加できますが、この回路により入力ノイズが増えます。

Bill: 電極入力には既に保護回路があるので、これは問題となることはないと思います。

Matt: 減算回路の抵抗を小さくすると、リファレンス・ピンの入力インピーダンスも小さくなります。これは、バッファを使ってこのピンを駆動しようとする (このタイプのアプリケーションでは一般的なことです)、駆動アンプは注目する周波数範囲で非常に小さい出力インピーダンスを持つ必要があることを意味します。あるいは、システムの CMRR 周波数特性が低下します。周波数に対して出力インピーダンスを小さくすると、消費電力の大きいドライバ・アンプが必要になります。

Bill: その通りです、このピンを駆動している当社の新しいデザインでは、これが問題になっています。ピンをグラウンドに接続する場合と同じ CMRR 性能を持つバッファを探しました。

元の問題に戻ると、 $\pm 15.5 \text{ V}$ 動作で電源電流 0.9 mA の [AD8221](#) がありました。計装アンプの電流を小さくし、電源電圧を低くすることにより消費電力を小さくしようとしました。低消費電力で、かつその他の我々の性能条件を満たすデバイスを探すことから開始しました。

我々が調べた計装アンプは [AD8235/AD8236](#) でした。このデバイスの消費電力は非常に小さくかつ小型でしたが、ノイズが大き過ぎ、かつ最大電源電圧が 5 V であったため、我々の DC オフセット仕様を満たしませんでした。

Matt: これらは CMOS ベースの計装アンプで消費電流は 40 μA です。消費電力が性能より大事な ECG モニタリング・アプリケーションでは最も多く採用されていますが、CareFusion 社の診断 EEG には不十分です。

Bill: 検討したもう 1 つのデバイスは [AD627](#) でした。これも、消費電力が非常に小さく、電源電圧が広がっています。過去にノイズをテストしていたので、消費電力に対して優れた性能であることを知っていましたが、SOIC パッケージを採用していました。このパッケージは今日では大き過ぎて、小さいボード・サイズには合いません。

Matt: その通りです。これには対策が必要です。

Bill: その後、貴社は 300 μA ~ 500 μA の電源電流と広い電源範囲を持つ例えば [AD8226](#) や [AD8227](#) のような広範囲なデバイスを提供しましたが、これらすべてのデバイスは少なくとも 20 nA の入力バイアス電流を持っています。このデザインで規定した 5 nA 以下の条件を超えています。

Matt: AD8226やAD8227のようなデバイスでは、負電源まで連続して電圧を測定できる機能を必要としていました。このためにシンプルな入力ステージを使ったため、入力バイアス電流を確保することを犠牲にする必要がありました。AD8221では、入力バイアス電流補償機能とスーパーベータ・トランジスタを使って最小数百pAまでのバイアス電流を確保しました。これにより多くの当社顧客は満足しましたが、そこではこの入力でのヘッドルームをある程度犠牲にせざるを得ませんでした。

Bill: このバイアス電流仕様は何によるのですか？ EEG 電極は約 10 kΩのソース・インピーダンスを持っていると思うのですが？ AD8226の場合、入力バイアス電流は最大 27 nAであり、これは 270 uVになります。これは、電極の大きなオフセットと比較にならないです。バイアス電流仕様は何によるのか説明してくれませんか？

Bill: この 5 nA 仕様は、非常に高い電極インピーダンスを扱う必要のある当社のアンプからきていますが、このアンプは DC までの EEG ディスプレイ帯域幅要求を持っています。電極インピーダンスの充電に起因してベースラインがドリフトする影響を小さくすることに注意していました。

ADI とその競合会社の計装アンプはすべて我々の条件を満たさないことが判った後、我々専用のものを構築することを決めました。100 dB より高いCMRRでは、減算ステージの抵抗一致が重要であることを知っていました。過去に抵抗一致回路の実験をしましたが、これらは高価であることが判りました。期待するCMRR 性能を得る見通しもありません。これは回路ボードの寄生容量が原因と思われる。AD8278 ディファレンス・アンプが我々が探している性能と消費電力を持っていることが分かりました。

Harry: 4 個の抵抗を使うディファレンス・アンプは、最初に登場したものより複雑になっています。完全なオペアンプでは、CMRRは抵抗の一致度により制限されます(図 2 の R3~R6)。ディファレンス・アンプは次式で近似されます(参考資料 1 参照)。

$$CMRR \cong \frac{A_d + 1}{4t}$$

ここで、 A_d はディファレンス・アンプのゲイン。 t は抵抗偏差。したがって、ゲイン = 1 で 1% 抵抗の場合は $CMRR = 50 \text{ V/V}$ (約 34 dB)に、0.1% 抵抗の場合は $CMRR = 500 \text{ V/V}$ (約 54 dB)に、それぞれなります。

Bill: 貴社のハンドブックで同じ説明を見たことがあります(参考資料 2 参照)。

Harry: 上式は低周波に適用されます。CMRRは高い周波数ほど低下します。例えば、PC ボード・レイアウトまたは内部チップ・レイアウトに起因して 2 つのオペアンプ入力の入力容量の差が 400~500 フェムトファラッドで、抵抗が 10 kΩ の場合、10 kHz での AC CMRR は 6 dB~ 7 dB だけ低下します。システム内に 20 kHz 以上のスイッチング・レギュレータが存在する場合、これは重要なことです。

完全な抵抗と一致した容量を持っていても、CMRR は最終的にオペアンプにより制限されます。

ディファレンス・アンプには 2 つの主要な性能分類があると思います。1 つ目は、一般的なハイサイド電流検出アプリケーションであり、電流範囲の上限側で 3%~5% の精度が必要です。妥当なオフセットと 1% 程度の抵抗を持つ低価格オペアンプがあります。低価格オペアンプの幾つかはCMRRが 50 dB以下であることに注意してください。これは見落とされることがあります。2 つ目は、0.1%~1% の範囲と 70 dB~80 dBを超えるCMRRを持つ、ディスクリット計装アンプの 2 段目ステージで使われるような高精度アプリケーションです。これは、優れたオペアンプ、4 個の一致した低TC抵抗、望ましくは比の一致したTC、慎重なPCBレイアウトにより実現することができます。合計コストとボード・スペースを考慮すると、モノリシックのディファレンス・オペアンプが最適に見えます。Bill がAD8278を選択した理由が理解できます。彼のために我々は最善を尽くしました。

Bill: アナログ・デバイセズは、ゲイン = 1/2、1、2 のディファレンス・アンプ・ファミリーを提供しました。我々はAD8271とAD8278を比較して、低消費電力のAD8278を選択しました。これにゲイン = 1/2 を設定しました。これにより、入力バッファのゲイン増加と電源電圧の低下 ($\pm 7.5 \text{ V}_{dc}$ に設定)が可能になり、ノイズとDC オフセットの許容偏差仕様を満たすことができました。できるだけ多くのゲインを入力バッファへ移すことにより最小ノイズを実現したと信じています(新しいデザインのノイズ、CMRR、オフセット偏差については式 5~式 11 参照)。

Matt: AD8278はゲイン = 1/2 またはゲイン = 2 に設定することができます。一般に、アンプ・ゲインをできるだけ高く設定して最適ノイズ性能を得ることが必要と考えられていますが、このデザインではAD8278は 2 段目ステージであるため、デザインのノイズ性能にとって、実際にはゲインを低く設定していることが役立っています。このために、Billは初段ステージに多くのゲインを配分できました。低ノイズ・デザインの基本ルールは、できるだけ多くのゲインを初段ステージに配分することです。実際にここではそのようになっています。

前段に配分するゲインを多くすることは、計装アンプの CMRR にも役立ちます。抵抗許容偏差対 CMRR の前の議論から計算できるように、ディファレンス・アンプ・ゲインを 1/2 から 2 へ変更すると、CMRR が 6 dB 大きくなります。

これは [AD8278](#) のデータ・シートにも一致していますが、前段でゲイン 4 に上げると、差動ゲインが 4 だけ増加し、同相モード・ゲインは不変です。言い換えると、前段のゲインを上げることで、12 dB の CMRR 増が得られることになります。これに対して、ディファレンス・アンプのゲイン増では CMRR 増は 6 dB だけでした。このトリックは初段ステージのオペアンプが優れた CMRR を持っている場合のみ機能することに注意してください。したがって、高品質オペアンプを使うことが重要です。

ディファレンス・アンプ・ステージに $G = 1/2$ を使うことは、当社の集積計装アンプを使用する代わりに、ディスクリート・デザインを Bill が最適化する際に使用できる 1 つの方法です。当社の集積計装アンプの場合、ディファレンス・アンプを $G \geq 1$ に維持する必要があります。これはディファレンス・アンプのゲインを低くすると、広い同相モード電圧振幅を処理する計装アンプの能力が制限されてしまうためです。

Bill: 我々は広範囲な調査の後、入力バッファ・オペアンプとして [AD8622](#) を採用しました。このオペアンプは、小型パッケージ・サイズ、低消費電力、低入力バイアス電流、0.1~10 Hz で低ノイズ、広い電源電圧の我々が求めていたすべての仕様を満たしていました。我々の考える重要なその他の特性はユニティ・ゲイン安定性です。我々のバッファはゲイン = 10 で動作しましたが、計装アンプ構成では同相モード信号がゲイン = 1 となるため、安定性の問題が生ずる可能性があります(参考資料 3 参照)。

Harry: フロントエンド・オペアンプの場合、数百もの選択肢があります。このため、大きなオフセット電圧、バイアス電流、電源電流、バイアス電流などにより、デザインを最適化することができます。計装アンプをデザインする際、広範囲なトレードオフを行う必要があります。このため、最後の 10 パーセントの性能のために、努力する価値があります。[AD8622](#) は当社高精度アンプ・ラインに追加された最新バージョンであり、電圧ノイズ、低 1/f コーナー、電源電流、ゲイン帯域幅、オフセット電圧、オフセット電圧ドリフトなどの優れた組み合わせを持っています。

私は、システムを分割する方法について Bill の補足を行いたいと思います。クワッド内の 3 つのセクションが計装アンプとして使用される例を見ることがありますが、ここには陥り易い落とし穴があります。初段ステージの条件は、 V_{os} 、 TCV_{os} 、ゲイン、帯域幅、CMRR などに関してディファレンス・アンプ・ステージとは全く異なります。この場合も、性能の最後の 10 パーセントのために、初段ステージのデュアルと 2 段目ステージのシングルとの間には大きな違いがあることに注目する必要があります。オペアンプで低電圧ノイズを得るためには、2 段目ステージでは必要のないほどの大きい電流を流します。2 段目ステージが重い負荷を駆動する場合には、初段ステージのオペアンプより大きな駆動が必要です。クワッドのもう一つの欠点は、出力オペアンプから初段ステージ・オペアンプへの熱帰還が生ずることです。詳細については、参考資料 4 と参考資料 5 を参照してください。

Bill: 我々の最初の選択肢は、ボード・スペースの理由で集積計装アンプを使用することでしたが、高精度ディファレンス・アンプが使用できるようになったため、高価でボードスペースを必要とする抵抗回路なしで計装アンプの調整ができるようになりました。消費電力を大幅に削減できると同時に、ノイズ、CMRR、DC 入力許容偏差などの重要な性能特性を維持することができました。

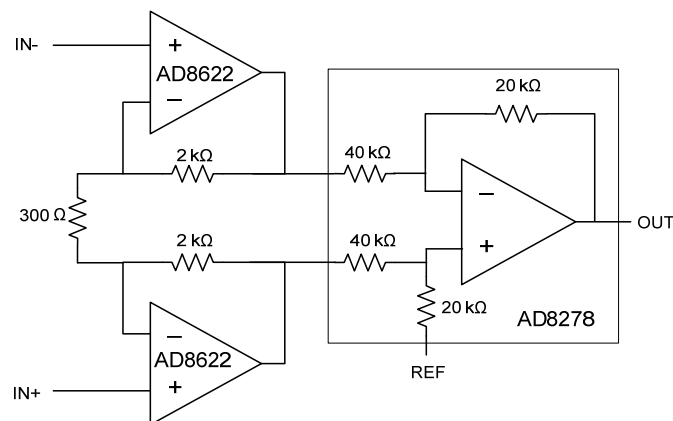


図 3.簡略化した CareFusion 社の計装アンプ

Harry: Bill、有り難うございました。Matt と私は、最新のデザインについて一緒に仕事を楽しむことができました。

経歴:

Bill Kolasa は 7 年間 CareFusion 社の NeuroCare Division に勤務し、医用計装機器のデザインをしていました。Michigan Technological University から BSEE を取得しました。彼は、CareFusion 社の Bill Lutz と Dan Lombardi のこの資料に対する寄与に謝意を表しています。

Harry Holt は、National Semiconductor 社でデータ・コンバータ、オペアンプ、リファレンス、オーディオ・コーデック、FPGA などの様々な製品のフィールド・アプリケーションとファクトリ・アプリケーションで 27 年間勤務した後、アナログ・デバイセス (San Jose, CA) の高精度アンプ・グループのスタッフ・アプリケーション・エンジニアとして 4 年間勤務しました。彼は San Jose State University から BSEE を取得し、Tau Beta Pi の終身メンバーで、かつ IEEE の選出されたセニア・メンバーです。

Matt Duff は、計装アンプや他の種々の製品を対象としたアナログ・デバイセスのアプリケーション・エンジニアを 5 年間やっております。彼は、アナログ・デバイセスに入社する前は、National Instruments 社で計装機器と車載製品のデザインとプロジェクト・マネジメントを担当していました。彼は Texas A&M から BSEE を取得し、Georgia Tech から MSEE を取得しました。

アペンディックス: Billの式

ゲインの影響を示す、0.1 Hz～100 Hz 帯域でのAD8221の予測p-pノイズの計算 (電極インピーダンスが小さいため電流ノイズは無視)。

$$\text{noise} = \sqrt{\left(e_{n_in}\right)^2 + \left(\frac{e_{n_out}}{\text{Gain}}\right)^2} \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$\sqrt{8^2 + \left(\frac{75}{14.9}\right)^2} \times \sqrt{100} \times 4 = 0.379 \mu\text{V p-p}$$

1/f ノイズを算入 (データ・シートからゲイン = 10 を使用):

$$\sqrt{0.379^2 + 0.5^2} = 0.73 \mu\text{V p-p}$$

ゲインに起因する増加を表す、AD8221BRの予測最小CMRRの計算 (データ・シートからゲイン = 1 を使用):

$$\text{CMRR} = 90 \text{ dB} + 20 \times \log(\text{gain}) =$$

$$90 \text{ dB} + 20 \times \log(14.8) = 113 \text{ dB}$$

AD8221電極オフセット偏差の計算:

$$\left(\frac{\text{Supply Rail} - \text{Output Swing}}{\text{gain}}\right) = \left(\frac{15.5 \text{ V} - 1.6 \text{ V}}{14.8}\right)$$

$$= 940 \text{ mV}$$

新しい計装アンプ・デザインの場合 (インピーダンスが小さいため電流ノイズは無視)。

AD8622 バッファのノイズ:

$$e_n \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$11 \text{ nV} \times \sqrt{100} \times 4 = 0.44 \mu\text{V p-p}$$

1/f ノイズを算入 =

$$\sqrt{0.44^2 + 0.2^2} = 0.48 \mu\text{V p-p}$$

½ Rg と Rf の並列接続のノイズ:

$$\sqrt{4kT \times \frac{1}{2} Rg} \left| Rf \right| \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$\sqrt{4 \times 1.38^{-23} \times 300 \times 2k} \times \sqrt{100} \times 4 = 0.23 \mu\text{V p-p}$$

AD8278のノイズ:

$$\frac{\text{Output Noise}}{\text{Gain}} \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$\frac{50 \text{ nV}}{5} \times \sqrt{100} \times 4 = 0.4 \mu\text{V p-p}$$

1/f の算入:

$$\sqrt{0.4^2 + \left(\frac{1.4}{5}\right)^2} = 0.49 \mu\text{V p-p}$$

すべてのソースを加算:

$$en = \sqrt{0.48^2 + 0.48^3 + 0.23^2 + 0.23^2 + 0.49^2} =$$

$$0.9 \mu\text{V p-p}$$

新しい計装アンプ・デザインの予測最小 CMRR:

$$\text{CMRR of AD8278B} + 20 \times \log(\text{Buffer stage gain}) =$$

$$80 + 20 \times \log(10) = 100 \text{ dB}$$

新しいデザインの電極オフセット偏差 (DC ソースを一方の入力に接続、他方の入力をグラウンドへ接続)。

$$\frac{\text{Supply rail} - \text{output swing}}{\text{gain}(\text{gain in this case is } 1 + (Rf / Rg))} = \frac{7.5 \text{ V} - 0.25 \text{ V}}{5.5}$$

$$= 1.32 \text{ V}$$

参考資料

1. Pallás-Areny, Ramón and Webster, John G. "Common Mode Rejection Ratio in Differential Amplifiers" *IEEE Transactions On Instrumentation and Measurement*, Vol. 40, No 4, August 1991, pp 669-676.
2. Analog Devices, *Linear Circuit Design Handbook*, p 2.9.
3. D. Rod White "Phase Compensation of the Three Op Amp Instrumentation Amplifier" *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-36, September 1987.
4. Holt, Harry "Op Amps: To Dual or Not to Dual (Part 1)" *EE Times*.
5. Holt, Harry "Op Amps: To Dual or Not to Dual (Part 2)" *EE Times*.