

信号の A/D 変換を正しく行う 7つのステップ(シグナル・コン ディショニングのノイズ計 算)

著者: Reza Moghimi
アナログ・デバイス
アプリケーション・エンジニアリング・マネージャ

背景

高精度アプリケーションで最適な SNR を得るためには、優れたデザインの低ノイズ・アナログ・フロント・エンドが必要です。このためには、センサー信号を完全かつ正確に取り込むための ADC 選択に適切な手法が必要です。ドライバ・オペアンプやリファレンス電圧のようなサポート部品は、回路全体の性能を最適化するように選択します。

振動、温度、圧力、光などの実際の信号では、正確なシグナル・コンディショニングと信号変換が必要で、その後にさらにデジタル領域でのデータ処理が必要です。今日の高精度アプリケーションで多くの問題を解決して、最適な SNR を得るためには、優れたデザインの低ノイズ・アナログ・フロント・エンドが必要です。多くのシステムでは高価な部品を採用することはできず、低ノイズ部品の大きな消費電力も許容されません。この資料では、ノイズ最適化手法を採用したトータル・ソリューションのデザインについての質問に答えます。この資料では、ゲイン・ブロックと ADC の組み合わせに対するデザイン方法を説明し、この手法をサポートする例を示します。DC に近い低周波信号をコンディショニングする際に、この回路のノイズの計算と解析を行います。

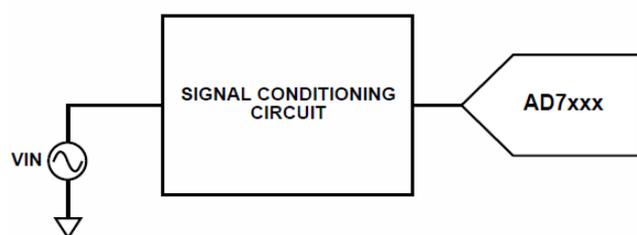


図 1. 代表的なシグナル・コンディショニング・チェーン

次の 7 ステップに従って、アナログ・フロント・エンドのデザインを行います。

- 1) センサーまたはゲイン・ブロックの前のセクションの電気的出力を定めます。
- 2) ADC の条件を計算します。
- 3) 信号変換用に最適な ADC + リファレンス電圧を探します。
- 4) 最大ゲインを求め、オペアンプの検索条件を定めます。
- 5) 最適なアンプを探し、ゲイン・ブロックをデザインします。
- 6) デザイン・ターゲットを満たしているか、トータル・ソリューション・ノイズをチェックします。
- 7) シミュレーションを実行して検証します。

ステップ 1: センサーまたはゲイン・ブロックの前のセクションの電気的出力の決定

信号はセンサーから直接到達するか、あるいはゲイン・ブロックの前の EMI フィルタと RFI フィルタを通過して到達することがあります。ゲイン・ブロックをデザインするためには、信号の AC 特性と DC 特性、および使用可能な電源を知る必要があります。信号の特性とノイズ・レベルが分かると、ADC を選択する際に必要な入力電圧範囲とノイズ・レベルの手がかり得られます。ここで、センサー出力は、フルスケール振幅 250 mV p-p (88.2 mV rms)、25 μ V p-p ノイズの 10 kHz 信号とします。さらに、システムで 5 V 電源を使用するものとします。この情報から、ADC 入力での信号対ノイズ比をステップ 2 で計算することができます。データ処理を簡素化し、紛らわしさを除くため、このソリューションを室温動作用にデザインするものとします。

ステップ 2: ADC 条件の計算

必要となる ADC タイプ、サンプル・レート、ビット数、ノイズ仕様はどうか? ステップ 1 で得た入力信号振幅とノイズの情報から、ゲイン・ブロック入力での信号対ノイズ比(SNR)を計算することができます。できるだけ優れた信号対ノイズ比を持つ ADC を選択する必要があります。SNR を知ると、ADC を選択する際の実効ビット数(ENOB)の計算に役立ちます。この関係を次式で示します。SNR と ENOB は、必ず ADC データシートに記載されています。この例では、SNR=86.8 dB と ENOB=14.2 ビットが必要とされるため、16 ビットの A/D コンバータが必要となります。さらに、サンプリング・レート f_s は最大入力周波数 f_{in} の 2 倍以上である必要があるというナイキスト条件から、20 kSPS の ADC が選択されます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

次に、416 nV/√Hz を超えないノイズ密度を持つ全体ソリューションをデザインする必要があります。これにより、シグナル・コンディショニング回路のノイズは入力ノイズの 1/10 に設定されます。

$$SNR = 20 \log \left(\frac{250 \text{ mV}}{25 \mu\text{V}/6} \right) = 86.8 \text{ dB}$$

$$ENOB = \frac{86.8 - 1.76}{6.02} = 14.2 \text{ bits}$$

$$\text{Noise} = \frac{25 \mu\text{V}}{6} = 4.16 \mu\text{V}$$

ステップ 3: 信号変換用に最適なADC +リファレンス電圧の検索

検索条件のセットが得られると、多くの方法を使って条件を満たす ADC を見つけることができます。16 ビット ADC を探す最も容易な方法は、メーカーのサイトで検索ツールを使う方法です。分解能とサンプル・レートを入力すると、多数の選択肢が表示されます。

多くの 16 ビット ADC が、ENOB=14.5 ビットを満たしています。ノイズ性能をさらに良くしたい場合は、オーバーサンプリングを使って ENOB を 16 ビットまで上げます(4th オーバーサンプリングを使うと n ビットの改善が得られます)。オーバーサンプリングを使うと、低い分解能の ADC を使うことができます。例えば、12 ビット ADC の 256 オーバーサンプル(4th オーバーサンプリング)により、16 ビットのノイズ性能が得られます。

この例では、これは 5.126 MHz サンプル・レート(20 kSPS × 256)の 12 ビット ADC となることを意味します。あるいは、14 ビット ADC を 4² オーバーサンプルする、すなわち 1.28 MSPS にすることができます。ただし、これらのコストは AD7685 (250 kSPS の 16 ビット ADC)と同じになります。

リストから、16 ビット PulSAR[®] ADC の AD7685 を選択します。このコンバータは、90 dB の SNR と 250 kSPS のサンプル・レートを持っているため、条件を満たしています。高精度 XFET[®] リファレンス電圧の ADR421/ADR431 をこの ADC に使用することが推奨されます。2.5 V の入力範囲は 250-mV p-p の入力仕様を満たしています。

$$ADC_Input_rms = \frac{2.5 \text{ V}}{2\sqrt{2}} = 884 \text{ mV}$$

$$ADC_Noise_rms = \frac{884 \text{ mV}}{10^{20}} = 27.95 \mu\text{V}$$

$$ADC_Noise_allowed = \frac{Noise_rms}{\sqrt{\frac{1}{2} f_{sample}}} = \frac{27.95 \mu\text{V}}{\sqrt{125 \text{ kHz}}} = 79 \text{ nV}/\sqrt{\text{Hz}}$$

AD7685 のリファレンス入力は、ダイナミック入力インピーダンスを持っているため、小さい寄生インダクタンスと、ピンの近くに太い低インピーダンス・パターンで接続したセラミック・デカップリング・コンデンサによりデカップリングする必要があります。22 μF のセラミック・チップ・コンデンサにより最適性能を得ることができます。

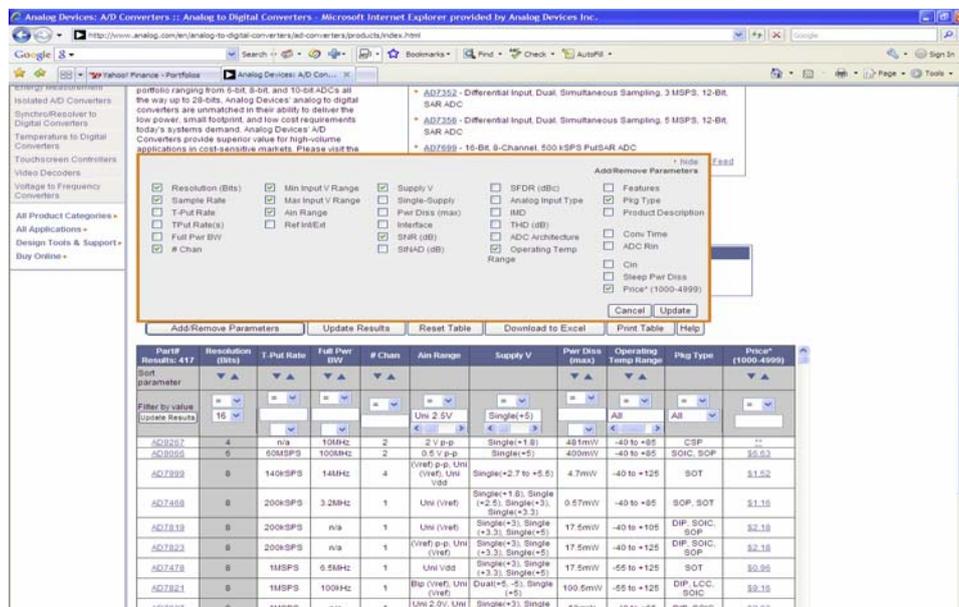


図 2. 代表的な ADC セレクション・テーブル

ステップ 4: 最大ゲインを求めてオペアンプの検索条件を決定

ADC の入力電圧範囲を知ると、ゲイン・ブロックのデザインに役立ちます。ダイナミックレンジを小さくするため、与えられた入力信号と ADC 入力範囲に対して、ゲインをできるだけ大きくする必要があります。これは、この例でゲイン・ブロックのゲインを 10 にできることを意味します。

$$V_{in} = 250 \text{ mV}_{pp}$$

$$ADC_input_range = 2.5 \text{ V}$$

$$Opamp_Gain = 10$$

$$BW = 1 \text{ Hz} - 10 \text{ kHz}$$

AD7685 の駆動は容易ですが、ドライバ・アンプは所定の条件を満たす必要があります。例えば、AD7685 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要がありますが、ゲイン・ブロックは信号とノイズを共に増幅してしまうことに注意する必要があります。ゲイン・ブロックの前後でノイズを同じレベルに維持するため、小さいノイズを持つアンプと部品を選択する必要があります。また、ドライバは AD7685 に釣り合う THD 性能を持ち、ADC のコンデンサ・アレイに対するフルスケール・ステップに対して 16 ビット・レベル(0.0015%)でセトリングできる必要があります。アンプからのノイズは、外付けフィルタでさらに除去することができます。

オペアンプ入力での許容ノイズはどうか？ ここでは、416 nV/√Hz を超えないノイズ密度を持つ全体ソリューションをデザインしなければならないことに注意する必要があります。低いノイズ・フロアを持つゲイン・ブロックをデザインする必要があります。例えば、ゲインを 10 に上げるためノイズ・フロアを 1/10 にする必要があります。こうすると、アンプのノイズはセンサーのノイズ・フロアより十分低くなります。ノイズ・マージンを計算するため、オペアンプ入力のノイズは、オペアンプの全ノイズと ADC のノイズの和になると見なします。

$$V_{RTI} = 416 \text{ nV} / 10 = 41.6 \text{ nV} / \sqrt{\text{Hz}}$$

$$ADC_{noise_RTI} = 79 \text{ nV} / 10 = 7.9 \text{ nV} / \sqrt{\text{Hz}}$$

$$Opamp_{noise_RTI}^{allowed} = \sqrt{(41.6 \text{ nV})^2 - (7.9 \text{ nV})^2} = 40.8 \text{ nV} / \sqrt{\text{Hz}}$$

ステップ 5: 最適なアンプの検索と、ゲイン・ブロックのデザイン

入力信号帯域幅を求めた後のオペアンプ選択の最初の作業は、許容できるゲイン帯域幅積(GBWP)を持ち、かつ最小の DC 誤差と AC 誤差でこの信号を処理できるオペアンプを選ぶことです。最適なゲイン帯域幅積を求めるためには、信号帯域幅、ノイズ・ゲイン、ゲイン誤差が必要です。これらの用語はすべて以下に定義します。1 つのガイドとして、ゲイン誤差を 0.1%以下に抑える場合、入力信号 BW の 100 倍のゲイン帯域幅を持つアンプを選択してください。さらに、高速なセトリング・タイムと優れた駆動能力を持つアンプを選択する必要があります。ここでのノイズ要求は、オペアンプ入力での全体ノイズが 40.8 nV/√Hz 以下であり、ADC のノイズは 7.9 nV/√Hz であることに注意する必要があります。

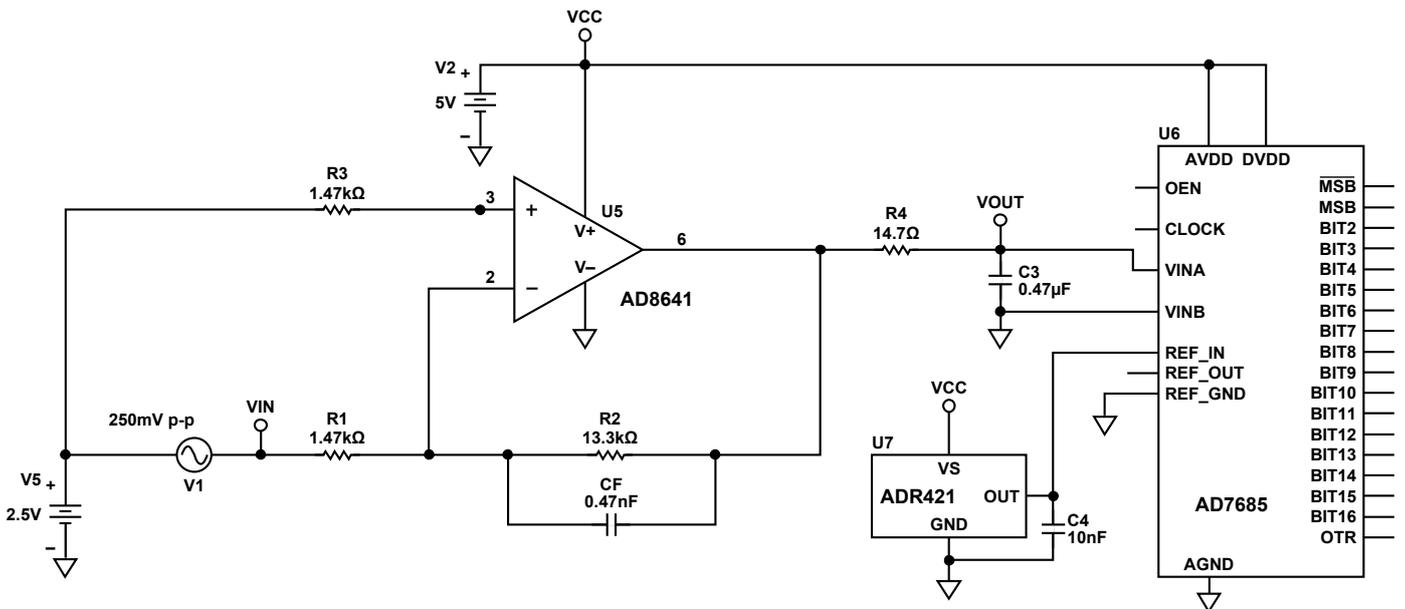


図 3.ソリューション全体

オペアンプの検索条件をまとめると、UGBW > 1 MHz、5 V 単電源、優れた電圧ノイズ仕様、電流ノイズ仕様、THD 仕様、ADC 仕様を低下させないための小さい DC 誤差となります。

$$Noise_Gain = 1 + \frac{R2}{R1}$$

$$BW = 1.57f_{closed_loop_BW}$$

$$Noise_@_V_{out} = Noise_{RTI} \times Noise_Gain$$

同じ手法を ADC の検索に使うと、この例では AD8641 を選択します。低消費電力高精度 JFET 入力アンプの AD8641 は、極めて小さい入力バイアス電流とレール to レール出力を持ち、5 V ~ 26 V の電源で動作することができます。このデバイスの関連仕様を下の表に示します。このオペアンプは非反転構成にすることができます。表に示す部品値を使用することができます。

すべての能動部品と受動部品は固有のノイズを発生するため、性能を低下させない部品を選択することが重要です。例えば、低ノイズのオペアンプを購入して大きな抵抗でそれを取り囲むことは浪費になります。1 kΩ の抵抗は 4 nV のノイズを発生することに注意してください。

前述のように、オプションの RC フィルタを ADC とこのゲイン・ブロックの間に使うと、BW を狭くして SNR を改善することに役立ちます。

表 1. 図 3 に示すソリューションの部品値

Component	Value
R1	1.47 kΩ
R2	13.3 kΩ
R3	1.47 kΩ
En	28.5 nV/√Hz
In	50 fA/√Hz
Cf	0.47 nF

ステップ 6: デザイン・ターゲットを満たしているか、トータル・ソリューション・ノイズをチェック

デザインした回路のすべての誤差原因を理解することは極めて重要です。最適 SNR を実現するためには、上記ソリューション全体のノイズの式をリストアップすることが必要です。これを次式に示します。

$$Noise_{RTI} = \sqrt{BW} \sqrt{Vn^2 + 4KTR \left[\frac{R2}{R2 + R1} \right]^2 + In_+^2 R3^2 + In_-^2 \left[\frac{R1 \times R2}{R1 + R2} \right]^2 + 4KTR2 \left[\frac{R1}{R1 + R2} \right]^2}$$

オペアンプ入力のトータル・ノイズを計算することができ、計画の 41.6 nV/√Hz より小さいことが確認できます。

$$V_{RTI_Produced_by_amplifier} = 29.3 \text{ nV}/\sqrt{\text{Hz}}$$

$$V_{RTI_Produced_by_ADC} = 7.9 \text{ nV}/\sqrt{\text{Hz}}$$

$$Total_design_noise_achieved$$

$$= \sqrt{(29.3 \text{ nV})^2 + (7.9 \text{ nV})^2}$$

$$= 30.5 \text{ nV}/\sqrt{\text{Hz}}$$

トータル・ノイズを帯域幅全域で積分すると、フィルタ帯域幅での ADC 入力のトータル・ノイズは 3.05 μV であることが分かります。これはデザイン条件の 4.16 μV より小さいことが分かります。AD8641 のコーナー周波数は 100 Hz より低いいため、この場合低周波ノイズ(1/f)を無視します。

$$V_{RTI_Produced_by_amplifier_ckt_over_10kHz} = 2.93 \mu\text{V}$$

$$V_{RTI_Produced_by_ADC_noise_over_10kHz} = 780 \text{ nV}$$

$$Total_design_at_input_over_10kHz$$

$$= \sqrt{(2.93 \mu\text{V})^2 + (780 \text{ nV})^2} = 3.04 \mu\text{V}/\sqrt{\text{Hz}}$$

$$Total_noise_at_ADC_input_over_10kHz = 30.4 \mu\text{V}$$

優れた信号対ノイズ比を維持するためには、信号バス内の各要素のノイズに対する注意と優れた PCB レイアウトが必要です。ADC の下のグラウンド・プレーンがシールドとして使われてない限り、ノイズがチップに混入するので、ADC の真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号バスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

ステップ7: シミュレーションの実行と検証

ADI のサイトからダウンロードできる PSpice マクロ・モデルの使用は、回路デザイン検証の優れた開始点になります。クイック・シミュレーションでは、このソリューションをデザインした信号帯域幅が示されます。図 4 に、AD7685 入力にあるオプションの RC フィルタの前後の応答を示します。

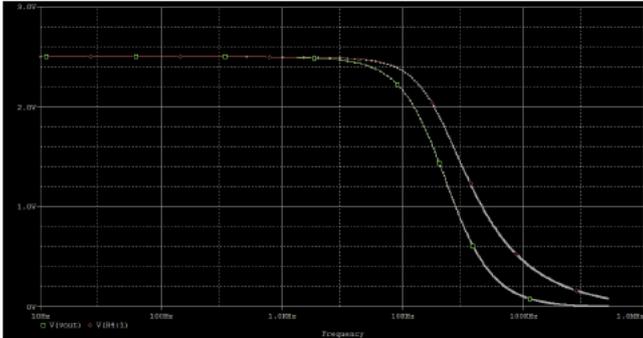


図 4. 図 3 の回路の帯域幅シミュレーション

図 5 に示すように、10 kHz 帯域幅での総合出力ノイズは 31 $\mu\text{V rms}$ に近い値になります。これは、デザイン・ターゲットの 41 $\mu\text{V rms}$ より小さい値です。ベンチ・プロトタイプを作成してソリューション全体を検証した後に、量産へ移行する必要があります。



図 5. 図 3 に示す回路のノイズ応答のシミュレーション

まとめ

今日の低消費電力でコストに厳しいデザインでは、多くのシステムで高価な部品を採用することはできず、低ノイズ部品の大きな消費電力も許容できません。シグナル・コンディショニング回路で最小のノイズ・フロアと最適な性能を実現するためには、部品レベルのノイズ発生源を理解する必要があります。優れた信号対ノイズ比を維持するためには、信号パス内の各要素のノイズに対する注意が必要です。上記ステップに従うと、小さいアナログ信号を正しくコンディショニングして、非常に高い分解能を持つ ADC を使って変換することができます。

参考文献

1. アプリケーション・ノート AN-202 「デカップリング、グラウンディング、変更をうまく行うための IC アンプ・ユーザーズ・ガイド」 アナログ・デバイセス
2. アプリケーション・ノート AN-347 「干渉型ノイズの除去方法合理的な方法：何をすべきか、なぜそうするのか」 アナログ・デバイセス
3. Barrow, J., and A. Paul Brokaw. 1989. "Grounding for Low- and High-Frequency Circuits," Analog Dialogue. (23-3) Analog Devices.
4. Seminar: Noise Optimization in Sensor Signal Conditioning Circuits, Part 1.
5. Seminar: Noise Optimization in Sensor Signal Conditioning Circuits, Part 2.

参考資料

このテーマおよびこれに関連するテーマについては、www.analog.com/jp/training-tutorials-seminars/resources/index.html をご覧ください。

この資料で説明した製品

製品番号	説明
AD7685	PulSAR® A/D コンバータ、16 ビット、250kSPS、MSOP/QFN パッケージ
AD8641	オペアンプ、高精度 JFET、低消費電力、レール to レール出力