

最新型IGBT/MOSFETゲート・ドライバの絶縁耐性に対応する最大電力限界値

著者: Dr. Bernhard Strzalkowski
Analog Devices, Inc.

要約

この記事では、IGBT/MOSFETパワー・スイッチを意図的に破壊することにより、ゲート・ドライバの絶縁耐力を調べます。

電気自動車やハイブリッド自動車のような高い信頼性と性能が求められるアプリケーションでは、いかなる状況でも絶縁ゲート・ドライバの絶縁障壁が損傷しないことが求められます。Si-MOSFET/IGBTの継続的な改良やGaNおよびSiC技術の導入によって、今日のパワー・コンバータ/インバータの電力密度は増加を続けています。それに伴い、高度な集積化、絶縁性、堅牢性などの条件を満たす新しいゲート・ドライバが必要となっています。このようなドライバは、ドライバ・チップに電気的絶縁機能が既に組み込まれているので、小型のフォームファクタとなっています。この電気的絶縁は、内蔵の高電圧マイクロトランスやコンデンサによって実現できます^{1,2,3}。1か所でも予期せぬシステム故障が発生すると、パワー・スイッチが損傷や破裂に至るおそれがあり、場合によってはパワー・インバータ全体が損傷してしまう可能性があります。したがって、電力密度が高いインバータの場合は、ゲート・ドライバの絶縁安全性能を調べる必要があります。絶縁の信頼性については、最も厳しい条件を想定し、パワー・スイッチが破壊される状況でテストし、検証する必要があります。

はじめに

高出力のMOSFET/IGBTが故障すると、最も厳しい条件下では、数千 μ Fの容量を持つインバータのコンデンサ・バンクの電荷が急速に放電されます。放出されたエネルギーは、MOSFET/IGBTの損傷、パッケージの破裂、環境へのプラズマ放出などを引き起こします⁴。このエネルギーの一部はゲート・ドライバ回路に流れ込み、電気的な過負荷状態を引き起こします⁵。この場合の電気密度は非常に高いので、ドライバ・チップの構造は、チップ自体が故障した場合でも電気的絶縁を維持できるものにする必要があります。

最新の集積化ゲート・ドライバの構造

チップスケール絶縁では、平面型マイクロトランスの手法を応用して電気的絶縁を実現しています。これはウェーハ・レベルの技術で製造され、半導体素子と同様の大きさに構成されています¹。1つのiCoupler®チャンネルは、チップスケール・トランスで組み合わせられた2つの集積回路(IC)で構成されています(図1)。絶縁層は、各トランスの上下のコイルを分離する絶縁障壁を構成しています(図2)。デジタル・アイソレータは、ウェーハ製造プロセスの一部として、平面型トランスのコイル間に最小厚さ20 μ mのポリイミド製絶縁層を使用します。この製造プロセスには任意のファウンドリ半導体プロセスを使用でき、優れた品質と信頼性を備えた絶縁素子を低コストで組み込むことが可能です。図2の断面図は、上下コイルの巻線が厚いポリイミド層で分離された状態を示しています。

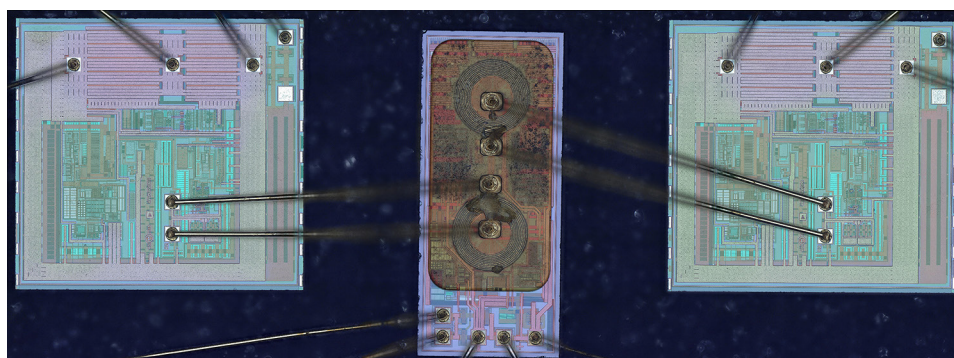


図1. MOSFETハーフブリッジ・ドライバADuM3223のチップ配置。

パッケージ内の分離型リードフレームは、この絶縁を仕上げる役割を果たします。電源スイッチが突然破損してゲート・ドライバ出力チップが損傷した場合でも、チップ内部のパーティショニングや配置によって絶縁層に損傷が及ばないようにする必要があります。ゲート・ドライバの絶縁を保護するため、以下のような複数の対策が講じられています。

- ▶ ゲート・ドライバ・チップに流れ込むエネルギーを制限するために、外部回路を適切なサイズにする
- ▶ ドライバ・チップ上の出力トランジスタを適切に配置する
- ▶ チップ上のマイクロトランスを適切に配置する
- ▶ パッケージ内の制御およびドライバ・チップを適切に配置する

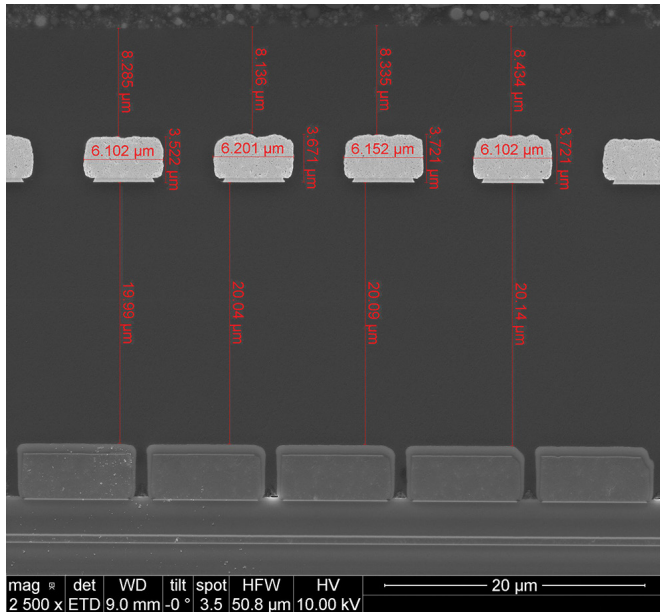


図2. ADuM3223:マイクロトランスの断面図

ADuM3223のチップ内蔵ゲート・ドライバ(図1)は、極めて大きい電氣的過負荷が加わった際に、電氣的絶縁の破損を回避するチップ配置の一例です。

最も厳しい条件時のインバータ故障をシミュレーションする破壊テスト

実際のパワー・インバータの状態をエミュレートするために、385Vと750Vの2種類の電圧レベルのテスト回路を作成しました。385Vの電圧レベルは、力率補正が必要な110V/230V AC商用電源を使用するシステムにおいて、ごく一般的な値です。750Vの電圧レベルは、定格ブレークダウン電圧1200Vのスイッチを使用する駆動アプリケーションに使われる高出力インバータによく見られます。

破壊テストでは、パワー・スイッチと適当なドライバで構成される1つのインバータ・レグをオンにして、スイッチに異常が生じるまでそのままにします。この時にゲート・ドライバ・チップに流れ込むエネルギー・レベルを知るために、破壊時の波形を記録します。このテストでは、ゲート・ドライバ回路に流れ込む破壊エネルギーを制限するために、複数の保護方法を調査しました。また、破壊テストには複数の異なるタイプのIGBTとMOSFETを使用しました。

制御された状態でMOSFET/IGBTを損傷させるテスト回路

IGBT/MOSFETドライバの電氣的過負荷テスト(Electrical OverStress test: EOSテスト)では、実際の条件に非常に近い回路をセットアップしました。回路には、出力範囲が5kW~20kWのインバータに適したコンデンサと抵抗が組み込まれています。ゲート抵抗 R_g には、アキシャル・タイプで定格が2Wの電力用金属抵抗器を使用しました。また、高電圧回路から外部電源へのエネルギー逆流を避けるために、阻止ダイオード(D1)を1個組み込みました。フローティング電源には少なくとも1つの整流器(つまりブートストラップ回路)が含まれているので、これも実際の条件を反映しています。高電圧電源HVは、充電抵抗 R_{ch} とスイッチS1を含む回路によって阻止電解コンデンサを充電します。

EOSテストでは、入力 V_{IA} または V_{IB} を制御するために500μsのターンオン信号を使用しました。このターンオン信号はマイクロ絶縁を介して伝達されて短絡状態を引き起こし、パワー・トランジスタT1を破損させます。いくつかのケースでは、トランジスタ・パッケージの破裂が認められました。

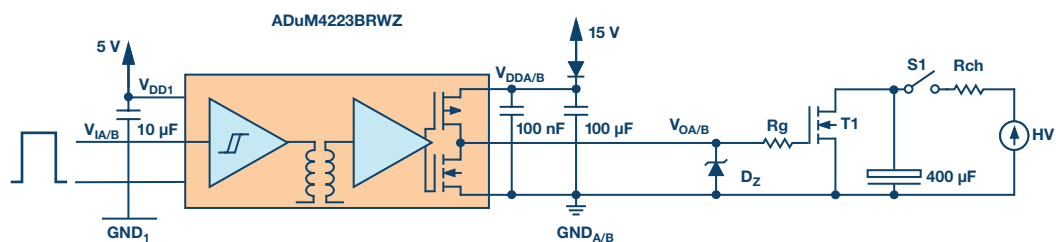


図3. パワー・スイッチ破損が絶縁耐力に及ぼす影響を測定するためのADuM4223 EOS回路

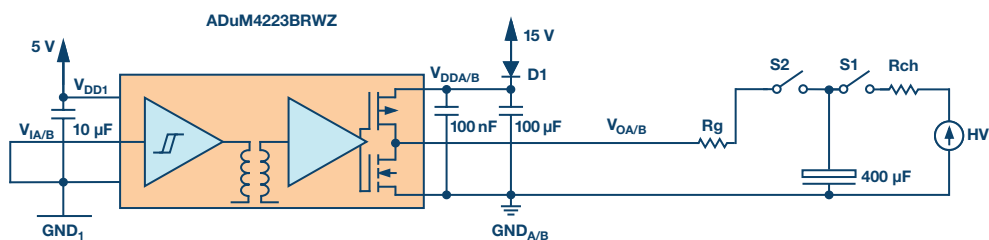


図4. 絶縁耐力に対応するエネルギー制限値を決定するためのADuM4223 EOS回路

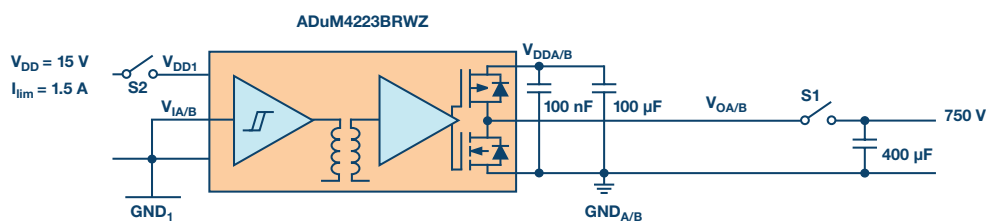


図5. 最も厳しい条件でのADuM4223 EOS回路 (入力および出力チップに直接エネルギーを注入)

インバータの損傷は、4種類のパワー・スイッチと2つの電圧レベルを使ってシミュレーションしました。特定のタイプのスイッチを最初にテストする場合は、電力制限回路を使わずに行い、その後制限回路を使ってテストを行っています。いくつかのテストでは、損傷時にドライバ回路に流れ込むエネルギーを制限するために、ドライバ出力ピンにツェナー・ダイオードDz (BZ16, 1.3W) を直接接続しました。更に、異なる値のゲート抵抗についても調査しました。

エネルギー制限なしでダイレクト・ゲート・ドライバ回路を損傷させるためのテスト回路

最も厳しい条件をシミュレーションするテストも別途行いました。このテストでは、ゲート・ドライバの入力チップと出力チップに破壊的なエネルギーを直接加えています。この破壊テストでは、ゲート・ドライバの出力ピンに、フル充電状態のバルク・コンデンサを直接接続しました (図4)。このテストは想定し得る最も厳しい過負荷状態を示すもので、絶縁耐力を試すものとなります。エネルギーがドライバ回路に直接流れ込み、ゲート抵抗は電力制限デバイスとしてのみ機能します。リレーS2は、高電圧をゲート・ドライバの出力回路に接続します。

入力チップと出力チップに流れ込むエネルギーを制限するデバイスのない、最も厳しい条件下でのテストに使った回路を図5に示します。スイッチS1を介して出力チップに750Vの高電圧を

直接加えるテストが最も厳しい条件であり、この場合、エネルギーを制限するゲート抵抗なしで、750Vという高い中間電圧がドライバ・チップに加わります。

もう1つ想定される最も厳しい条件は、ドライバの1次側にある制御チップに過大な電源電圧が加わった場合です。最大推奨入力電圧は5.5Vですが、入力電圧を生成するDC/DCコンバータのレギュレーションが失われた場合は、その出力電圧が上昇するおそれがあります。レギュレーションの喪失時、最新のDC/DCコンバータでは出力電圧が2倍から3倍に増大する可能性があります。ADuM4223の入力チップに加わるエネルギーは制限されており、通常と変わらず、抵抗、パワー・スイッチ、インダクタなどの他のデバイスが組み込まれています。これらのデバイスにより、制御チップに流れ込むエネルギーが制限されます。DC/DCコンバータの故障シミュレーションを現実的なものとするために、電源電圧は15V、電流制限は1.5Aとしました。

試験結果

図3、図4、図5の回路を使用して行った過負荷テストの結果を表1に示します。保護回路の影響を明らかにするために、それぞれのMOSFET/IGBTパワー・スイッチ・タイプにつき2種類のテストを行っています。9、10、11の最も厳しい条件でのテストには、メカニカル・スイッチS1とS2を使用しました。

表1. 各種パワー・スイッチおよび異なる損傷条件での破壊テスト

テスト	ADuM4223	Dr. #	U/V	Rg	Dz	結果	Ed/mJ	コメント	スイッチ	回路
1	1	B	385	4.7	なし	損傷	8.5		FDP5N50	図3
2	1	A	385	2 × 2.2	16	損傷なし	3.5		FDP5N50	図3
3	2	A	385	2 × 2.2	16	損傷		Rg, Dz共にOK	2xFDP5N50	図3
4	2	B	385	12	16	損傷なし			2xFDP5N50	図3
5	2	B	385	4.7	16	損傷なし	0.5		spw24N60C3	図3
6	2	B	385	3.9	なし	損傷なし			spw24N60C3	図3
7	2	B	750	4.7	16	損傷なし	20	Rg損傷, DzはOK	ixgp20n100	図3
8	2	B	750	4.7	なし	損傷	25	Rg損傷	ixgp20n100	図3
9	1	A	150	4.7	なし	損傷		Rg損傷	スイッチS2	図4
10	3	A	750	0	なし	損傷		最も厳しい条件下での出力チップ	スイッチS1	図5
11	4	入力	15	0	なし	損傷		最も厳しい条件下での入力チップ	スイッチS2	図5

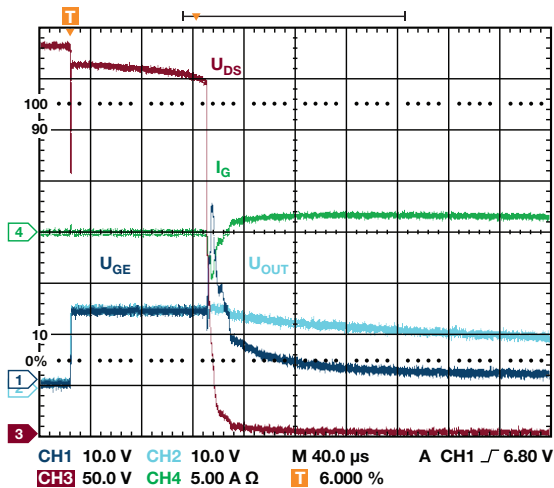


図6. 損傷したSPW2460C3によって生成された波形のグラフ：
ドライバの破損なし。

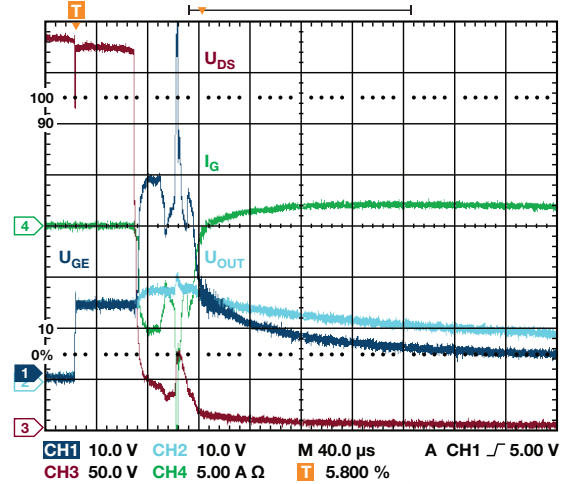


図7. 損傷した2xFDP5N50によって生成された波形のグラフ：
並列、ゲート・ドライバが損傷。

表から分かるように(テスト1とテスト2を比較時)、一般にツェナー・ダイオードはドライバ回路を保護する助けとなります。しかし、ゲート抵抗値が小さすぎる場合は、ツェナー・ダイオードがあってもドライバは破壊されます(テスト3とテスト4を比較)。

テスト2とテスト3、およびテスト3とテスト4を比較することによって、ドライバを損傷させるエネルギーを予測することができます。テスト5とテスト6からは非常に興味深い結論が導かれます。すなわち、スーパージャンクションMOSFETを使用すると、同じ電力定格のIGBTを1個使用した場合よりゲート・ドライバに流れ込むエネルギーのレベルが大幅に小さくなるように見えるということです。テスト9、10、11(制御およびドライバ・チップに流れ込むエネルギーを制限しない場合)の目的は、最も厳しい条件のシナリオにおける絶縁耐力を調べることでした。

MOSFETとIGBTで異なる破損挙動

この破壊テストでは、パワー・スイッチ損傷時に異なる波形が認められました。スーパージャンクションMOSFET使用時の波形を図6に示します。ターンオンからチップ破損までの時間は約100μsです。ドライバ・チップに流れ込む電流はごく限定的で、過負荷に耐えています。同じテスト条件下でも、図7に示すように標準のMOSFETでははるかに大きいゲート電流が流れしており、過電圧によってドライバが破壊されています。

チップ損傷の分析

ゲート・ドライバの封止が部分的な場合は、スイッチやテスト条件が異なっても同じようなチップ損傷が認められます。図8は、テスト8(表1)におけるP-MOSFETベースの出力ドライバ段の損傷状態を示したものです。750Vのバルク電圧でのテストでは、IGBTが破裂して制限デバイスR_gとDZが破壊されましたが、外観的にはV_{DDA}ピンのボンディング・ワイヤ付近にわずかな溶融が見られただけでした。損傷時にはP-MOSFETの内蔵ダイオードを介して100μFコンデンサに過大なゲート電流が流れ込みました。ボンディング・ワイヤに近い部分が溶融したのは、電流が集中したためです。これ以外に、ドライバ・チップの損傷や制御チップの絶縁に関わる損傷は認められませんでした。テスト9における溶融部分を図9に示します。このテストでは、150Vの高電圧がドライバ・チップに直接加えられました。この極めて大きい過負荷テストでも、制御チップの電氣的絶縁に損傷はありませんでした。

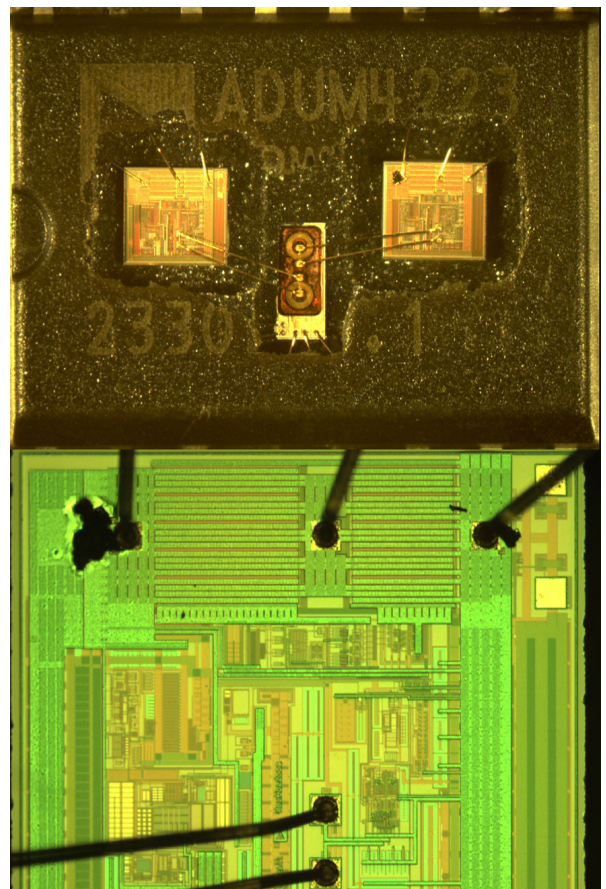


図8. テスト8での損傷部分を示すゲート・ドライバ・チップの写真
(ADuM4223 #1)。出力チップにわずかな溶融が発生。
絶縁部分は損傷なし。

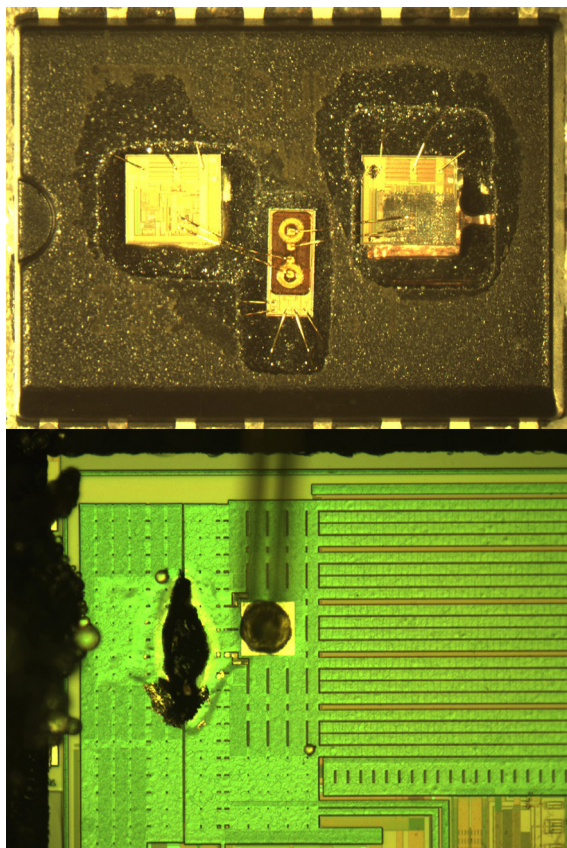


図9. テスト9での損傷部分を示すゲート・ドライバ・チップの写真 (ADuM4223 #2)。極めて大きな電氣的過負荷でも制御チップに損傷なし。絶縁部分にも損傷なし。

スイッチS1を介して出力チップに750Vを直接加えるテスト(図5)は最も厳しい条件を想定したもので、エネルギーが制限を受けることなくデバイス回路に流れ込みます。ゲート抵抗によって過剰なエネルギーが制限された図9の損傷とは対照的に、図10のチップ写真ではドライバ回路にかなりの溶融部分が認められます。

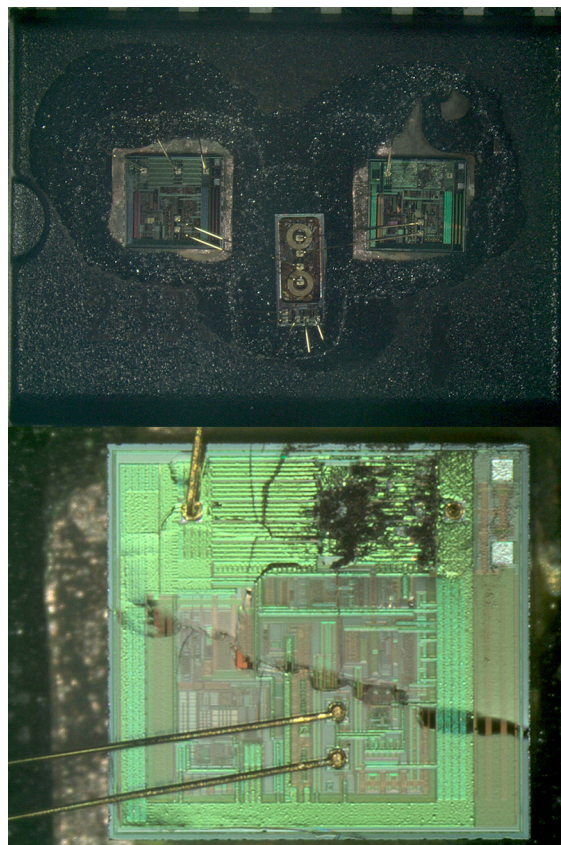


図10. テスト10での損傷部分を示すゲート・ドライバ・チップの写真。制限を受けることなく出力ドライバに加えられたエネルギーにより回路が破壊され、かなりの溶融部分が発生。ただし、絶縁部分は損傷なし。

1次側での最も厳しい条件は、制御チップに過大な電源電圧が加えられた場合です。したがってテスト11では、絶対最大定格の7.0Vよりはるかに大きい15Vの電源電圧が V_{DD1} ピンに加えられています(図5)。図11に示す写真では、チップの V_{DD1} ピン付近に溶融が認められます。

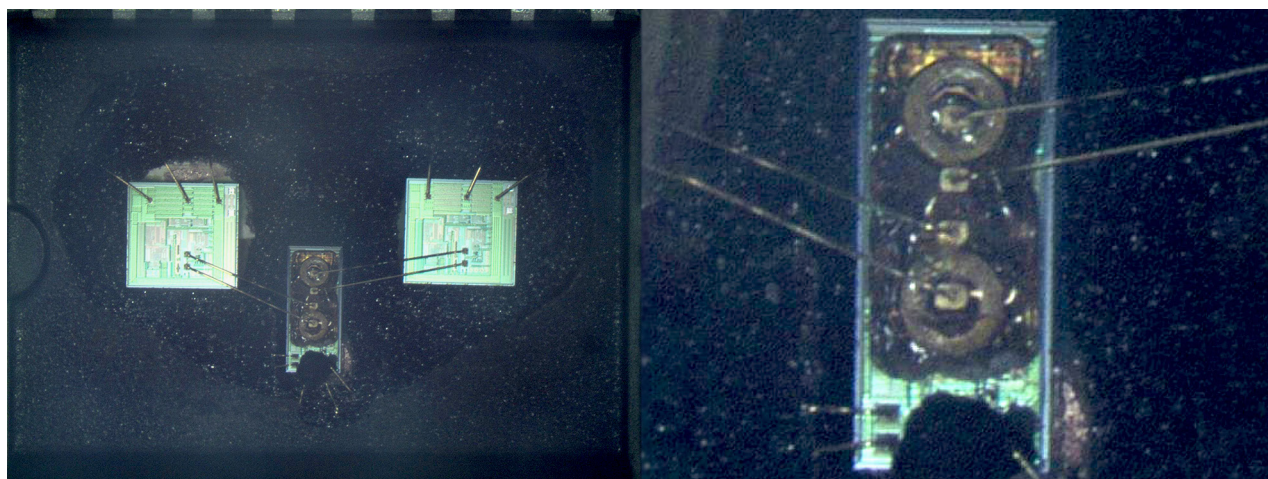


図11. テスト11での損傷部分を示す入力制御チップの写真。回路に加えられたエネルギーによって生じた溶融部分は限定的で、 V_{DD1} ピンの周囲に限られています。絶縁部分は損傷なし。

まとめ

パワー・スイッチの破壊テストは、ADuM4223/ADuM3223集積化ゲート・ドライバの絶縁耐性に影響を与えません。過度のエネルギーが出力チップに流れ込むことでドライバが損傷を受けた場合でも、局部的かつ限定的な溶融が生じるだけでした。過度のエネルギーは、P-MOSドライバ・トランジスタを介して阻止コンデンサに誘導されます。したがって、溶融はP-MOS領域に限られました。

ADuM4223/ADuM3223のチップ配置は溶融領域が制御チップ内に拡大しないように考えられており、これにはガルバニック絶縁された信号トランスも含まれています。ドライバ出力に流れ込むエネルギーを制限するには、ツェナー・ダイオードを使用することができます。ツェナー・ダイオードを適当なゲート・ドライバ抵抗と組み合わせ使用すれば、パワー・スイッチの損傷時にゲート・ドライバを保護することができます。通常動作時には消費電力を管理し、パワー・スイッチ破損時にはスイッチからドライバを分離するようにゲート抵抗を設計することが可能です。高電圧がチップに直接印加された場合は、ゲート抵抗がヒューズの役割を果たします。この抵抗により、チップの損傷が出力パワー・スイッチ付近のわずかな溶融に限定されます。

最も厳しい条件下でエネルギーが制限を受けることなく出力チップに加わった場合は、ドライバの出力ピン付近に限定的な溶融が生じます。ただし、このテストで絶縁耐性が影響を受けることはありませんでした。1次側の最も厳しい条件、つまり電源電圧が絶対最大定格を大きく上回った場合、電源電圧ピン周囲に限定的な溶融が認められたものの、いずれの電氣的過負荷テストでも、絶縁が損なわれた兆候はありませんでした。また、その後行った高電圧絶縁テストでは、電氣的マイクロ絶縁の絶縁耐力が確認されています。破壊エネルギーのマイクロトランスの高電圧絶縁層への拡散は、適切なチップ構造とドライバ・パッケージ内部のチップ配置によって回避することができました。

参考資料

1. Baoxing Chen and Bernhard Strzalkowski. "Isolated Gate Driver Using Microtransformers." ECPE workshop "Electronica Around the Power Switches." June 29, 2011. (「マイクロトランスによる絶縁ゲート・ドライバ」、ECPEワークショップ「パワー・スイッチ周辺のエレクトロニクス」、2011年6月29日)
2. Andreas Volke, Michael Hornkamp, and Bernhard Strzalkowski. "IGBT/MOSFET Applications Based on Coreless Transformer Driver IC 2ED020112-F." Proceedings of PCIM 2004, Nürnberg, 2004. (「コアレス・トランス・ドライバIC 2ED020112-FをベースとしたIGBT/MOSFETアプリケーション」PCIM 2004会議録、ニュルンベルグ、2004年)
3. SLLA198. "The ISO72x Family of High Speed Digital Isolator." Texas Instruments. (SLLA198「ISO72xファミリの高速デジタル・アイソレータ」Texas Instruments)

4. Bernhard Strzalkowski. "High Performance IGBT-Driver in Microtransformer Technology Providing Outstanding Insulation Capability." Proceedings of PCIM2007, Nürnberg, 2007. (「極めて優れた絶縁性能を備えたマイクロトランス技術使用の高性能トランス」、PCIM2007会議録、ニュルンベルグ、2007年)
5. Bernhard Strzalkowski. "Maximum Power Limit for Withstand Insulation Capability of IGBT/MOSFET Gate Drivers." Proceedings of PCIM 2014, 2014. (「IGBT/MOSFETゲート・ドライバの絶縁耐力に対応する最大電力限界値」、PCIM 2014会議録、2014年)

著者について

Bernhard Strzalkowski

ポーランドのグリヴィツェにあるシレジア工科大学とドイツのカールスルーエ工科大学で電気工学を専攻。1989年にカールスルーエ工科大学で電気工学の工学士号を、2003年にはシレジア工科大学で電子工学の博士号を取得。1989年から1996年までシュタテンベルグで磁石モーターの研究開発エンジニアとして勤務し、風力発電コンバータおよび電気/ハイブリッド自動車用パワー・エレクトロニクスの開発に従事。1997年から2008年までミュンヘンのSiemensとInfineonに勤務し、工業および車載アプリケーション用集積回路の研究、設計に従事。2009年2月にミュンヘンのアナログ・デバイセズに入社し、パワー・マネージメント、デジタル・パワー、およびiCouplerなどのアプリケーションを担当。ヨーロッパの自動車および通信インフラストラクチャ分野の顧客サポートを行うと共に、パワー・エレクトロニクス分野に関係する数々の特許を取得。ICEおよびVDEの規格委員会およびPCIM諮問委員会のメンバー。

連絡先: bernhard.strzalkowski@analog.com

オンライン・サポート・コミュニティ



当社のオンライン・サポート・コミュニティで、アナログ・デバイセズの技術専門家と連携することができます。設計上の難問について問い合わせたり、FAQを参照したり、話し合いに参加することができます。

ez.analog.com

* 英語版技術記事は [こちら](#) よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2019 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有に属します。
Ahead of What's Possible は
アナログ・デバイセズの商標です。

TA20554-0-12/18

www.analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™