

FPGA、GPU、およびASICシステムのパワー・マネージメントにおけるデバッグ・サイクルの防止

Afshin Odabae

FPGA、GPU、またはASIC制御システムを設計することに関して言えば、パワー・マネージメント・システムおよびアナログ・システムに関連する設計上の課題の数は、デジタル設計に関連する課題と比較すると、取るに足りないものです。しかしながら、パワー・システムの設計を「後回し」にしてかまわない、もしくはデジタル設計の基準に合わせて進めてよいと想定するのは危険です。電源設計において一見差し障りのない問題であっても、パワー・システムのデバッグ・サイクルに費やす余計な時間が生じると、デジタル側の作業が全て停止することがあるので、システムのリリースが大幅に遅れる可能性があります。

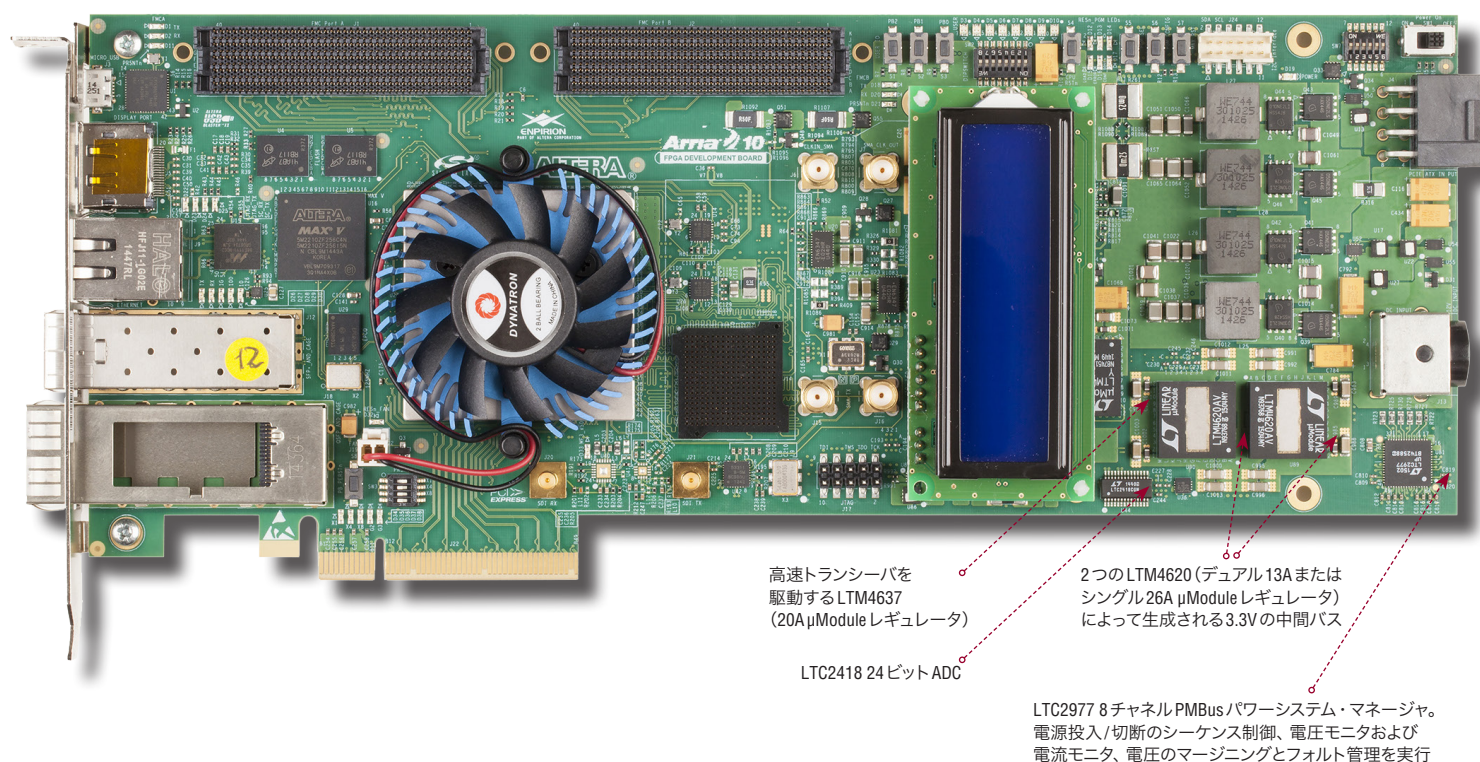
DC/DCレギュレーションの問題を落ち着かせる良い方法は、FPGA、GPU、またはASICのメーカーによって提供される、検証済みの開発キットを使用することです。たいていの場合は、パワー製品の供給メーカーやFPGA、GPU、ASICのメーカーにより、デザインそのものや類似のデザインを基板/キットとして入手できます。テスト済みで検証済みのキットを使用す

ると、システム設計者はパワー・システムやアナログのほとんどの問題から解放されるので、複雑なデジタル・システムを構成することにエネルギーを集中させることができます。パワー・システム・レイアウトを最適にしてから、大がかりな設計に取り掛かるようにします。

練り上げられたパワー・マネージメントを最初から考え付くのは困難

どの設計作業も最初は大変であり、パワー・マネージメントも例外ではありません。これが当てはまるのは、トランシーバ、メモリ・モジュール、センサ、回線コネクタ、網目状のPCBトレース、および数層のPCBプレーンを組み込んだ複雑なシステムで電力が必要な場合です。多

図1. Arria 10 GX FPGA開発キット基板。パワー・マネージメントの全ての機能とLTpowerPlanner®とのインタフェース機能（グラフィカル・ソフトウェア制御）は基板に組み込まれており、工場でテストされ検査されています。システムのデバッグ作業は最小限に抑えられており、（マージニングを含む）性能テストは簡略化されています。組み込まれているパワー・マネージメント部品の一覧については、表1を参照してください。

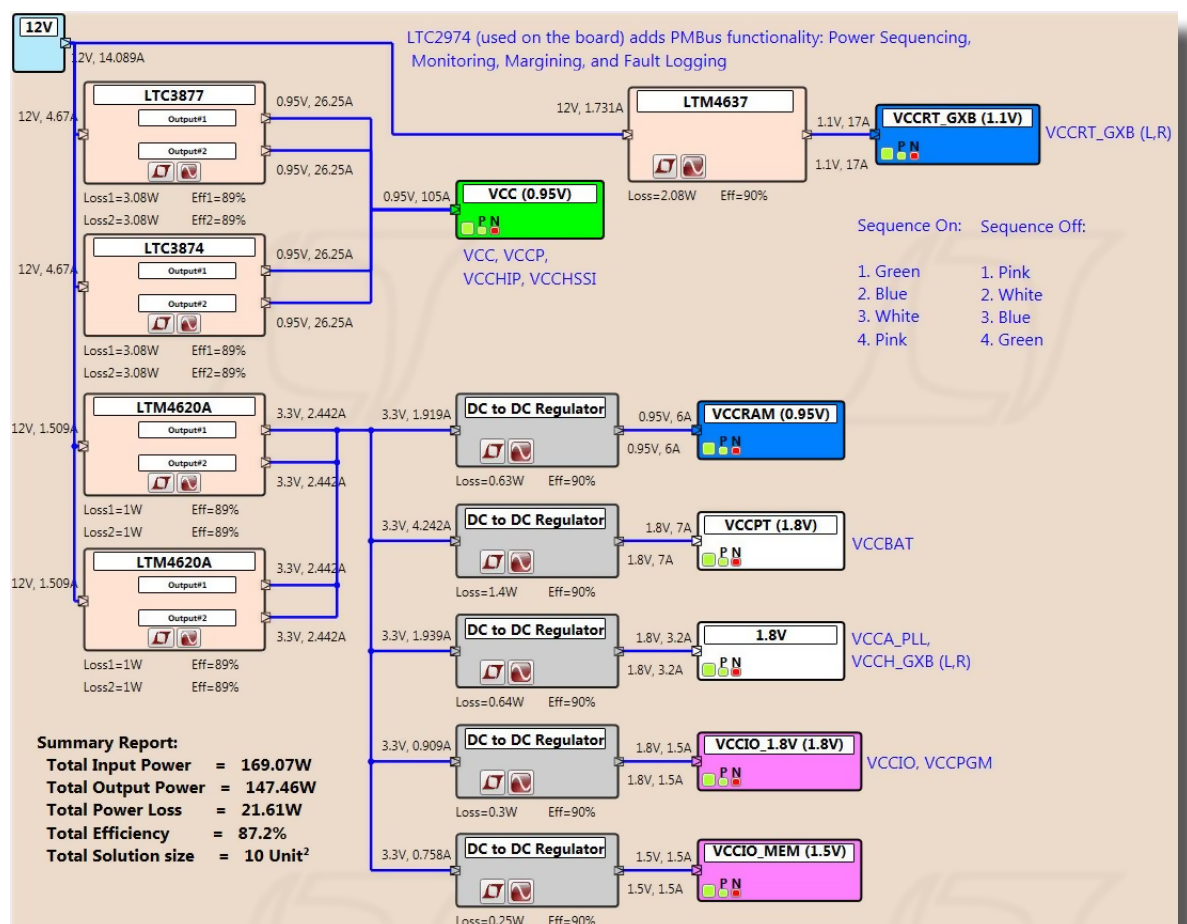


テスト済みで検証済みのキットを使用すると、システム設計者はパワー・システムやアナログのほとんどの問題から解放されるので、複雑なデジタル・システムを構成することにエネルギーを集中させることができます。パワー・システムは電源設計および基板レイアウトのエキスパートに任されています。

表 1. 図 1 に示す Arria 10 GX FPGA 開発キットのパワー・マネジメント部品表

レール/機能	製品番号	概要
FPGA コアの電源	LTC3877 + LTC3874	Arria 10 SmartVID と継ぎ目なくインタフェース接続する 0.9V/105A 出力のレギュレータ
高速トランシーバ	LTM4637	20A μ Module レギュレータ
電源投入/切断のシーケンス制御、電圧モニタおよび電流モニタ、電圧のマージニングとフォルト管理	LTC2977	8 チャンネル PMBus パワーシステム・マネージャ
PowerPath™ マネージメント	LTC4357	高電圧理想ダイオード・コントローラ
12V 入力から 3.3V 中間バスを出力	LTM4620	デュアル 13A またはシングル 26A μ Module レギュレータ
入力過電圧保護	LTC4365	過電圧、低電圧、逆電圧電源保護コントローラ
ハウスキーピング・システム電源およびパワー・マネージメント	LT1965、LT3082、LTC4352、LTC3025-1、LTC2418	低ノイズのリニア・レギュレータ、24 ビット ADC、低電圧理想ダイオード

図 2. Arria 10 GX FPGA 基板 (図 1) の電源ツリー。LTpowerPlanner (電源要件の割り当てを目的とした分析ツールおよび簡単な第一階設計ツール) で設計。

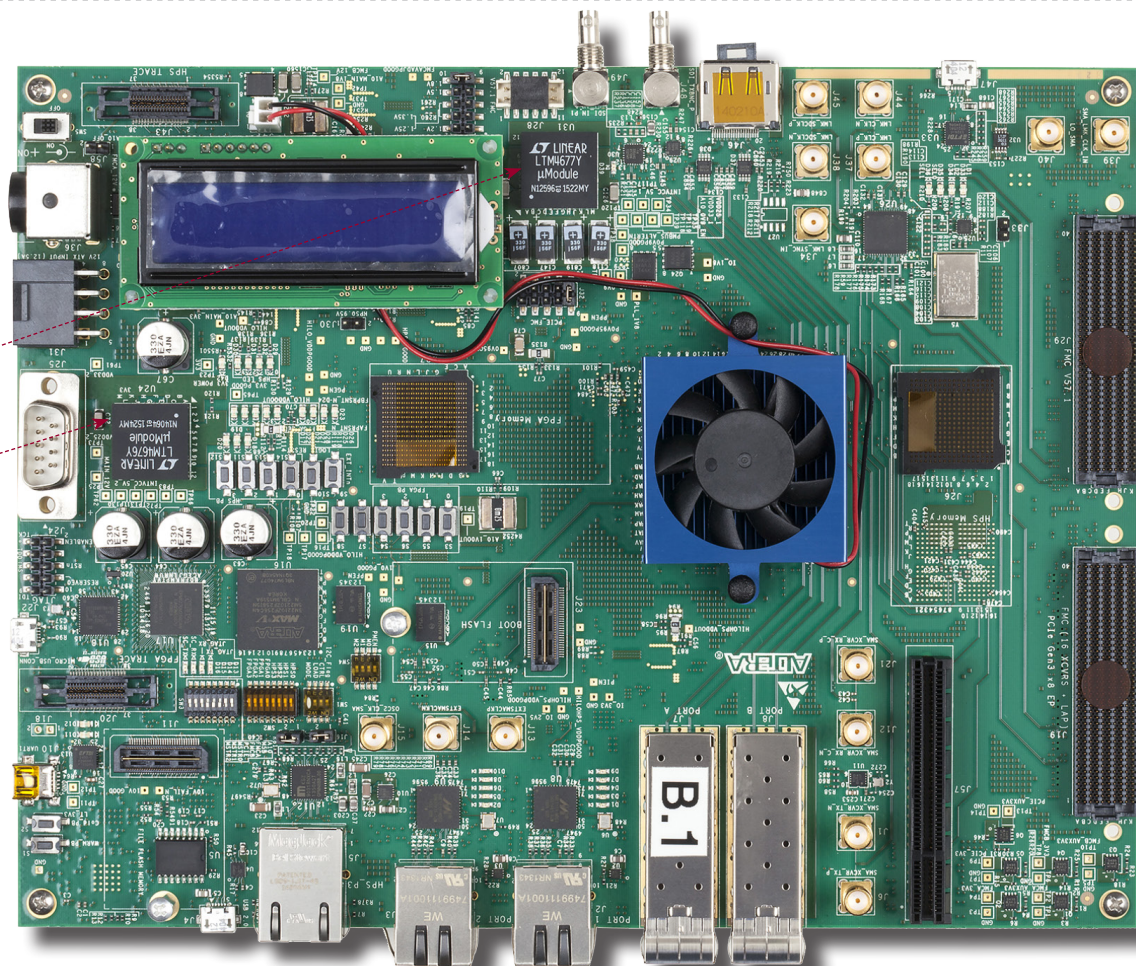


Arria 10 など、ハイエンドFPGAのパワー・マネージメント解決策は慎重に選択する必要があります。パワー・マネージメント設計を綿密に検討することにより、PCBのサイズ、重量、複雑さを低減できるだけでなく、消費電力と冷却コストを最小限に抑えることもできます。これは最適なシステム性能を達成するのに不可欠です。

図3. Arria 10 SoC開発キット基板

LTM4677 (デュアル18Aまたは
シングル36A μ Moduleレギュレータ)
によって生成される0.9VのFPGA
コア電源

LTM4676 (デュアル13Aまたは
シングル26A μ Moduleレギュレータ)
によって生成される3.3Vの中間バス



数のDC/DCレギュレータ、コンデンサ、インダクタ、除熱材、およびヒートシンクで構成されるシステムのパワー・マネージメントと部品のレイアウトへの取り組みを無計画に行くと、下流の設計問題につながる恐れがあります。DC/DCレギュレータに正しい入出力要件を適用しただけでは、ある時点で進行が阻害され、非常に時間のかかるデバッグ手順につながります。

パワー・マネージメントを始めるタイミング

デジタル設計およびコーディングの場合とまったく同様に、パワー・マネージメントの設計には体系的に取り組む必要があります。パワー・マネージメント・システムの入念な分析と正確なモデル化に取り掛かってからPCBの組み立てを行うようにします。FPGA、ASIC、GPU、マイクロプロセッサの要件と、これらや他のデジタル部品を使用するシステムの要件を満たすため、パワー・マネージメント・ガイドのテストと検証は既に実施済みです。実証されたパワー・マネージメント解決策にパワー・システ

ムを割り当てることにより、強い自信を持ってプロジェクトを始められます。これは、設計を試作段階から量産段階へ迅速に移行する（つまり、電源のデバッグに費やす時間を減らす）ための鍵です。

ケース・スタディ：Arria 10 FPGAおよびArria 10 SoCへの電力供給

前述したように、FPGA開発キットを使用すると、システム開発者は全てを備えたシステムを最初から設計しなくても、FPGAを評価することができます。Alteraの新しい20nmプロセス

実証されたパワー・マネージメント解決策にパワー・システムを割り当てることにより、強い自信を持ってプロジェクトを始められることが約束されます。これは、設計を試作段階から量産段階へ迅速に移行する（つまり、電源のデバッグに費やす時間を減らす）ための鍵です。

表2. 図3に示す Arria 10 SoC 開発キット基板のパワー・マネージメント部品表

レール/機能	製品番号	デバイスの概要
0.9V: V _{CC} (FPGA コア の電源)	LTM4677	デジタル・パワーシステム・マネージメント機能を備えたデュアル18Aまたはシングル36A μ Moduleレギュレータ
3.3V: システム電源	LTM4676	デジタル・パワーシステム・マネージメント機能を備えたデュアル13Aまたはシングル26A μ Moduleレギュレータ
1.2V: AVDD_PLL	LTC3026-1	1.5A 低入力電圧 VLDO™ リニア・レギュレータ
1.0V: ENET_DVDD	LTC3025-1	500mA マイクロパワー VLDO リニア・レギュレータ
1.8V: USB_FPGA	LT3010	50mA、3V ~ 80V 低ドロップアウト・マイクロパワー・リニア・レギュレータ
電圧モニタと電圧制御	LTC2977	正確な出力電圧測定を特長とする8チャンネルPMBus/パワーシステム・マネージャ
アナログ入力用の16ビットADC	LTC2497	Easy Drive™ 入力電流キャンセル機能およびI ² C インタフェースを備えた16ビット8/16チャンネル・デルタシグマADC
1.25V 電圧リファレンス	LT1389	ナノパワー高精度シャント電圧リファレンス

の Arria 10 FPGA および Arria 10 SoC (システム・オン・チップ) 開発基板を図1および図2に示します。これらの基板は Altera によってテストと検証が行われ、レイアウト、信号の完全性、およびパワー・マネージメントにおける最良設計事例を示しています。

コア、システム、およびI/Oの パワー・マネージメント

Arria 10 など、ハイエンドFPGA のパワー・マネージメント解決策は慎重に選択する必要があります。パワー・マネージメント設計を綿密に検討することにより、PCBのサイズ、重量、複雑さを低減できるだけでなく、消費電力と冷却コストを最小限に抑えることもできます。これは最適なシステム性能を達成するのに不可欠です。

例えば、0.95V/105A の出力は、図1に示す Arria 10 GX FPGA のコアに電力を供給する12V のDC/DCレギュレータが電源になっていますが、SoCの省電力方式を補完するいくつかの機能を備えています。

- DC/DCレギュレータ内蔵の6ビット並列VIDインタフェースは、Arria 10 のSmartVIDが使用してDC/DCレギュレータを制御し、静的な状態と動的な状態の間におけるFPGAの消費電力を低減します。
- DC/DCレギュレータの非常に値の小さなDCRによる電流検出では、インダクタでの電力損失を最小限に抑えることにより、効率が改善されます。温度補償により、インダクタの温度が高いときの精度、つまりDCRの値が維持されます。

Arria 10 開発キットの電源レールと、図1に示すような機能の要約を表1に示します。この表は、製品名と概要を機能ごとに示しています。www.linear-tech.co.jp/altera にアクセスして「Arria」をクリックし、ここに示す2つの基板の技術的詳細を参照してください。

LTpowerPlanner設計ツールによる 電源ツリーのカスタマイズ

電源要件が開発キットで実証されている設計と異なる場合はどうしますか。こうした場合には、LTpowerPlanner®というPCベースの設計ツールを使用して、システムの電源ツリーを個別に最適化します。

開発キットに与えられている推奨条件を使って始めてください。その後、パワー・ブロックの再編成、電力定格の変更、効率と電力損失の計算、各パワー・ブロックのシミュレーションを行い、DC/DCレギュレータの製品番号を選択して、カスタマイズした解決策を確認します。

LTpowerPlannerを使用したのは、Arria 10 開発キットのFPGAに対応する電源ツリー(図3)とシステム要件を生成することが目的でした。このツールは、より包括的なLTpowerCAD®設計ツールの内部で使用可能であり、www.linear-tech.co.jp/ltpowercad から無償でダウンロードできます。

