

この号の内容

自分専用の高性能ポータブル
DCベンチ電源の構築 **12**

太陽電池アプリケーションで真の
最大電力点を能動的に検出する
バッテリー充電コントローラ **21**

自己給電し、専用ネットワークを
形成する高精度ワイヤレス温度
センサ **26**

分数分周方式の利点を生かしつつ、複雑さや性能面での欠点を解消する、6GHz超のVCOを内蔵した分数分周方式PLL

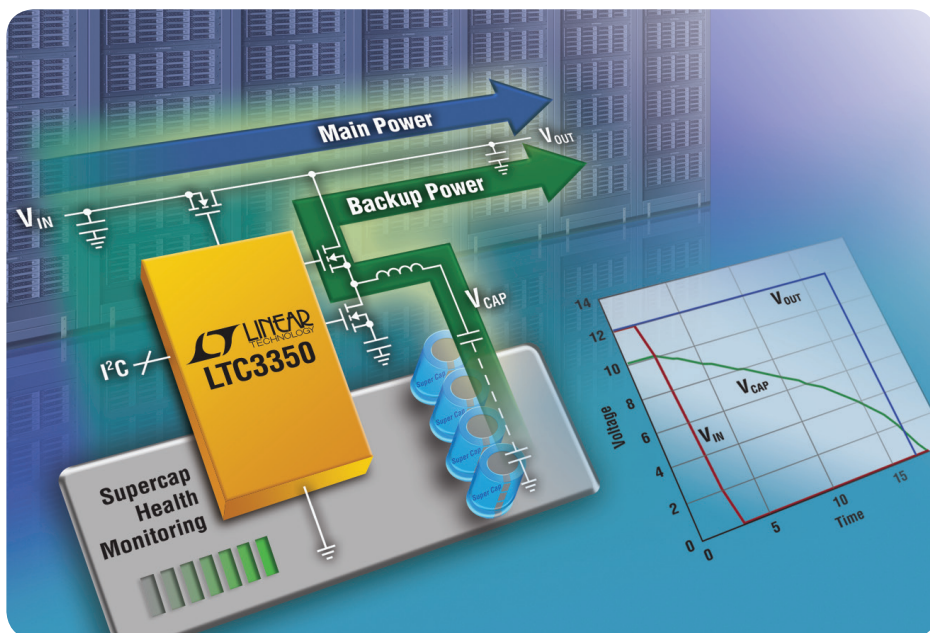
Michel Azarian

分数分周方式シンセサイザには、周波数の高さや全体的な位相ノイズ性能など、整数分周方式シンセサイザより有利な点がいくつもあり、それが魅力となっています。こうした利点を踏まえても、PLLシステムの設計者が分数分周方式の採用に踏み切ることはめったにありません。複雑な設計、不十分なスプリアス性能、さらに $\Delta\Sigma$ 変調器のノイズは、分数分周方式シンセサイザを使用した場合の欠点としてよく知られています。しかし、LTC6948を使えば、システム設計者は分数分周方式PLLの利点が得られ、欠点は回避できます。

一般的な分数分周方式シンセサイザとは異なり、このデバイスは、使いやすく、整数分周方式シンセサイザと同等のスプリアス性能とノイズ性能を発揮します。

LTC6948は6GHzを超えるハイエンドのVCOを4mm×5mmのパッケージに内蔵しており、PLLシステムを小型化します。さらに、LTC6948を使用したPLLシステム設計は、無償の高性能分数分周方式PLL設計/シミュレーション・ツールであるFracNWizard™を使えば簡単です。

(4ページへ続く)



LTC®3350スーパーキャパシタ・チャージャ/バックアップ・コントローラは、主電源が故障した場合に電力を中断せずに供給します(2ページ参照)。

LTC6948は高性能の位相/周波数検出器とVCOをLTC6946から流用し、18ビットの $\Delta\Sigma$ 変調器を加えて混載し、世界最高レベルの分数分周方式PLLを作り出しています。

(LTC6948、1ページからの続き)

分数分周方式PLLの需要

整数分周方式PLLのLTC6946 (LT Journal of Analog Innovation, 2012年1月)は、リファレンス周波数(f_{REF})に関連したPLL出力周波数($f_{LO(INT_N)}$)を次式に従って生成します。

$$f_{LO(INT_N)} = \frac{f_{REF}}{R} \cdot \frac{N}{O}$$

ここで、Rはリファレンス入力の分周比の値、NはVCO帰還分周比の値であり、Oは出力の分周比の値です。

LTC6946の簡略ブロック図とともに、ループを安定化するのに必要なループ・フィルタおよびデバイスのリファレンスを駆動するOCXOを図1に示します。

LTC6946は総合的に優れた性能を発揮しますが、アプリケーションによっては、 f_{LO} を小幅な周波数ステップ($f_{STEP(INT_N)}$)で動かすか、分解能の高い特定の周波数を追跡するよう微調整することが必要です。整数分周方式PLLをそのようなアプリケーションに適合させようとすると、位相/周波数検出器のレート($f_{PFD(INT_N)}$)を非常に小さくすることが必要になります。ただし、

$$f_{PFD(INT_N)} = f_{STEP(INT_N)} \cdot O$$

多くの場合、こうした状況では f_{PFD} が低すぎて実際には実現できませんが、これがたとえ可能だったとしても、帯域内位相ノイズフロア($L_M(OUT)$)が極端に高くなります。

$$L_M(OUT) =$$

$$L_M(NORM) + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}\left(\frac{f_{LO}}{f_{PFD}}\right)$$

ここで、 $L_M(NORM)$ はPLLの正規化された帯域内位相ノイズフロアです。

2つの f_{PFD} 項を結合すると、次のようになります。

$$L_M(OUT) =$$

$$L_M(NORM) + 20 \cdot \log_{10}(f_{LO}) - 10 \cdot \log_{10}(f_{PFD})$$

$L_M(NORM)$ はPLLに対して固定されるので、この式の意味は、目的とする f_{LO} が同じ場合、帯域内位相ノイズは $-10 \cdot \log_{10}(f_{PFD})$ だけ悪化するということです。言い換えれば、 f_{PFD} の周波数を低くすると、帯域内位相ノイズフロアは悪化します。図2は、 f_{PFD} を10kHzから100MHzまで変化させたとき、6.236GHzの f_{LO} の最後の式をプロットしています。 $L_M(NORM) = -225\text{dBc/Hz}$ (分数モードでの

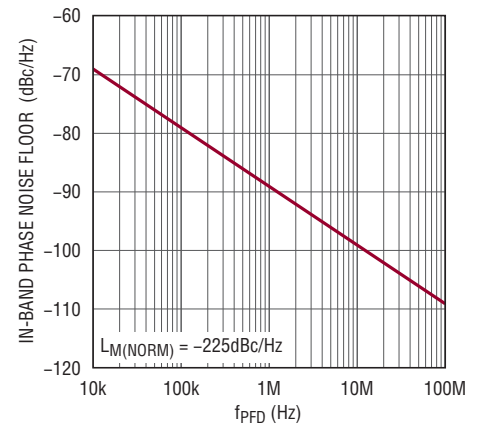


図2. 固定の f_{LO} でのPLLの帯域内位相ノイズフロアと f_{PFD}

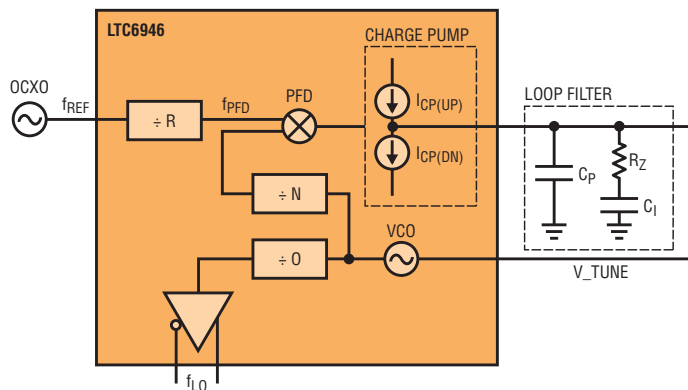
LTC6948に対する標準的な正規化定数)を仮定しています。

図2が示しているのは、 f_{PFD} をできるだけ高くする必要があることですが、それは $f_{STEP(INT_N)}$ (整数分周方式PLLでの周波数ステップ・サイズ)によって強く制限されています。

分数分周方式PLLは、 f_{STEP} と f_{PFD} の間のこの強い関係を断ち切ります。分数分周方式PLLは、整数分周方式PLLよりもはるかに小幅の f_{STEP} が可能でありながら、より高速の f_{PFD} で動作します。

通信チャネルに対する f_{LO} のノイズ寄与分に対する f_{PFD} の影響をさらに調査するため、FracNWizardでLTC6948の実用的な設定を使用して、 $f_{LO} = 6.236\text{GHz}$ の両側の100Hzから100MHzまでのオフセット範囲で位相ノイズを積分します。この結果をまとめたものを図3に示します。

図1. 外部参照クロックおよびループ・フィルタを接続したLTC6946の簡略ブロック図



LTC6948は、高度なノイズ波形整形技術を使用して、変調器からの帯域内ノイズ寄与分を最小限に抑えます。このデバイスは、正規化された帯域内位相ノイズフロア ($L_{M(NORM)}$) が -225dBc/Hz であり、その整数分周モードでの性能である -226dBc/Hz と比較して十分な値であることを誇っています。これらの数値により、LTC6948は一流のPLLデバイスとして位置付けられます。

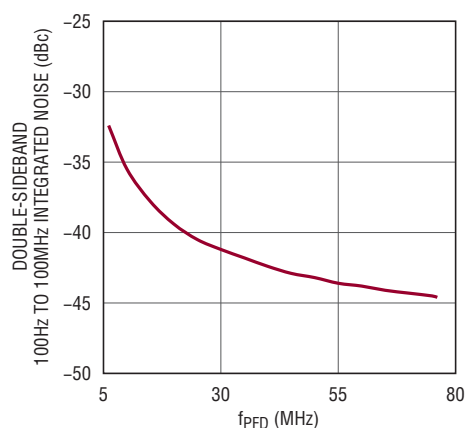


図3. $f_{LO} = 6.236\text{GHz}$ での両側波帯、100Hz~100MHzの積分ノイズ

図3に示す積分ノイズは、通信チャネルの信号対ノイズ比 (SNR) に直接関係があります。現代の通信チャネルは、データのスループットを最大限に高めるために複雑な変調方式を使用しており、そこでは40dB以上のSNRが一般的です。図3は、 f_{PFD} が高いほどこうした要件を満たすのに役立つことを示しています。

LTC6948の内部動作

LTC6948は高性能の位相/周波数検出器とVCOをLTC6946から流用し、18ビットの $\Delta\Sigma$ 変調器を加えて混載し、世界最高レベルの分数分周方式PLLを作り出しています。図4は、LTC6948のブロック図のほかに、ループ・フィルタと、リファレンスとして機能するOCXOを示します。

LTC6948では、 $f_{LO}(\text{FRAC}_N)$ と f_{REF} が次のように関連しています。

$$f_{LO}(\text{FRAC}_N) = \frac{f_{REF}}{R} \cdot \frac{N+F}{O}$$

Fは分数値で、次式で与えられます。

$$F = \frac{\text{NUM}}{2^{18}}$$

ここで、NUMは、LTC6948内部の $\Delta\Sigma$ 変調器に設定されている分子の値です。この値は1と $2^{18} - 1$ (つまり262143) の間の任意の整数なので、 $0 < F < 1$ であることを意味します。

前述したように、 $f_{STEP}(\text{FRAC}_N)$ は $f_{STEP}(\text{INT}_N)$ と比較すると小さく、通常は $f_{PFD}(\text{FRAC}_N)$ が $f_{PFD}(\text{INT}_N)$ より大きいのと対照的です。これにより、設計者は与えられた f_{REF} に対してできるだけ高い $f_{PFD}(\text{FRAC}_N)$ を選択できるので、図2に示すように値の低下した帯域内位相ノイズフロアを利用し、その後、 $f_{LO}(\text{FRAC}_N)$ で目的の周波数分解能を実現するのに十分なほど $f_{STEP}(\text{FRAC}_N)$ が小さいことを確認できます。次の式は、ステップ・サイズを位相/周波数検出器のレートに関連付けています。

$$f_{STEP}(\text{FRAC}_N) = \frac{f_{PFD}(\text{FRAC}_N)}{O \cdot 2^{18}}$$

f_{PFD} が同じ場合、 $f_{STEP}(\text{FRAC}_N)$ は、 $f_{STEP}(\text{INT}_N)$ の 2^{18} 分の1の大きさです。たとえば、 6.236GHz の f_{LO} は、 f_{PFD} が50MHzのLTC6948によって生成できるので、結果として 190.7Hz ($= f_{STEP}(\text{FRAC}_N)$)の周波

数分解能を持つ抜群の帯域内位相ノイズフロアが得られます。このことは、 $\pm (190.7/2 = 95.4\text{Hz})$ の最大誤差を持つVCO範囲内のどの周波数にも設定できることを意味します。95.4Hzという最大誤差は、6.236GHzの0.015ppm(100万分の1)すなわち15ppb(10億分の1)なので、リファレンス・クロックの精度の影響は事実上なくなります。出力分周比の大きい方の値Oを使用すると、絶対ステップ・サイズはさらに小さくなります。

$\Delta\Sigma$ 変調器は (LTC6948で可能な 2^{18} ステップのような) 高い分解能を実現しつつ、量子化ノイズを自動制御で整形するので、 $\Delta\Sigma$ 変調器を使用して細分化機能をPLLで実行するのが推奨の方法です。言い換えると、帯域内量子化ノイズは減少しますが、代償として帯域外ノイズが増加します。帯域外ノイズは図4に示す受動素子を使用して簡単に除去できます。後述の「設計例：ドップラー・レーダー」に示すように、これらの部品の値を決定することは、FracNWizardソフトウェアを使用することで簡単にできます。

LTC6948は、内部の $\Delta\Sigma$ 変調器を停止して、整数分周方式PLLとして動作させることができます。

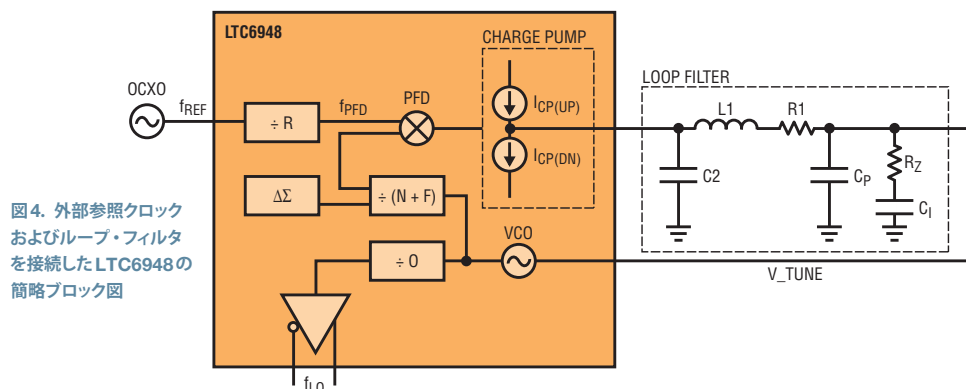


図4. 外部参照クロックおよびループ・フィルタを接続したLTC6948の簡略ブロック図

分数分周方式PLLには、出力に3種類のスプリアス積が生じます。それはリファレンス・スプリアス、整数値境界スプリアス、および分数化スプリアスであり、予測できない面倒なスプリアスです。LTC6948には分数化（つまり $\Delta\Sigma$ ）スプリアスは絶対にありません。

分数化の欠点は回避可能

PLLに $\Delta\Sigma$ 変調器を追加すると、不十分なスプリアス性能（最も顕著）、 $\Delta\Sigma$ 変調器ノイズ、設計の複雑さなど、重大な欠点が生じる可能性があります。以下に説明するように、これはLTC6948には当てはまりません。

スプリアス性能の概要

分数分周方式PLLには、出力に3種類のスプリアス積が生じます。

1. リファレンス・スプリアス
2. 整数値境界スプリアス
3. 分数化スプリアス

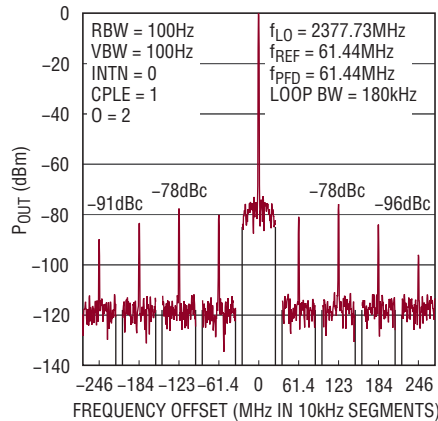
面倒なスプリアスは予測不能のスプリアスです。スプリアスの発生箇所と大きさが分かっている場合、システム設計者はそれを回避するか、またはそれがシステムの完全性を損なわないことを保証できます。スプリアスの発生箇所と大きさがランダムの場合、設計者には取るべき手段はほとんどありません。

LTC6948の低リファレンス・スプリアス

リファレンス（またはPFD）スプリアスは予測可能であり、整数分周方式PLLにも同様に存在します。このスプリアスが存在する周波数は、ちょうど f_{PFD} とその高調波で、高調波は f_{LO} を中心として f_{LO} から離れています。LTC6948は優れたリファレンス・スプリアス性能を備えています。およそ2.3GHzの出力でのLTC6948の標準的な性能を図5に示します。

図5は、LTC6948を分数分周モードに設定して、2.378GHzの f_{LO} を生成している場合、出力スペクトルにはリファレンス・スプリアス

図5. $f_{\text{LO}} = 2.378\text{GHz}$ でのLTC6948の f_{PFD} スプリアス



が含まれており、その f_{LO} からのオフセットは61.44MHz (f_{PFD}) および f_{PFD} の高調波であることを示しています。LTC6948のリファレンス・スプリアスの大きさは、他のデバイスと比較するとやや低めです。最も顕著なスプリアスであっても、 f_{LO} からの121.88MHzのオフセットは問題になりません。このスプリアスは、エネルギーの面では低すぎ、 f_{LO} からは遠すぎて、実際のほとんどのアプリケーションでは何の不都合もありません。

値が低く予測可能な整数値境界スプリアス

整数値境界スプリアスは、分数分周方式PLLに固有の物理現象です。VCO出力は f_{PFD} の高調波を相互変調して、うなり周波数を生成します。これらのうなり周波数は、PLLのループ帯域幅 (BW) の通過帯域内またはその通過帯域に近い場合に限り、 f_{LO} の前後にスプリアスとして現われます。言い換えると、Fが0または1にきわめて近い場合、これらのスプリアスはループ・フィルタでは減衰されず、PLL出力

の範囲内に現われます。これをLTC6948を使用して測定した結果を図6に示します。

Fが0または1から遠ざかるにつれて、整数値境界スプリアスはループ・フィルタによって減衰されます。Fが1/2、1/3、1/4などに近づくにつれて同様の仕組みが働きますが、範囲は指数関数的に狭くなるので、 $f_{\text{PFD}} \cdot F < \text{BW}$ または $f_{\text{PFD}} \cdot (1-F) < \text{BW}$ のときに主な整数値境界スプリアスが生じます。

ほとんどの状況では、 f_{REF} を慎重に選択し、場合によっては複数の f_{PFD} あるいは f_{REF} を使用することにより、システム設計者はこれらのスプリアスを回避することができます。これらのスプリアスの位置は事前に分かっているからです。

さらに良いことには、アプリケーションの良好な部分では、LTC6948の整数値境界スプリアス・レベル（図6に示す例では最大-60dBc）が非常に低く、システムでのチャネル積分ノイズより低くなる可能性が高いと考えられます。両側波帯積分ノイズが通信チャネル内で-40~-50dBcであれば、通常は高性能とみなされるので、最大-60dBcのスプリアスはチャネルのノイズより少なくとも10dB低く、システム全体の性能に支障をきたすことはないことを意味します。

LTC6948では整数値境界スプリアス・レベルが低くなっており、さらにループ帯域幅の内側ではスプリアスが除去されないことから、整数値境界スプリアスがチャネルのエネルギーの中心となることが多い他の分数分周方式PLLよりも競争面で優位に立つことができます。

図6. $f_{LO} = 2.365\text{GHz}$ ($F = 0.00043$) $\sim f_{LO} = 2.378\text{GHz}$ ($F = 0.4$) でのLTC6948の整数値境界スプリアス

分数化スプリアスなし

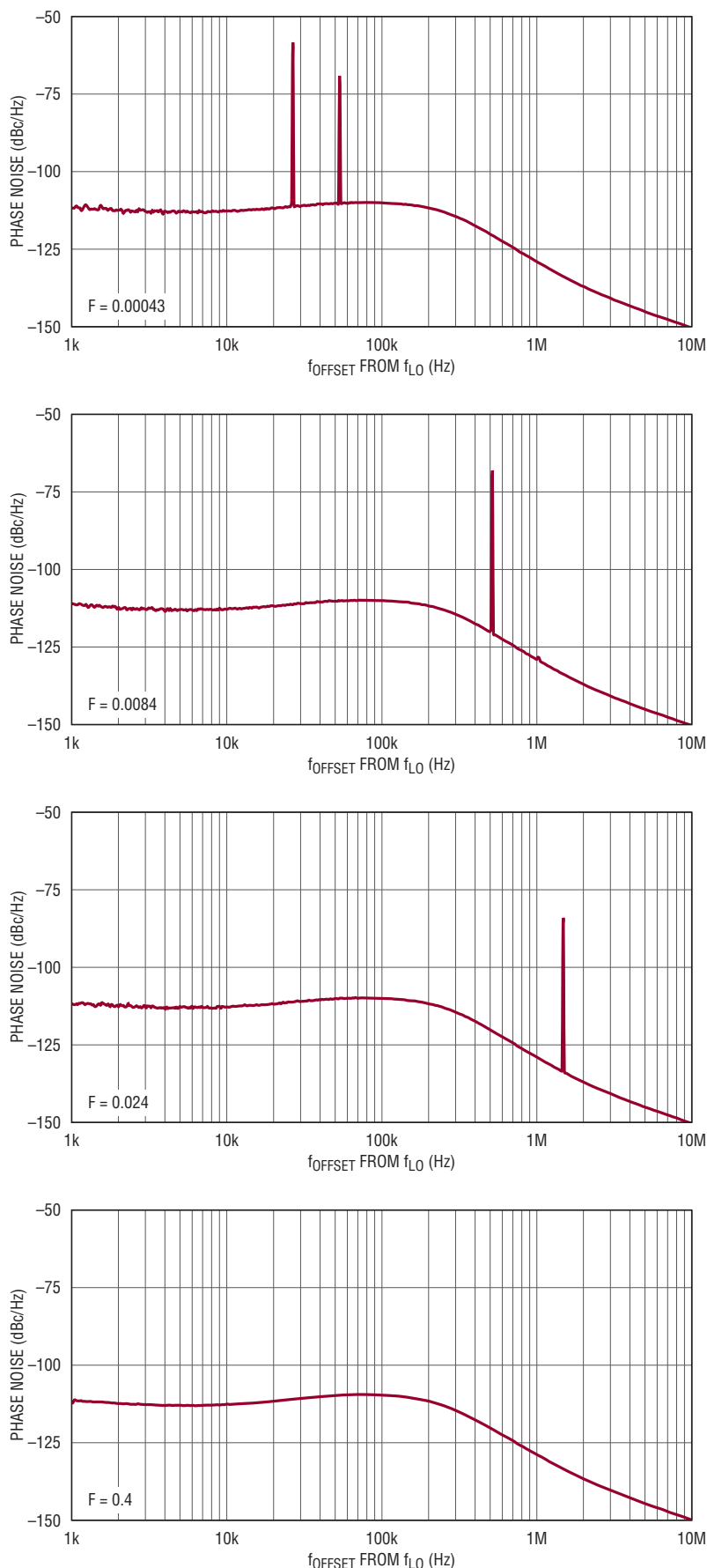
LTC6948には予測不能な分数化スプリアスがありません。このスプリアスは、市販されている他の分数分周方式デバイスのほとんどがかかえている問題です。予測不能なスプリアスに対処するときの問題は、LTC6948の場合にはありません。

$\Delta\Sigma$ ノイズ

LTC6948は、高度なノイズ波形整形技術を使用して、変調器からの帯域内ノイズ寄与分を最小限に抑えます。このデバイスは、正規化された帯域内位相ノイズフロア ($LM(NORM)$) が -225dBc/Hz であり、その整数分周モードでの性能である -226dBc/Hz と比較して十分な値であることを誇っています。これらの数値は、LTC6948は素晴らしいPLLデバイスであることを示しています。

簡単な設計

「設計例：ドップラー・レーダー」で後述するレーダー・アプリケーションは、FracNWizardソフトウェアを使用してLTC6948を設計に組み込む方法がいかに簡単であるかを示しています。LTC6948は複雑な設計方法は使用せず、代わりに簡単明瞭な設計プロセスを使用します。LTC6948のすべての仕様は容易に達成可能です。



リファレンス・クロックは、システム内で最も高価な部品になる可能性があります。PLL ICを適切かつ慎重に選択することにより、理論的にはリファレンス・クロックが支配的な近接位相ノイズの悪化を防止します。多くの場合は見落とされていますが、PLL ICの1/fノイズ（またはフリッカ・ノイズ）は、近接位相ノイズを悪化させる可能性があり、帯域内位相ノイズに悪影響を及ぼす可能性がある重要な性能指標です。

VCOの較正時間

LTC6948は、複数の内部VCOサブ帯域を使用して、その出力周波数範囲全体を対象範囲にします。LTC6948を起動するか、その周波数を変更したら、そのことはその都度デバイスに伝達する必要があります。これにより、デバイスは内部検索アルゴリズムを実行して正しいVCOサブ帯域を適用できます。

VCO較正時間は最小限に抑えて、PLLロック時間を制限してください。たとえば、周波数ホッピング・アプリケーションは、全ロック時間が短くなるとメリットがあります。LTC6948は、図7に示すように10μsよりわずかに長い時間でVCOの較正を完了できます。この時間は、ほとんどの代替デバイスより丸1桁分高速です。

隠れていることが多いがきわめて重要な1/fノイズ

リファレンス・クロックは、システム内で最も高価な部品になる可能性があります。PLL ICを適切かつ慎重に選択することにより、理論的にはリファレンス・クロックが支配的な近接位相ノイズの悪化を防止します。多くの場合は見落とされていますが、PLL ICの1/fノイズ（またはフリッカ・ノイズ）は、近接位相ノイズを悪化させる可能性があり、帯域内位相ノイズに悪影響を及ぼす可能性がある重要な性能指標です。たとえば、1/fノイズ・コーナーが上昇した場合、1/fノイズによって帯域内位相ノイズがどのように悪化するかを図8に示します。図8では、正規化された帯域内位相ノイズフロアが-225dBc/Hzであると想定しています。

図8は、ほとんどのベンダが隠すことにしているPLLの現実を明らかにしています。この図は、帯域内位相ノイズフロアに対する1/fノイズの強い影響を示しています。あるPLL ICの正規化帯域内位相ノイズフロア（別名：最小感度）が良くても、そのデバイスの1/fノイズの性

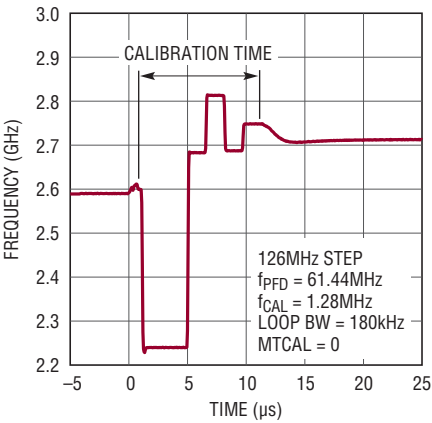


図7. LTC6948 VCOの標準の較正時間

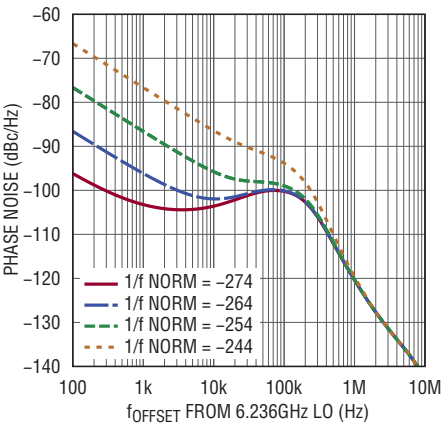


図8. 近接および帯域内位相ノイズ性能に対する異なる正規化帯域内1/f位相ノイズ規格の影響

能が不十分である場合には、帯域内位相ノイズの良さは隠れてしまいます。

LTC6948は、(1Hzのf_{LO}からの1Hzのオフセットを基準にして正規化された) -274dBc/Hzの素晴らしい正規化1/fノイズ規格が特長ですが、これは100Hzのオフセットで100MHzのリファレンス・クロックの場合、-134dBc/Hzの位相ノイズ・レベルと同等であり、市場で入手できる最高級の100MHz水晶発振器と同等の性能です。

次の式は、正規化された1/fノイズの数値(L_{1/f})を、オフセット位相ノイズの値L_{OUT(1/f)}(f_{OFFSET})に変換する方法を示しています。ここで、f_{OFFSET}は、ある一定のf_{LO}からのオフセットです。

$$L_{OUT(1/f)}(f_{OFFSET}) = L_{1/f} + 20 \cdot \log_{10}(f_{LO}) - 10 \cdot \log_{10}(f_{OFFSET})$$

表1. LTC6948の出力周波数オプション

VCO出力分周器	周波数範囲 (GHz)			
	LTC6948-1	LTC6948-2	LTC6948-3	LTC6948-4
O_DIV = 1	2.240~3.740	3.080~4.910	3.840~5.790	4.200~6.390
O_DIV = 2	1.120~1.870	1.540~2.455	1.920~2.895	2.100~3.195
O_DIV = 3	0.747~1.247	1.027~1.637	1.280~1.930	1.400~2.130
O_DIV = 4	0.560~0.935	0.770~1.228	0.960~1.448	1.050~1.598
O_DIV = 5	0.448~0.748	0.616~0.982	0.768~1.158	0.840~1.278
O_DIV = 6	0.373~0.623	0.513~0.818	0.640~0.965	0.700~1.065

ドップラー・レーダー・アプリケーションは、 $1/f$ ノイズ性能がなぜ肝要であるかを示す好例です。ドップラー・レーダーは、入射波が移動物体によって反射したときに入射周波数に加わった少量の周波数偏移を検出することに依存しています。LTC6948の $1/f$ ノイズ性能により、186Hzのオフセットで必要なダイナミックレンジを確保できるので、10mphの移動物体を検出する確率が高くなります。反射信号は大幅に減衰するので、信号を正しく解読するには、レーダー受信機のダイナミックレンジが十分であることが重要になります。

設計例：ドップラー・レーダー

ドップラー・レーダー・アプリケーションは、 $1/f$ ノイズ性能がなぜ肝要であるかを示す好例です。ドップラー・レーダーは、入射波が移動物体によって反射したときに入射周波数に加わったわずかな周波数偏移を検出することに依存しています。入射周波数 f_{LO} に対する反射電磁波の周波数偏移（ドップラー偏移） f_D は、次式に示すように、移動物体の速度 v および光速 c と関係があります。

$$f_D = 2 \cdot v \cdot \frac{f_{LO}}{c}$$

ドップラー・レーダーの最新の用途には、ゆっくりと移動する物体を監視するアプリケーションも含まれます。10mphで移動している中程度の速度の物体から発生する f_D は、 $f_{LO} = 6.236\text{GHz}$ の場合、わずか186Hzです（ $c = 671 \cdot 10^6\text{mph}$ と仮定）。図8に示すように、LTC6948の $1/f$ ノイズ性能により、186Hzのオフセットで必要なダイナミックレンジを確保できるので、10mphの移動物体を検出する確率が高くなります。反射信号は大幅に減衰するので、信号を正しく解読するには、レーダー受

信機のダイナミックレンジが十分であることが重要になります。

かなり高速の物体を検出する場合でも、LTC6948の低 $1/f$ ノイズ性能とその優れた帯域内位相ノイズフロアによるメリットがあります。たとえば、 $f_{LO} = 6.236\text{GHz}$ の場合、200mphで移動する物体の f_D は3.72kHzです。図8は、LTC6948を搭載したレーダー・システムが3.72kHzのオフセットで最高のダイナミックレンジに対応していることを示しています。

図9. FracNWizardツールは、LTC6948を使用する $f_{LO} = 6.236\text{GHz}$ の場合の設計パラメータを決定します。

1. 「Loop Design」を選択する

2. 「LTC6948-4」を選択する

3. リファレンス周波数を入力する

4. 目的の f_{LO} を入力する

5. 「Compute Params」をクリックする

6. 「Filter 3」を選択する

7. 「Design Filter」をクリックする

8. 表示された「Component Values」の
実用版を回路に取り込む

Linear Technology FracNWizard

File Communication Options Help

System Loop Design Registers

DESIGN

VCO Params VCO Noise

Goals Ref Noise

Fref 100.0000 MHz

Design Goals

Fstep 10.0000 MHz

Frf 6236.0000 MHz

Loop BW 173 kHz

Max OSR 578.0 Hz/Hz

Recommendations

Opt Loop BW (Noise) 230 kHz

Max Loop BW (FracN)

Filter 1 44.7 kHz

Filter 2 109 kHz

Filter 3 173 kHz

Filter 4 NA kHz

Design All Filters

Part Params

R Div 2

N Div 124

NUM 188744

O Div 1

Frac-N

INTN False

DITHEN True

SEED 17

LDO 2.3V

CPLE True

FILT 0

LKWIN 5.0ns

B Count 32

Compute Params

Loop Filter

Kvco 337.3 MHz/V

Icp 5.6 mA

Component Values

Rz 71.4 Ohms

Cl 58.0 nF

Cp 2.45 nF

R1 71.4 Ohms

C2 1.64 nF

L1 8.34 uH

R2 0.00 Ohms

C3 0.00 nF

Design Filter

Calc'd Frequencies

Fpfd 50.000000 MHz

Fvco 6236.0001 MHz

Frf 6236.0001 MHz

Fstep 0.1907349 kHz

Max F Error 0.0953674 kHz

Max F Error 0.0152930 ppm

NUMstep 52428.80 counts

Loop BW 173 kHz

OSR 289.017 Hz/Hz

Fcal 1563 kHz

Tcal 8.960 us

Compute + Design + Plot

Pick Loop Filter

Filter 1 (2nd Order)

Filter 2 (3rd Order)

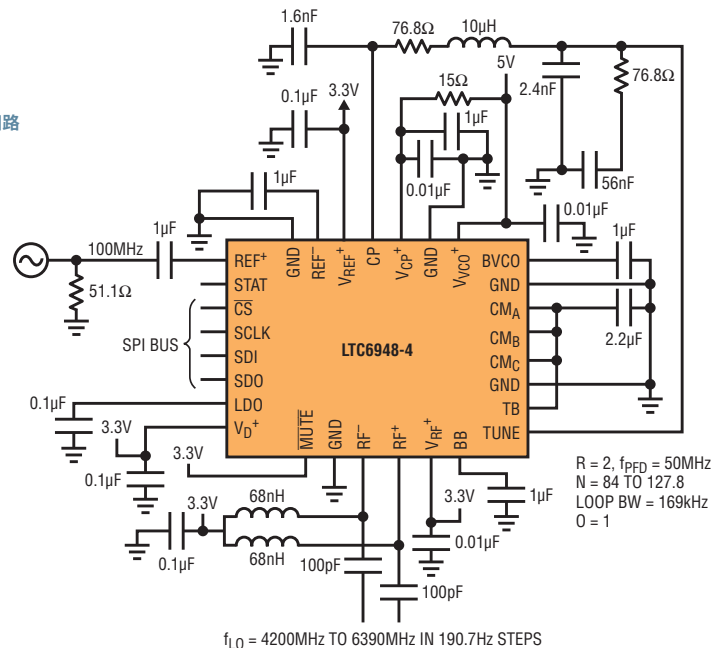
Filter 3 (4th Order)

Filter 4 (4th Order)

LTC6948-4 Comm Enabled DC590 Designing Loop Filter...

かなり高速の物体を検出する場合でも、LTC6948の低1/fノイズ性能とその優れた帯域内位相ノイズフロアによるメリットがあります。たとえば、 $f_{LO} = 6.236\text{GHz}$ の場合、200mphで移動する物体の f_D は3.72kHzです。LTC6948を搭載したレーダー・システムは、3.72kHzのオフセットで最高のダイナミックレンジに対応しています。

図 10. 計算済みのループ・フィルタ部品を接続したLTC6948-4回路



これで、LTC6948の性能がドップラー・レーダー・アプリケーションの要件を満たすことが分かったので、設計プロセスのポイントを見てみましょう。

PLLの選択

ドップラー・レーダー・アプリケーション用のPLLを設計するには、 f_{LO} が6.236GHzである場合、その周波数で動作するLTC6948のバージョンを選択します。入手可能な4種類のLTC6948オプションを表1に示します。

LTC6948-4は、目的の f_{LO} として6.236GHzを供給するVCOを内蔵しています。

PLLの設計

www.linear-tech.co.jp/FracNWizard でFracNWizardをダウンロードしてインストールします。ここで示す設計回路では、100MHzのリファレンス・クロックを仮定しています。リニアテクノロジーのデモ回路DC1216A-Dはこの機能を実現しています。FracNWizard（図9参照）を使用し、LTC6948-4を選び、設計目標を入力して、設計を完了するのに必要な部品を決定します。

PLLのシミュレーションおよび構築

デモ回路DC1959A-Dは妥当な出発点となります。FracNWizard（サイドバー）によって求めたとおりフィルタ部品の値を採用し、必要に応じてDC1959A-Dの部品を実用的な値の部品に置き換えます。実用的なフィルタ部品の値を持つ6.236GHz回路の回路図を図10に示します。

FracNWizardのフィルタ部品の値を実用的な受動部品の値に更新します。図11に示すように、目的の6.236GHzでのLTC6948-4の位相ノイズ性能がFracNWizardによって予測されます。この図は、リファレンスの位相ノイズが全出力ノイズにどのように影響するかを示し、リファレンス・クロックを選択するのに役立ちます。また、FracNWizardは、整形された $\Delta\Sigma$ 変調器ノイズが、受動フィルタの使用によってどのように除去できるかも示します。

PLLの評価

DC1959の電源を投入し、デモ回路DC590（リニアテクノロジーから入手可能なUSBシリアル・コントローラ）を介してPCに接続します。100MHzのリファレンス・クロック信号源をDC1959に入力して、www.linear-tech.co.jpにあるDC1959デモ回路マニュアルに記載されている操作手順に従ってください。

分数分周方式PLLであるLTC6948は、周波数の高さや帯域内位相ノイズ全体の低減など、分数化のメリットがあり、通常の分数分周方式PLLに付き物のマイナス面はありません。設計は無償のFracNWizardソフトウェアによって簡素化されており、公開されている仕様は、素晴らしい内容ではあるものの控え目な値であり、容易に達成可能です。

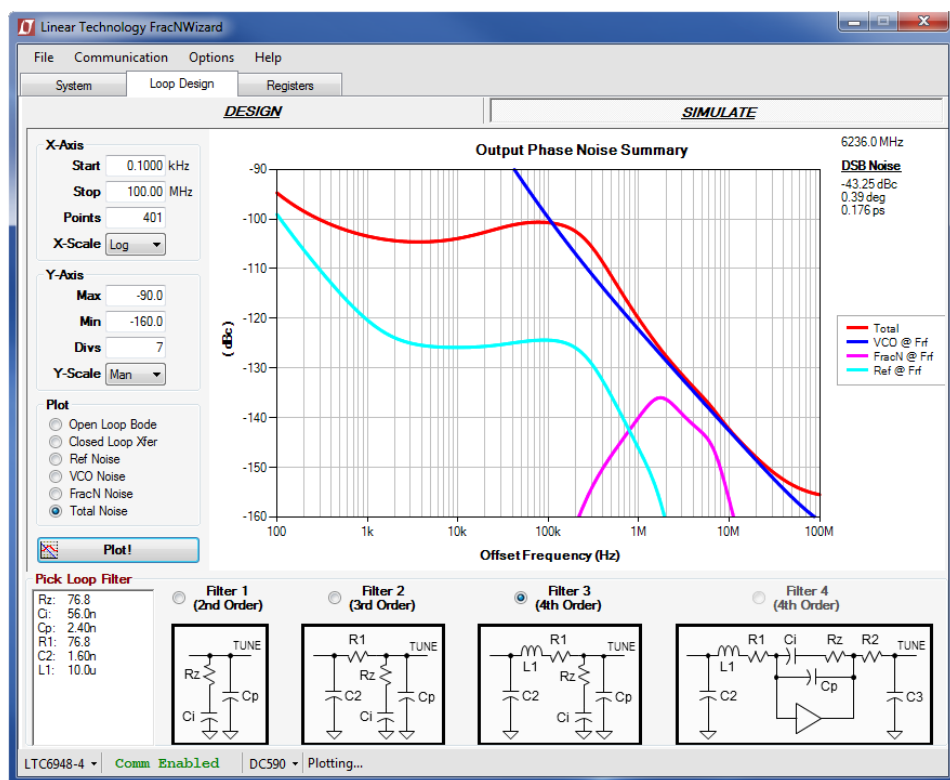


図 11. $f_{LO} = 6.236\text{GHz}$ でのFracNWizardシミュレーション結果

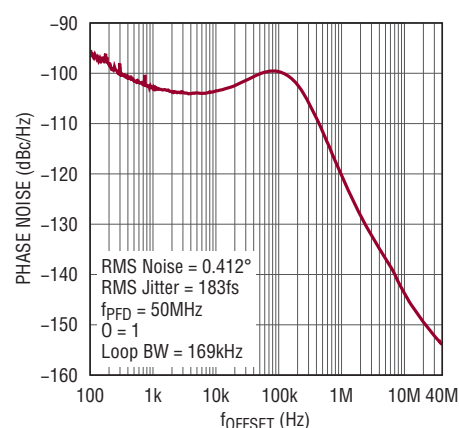


図 12. LTC6948-4の出力での $f_{LO} = 6.236\text{GHz}$ の測定結果

DC1959の出力を信号源アナライザ（この場合はAgilent社製E5052A）に接続することにより、今回の例の f_{LO} の位相ノイズを確認します。図12に結果を示しますが、図11に示すFracNWizardの計算結果と厳密に整合しています。

これで終わりです。分数分周方式PLLシステムの設計は完了しました。

まとめ

分数分周方式PLLであるLTC6948は、周波数の高さや帯域内位相ノイズ全体の低減など、分数化のメリットがあり、通常の分数分周方式PLLに付き物の欠点はありません。設計は無償のFracNWizardソフトウェアによって簡素化されており、公開されている仕様は、素晴らしい内容ではあるものの無理をしたものではなく、容易に達成可能です。■