

帯域幅が30MHzを超え、SNRが64dBでSFDRが80dBの325MHz IF サンプリング・システムのリファレンス・クロック分配

Michel Azarian

リファレンス・クロックのバッファ処理と分配によってRFレシーバに生じたクロック・ジッタは、システム性能を制限することがあります。フロントエンド・フィルタ要件緩和の成果を得る目的で比較的高い中間周波数 (IF) を使用する場合は、ジッタが小さいという要件がさらに重要となります。この記事では、325MHz IF サンプリング・システムの設計について詳しく説明し、発生するジッタを最小限に抑えつつ、正弦波のリファレンス信号を、高速A/Dコンバータを駆動するのに適した1対の差動LVPECLクロックに変換するクロック・バッファおよび分配器を紹介します。

システムの説明

RFレシーバでのダウンコンバージョンの最終段をA/Dコンバータが実行するIFサンプリング(またはアンダーサンプリング)システムでは、IFの周波数が高いほど、RFフロントエンドでのイメージ除去フィルタの特性条件を緩和することができます。このことはフィルタのコスト、サイズ、および挿入損失の低減に役立ち、それによって増幅の必要性が下げられるので、一層の低コスト化および低消費電力化につながります。IFサンプリングを採用している標準的なRFレシーバ・チェーンを図1に示します。

比較的高いIFでレシーバを設計することのマイナス面は、高い周波数のアナログ入力信号をサンプリングする際のA/Dコンバータの性能の低下が、システム全体の性能に与える影響がより大きくなることです。たとえば、A/Dコンバータ

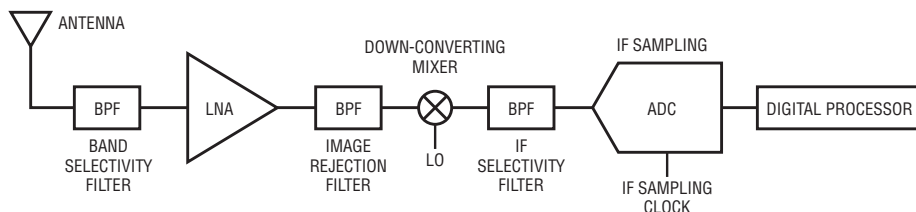
のSFDR(スプリアス・フリー・ダイナミックレンジ)は、入力周波数が高くなるほど悪化します。さらに重要なことは、より高い周波数の入力をサンプリングする際に、A/Dコンバータのアパーチャ・ジッタとそのクロック・ジッタの組み合わせによる影響が、信号対ノイズ比(SNR)を低下させ始めることです。

クロック・ジッタの影響を実例で示すには、同じA/Dコンバータと同じクロックを使用し、2つのスルーイング信号(一方は他方より傾斜の高い信号)をサンプリング中、クロック・ジッタに起因する電圧誤差の大きさを比較します。図2に示すように、2つの信号をサンプリングしているとき、このクロックには同じ大きさの時間ジッタ(t_j ; 単位はs-RMS)が存在します。変動速度が速い信号に対する方が、クロック・ジッタの不確実性の影響が大きいので、アナログ入力に高周波成

分が含まれる場合、クロック・ジッタはSNRを低下させる主要な誤差原因の一つになります。したがって、A/Dコンバータのクロックのジッタは、図1のIFサンプリング・クロックに示すように、できるだけ小さくしておくことが重要です。

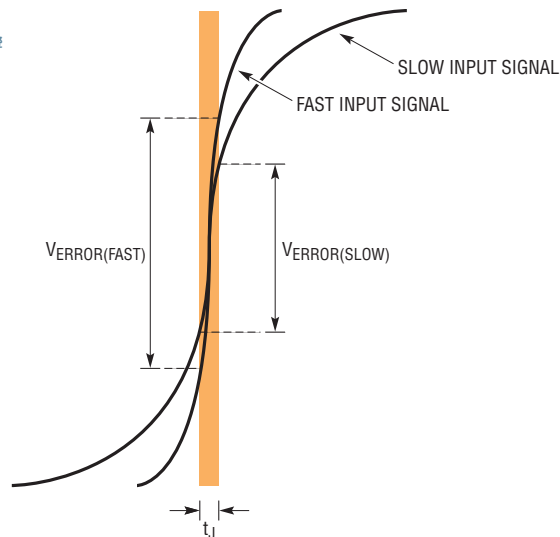
A/Dコンバータのクロック入力でのAM-PMノイズ変換を避けるため、クロックのスルーレートは高くすることが必要であり、方形波が理想です。A/Dコンバータのクロック入力はリミッタの役目を果たし、信号を取り込み、入力信号のゼロ交差(または他の基準)で判定することによって方形にします。AM-PMノイズ変換が行われるのは、低周波または低振幅の正弦波のように、入力信号のスルーレートが低く、方形波と比較するとスロー・モーションのような信号の場合であり、信号がゼロ交差点を通過する時点です。抵抗の熱ノイズ、電源からのノイズなど、何らかの種類のAMノイズが存在すると、入力信号のゼロ交差点はエッジ間で一致なくなり、結果としてリミッタの出力でジッタが発生することになるので、AMノイズはPMノイズに変換されます。ところが、入力信号がゼロ点を交差する場合でも、LVPECL信号の立ち上がり時間および立ち下がり時間が短いため、クロックに加えられたAMノイズがPMノイズに変換されることほとんどありません。

図1. 標準的なシングルIF段RFレシーバのブロック図



比較的高いIFでレシーバを設計することのマイナス面は、高い周波数のアナログ入力信号をサンプリングする際のA/Dコンバータの性能の低下が、システム全体の性能に与える影響がより大きくなることです。たとえば、A/DコンバータのSFDR（スプリアス・フリー・ダイナミックレンジ）は、入力周波数が高くなるほど悪化します。さらに重要なことは、より高い周波数の入力をサンプリングする際に、A/Dコンバータのアーチャ・ジッタとそのクロック・ジッタの組み合わせによる影響が、信号対ノイズ比（SNR）を低下させ始めることです。

図2. 低速および高速で変化する信号をデジタル化する際のクロック・ジッタの影響



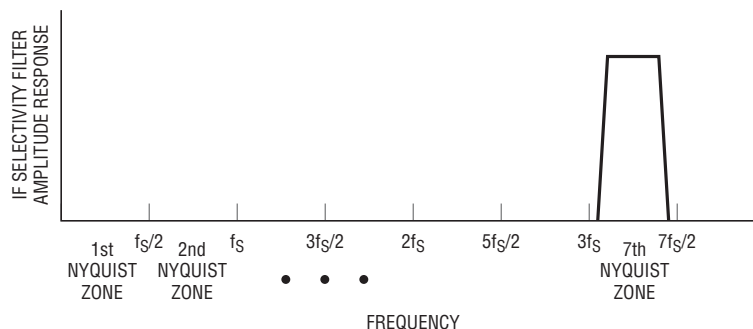
また、最新のA/Dコンバータは最高の性能を実現するためにクロック入力を差動で駆動することが必要です。クロック信号の送信元と送信先を互いに近づけて配置することは通常ないので、クロック信号の配線は一般にPCB上でかなり長い距離になります。クロック信号を差動形式で送ると、結合の影響を受けなくなり、シングルエンドのクロック配線と比べて全体としてより堅牢な設計になります。

図1に示すLO信号の発生元は、通常はフェーズロック・ループ(PLL)システムです。PLLでは、LOのロック元としてリファレンス・クロックが必要です。従来は10MHzが一般的なリファレンス周波数でした。しかし、現在ではより高周波のリファレンス・クロックが一般的になりつつあります。現に、最近のRF設計では100MHz以上のリファレンス周波数は珍しくありません。

リファレンス・クロックは、一般にOCXOデバイスまたはTCXOデバイスから発生させており、通常は非常に低いジッタと位相ノイズを有しています。受信RFチャンネルの帯域幅（または2つ以上の隣接チャンネルを同時にデジタル化するレシーバでは複数チャンネルの帯域幅）の2倍より適度に高くなるようにPLLリファレンス周波数を選んで、正しい周波数計画を実施した場合には、同じリファレンス・クロックをIFサンプリングA/Dコンバータに使用することも可能です。IFフィルタの通過帯域とその移行帯の大部分がA/Dコンバータの単一のナイキスト・ゾーンに収まって周波数が折り返さないようにするのが理想です。これは図3に示すIFフィルタ振幅応答を見ることによって明確になります。ここで、IFはA/Dコンバータの第7ナイキスト・ゾーンに合致するように選択します。図3では、 f_s はA/Dコンバータのサンプリング・レートを表します。この場合、図1のLOは、ミキサーでダウンコンバートした中間周波数帯域の中心が、図3に示したIF選択フィルタの中心にくるように選択します。

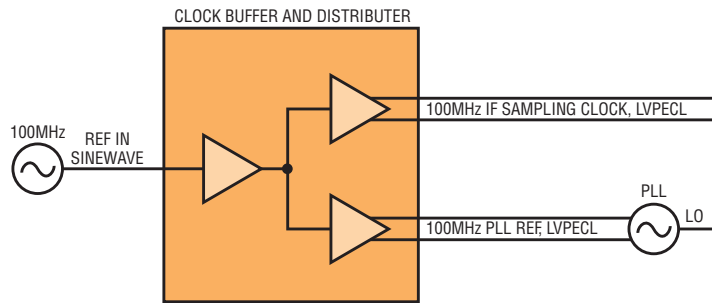
図4は、リファレンス周波数を100MHzと仮定して、前述したクロック分配方式をまとめたものです。図4のクロック・バッファおよび分配器は、このシステムで非常に重要な役割を果たします。

図3. 周波数の折り返しを防ぐA/Dコンバータのサンプリング・レートを基準にしたIFフィルタ振幅応答の例



LTC2153-14は、高いアナログ入力周波数について性能を規定した310MSPs、14ビットA/Dコンバータなので、このようなIFサンプリングA/Dコンバータとして適しています。

図4. リファレンス・クロック分配方式



回路の実装

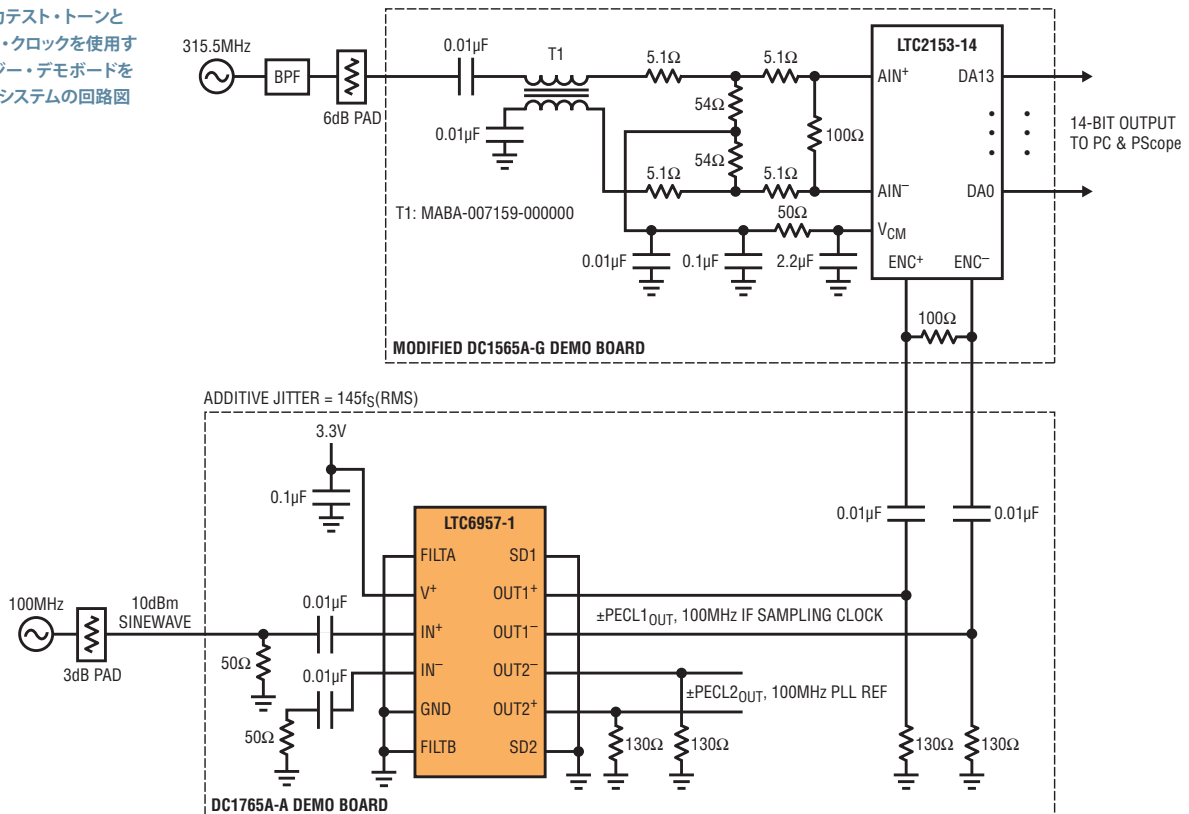
前述したように、ジッタはIFを高くした場合の性能を制限する主要な要因の1つです。一般的なA/Dコンバータへのクロック分配器としてLTC6957-1を使用した場合にどれ位の性能が得られるかを調べるために、図5に示すようにリニアテクノロジーの2つのデモ回路を変更して接続してみました。

OCXOデバイスまたはTCXOデバイスからシングルエンドの正弦波を受け取り、A/DコンバータおよびPLLへの転送に適した2種類の差動LVPECL信号を配信しています。クロック・バッファおよび分配器はこの役割を果たしながらも、分配クロックに加わるジッタを最小限に抑えなければなりません。LTC6957-1は、付加ジッタ

の少ないデュアルLVPECL出力クロック・バッファで、このアプリケーションに適しており、前述したすべての条件を満たしています。LTC6957の別のバージョンを選ぶことにより、他の出力形式を採用することもできます。LTC6957-2はLVDS出力を備えており、LTC6957-3とLTC6957-4はCMOS出力を備えています。

LTC2153-14は、高いアナログ入力周波数について性能を規定した310MSPs、14ビットA/Dコンバータなので、このようなIFサンプリングA/Dコンバータとして適しています。そのデモ回路DC1565A-Gを図5に示すように変更しました。

図5. 315.5MHzの入力テスト・トーンと100MHzのリファレンス・クロックを使用する2つのリニアテクノロジー・デモボードを用いたIFサンプリング・システムの回路図



LTC6957-1 付加ジッタの計算

LTC6957-1 を搭載したデモ回路 DC1765A-A を使用して、100MHz OXCO の正弦波出力をバッファ処理します。DC1765A-A の差動 LVPECL 出力の一方を DC1565A-G の差動エンコード・クロック入力に接続します。もう一方は、図 1 に示した PLL を発生する LO のリファレンス入力として使用できます。

A/D コンバータが 100MHz のクロックで動作するとした場合、折り返しエラーが発生しないようにした上で理論上実現可能な最大の帯域幅は 50MHz です。図 3 に示したように、第 7 ナイキスト・ゾーンを選択しているため、この 50MHz の理想帯域幅は 300MHz~350MHz の周波数範囲をカバーすることになります。このためには、300MHz~350MHz の範囲に存在する IF 情報だけを通過させ、その一方で、折り返しを発生して目的の帯域に干渉するすべての信号を除去できる、中心周波数が 325MHz で通過帯域が 50MHz の理想的なバンドパス・フィルタが必要です。

実際のフィルタではフィルタの通過帯域と遮断領域の間に移行帯があり、更に中心周波数の許容範囲が加わるので、この場合さらに適正な IF 帯域幅を選択すると、たとえば中心が 325MHz 付近にあり帯域幅が 30MHz の表面弾性波 (SAW) フィルタになります。この周波数範囲内での SAW フィルタは、簡単に手に入るようになります。

性能のまとめ

315.5MHz のテスト・トーンを、IF 選択フィルタに似た BPF とアッテネータを介して変更後の DC1565A-G のアナログ入力に接続し、A/D コンバータ側から見た振幅を -1dBFS に調整します。

DC1565A-G は USB を介して PC に接続されます。PC では、PScope¹ データ収集制御ソフトウェアを使用して、レーサバの品質に影響する 2 つ

サンプリング・システムでは、ジッタは通常、2 段階の手順で測定されます。第 1 段階では、ジッタがノイズの大きな発生要因ではない -1dBFS で比較的低周波のアナログ入力トーンを入力して基準線の SNR 測定を行います。この測定を SNR_BASE と呼びます。2 回目の測定は、1 回目の測定と同じサンプリング・クロック信号源を使用しますが、周波数の高いアナログ入力トーンを入力します (引き続き -1dBFS)。ジッタによる SNR の低下の影響が無視できなくなるほど高い入力周波数を選んだ場合には、2 回目の測定で SNR が低下します。この 2 回目の測定を SNR_DEGRADED と呼びます。2 回目の測定では、サンプリング・クロック、A/D コンバータのアーチャ・ジッタ、アナログ入力信号など、ジッタの発生源が複数考えられることに注意してください。2 回の測定の RMS 値の差をとることにより、A/D コンバータのアナログ入力における量子化ノイズと熱ノイズの影響を除いた、高い入力周波数でのジッタによる SNR の低下が得られます。この計算値を SNR_JTTR と呼びます。これら 3 つの用語は次のように関連しています。

$$\text{SNR_JTTR} = -10 \log_{10} \left[10^{-\left(\frac{1}{10} \text{SNR_DEGRADED}\right)} - 10^{-\left(\frac{1}{10} \text{SNR_BASE}\right)} \right]$$

アナログ入力トーンが周波数 f_{IN} の場合、A/D コンバータのエンコード入力での全ジッタの t_j の大きさに起因する SNR (SNR_JTTR) の値は次のとおりです。

$$\text{SNR_JTTR} = -20 \log_{10} (2\pi f_{IN} t_j)$$

これら 2 つの式を組み合わせると t_j について解くと、前述した 2 回の測定結果からシステムのジッタを直接計算する式が得られます。

$$t_j = \frac{10^{\frac{1}{20} \log_{10} \left[10^{-\left(\frac{1}{10} \text{SNR_DEGRADED}\right)} - 10^{-\left(\frac{1}{10} \text{SNR_BASE}\right)} \right]}}{2\pi f_{IN}}$$

LTC6957-1 のジッタへの影響は、前に概説した手順に従って測定します。図 5 に示す回路図に基づいて 2 回の測定を行います。1 回目はもともとあるシステム・ジッタを測定します。これには、A/D コンバータのアーチャ・ジッタや 100MHz と 315.5MHz の信号源のジッタが含まれていますが、LTC6957-1 のジッタは含まれていません。2 回目の結果には、LTC6957-1 のノイズへの影響が含まれています。2 回の測定間での RMS 値の差をとることにより、LTC6957-1 が付加したジッタが得られます。

LTC6957-1 の影響を除いた、もともとのシステム・ジッタは、トランスを使用して、100MHz、13dBm の信号源を A/D コンバータのエンコード入力に直接接続し、クロック入力を差動で駆動することによって求めます。2 回の SNR 測定を、高調波成分を除いて行います。1 回目は、A/D コンバータのアナログ入力に 10MHz、-1dBFS の正弦波を入力し、67.8dB という結果でした。A/D コンバータのアナログ入力に 315.5MHz、-1dBFS のトーンを入力して 2 回目の SNR 測定を行った結果、SNR は 65.3 dB となりました。前の説明で得られている式により、もともとのシステム・ジッタを計算します。

$$\text{TOTAL INTRINSIC SYSTEM JITTER} = \frac{10^{\frac{1}{20} \log_{10} \left[10^{-\left(\frac{65.3}{10}\right)} - 10^{-\left(\frac{67.8}{10}\right)} \right]}}{2\pi \cdot 315.5\text{M}} = 181\text{fs (RMS)}$$

図 5 に示すように、LTC6957-1 をシステムに加えた後のシステム・ジッタを求めるには、同様な 2 組の測定を別途行います。前の段落で説明したように、まず 10MHz のアナログ入力で測定し、次に 315.5MHz のアナログ入力でも測定します。SNR の 2 つの数値は、それぞれ 67.8 dB および 64.24 dB です。前と同じジッタの式を使用すると、全システム・ジッタは次のようになります。

$$\text{TOTAL SYSTEM JITTER} = \frac{10^{\frac{1}{20} \log_{10} \left[10^{-\left(\frac{64.24}{10}\right)} - 10^{-\left(\frac{67.8}{10}\right)} \right]}}{2\pi \cdot 315.5\text{M}} = 232\text{fs (RMS)}$$

もともとのシステム・ジッタと全システム・ジッタの RMS 値の差をとると、LTC6957-1 の付加ジッタへの影響が分かります。

$$\text{LTC6957-1 ADDITIVE JITTER} = \sqrt{232^2 - 181^2} = 145\text{fs (RMS)}$$

低ジッタのクロック・バッファおよび分配器 (LTC6957-1) を採用して100MHzのシステム・リファレンス・クロックをLVPECL形式で分配し、A/Dコンバータのサンプリング・クロックおよびPLLリファレンスとして使用します。IFサンプリング・システムの性能は、SNRとSFDRの数値を調べることによって評価します。測定の結果、64dBという優れたSNRと、80dBという抜群のSFDRが実現されることが示され、高いIFサンプリング周波数を用いることによるRFイメージ除去フィルタの要件緩和が可能であることが示されました。

の非常に重要なパラメータを調べます。それはSNRおよびSFDRです。動作中のPScope™を図6に示します。131072ポイントのFFT（フーリエ変換）解析に加えていくつかの解析結果が表示されています。ここでは、A/Dコンバータのアナログ入力として315.5MHz、-1dBFSのトーン、およびA/Dコンバータのエンコード・クロックとしてLTC6957-1によってバッファ処理された100MHzのLVPECL信号を使用しています。図6から分かるように、達成されたSNRは64dBを超えており、SFDRは80dBを超えています。これらは325MHz IFサンプリング・システムとして非常に優れた値です。

LTC6957-1の入力は100MHzの正弦波で、50Ω 終端での電力が+10dBmなので、その内部帯域幅制限フィルタ (FILTA および FILTB) は、LTC6957データシートの推奨に従って、両方ともオフにしています。これらのフィルタは、入力振幅が小さいか入力周波数が低い、あるいはその両方が低い場合、付加ジッタの量を減らすのに役立ちます。

まとめ

RFレシーバの一部として、325MHz IFサンプリング・システムを構築し、評価しました。低ジッタのクロック・バッファおよび分配器 (LTC6957-1) を採用して100MHzのシステ

ム・リファレンス・クロックをLVPECL形式で分配し、A/Dコンバータのサンプリング・クロックおよびPLLリファレンスとして使用します。IFサンプリング・システムの性能は、SNRとSFDRの数値を調べることによって評価します。測定の結果、64dBという優れたSNRと、80dBという抜群のSFDRが実現されることが示され、高いIFサンプリング周波数を用いることによるRFイメージ除去フィルタの要件緩和が可能であることが示されました。■

注記

1 PScopeは、A/Dコンバータからデータを収集して、時間領域と周波数領域の両方で分析し、関連パラメータを表示します (www.linear-tech.co.jpでダウンロード可能)。

図6. 図5に示すシステムのFFTと達成された信号品位パラメータを示すPScopeのスクリーンショット

