

JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項

著者:
Del Jones
アナログ・デバイセズ
スタッフ・アプリケーション・エンジニア
高速コンバータ

1 はじめに

「JESD204B サブクラス (パート 1): JESD204B サブクラスとデータミニスティック・レーテンシーの紹介」では、**JESD204B** サブクラスとデータミニスティック・レーテンシーの概要およびサブクラス 0 システムでのマルチチップ同期に対するアプリケーション層ソリューションに関する詳細を説明しました。シリーズのパート 2 では、サブクラス 1 とサブクラス 2 の違いを詳しく説明します。特に、データミニスティック・レーテンシーに関するタイミング条件を満たす課題、サブクラス 2 でのデバイス・クロック速度制限、サブクラスが与えられたシステム・アプリケーションに対して最適になるガイドラインについて説明します。

2 サブクラス 1

サブクラス 1 システムでは、データミニスティック・レーテンシーの精度はデバイス・クロックと **SYSREF** の間のタイミング関係およびシステム内でのこれらの信号の分配スキューに依存します。**SYSREF** に対するセットアップ・タイム条件とホールド・タイム条件 (T_{SU} と T_{HOLD}) の他に、アプリケーションのデータミニスティック・レーテンシーの不確定性に対する耐性が、**SYSREF** とデバイス・クロックに対するアプリケーションの分配スキュー要求を決める時に重要になります。

2.1 精度良く **SYSREF** を取り込む

JESD204B インターフェースを採用するコンバータは、非常に高い周波数でデータをサンプルします。システム内の位相ノイズを小さくするため、これらのコンバータではサンプリング周波数かそれ以上のリファレンス・クロック (**JESD204** デバイス・クロックと同じ) を使用することが一般的です。多くの場合、このクロックは GHz 範囲です。これらの速度で、セットアップ・タイム条件とホールド・タイム条件を満たすことは非常に難しくなります。システム設計を容易にするため、**SYSREF** および/またはデバイス・クロックの位相オフセットを **JESD204B** システムに含まれる各デバイスに対してプログラマブルにすることが必要になります。

サブクラス 2 に対するサブクラス 1 の利点の 1 つは、ソース同期クロックを使用していることです。サブクラス 2 システムではシステム同期クロックを使うため、ソース同期クロックの場合より早く周波数制限に遭遇します。

これは、特定のサブクラス 1 とサブクラス 2 のタイミング例を調べることで明確になってきます。

2.2 デターミニスティック・レーテンシーの不確定性

データミニスティック・レーテンシーの不確定性 (**DLU**) は **JESD204B** システム内の **LMFC** スキューであり、システム内での **SYSREF** の最も早い取り込みと最も遅い取り込みとの間の差で決定されます。図 1 に、**SYSREF** 取り込みに対するセットアップ・タイム条件とホールド・タイム条件が満たされるときにシステム内の各デバイスで発生するワーストケース **DLU** を示します¹。これは、システム内のデバイス・クロックの分配スキューが制御されていない場合に発生し、最大 1 デバイス・クロック (**DCLK**) の不確定性を発生させます。これが **SYSREF** 分配スキュー (**DS_{SYSREF}**) に加わり、総合 **DLU** が発生します。

$$DLU = DS_{SYSREF} + T_{DCLK}$$

DS_{SYSREF} は、システム内 (システム内の全デバイス間で) で最も早く到着する **SYSREF** の着信時間と最後に到着する **SYSREF** の着信時間の差です。説明では、 $T_{SU} = \frac{1}{2} T_{DCLK}$ および $T_{HOLD} = \frac{1}{4} T_{DCLK}$ です。最も早く到着する **SYSREF** (**A**) は最も早い時間に取り込まれ (**DCLK_A** はセットアップ時間条件を満たします)、最後に到着する **SYSREF** (**N**) は最も遅い時間に取り込まれます (**DCLK_N** はセットアップ時間条件を満たしません)。そのため、対応する **LMFC** は **DS_{SYSREF} + T_{DCLK}** だけ位相がずれます。

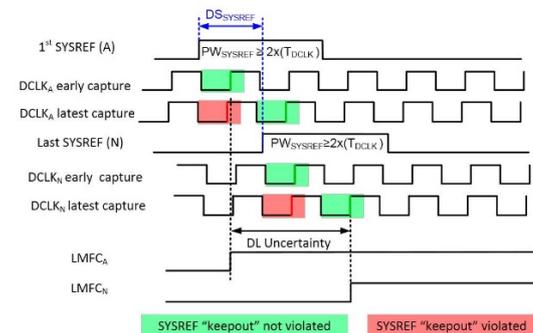


図 1. ワーストケースデータミニスティック・レーテンシーの不確定性

多くのアプリケーションで、**DLU** に対する条件はこのワーストケース・シナリオを許容するようになっています。これらのアプリケーションの場合、デバイス・クロックの分配スキューを厳しく制御することは不要です。**SYSREF** パルス幅を ($2 \times T_{DCLK}$) 以上にして、システム・タイミング条件を満たすように **SYSREF** 分配スキューを制御することで十分です。

¹ **DLU** 概念の説明をシンプルにするため、ここではクロック・ジッターと処理、電圧、温度 (**PVT**) に起因する変動を考慮しません。

デバイス・クロックの不確実性が増えることを許容できないアプリケーションでは、デバイス・クロック分配スキューを厳しく制御して、SYSREF のタイミング条件をシステム内の各デバイスで満たす必要があります。このケースを図 2 に示します。不確実性は次式で与えられます。

$$DLU = DS_{SYSREF} + T^{\text{Valid Window}}$$

ここで、 $T^{\text{Valid Window}} = T_{DCLK} - (T_{SU} + T_{HOLD})$

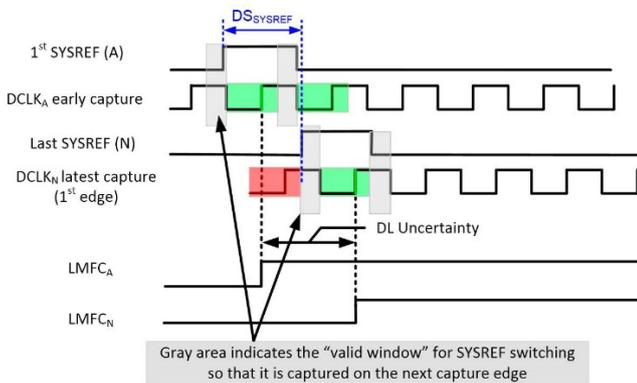


図 2. SYSREF のセットアップ・タイムと
ホールド・タイムを満たすときの DLU

2.2.1 デターミニスティック・レーテンシー不確実性の最小化

上の DLU の式が示すように、SYSREF/DCLK 対内の分配スキューを小さくすることにより、各対のセットアップ・タイムとホールド・タイムを満たすようにして DLU を小さくすることができます。

セットアップ・タイム条件とホールド・タイム条件を満たすため、JESD204B システム内の各デバイスは自身の SYSREF/DCLK 対を持つ必要があります。これらの各対内で、タイミングを保証するためパターン長を一致させることができます。パターン長一致の規定値は、SYSREF スイッチングの有効なウィンドウ時間により決定されます。また、SYSREF は取り込みエッジを DCLK とする出力とし、SYSREF の長さはホールド・タイム条件から決まる DCLK の長さより長い必要があります (T_{HOLD} が 0 の場合は、2 つの長さを一致させることができます)。

パターン長を一致させるため、対内の分配スキューを小さくすることは、実質的に SYSREF 分配スキューを小さくすることと同じです。この分配スキューの規定値は、DLU 規定値から有効ウィンドウ時間を減算した値になり、パターン長を一致させることにより調節することができます。DLU 規定値は、アプリケーションの条件から設定されます。

DLU を最小化するこれらの方法を図 3 に示します。JESD204b システム内の各デバイスは自身の SYSREF/DCLK 対を持つため、SYSREF 取り込みのタイミング条件を満たすことは、ソース同期クロックを採用するシステムと同様です。各デバイスのタイミング・マージンは、システム内の他のデバイスに依存しないと見なされます。

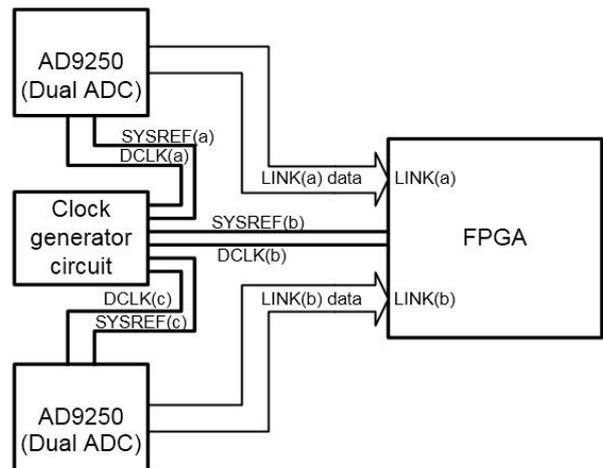


図 3. 3 個のデバイスを持つ JESD204B システムの
SYSREF/DCLK 配線

2.2.2 AD9250 を使った SYSREF タイミング例

AD9250 は、14 ビット、250 MSPS のデュアル ADC で、5 Gbps の JESD204B シリアル・データ出力を採用しています。PLL 性能を最適化するため、AD9250 は最大 1.5 GHz のデバイス・クロック速度を許容します。このデバイスは、最も厳しいシステム DLU 条件のもとで、パターン長を一致させて SYSREF タイミングを満たす方法の優れた例を提供します。² この例の条件は次の通りです。

- DCLK = 1.5 GHz (周期 667 ps)
- $T_{SU} = 500$ ps で $T_{HOLD} = 0$ ps
- 例えば、システムの $DLU_{MAX} = 1$ DCLK (667 ps)

SYSREF タイミングを満たすための対内パターン長の一致

この例の仕様に基づき、セットアップ・タイムとホールド・タイムを満たす「有効ウィンドウ」は 167 ps ($667 \text{ ps } T_{DCLK} - 500 \text{ ps } T_{SU}$) です。伝搬時間は、信号がソースを出發してからシンクに到着するまでの時間です。SYSREF の伝搬時間から DCLK の伝搬時間を減算した値は、セットアップ・タイムを満たすためには 167 ps より小さい必要があります、かつホールド・タイムを満たすためには 0 ps より大きい必要があります。この伝搬時間の差を大まかにインチ数に変換するため、1 インチの FR-4 材料の伝搬時間を 167 ps/インチと見積もります。そうすると、システム内の各 SYSREF/DCLK 対で、次の配線条件を満たす必要があります。

$$DCLK \text{ パターン長} < SYSREF \text{ パターン長} < DCLK \text{ パターン長} + 1 \text{ インチ}$$

² DLU 条件をデバイス・クロックに一致させることは、SYSREF のタイミングを満たすためのワースト・ケースになります。

この条件を満たすと、図 4 に示すように、SYSREF の変化は有効ウィンドウ内で発生するようになります。

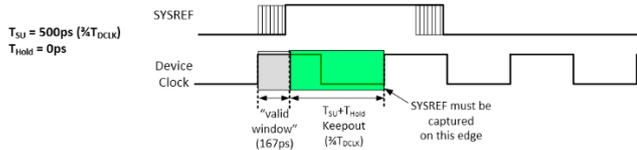


図 4. SYSREF/DCLK タイミング条件の満足

DLU 規定値を満たすための対内パターン長の一致

DLU 規定値が 667 ps に設定されており、かつ DLU 規定値と対内 (すなわち SYSREF) 分配スキュー (DS_{SYSREF}) との関係が既知であるため、パターン長一致の規定値は次のように簡単に求めることができます。

$$DS_{SYSREF} = DLU - T_{\text{Valid Window}} = 667 \text{ ps} - 167 \text{ ps} = 500 \text{ ps}$$

したがって、すべての SYSREF/DCLK 対での対内分配スキューは、次の値内である必要があります。³

$$500 \text{ ps} \div 167 \text{ ps/インチ} = 3 \text{ インチ}$$

図 5 に、このタイミング例を示します。「最適」分配スキュー (DS_{SYSREF}) とは、厳しくないパターン長一致条件を許容するケースを意味します。

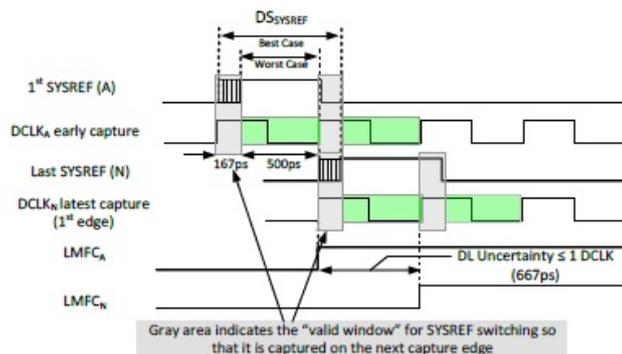


図 5. 対内分配スキュー条件の満足

SYSREF タイミングと DLU 規定値を満たす高度なソリューション

もちろん、低速デバイス・クロックを使用すると長さの一致が容易になり、これを使用して問題を解決することができます。これには、システム位相ノイズ性能の犠牲がともないます。これと似たソリューションは、DLU 条件を緩くすることですが、システム位相ノイズ性能を向上させる利点は維持されます。DLU 条件の設定は、アプリケーションに依存します。これについては、デターミニスティック・レーテンシーの精度の文脈で次に説明します。

³ 500 ps は SYSREF のワースト・ケース・スキューであり、パターン長一致の規定値を決める際に使う必要があります。

位相ノイズ性能の向上が要求されて、DLU 条件を緩和できない場合、SYSREF/DCLK のデバイス内スキューとデバイス間スキューに対する配線条件 (上の例では、それぞれ1 インチと3 インチ) を満たすことは困難過ぎると思われます。この場合、デバイス・クロックおよび/または SYSREF に対する調整可能な位相遅延が必要になります。調整の分解能は、セットアップ・タイムとホールド・タイムに基づく「有効ウィンドウ」より小さい必要があります。例から、「有効ウィンドウ」は167 ps になります。

FPGA によっては、微調整条件を満たすことが困難なものがありますが、AD9528はこの条件を満たします。これは、SYSREF 位相遅延を60 ps ステップで調整可能で、これが全出力での変異性が50 psより小さいためです。図 6 に、タイミング条件を満たすためにSYSREFを遅延させる方法を示します。この説明では、SYSREFを60 ps インクリメントで遅延させます。位相の設定値は、SYSREF エッジを有効ウィンドウの中央付近に設定することを推奨します。説明で、緑のエッジは良い位相設定値を、赤のエッジは悪い設定値を、それぞれ表します。位相設定値3は有効ウィンドウの中央であるため、この場合これを使います。

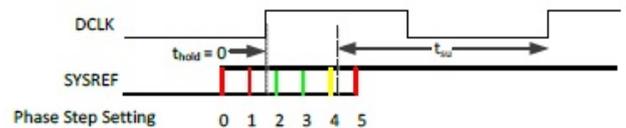


図 6. SYSREF のタイミングを満たすためのプログラマブルな位相遅延

AD9528のデバイス・クロック出力は、SYSREF 出力で使用可能な60 ps の位相ステップの他に、1/2デバイス・クロック・サイクルで位相を遅延させることができます。この機能も、SYSREF タイミング条件を満たす際に役立ちます。

2.2.3 SYSREF セットアップとホールド・タイミングのモニタ

ADI の AD9680 は、SYSREF とデバイス・クロックとの間の相対的タイミングの調整に役立つ SYSREF セットアップとホールド・タイムのモニタ回路を内蔵しています。これら 2 つのレジスタをモニタすると、SYSREF の取り込みでタイミング条件に問題があるか否かを知ることができます。これらのいずれかのレジスタが、タイミング・マージンが不十分であることを示すと、デバイス・クロックに対する SYSREF の相対位置の調整が必要であることが分かります。上の例では、デバイス・クロックに対する SYSREF 位相の調整によって (例えば AD9528 を使用)、または SYSREF および/またはデバイス・クロック信号のパターン長の調整によって、この調整を行うことができます。

2.2.4 デターミニスティック・レーテンシーの精度

システムのデターミニスティック・レーテンシーの不確実性がどのように設定されるかを理解するためには、アプリケーションの理解が必要です。デターミニスティック・レーテンシーを必要とする大部分のシステムでは、時間内で、どのサンプルが注目するデータの開始を表すかを正確に知る必要があります。

データミニスティック・レーテンシーの一般的な用途は、システム内の複数のコンバータを同期させることです。これは、マルチチップ同期と呼ばれています。これらのシステムでは、すべてのコンバータ間でサンプルのアライメントが必要です。このため、データミニスティック・レーテンシーには「正確なサンプル」が必要です。これらのシステムでは、DLU はサンプル・クロックの±½である必要があります。サンプル・クロックの整数倍であるデバイス・クロックを持つ利点は、正確にサンプルするなどのように、SYSREF の取り込み処理が簡素化されることです。AD9250 の例では、デバイス・クロックはサンプル・クロックの 6 倍です。正確なサンプルであるためには、±½ サンプル・クロックの DLU 条件は ±3 デバイス・クロックに言い換えられます。これを図 7 に示します。AD9250 の例では、各デバイスで SYSREF 位相を調整できるため、最も厳しい DLU 条件でも容易に満たすことができることを示しました。デバイス・クロックがサンプル・クロックの倍数である場合、サンプル精度に対する SYSREF の取り込みは、大幅に簡素化されます。コンバータのサンプル・レートが 1 Gbps を超えて高くなると、SYSREF クロックとデバイス・クロックの位相遅延機能が不可欠になります。

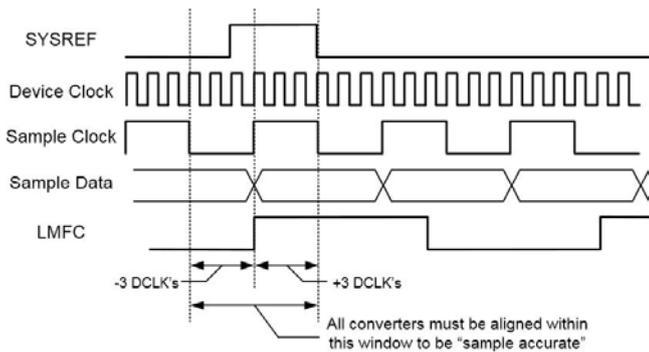


図 7. SYSREF キャプチャの「正確なサンプル」条件

2.3 SYSREF 取り込みでの問題

SYSREF のセットアップ・タイム条件とホールド・タイム条件、および DLU 条件を満たす他に、SYSREF の取り込みに関係して発生する他の問題があります。例えば、システムの初期パワーアップ時、システム・クロックが安定する前に SYSREF がアクティブになる可能性があります。これは、連続的な SYSREF 信号を使用する際に発生することがあります。この問題は、デバイスを所定エッジ数だけ待たせた後、クロックを同期するプログラム可能な JESD204B インターフェースを導入することにより解決されます。もう 1 つのプログラムに関するオプションは、有効なエッジが予想される際に SYSREF 取り込みの「用意」を可能にすることです。これにより、連続 SYSREF で同期化するタイミングを制御できるようになります。AD9625 や AD9680 のような JESD204B インターフェースを採用する多くの ADI コンバータ・デバイスは、これらの機能を内蔵しています。

もう 1 つの例は、SYSREF の小さな変動により、再同期を不要にできることです。この問題は、SYSREF エッジに対して LMFC を中心とする有効ウィンドウをユーザーが指定できるようにプログラム可能な JESD204B インターフェースを導入することにより解決されます。

SYSREF がこの有効ウィンドウ内で発生する場合、システムは「同期中」と見なします。多くのアプリケーションでは連続 SYSREF 信号をモニタしリンク状態を知るため、これは非常に便利な機能です。LMFC 境界と SYSREF を比較して、この場合同期状態を決めています。ADI の AD9680 はこの機能を内蔵しています (図 8)。

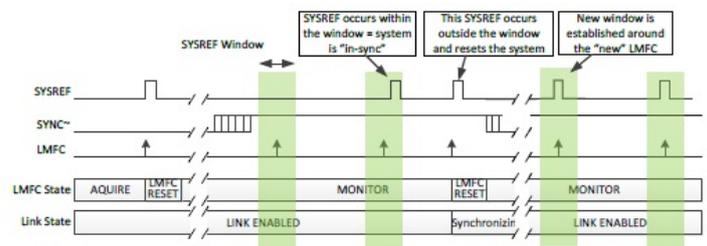


図 8. SYSREF モニタ・ウィンドウ

SYSREF 取り込みで役立つその他の機能は、SYSREF の取り込みに使用するデバイス・クロック・エッジを変更する機能と LMFC を揃えるために使用する SYSREF エッジを変更する機能です。JESD204B インターフェースを採用する多くの ADI コンバータ・デバイスはこれらの機能を内蔵しています。

3 サブクラス 2

サブクラス 2 システムでは、データミニスティック・レーテンシーの精度はデバイス・クロックと SYNC-信号との間のタイミング関係、および次に説明する、タイミング計画を使ってしまう様々な項目に依存します。サブクラス 1 の場合と同様に、データミニスティック・レーテンシー不確定性に対するアプリケーションの耐性が、SYNC- とデバイス・クロックに対するアプリケーションのパターン長一致条件を決める際に重要になります。

3.1 SYNC- 取り込みと開始の精度

SYNC- を正確に取り込むためのタイミング条件を満たす問題は、SYSREF の取り込みでサブクラス 1 の説明に示した問題と本質的に同じ問題ですが、サブクラス 2 でのクロック方式はシステム同期であるため、各取り込みデバイス間で独立にタイミング解析を行えなくなるので、マルチコンバータ・アプリケーションでは難しくなります。これだけでなく、SYNC- 信号の発生に関して不確定性を考慮することも必要になります。システム同期クロックを使用するシステム内の各デバイスは、タイミング余裕の一部を使ってしまいます。タイミング余裕を失ってしまう項目としては、クロック分配スキュー (DS_{DCLK})、マルチコンバータ・システムの SYNC- 分配スキュー (DS_{SYNC-})、SYNC- 信号の伝搬遅延、各 JESD204B トランスミッタのセットアップ・タイム条件とホールド・タイム条件、各 JESD204B レシーバの SYNC- 出力でのクロック-SYNC- 間出力遅延などがあります。

3.2 サブクラス 2 でのデバイス・クロックの上限

JESD204B 規格では、サブクラス 2 インプリメンテーションでシステム同期クロック方式を採用しているため、デバイス・クロック・レートの限界が必要であることを認識しています。規格の Annex B では、この規定値を 500 MHz とすることを推奨し、「SYSREF はデバイス・クロックと精確に位相が揃う方法で発生できるソース同期信号であるため、500 MHz より高いデバイス・クロック・レートでの動作を狙うシステム設計者はサブクラス 1 の方法を使うことを好むものと予想する」と述べています。

このような規定値が存在する理由を説明するため、詳細なタイミング例を示します。

サブクラス 2 マルチ DAC のタイミング例

2 個のサブクラス 2 DAC デバイスと 1 個のロジック・デバイスを接続したトランスミッタ・アプリケーション (図 9) について調べます。

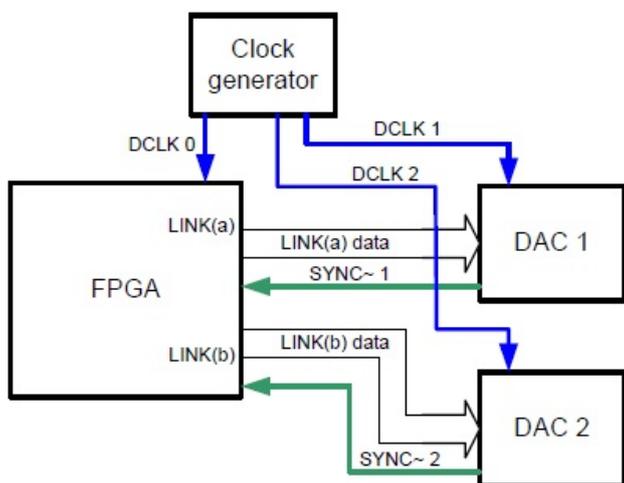


図 9. サブクラス 2 マルチ DAC アプリケーション

例えば、500 MHz のデバイス・クロックを使用します。SYNC~ 信号と DCLK 信号は、次に示す PCB スキュー⁴を持ちます。

- FPGA へのクロック = 300 ps
- DAC1 へのクロック = 600 ps
- DAC2 へのクロック = 720 ps
- FPGA への SYNC~1 = 660 ps
- FPGA への SYNC~2 = 750 ps

ジッタと PVT 変動を考慮する前のタイミングを図 10 に示します。この図で、ワーストケース・タイミングは FPGA 入力での SYNC~2 信号の取り込みで発生します。DLCK2 伝搬遅延、SYNC~2 伝搬遅延、SYNC~2 のクロック出力間遅延の組み合わせにより、FPGA 入力での取り込みに対して 600 ps のセットアップ・タイムが残ります。

⁴ 300 ps = PCB パターンの 1.8 インチ。

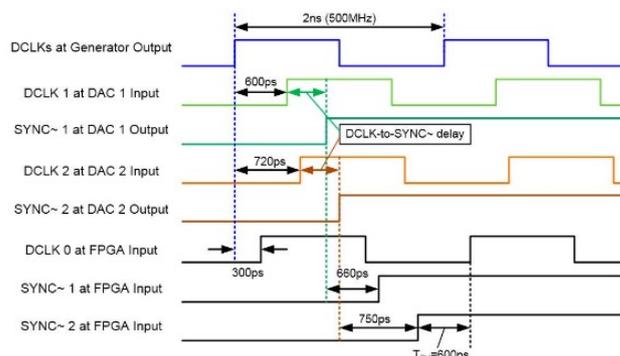


図 10. サブクラス 2 マルチ DAC アプリケーションでの SYNC~/DCLK のタイミング

ただし、セットアップ・タイム、ジッタ、PVT 変動が加わると、図 11 に示すようにタイミング違反が発生します。この例では、セットアップ・タイムが 500 ps で、PVT 変動⁵が 300 ps に増え、ジッタ⁶が 150 ps になります。最終到着の SYNC~ (SYNC~ 2) で、このためにタイミング違反が発生します。

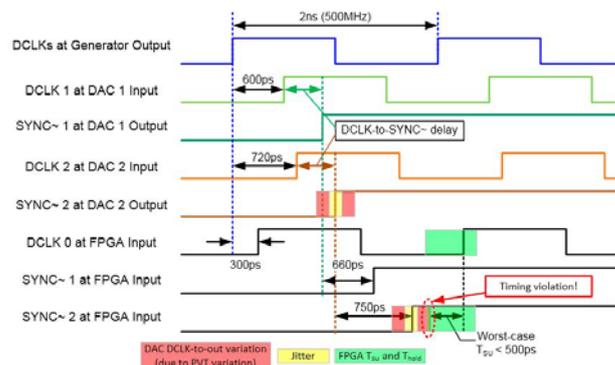


図 11. サブクラス 2 マルチ DAC アプリケーションでの SYNC~/DCLK のタイミング違反

上の例では、パターン長および/またはクロック位相の調整を行うタイミングを解決することができますが、DCLK 周波数が高くなると、サブクラス 1 インプリメンテーションに比べて考慮すべき変数が増えるため、遥かにタイミング条件を満たすことが難しくなります。JESD204B 規格のセクション 6.4 に、SYNC~ 取り込みタイミングの問題を詳細に記載してあります。

3.2.1 サブクラス 2 のデターミニスティック・レーテンシーの不確定性

サブクラス 1 の場合と同様に、タイミングの制約はデターミニスティック・レーテンシーの不確定性に対するアプリケーションの耐性により決まります。表 1 に、システムの DLU に対するサブクラス 2 タイミング条件を満たす際に考慮すべき変数をまとめます。⁷

⁵ SYNC~ 出力での PVT 変動と両クロック出力。

⁶ DLCK と SYNC~ のジッター。

⁷ DLU 概念の説明をシンプルにするため、ここではクロック・ジッターと処理、電圧、温度 (PVT) に起因する変動を考慮しません。

Table 1. Timing variables affecting subclass 2 DLU

Application	Variable 1	Variable 2	Variable 3	Variable 4	Variable 5
Single converter	Clock-to-SYNC~ output delay	t_{su} and t_{hold} @ ADC	$T_{PD_SYNC~}$	DS_{DCLK}	
Multiconverter	Clock-to-SYNC~ output delay	t_{su} and t_{hold} @ ADC	$T_{PD_SYNC~}$	DS_{DCLK}	$DS_{SYNC~}$

サブクラス 2 システムでの DLU は、 $T_{CLK-10-SYNC}$ 、 $T_{PD_SYNC~}$ 、 T_{SU} 、システム内のデバイス・クロック (DS_{DCLK}) の分配スキューの関係で決まります。シングル・コンバータ・アプリケーションでは、最適ケースの DLU は次式で与えられ、図 12 に示します。

$$DLU = DS_{DCLK} = T_{CLK-10-SYNC} + T_{PD_SYNC~} + T_{SU}$$

説明では、 $T_{SU} = \frac{1}{2} T_{DCLK}$ および $T_{HOLD} = \frac{1}{4} T_{DCLK}$ です。図に示すように、DLCK に歪を与えて DCLK—SYNC~ 間遅延と SYNC~ 伝搬遅延に一致させ、セットアップ・タイム条件を満たすようにします。

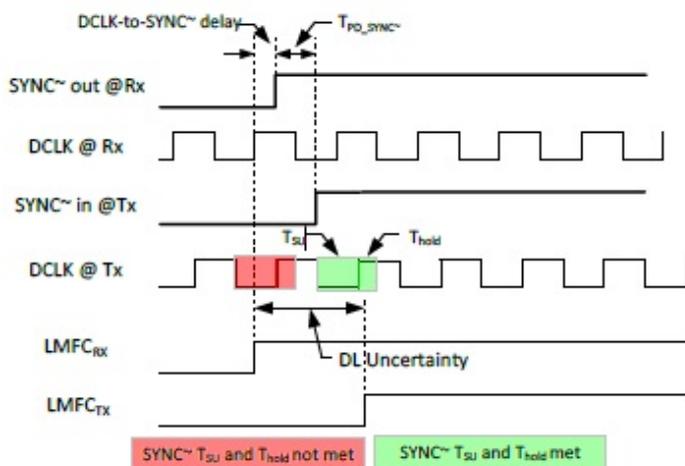


図 12. シングル・コンバータ・アプリケーションに対するサブクラス 2 SYNC~ 取り込みタイミング: 最適ケースの DLU

シングル・コンバータ・サブクラス 2 システムでのワーストケース DLU は、トランスミッタで DCLK の歪が小さいために最初の使用可能な取り込みエッジのセットアップ・タイムを満たさない場合に発生します(図 13 参照)。

$$DS_{DCLK} < T_{CLK-10-SYNC} + T_{SU} + T_{PD_SYNC~}$$

$$DLU = T_{CLK-10-SYNC} + T_{PD_SYNC~} + T_{SU} + T_{DCLK}$$

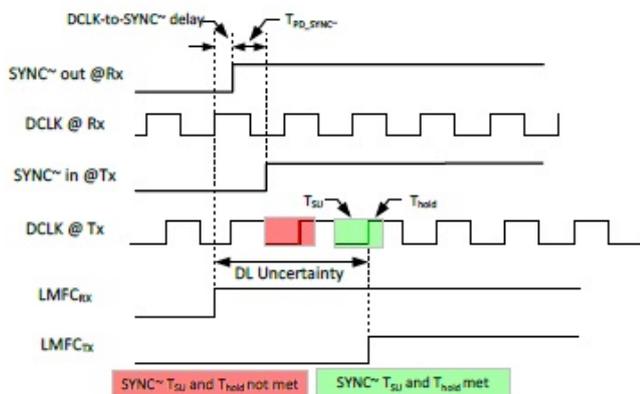


図 13. シングル・コンバータ・アプリケーションに対するサブクラス 2 SYNC~ 取り込みタイミング: ワーストケースの DLU

4 アプリケーションに最適なサブクラスはどれか?

JESD204B システムに使用するサブクラスの選択は、データミニスティック・レーテンシーの必要性、必要な場合のその精確さ、システムのデバイス・クロック条件に依存します。

サブクラス 0 は実現が最も容易で、データミニスティック・レーテンシーが不要な場合に使用することができます。マルチコンバータ・システムがすべての (または幾つかの) コンバータからのサンプルの同期を必要とする場合でも、これを AD9625 と AD9680 でサポートされているタイム・スタンプ方式を使って実現することができます。

極めて高いデバイス・クロック・レートをサポートするサブクラス 1 の能力があり、かつ高いサンプリング・レートのコンバータで使用する場合、これはこれらの高いレートを必要とするシステムに対する最小リスクのソリューションになります。サブクラス 1 デバイスを低周波のレートで使うこともできます。500 MHz より低いデバイス・クロック・レートで使う場合、タイミング条件を満たすことは、クロック位相の調整なしで済む非常に簡単なことです。

サブクラス 2 デバイスも、500 MHz より下で使うことができます。低いレートでサブクラス 2 を使用する小さい利点は、ロジック・デバイスの IO 数の削減と、各 JESD204B デバイスへの SYSREF の配線が不要になることです。

リソース

この資料を
してください。



で共有