

JESD204B のサブクラス (パート 1): JESD204B サブクラスとデターミニスティック・レーテンシーの紹介

著者:

Del Jones

アナログ・デバイセズ

スタッフ・アプリケーション・エンジニア—

高速コンバータ

1 はじめに

情報時代の特徴は疑いなく、大きくなり続けるデータの収集、処理、分配に対するニーズの拡大です。これは、通信ネットワークでは、インフラストラクチャとそれを接続する部品の広帯域化を意味します。医療業界では、スキャン、X 線、その他の測定機器からさらに詳細な情報を得ることと解釈できます。同様に、テストや解析装置における帯域幅の急速な拡張は、電子テスト装置の高速化と高機能化となります。

データに対するこの強い需要が、データ・コンバータとロジック・デバイスの間の高速シリアル・リンクに対する JESD204 規格を JEDEC に制定させたのです。規格の“B”レビジョン(2011年にリリース)では、今日の広帯域化要求を可能にするため、シリアル・リンク・データレートを 12.5 Gbps まで上げました。これら多くのアプリケーションでは、電源のオン/オフ・サイクル間に既知かつ一定の遅延でデータがシステムを通過する必要性があります。この概念は「デターミニスティック・レーテンシーDeterministic Latency」と呼ばれ、この要求に対する規定も JESD204B 規格で導入されました。このレビジョンのリリース前には、デターミニスティック・レーテンシーを必要とするシステム設計では、外部アプリケーション層の回路を使用してこの要求を実現していました。JESD204B 規格では、3つのサブクラスが導入されました。サブクラス 0 は JESD204A 規格との後方互換性を目的としたもので、デターミニスティック・レーテンシーは規定されていません。サブクラス 1 では、外部リファレンス信号 SYSREF を導入しました。この信号は、サンプル・タイミングのシステム・レベルのリファレンスを提供します。サブクラス 2 では、サンプル・タイミングに対するシステム・レベル・リファレンスとして SYNC~ 信号の使い方を規定しています。各ケースとも、デターミニスティック・レーテンシーの実現に使用できるのはサンプル・タイミング・リファレンスです。この「ミニ・チュートリアル」の目的は、3種類の JESD204B サブクラス間の動作上の違いを説明し、個々のデターミニスティック・レーテンシー機能を実現する実用的な知識を提供することです。

2 デターミニスティック・レーテンシーの概要

JESD204B 規格では、デターミニスティック・レーテンシー(DL)をフレームベースのサンプルがシリアル・トランスミッタに到着したタイミングから、シリアル・レシーバから出力されるタイミングまでの時間差として定義しています。遅延はフレーム・クロック・ドメインで測定され、少なくとも最小フレーム・クロック周期単位でインクリメントできる必要があります。遅延は、パワーアップ・サイクル間およびすべての再同期イベントで再現性を持つ必要があります。この定義を図 1 に示します。

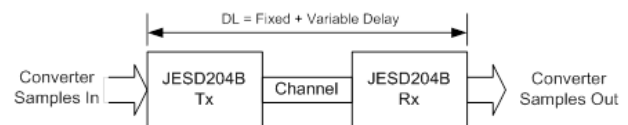


図 1. デターミニスティック・レーテンシーの説明

JESD204 システムのデターミニスティック・レーテンシーは、固定遅延と変動遅延から構成されます。変動遅延は、デジタル処理ブロック内の複数のクロック・ドメイン間での電源オン/オフ・サイクル間で位相関係が決まらないことから発生します。JESD204A と JESD204B サブクラス 0 のシステムでは、変動遅延は考慮できません。このため、電源オン/オフ・サイクルでの遅延変動がリンク内に存在します。

3 サブクラス 0

サブクラス 0 は、主に JESD204A デバイスに対する下位互換性を確保するために JESD204B 規格で規定されています。これは、旧型 JESD204A インターフェースを採用したカスタム ASIC がシステム設計内に存在し、更新された機能を持つ JESD204B コンバータをこれに接続したい場合に便利です。

3.1 JESD204B 規格からの要求

JESD204B 規格は、他のサブクラスに対する要求とは異なるサブクラス 0 モードでの動作に対する要求事項と推奨事項を規定しています。特に、SYNC~ 信号に対する要求は、サブクラス 1 と異なります。

SYNC~ の要求 (サブクラス 2 にも適用):

- JESD204B レシーバからの SYNC~ 出力は、レシーバのフレーム・クロックと同期している必要があります。

- o トランスミッタのフレーム・クロックが SYNC~ に同期していることも要求されます。これは、トランスミッタの SYNC~ 入力にフレーム・クロック・カウンタをリセットさせることにより実現することができます。SYNC~ 入力からフレーム・クロック境界までの遅延を規定する必要があります。
- デバイス・クロック (例えば LVDS) に対しては、同じロジックを使うことが推奨されます。
- AC 結合でない必要があります。
- レシーバ・デバイス・ピンでのデバイス・クロックから SYNC~ までの遅延 (tDS_R) を規定する必要があります。
- o フレーム・クロックがデバイス・クロックより高速なシステムでは、フレーム・クロックを使って SYNC~ を入出力します。tDS_R の規定の有無に無関係です。
- トランスミッタのデバイス・クロックに対する SYNC~ のセットアップ・タイムとホールド・タイムを規定する必要があります。

3.2 サブクラス 0 動作の意味

1 つの JESD204 リンク内のレーン・アライメントは、各 JESD204 レーンの可変バッファを使って JESD204 レシーバ内で自動的に処理されます。初期レーン・アライメント・シーケンス (ILAS) で、すべてのレーンがモニタされ、最終着信レーンの「start of multiframe」アライメント制御文字が着信すると、すべてのバッファが同時に開放されます。これを図 2 で説明します。

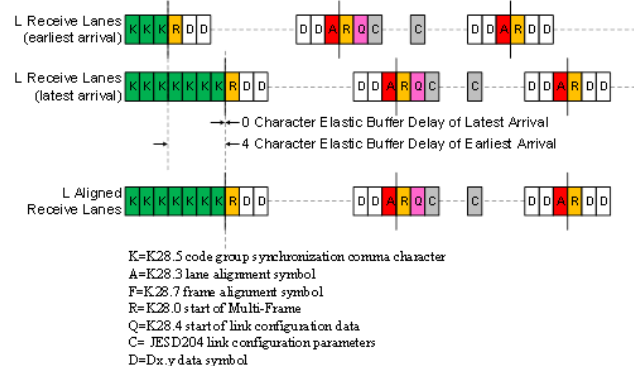


図 2.1 つのリンク内のレーン・アライメント

レシーバとトランスミッタからの両フレーム・クロックを SYNC~ 信号に同期させることが推奨されますが (上記の SYNC~ 要求を参照)、システム内でローカル・マルチフレーム・クロック (LMFC) を同期させるメカニズムはありません。このため、複数のコンバータ・デバイス間のリンク・アライメントは、デターミニスティック・レーテンシーの方法を使って実現不可能です。逆に、1 つの JESD204B リンクの一部として構成された 1 つのデバイス内の複数のコンバータは、外部回路なしでアラインすることができます。LMFC のミスアライメントは、リンクの総合遅延に対して最大 1 LMFC 分の変動遅延成分となります。

3.3 マルチチップ同期に対するサブクラス 0 ソリューション

デターミニスティック・レーテンシーを実現する 1 つの利点は、マルチチップ同期を行う手段を提供することですが、マルチチップ同期を実現するためにはデターミニスティック・レーテンシーは必要ありません。JESD204 規格では、トランスミッタからレシーバへサンプル情報を伝えるためにサンプル・データに「コントロール・ビット」を追加するように規定しています。ADC アプリケーションでは、コントロール・ビットを「タイム・スタンプ」として使用して、サンプルが外部リファレンスと同時に発生したことを表示することができます。サブクラス 0 動作モデルでサブクラス 1 デバイスを使用する場合、これは SYSREF 入力を使って実現することができます。1 個のロジック・デバイスに接続したマルチ ADC アプリケーションで、SYNC~ 信号を使うことも可能です。マルチチップ同期に対する基本的な要求は ADC に対する外部リファレンスを持ち、JESD204 トランスミッタ内でコントロール・ビットをサポートすることです。

ADI の AD9625 と AD9680 は、マルチチップ・アライメントに対するタイム・スタンプ機能をサポートしているデバイスです。図 3 に、サンプルがこの外部リファレンスと一致して発生したことを SYSREF 入力を使ってタイム・スタンプする例を示します。図に示すように、デバイス・クロックで SYSREF がサンプルされると、指定されたコントロール・ビットがそのサンプル内でセットされます。これを JESD204B システム内の各デバイスに対して実行することができます。

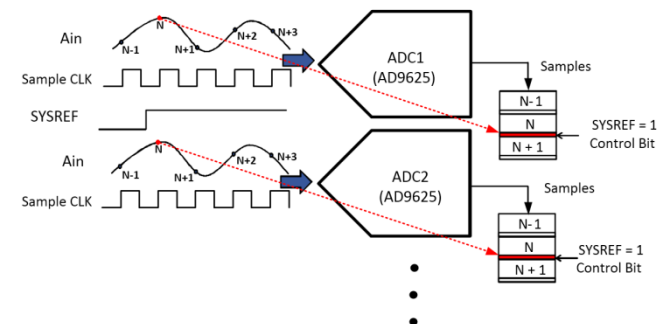


図 3.複数の ADC へのタイム・スタンプコントロール・ビットの追加

各 ADC デバイスからのサンプルがタイム・スタンプされると、ダウストリーム・ロジック・デバイスはサンプルをアラインさせることができます (図 4)。

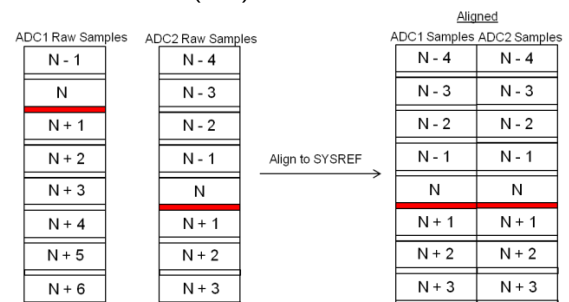


図 4.タイム・スタンプされたサンプルのアライン

4 サブクラス 1

1 つのリンク内のレーン・アライメントとマルチチップ・アライメントは、前述のようにサブクラス 0 モードで動作している場合実現可能ですが、複数のデバイスからの同期サンプルに依存するだけでなく、データがコンバータとロジック・デバイスの間を通過するための既知のデターミニスティック・レーテンシーを必要とする多くのアプリケーションが存在します。例えば、幾つかの ADC アプリケーションでは帰還ループを使って、フロントエンド・アナログ・ゲインをキャリブレーションしています。これは、多くの場合レーンパへのテスト入力信号を使って行われています。その後デジタル化データを使って調整が必要か否かを決めています。調整の決定にはアナログ入力からロジック・デバイスまでの遅延を知ることが不可欠です。このデータの到着時間は各電源オン/オフ・サイクルの後に同じである必要があります、同期イベントと無関係である必要があります。これらのアプリケーションでは、デターミニスティック・レーテンシーを実現する必要があります。

サブクラス 0 システムでは、最終レーンの着信後に JESD204B レシーバからサンプル・データが出力されますが、出力時間は、電源オン/オフ・サイクルごとに変化します。サブクラス 1 システムでは、「受信バッファ」が定義され、その出力時間が外部 SYSREF 信号の基準になります。そのため、JESD204B システムで発生する電源のオン/オフ・サイクルによる変化はありません。この概念を図 5 に示します。

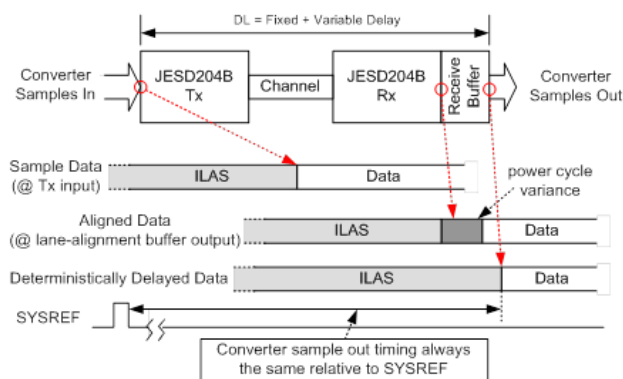


図 5. サブクラス 1 システムで SYSREF を使用したデータ出力タイミング

バッファ出力時間は、LMFC との関係を使って SYSREF 信号の基準になります。SYSREF を使って、システム内のすべての JESD204B デバイス間の LMFC の位相を揃えます。バッファ出力時間は、この SYSREF を揃えた LMFC を基準とします。

4.1 サブクラス 1 のためのシステム要求とガイドライン

JESD204B システム内のデターミニスティック・レーテンシーの精度と信頼性は、デバイス・クロックと SYSREF の間の関係に依存します。デバイス・クロックは、システム・リファレンス・クロックであり、これからサンプル・クロック (一般に)、JESD204B クロック、シリアライザ・クロックが発生されます。

このクロックは、SYSREF の取り込み、およびフレームとマルチフレーム・クロックのエッジの位相合わせに使用されます(図 6 参照)。JESD204B 規格では、SYSREF とデバイス・クロックに対する要求事項と推奨事項を規定しています。この規格では、PCB レイアウトとシステム・タイミングのガイドラインも規定していますが、これらの要求の JESD204B システムでの実現方法は、デターミニスティック・レーテンシーの不確定性(DLU)などのアプリケーションのシステム・レベル要求に依存します。DLU と特定アプリケーションへの適用などその他の詳細については、「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」で説明しています。

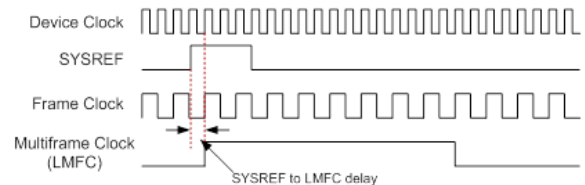


図 6. SYSREF を使用したフレーム・クロックの位相アライメント

サブクラス 1 動作に対するその他の重要な要求と推奨事項:

- SYSREF のエッジからフレームおよびマルチフレームまでの遅延は、JESD204B システム内のすべてのデバイスに対して規定する必要があります。ADI コンバータ製品では、これは SYSREF—LMFC 間遅延と呼ばれています。
- 受信バッファを使ってデータをバッファし、SYSREF に揃えた LMFC をデータ出力のデターミニスティック・リファレンスとして使います。JESD204B 規格では、受信バッファ遅延 (RBD) と呼ばれるものを規定しています。RBD はバッファの深さを決めるもので、1 ~k のフレーム・サイクル数 (TF) が指定されます。RBD を使って、システムの変動遅延を補償します。マルチフレーム内のフレーム数が増えると、許容変動遅延が大きくなります。ADI DAC デバイスは、k 値として 16 または 32 をサポートします。大部分のアプリケーションに対して 32 の設定が推奨されます。
- デターミニスティック・レーテンシーの正確な値はメーカー毎に変わり、同じメーカーでもデバイスごとに変わるため、システム内でマルチチップ同期が必要な場合は、同じモデルのコンバータを使うことが重要です。
- デバイス間のレーン・スキューを小さくすることも重要です。ADI DAC アプリケーションの場合、デバイス間スキューと最大変動遅延の組み合わせをローカル・マルチフレーム・クロック (LMFC) の周期より小さくする必要があります。

- デバイス・クロックと SYSREF を同じデバイスから発生させて、2 つの信号の位相アライメントを確保する必要があります。SYSREF とデバイス・クロックのデバイス間スキューも小さくする必要があります。
- サブクラス 0 動作とマルチチップ同期を説明する際に、SYNC~ 組み合わせの概念を説明します。サブクラス 1 システムの場合、これは不要です。

4.2 SYSREF とデバイス・クロック

SYSREF 信号は、シングル・パルス、周期的方形波、またはギャップのある周期的方形波にすることができます。SYSREF の周期は、LMFC の整数倍である必要があります。ADI デバイスは、3 タイプの SYSREF 信号をすべてサポートしています。

SYSREF 信号のタイミングは、デバイス・クロックのサンプリング・エッジが固定でユーザーから既知となるように、デバイス・クロックに対して正確に制御する必要があります。既に言及したように、SYSREF 信号はデバイス・クロックに同期したソースである必要があります。そのため、SYSREF はシステムにデバイス・クロックを供給するデバイスと同じデバイスで発生することが推奨されます。AD9525 は、この機能に適した 1 つの ADI デバイスです。

JESD204B 規格のクロック分配スキューとその他のスキュー要求は、規定というよりはガイドラインのようなものです。これらは、ディシリアライザに対して推奨するスキュー除去能力を主張するために導入されました。これらは、JESD204B 規格のセクション 4.12 に記載されています。SYSREF とクロック・スキューを求める実用的なガイドは、「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」に記載してあります。

5 サブクラス 2

サブクラス 2 システムでは、外部信号を使ってタイミング・リファレンスを提供するのではなく、SYNC~ 信号を使ってデータミニスティック・レーテンシーとマルチチップ同期を提供しています。この方式の主な利点は、JESD204B システムでのピン数とネット数が削減されることです。サブクラス 1 の SYSREF の背景にある考えは、これを使ってシステム内のすべてのデバイスで内部フレームとマルチフレーム・クロック (LMFC) を同期化することであったことを思い出してください。レシーバの LMFC に基づいて SYNC~ が発生されるため、この信号には、外部リファレンスを使わない場合に、レシーバとトランスミッタの間で同じ同期を実現する際に使用できる LMFC タイミング情報が含まれています。SYNC~ に対して要求される機能と精度は、サブクラス 1 の SYNC~ に要求される機能と精度より多くなっています。これらの要求とシステム同期タイミング要求から、実現可能なデバイス・クロック周波数は低くなっています。これは「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」で詳しく説明します。

タイミング要求を満たすと同時に SYNC~ をタイミング・リファレンスとして使用する問題は、SYSREF を使用する場合と同じです。システム・タイミング精度は、PCB 上の SYNC~ とデバイス・クロックの分配スキュー、およびそれらの伝搬遅延に制限されます。精度の分解能はデバイス・クロック周期に依存します。サブクラス 1 の場合と同様に、システム DLU 要求が分配スキュー規定値を決定します。

サブクラス 1 システムでは、デバイス・クロック/SYSREF ソースがマスター・リファレンスで、同期要求はロジック・デバイスから来ます。サブクラス 2 システムでは、ロジック・デバイスがマスター・タイミング・コントローラで、リンクの両側で LMFC 位相を補正する機能を持ちます。これを実現する方法は、システムが DAC ベースのシステムであるか、または ADC ベースのシステムであるかに依存します。

5.1 ADC サブクラス 2 の概要

サブクラス 2 ADC アプリケーションでは、SYNC~ のディアサーションは検出クロックで取り込まれ、これは一般にデバイス・クロックであり、LMFC 位相のリセットに使われます。SYNC~ を検出し取り込み、さらにローカル LMFC をリセットすると、JESD204B トランスミッタは K28.5 文字の送信を開始し、システム・クロックが安定するまで送信を続けます。同期プロセスの ILAS 部分が、クロックが安定した後の LMFC 境界で開始されます。ADC システムでは、ADC の LMFC のアライメントはインタラクティブ・プロセスではなく、1 回の SYNC~ アサーションで確立されます (図 7 参照)。周期的 SYNC~ を使ってトランスミッタの LMFC 位相アライメントをモニタすることもできます。詳細については、JESD204B 規格のセクション 6.4 を参照してください。

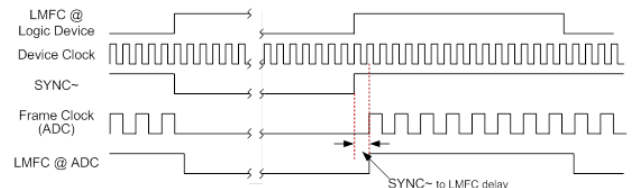


図 7. SYNC~ を使用したフレーム・クロックの位相アライメント

5.2 DAC サブクラス 2 の概要

サブクラス 2 動作では、ロジック・デバイスの LMFC がマスター LMFC リファレンスで、コンバータ LMFC はこれに位相揃える必要があります。サブクラス 2 DAC アプリケーションでは、ロジック・デバイスも検出クロック (一般にデバイス・クロック) を使って 1 個または複数の DAC デバイスからの SYNC~ を取り込みます。

ロジック・デバイスは、それ自身の LMFC と DAC LMFC との間の位相差を検出し、同期の ILAS 部分で調整コマンドを DAC へ発行します。ILAS はマルチフレーム 4 個分の長さで、LMFC 位相調整情報を含むリンク・パラメータが 2 番目の LMFC 周期でレシーバへ送信されます。JESD204B システムでロジック・デバイスから DAC へ与えられる LMFC 位相調整コマンドは、次のように与えられます。

- PHADJ (位相調整): このコマンドは位相調整の可否を表示します。
- ADJCNT (カウント調整): このコマンドは必要な調整ステップ数を表示します。
- ADJDIR (調整方向): このコマンドは LMFC 位相を進めさせるか、遅れさせるかを表示します。

調整クロック分解能と LMFC 周期に対する関係に応じて、DAC の LMFC 調整に要する時間は ILAS の 1 周期を超えることがあります。DAC で位相調整を行った後、SYNC~をロー・レベルにしてエラー報告を発行します。ロジック・デバイス上のトランスミッタは、この再アサーションを使って LMFC 位相差を再度検出します。調整がこれ以上不要な場合は、PHADJ ビットが ILAS 中にリセットされて、レシーバからのエラー報告はありません。この時点で、LMFC が揃えられて、ユーザー・データの送信が開始できます。さらに調整が必要な場合は、ロジック・デバイスのトランスミッタはプロセスをもう 1 回開始させます。詳細については、JESD204B 規格のセクション 6.4 を参照してください。

JESD204B システム内のすべてのデバイスで LMFC 位相が揃った後、サブクラス 1 と同じ方法でデターミニスティック・レーテンシーが実現されます。すなわち、最終着信レーン・データの非デターミニスティック着信時間ではなく、受信バッファの出力時間は位相が揃った LMFC を基準とするようになります(図 5 参照)。唯一の違いは、LMFC 位相アライメントを実現する方法にあります。

5.3 システム要求とサブクラス 2 実現のガイドライン

JESD204B システム内のデターミニスティック・レーテンシーの精度と信頼性は、デバイス・クロックと JESD204B システム内の各 SYNC~信号との間の関係に依存します。サブクラス 1 の場合と同様に、デバイス・クロックはシステム・リファレンス・クロックであり、これからサンプル・クロック、JESD204B クロック、シリアルライザ・クロックが発生されます。これを使って SYNC~を取り込みます。この SYNC~はシステム内の LMFC 位相関係に関する情報をロジック・デバイスへ提供します。

JESD204B 規格では、サブクラス 2 動作に対する要求事項と推奨事項を次のように規定しています。

- ADC の場合:
 - ADC は、ロジック・デバイスから検出した SYNC~に対して内部フレーム・クロックと LMFC (多分サンプル・クロック)を調整する必要があります。
 - LMFC 調整の分解能はデバイス・メーカーが決定する必要があり、システム同期精度を制限します。
 - SYNC~ 検出分解能は、デバイス・メーカーが決定する必要があり、システム同期精度を制限します。
 - SYNC~ のディアサーションから ADC LMFC 境界までの遅延(図 7 参照)は、規定する必要があります。
- DAC の場合:
 - DAC は、ロジック・デバイスからの指示に従い内部フレーム・クロックと LMFC を調整する必要があります (DAC サブクラス 2 の概要セクションの説明通り)。
 - DAC LMFC 調整分解能は規定する必要があります (DAC デバイス・クロック周期数を使用)。
 - DAC は、位相調整を行うごとにエラー報告を発行する必要があります。
- DAC アプリケーション内のロジック・デバイスの場合:
 - 自身の LMFC に対する SYNC 位相を検出クロック(一般にデバイス・クロック)のインクリメント数単位で検出する必要があります。
 - DAC 調整分解能に基いて ADJCNT を計算できる必要があります。
 - ILAS 中に補正情報を DAC へ送信できる必要があります(表 1 に説明)。

6 最後に

今日および将来のアプリケーションで高速なデータ処理機能に対する要求を満たすため、JESD204B はデータ・コンバータとロジック・デバイスの間の通信チャンネルで要求されるマルチギガビット・インターフェースを規定します。アプリケーションで必要とするサブクラスを決定することは、システム設計で重要なステップです。デターミニスティック・レーテンシーを必要としないシステムでは、3 種類のいずれのサブクラスでも十分ですが、サブクラス 0 は最も問題少なく実現できます。デターミニスティック・レーテンシーが要求される場合は、サブクラス 1 またはサブクラス 2 の設計に対して他のシステム・レベル事項を考慮する必要があります。

「JESD204B サブクラス (パート 2): サブクラス 1 対サブクラス 2 システムの考慮事項」で、ユーザーの設計に対する JESD204B の適切なサブクラス選択についてシステム設計者の理解を支援するためにこれらの問題の幾つかを詳しく説明します。

リソース

この資料を
してください。



で共有