

# ハイブリッド・ ビームフォーミングの 送信側キャリブレーション、 SFDRの最適化が極めて有効

著者：Peter Delos、テクニカル・リード  
Sam Ringwood、システム・プラットフォーム・アプリケーション・エンジニア  
Mike Jones、プリンシパル電気設計エンジニア

## 概要

一般に、フェーズド・アレイ・システムのキャリブレーションでは、対象とする基本信号を最適化することに重点が置かれます。本稿では、対象とする信号の位相のキャリブレーションを行った上で、スプリアス性能を更に改善する方法を紹介します。その効果については、ビームフォーミング・システムの具体的な例を用意し、送信スプリアス信号の評価を行うことによって確認しました。例にとるのは、8素子のサブアレイを4組使って構成した32素子のハイブリッド・ビームフォーミング・システムです。その評価結果から、本稿で紹介する手法によって25dB以上の性能の改善が得られることが確認できました。更に、より大規模なシステムに適用範囲を拡大するための2つの方法についての比較も行います。1つはキャンセル手法を適用するというものであり、もう1つはスプリアス信号を無相関にするというものです。

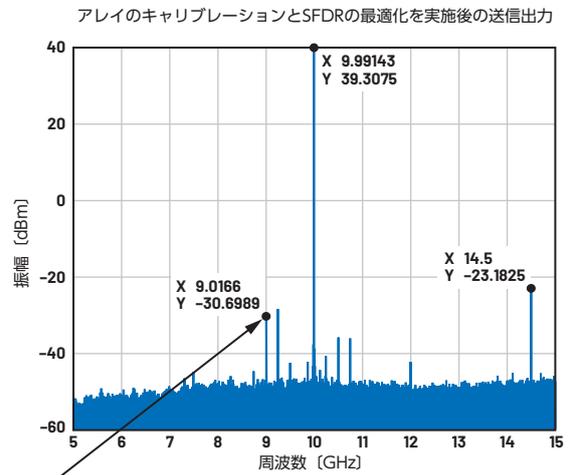
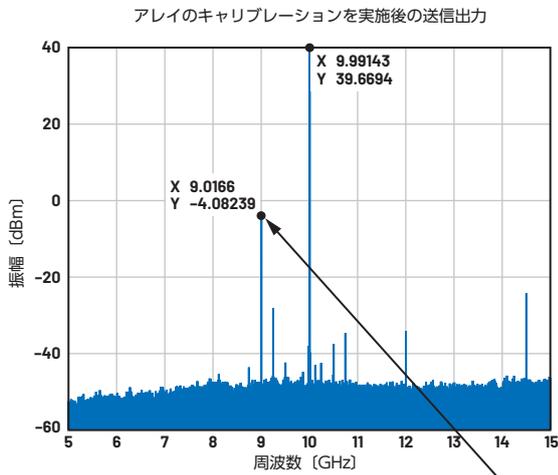
## はじめに

フェーズド・アレイ・システムについては、性能の向上に向けて、現在も様々な取り組みが行われています。なかでも注目を集めているのは、ソフトウェア定義型のアンテナに関する研究です。特に、アンテナ・パターンのプログラマビリティを最大化するオール・デジタルのフェーズド・アレイに対するニーズが高まっています。より高い周波数を対象にするようになると、パッケージング、消費電力、デジタル処理の課題に対応するために、デジタル・チャンネルの数を削減する必要に迫られます。ハイブリッド・ビームフォーミングを採用すれば、実装技術者が求めるデジタル・チャンネルの密度の低減を実現できます。そのため、ハイブリッド・ビームフォーミングは、長期間にわたって実用的な選択肢になる可能性があります<sup>1</sup>。

大規模なフェーズド・アレイ・アンテナでは、分散配備された波形発生器とレシーバーからの信号を結合するビームフォーミングのプロセス全体においてダイナミック・レンジを高めることが強く求められます。これは、アーキテクチャがハイブリッド・ビームフォーミングなのかデジタル・ビームフォーミングなのかにかかわらず共通の課題になります。波形発生器またはレシーバーのチャンネル数をNとすると、関連する誤差項に相関がなければ、ノイズとスプリアスの両方に対する効果によってダイナミック・レンジは $10\log N$ だけ向上します。ここで、ノイズというのは本来ランダムなものです。このことは、相関のあるノイズ源と相関のないノイズ源を追跡する際に役に立ちます。一方で、スプリアス信号を強制的に無相関にする手法は広く知られているわけではありません。したがって、その手法を実現可能な設計方法があれば、フェーズド・アレイ・システムの設計者にとって貴重な選択肢になります。

フェーズド・アレイ・システムにおいてスプリアスを強制的に無相関にする方法はいくつも存在します。例えば、そうした方法を取り上げた論文としては、稿末に示した参考資料2が挙げられます。これは2002年に発表されたものであり、レシーバーのスプリアス信号を無相関にするための一般的な方法が記されています。その概要は、以下のようなものになります。まず、2つのレシーバーにわたり、各信号に既知の方法によって変更を加えます。それらの信号には、レシーバーの非線形成分によって歪みが加わります。レシーバーの出力においては、それまでに加えられた変更の反転となる変更が加えられます。もともと対象にしている信号はコヒーレント（位相が揃っている）なもので、つまりは相関のあるものです。それに対し、歪みの成分には相関がありません。この論文の中でL. C. Howard氏が示した方法は、各LO（Local Oscillator：局部発振器）シンセサイザを異なる周波数に設定し、デジタル処理によってNCO（Numerically Controlled Oscillator：数値制御発振器）を調整することで、変更処理に対する補償を加えるというものでした。





スプリアスが25dB以上減衰

図1. 送信出力のスペクトル。(左)は、フェーズド・アレイのキャリブレーションを実施した後の状態を表しています。(右)は、SFDRを最適化するためのキャリブレーションを追加で適用した後の結果です。

ここ何年かの間に、それ以外の方法もいくつか発表されました<sup>3, 4</sup>。例えば、LOの周波数にオフセットを加えるための手法などが提案されています。その手法については、市販のトランシーバーICをベースとする設計を対象としてテストを実施した結果によって有効性が証明されています<sup>5, 6</sup>。また、分散型ダイレクト・サンプリングに対応するデータ・コンバータ (A/Dコンバータ、D/Aコンバータ) によってスプリアスを改善する手法も発表されており、様々なデータが公開されています<sup>7, 8</sup>。

本稿では、各チャンネルが十分にマッチングしていて特定のスプリアス周波数がチャンネル全体で本質的に相関を持っている状況について考えます。その場合、ハイブリッド・ビームフォーミングのアーキテクチャを利用すれば、スプリアス信号を強制的に無相関にするだけでなく、キャンセル手法を適用することによって性能を大幅に改善することができます。また、そのキャンセル手法は、アレイの位相のキャリブレーションを行った後のステップとして、キャリブレーション全体の中に組み込むことが可能です。

図1は、上記の手法による効果を示したものです。これらの測定値は、わずか4つのデジタル・サブアレイによってスプリアスフリー・ダイナミック・レンジ (SFDR) が25dB以上改善されるということを示しています。ご覧のように、もともと存在していた支配的なレベルのスプリアスが大幅に減衰し、他のスプリアス信号よりも小さく抑えられています。わずか4つのチャンネルによって、これほど大きなスプリアスの改善が得られるということです。その効果は、ノイズまたはスプリアスが無相関である場合の $10\log N$ という標準的な改善量をはるかに上回っています。この大きな改善効果については、スプリアスがキャンセルされると表現することができます。

### ノイズ電圧の結合

複数の信号が自由空間/RF領域で結合される場合、各信号のノイズは次式のようにして加算されます。

$$v_T = \sqrt{v_1^2 + v_2^2 + 2cv_1v_2}$$

上の式で使われている $c$ は相関係数です。この式については以下のようなことが言えます。

- ▶  $c$ は-1~1の値をとります。
  - -1: キャンセル
  - 0: 無相関
  - 1: 完全に相関がある
- ▶ スプリアスはノイズ電圧として扱うことができます。

一般に、フェーズド・アレイ・システムのRF性能については相関係数を0にすることが目標になります。それにより、アレイのレベルのダイナミック・レンジは $10\log N$  ( $N$ はチャンネル数)だけ向上します。特別なケースとして、 $c$ が負の数になってキャンセルの効果が得られることがあります。本稿では、そのキャンセルを実現するための一例を示します。

ところで、チャンネル間において、特定の混合スプリアスに相関があるというのはどのような場合なのでしょう。この例において相関があるというのは、チャンネル間で混合スプリアス信号の振幅と位相がマッチングしていることを意味します。ハイブリッド・ビームフォーミングのアーキテクチャは、このような状態が存在する場合にスプリアスのキャンセルを可能にする本質的な仕組みを備えています。その仕組みとは、DDS (Direct Digital Synthesizer: ダイレクト・デジタル・シンセサイザ) とアナログ・ビームフォーミングIC (以下、アナログBFIC) の各位相シフトによって、最適な位相の回転を見いだすことができるというものです。

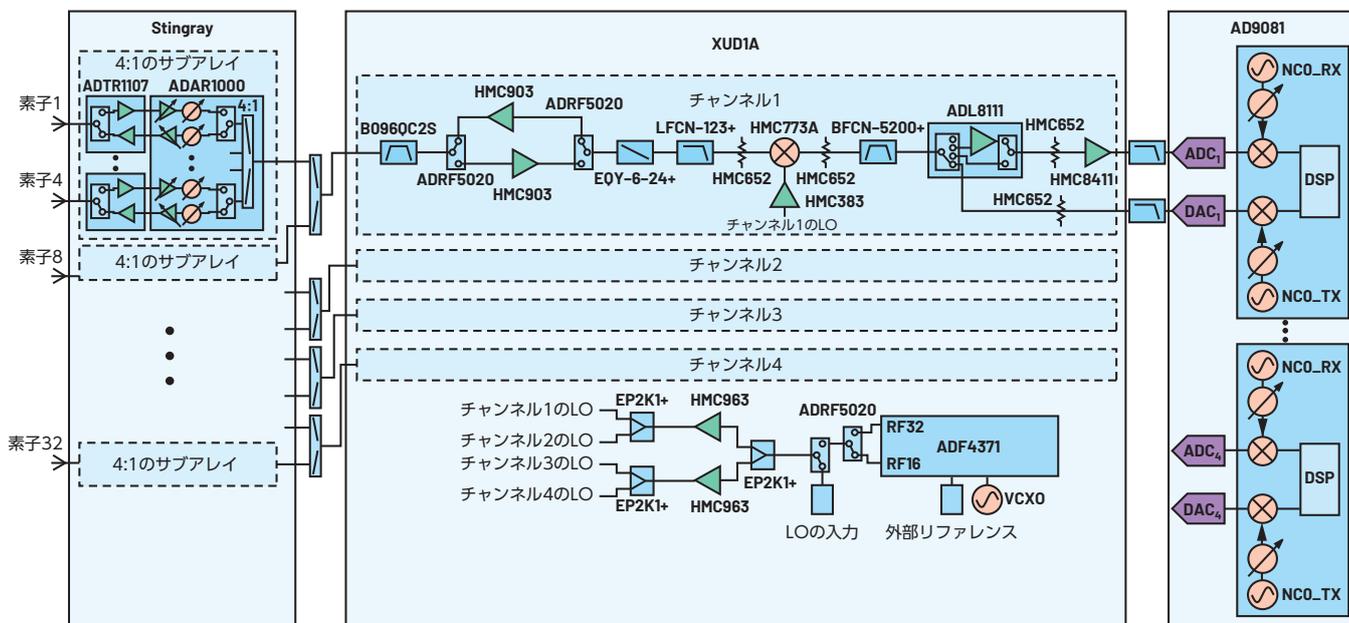


図2. 本稿で例にとるハードウェアのブロック図。  
Xバンドに対応するハイブリッド・ビームフォーミングを実現します。

表1. スプリアスの種類とレベル

スプリアスの種類	サブアレイ1 [dBc]	サブアレイ2 [dBc]	サブアレイ3 [dBc]	サブアレイ4 [dBc]	初期キャリブレーションの 実施後のアレイ全体 [dBc]	SFDRの最適化後の アレイ全体 [dBc]
2IF	-43.6	-46.1	-43.8	-41.7	-43.7	-70
LOリーク	-50.1	-55.4	-58.1	-52.2	-64.1	-62.5
DACのクロック	-68.7	-66.8	-69.2	-65.1	-71.9	-81.7
スプリアス1 (9.24GHz)	-67.1	-68.2	-64.3	-65.5	-67.9	-67.9
スプリアス2 (10.5GHz)	-72.5	-73.3	-72.9	-74.8	-77.3	-75.3

### 本稿で例にとるハードウェアの概要

筆者らは、32素子から成るハイブリッド・ビームフォーミング・システムのプロトタイプを開発しました<sup>9</sup>。そのプラットフォームのシグナル・チェーンは図2のようなものになります。ご覧のように、そのフロント・エンドは、32個の送受信モジュールと8個のアナログBFICで構成されています。そして、2個のBFICの入出力を組み合わせることにより、8素子から成るサブアレイを4組構成しています。4組のサブアレイは、マイクロ波に対応する4チャンネルのアップコンバータ/ダウンコンバータに接続されています。それらのコンバータは、4つのA/Dコンバータ (ADC) と4つのD/Aコンバータ (DAC) を搭載したデジタイザICに接続されています。ADCのサンプリング・レートは4GSPS、DACのサンプリング・レートは12GSPSです。

マイクロ波の周波数は8GHzから12GHzまでとしています。LOは、4.5GHzを中心とする固定値のIF (中間周波数) に対応するようハイサイドのLOに設定されています。このIFに対応し、ADCは第3ナイキスト・ゾーンでサンプリングを行います。

データの取得は、FPGAを搭載した市販のボードを使用しています。MATLAB<sup>®</sup>に対応するコンピュータ制御用のインター

フェースを開発し、ハードウェアを実際に使用して迅速に信号の評価を実施できるようにしました。データの解析は、MATLABによる後処理として実行します。

### スプリアスの位相を強制的に回転する

図1に示したスプリアスのレベルについて考えてみましょう。表1は、スプリアスの種類とそれぞれのレベル (dBc単位) についてまとめたものです。各サブアレイ、初期キャリブレーションを行った後のアレイ全体、SFDRのキャリブレーションを行った後のアレイ全体のそれぞれについて、スプリアスのレベルを示しています。

表1では、各サブアレイにおいて、2IFのスプリアス (以下、2IFspur) が同程度のレベルにある点に注目してください。キャリブレーションの実施後、アレイ全体の結合データでは2IFspurに改善は見られません。これは、2IFspurにはチャンネル間で相関があるということを表しています。ここで浮かび上がる疑問は、「スプリアスに相関がある場合、それらを強制的に無相関なものにすることはできるのか」というものです。もう一つ、「スプリアスに相関があった場合、それらを強制的にキャンセルすることはできるのか」という疑問も生じます。

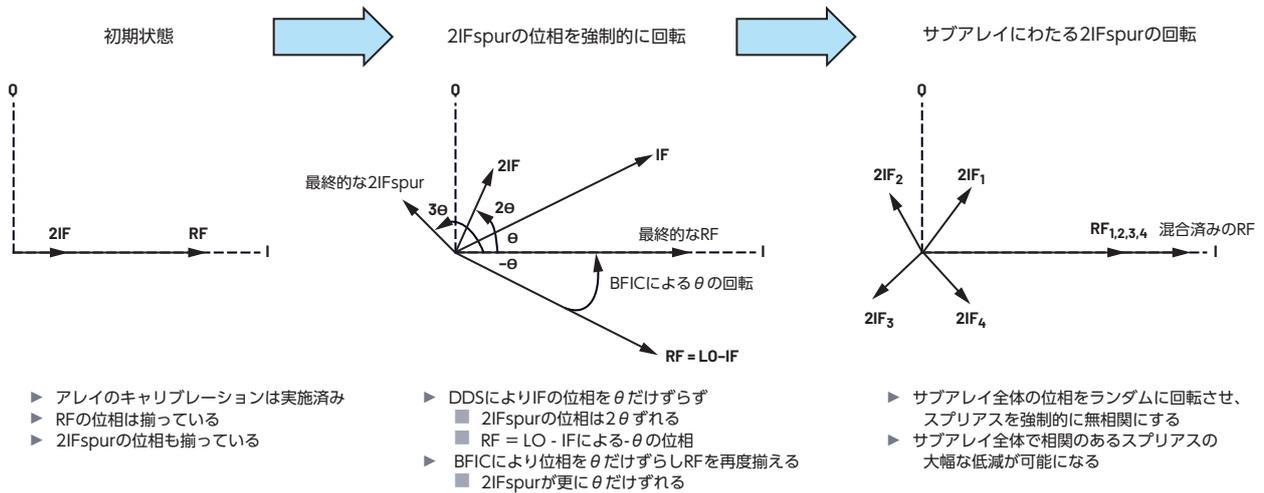


図3. 2IFspurの位相の強制的な回転

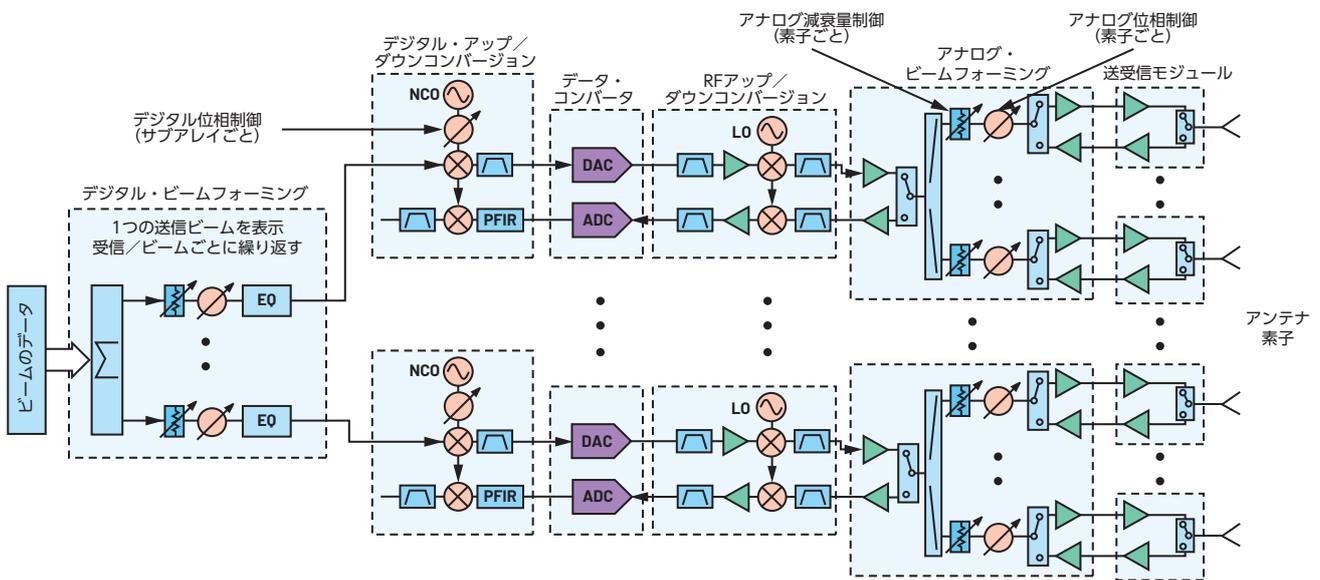


図4. 一般的なハイブリッド・ビームフォーミングのアーキテクチャ。アンテナのキャリブレーションにおいて振幅/位相の制御に使用するプログラマブルな機能を強調して示しています。

図3は、基本波の位相を維持しつつ2IFspurの位相を回転する方法を視覚的に示したものです。これについて説明すると、以下のようになります。

- ▶ まず、基本波と2IFspurの位相がどちらも $0^\circ$ に揃っていると仮定します。
- ▶ IF信号の位相を $\theta$ だけ回転させると、2IFspurの信号は、その2倍つまりは $2\theta$ 回転します。これは、NCOまたはベースバンドのI/Q (同相/直交位相) データに対応するDAC出力の位相によって制御することができます。
- ▶ このアーキテクチャでは、ハイサイドのLOを使用しています。そのため、RF信号の位相はIF信号の位相と逆方向に $-\theta$ だけ回転します。そのため、サブアレイ用のアナログBFICの位相シフタをすべて $\theta$ だけ回転するように設定し、基本周波数を再度揃える必要があります。このアナログ方式の位相シフタによる処理により、2IFspurには更に $\theta$ の位相シフトが発生します。つまり、合計で $3\theta$ の位相シフトが生じることになります。

図3は、2IFspurの位相を回転する方法を示したものだと言えます。ここで目標としているのは、各サブアレイ全体にわたる適切な回転を見だし、送信出力で2IFspurをキャンセルできるようにすることです。以下では、ハイブリッド・ビームフォーミングを採用したフェーズド・アレイのアーキテクチャにより、サブアレイ全体で2IFspurの相対位相を回転させる仕組みを実現できることを示します。そのためには、次の2つの技術を組み合わせます。1つは、DDSの周波数生成によりIFの位相を制御するというものです。もう1つは、サブアレイのアナログBFICを使用することで、RFの位相を制御するというものです。

### 送信側のキャリブレーション

図4に示したのは、一般的なハイブリッド・ビームフォーミングのアーキテクチャです。これについては、稿末に示した参考資料8で詳しく説明しています。図4では、アンテナのキャリブレーションにおいて振幅/位相の制御に使用するプログラマブルな機能を強調して示しています。

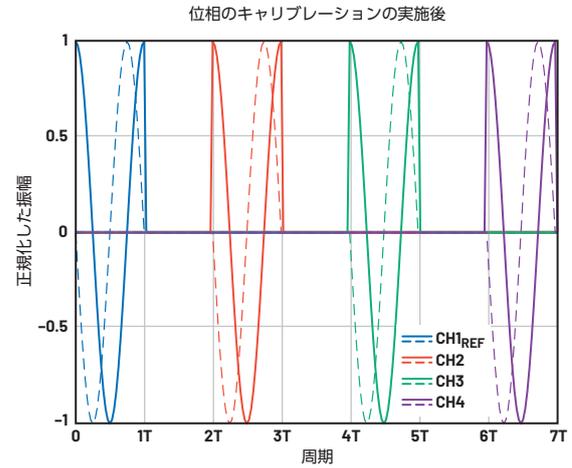
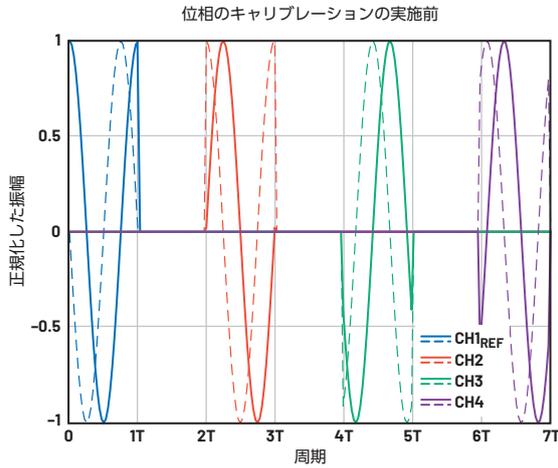


図5. 位相のマッチング。時間インターリーブ・パルスを使用したキャリブレーションによってチャンネル全体の位相誤差を特定します。

以下、ハードウェアの振幅と位相を揃えるために使用するキャリブレーションのステップについて説明します。

### 振幅のキャリブレーション

振幅のキャリブレーションを行うためには次のようなことを実行します。まず、信号の振幅をチャンネルごとに測定し、最も出力が小さいチャンネルの値と等しくなるように制御します。同時にサブアレイ全体を対象とした測定を行うために、周波数の間隔を確保し、1台のスペクトル・アナライザで各サブアレイの測定が行えるようにします。

### 位相のキャリブレーション

続いて、位相のキャリブレーションについて説明します。その方法としては、サブアレイ全体で同時に信号を取得できるようにするために、時間インターリーブ・パルス・キャリブレーション法を適用します。この手法において、パルスはサブアレイごとに時間インターリーブされます。続いて、I/Qデータをオフロードするようにスペクトル・アナライザのセットアップを行います。その上で、パルスが適用された連続波 (CW: Continuous Wave) 信号をスペクトル・アナライザで取得します。スペクトル・アナライザとしては、I/Qデータのモードで160MHzの帯域幅を実現できるものを使用する必要があります。送信側の中心周波数は、スペクトル・アナライザの中心周波数に対して8MHzのオフセットを加え、I/Qデータの周期全体を観測できるようにします。それらのデータにより、サブアレイ全体の位相をマッチングさせます (図5)。

位相を揃える処理は次のようなステップで行います。

#### 【ステップ1】 4組のサブアレイすべての素子1を揃える

素子1をイネーブルの状態にし、他の素子はディスエーブルの状態にします。各サブアレイに対して時間インターリーブ・パルスを適用し、1回のデータの取得によって処理を実現します。

#### 【ステップ2】 サブアレイ2、3、4の素子2～8を揃える

この処理は、パルス・データを7回取得することによって行います。その際の最初のパルスは、サブアレイ1の素子1からのもの

です。残りの3つのパルスはサブアレイ2、3、4のためのものです。それぞれのデータを取得するステップを素子2～8に適用します。

#### 【ステップ3】 サブアレイ1の素子2～8を揃える

この処理は、2つのパルス・データを7回取得することによって行います。各データを取得する際、2番目のパルスはサブアレイ2の素子1に対応し、1番目のパルスはサブアレイ1の素子2～8を通してステップします。

### SFDRの最適化

ここまでで説明した原理に基づけば、2IFspurの位相を回転させることができます。続いては、その原理を、キャリブレーションで使用するソフトウェア (スクリプト) に変換しやすい数式で表現してみます。

まず、各式で使用する変数について以下にまとめておきます。

$\phi_{x_n}$ : サブアレイxが備える素子nの出力の位相

$\psi_{x_n}$ : サブアレイxが備える素子nのキャリブレーション実施前の出力の位相

$\psi_{NCO_x}$ : サブアレイxのNCOに適用する位相シフト

$\psi_{BFIC_n}$ : サブアレイが備える素子nに適用する位相シフト

$\theta_x$ : サブアレイxに追加で適用する位相のオフセット

$\sigma_{x_n}$ : サブアレイxが備える素子nの2IFspurの出力の位相

先述したアレイのキャリブレーションを実施した後、素子ごとの出力の位相は次のような式で表すことができます。

サブアレイ1の素子ごとの位相:  $\phi_{1_n} = \psi_{1_n} + \psi_{NCO_1} + \psi_{BFIC_n}$

サブアレイ2の素子ごとの位相:  $\phi_{2_n} = \psi_{2_n} + \psi_{NCO_2} + \psi_{BFIC_n}$

サブアレイ3の素子ごとの位相:  $\phi_{3_n} = \psi_{3_n} + \psi_{NCO_3} + \psi_{BFIC_n}$

サブアレイ4の素子ごとの位相:  $\phi_{4_n} = \psi_{4_n} + \psi_{NCO_4} + \psi_{BFIC_n}$

続いて、SFDRを最適化するための位相の項を追加します。アレイのキャリアブレーションとSFDRの最適化を行った後、素子ごとの対象信号の位相は次のようになります。

サブアレイ1の素子ごとの位相:

$$\varphi_{1n} = \psi_{1n} + (\psi_{NCO1} - \theta_1) + (\psi_{BFICn} + \theta_1)$$

サブアレイ2の素子ごとの位相:

$$\varphi_{2n} = \psi_{2n} + (\psi_{NCO2} - \theta_2) + (\psi_{BFICn} + \theta_2)$$

サブアレイ3の素子ごとの位相:

$$\varphi_{3n} = \psi_{3n} + (\psi_{NCO3} - \theta_3) + (\psi_{BFICn} + \theta_3)$$

サブアレイ4の素子ごとの位相:

$$\varphi_{4n} = \psi_{4n} + (\psi_{NCO4} - \theta_4) + (\psi_{BFICn} + \theta_4)$$

同様に、SFDRの位相を最適化するステップを踏んだ結果、2IFspurの出力の位相は、素子ごとに見ると次のようになります。

サブアレイ1における素子ごとの2IFspurの位相:

$$\sigma_{1n} = \psi_{1n} + (\psi_{NCO1} + 2\theta_1) + (\psi_{BFICn} + \theta_1)$$

サブアレイ2における素子ごとの2IFspurの位相:

$$\sigma_{2n} = \psi_{2n} + (\psi_{NCO2} + 2\theta_2) + (\psi_{BFICn} + \theta_2)$$

サブアレイ3における素子ごとの2IFspurの位相:

$$\sigma_{3n} = \psi_{3n} + (\psi_{NCO3} + 2\theta_3) + (\psi_{BFICn} + \theta_3)$$

サブアレイ4における素子ごとの2IFspurの位相:

$$\sigma_{4n} = \psi_{4n} + (\psi_{NCO4} + 2\theta_4) + (\psi_{BFICn} + \theta_4)$$

SFDRの最適化は、図6に示した3つのステップによって実施します。最初のステップでは、まずアレイの半分をアクティブな状態にします。その上で、一方のサブアレイのアナログ/デジタルの位相を0°から180°まで回転させ、他方の位相は0°に固定したままにします。例えば、サブアレイ1、同3をアクティブな状態にし、 $\theta_1$ を0°に固定したまま、2IFspurの大きさに注目しながら $\theta_3$ を回転させるといった具合です。図6 (a) を見ると、2IFspurが最小になる $\theta_3$ の位相シフト量がわかります。最適化のステップ2もステップ1と同様の方法で処理を行います。ただ、ステップ1の場合とは異なるアレイをアクティブにします。つまり、サブアレイ2と同4をアクティブな状態にし、 $\theta_2$ を0°に固定したまま、 $\theta_4$ を回転させるといった具合です。図6 (b) に示すように、 $\theta_4$ として使用すべき位相オフセットの値は、2IFspurの強度が最小になる位置によって決まります。

最後に、すべてのサブアレイをアクティブな状態にし、ステップ1と同2で見いだされた最適な位相オフセットの値を適用します。その上で、2組のサブアレイを対象として最終的な位相回転の処理を実行します。図6 (c) は、 $\theta_1$ と $\theta_3$ を固定値に維持したまま、 $\theta_2$ と $\theta_4$ を回転させた場合の結果を表しています。この場合も、最適な位相オフセットの値は、2IFspurの強度が最小となる位置によって決まります。最終的な $\theta_4$ の値は、ステップ2と同3で選択した位相オフセットの値を合算した値になります。

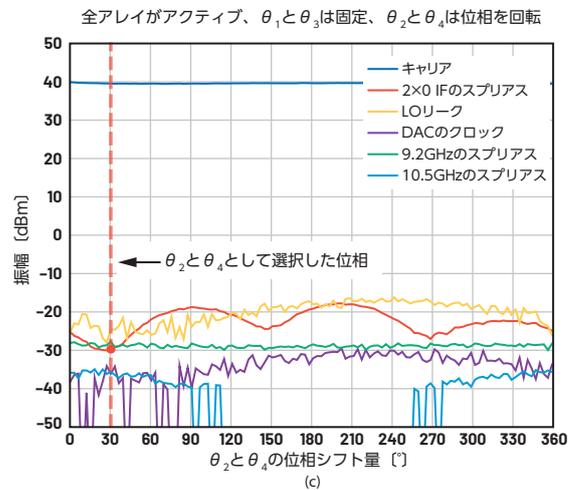
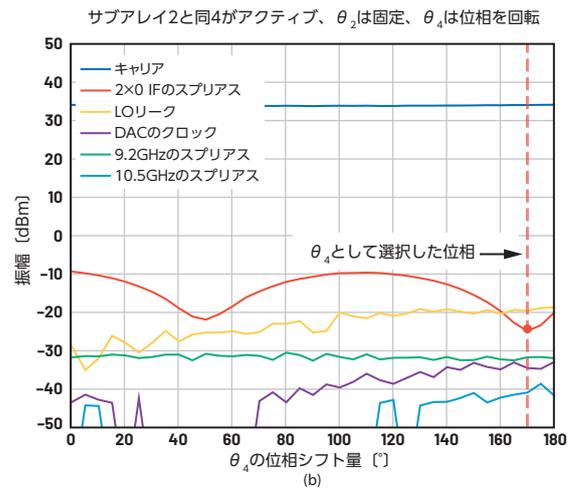
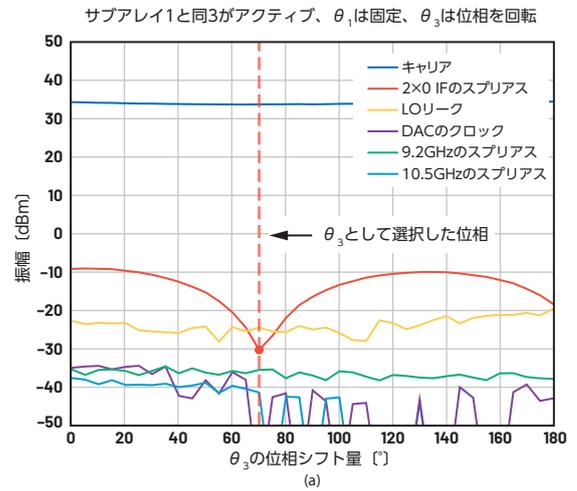


図6. SFDRの最適化。(a) は最初のステップです。サブアレイ1と同3がアクティブ、 $\theta_1$ は0°で、 $\theta_3$ を0°から180°まで回転させます。(b) は2つ目のステップです。サブアレイ2と同4がアクティブ、 $\theta_2$ が0°で、 $\theta_4$ を0°から180°まで回転させます。(c) は3つ目のステップです。全サブアレイがアクティブ、 $\theta_1$ と $\theta_3$ はステップ1、同2で選択した値に固定で、 $\theta_2$ と $\theta_4$ を0°から360°まで回転させます。

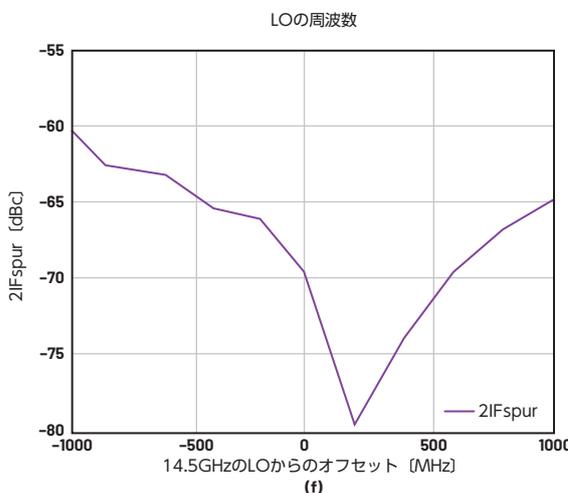
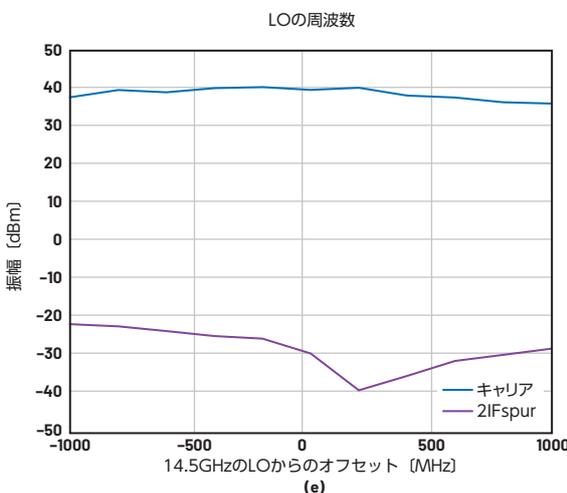
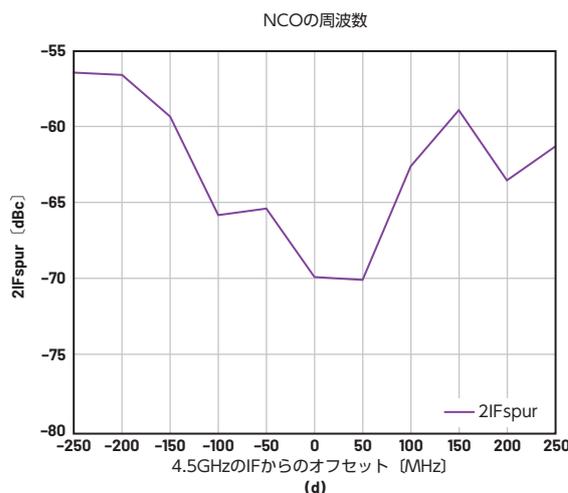
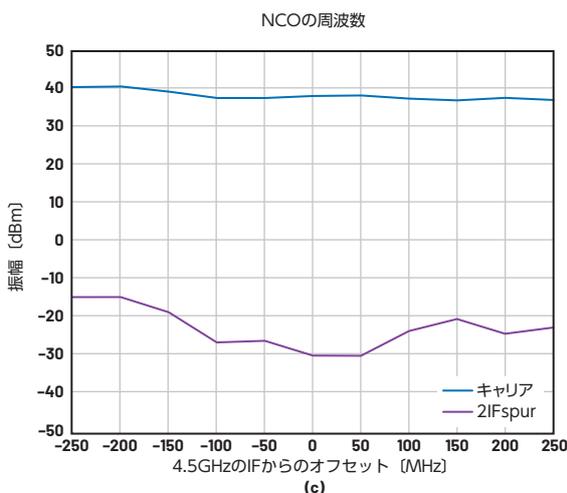
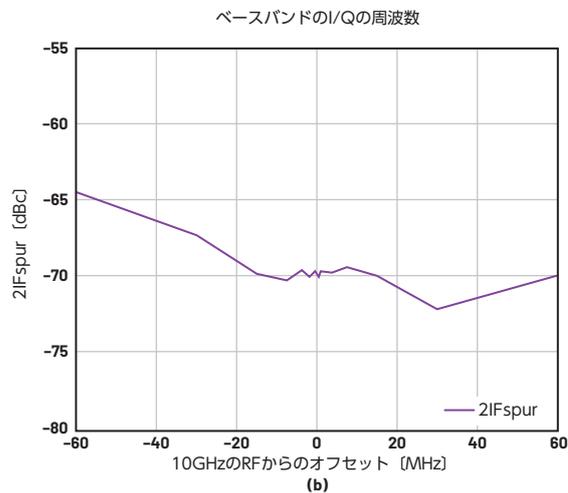
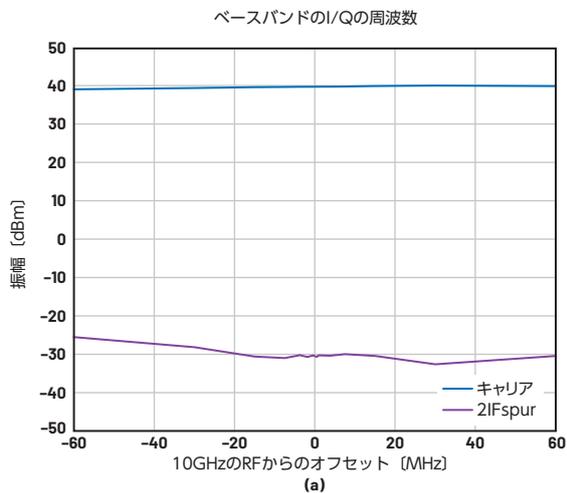


図7. 3種類のプログラマブル・オプションによって周波数を掃引した結果。DDSの周波数、NCOの周波数、LOの周波数を掃引しました。(a)はDDSの周波数を掃引した場合のキャリアと2IFspurの振幅、(b)は2IFspurのdBcレベルです。(c)はNCOの周波数を掃引した場合のキャリアと2IFspurの振幅、(d)は2IFspurのdBcレベルです。(e)はLOの周波数を掃引した場合のキャリアと2IFspurの振幅、(f)は2IFspurのdBcレベルです。

## 帯域幅の全体にわたる検証

おそらく、キャンセルの処理を実装する際には、常に同じ課題が浮上ることになるでしょう。それは、そのキャンセルの処理が帯域幅やその他の条件の範囲内で常に有効であるか否かを検証しなければならないというものです。本稿で例にとったハードウェアには、考慮すべき3つの事柄があります。デジタイザICに入力されるベースバンドのI/Qデータの変調、DACのデジタル・

アップコンバータのNCO周波数の変化、LO周波数の変化の3つです。それらに関する評価結果を図7に示しました。I/Qデータは100MHzの範囲、NCOの周波数は500MHzの範囲、LOは2GHzの範囲にわたって変化させています。すべての条件において、SFDRの最適化を実施すれば2IFspurが大幅に低減されることがわかります。

## スプリアスのキャンセルと強制的な無相関化の比較

ここでは、スプリアスのキャンセルと、よりシンプルな無相関化の方法について比較します。また、より大規模なフェーズド・アレイ・システムへの適用可能性についても検討します。

本稿では、ハードウェアの具体的な例を基に、スプリアスをキャンセルする方法を示しました。この方法は、懸念しているスプリアスがアレイ全体で相関を持つことが既知である場合に、単一の支配的なスプリアスに対して適用することができます。この手法は、SFDRを最適化するためにアレイをサブアレイの小さなグループに分割することで、より規模の大きいアレイを対象として適用することも可能です。アレイを4組に分割すれば、本稿で示した方法をそのまま使用することもできます。

ただ、スプリアスの種類によってはキャンセルすることが難しいケースもあります。その場合には、スプリアスを確実に無相関にし、 $10\log N$ の改善に期待する方が実用的です。多くのスプリアスが発生していたり、振幅が一致していないスプリアスが存在したりする場合には、最適化のステップにおいてSFDRの位相をランダム化する処理をアレイ全体に適用するとよいでしょう。それにより、スプリアスが確実に無相関になり、比較的簡単なソフトウェア・レベルの実装を使うだけで改善が得られます。

### 今後の課題

フェーズド・アレイについては、本稿では触れていない事柄として、送信側のメインのビームに対してずれた位置（角度がずれている）におけるSFDRの影響が挙げられます。キャリアレーションとSFDRの最適化の処理によるスプリアスの低減効果は、プライマリの信号がすべてコヒーレントであるか、メインのビームの方向に向いている場合に発揮されます。一方、角度がずれている場合には、メインのキャリアとスプリアスの両方に位相の回転が生じます。その状態でSFDRの最適化を適用すると、メインのビームの方向でSFDRが低下し、他の角度の方向のスプリアスの位相が揃う可能性があります。これについては、今後評価を進めていく予定です。

### まとめ

ハイブリッド・ビームフォーミングを採用したフェーズド・アレイのアーキテクチャは、もともと混合スプリアスを強制的に無相関にすることを可能にする仕組みを備えています。このアーキテクチャでは、BFICが内蔵するアナログ位相シフタと、ベースバンド・データまたはNCOの位相調整のいずれかによって実装できるデジタル領域の位相シフタの両方によって位相を調整できます。これら2つの位相制御手法を組み合わせることで、アーキテクチャに直接、位相制御の仕組みを組み込むことができます。そうすれば、フェーズド・アレイのキャリアレーションを実施した後のステップとして、SFDRの性能を最適化することが可能になります。本稿では、市販のハードウェアを使ってこの機能の有用性を実証しました。また、最適化のステップについて詳しく解説すると共に、その評価結果を示しました。

## 参考資料

- <sup>1</sup> Prabir Saha 「フェーズド・アレイ向けのハイブリッド型ビームフォーミング、受信側の電力効率を定量的な解析で明らかにする」 Analog Devices、2022年4月
- <sup>2</sup> L. C. Howard、D. J. Rabideau 「Correlation of Nonlinear Distortion in Digital Phased Arrays: Measurement and Mitigation (デジタル・フェーズド・アレイにおける非線形歪みの相関 – 測定と軽減)」 IEEE MTT-S International Microwave Symposium Digest、2002年
- <sup>3</sup> L. C. Howard、N. K. Simon、D. J. Rabideau 「Mitigation of Correlated Non-Linearities in Digital Phased Arrays Using Channel-Dependent Phase Shifts (チャンネルごとに異なる位相シフトを使用したデジタル・フェーズド・アレイにおける相関のある非線形性の軽減)」 IEEE MTT-S International Microwave Symposium Digest、2003年
- <sup>4</sup> Keir Christian Lauritzen 「Correlation of Signals, Noise, and Harmonics in Parallel Analog to Digital Converter Arrays (並列A/Dコンバータ・アレイにおける信号/ノイズ/高調波の相関)」 博士論文、University of Maryland、2009年
- <sup>5</sup> Peter Delos、Mike Jones、Mark Robertson 「RFトランシーバーICにより、デジタル・ビームフォーミング方式のフェーズド・アレイにおけるスプリアスの相関を排除」 Analog Devices、2018年8月
- <sup>6</sup> Peter Delos、Mike Jones 「Digital Arrays Using Commercial Transceivers: Noise, Spurious, and Linearity Measurements (市販のトランシーバーを使用したデジタル・アレイ -- ノイズ/スプリアス/直線性の測定)」 IEEE Phased Array Conference、2019年10月
- <sup>7</sup> Peter Delos、Mike Jones、Hal Owens 「フェーズド・アレイ用分散型ダイレクト・サンプリングSバンド・レーザの測定の概要」 Analog Devices、2022年1月
- <sup>8</sup> Peter Delos、Sam Ringwood、Mike Jones 「ハイブリッド・ビームフォーミング・レーザのダイナミック・レンジ：理論と実際」 Analog Devices、2022年6月
- <sup>9</sup> 「X/Ku Band Beamforming Developer Platform (X/Kuバンド対応のビームフォーミング向け開発プラットフォーム)」 Analog Devices、2022年8月

## 著者について

Peter Delosは、アナログ・デバイスズ（ノースカロライナ州グリーンズボロ）の航空宇宙／防衛グループに所属するテクニカル・リードです。1990年にバージニア工科大学で電気工学の学士号を、2004年にニュージャージー工科大学で電気工学の修士号を取得しています。エレクトロニクス業界で30年以上の経験を積んでおり、そのうちのほとんどの期間は、アーキテクチャのレベル、プリント基板のレベル、ICのレベルで先進的なRF／アナログ・システムの設計に携わってきました。現在は、フェーズド・アレイ・アプリケーション用の高性能レーダー、波形発生器、シンセサイザの小型化を図るための設計に注力しています。

Sam Ringwoodは、アナログ・デバイスズのシステム・プラットフォーム・アプリケーション・エンジニアです。航空宇宙／防衛ビジネス・ユニット（ノースカロライナ州グリーンズボロ）に所属しています。フェーズド・アレイ・レーダーなど、航空宇宙／防衛アプリケーション向けの完全なシステム・ソリューションの構築を担当。以前は、米国の核兵器複合施設でRF分野の設計／テストに携わっていました。ミズーリ大学カンザスシティ校で2015年に電気／コンピュータ工学の学士号を取得。2016年には電気電子工学の修士号を取得しました。

Mike Jonesは、アナログ・デバイスズの航空宇宙／防衛事業部門（ノースカロライナ州グリーンズボロ）に所属するプリンシパル電気設計エンジニアです。2016年に入社しました。2007年から2016年まではGeneral Electric（ノースカロライナ州ウィルミントン）で、マイクロ波フォトンクスを専門とする設計技術者として原子力事業向けのマイクロ波／光学ソリューションの開発に従事していました。ノースカロライナ州立大学で、2004年に電気工学とコンピュータ工学の学士号、2006年に電気工学の修士号を取得しています。

## EngineerZone®

### オンライン・サポート・コミュニティ

アナログ・デバイスズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit [ez.analog.com](https://ez.analog.com)

\*英語版技術記事は[こちら](#)よりご覧いただけます。



想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™

## アナログ・デバイスズ株式会社

お住いの地域の本社、販売代理店などの情報は、[analog.com/jp/contact](https://analog.com/jp/contact) をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイスズのエキスパートへの質問、FAQの閲覧ができます。

©2023 Analog Devices, Inc. All rights reserved.  
本紙記載の商標および登録商標は、各社の所有に属します。  
Ahead of What's Possibleはアナログ・デバイスズの商標です。

TA24335-4/23

VISIT [ANALOG.COM/JP](https://analog.com/jp)