

ハイブリッド・ ^{想像を超} ビームフォーミング・ レシーバーのダイナミック・レンジ: 理論と実際

Peter Delos、テクニカル・リード Sam Ringwood、アプリケーション・エンジニア Mike Jones、主席電気設計エンジニア

概要

本稿では、フェーズド・アレイ型ハイブリッド・ビームフォー ミング・アーキテクチャにおけるレシーバーのダイナミック・ レンジ・メトリクスについて、測定結果と解析結果を以下のよ うに比較します。市販の32チャンネル開発プラットフォーム を使用して解析結果を測定結果で検証します。サブアレイ・ ビームフォーミングのレシーバー解析は、アナログ・サブアレ イの信号結合箇所における信号ゲインとノイズ・ゲインの差異 を扱うことに重点を置いて検討します。開発プラットフォーム のレシーバー性能について解析結果を示し、測定結果と比較し ます。測定結果とモデル化した結果の比較ポイントを提示する ことを目的として、結果の概要を考察します。このポイントは、 規模のより大きいシステムの性能予測に活用できます。

はじめに

フェーズド・アレイ型ビームフォーミング・アーキテクチャは、 アナログ・ビームフォーミング方式、デジタル・ビームフォーミ ング方式、または最終的なアンテナ・ビーム・パターンを形成す るようデジタル的に処理されたアナログ・サブアレイを利用した 何らかの両方式の組み合わせに大別されます。デジタル的に結合 したサブアレイに基づく最後の方式は、アナログ方式とデジタル 方式の両方を組み合わせたビームフォーミングを使用するため、 一般にハイブリッド・ビームフォーミングと呼ばれています。

ソフトウェア定義型のアンテナを目指す業界では、アンテナ・パ ターンのプログラマビリティを最大限に高めるオール・デジタル 方式のフェーズド・アレイが待ち望まれています。実際には、特 に周波数が高くなると、パッケージング、消費電力、デジタル処



図1 一般的なハイブリッド・ビームフォーミングのRFブロック図



理といった課題があるため、デジタル・チャンネル数を削減せざ るを得ません。実装エンジニアから要求されることの多いデジタ ル・チャンネル密度の制限緩和が、ハイブリッド・ビームフォー ミングによって可能となるため、将来のある時期には現実的な選 択肢になる可能性があります。1

図1に、代表的なハイブリッド・ビームフォーミング・アーキテ クチャを示します。この図にはアーキテクチャに組み込まれる 主なサブシステムも示されています。ほとんどのハイブリッド・ ビームフォーミングは、このコンセプトに沿ったある種の変形版 です。図を右から左へ、つまり、電波がアンテナ素子に入射する 波面から、マイクロ波回路を通って、データ・コンバータへ、そ の後デジタル処理を経て、最終的にデジタル・ビーム・データへ とたどることで、アーキテクチャを直観的に説明できます。この 図は、ハイブリッド・ビームフォーミング・アーキテクチャを次 の7種類のサブシステムの組み合わせとして示しています。

- ▶ 1. アンテナ素子。電波のマイクロ波エネルギーを同軸媒体上でマイクロ波信号に変換します。
- ▶ 2. 送信/受信 (T/R) モジュール。送信と受信を切り替える スイッチのほかに、受信側にはロー・ノイズ・アンプ (LNA)、 送信側にはハイ・パワー・アンプ (HPA) が含まれています。
- ▶ 3. アナログ・ビームフォーミング。選択した数の素子を結合して、アナログ・サブアレイにします。
- ▶ 4. マイクロ波アップ/ダウンコンバージョン。動作周波数が データ・コンバータの動作範囲より高い場合、周波数変換を 行って動作周波数をデータ・コンバータに適した中間周波数 (IF)に変換します。
- ▶ 5. データ・コンバータ。マイクロ波周波数をデジタル・ワードに変換します。
- ▶ 6. デジタル・アップ/ダウンコンバージョン。高速データ・ コンバータの急速な普及に伴い、データ・コンバータのレー

トは処理帯域幅に必要なレートより高いことが普通となって います。データ・コンバータ集積回路(IC)に組み込まれた デジタル・アップ/ダウンコンバージョン機能を使用して、 同相/直交位相(I/Q)データ・ストリームをアプリケーショ ンの処理帯域幅に見合う低いレートに抑制することで、シス テムの消費電力を削減できます。

▶ 7. デジタル・ビームフォーミング。最後に、I/Qデータ・ストリームを加重和で結合して、最終的なデジタル・ビーム・データを形成します。

ハイブリッド・ビームフォーミング・アーキテクチャにおいてマ イクロ波エンジニアが直面する課題の1つは、システム・アーキ テクチャが進化したときの性能予測です。カスケード・マイクロ 波解析は十分な文献があり、よく理解されている手法です。デジ タル・ビームフォーミング測定についての文献はありますが^{2,3,4}、 ハイブリッド・ビームフォーミングのマイクロ波メトリクスにつ いては、規模の大きいシステム設計に当てはめて推定する場合 にリファレンスとして使用できるような、測定とモデルの比較を 行った文献は限られています。

本稿では、ハイブリッド・ビームフォーミングについてレシー バーのダイナミック・レンジ解析を詳細に記述し、32素子ハイ ブリッド・ビームフォーミングのテスト・プラットフォームでの 測定結果と予測結果を比較します。最初にハイブリッド・ビー ムフォーミングのプロトタイプ・プラットフォームを作り、代表 的なアーキテクチャのIC設計を検証して、Xバンド(8GHz~ 12GHz)のフェーズド・アレイ・アーキテクチャのプロトタイプ をすぐに作れるようにしました。しかし、特性評価を始めると、 性能メトリクスを体系的に予測する方法が必要であることが明ら かになりました。本稿の目的は、測定データの比較と共に解析方 法を文書化して、特性評価済みのリファレンスを用いて同様であ りながら規模がより大きいシステムをエンジニアが構築できるよ うにすることです。



図2 Xバンド (8GHz~12GHz) フェーズド・アレイのプロトタイプおよび開発システム

プロトタイプ・ハードウェア

作成した32素子ハイブリッド・ビームフォーミングのプロトタ イプ・プラットフォーム⁵を図2に示します。詳細なシグナル・ チェーンを図3に示します。

フロント・エンドは、32個の送信/受信モジュールと8個のアナ ログ・ビームフォーミングIC (BFIC) で構成されています。2個 のBFIC出力を結合して、8素子のサブアレイを4個作ります。4 個のサブアレイは、4チャンネルのマイクロ波アップ/ダウンコ ンバータに接続します。次に、4チャンネルのマイクロ波アップ /ダウンコンバータを、4個のA/Dコンバータ(ADC)と4個 のD/Aコンバータ (DAC) を内蔵したデジタイザICに接続しま す。ADCは4GSPSでサンプリングし、DACは12GSPSでサン プリングします。

特性評価したマイクロ波周波数は、8GHz~12GHzです。局部 発信器(LO)を、IFの中心が4.5GHzに固定されたハイサイド LOに設定します。このIF周波数では、ADCは3次ナイキスト・ ゾーンでサンプリングすることになります。

データ・キャプチャには、市販のFPGAボードを使用します。 MATLAB®コンピュータ制御インターフェースを作製し、シミュ レートした波形を実際のハードウェアですぐに特性評価できるよ うにしました。データ解析は、MATLABで後処理して行いました。

アナログ・サブアレイのカスケード解析

アナログ・サブアレイのカスケード解析には、信号結合箇所を除いて、従来のカスケード方程式が全て適用されます。各信号の振幅と位相がコンバイナの箇所で一致し、ノイズが無相関の場合、信号ゲインとノイズ・ゲインは異なることになります。そのため、これらの項を違ったやり方で確認する手法が必要になります。

用いた手法

用いた手法を図4に示します。信号ゲインとノイズ・ゲインが分 岐するポイントを図4aに示します。実際のコンバイナには、挿 入損失項と理論上の結合項があります。これについては、図4b に示すように説明できます。最後に、図4cに示すようにノイズ 温度を確認すれば、各段の入出力でノイズ電力を確認できます。

どの段の出力でもノイズ電力を計算するには、コンポーネントの 入力換算ノイズを入力ノイズに線形に加え、dBm/Hzに変換し直 して、コンポーネントのノイズ・ゲインに加えます。

Component Noise Out
$$\left(\frac{dBm}{Hz}\right) = Component Noise Gain (dB) + 10log10 \left(10 \frac{Noise In \left(\frac{dBm}{Hz}\right)}{10} + 10 \frac{Input Referred Component Noise \left(\frac{dBm}{Hz}\right)}{10}\right)$$
(1)

デバイスのノイズ指数から入力換算ノイズを計算するには、ノイ ズ温度を計算して、入力換算ノイズ電力に変換します。

ノイズ温度(T_e)は、デバイスのノイズ指数から次のように計算できます。

$$T_e = T \left(10 \frac{NF(\mathrm{dB})}{10} - 1 \right) \tag{2}$$

ここで、Tは周辺温度(ケルビン)です。

入力換算ノイズは、ノイズ温度から次のように計算できます。

Input Referred Component Noise =
$$kT_e$$
(J)
Input Referred Noise Power in $\frac{dBm}{Hz} = 10log10(kT_e) + 30$



図3 プロトタイプ・ハードウェアの詳細ブロック図



(c) In Cascaded Noise Budgets, Track Noise Temperature and Noise Power

図4 アナログ・コヒーレント結合向けのカスケード解析手法。信号ゲインとノイズ・ゲインを別々に追跡します。 デバイスのノイズ温度と入力換算のデバイス・ノイズ電力を追跡することで、これらのゲイン項を別々に追跡する方法が得られます。

コヒーレント結合の直観的な説明

信号とノイズの結合を直観的に考えると、この手法の目的を理解 するのに役立てることができます。まず、キャリブレーションが 行われた結果、全ての信号の振幅と位相が両方とも一致し、ノイ ズにはまだ相関がなく、コンバイナ入力において全チャンネルの 振幅が等しいと仮定することから始めます。

要素のサブセットだけがイネーブルの場合には、結果を追跡する 方法も必要です。これは、キャリブレーションまたは様々な試験 /デバッグ構成でよく起こります。

信号とノイズの出力レベルは、次のように計算できます。

信号電力 = 入力電力 + 信号ゲイン

信号ゲイン = 20log(オン状態のチャンネル数) - 挿入損失 - 10log(コンバイナの入力ポート数)

ノイズ電力 = 入力ノイズ電力 + ノイズ・ゲイン

ノイズ・ゲイン = 10log(オン状態のチャンネル数) - 挿入損 失 - 10log(コンバイナの入力ポート数)

この手法の結果に留意してください。表1は、全ての入力に通電 と補正が行われた場合、または1個の入力に通電と補正が行われ、 その他のポートが停止している場合について、いくつかのアナロ グ・コンバイナのチャンネル数に対する信号ゲインとノイズ・ゲ インをまとめたものです。

表1 ロスレス・コンバイナの信号/ノイズ・ゲイン

結合した チャンネルの数	信号ゲイン (全てがオン)	ノイズ・ゲイン (全てがオン)	信号ゲイン (1個がオン)	ノイズ・ゲイン (1個がオン)
2	3	0	-3	-3
4	6	0	-6	-6
8	9	0	-9	-9

カスケード・スプレッドシート

説明した手法を用いて、図5のカスケード・スプレッドシートを 作成しました。イネーブルにした素子数に応じた値を確認する用 意も含まれています。1個の素子をイネーブルにした場合と、8 個の素子全てをイネーブルにした場合の両方が示されています。

測定値はデータ・コンバータによるデータ・キャプチャ後にデジ タル・データの高速フーリエ変換(FFT)から算出されるので、 データ・コンバータの仕様が結果に含まれています。確認された 最終的なメトリクスは、レシーバー入力と呼ばれるADCメトリ クスです。測定値をすぐに検証できるよう、期待されるFFT強度 と相互変調積も、与えられた入力電力に対して計算されます。

測定データ

試験装置

テスト・セットアップを図2と図3に示します。レシーバー入力、 LO、ADCサンプル・クロック、システム全体のリファレンス・ クロックを供給するのに使用する具体的な実験装置を表2に示し ます。次の結果に示すサンプルをキャプチャするには、システム 内のデジタイザICを活用します。

表2 次のセクションでデータ・キャプチャの一部として使用する試験装置

212 011 211		
装置機能	メーカー/型番	コメント
レシーバーの 入力ソース	Keysight製E8267D、 32チャンネル・アナログ・ スプリッタヘ	送信/受信モジュールへの入力、 -50dBmの電力レベルに対して 補正済み
LOソース	Keysight製E8267D	アップ/ダウンコンバータ基板への 入力は5dBm
ADCクロック	Rohde & Schwarz製 SMA100B	AD9081への12GHz入力周波数を 内部で%分周して、 4GSPSのADCクロックを供給
リファレンス・ クロック	Keysight製N5182B	周波数は100MHz

Single Channel								8 Channel Subarray															
	Component Specs Component Calcs			Calcs	Cumulative Parameters						Component Specs			Com	Component Calcs			Cumulative Parameters					
	Signal Gain	Noise Figure	OIP3	Noise Gain	Te	kTe	Signal Gain	Noise Gain	Cum Noise Out	Cum NF	Cum IIP3		Signal Gain	Noise Figure	OIP3	Noise Gain	Te	kTe	Signal Gain	Noise Gain	Cum Noise Out	Cum NF	Cum IIP3
	(dB)	dB	dBm	dBm	k	dBm/Hz	dB	dB	dBm/Hz	dB	dBm		(dB)	dB	dBm	dBm	k	dBm/Hz	dB	dB	dBm/Hz	dB	dBm
Components									-174.0			Components									-174.0		$\left \right $
Front End Loss	-0.2	0.2	50.0	-0.2	13.7	-187.2	-0.2	-0.2	-174.0	-0.2	50.2	Front End Loss	-0.2	0.2	50.0	-0.2	13.7	-187.2	-0.2	-0.2	-174.0	-0.2	50.2
Stingray + Comb	18.5	4.0	-4.0	18.5	438.4	-172.2	18.3	18.3	-151.5	4.2	-22.3	Stingray + Comb	18.5	4.0	-4.0	18.5	438.4	-172.2	18.3	18.3	-151.5	4.2	-22.3
Ideal Combiner	0.0	0.0	50.0	0.0	0.1	-210.4	18.3	18.3	-151.5	4.2	-22.3	Ideal Combiner	18.1	0.0	50.0	9.0	0.1	-210.4	36.4	27.3	-142.4	4.2	-22.3
Cable	-1.0	1.0	50.0	-1.0	75.1	-179.8	17.3	17.3	-152.5	4.2	-22.3	Cable	-1.0	1.0	50.0	-1.0	75.1	-179.8	35.4	26.3	-143.4	4.2	-22.3
XUD	15.5	14.3	23.0	15.5	7515.5	-159.8	32.8	32.8	-136.2	4.9	-22.5	XUD	15.5	14.3	23.0	15.5	7515.5	-159.8	50.9	41.8	-127.8	4.3	-28.9
Cable+Filter	-1.5	1.5	50.0	-1.5	119.6	-177.8	31.3	31.3	-137.7	4.9	-22.5	Cable+Filter	-1.5	1.5	50.0	-1.5	119.6	-177.8	49.4	40.3	-129.3	4.3	-28.9
					RF S	ection otal	Signal Gain (dB) 31.3	Noise Gain (dB) 31.3	Cum Noise Out (dBm/Hz) -137.7	Cum NF (dB) 4.9	Cum IIP3 (dBm) -22.5						RF Se To	ection otal	Signal Gain (dB) 49.4	Noise Gain (dB) 40.3	Cum Noise Out (dBm/Hz) -129.3	Cum NF (dB) 4.3	Cum IIP3 (dBm) -28.9
					A/D	Specs	Full Scale (dBm) 6	NSD (dBFs/Hz) -147	IIP3 (dBm) 35								A/D	Specs	Full Scale (dBm)	NSD (dBFs/Hz) -147	IIP3 (dBm) 35		
					Rec To	eiver otal	RX Full Scale Input (dBm) -25.3	NSD (dBFs/Hz)	Cum IIP3 (dBm) -22.5								Rec	eiver otal	RX Full Scale Input (dBm)	NSD (dBFs/Hz) -135.1	Cum IIP3		
					Valic	lation	Input Por FFT Ma IMD	wer (dBm) g (dBFs) (dBc)	-50 -24.7 54.9								Valid	Validation FFT N		wer (dBm) og (dBFs) (dBc)	-50 -6.6 41.8		

図5 カスケード計算

キャリブレーション

全測定に対して、データ解析前にキャリブレーションを行います。 システムは、32個のアンテナ素子、8個のBFIC、4個のADCを 含む1個のデジタイザICで構成されています。デジタイザICの ADCによる4個のシグナル・チェーンにはそれぞれ、デジタル・ ダウンコンバータの形で強化デジタル信号処理(DSP)ブロック があり、その内部は、4個のデジタル化されたチャンネルのそれ ぞれに対してサブアレイ・レベルで位相シフトを適用できる数値 制御発信器(NCO)です。こうして、8個のアンテナ素子が、本 稿で定義するような1個のサブアレイを形成して、ADCとDSP による共通のシグナル・チェーンを共有します。システム内で利 用できる位相調整および振幅調整は、BFICを介したアナログ領 域で、またNCOとプログラマブル有限インパルス応答(PFIR) ブロックを介したデジタル領域で行われます。

最初に、ベースラインとしてチャンネル1を選択し、その他のチャンネルをこれに揃えます。アナログ領域では、アレイ全体の振幅を揃えるのにBFICの可変ゲイン・アンプ(VGA)を使用し、またサブアレイ内の位相を揃えるのにBFICの位相シフタ(PS)を使用します。デジタル領域では、各サブアレイ全体の位相を揃えるのにNCOの位相オフセットを使用します。

キャリブレーションは、一度にサブアレイごとに1個のアナロ グ・チャンネル(例えば、図6の右側に示すように、チャンネル 1、チャンネル3、チャンネル17、チャンネル19)をイネーブル にすることから始まり、合計4個の信号をデジタイザICの4個の ADCで同時にデジタル化します。これにより、各サブアレイ間 の位相誤差に直接関連したサブアレイ・チャンネルごとの相対的 な位相オフセット誤差が計算できます。リファレンス・チャンネ ル1を基準として、他の3個全てのチャンネルに対して位相オフ セット誤差を計算した後に、チャンネルごとに、計算後のNCO 位相オフセットを加えて位相誤差を補償すると、全サブアレイの 位相が揃います。 この後、サブアレイ2、3、4の元の3つのチャンネルをディス エーブルにして、サブアレイ2、3、4の別の3個のチャンネルを イネーブルにします。サブアレイ1のベースライン・チャンネル 1を基準とした、4個のチャンネル全ての同時キャプチャによっ て、この新たな3個のチャンネルの位相誤差が計算できます。位 相誤差を計算したら、BFICの位相シフタを使用してこの位相誤 差を補償します。アナログ領域とデジタル領域の両方で全チャ ンネルの位相が揃うまで、この処理を繰り返します。サブアレイ 1の各チャンネルを揃えるために、サブアレイ2の位相を揃えた チャンネル3を比較ポイントとして使用します。チャンネル3は、 キャリブレーション・シーケンスの最初のステップで先に位相を 揃えていました。結果は、アナログ位相調整でサブアレイ内の位 相誤差を補償し、NCO位相オフセットでサブアレイ全体の位相 誤差を補償するという状況になります。

FFT

性能測定結果は全て、連続波(CW)データ・キャプチャのFFT に基づいて評価されます。信号発生器をコヒーレント周波数に設 定し、FFTには重みを加えません。シングル・トーン測定の代表 的なFFTを図7に示します。

これらのプロットは左から右に向かって順に、1個の素子をイ ネーブルにした場合、サブアレイ内の8個の素子全てをイネーブ ルにした場合、4個のサブアレイをデジタル的に結合した場合を 表しています。これらのFFTから、レシーバーのダイナミック・ レンジに対するハイブリッド・ビームフォーミングの影響を確認 できるようになります。

- ▶ サブアレイ内のN個の素子をイネーブルにすると、信号電力は20logNで増加します。ノイズ電力も増加しますが、全体のS/N比は向上します。
- ▶ サブアレイをデジタル的に結合すると、データのビット増加 が起こります。この余分なビットに基づいてFFTを行うと、 信号はフル・スケールに対して同じレベルを維持しますが、 ノイズはフル・スケールに対して減少することになります。







図7 シングル・トーンFFT。RF入力は約10GHz、-50dBm、LOは14.5GHz、5dBm、ADCは4GSPS、粗調整NCOは550MHz、DDCは16×、 I/Qデータ・レートは250MSPS、FFTサンプリング数は4096。

素子の多くではスプリアス成分の強度がサブアレイ・レベル で増加しますが、サブアレイ全体では相関がなく、フル・ア レイ・レベルではノイズに埋もれるほどに減少します。

ツー・トーン測定の代表的なFFTを図8に示します。これらのプロットは左から右に向かって順に、1個の素子をイネーブルにした場合、サブアレイ内の8個の素子全てをイネーブルにした場合、4個のサブアレイをデジタル的に結合した場合を表しています。相互変調積を視覚化できるように、FFTの範囲を狭めています。

要素をイネーブルにするにつれて、相互変調積が増加します。これは、コンバイナの後の回路で電力が増加し、そのため相互変調 積が高くなることによるものです。しかし、アナログ・サブアレ イをデジタル的に結合すると、ツー・トーン信号と相互変調積の 両方の強度が平均に近づきます。

この試験構成の場合には、メイン・キャリアの裾から離れた相関 位相ノイズが観察されます。この構成には、共通のLO、共通の RF入力、および全チャンネルにわたる共通の電源があります。 実際には、規模の大きいアレイの場合、この構成は避けるべきで す。アレイ内の相関ノイズと無相関ノイズの確認に関するさらな る考察が、「16チャンネルのデモ用ボードを使用し、マルチチャ ンネルのシステムにおける位相ノイズのモデルの有用性を実証す る」、「フェーズド・アレイ用分散型ダイレクト・サンプリングS バンド・レシーバーの測定の概要」、「LO信号の位相ノイズをシ ステム・レベルでモデル化、PLLが分散配備されたフェーズド・ アレイの解析が可能に」の各記事で行われています。

性能測定

全般的なレシーバー性能の測定概要を図9に示します。

図9aは、FFTのフル・スケールを基準とした強度を周波数に対して示しています。このデータを入力電力と共に用いると、図9b に示すようにレシーバーのフル・スケール・レベルを計算できます。

図9cは、FFT処理で計算したノイズ・スペクトル密度(NSD) をdBFS/Hz単位で示しています。キャリアの周辺にあるいくつ かのFFTビンを削除したため、ノイズは、ホワイト・ノイズを表 しており、この試験構成の位相ノイズに影響されることはありま せん。

図9aおよび図9cに基づいてS/N比(SNR)を計算でき、これを 図9dに示します。ここでは、2つの効果が観察されます。まず、 サブアレイ・レベルでは、SNRが10logNよりわずかに増加しま す。これは、結合後のノイズ電力は増加しますが、コンバイナ後 のデバイスのノイズ指数による影響は低下するためです。次に、 サブアレイをデジタル的に結合すると、S/N比が10logNで増加 します。



図8 ツー・トーンFFT。RF入力は約10GHz、-50dBm、LOは14.5GHz、5dBm、ADCは4GSPS、粗調整NCOは550MHz、DDCは16×、 I/Qデータ・レートは250MSPS、FFTサンプリング数は4096、各プロットは±10MHzに拡大。

図9eは、個々の素子、サブアレイ、フルにデジタル化されたア レイについて、スプリアスフリー・ダイナミック・レンジ(SFDR) を示しています。多くの素子をアレイに追加していくと改善が進 むことが確認でき、この試験構成のスプリアスは全て無相関であ ることが示されています。

図9fは、入力3次インターセプト・ポイント(IIP3)を示してい ます。この結果は、ツー・トーンFFTから直観的に理解できます。 サブアレイのIIP3は、相互変調積の増加によって低くなります。 アレイレベルのIIP3は、サブアレイ・レベルの平均に近づきます。

これら測定全てについて、データがカスケード解析のモデル値に 非常に近いことに留意してください。モデル値は、図9dおよび 図9eを除く全てのプロットに含まれています。この2つのプロッ トは、間接的に求められるもので、スプレッドシートには明示的 に定義されていないためです。



図9 レシーバー性能の測定結果

保管期間の考慮

全ての信号の位相と振幅が揃っていると仮定して始めると、測定 値が予測値とよく一致します。カスケード解析では、アナログ・ コンバイナの箇所で、信号ゲインとノイズ・ゲインを分離する必 要があります。ノイズ入力とデバイスの入力換算ノイズとに基づ いてノイズ電力を追跡するのは、効果的な方法です。

サブアレイ・レベルでは、チャンネルをオンにすると、次のよう になります。

- ▶ S/N比が改善され、10logNよりわずかに大きくなります。
 - 信号電力は、20logNで増加します。
 - ノイズ電力の増加は、10logNよりわずかに少なくなります。
 - アナログ・コンバイナの後のノイズ電力は大きくなります。
 - アナログ・コンバイナの後にあるコンポーネントのNF の影響は低下します。
- ▶ 信号が結合すると、アナログ・コンバイナの後にあるデバイス では信号が大きくなるため、IIP3は減少します。
- ▶ スプリアスは一般に、アナログ・サブアレイ内では相関があり ます。これは、ソースがアナログ・コンバイナの後にあるので、 マイクロ波チャンネルがイネーブルかどうかに関係なく、同じ スプリアスが測定されるためです。

サブアレイをデジタル的に結合すると、次のようになります。

- ▶ S/N比は10logNで増加します。
 - 信号電力は一定のままです。
 - dBFS/Hz単位のノイズ電力は減少します。
- ▶ IIP3は平均に近づきます。
- 観察されるスプリアスは、デジタル・チャンネル間では相関が ありません。

相関位相ノイズ項に注目してください。この試験構成では、相関 位相ノイズが観察されています。これは図8の中心に近いノイズ に見られ、この効果をはっきり示すために周波数軸は拡大してあ ります。共通のマイクロ波入力とLO入力は試験装置からのもの が使用されています。つまり、マイクロ波信号とLO位相ノイズ は相関があります。共有された電力は相関のある寄与ももたらす 可能性があり、この試験構成では電圧も共有します。この試験構 成では、レシーバーの試験時に相関位相ノイズの支配的なソース をデバッグしませんでした。しかし、この点は留意すべきで、こ のハードウェアの今後の調査対象として残されています。

謝辞

本稿の執筆に協力してくれたアナログ・デバイセズの多数のエン ジニアに感謝します。この中には、IC設計者、回路基板設計者、 ソフトウェア開発者、プロトタイプ・ハードウェアを組み立てて くれたテクニシャンがいます。試験プラットフォームの価値につ いて見通しを示し、試験プラットフォームを実現させる長い作業 の間も辛抱強さを示してくれたアプリケーション指向のマネー ジャにも感謝します。本稿にはレシーバーの試験結果が記述され ていますが、多くの人の協力がなければ、完成できませんでした。

参考資料

¹ Prabir Saha. 「フェーズド・アレイ向けのハイブリッド型ビーム フォーミング、受信側の電力効率を定量的な解析で明らかにする」 アナログ・デバイセズ、2022年4月

² Peter Delos and Mike Jones. [16チャンネルのデモ用ボードを使用し、マルチチャンネルのシステムにおける位相ノイズのモデルの有用性を実証する] アナログ・デバイセズ、2021年11月

³ Peter Delos, Mike Jones, and Hal Owens. 「フェーズド・ア レイ用分散型ダイレクト・サンプリングSバンド・レシーバーの 測定の概要」アナログ・デバイセズ、2022年1月

⁴ Peter Delos. [LO信号の位相ノイズをシステム・レベルでモデ ル化、PLLが分散配備されたフェーズド・アレイの解析が可能に] アナログ・デバイセズ、2018年11月

⁵ X/Ku Band Beamforming Developer Platform.Analog Devices、Inc.

Delos, Peter and Mike Jones. "Digital Arrays Using Commercial Transceivers: Noise, Spurious, and Linearity Measurements." IEEE Phased Array Conference, October 2019.

Delos, Peter. 「広帯域RFレシーバー・アーキテクチャ・オプションの検討」アナログ・デバイセズ、2017年2月

著者について

Peter Delosは、アナログ・デバイセズの航空宇宙および 防衛グループのテクニカル・リード。ノースカロライナ州 グリーンズボロで勤務しています。1990年にバージニア 工科大学でBSEEを、2004年にNJITでMSEEを取得しま した。25年以上の業界経験を有し、その大部分をアーキ テクチャ・レベル、PWBレベル、ICレベルの先進的なRF /アナログ・システム設計者として勤めました。現在は、 フェーズド・アレイ・アプリケーション用に、高性能レシー バー、波形発生器、シンセサイザなどの設計の小型化を担 当しています。

Sam Ringwoodは、ノースカロライナ州グリーンズボロの 航空宇宙および防衛ビジネス・ユニットのシステム・プラッ トフォーム・アプリケーション・エンジニアです。アナロ グ・デバイセズに入社する前は、米国の核兵器複合施設で RFテストおよびRF設計を担当していました。2015年にミ ズーリ大学カンザスシティ校でBSECEを、2016年に同学 でMSEEを取得しました。現在は、フェーズド・アレイ・ レーダーなど、航空宇宙および防衛アプリケーション向け のフル・システム・ソリューションの構築を担当していま す。

Mike Jonesは、アナログ・デバイセズの主席電気設計エ ンジニア。ノースカロライナ州グリーンズボロにある航 空宇宙および防衛ビジネス・ユニットに勤務しています。 2016年にアナログ・デバイセズに入社しました。2007 年から2016年までノースカロライナ州ウィルミントンの General Electricにマイクロ波フォトニクスの設計エンジ ニアとして勤務し、原子力産業向けのマイクロ波および 光学ソリューションを担当しました。2004年にノースカ ロライナ州立大学でBSEEとBSCPEを、2006年に同学で MSEEを取得しました。

EngineerZone[®] オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュ ニティに参加すれば、各種の分野を専門とする技術者と の連携を図ることができます。難易度の高い設計上の問 題について問い合わせを行ったり、FAQを参照したり、 ディスカッションに参加したりすることが可能です。

ADI EngineerZone^{**}

SUPPORT COMMUNITY

Visit ez.analog.com

*英語版技術記事はこちらよりご覧いただけます。



アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、<u>analog.</u> <u>com/jp/contact</u> をご覧ください。

オンラインサポートコミュニティ<u>EngineerZone</u>では、アナ ログ・デバイセズのエキスパートへの質問、FAQの閲覧がで きます。

©2022 Analog Devices, Inc. All rights reserved. 本紙記載の商標および登録商標は、各社の所有に属します。 Ahead of What's Possibleはアナログ・デバイセズの商標です。 VISIT ANALOG.COM/JP