

フェーズド・アレイ・ レーダーに最適なADCを 選択する方法【Part 1】

著者: Benjamin Annino、アプリケーション・ディレクタ

概要

フェーズド・アレイ・レーダーで使用するビームフォーミング には、いくつかの実現形態が存在します。具体的には、デジタ ル・ビームフォーミング、RFビームフォーミング(アナログ・ ビームフィーミング)、ハイブリッド・ビームフォーミングの 3つに大別されます。現在は、それぞれの方式におけるシステ ム上のトレードオフや優劣についての議論が活発に行われてい る状況にあります¹。本稿では、これまでの取り組みを基に、 DCの消費電力を基準としてダイナミック・レンジ(直線性と ノイズ)とサンプル・レートのトレードオフについて説明する ことにします。対象とするのは、RF信号からA/Dコンバータ (ADC) までがカスケードに接続されたマルチチャンネルのシ ステムです。そのシステムの構成要素のモデルを使用し、RF 領域とデジタル領域のチャンネルで様々な加算処理を行うケー スについて考えます。具体的には、ADCのサンプル・レート、 有効ビット数 (ENOB)、RF / デジタルのチャンネル結合の最 適な選択について、DCの消費電力を基準として評価を実施し ます。なお、ADCについては、Schreier FOM (Figures of Merit:性能指数)とWalden FOMが広く使用されています。 これらは、マルチチャンネルのシステムにも拡張することが可 能です。それを利用し、DC消費電力に対して正規化された最 適なダイナミック・レンジを表すシステムの単一のFOMを算 出する方法を提案します。今回(Part 1)は、検討のベースと なるシステムのモデルを構築する方法について説明します。 Part 2では、得られた結果を解析し、システムのFOMに基づ いた結論を示すことにします。

システムのモデリング

フェーズド・アレイ・レーダーの分野では、全アンテナ素子に対 してデジタル・ビームフォーミングを適用する取り組みに大きな 注目が集まっています。政府による多額の資金提供を受けて、こ の分野の研究が活発に行われるようになり、その機能は急速に 成熟しています。実際、デジタル・ビームフォーミングにより、 無指向性のアレイから任意の組み合わせのビームを同時に生成 できるようになれば、ソフトウェア定義型でマルチミッションの アパーチャを実現することが可能です。言い換えれば、数多くの ミッションに対応できる単一のアレイを具現化できます。そのメ リットは、ソフトウェアによって構成(コンフィギュレーション) が可能で、独立した複数のデジタル・ビームを同時に様々な形状 で放射できるようになることです。その結果、検出の処理が改善 されると共に、多くの機能を実現できるようになります¹。

実際に上記のようなことを実現するには、数々の課題を解消し なければなりません。なかでも、DC消費電力が最大の課題にな ります。素子単位のデジタル・ビームフォーミングを行う場合、 ADCとD/Aコンバータ (DAC)を使用するデジタル変換ノード が各素子の背後に分散されます。その際、性能が損なわれてしま うことは避けなければなりません。しかも、今日提供されている システムよりも低消費電力であることが求められます。デジタル 変換によって生じる消費電力は、ダイナミック・レンジ(あるい はENOB)とサンプル・レートの直接的な関数になります。RF 性能、消費電力、デジタル/アナログ方式のビームフォーミング 機能といったシステムのコンテキストにおいて、ADCの分解能 (ENOB)とサンプル・レートについて最適な選択を行うのは容 易ではありません。実際、その作業は多次元にわたる複雑なもの になります。

重要な課題はそれだけではありません。熱に関する制約とフッ トプリントの大きさも大きな問題になります。大規模なフェーズ ド・アレイにおいて熱とサイズの面で高い柔軟性を持たせたい場 合には、アンテナ面に対して直角に電子部品を配置するブレード が採用されることがよくあります。しかし、特に扱う周波数が高 いものなど、一部のシステムでは電子部品をアンテナに対して平 面に配置し、なおかつ素子の格子間隔に収まるようにしなければ なりません。このことは、熱とサイズの面で非常に難易度の高い 課題をもたらします。つまり、性能を損なうことなく、電子部品 のサイズを縮小し、なおかつ消費電力を削減しなければならない のです。



VISIT ANALOG.COM/JP



フェーズド・アレイを使用する場合、所定のDC消費電力の制約 を満たすために必要なビームの属性、感度、ダイナミック・レン ジはシステムごとに異なります。つまり、様々なシステムの要件 に対応しなければならないので、最適な性能とDC消費電力の間 には連続的な関係が存在することになります。

システムのFOM

ダイナミック・レンジまたはスプリアスフリー・ダイナミック・ レンジ(SFDR)は、レシーバーの最も一般的なFOMです。こ れらは、直線性と感度の関数として表されます。ただ、レシーバー のSFDRとADCのSFDRを混同してはなりません。両者の意味は 全く異なります。ADCのSFDRは、高調波、インターリーブ・ス プリアス、クロック・リーク、それに起因する相互変調積といっ た中で最大のスプリアスを表します。2つのトーンの直線性を直 接表現するものではありません。本稿で取り上げるのは、レシー バーのSFDRのみです。レシーバーの感度は、ノイズ・フロアに いくらかのオフセットを加えたレベル(閾値)で検出が可能な最 小の信号という意味になります(値が小さいほど優れている)。 この閾値は、信号の種類や検出の確率といったいくつかの事柄 に基づいて決まります。本稿では、その値をゼロに設定すること にします。また、感度には直線性は影響せず、単なるノイズの 指標になります。ここで強調しておきたいのは、レーダーやEW (Electronic Warfare) システムはブロッカが存在する環境で動 作するため、ノイズと同等に直線性(2つのトーンの相互変調) が重要になるということです。一般に、フェーズド・アレイの帯 域幅は1オクターブ未満であり、主に問題になるのは3次相互変 調歪み(IMD3)です。それに対し、EWシステムの帯域幅はマ ルチオクターブに及びます。そのため、2次相互変調歪み (IMD2)

とIMD3が問題になります。通常、レーダーやEWシステムのレ シーバーは、感度だけを対象として最適化されるわけではありま せん。直線性を表す2次インターセプト・ポイント(IP2)と3次 インターセプト・ポイント(IP3)も設計上の重要な目標になり ます。加えて、レシーバーのSFDRでは感度と直線性の両方が考 慮されます。そのため、どちらも重要なFOMです。

SFDRはシングルポイントのFOMです。つまり、ベストケース の単一RF入力電力におけるベストケースのSNDR (Signal-to-Noise and Distortion Ratio)を表します。これが生じるのは、 相互変調歪み (IMD)のスプリアスがノイズと同じレベルである 場合です²。

$$SFDR dB = \frac{2}{3} (IIP3 dBm - [感度] dBm)$$

[感度] dBm = -174 $\frac{dBm}{Hz} + NF + 10Log(IFBW)$ (1)

ここで-174dBm/Hzというのは、温度が290K(16.85℃)と いう条件における熱ノイズのスペクトル密度です。IFBWはノイ ズ・チャンネルの帯域幅であり、通常はIFとデジタル・フィルタ の組み合わせによって決まります。

ここで解析の対象とするシステムのFOMは、SFDRと感度です。 これらはいずれも処理帯域幅IFBWに依存します。ここでは、一 般化するために、IFBWは1Hzであるとします。特定のIFBWに 対して調整を行う場合には、以下の処理を適用してください。

- ▶ 10log(IFBW)を感度に加算する
- ▶ 2/3 × 10log(IFBW)を SFDR から減算する



図2.フェーズド・アレイのカスケード・モデル。 アナログ方式/デジタル方式のビームフォーミングと加算を組み合わせています。

通常、レシーバーには感度とSFDRの両方について同時に満たす べき要件があります。フロント・エンドのNF (Noise Figure) が低ければ、両方にとって好都合です。一方、IP3が高ければ、 SFDRにとって都合が良いということになります。ただ、ゲイン は感度を高める一方でSFDRを低下させます。したがって、RFフ ロント・エンドの適切なゲインとしては、感度の要件を満たせる だけの高さが必要ですが、同時にSFDRの要件を満たせるレベル で低くなければなりません。経験則になりますが、レシーバーの RF ゲインは十分なレベルさえ満たしていればよく、決して過度に 高くしてはなりません。

システム全体のカスケード・モデル

本稿では、最終的にExcelファイルとして実現したシンプルなモ デルを作成し、DC消費電力と性能の最も適切な組み合わせを判 定できるようにすることを目標とします。そのExcelファイルは、 RFビームフォーミングとデジタル・ビームフォーミングの比率の 掃引、ADCのENOBの掃引、Boris Murmann氏の調査データ を基にしたDC消費電力の導出を可能にするものとして作成しま す。システムのカスケード・モデルには、RF フロント・エンド(以 下、RFFE)、RF チャンネルに対する加算処理(以下、RF 加算)、 ADC、デジタル・チャンネルに対する加算処理(以下、デジタ ル加算)が含まれます。図2には、モデル化されたブロックと、 各ノードにおける重要なカスケード指標を示してあります。これ らのモデルでは、チャンネルのRF加算に対するカスケード解析 の手法を適用しています(この解析手法については、稿末の参考 資料4「ハイブリッド・ビームフォーミング・レシーバーのダイ ナミック・レンジ:理論と実際」で詳しく説明されていますので そちらをご覧ください)。このモデルを使用するにあたっては2つ のポイントが重要になります。1つは、各ノードでデバイスによっ て追加/累積されていくノイズ・スペクトル密度kTeを追跡する

ことです。もう1つは、信号のゲインとノイズのゲインを個々に 考慮することです(これは非常に重要です)。

このような処理方法により、RF加算を適用するチャンネルを備えたシステムのNFを負にすることができます。それこそが、コヒーレントな加算に期待されるメリットです。

$$NF_{overall} dB = SNR_{in} - SNR_{out} dB = [signal_{in} - noise_{in}] - [signal_{out} - noise_{out}] dB$$

$$NF_{overall} dB = Gain_{signal} - Gain_{Noise} dB$$

$$Gain_{Noise} dB = NSD_{out} - NSD_{in} \frac{dBm}{Hz}$$

$$NSD \frac{dBm}{Hz} = 10log_{10}(kTe)$$

$$k = 1.38 \times 10^{-23}$$

$$T_e = k (F - 1)$$
(2)

ここで、Fは(dBではなく)リニアのNF、NSDはノイズ・スペ クトル密度です。

以下の例では、サブアレイのサイズとして64チャンネルを想定 します。多くのグラフにおいて、水平軸の最も左側はオールデジ タルの加算(64チャンネルのデジタル加算のみ。RF加算はなし)、 最も右側はオールRFの加算(64チャンネルのRF加算のみ。デ ジタル加算はなし)を表します。両者の間では、デジタル加算と RF加算(アナログ加算)の両方を使用していることになります。 これがハイブリッド・ビームフォーミングと呼ばれるものです。 グラフでは、左から右に行くほどRF加算の比率が増加していき ます。以下では、ADCのENOBを掃引してグラフに表示すると いう解析手法を使用します。また、DC消費電力とSFDR/感度 (SENS)を掃引し、それらのパラメータに関する傾向も解析しま す。



全体のSFDR 145 RFFE ゲ 0dB 140 ゲイン:5dB - ゲイン:10dB - ゲイン:15dB 135 ゲイン:20dB ゲイン:25dB 130 (GB) SFDR 125 120 115 110 100 1 10 RF加算のチャンネル数 (デジタル・チャンネル数は64-x) 図5. SFDRに対するRFFEのゲインの影響 (ADCのENOBが8の場合) 全体のSFDR 145 RFFE ━ ゲイン:0dB ━ ゲイン: 5dB ━ ゲイン:10dB 15dB 140 ゲイン:20dB ゲイン:25dB 135 130 (qB) SFDR 125 120 115 110 10 100 1 RF加算のチャンネル数 (デジタル・チャンネル数は64-x)

図 6. SFDR に対する RFFE のゲインの影響 (ADC の ENOB が 12 の場合)

RFFEのモデルは、掃引する属性の関数となるゲイン、NF、 IP3、DCの消費電力を属性とするRF対応のブラック・ボックス となります。RFFEの属性のチューニングでは、システムのモデ ルにおいて、RF加算/デジタル加算の比率とADCのENOBを掃 引することにより、最良のカスケード性能が得られるようにしま す。表1に、各属性の関数(式)についてまとめました。

表1. RFFEの属性の式

RFFEのモデリング

ブロック	モデルの 属性	定	備考
RFFE	ゲイン	$-4.2 \times ADC_ENOB + 50 dB$	
	NF	5 dB	公称值
	OIP3	ADC_IP3 + 8 - 7 LOG10(N)	N:RF加算の ポート数
	DC 消費電力	(N = 1の場合): m × OIP3 + b (mW)	M = 0.14, b = 0.02
		(N > 1の場合) : 2 × (N = 1の場合)	(モデル・ フィット)

このモデルにおいて、RFFEのゲインは、掃引するパラメータで あるADCのENOBの関数となります(図3)。このモデルは、 SFDRの最大化を目指しつつ、システムの合理的なkTeが得られ る最小のゲインを設定するために線形式を使用します。RFのゲ インはSFDRに悪影響を及ぼすので、NFの要件をかろうじて満 たせる程度に最小化しなければなりません。ADCの分解能が低 いほどNFは格段に高くなります。システムのNFを許容できる 値に設定するためには、事前により高いRFゲインを(低いNFで) 適用する必要があります。一方、ENOBが12のADCであれば優 れたNFが得られます。フロント・エンドのゲインは不要です。 ADCのDC消費電力は増加しますが、高いダイナミック・レンジ が得られます。このことを表しているのが図5、図6です。ADC のENOBが8の場合、ゲインが約15dBに増加します。そのため 感度が向上しますが、SFDRに対しては好影響も悪影響も与えま せん。ゲインが15dBを超えると、SFDRは着実に低下していき ます。一方、ENOBが12のADCは優れたNFを備えるので、そ の前にゲイン・ブロックを用意する必要はありません。

ENOBが12のADCを使用する場合、同じように15dBのゲイン・ブロックを前段に配置すると、総合的な性能には悪影響が及びます。

以下では、RFFEのNFを5dBに設定し、すべてのシミュレーションで一定であるとします。これは、以下の必要性を考慮した実用的な中央値です。

- 高い直線性とのトレードオフ。NF が 5dB で OIP3 が 30dBm ~ 40dBm のフロント・エンドというのは現実的なものです。
 OIP3 を維持しつつ、NF としてそれよりはるかに低い値を想 定するのは現実的ではありません。
- フロント・エンドの RF フィルタ、RF スイッチ、RF リミッタ、 その他の素子による損失。

このモデルでは、RFFEのOIP3を、ADCのIP3とRF加算のポート数の関数として表します。全アンテナ素子に対してデジタル加算(RFが1、図7の最も左側)を行う場合、RFFEには最も高いOIP3が必要になります。その値がADCのIP3よりも8dB高ければ、システムのカスケードIP3の低下が約0.8dBになります。これはまずまずの結果です。RF加算のチャンネル数の増加に伴い、このシングルチャンネルのOIP3の要件は緩和されていきます。それに伴って、RFFEに必要なDC消費電力も減少します。



図7. RFFE におけるシングルチャンネルの OIP3 と RF 加算のポート数の関係(ADC のIP3 が 22dBmの場合)

このモデルでは、RFFEのDC消費電力を、RFFEのOIP3の関数として表します(図10)。上述したように、RFFEのOIP3はADCのIP3とRF加算のポート数の関数です。RFFEの関数は、RF = 1の場合とRF > 1の場合で以下のように異なります。

- RF = 1の場合: RFFE ではビームフォーミングを行わず、全 アンテナ素子にデジタル加算を適用します。この場合、信号 のフィルタ機能を備える可変ゲイン段を使用します。
- ▶ RF > 1の場合: RF ビームフォーミングを行うために、時間 遅延または位相遅延と減衰制御が必要です。ここでは、2つ のゲイン段の間に時間遅延ユニット(TDU)と可変減衰器 (DATT)が存在すると仮定します。TDUとDATTの損失を 相殺するためにはゲイン段を追加しなければならず、DC 消費 電力は RF = 1の場合の2倍になります。図10において RF = 1と RF = 2の間で DC 消費電力が大きく増加しているのは そのためです。



(チャンネルあたり)

DC消費電力は、システムのIP3と共に増加します。そのため、 IP3が必要以上に高くなるように設計するのは避けるべきです。 ADCは直線性のボトルネックになるので、RFFEのIP3は十分に 高くならなければなりません。そのため、RFFEの消費電力は増 加します。図10は、ADCのIP3が高くなることに伴ってRFFEの DC消費電力が増加することを表しています。 もう1つ注目すべき関係があります。それは、RF加算のチャンネル数の増加に伴って、RFFEに必要なシングルチャンネルのOIP3 が低下することです。RF加算では、チャンネルの信号をコヒーレントに加算します。その場合、ガウシアン分布のホワイト・ノイズが非コヒーレントに結合するため、S/N比が向上します。S/N比が向上するのは好ましいことですが、非線形のADCに入力される前の信号は、ADCの通過後にチャンネルのデジタル加算を行う場合よりも強くなります。マルチトーンの相互変調によるスプリアスのレベルは、ADCのIP3とADCに引き渡される信号のレベルの関数として表されます。2つのトーンのレベルが同等である場合には、次のようになります。

$$P_{IN,IM3} \,\mathrm{dBm} = 3 \times P_{IN} \,\mathrm{dBm} - 2 \times IIP3 \,\mathrm{dBm} \tag{3}$$

ADCに入力される前にRF加算を行うことによってS/N比は向上 します。しかし、ADCの非直線性が原因となって、2つのトーン のスプリアスは、ADCの通過後に同じN個のチャンネルをデジ タル加算する場合よりも悪化します。

以上のことから、ADCの通過後にデジタル加算を行えばSFDR の面でメリットが得られる理由をご理解いただけたでしょう。そ の場合、ADCはより大きな信号を処理しなければならないとい うことにはなりません。デジタル・データのストリームを結合す ることにより、ビット数は増加するものの、S/N比は向上します。

チャンネルのRF 加算のモデリング

このモデルでは、「ハイブリッド・ビームフォーミング・レシーバー

のダイナミック・レンジ:理論と実際」で説明されている方法を 使用することにより、ノイズと直線性のカスケード化を実現しま す(詳細については、同記事を参照してください)。その方法で は、パッシブなRF加算を使用します。そのため、挿入損失が生 じます。ただ、ノイズが追加されたり、IP3に影響が及んだりす ることはありません。RF加算では、S/N比が向上します。しかも、 IP3への影響は生じません。つまり、相互変調によるスプリアス は、信号と同様に、結合チャンネル全体にコヒーレントに追加さ れます。

表2.RF加算の属性の式

ブロック	モデルの属性	式
RF加算	ゲイン (信号)	F {N, ['オン'のポート数] }
	ゲイン(ノイズ)	-sqrt(N) (dB)

RF加算のチャンネル数の増加に伴い、RFコンバイナの挿入損失 に起因して感度が低下します。RFコンバイナの挿入損失は、次 のようにモデル化されます。

ADCのモデリング

ADCのモデリングには、Murmann氏が行ったADCに関する調 査⁵の母集団のデータから導出した行動方程式を使用します。同 一の条件下における性能を比較するために、2つの(似てはいる ものの)独立したFOMを使用し、クラスとしては似たレベルの ADCにおけるほぼ同等レベルのデータ・ポイントを選択します。 属性の掃引が可能なADCのブラック・ボックスのモデルは、母 集団のデータ・ポイントに対するフィット処理によって生成され ます。

ここでの解析には、Murmann氏が使用したのと同じ2つのFOM を使用します。Walden FOMでは1ビットごとに2倍の差が生 じるため、分解能の低いADCに対して有効です。このFOMは、 値が低いほど優れていることになります。

$$FOM_{W} = \frac{[消費電力]}{2^{ENOB} \times f_{s,Nyq}} \left(\frac{fJ}{[変換ステップ]} \right)$$

$$ENOB = \frac{SNDR - 1.76}{6}$$
(5)

Schreier FOMでは、1ビットごとに4倍の差が生じます。その ため、分解能の高いADCに対して有効です。このFOMは、値 が高いほど優れていることになります。

$$FOM_S = SNDR + 10Log \left[\frac{f_{s,Nyq}/2}{[消費電力]} \right] dB$$
 (6)

どちらの場合も、FOMの値が固定である場合、DC消費電力は サンプル・レートに比例して増加し、ダイナミック・レンジに対 しては指数的に増加します。これは、覚えておくべき重要な経験 則です。



レーダー、EWシステム、MILCOM (Military Communications) システムなどでは、ダイレクト・サンプリングに対応し つつ高いダイナミック・レンジを実現しなければなりません。こ のようなニーズに応えるために、今後、優れたFOMを備える新 たなADCが登場する見込みです。具体的には、図11と図12に 示したMurmann氏によるADCの調査結果において、赤色の枠 で囲まれた範囲内のFOMを備えるものが製品化されるはずで す。これらの調査結果において、データの右端で傾斜するフィッ ト・ラインは最先端のラインに相当します。このライン上の製品 は、初期の段階で公開されたものに相当するので、数年後に商品 化されることが見込まれます。但し、製品のデータが公開され、 それらが枠内に収まっていれば、間違いなくフェーズド・アレイ・ レーダーに適しているということではありません。あくまでも、 最も有用なADCは、DC消費電力が最小限に抑えられており、 適切なダイナミック・レンジと十分に高いサンプル・レートのバ ランスが図られたものです。

最先端のライン上にある ADC 製品の中で、フェーズド・アレイ・ レーダーに非常に適していると考えられるものは存在するでしょ うか。それについては次のような検討を行います。まず、図11、 図12の枠内において最先端のラインの (f_s, Nyq, FOM)の値を取 得します。

表3. 最先端のラインにおけるFOMの値

f _s , Nyq(GSPS)	FOM _s (dB)	FOM _w 〔fj/[変換ステップ]〕
10	161	11
20	158	23
30	156	35
60	153	70

次に、FOMの式を変形し、最先端のポイントにおける消費電力 とENOB(ダイナミック・レンジ)の関係をプロットします。

 $FOM_W \times f_{s,Nyq} \times 2^{ENOB} = Power$ (Walden)

 $\frac{f_{s,Nyq/2}}{10[FOMs - SNDR]/10} = Power \text{ (Schreier)}$ (7)



図 12. Murmann氏による Walden FOMの調査結果(一部引用)



ここで図13、図14のグラフをご覧ください。これらは、最先端 のラインにおいて、所定のサンプル・レートに対して同じFOM を得るためには、消費電力とENOBをどのようにトレードオフす ればよいのかということを表しています。



図 14. 最先端のラインにおける Schreier FOM。 DC 消費電力とENOBの関係を表しています。

つまるところ、高速ADCの性能はダイナミック・レンジ (ENOB) の高さ、サンプリングの瞬時帯域幅の広さ、DC消費電力で決ま ります。これら3つを同時に最大化するのは非常に困難です。 DC消費電力はサンプル・レートに比例して増加し、ENOBに対 しては指数的に増加するからです。例えば、1個のADCあたりの 消費電力を最大100mWに抑えるという厳しい条件を満たさな ければならないとします。その場合、フェーズド・アレイ・レー ダーに最適なサンプル・レートとENOBについては妥協が必要 になるでしょう。現時点では、サンプル・レートが60GSPSの ADCを実現した場合、最先端のものでもENOBは6です。サン プル・レートを10GSPSに下げられれば、ENOBを8.7まで引き 上げることができます。これは、ダイナミック・レンジを大幅に 改善できるということを意味します。では、上記のうちどちらの ADCの方が優れているのでしょうか。その答えは「どちらでも ない」ということになります。どちらもFOMの面で最先端のラ イン上にあり、同等に優れています。どちらのADCを選ぶのか は、システムにおいて何を優先しなければならないのかによって 決まります。

サンプル・レートが最も高いADCは、人々の興味をそそります。 実際、そうした製品を採用すれば、周波数プランニング、瞬時カ バレッジ、ソフトウェア定義型のデジタル・チューニング、RF回 路の簡素化などの面でメリットが得られるでしょう。しかし、結 論を下す前に、「そのサンプル・レートは、どれだけの消費電力 とENOBで得られるのか」ということを考察してください。繰り 返しになりますが、ADCの全体的な性能は、ダイナミック・レ ンジ、サンプル・レート、DC消費電力の3つによって決まります。 例えば、レーダーのアプリケーションでは、サンプル・レートが 60GSPSでもENOBが6しかないADCは恐らく何の役にも立た ないでしょう。それならば、サンプル・レートが10GSPSでも、 8.7のENOBが得られるADCの方が望ましいかもしれません。 サンプル・レートが高いというのは大きな長所です。しかし、通 常はENOBが高く消費電力の少ないADCの方が、システムにお いて、より優先度の高い重要な条件に合致していることの方が多 いはずです。結論として、サンプル・レートが10GSPSのADC を採用し、所望のDC消費電力と必要なENOBを達成することが 実用的な策になります。

次に、ここまでに示したカスケード構成におけるADCの性能の モデリングについて説明します。そのADCのモデルは、掃引す る属性の関数となるNF、IP3、DCの消費電力を属性とするRF対 応のブラック・ボックスとなります。システムのモデルでADC のENOBを掃引することにより、ADCの属性をチューニングし ます。

ADCのNFは、ENOBまたはS/N比の関数で表されます(以下 参照)。

$$NF_{ADC} dB = kTe_{ADC} \frac{dBm}{Hz} - (-174) \frac{dBm}{Hz}$$

[ノイズ・スペクトル密度]: $kTe_{ADC} \frac{dBm}{Hz} = Full Scale_{ADC} dBm - SNR_{ADC} dB - 10Log(\frac{f_s}{2}) Hz$ (8)

 $SNR_{ADC} dB = 6 \times ENOB_{ADC} + 1.76 dB$

ノイズ・スペクトル密度kTe(dBm/Hz)は、1Hzの帯域幅における感度(dBm)と等価です。一般化するために、本稿では帯域幅は1Hzであると仮定しています。特定の帯域幅に対する調整は、10logBWを加算することによって行えます。

ADCについては、2つのトーンに対するIP3を軽視してはなりません。この性能は、ノイズと同じくらい厳しい目を向けて扱う必要があります。

ADCのDC消費電力については、Murmann氏によるADCの調 査結果のデータを利用してモデリングしています。Murmann氏 のデータ (rev20220719)を基に、以下の条件を使って絞り込 みを行うことで、要素の数を20に減らしました。

- ▶ アナログ・デバイセズと同業他社の製品
- CMOS < 32nm</p>
- f_s ≥ 4GSPS

Murmann氏のデータはこのような形で活用しています。その結 果、ADCにおけるDC消費電力のベスト・フィット、下限、上限 の式はENOBの関数として以下のように表すことができます。つ まり、図15のようなモデルが導出されます。

$$\frac{Power_{DC}}{freq_{sample}} = ae^{k(ENOB)} pJ \tag{9}$$

このモデルでは、Murmann氏のデータを基に取捨選択したデー タ・セットを使用することで、以下のようにENOBとビット数の 関係を表す式が得られます。これは、図16に示すようにリニア・ フィットを使用して導出されています。

$$ENOB_{ADC} = 0.6 \times bits_{ADC} + 1 \tag{10}$$

表4. ADCの属性の式

ブロック	モデルの属性	式
ADC	NF	F {f _s , ENOB, [フル・スケール]}
	IP3	22dBm
	DC消費電力	F {ENOB}

表5.	AD	CIC	おける	3 D(こ消費	電力の	
ベス	ト・	フィ	ット	/上	硍∕┐	下限の値	

	а	k
ベスト・フィット	0.045	0.93
下限	0.025	0.93
上限	0.08	0.93







図16. ADCのENOBとビット数の関係を表すフィット曲線 (Murmann氏の調査データから取捨選択を行ったデータ・セットを活用)⁵

上で示した式は、図17に示すように、ADCのENOBの関数とし て表されるDC消費電力とRFの属性のモデルによって構成され ています。図18に、チャンネルあたりのDC消費電力と、ENOB およびアナログ/デジタル・ビームフォーミングの比率との関係 を示しました。



図17. ADCのIP3/NF/DC消費電力と ENOBの関係を一般化したモデル



RF加算のチャンネル数、ADCのENOBの関係

デジタル・ペイロードのインターフェースと 加算のモデリング

高速なデータ・ペイロードと加算に伴うDC消費電力は、ビット あたりの転送エネルギーから見積もることができます⁶。

ADCからデジタル加算ノードまでの部分では、デジタル・ペイ ロードの転送に伴って電力が消費されます。その電力は、デジタ ル加算のチャンネル数とIBW(瞬時帯域幅)の増大に伴って増加 します。以下に示すのは、高速インターフェース(物理リンク) におけるデータ転送に伴って生じるDC消費電力を計算するため の式です。

Power_{Digital Sum Interface} W = [Energy_{Serializer} + Energy_{Deserializer} J/bit] × [ペイロードのビット数] × [デジタル加算のチャンネル数]

[ペイロードのビット数] = [エンコードのレート] Gbps × (11) *Overhead*_{JESD204C} × *bits*_{ADC}

[エンコードのレート] Gbps = $IBW GHz \times 2$ bits $\times 1.2$

 $Overhead_{JESD204C} = 66/64$

JESDのリンクについては以下のような仮定を行います。

$$Energy_{Serializer} = 3 \frac{pJ}{bit}$$

$$Energy_{Deserializer} = 4 \frac{pJ}{bit}$$

$$IBW = 1 \text{ GHz}$$
(12)

複素数乗算によって消費される電力は、インターフェースの電力 に等しいと仮定します。これは、ビーム帯域幅といった他の要因 に依存する大まかな近似ですが、十分に近い値が得られます。理 に適った概算として、インターフェースの電力を2倍に設定しま す。図19は、インターフェースとデジタル加算によって生じる チャンネルあたりのDC消費電力と、RF加算/デジタル加算の比 率との関係を示したものです。

表6. デジタル・ペイロードのDC消費電力のモデル

ブロック	モデルの属性	式
デジタル 加算	DC 消費電力	F {ビット数, IBW, レーン数, pJ/b}





まとめ

今回(Part 1)は、チャンネルに対するRF加算とデジタル加算 がダイナミック・レンジとDC消費電力に与える影響を解析する 方法について考察しました。その目的に向けて、フェーズド・ア レイ・システムのレシーバーに対応するRFカスケード・モデル を構築しました。それらのモデルはExcelファイルとして作成さ れており、以下のような要素を網羅しています。

- ▶ RF フロント・エンド
- ▶ RF 加算のチャンネル (数は可変)
- ADC
- ▶ 高速デジタル・インターフェースと基本的な演算
- デジタル加算のチャンネル(数は可変)

次回(Part 2)は、今回構築したモデルによって得られる結果 を示します。また、それらに対する解析を行うことでシステムの FOMを示します。その結果を基に、ADCの最適なENOBにつ いての結論を提示する予定です。

参考資料

¹ Salvador H. Talisa、Kenneth W. O'Haver、Thomas M. Comberiate、Matthew D. Sharp、Oscar F. Somerlock [Benefits of Digital Phased Array Radars (デジタル方 式のフェーズド・アレイ・レーダーがもたらすメリット)] Proceedings of the IEEE、Vol. 104、No. 3、2016年2月

² William F. Egan [Practical RF System Design (RFシステムの実用的な設計)] John Wiley & Sons

³ Benjamin Annino「マルチオクターブに対応する広帯域デジタ ル・レシーバー、そのSFDRについて考慮すべき事柄」Analog Dialogue、Vol. 55、No.1、2021年1月

⁴ Peter Delos、Sam Ringwood、Michael Jones「ハイブリッ ド・ビームフォーミング・レシーバーのダイナミック・レンジ: 理論と実際」Analog Devices、2022年11月

⁵ Boris Murmann [ADC Performance Survey 1997-2022 (ADCの性能の調査 1997年~2022年)] GitHub, Inc.、 2023年

⁶ Jesse Bankman [How to Calculate Interface Power (イ ンターフェースの消費電力の計算方法)] (インタビュワー:B. Annino)

[Receiver Sensitivity/Noise(レシーバーの感度とノイズ)] Military Handbook

P. Saha 「フェーズド・アレイ向けのハイブリッド型ビームフォー ミング、受信側の電力効率を定量的な解析で明らかにする」 Analog Devices、2022年5月

著者について

Benjamin Anninoは、アナログ・デバイセズのアプリケー ション・ディレクタです。航空/防衛ビジネス・ユニットを 担当しています。2011年にHittite Microwave (現在はア ナログ・デバイセズに統合) に入社。2014年にアナログ・ デバイセズに転籍しました。それ以前は、Raytheonで様々 なレーダー技術に従事。ダートマス大学で電気工学の学 士号、マサチューセッツ大学ローエル校で電気工学の修士 号、マサチューセッツ大学アマースト校で経営学の修士号 を取得しています。

EngineerZone[®] オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュ ニティに参加すれば、各種の分野を専門とする技術者と の連携を図ることができます。難易度の高い設計上の問 題について問い合わせを行ったり、FAQを参照したり、 ディスカッションに参加したりすることが可能です。

■ ADI EngineerZone[™]

SUPPORT COMMUNITY

Visit ez.analog.com

*英語版技術記事はこちらよりご覧いただけます。



アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog. com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナ ログ・デバイセズのエキスパートへの質問、FAQの閲覧がで きます。

©2023 Analog Devices, Inc. All rights reserved. 本紙記載の商標および登録商標は、各社の所有に属します。 Ahead of What's Possibleはアナログ・デバイセズの商標です。 VISIT ANALOG.COM/JP