

新たな課題を解決する GSPSレベルの高速ADC

著者：Ian Beavers、
高速製品グループアプリケーション・エンジニア

半導体の分野では、引き続き製造プロセスの微細化が進んでいます。そうしたプロセスの恩恵を被り、[A/Dコンバータ \(ADC\)](#) 製品の設計やアーキテクチャも進化を続けています。実際、GSPS (ギガ・サンプル/秒) レベルの変換レートに対応するADC製品として、新たな種類のもので登場し始めています。ADCにおいてGSPS以上の変換レートを実現する手法としては、インターリーブ方式が挙げられます。従来、同方式を採用すると、それに伴ってアーティファクトが生成されるという問題が発生していました。そのような問題が発生しないADCであれば、RF信号を直接サンプリングしてデジタル化すること (ダイレクトRFサンプリング) が可能な新たなソリューションとなります。そうした性能は、例えば通信システムや計測器、レーダー・システムといったアプリケーションにとって非常に有用です。以前は、そうしたシステムでも、変換レートが数百MSPSのレベルのADCが使われていました。その場合、これらのADCによって対応できるレベルまで入力信号の周波数を下げる (周波数変換を行う) 必要がありました。そのためには、フィルタ、シンセサイザ、ミキサーから成る複数の段で構成されたソリューションが必要でした。現在では、広帯域に対応する最先端のADC技術により、ダイレクトRFサンプリングを行うことが可能になっています。ただ、ここで1つ注意しなければならないことがあります。それは、重要なのは速度だけではないということです。設計を行う際に検討しなければならない性能項目はそれだけではありません。例えば、ダイナミック・レンジやスペクトル・ノイズも速度と同じくらい重要な検討項目になります (これらについては、いずれ別の記事で取り上げる予定です)。

従来、GSPSのレートに対応できるモノリシック型ADCのアーキテクチャは限られていました。分解能が6ビットや8ビットのフラッシュ型ADCだけだったのです。そのような状況だったのは、それほど昔のことではありません。これらのADCには、消費電力が非常に多いという欠点がありました。その消費電力と、フラッシュ型のアーキテクチャを実現するための回路のサイズのトレードオフが原因となって、一般的には7ビットを超える有効ビット数 (ENOB) を実現するのは不可能でした。そのような状況下で、1GHzを超えるアナログ入力信号を高いダイナミック・レンジでサンプリングできるようにする方法は1つしかありませんでした。それがインター

リーブ方式です。この方式では複数のADCのコアを使用し、それらをインターリーブ動作させます。つまり、各ADCコアに供給するサンプリング・クロックの位相を高い精度 (デューティ・サイクル) でずらし、それぞれのコアから変換結果を取得します。位相のずれに応じた適切なタイミングでそれらのデータを統合することにより、等価的に高速化を実現するということです。しかし、この方法ではアナログ入力信号を各ADCに分割してミキシングしなければなりません。その過程では、新たなノイズがシグナル・チェーンに加わり、入力電力が低下してしまう可能性があります。もちろん、この方式を採用することで適切な結果が得られるアプリケーションも存在します。但し、その設計はかなり複雑になります。インターリーブに伴って、対処が難しく、望ましくないアーティファクトが出力周波数領域に生成されるため、デジタル方式のフィルタリングを適用する必要がありました。

スプリアスを解消しつつ、高速化を実現

インターリーブ動作する各ADCコアにおいて、入力オフセット、ゲイン、帯域幅、サンプリングのタイミングを完全にマッチングさせることはできません。その結果として、インターリーブ動作に伴いスプリアスが生じます。その成分は、FFT (高速フーリエ変換) を使って周波数応答を得ることにより観測することが可能です。それにより、インターリーブ動作に伴うアーティファクトが現れる周波数を事前に把握することができます。ただ、その結果を受けたシステム担当技術者は、その問題を回避する方法を導き出すのか、あるいはデジタル方式の後処理によって除去するのかといった、更に複雑な作業を強いられることとなります。各ADCコアはディスクリートのデバイスなので、システムにおいて、それらの性能パラメータのミスマッチ自体に製造ばらつきが含まれる可能性は大いにあります。その結果として、入力信号に対するサンプリング周期が不安定になり、スプリアスの周波数成分がインターリーブ方式のADCの出力に現れます。

上記のような問題は、デュアルコアやクアドコアを採用したインターリーブ方式のADCでよく見られます。ただ、そうした問題を回避することが可能な方法も存在します。実際、アナログ・デバイスは高度なアーキテクチャやアルゴリズムによってそうした問題を回避することが可能な独自の技術を有しています。その技術を採用すれば、本来必要となる速度の半分の速度で2個のADCコアをインターリーブ動作させることによって、アーティファクトが増加してしまうということはありません。そうではなく、単一のADCをフル・スピードで動作させて、インターリーブに伴うスプリアスを発生させることなく、求められる性能を達成することができます。

その技術では、工場から出荷する際に適用するトリミングのアルゴリズムと内蔵キャリブレーション機能を利用します。それにより、期待される高い性能水準で各ADCを動作させることが可能になります。つまり、ディスクリートのADCコアを複数個使用し、それらをインターリーブ動作させる場合のミスマッチのばらつきの問題が解消されます。

スペクトルの面で純粋なFFT結果にスプリアスの周波数成分が現れると、ノイズに対する搬送波信号のスプリアスフリー・ダイナミック・レンジ (SFDR) が低下します。新たなアーキテクチャやアルゴリズムは、ADCコアのインターリーブ動作を実現するだけでなく、GSPSレベルで動作するADCのSFDRを高めることも目的としています。それらにより、システムを担当する技術者の負担は大幅に軽減されます。なぜなら、インターリーブ動作に伴う望ましくないスプリアスを特定し、A/D変換の結果からそれらを除去するための後処理用の専用ルーチンを別途用意する必要がなくなるからです。

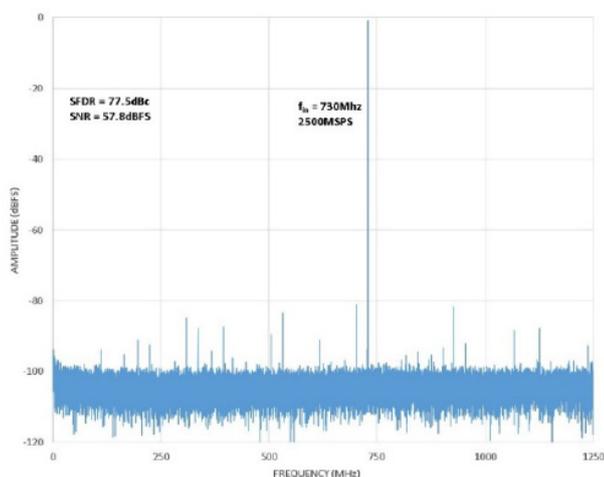


図1. 2.5GSPSという広い帯域に対応するADCの出力 (FFTの適用結果)。高速ADCにおいて長年課題だったインターリーブに伴うアーティファクトが解消されており、高いSFDR性能が得られています。

配線の簡素化

分解能が10/12/14ビットで変換レートが数GSPSに達するADCからは、大量のデータが高速に出力されます。例えば、分解能が12ビット、変換レートが2.5GSPSのADCからLVDS (Low Voltage Differential Signaling) でデータが出力されるとします。その場合、1Gbpsの並列データ・レーンが30本も必要になる可能性があります。ADCごとに30本のLVDSの差動ペアが必要だとしたらどうなるでしょうか。その場合、システムの基板レイアウトにおいて、配線の長さを等しくするのは難しいかもしれません。

LVDSの代わりに、JESD204Bを採用すれば、わずか6本または8本の差動レーンで同じ量のデータを伝送することができます。JESD204Bは、ADC (あるいはD/Aコンバータ) のインターフェース向けに設計されたSERDES (Serializer/Deserializer) の規格です。データの伝送先としては、FPGAやDSPなどが想定されています (以下の解説では、伝送先としてFPGAを想定することにします)。

JESD204Bは、少ないデータ・ラインによって高速にデータを出力する手段を提供します。これを採用すれば、LVDSに対応する数多くの高速レーンのタイミングをマッチングさせるために複雑な配線作業を行う必要がなくなります。図2に示すように、JESD204Bを使用して伝送されるデータは、組み込みクロックと制御文字に基づいてフレーム化されます。そのため、配線が必要なシリアル・レーンの本数は少なく抑えられます。また、LVDSよりもはるかに大きなタイミング・スキューを許容できます。結果として、システム基板において個々のI/Oのタイミングを微調整するために膨大な時間を費やす必要がなくなります。また、JESD204Bでは「制御ビット」が提供されています。これを使用すれば、補助データを各サンプル・データに付加し、下流の処理に役立つ情報を伝えることができます。例えば、トリガのタイム・スタンプとオーバーレンジの状態の情報を各サンプルに付加したとします。そうすれば、データのアライメントとその正当性に関する詳しい情報をバックエンドのFPGAに供給することが可能になります。

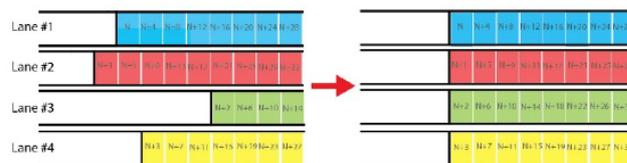


図2. JESD204Bの概要。そのフレーミング・プロトコルでは、データ・レーンの間と基板配線においてかなりのタイミング・スキューを許容できます。FPGA側では、内蔵バッファによる遅延を使用することにより、データとサンプルをアライメントし直すことが可能です。

オーバーレンジの検出

ADCの入力が飽和すると、システムにおいて信号を解釈する能力が低下します。この問題に対処するには、ゲインを変更するための適応型アルゴリズムが必要になります。それにより、アナログ入力信号の振幅を調整するという事です。ゲインを適応させるためのフィードバック・ループは、できるだけ高速であることが理想です。高速ADCの出力がLVDSベースであるか、JESD204Bベースであるかにかかわらず、飽和した状態のデータを受信し、問題を検出し、その状態に対応しなければなりません。そのため、それらのデジタル・データに追加される遅延は、許容できなくなるほど長くなる可能性があります。

この問題に対する1つのソリューションは、次のようなものになります。すなわち、ADCコアにおいて変数のレベルの比較を行い、オーバーレンジの状態が検出された場合には直ちにフラグを直接送信するというものです。この方法を使えば、それよりも長いバックエンドの出力段の遅延を回避することができます。それにより、アンプへのフィードバック時間を短縮し、より高速にゲインを適応させることが可能になります。JESD204Bのインターフェースを使用すれば、この高速オーバーレンジ検出機能の出力に加えて、オーバーレンジしているサンプルにアラート・ビットを付加することも可能です。それにより、下流のシステムはデータに関する適切な判断に基づいて処理を実行できるようになります。

出力データの調整——チューニング、フィルタリング、デシメーション

GSPSレベルの変換レートを実現するADCのメリットは、広帯域の信号をサンプリングできることです。ただ、アプリケーションによっては、必要以上のデータが供給されることになる可能性があります。システムによっては、高いサンプル・レートは必要であるものの広い周波数帯域を対象にする必要はないことがあるからです。そのようなシステムに対しては、DDC (Digital Down Conversion) が有効です。DDCを使用すれば、GSPSレベルのADCからのデータを間引くためのサブサンプリングとフィルタリングを適用することができます。それにより、下流の処理に引き渡される周波数帯域の範囲を絞ることが可能になります。

多くの場合、DDCの機能は、シグナル・チェーンにおいてADCの下流に実装されます。ただ、それはFPGAのリソースをより多く消費するという意味を意味します。また、ADCとFPGAの間の伝送には全帯域幅が必要です。この問題を解消する方法は、サンプル・データをそのまま送信してFPGAで処理するのではなく、ADCの内部でDDCの処理を行うことです。それにより、帯域幅をわずか1/8または1/16まで低減させられます。

NCO (Numerically Controlled Oscillator : 数値制御発振器) を併用すれば、ADCが内蔵するDDCのフィルタの帯域内における配置位置を高い精度で正確に調整することができます。それによって、出力レートを引き下げることが可能になります。結果として、不要な大量のデータをFPGAに伝送して処理する必要はなくなります。DDCを2個使用し、それぞれに対して1個のNCOを用意すれば、帯域内を交互にステップ掃引することで、対象とする信号を部分的に見落としたりすることなく検出することが可能になります。この方法は、一部のレーダー・アプリケーションに一般的に適用することが可能です。

アナログ・デバイスは、分解能が12ビット、変換レートが2.5GSPSのADC「AD9625-2.5」を提供しています。同ADCは、広い帯域にわたって-75dBcを上回るSFDR性能を実現します。ノイズ・スペクトル密度は150dBFS/Hzです。先述したように、1.5GSPSを超えるサンプル・レートを備えるインターリーブ方式のADCでは、一般的に同方式に伴うアーティファクトが生じます。AD9625-2.5では、アナログ・デバイスの独自技術を適用することにより、アーティファクトを生じさせることなく上記の性能を達成します。同ADCは、デシメーション/ダウンコンバージョン/フィルタリングのパスを2つオプションとして装備しています。広帯域に対応する周波数チューナにより、全スペクトルの1/8または1/16の帯域幅だけを対象とすることが可能です。また、パスごとに独立した10ビットのNCOを備えているので、高い配置精度も実現されます。同ADCは、JESD204Bに対応する最大8レーンの出力インターフェースを使用します。それにより、マッチングのとれたパターンで配線を行わなければならないというLVDSを使用する場合のレイアウト上の課題を緩和します。それ以外にも、JESD204Bがもたらすメリットを設計に活かすことができます。つまり、出力ピンの数が少ない、調和のとれたフレーム・クロックを供給できる、サンプルごとに制御ビットによる情報を付加できるといったメリットを活用できます。

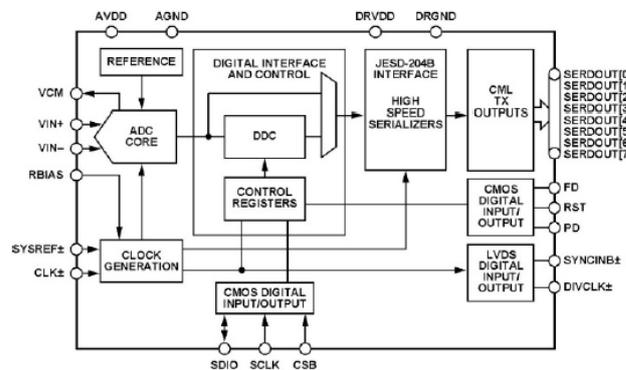


図3. AD9625-2.5のブロック図。
分解能が12ビット、変換レートが2.5GSPSのADCです。

GSPSレベルに対応するADC製品とシステムを支える1つの要素は、プロセス・ノードの微細化です。この微細化は今後10年の間に更に進展する見込みです。それに伴い、アーキテクチャを簡素化して設計時間を合理的な範囲内に収められるよう、ADCにはより高いダイレクトRFサンプリングの能力が求められるようになります。高速化と設計の簡素化に加え、ダイナミック・レンジやノイズ性能に対するニーズも更に高くなるでしょう。それらに応えるために、広帯域に対応する最先端のADC技術は、次の段階、更にはその先の段階へと進んでいくことになるはずです。

著者について

Ian Beaversは、アナログ・デバイセズのアプリケーション・エンジニアです。高速A/Dコンバータ・チーム（ノースカロライナ州グリーンズボロ）に所属しています。入社は1999年で、18年以上にわたり半導体業界で業務に従事。ノースカロライナ州立大学で電気工学の学士号、ノースカロライナ大学グリーンズボロ校で経営学の修士号を取得しています。オンライン・テクニカル・サポート・コミュニティであるEngineerZoneでは、高速ADCサポート・コミュニティのメンバーとして活動しています。IanBまでお気軽にご質問などをお寄せください。