

# 堅牢な有線接続により、 インダストリ 4.0 向けの 状態基準保全システムを構築する 【Part 2】

著者 : Richard Anslow、システム・アプリケーション・エンジニア  
Dara O'Sullivan、システム・アプリケーション・マネージャ

## はじめに

本稿のPart 1では、アナログ・デバイセズが提供している有線インターフェースのソリューションを紹介しました。それを採用すれば、設計やテストに費やす時間を短縮し、産業分野向けの状態基準保全 (CBM: Condition-Based Monitoring) システムを迅速に市場に投入することができます。Part 1では、適切なMEMS (Micro Electro Mechanical System) 加速度センサーや物理層の選択、EMC (電磁両立性) 性能、電力供給用の設計など、複数の側面について解説を行いました。また、3つの設計ソリューションを紹介すると共に、性能のトレードオフについて説明しました。Part 2では、Part 1で示したSPI (Serial Peripheral Interface) とRS-485/RS-422を接続するためのソリューション (以下、SPI to RS-485/RS-422) における物理層の設計について詳しく解説します。

MEMSセンサー向けに有線インターフェースの物理層を実装する際には、EMC性能やデータ・インテグリティ (データ品質) の管理などが一般的な課題になります。ただ、長いRS-485/RS-422ケーブルを介したSPI接続など、クロック同期型のインターフェースを延長して、データと電力を単一のツイスト・ペア・ケーブルで伝送する (ファントム電源) 場合には、それ以外にもいくつかの課題が生じます。本稿では、以下の主要な検討項目について説明した上で、物理層のインターフェースを設計する際の推奨事項を紹介します。

- ▶ システム時間に対する同期の管理
- ▶ データ・レートとケーブル長に関する推奨事項
- ▶ データと電力を単一のケーブルで伝送するアーキテクチャ向けのフィルタの設計/シミュレーション
- ▶ ファントム電源の実装に使用する受動部品における性能のトレードオフ
- ▶ 部品の選定とシステム設計ウィンドウ
- ▶ 実験による計測

## 時間同期とケーブル長

SPI to RS-485/RS-422のリンクを設計するには、システム・クロックとデータの同期に対し、ケーブルとコンポーネントから及ぶ影響について注意する必要があります。長いケーブルによってデータを伝送する場合、SCLKには100m当たり400ナノ秒から500ナノ秒程度の伝搬遅延が生じます。マスタからスレーブへの伝送においては、ケーブル上でSPIのMOSIとSCLKに同等の遅延が発生します。それに対し、スレーブからマスタへのデータ伝送においては、MISOとSCLKの間に、ケーブルによる伝搬遅延の2倍の同期ずれが生じます。SPIにおいて許容されるSCLKの最大値は、システムの伝搬遅延によって決まります。システムの伝搬遅延には、ケーブルによる伝搬遅延に加えて、マスタ/スレーブで使用するコンポーネントによって生じる伝搬遅延が含まれます。

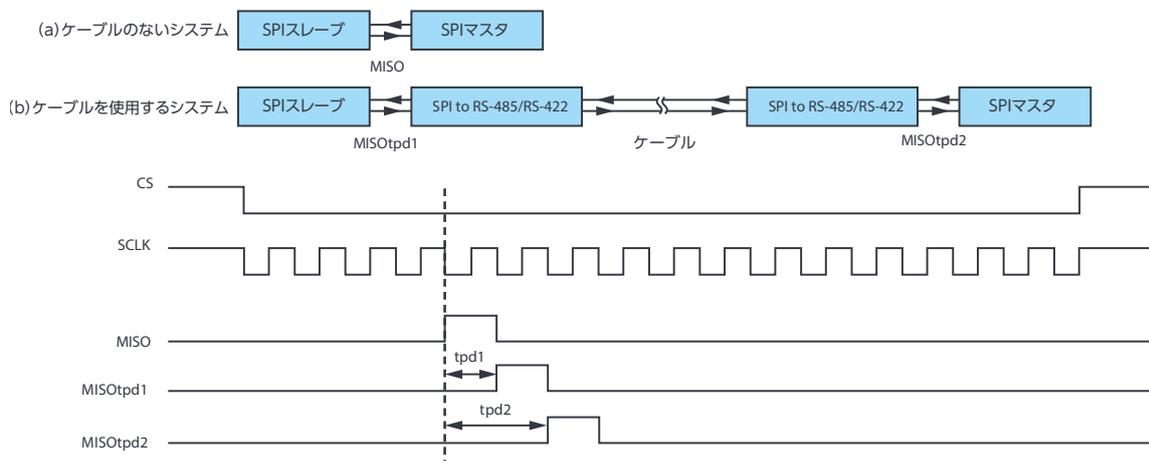


図1. SPI to RS-485/RS-422における遅延の影響。長いRS-485/RS-422ケーブルを使用するシステムでは、MISOのデータとSCLKの間で同期ずれの問題が生じる可能性があります。

図1は、システムの伝搬遅延により、SPIマスタではMISOのサンプリングが不適切に行われる可能性があることを示しています。RS-485/RS-422ケーブルを使用しないシステムでは、MISOのデータとSCLKは同期がとられ、遅延はほとんど（あるいは全く）発生しません。それに対し、ケーブルを使用するシステムでは、SPIスレーブにおけるMISOのデータには、システムの伝搬遅延の分だけSCLKに対する同期ずれが生じます。図1では、この同期ずれをtpd1として表しています。また、マスタに返ってきたMISOのデータには、システムの伝搬遅延の2倍の同期ずれが生じます。これは図1のtpd2に相当します。ケーブルとコンポーネントで生じる伝搬遅延によってデータが右にずれてしまっているので、サンプリング結果が不適切なものになります。

上記の問題を回避する方法としては、ケーブル長を短くする、SCLKを遅らせる、SCLKを補償する仕組み（クロックの位相シフト）をマスタ・コントローラに実装するといったものが考えられます。エラーが発生しない通信を実現するには、システムの伝搬遅延をSCLKのクロック周期の50%未満（理論値）に抑えなければなりません。実際には、システムの遅延をSCLKの40%までに抑えることが一般的です。

Part 1<sup>1</sup>では、SPI to RS-485/RS-422の設計を2種類紹介しました。図2は、それらにおけるSCLKとケーブル長に関するガイドラインを示したものです。非絶縁型の設計では、アナログ・デバイゼスのRS-485/RS-422対応トランシーバー「ADM3066E」と「ADM4168E」を採用しています。これらの製品は、優れたEMC性能と小さなフォーム・ファクタを特徴とします。絶縁型の設計では、デジタル・アイソレータ「ADuM5401」を使用しています。これは、アナログ・デバイゼスのiCoupler<sup>®</sup>技術を適用した製品であり、絶縁型の信号/電力伝送を実現します。このことから、SPI to RS-485/RS-422リンクのEMC性能とノイズ耐性が高まります。ただ、この設計ではシステムの伝搬遅延が増加し、SCLKのレートが高い場合の動作に制約が生じます。それでも、ケーブルが長い場合（30m以上）には、EMC関連の事柄がデータ用の伝送ケーブルに影響を及ぼすことを防ぐために、絶縁

を強化することを強くお勧めします。問題になる事柄としては、グラウンド・ループ、ESD（静電気放電）、EFT（電気的高速トランジェント）、高電圧のサージなどが挙げられます。図2に示したように、ケーブル長が30m以上になると、絶縁型の設計でも非絶縁型の設計でも、SCLKとケーブル長の関係はほぼ同様になります。

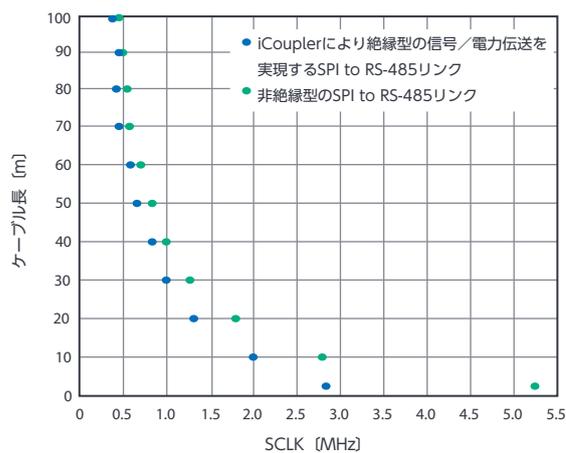


図2. 絶縁型/非絶縁型の設計におけるSCLKとケーブル長に関するガイドライン

## ファントム電源

次に、ファントム電源について少し詳しく説明します。

### 背景

ファントム電源は、データと電力を1本のツイスト・ペア・ケーブルに統合するために使用します。言い換えると、この電源を用意することで、マスタ・デバイスとスレーブ・デバイスの間を1本のケーブルで接続することが可能になります。データと電力を1本のケーブルにまとめれば、スペースに制約のあるエッジのセンサー・ノードにおいて、1個のコネクタを使用するだけで済みます。

1本のツイスト・ペア・ケーブルによるデータと電力の分配には、図3に示すように、コンデンサとインダクタを使用します。周波数の高いデータ信号は、直列接続されたコンデンサを介してデータ・ラインに結合されます。このコンデンサは、図3 (a) に示すように、RS-485対応トランシーバーをDCバス電圧から保護する役割も担います。また、図3に示したとおり、マスタのコントローラにおいて、電源はデータ・ラインに接続されたインダクタを介して接続されます。図3 (b) に示すように、AC信号のバスには5VのDC電圧によるバイアスがかかります。図3 (c) は、マスタとスレーブの間を流れる電流パス $I_{PWR}$ を表しています。ケーブルの遠端にあるCBMシステムのスレーブ（センサー・ノード）においては、インダクタによってデータ・ラインから電力が取り出されます。

### ハイパス・フィルタ

ここでは、ファントム電源を構成するインダクタとコンデンサの回路を、2本のワイヤに追加することについて考えます。それらのワイヤは、RS-485/RS-422用に変換されたMISO信号をルーティングするためのものです。図4をご覧ください。SPI to RS-485/RS-422リンクを構成するマスタとスレーブにおいて、MISOのデータ・ラインにファントム電源用のインダクタとコンデンサを追加しています。これらはハイパス・フィルタとして機能します。そのため、伝送されるAC信号には、DC成分や非常に低い周波数成分は含まれません。

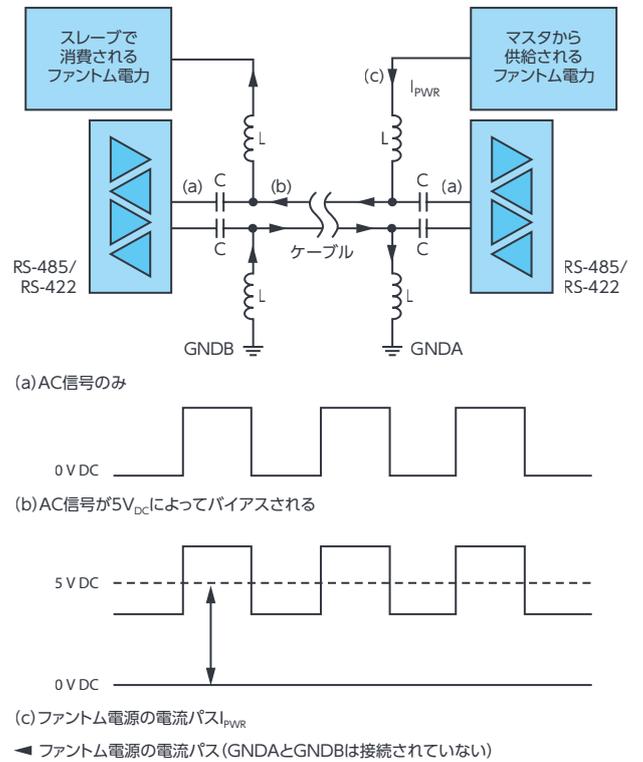


図3. ファントム電源の物理層におけるAC電圧とDC電圧

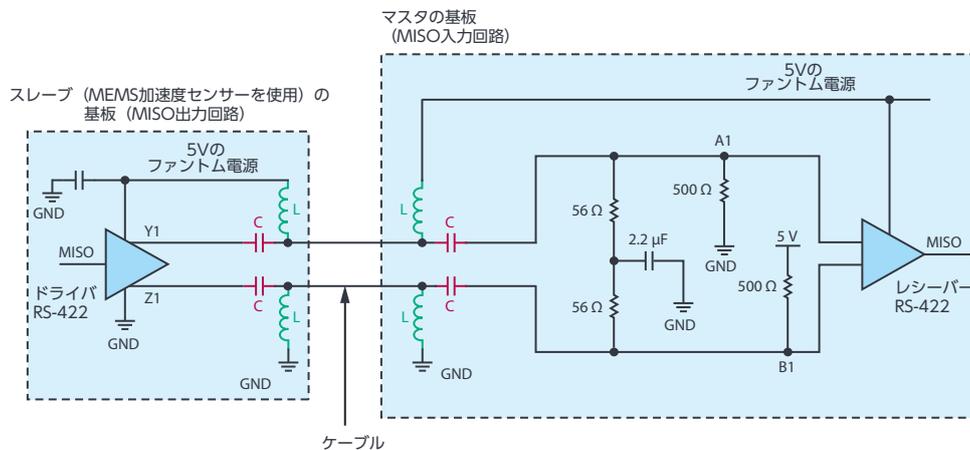


図4. SPI to RS-485/RS-422リンクの設計例。ファントム電源用にコンデンサとインダクタを追加しています。

図5に、2次のハイパス・フィルタ回路を示しました。これは、図4の回路を簡素化したものです。V<sub>TX</sub>は、送信側のRS-485/RS-422デバイスから出力される電圧です。R1は、15 Ωの出力インピーダンスに対応しています。R2の30k Ωという値は、受信側で使われるRS-485/RS-422デバイスの標準的な入力インピーダンスを表しています。インダクタとコンデンサの値は、システムで使用する所望のデータ・レートに応じて選択します。

インダクタとコンデンサの値を選択する際には、RS-485/RS-422のバスにおける電圧ドロップの最大値とドロップが生じている時間を考慮する必要があります。これについてはいくつかの規格が存在します。例えば、シングルペア・イーサネット<sup>2</sup>では、電圧ドロップとドロップ時間の最大許容値が図6 (a) のように規定されています。システムによっては、これより大きい電圧ドロップ、ドロップ時間も許容できるはずで。例えば、図6 (b) に示すように、信号の極性が反転する間際まで、電圧ドロップを許容できるケースもあります。

電圧ドロップとドロップ時間の値を使用して図5の回路のシミュレーションを実施することにより、システムのハイパス特性を決定することができます。

システムが適切な減衰特性を備えるようにするには、ハイパス・フィルタのカットオフ周波数とドロップが以下の式で表される関係を満たしている必要があります<sup>3</sup>。

$$f_{HPF} \leq \frac{-\ln\left(1 - \frac{V_{DROOP}}{V_{PEAK}}\right)}{2\pi \times T_{DROOP}} \quad (1)$$

SPI to RS-485/RS-422リンクにファントム電源を追加した場合、SCLKのレートの最小値がファントム電源のフィルタ用コンポーネントによって制限されることは明らかです。

ビット・エラーが生じない信頼性の高い通信を実現するには、ワーストケースにおけるSCLKの最小値について検討する必要があります。例えば、MISOでサンプリングされるビットがすべてハイになる場合がワーストケースに相当します (図7)。

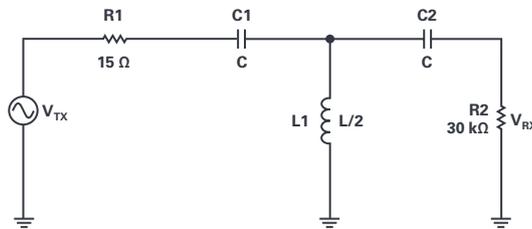


図5. 2次のハイパス・フィルタ。  
RS-422による送信、RS-485/RS-422による受信を行うデータ・バスに対応しています。

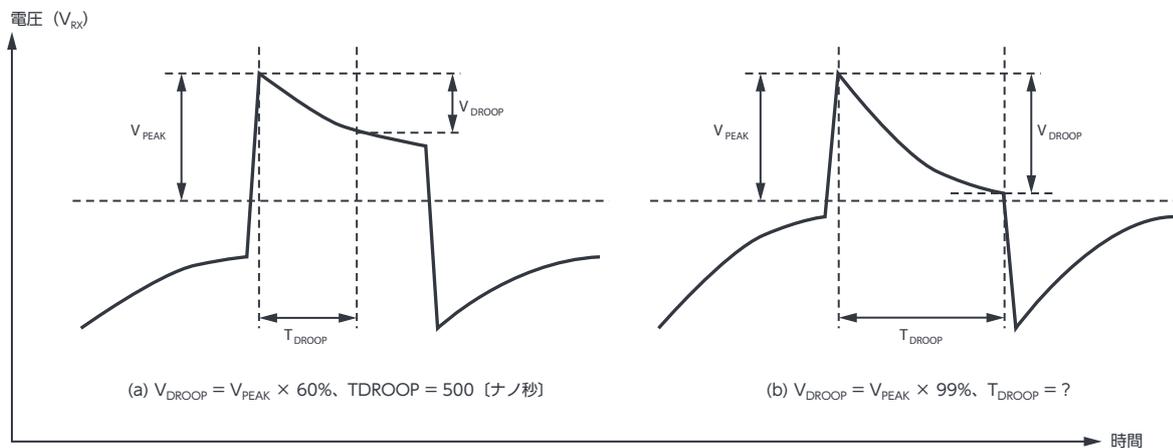


図6. RS-422対応レシーバーにおける電圧ドロップとドロップ時間

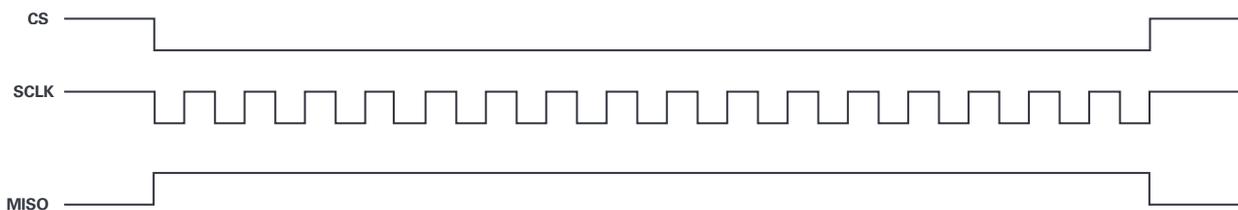


図7. SPIのプロトコル。  
MISOが16ビット連続でハイになっている例です。

MISOのサンプリング・ビットがすべてハイである場合、ビット・レートはシステムのSCLKよりもはるかに低くなります。例えば、SCLKが2MHzで16ビットのデータがすべてハイである場合、ファントム電源のLCフィルタ回路からは、MISOのビット・レートは125kHzであるかのように見えます。

「時間同期とケーブル長」のセクションで述べたとおり、ケーブル長が長くなるほどSCLKのレートを下げる必要があります。ただ、SCLKのレートの最小値は、ファントム電源によっても制限されます。このように相反する要件のバランスを図るためには、受動フィルタの部品、特にインダクタを慎重に選択する必要があります。

### 受動部品の選択

インダクタ（パワー・インダクタ）を選定する際には、インダクタンス、定格電流／飽和電流、自己共振周波数（SRF：Self-resonant Frequency）、DC抵抗（DCR：DC Resistance）、パッケージ・サイズなど、多くのパラメータについて検討しなければなりません。表1は、いくつかのインダクタ製品を例にとり、各種パラメータの値をまとめたものです。

表1. インダクタ製品の主なパラメータ

品番	L [μH]	I <sub>RATED</sub> [mA]	SRF [MHz]	DCR[Ω]	パッケージ・サイズ [mm]
744043101	100	290	11	0.6	4.8 × 4.8
LPS8045B-105	1000	230	1.3	3.22	8.0 × 8.0
76877530	1000	300	2.4	3.3	7.8 × 7.0
SDR0805-102KL	1000	210	3.0	4.5	7.8 × 7.8
7687714222	2200	260	1.2	6.5	10 × 10
SRR1208-222KL	2200	280	0.65	4.2	12.7 × 12.7

定格電流は、リモートで給電されるMEMSセンサー・ノードの消費電流に関する要件を満たす必要があります。定格の飽和電流は、それをはるかに上回ってはいなければなりません。

インダクタは、SRFを超える周波数のAC信号に対しては高いインピーダンスを示しません。また、一定の周波数を超えると、容量性のインピーダンス特性を示し始めます。表1には各インダクタのSRFを示しましたが、これによってSPI to RS-485/RS-422の物理層で使用できるSCLKの最大値が制限されます。長いケーブルを使用する場合、SCLKのレートがインダクタのSRFに達することはないかもしれませんが。例えば、ケーブル長が10mの場合に、SCLKのレートとして11MHz（「744043101」のSRF）を実現するのは不可能です。一方、インダクタのSRFが低い（2.4MHz、1.2MHzなど）場合には、SCLKのレートがインダクタのSRFに達する可能性があります。先述したとおり、ファントム電源のフィルタ回路で使用されるインダクタによって、SCLKのレートの最小値も制限されます。

なお、値の大きいインダクタは大きなパッケージ（例えば12.7mm×12.7mm）、値の小さいインダクタは小さなパッケージ（例えば4.8mm×4.8mm）で提供されます。

表2は、インダクタのパッケージ・サイズについてまとめたものです。相反する要件のトレードオフによって、物理的な制約（巻き数）に依存するインダクタのサイズを最小化するのは難しいことがわかります。

表2. インダクタにおけるパッケージ・サイズに対する制約

パラメータ	パッケージ・サイズとの関係
インダクタンスが十分に高い	インダクタンスが高いということは巻き数も多いので、パッケージ・サイズは大きくなる
SRFが高い	SRFが高いということは、巻き数は少なく、パッケージ・サイズは小さくなる
定格電流／飽和電流が多い	巻き数は少ないが、パッケージ・サイズは大きくなる
DCRが小さい	DCRを小さくするには、厚みを大きくして巻き数を減らす必要がある

DC電圧を遮断するためのコンデンサを選定する際には、過渡過電圧とDC電圧の定格値を確認しなければなりません。定格DC電圧は、図3に示したように、バスをバイアスする最高電圧を上回っている必要があります。ケーブルまたはコネクタが短絡する間、インダクタの電流は不平衡になり、終端抵抗によって消費されます。DC電圧を遮断するためのコンデンサは、短絡時のピーク過渡電圧に応じて選択する必要があります。例えば、飽和電流が約1Aのインダクタを使用する消費電力が少ないシステムの場合、DC電圧の遮断に使用するコンデンサの定格DC電圧は50V以上でなければなりません<sup>4</sup>。

### システムの実装

続いて、システムの実装方法について解説を加えます。

### 設計ウィンドウと部品の選定

ここまで、SPI to RS-485/RS-422リンクを設計したり、ファントム電源を適用したりする場合の制約について説明してきました。図8は、その内容をまとめたものです。SCLKの最小値は、SPIのデータ・ライン上のデータに対して適用するハイパス・フィルタ（ファントム電源で使用するフィルタ用の部品）によって決まります。一方、SCLKの最大値は、ファントム電源で使用するインダクタのSRFまたはシステムの伝搬遅延（両者のうちSCLKの値が小さくなる方）によって決まります。

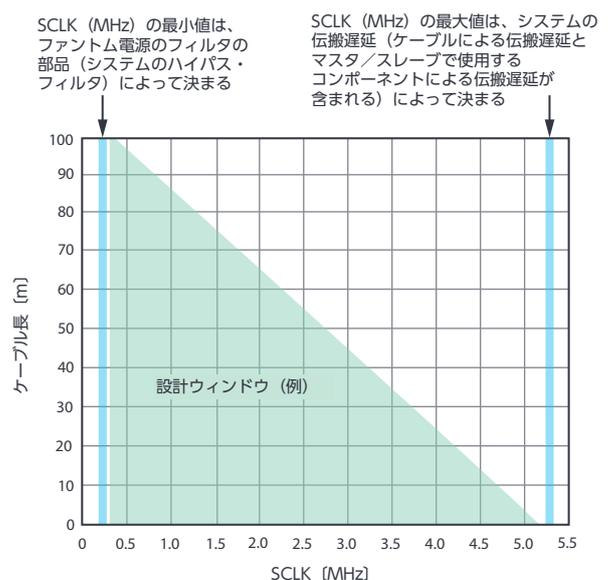


図8. 設計ウィンドウの例

表3に、インダクタとコンデンサの値の設定例と、それに対応するSCLKの最大値/最小値についてまとめました。SCLKの最小値は、図5の回路のシミュレーションを実行し、図6と式(1)に基づいて求めています。ここでは、 $V_{DROOP}$ は $V_{PEAK}$ の99%としました。SCLKの最小値は、図7に示したワーストケース(全ビットのデータがハイになる)も考慮して定めています。それに対し、ケーブル長は図2を基に推定しました。SCLKの最大値は、システムの伝搬遅延またはインダクタのSRFによって決まります。

表 3. ファントム電源のフィルタで使用する部品の例

L(μH)と品番	C(μF)	SCLKの最大値(MHz)	SCLKの最大値を決める要因	SCLKの最小値	RS-485/RS-422ケーブルの最大長(m)
100 (744043101)	3.3	5.2	システムの伝搬遅延	2.6 MHz	10
1000 (76877530)	4.7	2.4	インダクタのSRF	700 kHz	60
2200 (7687714222)	10	1.2	インダクタのSRF	350 kHz	100以上

以下、具体的な計算例を示します。

SCLKの最大値の計算方法：

- ▶ システムに必要なケーブル長を定めます。この例では、10mのRS-485/RS-422ケーブルを選択することにします。
- ▶ 図2を基に、SCLKの最大値を求めます。ここでは約2.6MHzとなります。インダクタとコンデンサの許容誤差に対応するために、それよりも10%低い値(2.3MHz)をSCLKの最大値とします。SCLKの最大値は、選択したインダクタのSRFによって制限される場合もあります。

SCLKの最小値の計算方法：

- ▶ MISOデータの全ビットがハイになるケースについて考察します。この例では、16ビットのSPIプロトコルを使用するものとします。つまり、SCLKが32回遷移する間に、16ビッ

トのMISOデータがサンプリングされます。16ビットのすべてがハイである場合、実効ビット・レートは $2.3\text{MHz} / 32 = 72\text{kHz}$ となります。

- ▶ 図5の $V_{TX}$ として72kHzの方形波を設定し、インダクタとコンデンサの値を変化させて、ケーブル遠端の $V_{RX}$ の電圧波形をシミュレーションします。ケーブル長が長くなるほど、インダクタの値を大きくしなければならず、そのパッケージ・サイズも大きくなります。コンデンサの値も高める必要があります。
- ▶ 図6で説明したように、インダクタとコンデンサの値はドロープに依存します。この例では、 $V_{DROOP} = V_{PEAK} \times 99\%$ とします。
- ▶ 100 μHのインダクタと3.3 μFのコンデンサを使用し、 $V_{TX}$ として72kHzの方形波を設定すると、 $T_{DROOP}$ は7マイクロ秒になります( $V_{DROOP} = V_{PEAK} \times 99\%$ )。
- ▶ 6~7マイクロ秒の $T_{DROOP}$ は、2.3MHz~2.6MHzのSCLKに相当します。
- ▶ 100 μHのインダクタ(744043101)を選択すれば、2.6MHzのSCLKは、このインダクタのSRFである11MHzより低くなります。

100 μHのインダクタと3.3 μFのコンデンサを選択すれば、これらの部品の実装面積は最小になります。1000 μHや2200 μHといった大きなインダクタを選択すると、実装面積はその3倍にも達する可能性があります。理論上、SCLKの最大値はインダクタのSRFで決まりますが、実際にはその値に設定するのは不可能かもしれません。例えば、100 μHのインダクタ(744043101)をシステムに適用し、クロックの補償を行うことなく、SCLKを11MHzに設定するのは困難でしょう。

2200 μHなど、値の大きいインダクタを使用する場合には、コンデンサと抵抗を回路に追加し、システムの共振を減衰させる必要があります。図9は、青色で示した $R_{DAMP}$ (1kΩ)と $C_{DAMP}$ (47 μF)を追加した例を表しています。

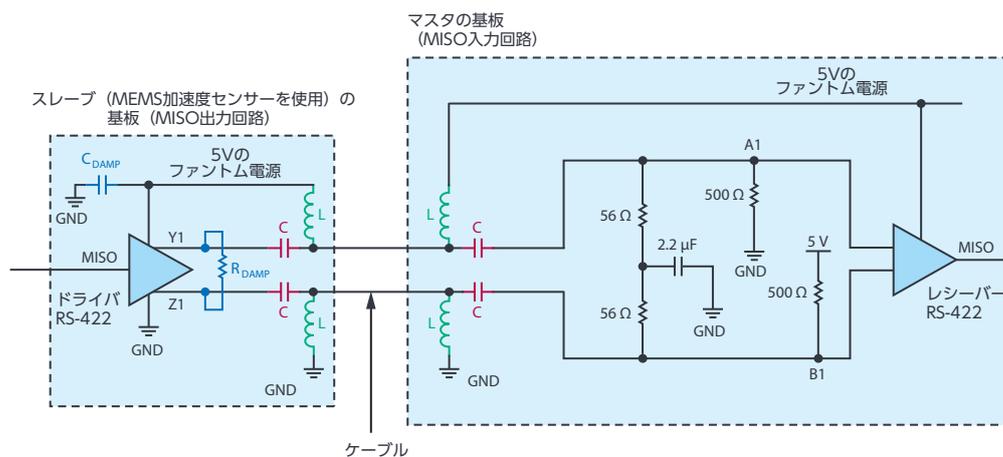


図9. SPI to RS-485/RS-422リンクの設計例。値が大きいインダクタとコンデンサを使用してフィルタを構成する場合には、更に部品を追加してシステムの共振を減衰させます。

## 実験用の設定

図10に示したのは、アナログ・デバイスが開発した有線CBMシステム向けの評価用プラットフォーム「Pioneer 1」です。このプラットフォームには、Part 1で紹介したSPI to RS-485/RS-422の設計ソリューションを採用しています。Pioneer 1では、広帯域幅で低ノイズの3軸MEMS加速度センサー「ADcmXL3021」を使用しています。同製品は、高い性能と多様な信号処理機能を兼ね備えています。これをCBMシステムに採用すれば、スマート・センサーのノードの開発が簡素化されます。同製品のSPI出力は、SPI to RS-485/RS-422のスレーブから10mのケーブルを介して振動データの分析を担うマスター・コントローラに接続されます。この設計では、100  $\mu$ Hのインダクタと3.3  $\mu$ Fのコンデンサを使用してファントム電源を構成しています。それにより、スレーブ・インターフェースの小型化を図っています。スレーブ・インターフェースのサイズは（コネクタを除くと）26mm  $\times$  28mmです。

## ファントム電源のワイヤに現れるAC信号波形

図11は、SPIマスター/スレーブと、RS-485/RS-422の差動電圧バスで測定した信号を示したものです。表4には、オシロスコープによる測定に関する情報をまとめました。各信号は、図10の評価環境を使用して測定しています。アナログ信号1（黄色）と同2（青色）は、SPIスレーブ出力で測定されたMISO信号（紫色）に対応するバス上の差動電圧です。デジタル信号4（黄色）は、マスター・コントローラでサンプリングされたMISO信号です。SPIマスターにおけるMISO信号とSPIスレーブにおけるMISO信号は極性と位相が一致しており、伝搬遅延もほとんどありません。

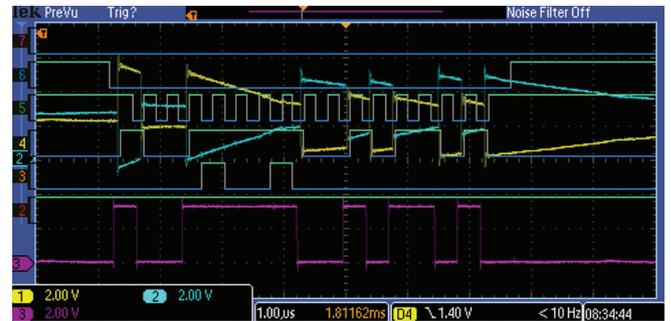


図11. SPIマスター/スレーブと、RS-485/RS-422の差動電圧バスで測定した電圧

表4. オシロスコープのチャンネルと測定した信号の関係

パラメータ	測定した信号
デジタル信号2 (赤色)	ADcmXL3021のBUSY (マスターで測定)
デジタル信号3 (オレンジ)	ADcmXL3021のMOSI (マスターで測定)
デジタル信号4 (黄色)	ADcmXL3021のMISO (マスターで測定)
デジタル信号5 (緑色)	ADcmXL3021のSCLK (マスターで測定)
デジタル信号6 (青色)	ADcmXL3021のCS (マスターで測定)
アナログ信号3 (紫色)	ADcmXL3021のMISO (スレーブで測定)
アナログ信号2 (青色)	RS-422のZピン (MISOに対応) におけるバス電圧の状態。YとZの電位差は、アナログ信号3 (紫色)とデジタル信号4 (黄色)に対応
アナログ信号1 (黄色)	RS-422のYピン (MISOに対応) におけるバス電圧の状態。YとZの電位差は、アナログ信号3 (紫色)とデジタル信号4 (黄色)に対応

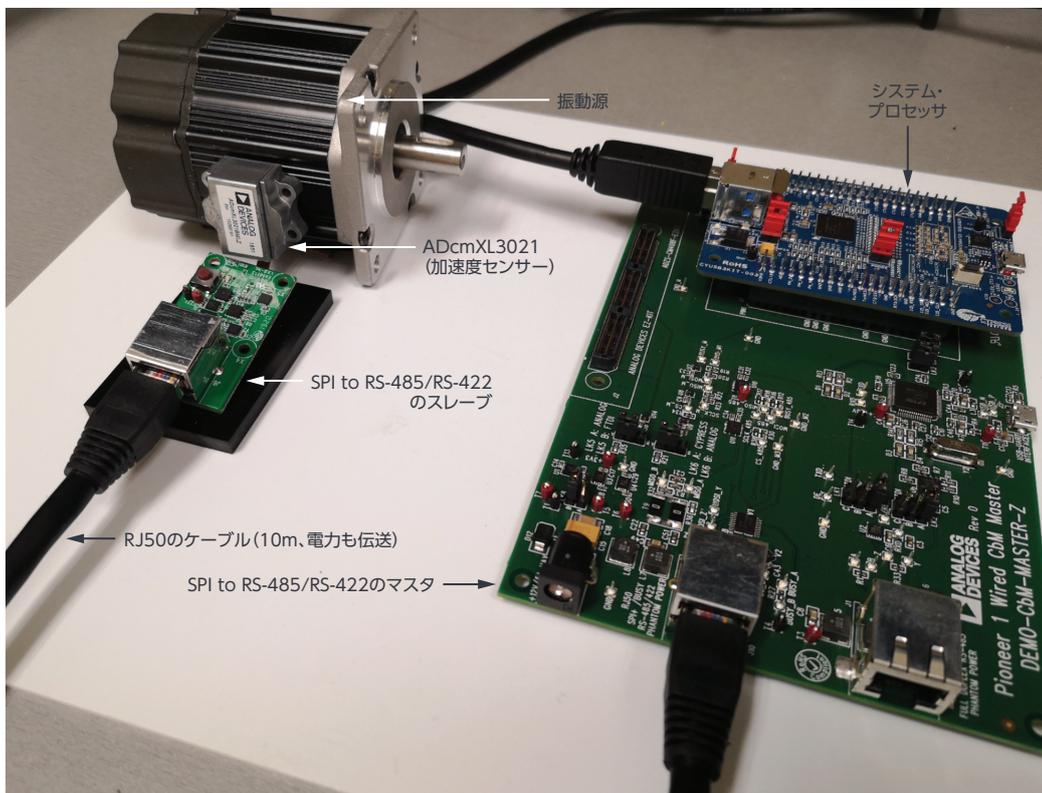


図10. Pioneer 1を使用して構成した有線CBMシステムの評価環境

## ファントム電源のワイヤにおけるDC精度

図12は、ADcmXL3021の通常モードの動作を示したものです。16ビットのデータがMISO上に送信され、停止期間（16マイクロ秒以上）を挟んで、再び16ビットのデータが送信されるまでのSPIプロトコルが描かれています。

100  $\mu$ Hのインダクタと3.3  $\mu$ Fのコンデンサで構成したファントム電源回路を使用する場合、以下のような動作になります。

- ▶ フレームの終了時（EOF：End of Frame）には、RS-485/RS-422のバス電圧が減衰し、安定したDC状態に戻ります。
- ▶ 安定したDC状態となる停止期間では、RS-422 B-Aの差動電圧が500mV以上になっていなければなりません。これは、ADcmXL3021のMISOがハイ・インピーダンスの状態になっていることを反映しており、ADM4168E（トランシーバー）の出力が論理レベルの0になるようにするためにも必要です。図4のフィルタ回路に示したように、500  $\Omega$ の抵抗を使用すれば、このアイドル状態の精度が保証されます。
- ▶ 次のフレームの開始時（SOF：Start of Frame）には、ADcmXL3021からのMISOデータの出力に応じて、ローからハイに正しく遷移するか、またはローの状態を維持します。
- ▶ RS-485/RS-422のバスが安定した状態になる停止期間が、SCLKのエッジとそろえることはありません。そのため、ランダム・ノイズはこの期間におけるMISOデータのサンプリングには影響を及ぼしません。

1000  $\mu$ Hのインダクタと4.7  $\mu$ Fのコンデンサで構成したファントム電源回路を使用する場合、以下のような動作になります。

- ▶ ADcmXL3021のMISO出力に続いて、EOF、停止期間、SOFが発生します。バス電圧のレベルは、停止期間中に、500mV（安定状態の最小DC電圧）まで減衰することはありません。電圧レベルはある程度減衰することはありませんが、500mVまでは達しません。

ADcmXL3021の通常モード：MISO上の16ビットのデータの後に、16マイクロ秒以上の停止期間が続く波形の例



Lが100 $\mu$ H、Cが3.3 $\mu$ Fのファントム電源

波形の例



Lが1000 $\mu$ H、Cが4.7 $\mu$ Fのファントム電源

波形の例



図12. ファントム電源のワイヤにおけるDC精度

## 有線システムの評価用ソリューション

アナログ・デバイゼスは、有線システムの評価用ソリューションであるPioneer 1を開発しました。これは、3軸MEMS加速度センサーであるADcmXL3021をサポートします。Pioneer 1は、拡張ボード（Wikiガイドを参照）を使用することにより、表5に示したMEMSセンサーに対応することができます。

表5. 有線システムの評価用ソリューションがサポートするMEMSセンサー

品番	ノイズ密度 [ $\mu$ g/ $\sqrt$ Hz]	測定レンジ[g]	帯域幅 [Hz]	軸数
ADcmXL3021	26	50	10000	3
ADXL357	80	10, 20, 40	1000	3
ADXL372		200	3200	3
ADXL355	20	2, 4, 8	1000	3
ADXL313	250	0.5, 1, 2, 4	1600	3
ADXL363	550	2, 4, 8	200	3
ADXL375		200	1600	3
ADXL362	175	2, 4, 8	200	3
ADXL345	420	2, 4, 8, 16	1600	3
ADXL350		1, 2, 4, 8	1600	3
ADXL343		2, 4, 8, 16	1600	3
ADXL312	340	1.5, 3, 6, 12	1600	3

## 参考資料

- <sup>1</sup> Richard Anslow, Dara O'Sullivan 「堅牢な有線接続により、インダストリ4.0向けの状態基準保全システムを構築する【Part 1】」 Analog Devices、2019年7月
- <sup>2</sup> 「IEEE 802.3bu-2016—IEEE Standard for Ethernet—Amendment 8: Physical Layer and Management Parameters for Power over Data Lines(PoDL) of Single Balanced Twisted-Pair Ethernet (IEEE 802.3bu-2016—IEEEイーサネット規格—Amendment 8：平衡型のシングルペア・イーサネットにおいてデータ・ラインを介した電力供給(PoDL)を行うための物理層と管理パラメータ)」 IEEE、2017年2月
- <sup>3</sup> Andy Gardner 「PoDL: Decoupling Network Presentation (PoDL：デカップリング回路の提案)」 Linear Technology、2014年5月
- <sup>4</sup> Andy Gardner 「Momentary PoDL Connector and Cable Shorts (PoDLコネクタとケーブルの瞬間的な短絡)」 Linear Technology、2014年9月

## 著者について

Richard Anslow ([richard.anslow@analog.com](mailto:richard.anslow@analog.com)) は、アナログ・デバイセズのシステム・アプリケーション・エンジニアです。オートメーション/エネルギー事業部門の接続テッド・モーション/ロボティクス・チームに所属しています。専門は状態基準保全と産業用通信を対象とする設計技術です。アイルランドのリムリック大学で工学分野の学士号と修士号を取得しています。

Dara O'Sullivan ([dara.osullivan@analog.com](mailto:dara.osullivan@analog.com)) は、アナログ・デバイセズのシステム・アプリケーション・マネージャです。オートメーション/エネルギー事業部門の接続テッド・モーション/ロボティクス・チームに所属しています。専門は、産業用モーション・コントロール分野における電力変換/制御/監視技術です。アイルランドのユニバーシティ・カレッジ・コークで工学分野の学士号、修士号、博士号を取得しています。2001年から、産業分野や再生可能エネルギーの分野で研究、コンサルティングなどの業務に従事しています。

## EngineerZone®

### オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit [ez.analog.com](https://ez.analog.com)

\*英語版技術記事は[こちら](#)よりご覧いただけます。