

16チャンネルのデモ用ボードを使用し、マルチチャンネルのシステムにおける位相ノイズのモデルの有用性を実証する

著者：Peter Delos、テクニカル・リード
Mike Jones、プリンシパル電気設計エンジニア

概要

本稿では、大規模なマルチチャンネル・システムの位相ノイズを予測するための体系的なアプローチについて詳しく説明します。また、その予測値とSバンドに対応する16チャンネルのデモ用ボードによる実測値の比較結果も示します。本稿で取り上げる解析的なアプローチは、いくつかの測定結果に基づくものであり、相関ノイズと非相関ノイズの寄与分を推定するために使用できます。わずか数回の測定を行うだけで、広範な条件下における位相ノイズを予測することが可能です。通常、システムを設計する際には、その都度ノイズについて解析を行う必要があります。本稿でもデモ用ボードという特定の設計を例にとりますが、他の設計でも解析の基本として活用できるアプローチを紹介します。そのデモ用ボードについてはいくつかの仮定を行いますが、その仮定はどのような場合に適用できるのか、またシステムが複雑になった場合にはどのようなノイズ項を追加して考えるべきなのかということも明らかにします。なお、本稿で示す内容は、RFシステムにおける位相ノイズの最適化について説明したいくつかの記事の内容に基づいています。それらの記事は、稿末に参考資料1～6として示しました。本稿の中でも、分析に使用する基本原理はどの記事で説明されているのか、必要に応じて明示することになります。

はじめに

あらゆるRFシステムの設計において、位相ノイズは重要な性能指標となります。大規模なマルチチャンネルのRFシステムの例としては、複数のチャンネルを備えるフェーズド・アレイが挙げられます。この種のシステムでは、分散配備したレシーバーとトランスミッタをコヒーレントに結合し、アレイのレベルにおけるダイナミック・レンジを高めます。その設計においては、システム内の相関のあるノイズ項と相関のないノイズ項の両方を考慮することが課題になります。本稿では、16チャンネルのデモ用ボ

ード(RFシステム)を例にとり、その位相ノイズを推定するための体系的なアプローチを紹介します。システム技術者の中には、大規模なシステムのノイズ性能を推定するための解析方法を模索している方もいるでしょう。そうした方にとっては、本稿で示す事柄が非常に役に立つはずです。

フェーズド・アレイ内の信号には、チャンネル間で相関のあるノイズ項(相関ノイズ)と、チャンネル間で相関のないノイズ項(非相関ノイズ)の両方が含まれています。分散配備されたコンポーネントの付加ノイズには相関はありません。しかし、分散配備されたコンポーネントで共有する信号からは、相関を持つノイズ成分が発生します。ここでの課題は、アーキテクチャに含まれる相関ノイズの項をいかに迅速に可視化するかということです。局部発振信号(LO)や、クロック、電源など、共通のものや共有されるものは、チャンネル間で相関ノイズの発生源になる可能性があります。システムが複雑化するにつれて、相関ノイズを追跡するのは非常に煩雑な作業になります。求められるのは、相関ノイズの要因を迅速に特定することが可能な直感的な方法です。その方法は、次世代のシステムを構築するシステム技術者にとって非常に役に立つものになるでしょう。後述しますが、そうした方法を見いだす上で鍵になる作業は、ノイズの観点からアーキテクチャの図を描き直すことです。

本稿では、Sバンドに対応する16チャンネルのシステムを例にとり、本稿で提案するアプローチの有用性を実証します。様々なチャンネルを組み合わせた条件下で生じる位相ノイズを適切に予測できるモデルを示すことにします。そのモデルに関する重要なポイントの1つは、わずか数回の測定しか必要ないことです。コンポーネントのレベルのシミュレーション結果から、大規模なマルチチャンネル・システムで生じる位相ノイズを高い精度で直接推定するのは容易ではありません。一方、わずか数回の測定によって相関ノイズと非相関ノイズを抽出し、マルチチャンネルの場合の結果を正確に予測できれば非常に便利です。後述しますが、16チャンネルのデモ用ボードで取得した測定値は、1dB以内で予測値に一致します。



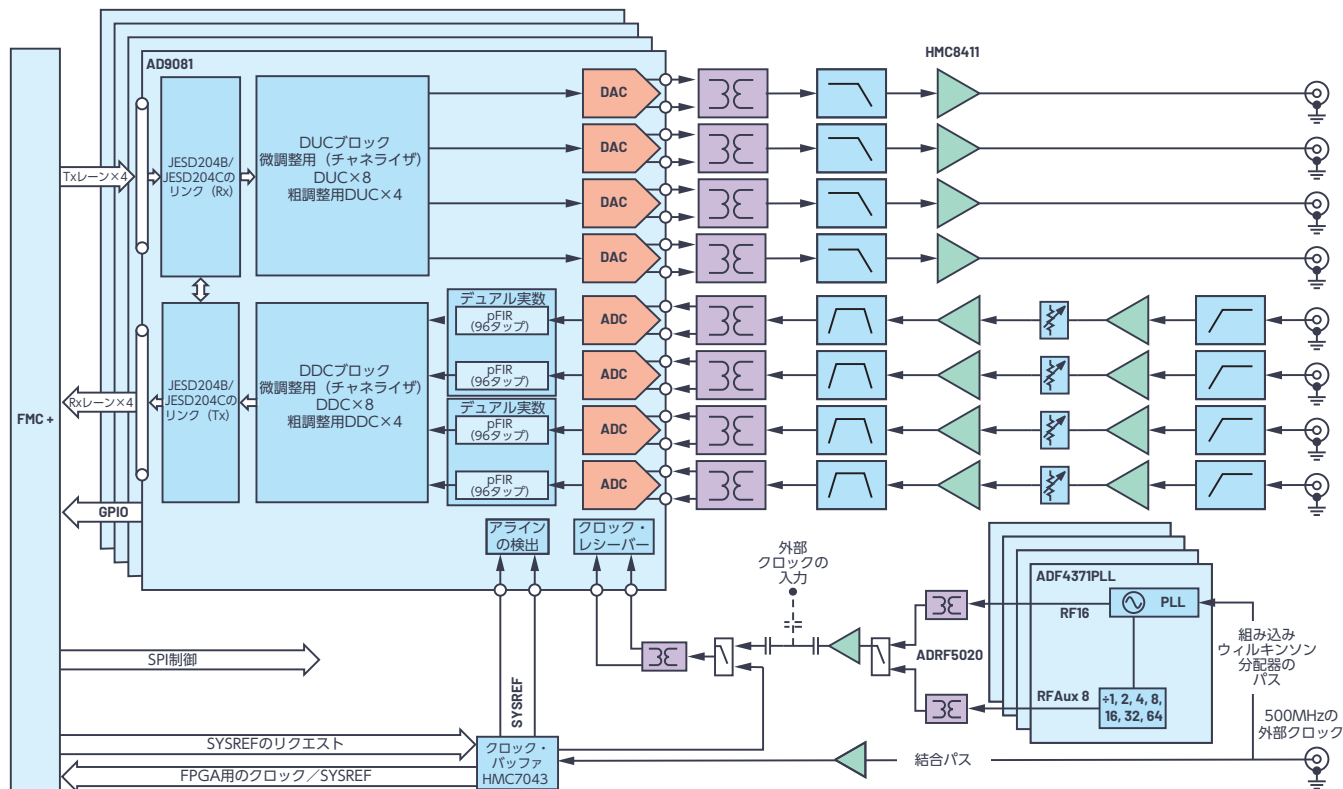


図1. 16チャンネルのデモ用ボードのブロック図。このQuad-MxFEは4個のAD9081を搭載しています。
各AD9081はRFに対応するDACとADCを4個ずつ搭載しています。
つまり、Quad-MxFEは各16系統の送信チャンネルと受信チャンネルを備えています。

相関ノイズと非相関ノイズの加算

複数の信号が自由空間またはRF処理で結合される場合、各信号のノイズは次式のような形で加算されます。

$$v_T = \sqrt{v_1^2 + v_2^2 + 2cv_1v_2} \quad (1)$$

ここで、 c は相関係数であり、-1から1の範囲の値をとります。 $c = -1$ の場合、ノイズは相殺されます。 $c = 0$ の場合には、ノイズには相関がないということになります。 $c = 1$ の場合、ノイズには完全な相関があります。

ここでは、原信号をコヒーレントに結合するにあたってキャリブレーションが実施されると仮定します。そうすると、原信号は $20\log N$ のレベルで増加します。ここで、 N はチャンネルの数です。相関の有無に応じ、ノイズの大きさは以下に示すようになります。

- ▶ **ノイズ項には相関がない ($c = 0$)**：この場合、ノイズは $10\log N$ の割合で増加します。信号のレベルは $20\log N$ の割合（ノイズより $10\log N$ だけ大きい）で増加するので、S/N比は $10\log N$ の割合で向上します。
- ▶ **ノイズ項に相関がある ($c = 1$)**：ノイズも、信号と同じく $20\log N$ の割合で増加します。したがってS/N比は向上しません。これは、分散型システムにとって望ましい結果ではありません。

- ▶ **相関係数の値が負**：ノイズ・キャンセル回路では相関係数が負になります。ここでは、式（1）と対応させるためにこの状態についても触れましたが、詳細については割愛します。

大規模な分散型システムでは、部分的に相関を持つノイズ成分がチャンネル間に存在します。ただ、システムのレベルでノイズをモデル化する場合には、実用的かつ直感的なアプローチを採用することが望ましいと言えるでしょう。

16チャンネルのデモ用ボード

アナログ・デバイセズは、マルチチャンネルの環境で最新の高速度データ・コンバータの評価を行えるようにするために、16チャンネルのデモ用ボード（プラットフォーム）を開発しました。そのボードは、SバンドのダイレクトRFサンプリングに対応します。その特徴は、ミックスドシグナル・フロント・エンド（MxFE[®]）IC「AD9081」を4個搭載している点にあります。AD9081は、RF対応のA/DコンバータとD/Aコンバータを4つずつ内蔵しています。したがって、このデモ用ボードは、各16系統の送信チャンネルと受信チャンネルを備えていることになります。4つのMxFEを使用していることにちなんで、このデモ用ボードはQuad-MxFEと名づけられました。

図1は、Quad-MxFEのブロック図です。図2にはその外観を示しました。

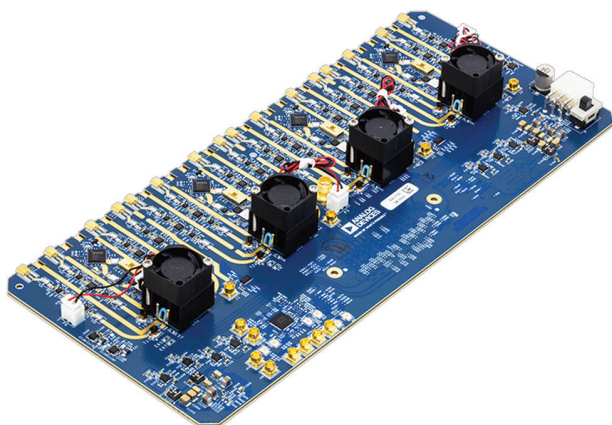


図2. Quad-MxFEの外観

マルチチャンネル・システムの位相ノイズのモデル

図1のブロック図を見ると、Quad-MxFEの機能の概要がわかります。この図を基に相関ノイズと非相関ノイズの観点からノイズの要因を可視化することは可能でしょうか。その方法は、最初は明確ではないはずです。そこで、ノイズの観点からアーキテクチャの図を描き直して検討することにします。適切な図を描くことで、全チャンネル間に共通なノイズ項、チャンネルのグループ間でのみ相関のあるノイズ項、チャンネル間で完全に非相関なノイズ項を把握できるようになります。図3に示したのが、そのような観点からQuad-MxFEのアーキテクチャを描き直したものです。この図では、ノイズ項を以下に説明する3つのカテゴリーに分けています。

- ▶ **クロック・ノイズ**：Quad-MxFEには、クロックの構成について複数のオプションが用意されています。位相ノイズのモデルでは、どの構成を使用するのかということを考慮しなければなりません。本稿では、位相ノイズの小さい単一のクロックを全チャンネル間で共通して使用する場合（測定ケース1）と、

分散配備した4つのフェーズ・ロック・ループ（PLL）シンセサイザ「[ADF4371](#)」を使用して、各MxFEにクロックを入力する場合（測定ケース2）について測定を行いました。測定ケース1では、16の結合チャンネルすべてにおいてノイズに相関が現れます。測定ケース2では、PLLのノイズはMxFEごとに相関を持ちますが、MxFE間には相関は現れません。リファレンスのノイズは、全チャンネル間で相関を持ちます。

- 分散型のPLLを使用する場合の解析方法については、稿末に示した参考資料「[LO信号の位相ノイズをシステム・レベルでモデル化、PLLが分散配備されたフェーズド・アレイの解析が可能に¹](#)」にまとめられています。その解析方法では、リファレンス周波数のノイズ成分、分配システム、PLL回路について考慮すると共に、PLLのループ帯域幅の影響にも配慮しています。

- ▶ **MxFEごとの相関ノイズ**：MxFEからのノイズであり、MxFE内の各チャンネル間で相関を持ちます。MxFEごとの相関ノイズには、IC内で共通の付加ノイズと、IC内の各チャンネルに共通の電源からの影響が含まれます。
- ▶ **チャンネルごとの非相関ノイズ**：チャンネルごとに異なるノイズです。例えば、DACのコアや全アンプの残留位相ノイズなどが含まれます。次に示す式（2）では、この項をTXNoiseと表記しています。

上記のような観点に基づくと、トータルの位相ノイズは次式のように表されます。

[Quad MxFEのトータルのTX位相ノイズ]

$$= 10 \times \log_{10} \left[\frac{1}{\text{NumClocks}} 10^{\left(\frac{\text{ClockNoise}}{10} \right)} + \frac{1}{\text{NumMxFE}s} 10^{\left(\frac{\text{CorrelatedNoisePerMxFE}}{10} \right)} + \frac{1}{\text{NumDACs}} 10^{\left(\frac{\text{TXNoise}}{10} \right)} \right] \quad (2)$$

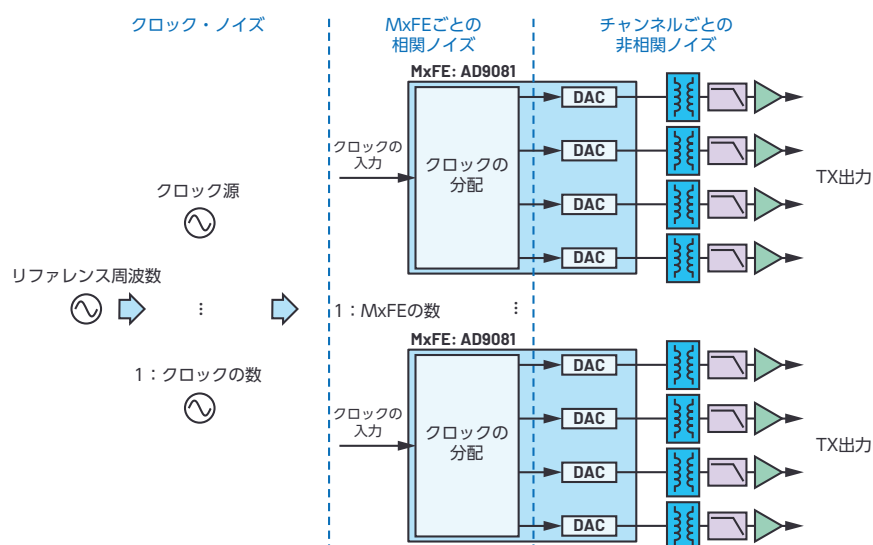


図3. クロックの位相ノイズの観点から図1を描き直したもの

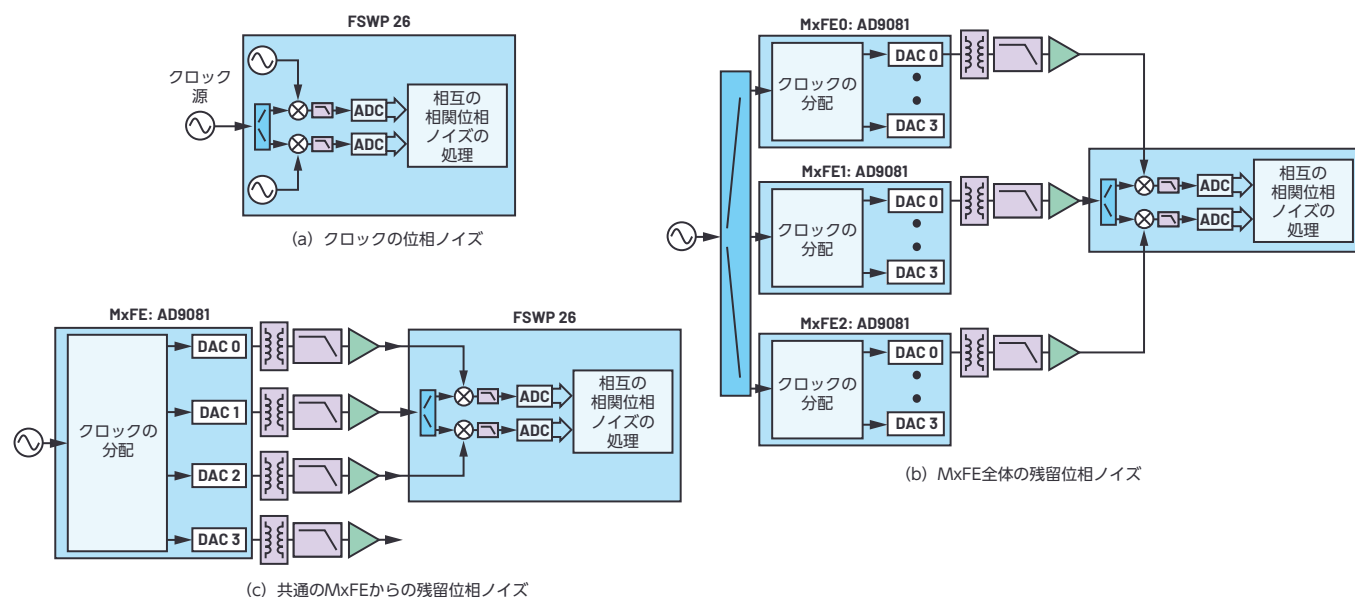
以下、このボードを使用した測定環境で、式 (2) のような簡素なモデルを構築できるようにするための説明を追加しておきます。

- ▶ **電源の影響**：電源の位相ノイズの寄与分は、位相ノイズの小さい設計において考慮すべき重要な事柄になる可能性があります。電源のノイズの問題に対処するためのアプローチについては、稿末の参考資料「[PSMR の謎を解く—— PSRR とはどう異なるのか？^{3\)}](#)」と参考資料「[DAC の位相ノイズ性能を改善、極めて精度の高い DDS アプリケーションを実現可能に^{4\)}](#)」で説明されています。本稿では、電源の影響は式 (2) に含まれているノイズ項の一部だと考えて解析を行います。電源ノイズが IC における位相ノイズの支配的な要因であり、しかもチャンネル間で共有される場合には、その影響は先述した MxFE ごとの相関ノイズと同様に相関のあるノイズ項だと考える必要があります。
- ▶ **リファレンス発振器のノイズ**：大規模なシステムの場合、リファレンス発振器のノイズの寄与分は、稿末の参考資料「[LO 信号の位相ノイズをシステム・レベルでモデル化、PLL が分散配備されたフェーズド・アレイの解析が可能に^{1\)}](#)」で説明されているように分配する必要があります。本稿で例にとる測定環境では、位相ノイズが非常に小さいリファレンスを使用しました。その位相ノイズは他の要因を十分に下回っているため、トータルのノイズを表す式には盛り込んでいません。

モデル用の情報を取得するための測定

式 (2) によって、トータルの位相ノイズのモデルを記述することができました。次の疑問は、「この式で使用するノイズ関連の要因の値をどのようにして求めればよいのか？」というものです。Quad-MxFE を使用する測定環境の場合、以下に示す 3 つの測定値を使用することで必要な情報を得ることができます。

- ▶ クロック源の絶対位相ノイズ
- ▶ 別の MxFE によって生じるチャンネルの残留位相ノイズ
- ▶ その MxFE によって生じるチャンネルの残留位相ノイズ



このアプローチの最後のステップでは、測定結果のデータを式 (2) の3つの項に書き換えます。具体的には、以下のような計算を行います。

<1> $\text{ClockNoise} = [\text{クロックの位相ノイズの測定値 (図4 (a))}] + 20\log(F_{\text{OUT}}/F_{\text{CLOCK}})$

<2> $\text{CorrelatedNoisePerMxFE} = [\text{MxFE全体の残留位相ノイズ (図4 (b))}] - [\text{共通のMxFEからの残留位相ノイズ (図4 (c))}]$ ……この計算では、リニア・スケールの電力値に変換してから減算を行い、再度dB値への変換を行う必要があります。

つまり、 $10\log(10^{[\text{MxFE全体の残留位相ノイズ}/10]} - 10^{[\text{共通のMxFEからの残留位相ノイズ}/10]})$ という計算を実施します。

<3> $\text{TxNoise} = [\text{共通のMxFEからの残留位相ノイズ (図4 (c))}]$

残留位相ノイズの測定値についてコメントを追加しておきます。測定に使用したハードウェアでは、上記の<2>と<3>のノイズ項も周波数に依存して増減することがわかりました。他の周波数に換算する場合、 $20\log(F_{\text{OUT}}/F_{\text{MEAS}})$ を追加する必要があります。これは、必ずしもすべてのハードウェアに当てはまることではありません。この項については、設計ごとに個別に評価を実施する必要があります。

図4. 測定用の3種の構成。
これらを使って位相ノイズのモデル用の情報を取得します。

【測定ケース1】 位相ノイズの小さい 共通のクロック

まず、Quad-MxFE全体で、周波数が12GHzで低ノイズの単一クロックを使用して測定を行いました。クロック源としてはRohde & SchwarzのRF／マイクロ波信号発生器「SMA100B」を使用しました。同発生器で生成したクロックを、図1に示した外部クロック注入のノードに入力します。送信出力周波数は3.2GHzとします。

測定結果である図5 (b) から、MxFE全体の相関ノイズが最も大きく寄与することがわかります。MxFEをシステムに追加すると、このノイズの寄与分は改善され、共通クロックのノイズによって制限されるようになります。ノイズの各要因に対応するカーブの形状では、曲線に沿ってわずか数点を追加するだけでは十分に正確な予測は行えません。そのため、図5 (b) のデータを式 (2) で直接使用するのが最善な方法であることがわかりました。

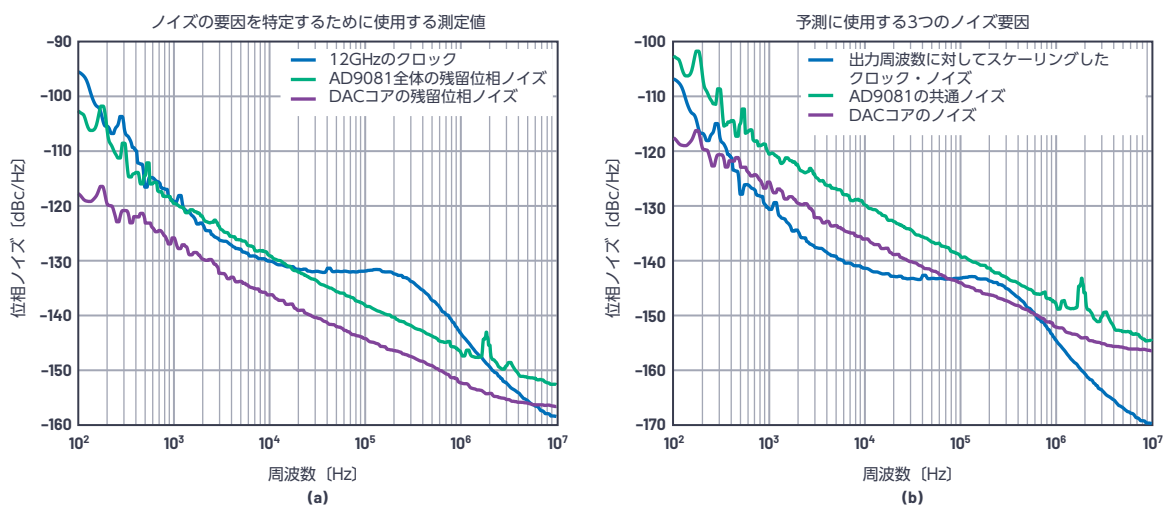


図5. 測定結果（その1）。すべてのMxFEに対して共通の単一クロックを使用した場合の結果です。
(a) は、位相ノイズのモデル用の情報を取得するために行った測定の結果です。
(b) はモデルで使用するための計算を行った後の位相ノイズの要因を示したものです。

次に、一連の測定を実行して、このモデルの検証を行いました。図6、図7、図8について吟味するとわかりますが、このモデルを使うことで驚くほど正確に結果を予測することができます。

測定値と予測値の比較結果は注目に値します。ほとんどの例で、予測値と測定値はほぼ一致していることがわかります。一方で、測定値が予測値よりもわずかに悪化しているケースもあります。これについて認識はしていますが、現時点では正確には説明できません。図8 (左) のグラフは、指標になり得るものと言えます。

このプロットを拡大すると、予測値は2つの測定結果とはよく一致しており、別の2つの測定結果よりもわずかに高いことがわかりました。MxFEごとの相関ノイズは同等ではなく、それによっていくらかのずれが生じている可能性があります。あるいは、単純化に向けたいくつかの仮定の一部がずれの要因になっているのかもしれません。とはいえ、いずれの測定結果を見ても予測値は非常に妥当であり、この特定の設計に対しては本稿のアプローチが有効であることを確認できたと考えています。

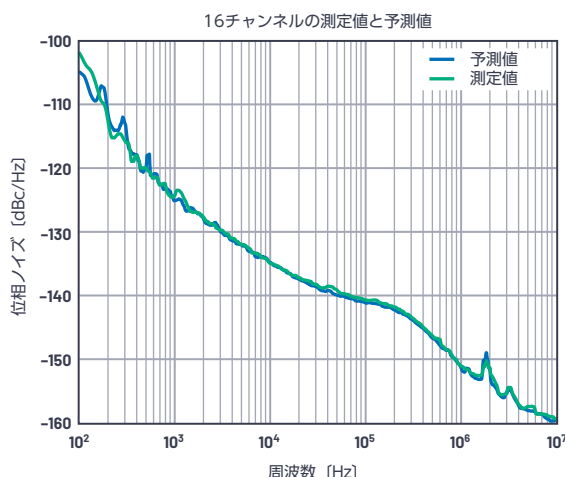


図6. 測定値と予測値の比較 (その1)。3.2GHzにおける16チャンネルの測定値とモデルによる予測値をプロットしています。

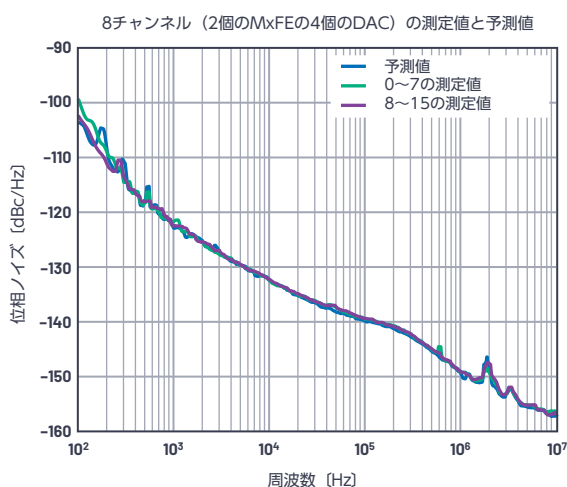
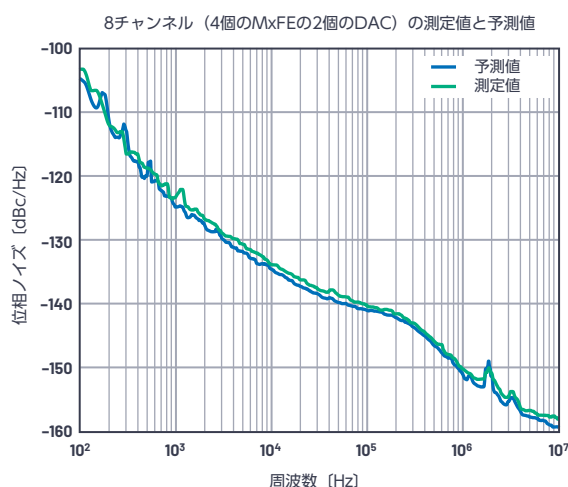


図7. 測定値と予測値の比較 (その2)。3.2GHzにおける8チャンネルの測定値とモデルによる予測値を比較しています。2つのプロットの差は、MxFE間で送信チャンネルを共有する方法の違いによるものです。

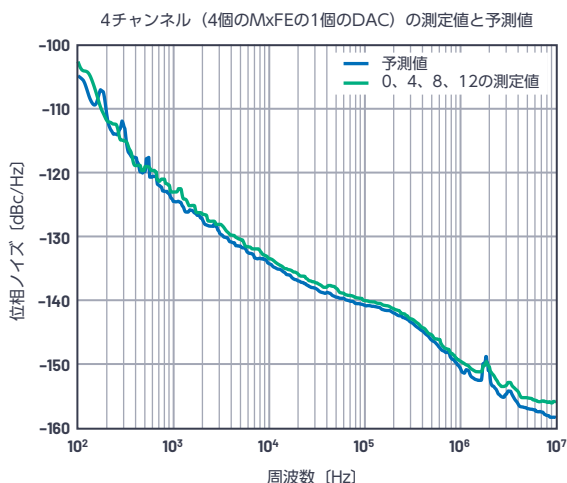
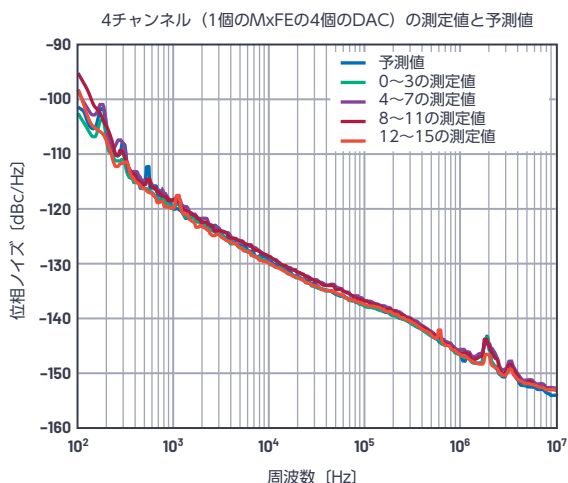


図8. 測定値と予測値の比較 (その3)。3.2GHzにおける4チャンネルの測定値とモデルによる予測値を比較しています。2つのプロットの差は、MxFE間で送信チャンネルを共有する方法の違いによるものです。

【測定ケース2】 MxFEごとにPLLを分散配備

続いて、図1に示したように、各MxFEに専用のADF4371を用意して測定を行いました。ADF4371は位相ノイズの小さい500MHzのリファレンスに対してロックされ、12GHzのクロックを出力するようにプログラムしました。図9は、モデル用の情報を取得するために使用した測定値とノイズの要因を表しています。

この例では、PLLが支配的なノイズ源になっています。MxFEによるノイズの要因は、クロックのノイズを十分に下回っています。図10に示すように、トータルのノイズは、分散型システムで使用するPLLの数が多いほど小さく抑えられます。

まとめ

本稿では、マルチチャンネルのシステムの位相ノイズを非常に正確に予測するためのモデルを紹介しました。そのアプローチでは、ノイズ源の観点からシステムのブロック図を描き直すことで、相関のある項と相関のない項を簡単に把握できるようにします。また、本稿では「実証」という言葉を強調してきました。これは、理論や純粋な論理ではなく、観察や経験によってそのアプローチについて検証したという意味です。位相ノイズの傾向や要因を評価するには、何回かの測定を行い、結果をよく吟味することが重要です。こうしたことを理解しておけば、システムのノイズを体系的に算出することができます。

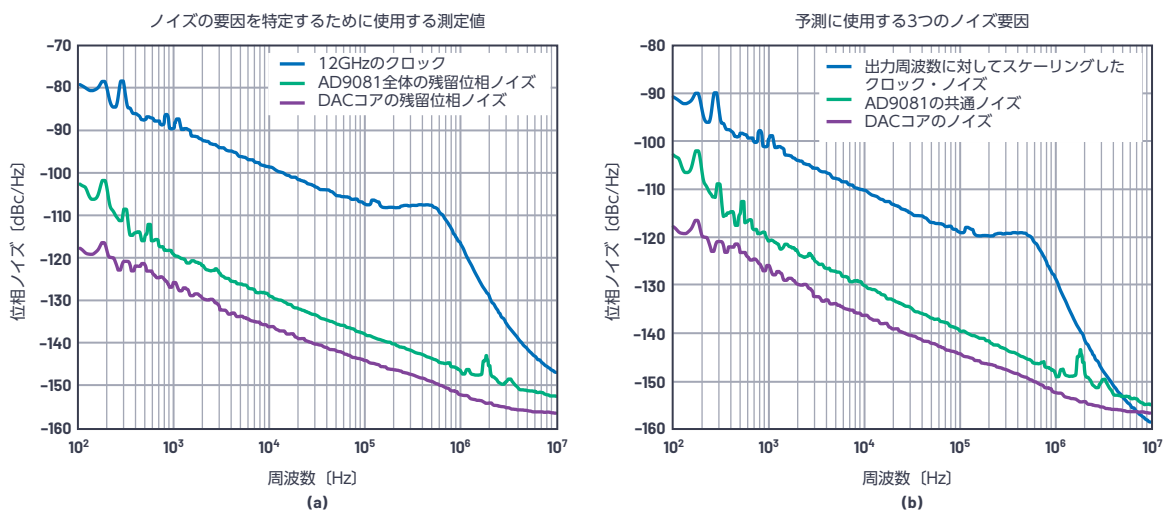


図9. 測定結果（その2）。MxFEごとにPLLを分散配備した場合の結果です。(a)は、位相ノイズのモデル用の情報を取得するために行った測定の結果です。クロック入力源としては、ADF4371を個別に使用しています。(b)は、モデルで使用するための計算を行った後の位相ノイズの要因を示したものです。

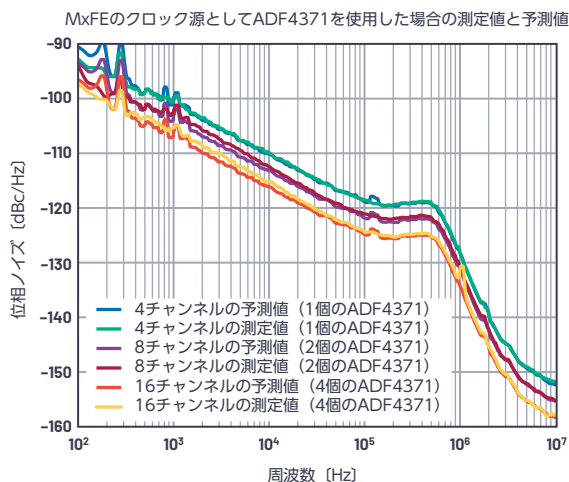


図10. 測定値と予測値の比較（その4）。3.2GHzにおける測定値とモデルによる予測値を比較しています。各MxFEのクロック源としてはADF4371を使用しました。位相のアラインを行った送信チャンネルを結合した後の結果です。

著者について

Peter Delos (peter.delos@analog.com) は、アナログ・デバイス（ノースカロライナ州グリーンズボロ）の航空宇宙／防衛グループに所属するテクニカル・リードです。1990年にバージニア工科大学で電気工学の学士号を、2004年にニュージャージー工科大学で電気工学の修士号を取得しています。エレクトロニクス業界で25年以上の経験を積んでおり、そのうちのほとんどの期間は、アーキテクチャのレベル、プリント基板のレベル、ICのレベルで先進的なRF／アナログ・システムの設計に携わってきました。現在は、フェーズド・アレイ・アプリケーション用の高性能レーザ、波形発生器、シンセサイザの小型化を図るための設計に注力しています。

Mike Jones (mike.jones@analog.com) は、アナログ・デバイスの航空宇宙／防衛事業部門（ノースカロライナ州グリーンズボロ）に所属するプリンシパル電気設計エンジニアです。2016年に入社しました。2007年から2016年まではGeneral Electric（ノースカロライナ州ウィルミントン）で、マイクロ波フォトニクスを専門とする設計技術者として原子力事業向けのマイクロ波／光学ソリューションの開発に従事していました。ノースカロライナ州立大学で、2004年に電気工学とコンピュータ工学の学士号、2006年に電気工学の修士号を取得しています。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイスのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

* 英語版技術記事は[こちら](#)よりご覧いただけます。



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™

アナログ・デバイス株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイスのエキスパートへの質問、FAQの閲覧ができます。

©2021 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイスの商標です。

TA23185-11/21 (A)

VISIT [ANALOG.COM/JP](https://analog.com/jp)