

IF/RFデータ・コンバータにおけるデジタル信号処理

著者: Alex Zou
Analog Devices, Inc.

要約

かつてないスマートフォン機能のデータ需要の高まりを受け、今日のデジタル移動通信システムのインフラ構造は、より広い帯域幅とより高速なデータ変換を目指して絶えず進化を遂げています。データ・レートの高速化を目的に現在のデータ変換アーキテクチャで利用されている機能処理ブロックは、デジタルIF処理、DDC（デジタル・ダウンコンバータ）、DUC（デジタル・アップコンバータ）です。これらのデジタル機能はDSPとFPGAで実現可能で、大手メーカーの中には独自のIF処理ASICを構築している例もあります。アナログ・デバイセズは、より多くのIF処理ブロックを高速コンバータICへ統合することを進めており、これにより設計作業の大幅軽減とシステムのコストと消費電力を削減しています。本稿では、アナログ・デバイセズのIFコンバータとRFコンバータに内蔵されたDDCおよびDUCチャンネルについて解説し、実際のアプリケーションでどのように機能しているかを説明します。

高速コンバータは、現在のワイヤレス基地局システムの重要な機能の1つです。こうしたコンバータの多くが複雑なデジタル信号処理ブロックと統合されるようになり、システム設計におけるFPGAの設計が簡素化されています。コンバータのデジタル信号処理ブロックはシステム設計に貴重な利点をもたらしますが、これらの利点ははまだ多くの技術者に広く理解されているとは言えません。本稿においてデータ・コンバータのDDCとDUCの機能を明確に示すことにより、アナログ・デバイセズのコンバータがトランスミッター・アーキテクチャにもたらす利点をシステム設計者に十分に活用してもらえるようになれば幸いです。なお、本稿ではADCとDACのデジタル信号処理ブロックに焦点を絞り、トランスミッターとレシーバーは一部の説明の中でまとめて扱っています。シグナル・フローの方向は、混乱が生じるようであれば除外してください。

現在のデジタル移動通信システムでは、送信パスと受信パス（以降の説明では観測受信パスを含む）は信号の性質に応じて、RF段、アナログIF段、デジタルIF段の3つの主要な段に分割できます。

図1に代表的なトランスミッターとレシーバーのブロック図を示します。

RF段はRF信号を処理します。これは一般に、現在のLTE規格の700MHz～3.8GHzの信号周波数範囲を含みます。

RF信号は、ミキサー、変調器、または復調器（これらはすべて周波数シフト段）の後、300MHz未満のDCに近い低周波数にシフトされます。データ・コンバータからミキサーまでの処理モジュールには、コンバータ（ADCまたはDAC）、アナログ・フィルタ、IFアンプなどがあります。これをアナログIF段と呼びます。

コンバータの後、実際にはコンバータの量子化器部分の後、信号はデジタルとなり、後続のFPGAまたはASICと合わせてこれをデジタルIF段と呼びます。この段の各デジタル信号処理ブロックに共通して用いられているのが、 T_x パスのDUC（デジタル・アップコンバータ）と R_x パスのDDC（デジタル・ダウンコンバータ）です。

例外は直接RFアーキテクチャです。ここではデータ・コンバータがRF信号を直接サンプリングするため、アナログIF段は割愛され、シグナル・チェーンはRF段とデジタルIF段のみで構成されます。

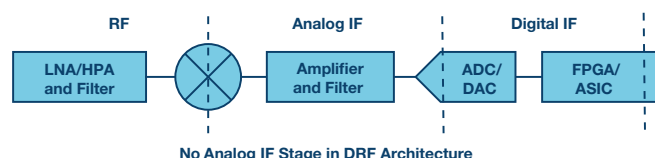


図1. トランスミッターとレシーバーの代表的なブロック図

代表的なDDCモジュールには、搬送波選択、周波数ダウンコンバータ、フィルタ、デシメータがあります。これらの機能ブロックは、順番に機能することも、個々にバイパスすることも可能で、最終的に、サンプリング・レートが低い後続のFPGAやASICの条件に応じて、DCの複合信号または実際の信号を生成します。

代表的なDUCモジュールには、インターポレーション、フィルタ、周波数アップコンバータ、キャリア・コンバイナがあります。DUCは、システム・アーキテクチャの設計に応じて、DC、IFベース、または直接RFで、複合的な信号を生成します。このDUCの処理はDDCの処理とほぼ逆になっています。

多くの場合、DDCとDUCの複数の段はそれぞれカスケード接続され、柔軟性を持たせています。個々のDDCとDUCは、複数の搬送波を並列に処理し、それらを結合してから送信信号を出力するか、受信信号内でそれらを分離する必要があります。

DDC

R_x チェーンでは、信号のエイリアスを回避し、アナログ・フィルタ設計を簡素化し、信号帯域幅を広くするために、サンプリング・レートを高くすることが必要です。しかし、これに対し、消費電力とコストを下げ、FPGA/ASICの高速ロジックを実現するには、インターフェースでのデータ・レートを下げることが望まれます。コンバータに統合されたDDCは、これらの従来の条件に対応するものです。

図2に代表的なDDCのブロック図を示します。

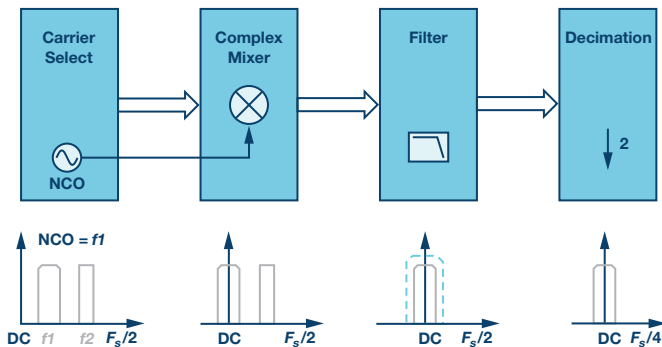


図2. DDCのブロック図

NCOとミキサー

目的の搬送波を干渉（ブロッカや他の搬送波）から選び出すために、NCOの出力周波数が入力IF信号と混合され、目的の搬送波をDCにシフトします。これにより後続のフィルタ段とデシメータ段を簡素化できます。

フィルタとデシメーション

NCO段とミキサー段の後、ローパス・フィルタを使用して目的の搬送波を抽出し、その他の不要な信号を抑圧します。フィルタの後、デシメータによってデータ・レートが2分の1に低減されます。リソースを節約し、柔軟性をもたすため、ハーフバンドFIRフィルタと1/2デシメータを組み合わせ1つのブロックにします。このブロックがコピー＆ペーストされて、3～4レベルのカスケード接続が行われます。システム設計者は、アプリケーションに応じてそれらの一部または全部を使用するよう選択できます。特にRF ADCの場合は、3以上のデシメーション数を使用して、更に柔軟性を加えることもできます。

DUC

T_x チェーンでは、 R_x チェーンと同じ条件が当てはまります。すなわち、フィルタ設計を簡素化し、信号を高周波IFまたはRFに直接配置し、イメージを除去するには、サンプリング・レートを高くする必要がありますが、インターフェースではデータ・レートを下げることが望まれます。コンバータに統合されたDUCは、これらの従来の条件に対処するものです。

図3に代表的なDUCのブロック図を示します。

インターポレーションとフィルタリング

最も単純なデジタル・インターポレーション・アルゴリズムは、ゼロ・パディングと呼ばれるもので、サンプルに1つおきにゼロを挿入するものです。サンプリング・レートは2倍になりますが、その結果のスペクトル内の $F_s - F_{if}$ にイメージも生成されます。したがって、アプリケーションに応じてイメージまたは元の搬送波を除去するために、インターポレータの後にフィルタ段が必要です。元の搬送波を除去した場合、結果は $F_s/2$ のインターポレーションおよび粗変調となります。

DDCの場合と同様、2倍のインターポレーションとフィルタを組み合わさり、1つのブロックを構成します。次に、柔軟性を持たせるために、この機能ブロックがコピー＆ペーストされて3～4レベルのカスケード接続が行われます。更に柔軟性を持たせるため、特にRF DACでは、2以上のインターポレーション係数も用いられます。

NCOとミキサー

機能は逆ですが、DDCのこのブロックとほぼ同様に、DUCでの後続のNCO段とミキサー段を使用し、システム・アーキテクチャの条件に応じて搬送波を目的のIFまたはRF周波数にシフトします。ZIFアーキテクチャでは、このブロックをバイパスして搬送波をDCに維持することができます。

ゲイン、位相、I/Qオフセット、反転sinc

多くのIF/RF DACに、ゲイン、位相調整、I/Qオフセット、反転sincの各ブロックが付帯しています。

多くの場合、ゲイン調整、位相調整、I/Qオフセットは共に機能し、出力信号のI/Qチャンネルを個別に調整し、(DAC、アナログ・フィルタ、変調器などを原因とする)種々のI/Qミスマッチを補償して、最終的に、アナログ変調器からLOリークとイメージの少ない理想的な複素信号を出力します。

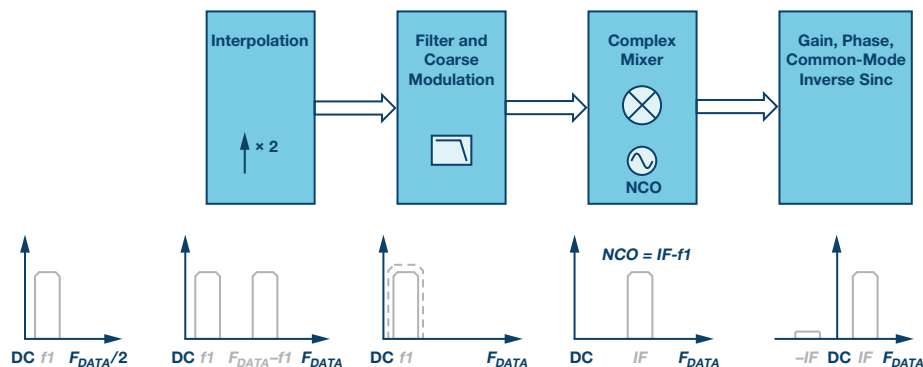


図3. DUCのブロック図

反転sincフィルタは、DACに起因するsincロールオフを補償します。これは、特に高IFまたはDRFアーキテクチャの広帯域幅アプリケーションにおいて平坦性と信号振幅に影響します。

まとめ

本稿では、現在のIF/RFコンバータに内蔵されている代表的なDDCとDUCの概要を示し、シグナル・チェーンでの動作の仕組みを簡単に説明しました。これらを適切に理解し正しく使用することで、FPGA/ASICのリソースとコード作業が軽減されると共に、システムの消費電力とコストを削減できます。更に詳しい説明については、以下の参考資料を参照してください。

参考資料

1. AD9680データシートAnalog Devices, Inc., 2015
2. AD9154データシートAnalog Devices, Inc., 2015
3. Brad Brannon、Rob Reeder、AN-835アプリケーション・ノート、高速A/Dコンバータ(ADC)のテストと評価について。Analog Devices, Inc., 2015
4. Justin Munson、AN-928アプリケーション・ノート、高速DACのテストと評価の理解。Analog Devices, Inc., 2013
5. Brad Brannon、「Designing a Super Heterodyne Multichannel Digital Receiver」Analog Devices, Inc.
6. Application Note 1298、「Digital Modulation in Communications Systems—An Introduction」Agilent.
7. 「3GPP TS 36.104 V10.1.0 (2010_12)」3GPP
8. Steven W. Smith、The Scientist and Engineer's Guide to Digital Signal Processing. California Technical Publishing, 1999

著者について

Alex Zou.

1999年、中国電子科技大学を卒業。無線物理学の修士号を取得。中国電信でハードウェア設計エンジニア、NXP Semiconductorsでアプリケーション・エンジニアとして勤務した後、2007年にアナログ・デバイセズに入社。ワイヤレス・インフラストラクチャ・アプリケーションを担当するシニア・フィールド・アプリケーション・エンジニアとして従事。

オンライン・サポート・コミュニティ



当社のオンライン・サポート・コミュニティで、アナログ・デバイセズの技術専門家と連携することができます。設計上の難問について問い合わせたり、FAQを参照したり、話し合いに参加することができます。

ez.analog.com

* 英語版技術記事は [こちら](#) よりご覧いただけます。

アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2019 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、
各社の所有に属します。
Ahead of What's Possible は
アナログ・デバイセズの商標です。

www.analog.com/jp

TA14292-0-4/16



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™