

絶縁型ハーフブリッジ・ゲート・ドライバの実装設計の基本事項

絶縁型ハーフブリッジ・ゲート・ドライバは、高い電力密度と効率が求められる絶縁型 DC/DC 電源モジュールから、高い絶縁電圧と長期的な信頼性が不可欠なソーラー・インバータまで、広範囲のアプリケーションに使用されます。ここでは、高性能とソリューションの小型化を実現する絶縁型ハーフブリッジ・ゲート・ドライバ・ソリューションの可能性を探りながら、これらの設計概念について詳しく検討していきます。

絶縁型ハーフブリッジ・ドライバの役割は、導通損失を減らす低い出力インピーダンスと、スイッチング損失を減らす短いスイッチング時間で、ハイサイドおよびローサイド N チャンネル MOSFET（または IGBT）のゲートをドライブすることです。正確かつ効率的なスイッチングを行うことができるように、ハイサイドおよびローサイド・ドライバのタイミング特性は正確に整合させる必要があります。整合させると、ハーフブリッジの一方のスイッチがオフしてから他方のスイッチがオンするまでのデッドタイムが減少します。絶縁型ハーフブリッジ・ゲート・ドライバの標準的実装方法は、図 1 に示すように絶縁にオプトカプラを使用し、その後段に高電圧ゲート・ドライバ IC を接続することです。この回路で問題となる恐れがあるのは、絶縁された入力チャンネルが 1 つだけで、必要とされるチャンネル間のタイミング整合が高電圧ドライバに依存していること、さらにアプリケーションに必要とされるデッドタイムにも依存していることです。もうひとつ懸念されるのは、高電圧ゲート・ドライバがガバナック絶縁されておらず、代わりに接合分離によって同一 IC 内のハイサイド・ドライブ電圧とローサイド・ドライブ電圧を分離している点です。回路内の寄生インダクタンスにより、ローサイド・スイッチング時に出力電圧 V_S がグラウンドより低くなる可能性があります。このような状態になるとハイサイド・ドライバがラッチアップして、恒久的な損傷を受ける恐れがあります。

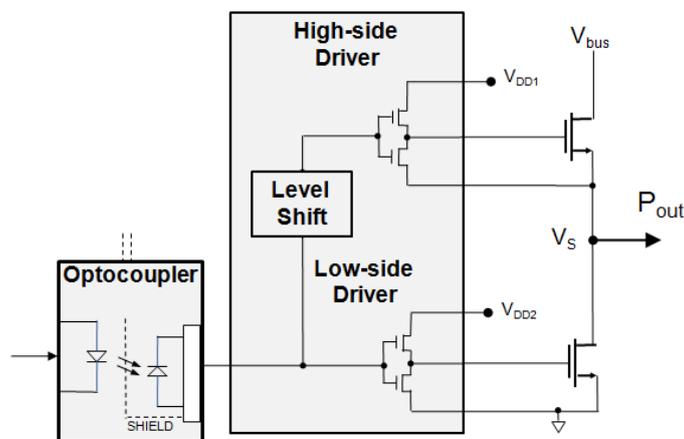


図 1. 高電圧ハーフブリッジ・ドライバ

オプトカプラ・ゲート・ドライバ

図 2 に示す次の方法では、2 個のオプトカプラを使用して出力間をガバナック絶縁することにより、ハイサイドとローサイドの相互作用に伴う問題を回避しています。ゲート・ドライバ回路はオプトカプラと同じパッケージに組み込まれていることが多く、絶縁型ハーフブリッジを構成する場合は 2 個の独立したオプトカプラ・ゲート・ドライバ IC を使用するのが最も一般的ですが、この場合はソリューションのサイズが大きくなります。これらのオプトカプラは、同じパッケージに組み込まれていたとしてもディスクリット・デバイスであるという点に留意する必要があります。したがって、チャンネル間の整合には限界があります。これは、一方のチャンネルをオフしてから他方のチャンネルをオンするまでの間に必要なデッドタイムを増加させ、結果的に効率を低下させます。オプトカプラの応答速度も 1 次側発光ダイオード (LED) の容量によって制限され、出力を 1MHz の速度までドライブする場合も、その伝搬遅延 (最大 500ns) や遅い立ち上がり/立ち下がり時間 (最大 100ns) による制限があります。オプトカプラをその最大速度で作動させるには、LED 電流を 10mA 以上に増やす必要があります。電力消費が増加する上に、オプトカプラの寿命と信頼性が低下します。このような傾向は、ソーラー・インバータ・アプリケーションや電源アプリケーションでは一般的な高温環境で特に顕著です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。*日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2015 Analog Devices, Inc. All rights reserved.

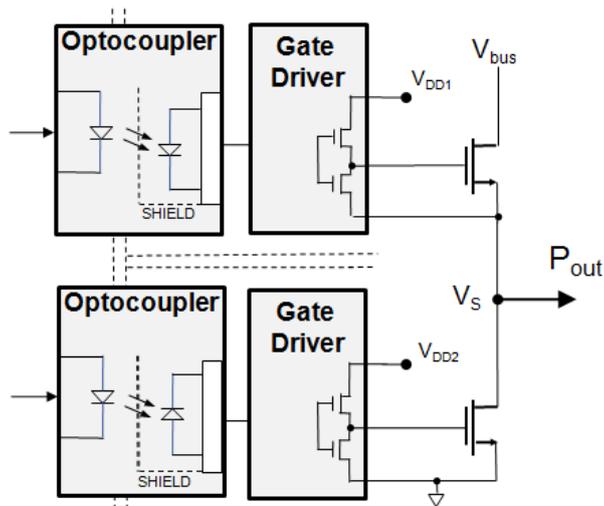


図 2. オプトカプラ・ハーフブリッジ・ゲート・ドライバ

パルス・トランス・ゲート・ドライバ

次に、ガルバニック・アイソレータについて検討します。これは、伝搬遅延が小さいため速度の点でオプトカプラより優れており、タイミングも正確です。パルス・トランスは、ハーフブリッジ・ゲート・ドライバ・アプリケーションに多用される速度（最大1MHz）で動作可能な絶縁トランスです。ゲート・ドライバICは、容量性MOSFETゲートの充電に必要な大電流を供給するために使用できます。図3に示すゲート・ドライバはパルス・トランスの1次側を差動でドライブします。パルス・トランスの2次側にはハーフブリッジの各ゲートをドライブするために2個の巻線があります。パルス・トランスの利点は、MOSFETの2次側をドライブするための絶縁型電源を必要としないことです。このアプリケーションで考えられる問題は、大きな過渡ゲート・ドライブ電流が誘導コイルに流れるとリンギングが発生する可能性があることです。この場合は意図せずスイッチがオン/オフして、MOSFETを損傷させる恐れがあります。パルス・トランスの別の制約は、デューティ・サイクルが50%を超える信号を必要とするアプリケーションでは、うまく機能しないことです。これは、ボルト秒のバランスを維持するために半サイクルごとにコアの磁束をリセットしなければならないので、トランスはAC信号しか供給できないためです。最後に、パルス・トランスの磁心と絶縁巻線には比較的大きなパッケージが必要です。以上の問題とドライバICやその他のディスクリート部品とが組み合わせられることによって、大部分の高密度アプリケーションにとっては大き過ぎるソリューションとなってしまいます。

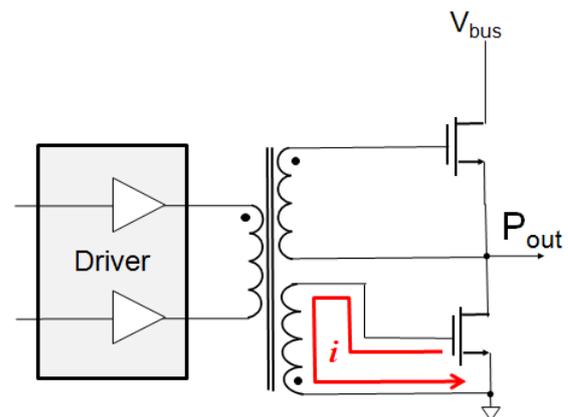


図 3. パルス・トランス・ハーフブリッジ・ゲート・ドライバ

デジタル・アイソレータ・ゲート・ドライバ

次に、デジタル・アイソレータを使用して絶縁型ハーフブリッジ・ゲート・ドライバを実装する方法を検討します。図4のデジタル・アイソレータは、複数の金属層を持つ標準的なCMOS ICプロセスを使用して、ポリイミド絶縁層で分離されたトランス用コイルを形成しています。この組み合わせは5kV rms（1分間定格）を超える絶縁を実現し、強化絶縁型電源やインバータなどのアプリケーションに使用することができます。

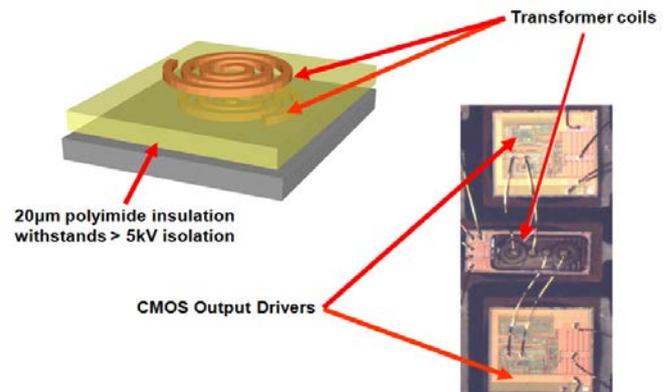


図 4. トランス絶縁のデジタル・アイソレータ

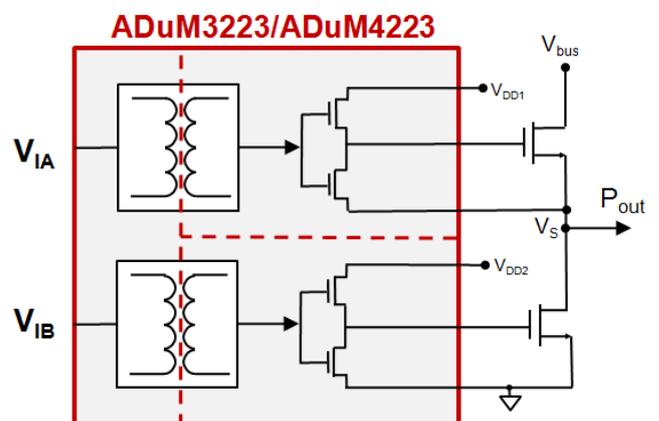


図 5. ゲート・ドライバ用デジタル・アイソレータ

図5の回路に示すように、デジタル・アイソレータを使用すればオプトカプラに使われているLEDが不要になり、それに伴う経年劣化の問題もなくなります。また、消費電流ははるかに少なく、信頼性も向上します。入力と出力の間、および出力同士は、ハイサイドとローサイドの相互作用を無くするためにガバナック絶縁されています。出力ドライバは出力インピーダンスを下げ導通損失を減らし、スイッチング時間を短くしてスイッチング損失を減らします。オプトカプラ設計と異なり、ハイサイドおよびローサイド・デジタル・アイソレータは集積回路なので出力が整合しており、効率が向上します。高電圧ゲート・ドライバ集積回路(図1)ではレベル・シフト回路で伝搬遅延が加わるため、デジタル・アイソレータのようにチャンネル間のタイミング特性を整合させることはできません。このようにゲート・ドライバをデジタル・アイソレータに組み込めば、シングル・パッケージのレベルまでソリューション・サイズを縮小でき、ソリューション・サイズをはるかに小さくすることができます。

コモンモード過渡耐圧

高電圧電源用の多くのハーフブリッジ・ゲート・ドライバ・アプリケーションでは、スイッチング素子間に極めて高速のトランジェントが発生することがあります。これらのアプリケーションで大きな dV/dt が絶縁障壁を越えて容量的に結合し得る場合は、障壁越しにロジック遷移エラーを引き起こす恐れがあります。絶縁型ハーフブリッジ・ドライバ・アプリケーションでは、これが原因でクロス導通により両方のスイッチがオンして、スイッチが破損してしまう恐れがあります。絶縁障壁越しの寄生容量は、コモンモード過渡の結合経路となる傾向があります。オプトカプラには、絶縁障壁越しに伝達される少量の光を検出するために非常に感度の高いレシーバが必要ですが、その出力は大きなコモンモード過渡によって乱される恐れがあります。コモンモード過渡電圧に対するオプトカプラの耐性はLEDとレシーバの間にシールドを追加して向上させることができ、ほとんどのオプトカプラ・ゲート・ドライバはこの方法によって作られています。このシールドは、コモンモード過渡耐圧(CMTI)を、標準的オプトカプラの定格値である $10kV/\mu s$ からオプトカプラ・ゲート・ドライバ用の $25kV/\mu s$ にまで向上させることができます。多くのゲート・ドライバ・アプリケーションにとって $25kV/\mu s$ のCMTIは十分な値ですが、大きな電圧過渡が生じる電源アプリケーションやソーラー・インバータ・アプリケーションでは $50kV/\mu s$ 以上のCMTIが必要となることもあります。

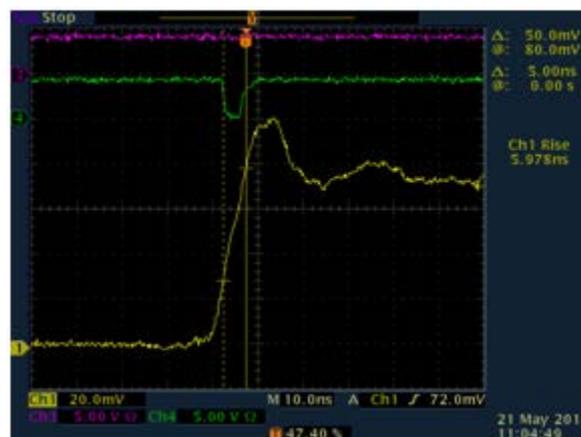


図6. コンデンサ・ベースのデジタル・アイソレータ (CMTI$10kV/\mu s$)

デジタル・アイソレータはそのレシーバに高い信号レベルを提供し、エラーを起こすことなく極めて高いレベルのコモンモード過渡に耐えることができます。トランス・ベースのアイソレータは4端子デバイスで、信号に対しては低い差動インピーダンスを、ノイズに対しては高いコモンモード・インピーダンスを持っており、優れたCMTIを実現することができます。その他のデジタル・アイソレータは、容量結合を使用して電界を変化させ、絶縁障壁越しにデータを伝送することができます。トランス・ベースのアイソレータと異なり、コンデンサ・ベースのアイソレータは2端子デバイスで、ノイズと信号が同じ伝送経路を伝播します。2端子デバイスでは、障壁の容量が信号に対しては低インピーダンス、ノイズに対しては高インピーダンスとなるように、信号周波数を予想されるノイズの周波数より十分に高くする必要があります。コモンモード・ノイズ・レベルが信号をはるかにしのぐほど大きくなると、アイソレータ出力のデータが反転することがあります。コンデンサ・ベース・アイソレータのデータ反転の例を図6に示します。この例では、わずか $10kV/\mu s$ のコモンモード過渡に対し、出力(チャンネル4)が6nsの間ローになるグリッチが生じています。このデータはコンデンサ・ベースのアイソレータにおける反転の閾値レベルで収集されたものであり、トランジェントがさらに大きい場合は反転ははるかに長く続き、MOSFETのスイッチングを不安定にすることが予想されます。これに対し、トランス・ベースのデジタル・アイソレータは、 $100kV/\mu s$ を超えるコモンモード過渡にも出力の反転を生じることなく耐えることが確認されています(図7参照)。

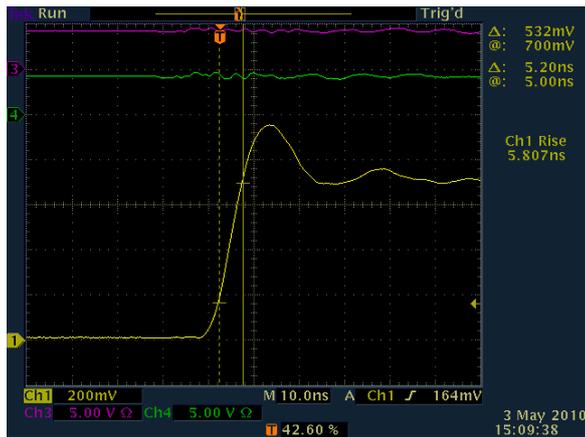


図 7. トランス・ベース・デジタル・アイソレータ ADuM140x
(CMTI=100kV/μs)

以上から、絶縁型ハーフブリッジ・ゲート・ドライバ・アプリケーションには、オプトカプラ・ベースやパルス・トランス・ベースの設計よりも、トランス・ベースのデジタル・アイソレータの方がさまざまな点で優れていることがわかります。集積化によってソリューション・サイズが劇的に減少し、設計が簡素化されるので、タイミング性能が大きく向上します。また、出力ドライバのガルバニック絶縁により、ロバスト性や CMTI の値も改善されています。

参考資料

[Technical Article, Common-Mode Transient Immunity, Chris Coughlin \(Analog Devices\)](#)

この記事を共有：

facebook

twitter

ツイッターをフォロー：www.twitter.com/ADI_News