

アナログ・フロント・エンドを保護する方法、電子の悪さを食い止める

著者: Tony Pirc
Analog Devices, Inc.

本稿の目的は、システム設計者に様々な種類の電氣的過負荷（EOS：Electrical Overstress）について理解していただくことです。システムに及ぼす影響を明らかにするために、特定の種類のEOSに絞って解説を進めますが、本稿で示す内容は、様々な状況に応用することが可能です。

優れた設計の回路であっても、適切な保護手法を適用しなければ、EOSによって性能が低下したり回路が破損したりするおそれがあります。そのような状況を回避するためには、本稿で取り上げる事柄について理解しておくことが非常に重要です。

EOSとは何か？

EOSというのは、あまりにも多くの電子が回路に流れ込むことにより、システムに過負荷がかかることを表す一般的な用語です。EOSは電力と時間の関数であるということを理解しておかなければなりません。

一般に、電子回路というのは非常に複雑なものです。EOSについて理解するためには、そうした回路を、抵抗のようなものに置き換えて考えるとよいかもしれません。つまり、電力を消費する1つの単純な部品として抽象化することです。例として、定格が1Wで値が1Ωの抵抗に1.1Vの電圧をかけるケースを考えます。その場合、次の式から、消費電力は1.21Wになることがわかります。

$$P = \frac{V^2}{R}$$

抵抗の定格は1Wですが、おそらくいくらかのマージンが設けられているので、しばらくそのままの状態にしておいても問題は生じないでしょう。但し、そのまま永久に放置できるというわけではありません。

では、電圧を2Vに上げるとどうなるでしょうか。上に示した式から、消費電力は先ほどの4倍近くになります。そうすると、抵抗はヒーターのごとく振る舞うことになるでしょう。ただ、そのような状態は非常に短い時間しか続かないはずですよ。

それでは、10Vの電圧を10ミリ秒だけかけるとどうなるでしょうか。こうなると、部品そのものについて理解すると共に、それがどのような条件に対応するように設計されているのかを理解しなければ、部品に及ぶ影響を明確に予測することはできません。これと同じことが、数多くの部品で構成されたシステム全体にも当てはまります。

EOSの影響を受けやすいのはどの部品なのか？

一般に、電子回路を備えるあらゆる機器は、EOSの影響を受けやすいと言えます。特に脆弱なのは、外部とのインターフェースの部分です。ESD（Electrostatic Discharge：静電気放電）や落雷などに真っ先にさらされる可能性が高いからです。具体的な例としては、USBポート、オシロスコープのアナログ・フロント・エンド、高性能の最新型IoT（Internet of Things）製品が備える充電ポートなどが挙げられます。

何に対する保護が必要なのか？

電氣的な過負荷からシステムを保護しなければならないことは間違いありません。ただ、EOSという用語が指し示す範囲はあまりにも広すぎます。そのため、どのようにすればシステムを保護できるのかということを把握するのは、容易ではありません。そこで、IEC（国際電気標準会議）をはじめとするいくつかの組織が、実際に遭遇する可能性の高いEOSの種類を特定してくれています。以下では、IECによって策定された規格を取り上げます。それらの規格は、広範な分野を対象としています。そのため、わかりづらい部分も存在します。そうした問題を本稿によって解消したいと考えています。表1に示す3つの規格は、システムにおいてどのような種類のEOSが生じ得るのかということを定義しています。本稿では、ESDに絞って詳しく解説しますが、EFT（Electrical Fast Transient：電氣的高速過渡現象）とサージについても十分に理解しておく必要があります。

表1. EOSに関するIECの規格

規格名	取り扱っている事柄	発生するアナログ的な現象	特徴
IEC 61000-4-2	ESD（静電気放電）	静電放電	電圧は最も高い、持続時間は最も短い、単発的な衝撃
IEC 61000-4-4	EFT（電氣的高速過渡現象）	外部のスイッチング部品（モータからの誘導性スパイクなど）	電圧は高い、持続時間は短い、反復的な衝撃
IEC 61000-4-5	サージ	落雷、電源システム（昇圧コンバータなど）のスイッチングに伴うトランジェント	電圧は高い、持続時間は最も長い

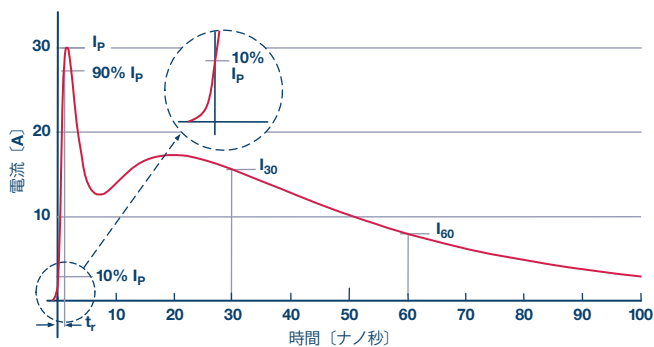


図1. 接触放電電流の波形。
8kVの試験を行う上で適切な波形です。

ICの内部でESD対策はあらかじめ施されているのではないのか？

この質問に対する答えは、「どちらとも言えない」というものになります。ICは、製造工程において遭遇する可能性のあるESDに対応できるように設計されています。しかし、システムに実装された後、電源を投入した状態で遭遇する可能性のあるESDに対応できるように設計されているわけではありません。この違いを認識しておくのは、非常に重要なことです。例えば、電力が供給されている状態のアンプと、何も接続されていない状態のアンプとでは、静電気にさらされたときの挙動が全く異なる可能性があります。電源が投入されていないICにESDが印加されたのであれば、多くの場合、内部の保護用ダイオードによって、電流を逃がすことができるはずですが。一方、ICに電源が投入されている状態でESDが印加された場合、対応できるレベルを上回る電流が、内部構造に流れる可能性があります。その結果、ICの種類や電源電圧によっては、内部回路が焼損してしまうかもしれません。

どうすれば迫り来る脅威から大切なICを保護できるのか？

この問題には、非常に多くの要素が関連します。そのため、すべての状況に適用できる単純な解決策は存在しません。以下では、ICについて、EOSに耐えられるかどうかを左右する項目を列挙します。各項目は、制御不能なものと制御できる可能性があるものに分類できます。

制御不能な項目

- ▶ IEC が定める波形：ESD、EFT、サージの波形は、それぞれ特徴が全く異なります。そのため、それぞれが異なる形でデバイスの特定の弱点に作用します。
- ▶ IC のプロセス技術：プロセス技術に依存し、ラッチアップに対してより脆弱な製品と脆弱ではない製品が存在します。例えば、CMOS プロセスで製造された製品は、ラッチアップが生じやすくなります。ただ、IC を注意深く設計し、多くの新たなプロセスで採用されているトレンチ・アイソレーションを適用すれば、ラッチアップが生じる可能性を下げるができます。
- ▶ IC の内部構造：IC の設計方法は多種多様です。そのため、ある設計で有効な保護機構が、別の設計にも有効であるとは限りません。例えば、多くの IC は、定められた速度を超える波形を検出したら、保護機構を動かせるタイミング回路を備えています。これは、一定の ESD 耐性を備える IC であっても、ESD の発生個所に大きな容量が付加されていた場合には、ESD に耐えられなくなる可能性があるということを意味します。回路を保護するための一般的な手段でもある RC（抵抗 - コンデンサ）フィルタは、問題を悪化させる可能性がある

ということです。これは非常に重要な事実なので、ぜひとも認識しておいてください。

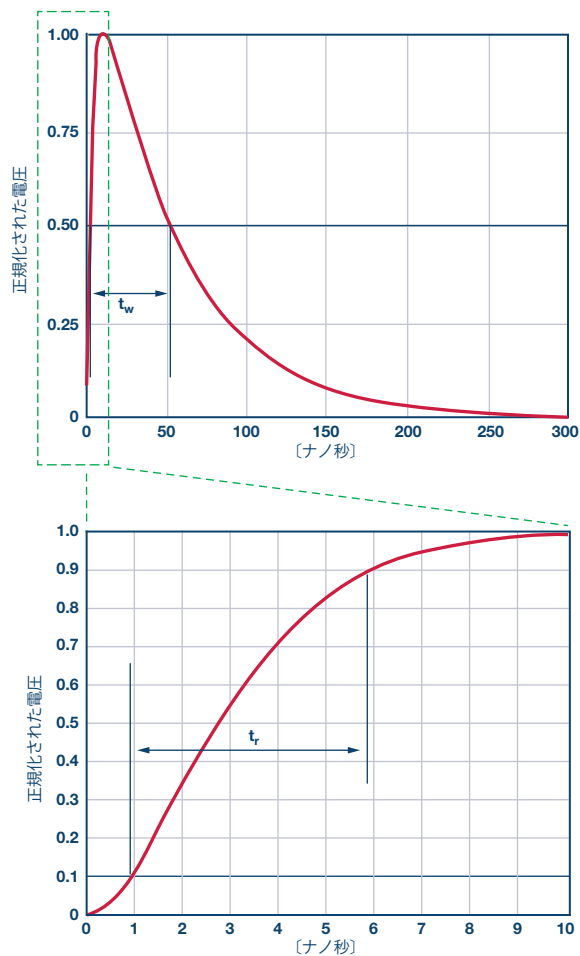
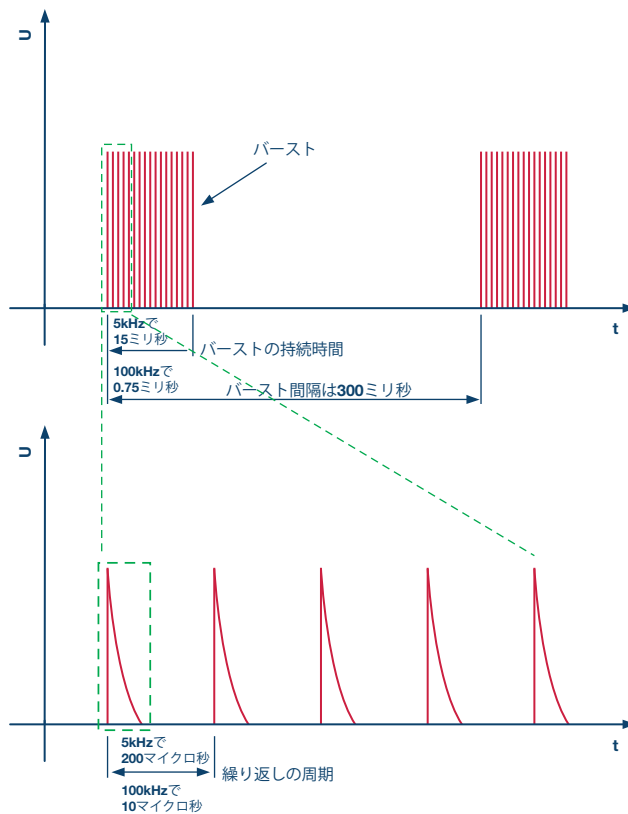


図2. IEC 61000-4-4に準拠するEFT(レベル4)の波形

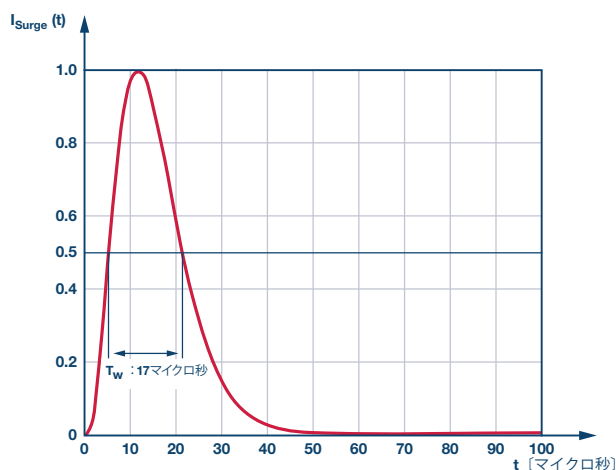


図3. IEC 61000-4-5で定められた
サージ電流の波形（8マイクロ秒／20マイクロ秒で正規化）

制御できる可能性がある項目

- ▶ プリント回路基板のレイアウト：ESD の発生個所に近い位置にある IC ほど、エネルギーの大きい波形にさらされる可能性が高くなります。ESD は、パスを流れながらエネルギーを放出していきます。そのパスからは放射性 EMI（電磁干渉）が生じ、パス上の抵抗は熱を生成します。また、寄生素子により、近くの導電体に対して、容量性の結合と誘導性の結合が生じます。
- ▶ 保護回路：IC を ESD から守るための最も有効な方法は、保護回路を適用することです。保護機構の設計方法について考察する際には、上記の制御不能な項目に関する情報が必要になります。

OVP機能やOTT機能は利用できないのか？

高電圧のトランジェントからの保護に、過電圧保護（OVP）機能やオーバー・ザ・トップ（OTT）機能を利用できるのではないかと考える方もいるでしょう。しかし、その考えは捨てるべきです。確かに、OVP機能やOTT機能を利用すれば、電源電圧以上の電圧がICの入力に印加された場合でも、ダメージを回避することができます。しかし、これらの機能によって、高電圧のトランジェントからの保護を実現しようというのは、高圧洗浄機に対して雨靴で挑むのと同じことです。雨靴が、その高さよりも浅い水たまりにしか対応できないのと同じように、OVP/OTT機能は、それらの定格値より低い電圧にしか対応できません。OVP/OTT機能の定格電圧は、せいぜい電源電圧よりも数十V高いといったレベルにとどまります。したがって、8kVといった高い電圧に対応するのは不可能です。

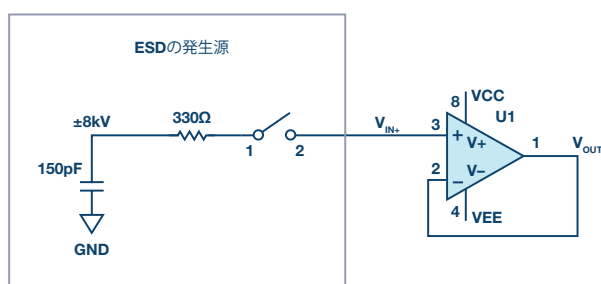


図4. IEC-61000-4-2の試験方法を表す回路

どのような保護回路が有効なのかを把握する方法は？

各種のデバイスに関する知識、経験、試験を組み合わせることにより、システムで使用する保護用部品としてはどのようなものが最適なのか、合理的に判断できるようになります。あらゆる状況に対応できるようにするために、様々なメーカーが実に多種多様な保護用部品を提供しています。本稿では、アナログ・フロント・エンドに対して有効であることが実証されている2種類の保護機構を取り上げます。すなわち、RC回路とTVS（Transient Voltage Suppressor）回路の2つです。それらの有効性について説明するために、保護の対象としては、バッファ構成のオペアンプを例にとることにします。その非反転入力ピンは、（保護を行わなければ）エネルギーの逃げ場が全くないのにもかかわらず、あらゆるEOSにさらされる可能性があります。したがって、これは保護機構にとって最も条件が厳しい対象物の例だと考えられます。

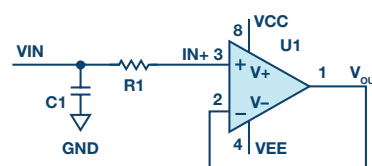


図5. バッファ構成のオペアンプ。入力部には回路を保護するためにローパス・フィルタを付加しています。

RC回路による保護

メリット	デメリット
低コスト(5円程度)	R1によって熱ノイズが生じる
実装面積が小さい	RC回路によって速度が制限される
リークが少ない	コンデンサの特性評価を慎重に実施する必要がある
	反復的に発生するESDに対しては堅牢性に欠ける

検討すべき事柄

- ▶ R1 としては、高電圧のトランジェントが発生しても簡単に破損しない耐パルス性を備える（厚膜）抵抗を選択する必要があります。
- ▶ R1 の電圧ノイズは、抵抗値の平方根に比例します。ノイズ性能が重要なシステムの場合、R1 の電圧ノイズは、重要な検討事項になります。
- ▶ C1 としては、パッケージ上の表面アークを緩和するために、少なくとも 0805 サイズのパッケージを採用したセラミック・コンデンサを選択する必要があります。
- ▶ C1 としては、予測可能な容量値を維持するために、最低でも X5R（理想的には C0G/NP0）の製品を選択しなければなりません。
- ▶ C1 としては、ESD を効果的に吸収できるように、インダクタンスと抵抗ができるだけ小さいものを選択する必要があります。
- ▶ C1 としては、パッケージ・サイズに対して、定格電圧ができるだけ高い（最低でも 100V）ものを選択します。
- ▶ この用途では、C1 を R1 の前（ESD が印加される側）に配置します。それにより、ESD の試験用の波形をシステムに印加するために使用する 150pF のコンデンサ（図 4）と共に容量性の分圧器を構成します。その結果、オペアンプに到達する前に、エネルギーをシャントすることが可能になります。

上記の内容については、注意事項があります。それは、フロント・エンドの保護といった目的でコンデンサを利用することを、コンデンサのメーカーは推奨していないということです。ただ、オペアンプに対する数百回もの試験によって、この方法が有効であることは実証されています。（後述する）ESDの試験は、あらゆるコンデンサ製品を対象として行われたわけではありません。試験が行われていないコンデンサを使用する場合には、ESDの印加前後にコンデンサや直列抵抗の値などを測定する必要があります。つまり、それらの部品がESDをどのように処理するのかという特性評価を実施することが重要です。デバイスの容量値が維持されるように、厳しい条件にさらされた後は、必ずDC（周波数）においてオープンの状態にする必要があります。

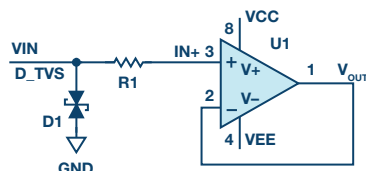


図6. バッファ構成のオペアンプ。入力部には回路を保護するためにTVSダイオードを付加しています。

TVS回路による保護

メリット	デメリット
低コスト (20円～30円程度)	R1によってノイズが生じる
実装面積が小さい	D1によりリーク電流が生じる
非常に堅牢	D1に容量がある (5pF～300pF)

検討すべき事柄

- ▶ RC回路の場合と同じく、R1は、耐パルス性を備える抵抗でなければなりません。また、ノイズについて考慮しなければならない可能性があります。
- ▶ D1は、準拠する必要のある規格に適合するものでなければなりません。ESDにしか対応していない製品もありますが、EFTとサージの規格も満たすものもあります。
- ▶ D1は、正負両方のESDに対応できるように双方向のもでなければなりません。
- ▶ D1としては、必要な試験に合格できる範囲で、逆方向電圧が可能な限り高いものを選択します。この電圧が低すぎると、システムの電圧レベルが正常な状態でも、リーク電流が生じる可能性があります。一方で、逆方向電圧が高すぎると、システムが破損する前に反応できない可能性があります。

TVSダイオードはリーク電流が多く、性能が低下するのでは？

確かに、TVSダイオードにはリーク電流が多いという欠点があります。そのため、高い精度が求められるアナログ・フロント・エンドには使用できないというのが、アナログ電子回路を設計する上での一般常識となっています。

しかし、この常識はすべてのケースに当てはまるというわけではありません。多くの場合、TVSダイオード製品のデータシートを見ると、最大リーク電流は100μAといった値になっています。そして、ほとんどのアナログ回路設計者は、この値を非常に大きいと感じるはずですが、これは、最高温度（150℃）と最高動作電圧という条件下で測定した場合の値です。確かに、そうした条件下では、ダイオードのリーク電流はかなり多くなります。言い換えると、どのようなダイオードも、85℃を超えればリーク電流は大幅に増加するのです。逆に、温度がそこまで高くなければ、リーク電流は最大値よりもはるかに低く収まると考えてよいでしょう。したがって、85℃を超えてもリーク電流が少なく抑えられることを特に期待しない場合には、逆方向電圧が高いTVSダイオードを選択しても問題ないはずです。適切な製品を選択すれば、リーク電流が思っていたよりもかなり少ないことに驚かされるかもしれません。図7は、同じ品番のTVSダイオードを12個用意し、それぞれのリーク電流を測定した結果です。

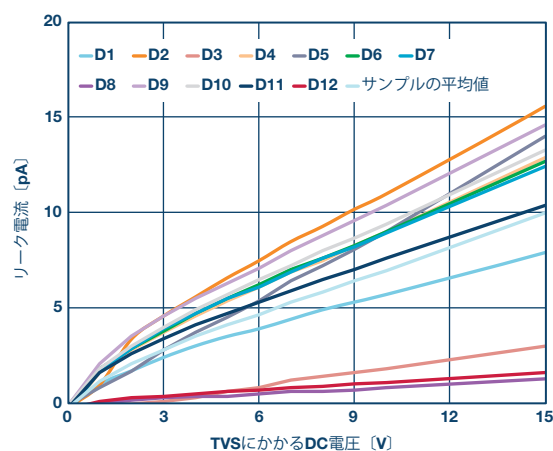


図7. TVSダイオードのリーク電流。36Vに対応する双方向の製品「CDSOD323-T36SC」（Bourns製）の例です。オペアンプIC「ADA4530」用の評価ボード（TIA版）をシールドと10GΩの抵抗と共に使用し、25℃の条件で測定を行いました。

12個のTVSダイオードのうち、リーク電流が最も大きかったものは、DCバイアス電圧が5Vの場合で7pAという結果でした。この値は、データシートに記載されているワーストケースの値の1000万分の1未満です。もちろん、製造ロットによって、リーク電流にはばらつきがあるはずですが、それでも、図7の測定結果から、どの程度の値になるのかは想定できます。システムの温度が85℃を超えることがないのであれば、TVSダイオードは有用な選択肢になり得ます。図7で例にとったのとは異なる製品を使用する場合には、必ずリーク電流の特性評価を行ってください。メーカーや製品の違いによって、特性が大きく異なる可能性があるからです。

試験の結果

IECのESD規格に基づき、いくつかのオペアンプを例にとって試験を実施しました。表2は、どの製品にどのような値の部品を組み合わせた保護回路を適用したのかを表しています。ESD規格では、±8kVを3回印加すると規定しています。ただ、表2の製品の試験では、十分なマージンを確保できることを示すために、±9kVを100回印加しました。表2に示したオペアンプは、各保護回路を適用したことにより、すべてこの試験に合格しています。

IECの規格では、ESDの発生源のグラウンドは、30pFのコンデンサと、並列に接続した470kΩの抵抗2個を介して、オペアンプのグラウンドに接続すると規定されています。それに対し、表2の製品の試験は、ESDの発生源のグラウンドをオペアンプのグラウンドに直接接続するという、より厳しい条件で実施しました。なお、IECの規格に確実に適合することを示すために、規定どおりの方法でグラウンドを接続した状態でも試験を実施済みです。なお、オペアンプ製品は、それぞれに異なる内部構造を採用しているので、表2に示したESD保護回路が、他のオペアンプ製品でも有効に働くかどうかはわかりません。別の製品や他の保護用部品を使用する場合には、十分に試験を実施する必要があります。

表2. IEC-61000-4-2の試験に合格したオペアンプと適用した保護回路の一覧

品番	特徴、帯域幅	保護用部品の値		
		R[Ω]	C[pF]	D[V _{WM}]
AD823	FET入力	220	100	
	16MHz	68		36
ADA4077	低ノイズ、高精度	220	100	
	3.9MHz	68		36
ADA4084	低ノイズ	220	100	
	15.9MHz	68		36
ADA4522	低ノイズ、高精度	220	100	
	2.7MHz	68		36
ADA4528	低ノイズ、高精度	220	100	
	3MHz	68		36
ADA4610	低ノイズ、高精度	220	100	
	15.4MHz	68		36
ADA4622	低ノイズ、高精度	220	100	
	8MHz	68		36
ADA4625	低ノイズ、JFET入力	220	100	
	18MHz	68		36
ADA4661	高精度	220	100	
	4MHz	68		36
LT1490	マイクロパワー	220	100	
	200kHz	68		36
LT6016	低消費電力、高精度、OTT	220	100	
	3.2MHz	68		36
LT6018	低ノイズ、高精度	220	100	
	15MHz	68		36
LT1636	マイクロパワー、OTT	220	100	
	200kHz	220		36
LT1638	マイクロパワー、OTT	220	100	
	1.1MHz	68		36
LT1494	マイクロパワー、高精度、OTT	220	100	
	100Hz	68		36

使用した保護用部品

- ▶ 抵抗：「ERJ-P6 シリーズ」(0805 サイズ、パナソニック製)
- ▶ コンデンサ：100V 対応の C0G/NPO 品 (0805 サイズ、Yageo 製)
- ▶ TVS ダイオード：CDSOD323-T36SC (双方向、36V 対応、低リーク電流、ESD / EFT / サージ規格に準拠。Bourns 製)
- ▶ ESD 対策用バリスタ：「MLA シリーズ」(0603 サイズ、26V 対応、Bourns 製)

バリスタはどのようなケースで利用すべきなのか？

TVSダイオードは、ESD対策に有効な部品であり、無限回のESDに耐えられます。また、EFTとサージに対しても、大きな効果を発揮します。ただ、ESD対策だけが必要な場合には、バリスタを使用するのも1つの手です。ESD対策用のバリスタは、印加されている電圧が低い場合は抵抗値が非常に高く、電圧がある程度高くなると抵抗値が小さくなります。この性質を利用すれば、ESDのエネルギーをシャントすることができます。

ESD対策用のバリスタは、TVSダイオードと同じような接続形態で使用します。TVSダイオードよりもリーク電流が少なく、コストは半分に抑えられます。ただ、数百回ものESDに耐えられるように設計されているわけではありません。ESDにさらされるたびに抵抗値が低下していくことに注意してください。表2に示したオペアンプについては、ESD対策用のバリスタを適用した状態での試験も行っています。入力ラインに配置する抵抗の値を、TVSダイオードを使用する場合の約2倍にすると、最も高い性能が得られました。

EFTとサージに対してはどのような対策をとればよいのか？

表2に示した製品については、ESD規格に対する試験だけを行っています。EFTの試験で印加される波形は、連続的（5kHz以上）で、立上がり時間が長く（5ナノ秒）、電圧がそれほど高くない（4kV以下）という特徴があります。一方、サージは、印加時のエネルギーがEFTの約1000倍ですが、波形の速度は1/1000です。これらの規格にも準拠する必要がある場合には、保護用の部品が両規格に対応しているかどうかデータシートで確認してください。

まとめ

RC回路やTVSダイオードは、後から簡単に追加できるようにも見えます。しかし、本稿で説明したように、システムの性能や保護のレベルには、そうした保護用部品以外の様々な項目が影響を及ぼすということを忘れないでください。例えば、基板のレイアウト、フロント・エンドで使用する部品、準拠が必要なIEC規格といった事柄です。システム設計の初期の段階からそうしたことに留意していれば、最終段階になって再設計を迫られるといった事態を回避できるかもしれません。

本稿で示したのは、EOS全体に関連する事柄のうちのほんの一部です。例えば、感度については本稿の続編で詳しく解説する予定です。基地局のレシーバーの設計を例にとると、自動利得制御（AGC）のアルゴリズム、チャンネル推定、イコライゼーションのアルゴリズムなど、EOS以外にも検討すべき様々な課題があります。設計作業を簡素化し、レシーバー・システムの理解を深めることを目的とした一連の技術記事も、本稿の続編として公開する予定です。

免責事項

国際規格からの情報の転載を許可してくれたIECに感謝します。引用した情報の著作権はすべてIEC（スイス・ジュネーブ）に帰属します。それらの情報の無断複写／転載を禁じます。IECの詳細については、iec.chを参照してください。IECは、引用されている情報および内容について、本稿内における配置場所や文脈に関しては何の責任も負いません。また、その他の内容またはその正確性について、いかなる責任も負いません。

IEC 61000-4-2 ed.2.0

Copyright© 2008 IEC Geneva, Switzerland. www.iec.ch

IEC 61000-4-4 ed.3.0

Copyright© 2012 IEC Geneva, Switzerland. www.iec.ch

IEC 61000-4-5 ed.3.1

Copyright© 2017 IEC Geneva, Switzerland. www.iec.ch

著者について

Tony Pirc (tony.pirc@analog.com) は、カリフォルニア州立大学チコ校で電気工学の学士号を取得しました。また、副専攻としてコンピュータ工学、物理学、数学を履修しました。製造環境で使用される産業用オートメーションに関連した業務の経験を有しています。アナログ・デバイセスで担当しているのは高精度アンプです。ユーモアを愛する多才な人物です。

オンライン・サポート・コミュニティ



アナログ・デバイセスのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQ を参照したり、ディスカッションに参加したりすることが可能です。

ez.analog.com にアクセス

* 英語版技術記事は [こちら](#) よりご覧いただけます。

アナログ・デバイセス株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F
名古屋営業所 〒451-6040 愛知県名古屋市西区牛島町6-1 名古屋ルーセントタワー38F

©2019 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possible はアナログ・デバイセスの商標です。

www.analog.com/jp



想像を超える可能性を
AHEAD OF WHAT'S POSSIBLE™