

# アナログ・ノイズ解析に関する11の神話

著者: Scott Hunt  
Analog Devices, Inc.

## 要約

ノイズは、アナログ回路設計における中心的なトピックで、測定から引き出せる情報量と必要な情報を得るためのコストに直接影響します。しかし、ノイズに関しては非常に多くの誤解や誤った情報があることから、性能が十分に発揮できない、過剰設計となりコストがかかる、リソースが十分に活用できない、などの問題が発生する可能性があります。この記事では、アナログ設計のノイズ解析に関して最も根強く信じられている11の神話（誤った通説）について説明します。

## 1. 回路の抵抗値を下げれば、ノイズ性能は必ず向上する

ジョンソン・ノイズの式、 $e_{rms} = \sqrt{4kTRB}$  ( $e_{rms}$  は電圧ノイズの実効値、 $k$  はボルツマン定数、 $T$  はケルビン単位の温度、 $R$  は抵抗、 $B$  は帯域幅) で表される、抵抗値が上がればノイズ電圧が上昇するという関係はよく知られています。そのため、多くのエンジニアが、ノイズを抑えるには抵抗値を下げなければならない、と考えます。これは多くの場合真実ですが、抵抗が大きくなるとノイズ性能が向上する特殊な例もあるため、当然のことと決めてかかることはできません。例えば、多くの場合、電流値の測定は、抵抗に通電してそれにより発生する電圧を測定することで行います。発生する電圧はオームの法則、 $V = I \times R$  に

従って抵抗値に比例します。しかし、上述のとおり、抵抗のジョンソン・ノイズは抵抗値の平方根に比例します。この関係により、抵抗値を2倍にすると、S/N比を3dB改善できます。この傾向は、発生電圧または消費電力が過大になるところまで継続します。

## 2. 全ノイズ源のノイズ・スペクトル密度は足し合わせることができ、帯域幅は計算の最後に考慮すればよい

複数のノイズ源のノイズ・スペクトル密度 ( $nV/\sqrt{Hz}$ ) を合算すれば (電圧ノイズ源は二乗和平方根で合算されます)、各ノイズ源のノイズ実効値を個別に計算するよりも時間の節約となります。しかし、この単純化は、各ノイズ源に見られる帯域幅が同一の場合にしか適用できません。各ノイズ源に見られる帯域幅が異なる場合、これは危険な罠となります。図1は、オーバーサンプリング・システムにおける関わり合いを示しています。ノイズ・スペクトル密度からはゲイン・アンプがシステム全体のノイズの支配要因のように見えますが、帯域幅を考慮すると、各段の実効値ノイズはお互いに非常に近い値になっています。

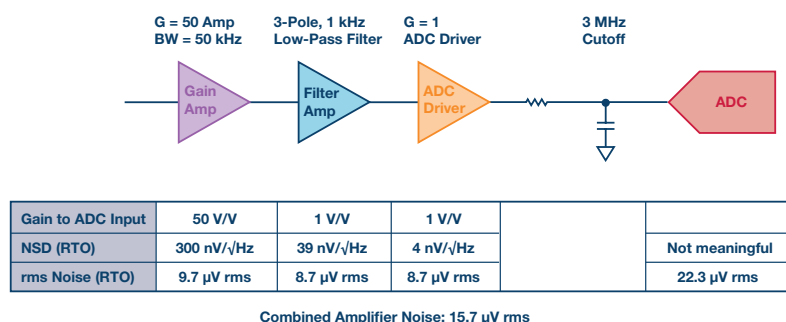


図1. ノイズ計算においてスペクトル密度ではなく実効値ノイズを使用することの妥当性

### 3. 手計算ではあらゆるノイズ源を含めることが重要

設計ではあらゆるノイズ源を考慮したくなるかもしれませんが、設計者の時間は貴重で、しかも大きな設計の場合には、これが多くの時間を消費する作業となることがあります。総合的なノイズ計算はシミュレーション・ソフトウェアにゆだねるのが得策です。しかし、設計過程で必要なノイズの手計算を、設計者はどのように単純化すればよいのでしょうか。ある閾値以下の小さなノイズ源は無視すればよいのです。あるノイズ源が、支配的なノイズ源（または同じ点に起因する他のすべてのノイズ源）の $e_{rms}$ の1/5であれば、その寄与は全ノイズの2%未満となり、無視することは妥当と言えるでしょう。それ以下ならばノイズ源を考慮する必要がない、という閾値をどこに設定するかについては、設計者によって議論のあるところでしょう。しかし、シミュレーションを行う、あるいは詳細な計算を行う段階まで設計が固まっていない限りは、レベルが1/3、1/5、1/10（全ノイズに5%、2%、0.5%加わる量）のいずれであれ、それより小さなノイズ源を苦慮する必要はありません。

### 4. ADC用ドライバのノイズはADCのノイズの1/10とする

A/Dコンバータ（ADC）のデータシートでは、ADCのノイズの1/10程度の低ノイズADCドライバ・アンプでアナログ入力を駆動するよう推奨されている場合があります。しかし、これは必ずしも最適な選択とは限りません。システムでは多くの場合、ADCドライバ・ノイズのトレードオフをシステム・レベルの観点で検証することが重要です。

まず、ADCドライバより前にあるシステムのノイズ源がADCドライバのノイズよりはるかに大きい場合、非常に低ノイズのADCドライバを選択してもシステム上の利益は全くありません。言い換えると、ADCドライバのノイズは、システムの他の部分と釣り合ったものである必要があります。

次に、ADCとそれを駆動するアンプだけの単純な場合ですら、やはり、ノイズのトレードオフを検討しシステム上の影響を判断することには利点があります。その理由は、数値を用いた例で明らかにすることができます。100 $\mu$ Vrmsのノイズに相当するS/N比を持つ16ビットADCと、ADCドライバとして100 $\mu$ Vrmsのノイズを持つアンプを使用するシステムを考えてみましょう。これらのノイズ源を二乗和平方根で合算した全ノイズは、100.5 $\mu$ Vrmsとなり、ADC単独のノイズに非常に近い値となります。アンプとADCのバランスを近づける次の2つのオプションを、システム性能への影響と共に考慮することができます。16ビットADCを、40 $\mu$ Vrmsのノイズに相当するS/N比で仕様規定されている18ビットADCで置き換えた場合、全ノイズは41 $\mu$ Vrmsになります。代わりに、16ビットADCは換えずに、ドライバを30 $\mu$ Vrmsのノイズ源となる低消費電力のアンプに置き換えた場合、合計ノイズは104 $\mu$ Vrmsになります。このようなトレードオフの1つが、元の組み合わせよりも、システム性能上適した選択となる場合があります。単に、トレードオフとシステム全体への影響を検討すれば済む問題です。

### 5. DC結合の回路では必ず1/fノイズを考慮する必要がある

1/fノイズは、ローパス・フィルタ処理、平均化処理、長時間積分など、多くの通常のノイズ除去手法が通用しないため、非常に低周波の回路においては厄介な現象です。しかし、多くのDC回路では、ホワイト・ノイズ源が支配的となっており、1/fノイズが全ノイズを増加させることはないため、これを計算しても

用をなしません。この効果を見るため、1/fノイズのコーナー周波数、 $f_{nc}$ が10Hzで、広帯域ノイズが10nV/ $\sqrt{\text{Hz}}$ のアンプを考えてみます。10秒間のアキュイジション時間のノイズを、1/fノイズがある場合とない場合で様々な帯域幅について計算し、これを無視することの影響を調べます。この場合、帯域幅が $f_{nc}$ の100倍のとき広帯域ノイズが支配的になり始め、帯域幅が $f_{nc}$ の1000倍を超えると1/fノイズは重要ではなくなります。高性能な現在のバイポーラ・アンプには、ノイズ・コーナーが10Hzを十分下回るものもあり、ゼロドリフト・アンプでは1/fノイズが事実上完全に除去されています。

表1. BBPのレジスタ・マップ

| BW (Hz) | BW/ $f_{nc}$ | 広帯域<br>(nV rms) | 1/fノイズ<br>(nV rms) | 合計ノイズ<br>(nV rms) | 1/fによる<br>増加分 |
|---------|--------------|-----------------|--------------------|-------------------|---------------|
| 100     | 10           | 100             | 220                | 240               | 140%          |
| 300     | 30           | 170             | 250                | 310               | 77%           |
| 1000    | 100          | 320             | 290                | 430               | 36%           |
| 3000    | 300          | 550             | 330                | 640               | 16%           |
| 10000   | 1000         | 1k              | 360                | 1.1k              | 6%            |
| 30000   | 3000         | 1.7k            | 400                | 1.8k              | 3%            |
| 100000  | 10000        | 3.2k            | 440                | 3.2k              | 1%            |

### 6. 低周波数では1/fノイズが増加するので、DC回路にはノイズが無限にある

DCは回路解析を行う上で有用な概念ですが、DCを0Hzで動作することとみなすならば、現実にはそのようなものはない、というのが真実です。周波数が低くなり0Hzに近づくにつれ、周期が長くなり無限大に近づきます。このことは、理論的にはDC応答を示す回路においてさえ実現できる周波数には最小限界がある、ということを意味します。デバイスの出力をどれだけの間測定するかを示すアキュイジションの長さ、すなわちアパーチャ・タイムに応じて、この最低周波数は異なります。デバイスをオンにしてその出力を100秒間測定するとしたら、結果的に観測される最低周波数は0.01Hzとなります。これは、この場合に観測される最低周波数ノイズも0.01Hzとなることを意味します。

この最低周波数を更に低周波数側に延長するため数値例を用い、DC～1kHzの回路で出力を絶えずモニタする場合を考えてみます。この回路である一定量の1/fノイズが最初の100秒間に0.01Hz～1kHz（5桁の周波数範囲）で観測されたとすると、およそ1nHz（12桁の周波数範囲）に相当する30年間で観測されるノイズ量は、 $\sqrt{12/5} = 1.55$ と計算することができ、最初の100秒で観測されるノイズより55%増加することになります。特に驚くこともないこの増加は、1/fノイズが1nHzの周波数に至るまで増加し続けるという最も厳しいケースさえ想定した結果ですが、1/fノイズがこのように増加するという証拠はこれまでのところ測定されていません。理論上は、アパーチャ・タイムがきちんと定義されていない場合、1/fノイズを回路の寿命の逆数に相当する周波数に至るまで計算できます。実際には、これらの非常に長い時間軸での変動は、1/fノイズではなく経年効果や長時間ドリフトが支配的になります。技術者の多くが、DC回路のノイズ計算には0.01Hzや1mHzなどの最低周波数を設定して、計算を現実に即したものにしています。

## 7. ノイズ等価帯域幅はノイズの乗数である

ノイズ等価帯域幅(NEB)は、ノイズ計算を行う上で有用な単純化です。カットオフ周波数を上回るゲインがゼロではないため、回路の帯域幅を超えたところからのノイズの一部は回路に取り込まれる可能性があります。NEBは、理想的なブリック・ウォール・フィルタのカットオフ周波数で、現実の回路が取り込むのと同量のノイズを取り込むよう計算されたものです。NEBは-3dB帯域幅より大きく、一般的なフィルタ・タイプと次数について計算されています。例えば、単極のローパス・フィルタの場合は-3dB帯域幅の1.57倍、すなわち、 $NEB_{1-pole} = 1.57 \times BW_{3dB}$ となります。しかし、ノイズ式のどこにこの乗数ファクタを挿入すればよいのかということについて、一貫した混乱があるようです。NEBはノイズではなく帯域幅を調整するもので、したがって、次式のように平方根の中に入ることを忘れないでください。

$$e_{rms} = NSD \times \sqrt{NEB_{1-pole}} = NSD \times \sqrt{1.57 \times BW_{3dB}}$$

## 8. 電圧ノイズが最小のアンプを選択するのが最善

オペアンプを選ぶとき、多くの場合設計者が考慮するノイズ仕様は電圧ノイズだけです。しかし、電流ノイズも見逃さないことが重要です。入力バイアス電流補償などの特殊な場合を除き、電流ノイズは通常、入力バイアス電流のショット・ノイズ、 $i_n = \sqrt{2 \times q \times I_b}$ です。この電流ノイズがソース抵抗を介して電圧ノイズに変換されます。そのため、アンプ入力の手前に大きな抵抗がある場合、電流ノイズが電圧ノイズよりも大きなノイズ寄与成分になる可能性があります。電流ノイズが問題になる代表的なケースは、大きな抵抗を入力に直列接続して低ノイズ・オペアンプを使用する場合です。例えば、10kΩの抵抗を入力に直列接続した低ノイズ・オペアンプADA4898\_1を考えてみます。ADA4898\_1の電圧ノイズは0.9nV/√Hz、10kΩの抵抗のノイズは12.8nV/√Hzですが、2.4pA/√Hzの電流ノイズに抵抗の10kΩを乗じると24nV/√Hzとなり、システム中で最大のノイズ源となります。このように電流ノイズが支配的な場合、多くは、電流ノイズが小さい部品を探し、それによってシステムのノイズを抑制することが可能です。このことは高精度アンプに特にあてはまります。しかし、高速FET入力のおペアンプが高速回路では役に立つこともあります。例えば、ADA4898\_1を選択して0.9nV/√Hzの電圧ノイズの利点を生かせないのであれば、その代わりに、AD8033やADA4817\_1などのJFET入力アンプを選択することもできます。

## 9. 初段のゲインを大きくすれば最高のノイズ性能が得られる

多くの場合、ノイズ性能を向上するために初段でゲインを得るよう推奨されています。後続段のノイズに比べて信号が大きくなるので、このことは真実といえます。しかし、ゲインを得ることは、システムが受け入れられる最大信号量が減少するという短所があります。場合によっては、初段で大量のゲインを得て測定感度を向上させる代わりにダイナミック・レンジに制限を生じさせるよりも、感度とダイナミック・レンジの両方を最大化するために、初段のゲイン量を制限し高い高分解能でデジタル化するほうがよい場合もあります。

## 10. すべての種類の抵抗は、抵抗値が同じならばノイズも等しい

抵抗のジョンソン・ノイズは基本となるもので、ある温度でのある抵抗値のノイズを単純な式で表します。しかし、ジョンソン・ノイズは抵抗で発生する最小限のノイズ量であって、すべての種類の抵抗がノイズに関して等しいということを意味しているわけではありません。抵抗での1/fノイズの原因となる過剰ノイズもあり、これは抵抗の種類に強く依存します。過剰ノイズは、やや紛らわしく電流ノイズと呼ばれることもあります。不連続媒質中の電流の流れ方に関係します。これは、ノイズ・インデックス(NI)として仕様規定され、1ディケードあたり1μV rms/V<sub>dc</sub>を基準として、dB単位で表されます。つまり、0dB NIの抵抗の両端に1V<sub>dc</sub>が生じている場合、所定の周波数ディケードの過剰ノイズは1μVrmsということになります。カーボン抵抗と厚膜抵抗は、およそ+10dBまでの非常に高いNIを持つため、信号経路のノイズに敏感な部分ではこれらを使用することは避けたほうがよいでしょう。薄膜抵抗は一般的に約-20dBとほかに良好な値を示し、金属薄膜抵抗と巻線抵抗は-40dB以下になる場合もあります。

## 11. アクイジションが十分であれば、平均化によってノイズはどこまでも抑制できる

平均化処理は、平均回数の平方根分だけノイズを抑制できる方法だと考えられています。これはNSDがフラットである場合に、条件によっては真実です。しかし、この関係は、1/f領域にある場合や他のいくつかの場合には破綻します。一定の周波数f<sub>s</sub>のシステム・サンプリングにおける平均化の場合を考えてみましょう。この場合、n個のサンプルが平均化されてnでデシメーションされ、m個のデシメーションされたサンプルが返されるものとし、n個の平均化処理によって、デシメーション後の実効的なサンプリング・レートがf<sub>s</sub>/nに変化し、システムに加わる実効最大周波数はn分の1に減少し、ホワイト・ノイズは√nだけ減少します。しかし同時に、m個のサンプルを取得するにはn倍の時間を要し、そのため、システムに加わる最低周波数もn分の1に減少します(0Hzになるということはないことを思い出してください)。平均化の回数が増えれば増えるほど、これらの最高周波数と最低周波数も周波数帯の低い方に変化します。最高周波数と最低周波数が共に1/f領域に入ると、合計ノイズはこれらの周波数の比のみによって決まるようになり、平均化の回数を増やしてもノイズにはそれ以上効果をもたらさなくなります。同じ論理が、マルチスロープなどの積分型ADCの積分時間を長くする場合にもあてはまります。この数学的な検討以外に、他にも実用上の制限があります。例えば、量子化ノイズが支配的なノイズ源となっていて、あるDC入力電圧のADCの出力がフリッカのない一定のコードであるような場合、何度平均化処理を行っても同じコードが返ってくるでしょう。

## 参考資料

Motchenbacher, C. D. and J. A. Connelly. Low Noise Electronic System Design. Wiley, 1993.

## 著者について

Scott Hunt。

高精度計測器を専門とするシステム・アプリケーション・エンジニア。マサチューセッツ州ウィルミントンにあるアナログ・デバイセズのリニアおよび高精度技術グループに所属。2011年に、計装アンプなどの高性能集積化高精度アンプの製品アプリケーション・エンジニアとしてアナログ・デバイセズ入社。レンセラー工科大学にて電気およびコンピュータ・システム工学の学士号を取得しています。また、アナログ・デバイセズ社内で、2015年の優れたテクニカル・ライティング賞と優れたプログラム・サポート賞を受賞。

連絡先：[scott.hunt@analog.com](mailto:scott.hunt@analog.com)

## オンライン・サポート・コミュニティ



当社のオンライン・サポート・コミュニティで、アナログ・デバイセズの技術専門家と連携することができます。設計上の難問について問い合わせたり、FAQ を参照したり、話し合いに参加することができます。

[ez.analog.com](http://ez.analog.com)

\* 英語版技術記事は[こちら](#)よりご覧いただけます。

## アナログ・デバイセズ株式会社

本社 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル10F  
大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー10F  
名古屋営業所 〒451-6040 愛知県名古屋市中区牛島町6-1 名古屋ルーセントタワー38F

©2018 Analog Devices, Inc. All rights reserved.  
本紙記載の商標および登録商標は、  
各社の所有に属します。  
Ahead of What's Possible は  
アナログ・デバイセズの商標です。

[www.analog.com/jp](http://www.analog.com/jp)

TA14962-0-8/16



想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™