コンバータ評価開発（CED）ボード

EVAL-CED1Z

特長

複数のシリアル／パラレル・インターフェースを備えた高精度コンバータ評価用ボードへのインターフェース
高速 LVDS **インターフェースに対応**
SDRAM：32MB
SRAM：4MB
PC **へ** USB 2.0 **を介して接続**
ユーザが再設定可能な Altera Cyclone FPGA
8 **個の独立した電源を提供**
Blackfin Ez-Kit **に直接接続可能**

アプリケーション

高精度コンバータの評価
デモ・システムの作成
エンドユーザ・システムのプロトタイプ作成

概要

CED1 ボードは、アナログ・デバイセズの高精度コンバータを用いたシステムの評価、デモ、開発用に設計された、アナログ・デバイセズの次世代プラットフォームの一部です。CED1 ボードは、コンバータと PC の間に必要な通信機能、デバイスのプログラミング／制御機能、USB リンクによるデータの送受信機能を提供します。

パッケージの内容

- CED ボード
- USB A-MiniB ケーブル
- DC7V、15W の電源

機能ブロック図

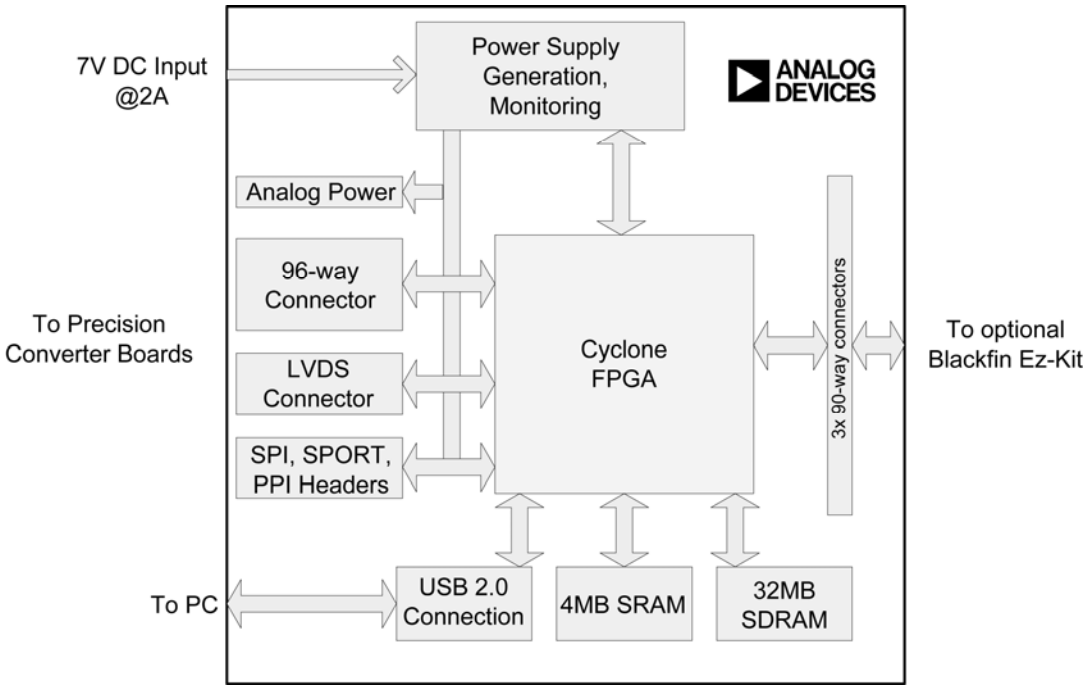


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007 Analog Devices, Inc. All rights reserved.

Rev. PrA

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー
電話 06（6350）6868

目次

特長 1
アプリケーション 1
概要 1
パッケージの内容 1
機能ブロック図 1
改訂履歴 2
概要 3
コネクタ 4
J5－LVDS コネクタ 4
J1－mini USB B コネクタ 5
J2－2 ピン・ネジ端子電源コネクタ 5
J4－DC 電源コネクタ 5
J6－FPGA JTAG コネクタ 5
J8、9、10－3×90 ウェイ Blackfin EZ-Kit コネクタ 5
J3－96 ウェイ DIN41612 コネクタ 5
J7－アナログ電源コネクタ 8
J12－SPORT インターフェース 8
J13－SPI インターフェース 9
J14－PPI インターフェース 9
コネクタの製品番号 9
電源 10
図表 11
オーダー・ガイド 24
ESD に関する注意 24

改訂履歴

7/07– Revision 0: Initial Revision

概要

コンバータ評価開発ボードは、システム設計者がアナログ・デバイセズの高精度コンバータ部品を利用してシステムの評価とプロトタイプ作成を行う際に役立ちます。高速な USB 2.0 接続を介して、データの読み書きだけでなく、PC からデバイスを制御／設定することもできます。

アナログ・デバイセズの定評あるハードウェア・コンポーネントを用いてシステムのプロトタイプ作成を行うユーザのために、CED1 は複数のデバイスへのインターフェース操作を同時に処理できるよう設計されています。

このボードは FPGA ベースの再設定可能なアーキテクチャを備えているため、FPGA は USB 接続を介していつでも再設定できます。したがってユーザは、所望の作業を遂行するためにユーザ独自のコードを開発して実行できます。

フォーム・ファクタの異なる幅広い高精度コンバータ評価用ボードへの接続に対応するために、多くのインターフェース・オプションが用意されています。標準的な 0.1 インチ・ピッチの 3 つのヘッダがあり、SPI、SPORT、パラレル機能に対応します。96 ウェイ・コネクタは、複数のインターフェースと電源に対して同時にリンクを提供します。LVDS インターフェースは、個々にグラウンドを持つデータ・ペア用に設計された専用コネクタを通じてサポートされます。

FPGA だけでなくプロセッサも必要とする開発の場合、CED1 ボードは、Blackfin EZ-Kit に直接接続することができます。ボード上の 3 つの 90 ウェイ・コネクタは Blackfin EZ-Kit と直接接続されるため、きわめて強力なシステムとデモの開発が可能になります。

システムを動作させるために必要な外部機器の数を最小限に抑えるため、CED ボードは外部接続に利用できる 8 つの独立した電源を提供します。これらの電源とその電流定格の詳細については、本書の「電源」セクションをご覧ください。

CED ボードは、ボードと一緒に出荷される DC7V、15W の単電源を必要とします。また、ベンチトップ電源を接続することもできます（ただし、少なくても 2A の電流源である必要があります）。

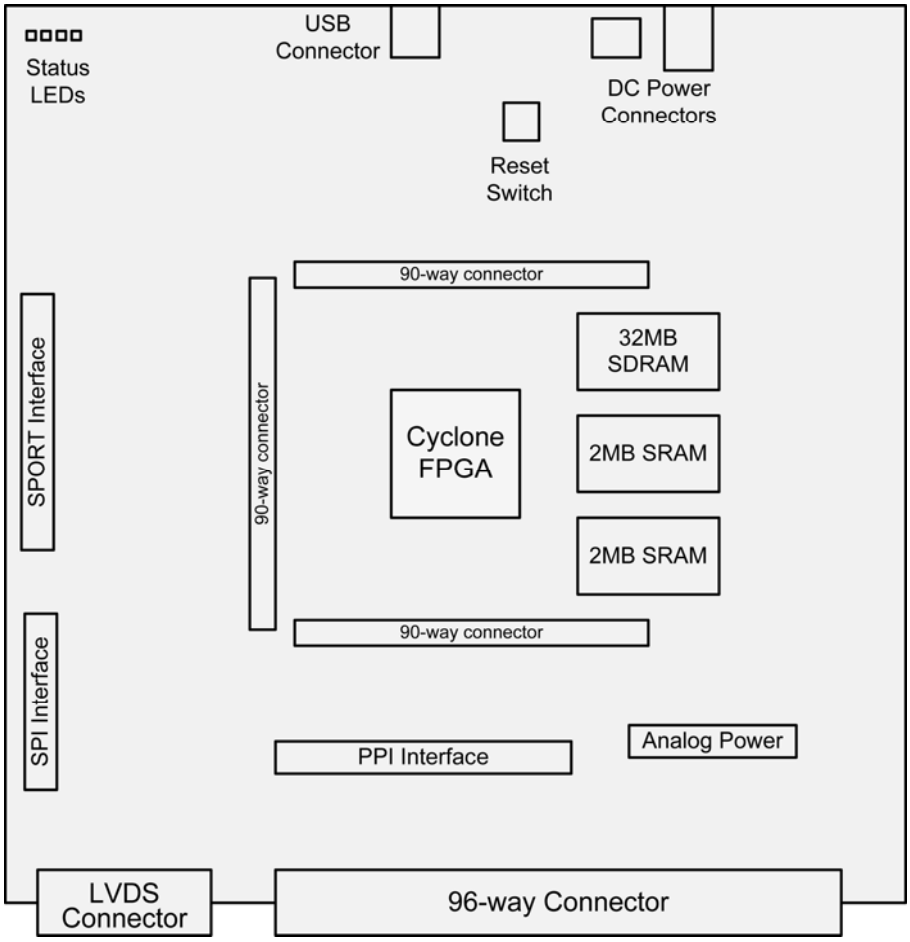


図 2.　主要部品の配置

コネクタ

さまざまなフォーム・ファクタの幅広いコンバータ・ボードを設計および接続できるように、CED ボードには多くのコネクタが提供されています。FPGA で使用できる接続の数に制限があるため、特定の信号は異なるコネクタ間で共有および重複されています。

ユーザが共有信号を特定したり、信号の所属グループを特定しやすいように、すべての信号には名前が付けられています。SPI 信号は SPI_xxx で始まり、SPORT 信号は SPORT_xxx で始まり、パラレル／PPI 信号は PAR_xxx/PPI_xxx で始まります。これらの信号の詳細については、関連するコネクタ・セクションをご覧ください。

J5－LVDS コネクタ

CED1 を高速 LVDS を備えたコンバータ評価用ボードに接続する場合は、このコネクタを使用します。このコネクタは、独立した差動クロックの送信、受信用に加えて、4 つの差動受信データ用と 4 つの差動送信データ用のペアを提供します。高速デバイスの制御は、データとは独立したインターフェースを介して行われるのが普通です。このため、SPI 信号と一部のパラレル制御信号もこのコネクタを介して伝送されます。3 つの電源を組み込むことで、このコネクタは、多くの LVDS インターフェスを備えたコンバータとインターフェースできる柔軟性を提供します。表 1 は、このコネクタの詳細なピン配置を示します。

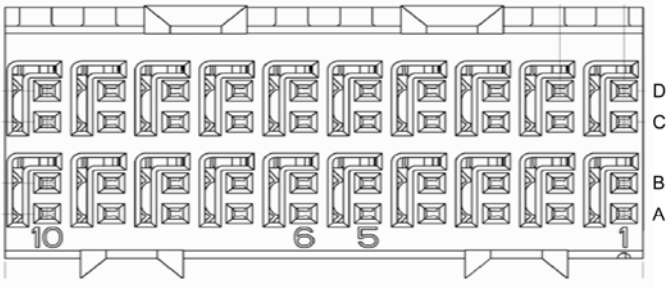


図 3.　LVDS コネクタのピン配置

表 1.　LVDS コネクタのピン配置

ピン番号	ピン名	説明
1A, 1B	+VarA	可変電圧アナログ電源。詳細は「電源」セクションを参照してください。
1C, 1D	CLKOUT+/−	差動クロック出力
2A	$\overline{\text{PAR_CS0}}$	パラレル・チップ・セレクト 0
2B	$\overline{\text{PAR_RD}}$	パラレル・リード・ストローブ
C2-9, D2-7	Dx+/−	差動データの受信／送信ペア。デフォルトでは、CED ボードは 4 つの受信ペア（D0-3）と 4 つの送信ペア（D4-7）用に設定されます。これらを再設定するには、CED ボード上の終端抵抗を変更します。詳細は回路図を参照してください。
A3-6	SPI_SELx	SPI ペリフェラル・チップ・セレクト
B3	$\overline{\text{PAR_WR}}$	パラレル・ライト・ストローブ
B4	SPI_MISO	SPI マスター入力、スレーブ出力のデータ・ライン
B5	SPI_MOSI	SPI マスター出力、スレーブ入力のデータ・ライン
B6	SPI_CLK	SPI クロック
A7	TMR0/PPI_FS2	PPI 使用のためのタイマ 0 またはフレーム同期 2
B7	GPIO3/TMR1/PPI_FS1	PPI 使用のための汎用 I/O、タイマ 1、またはフレーム同期 2
A8	RXINT/GPIO2/PPI_FS3	PPI 使用のための受信割込み、汎用 I/O、またはフレーム同期 3
B8	GPIO4/PAR_A0	汎用 I/O またはパラレル・アドレスの LSB
A9, B9	+3.3VD_Edge	+3.3V のデジタル電源
A10, B10	+VarD	可変電圧デジタル電源。詳細は「電源」セクションを参照してください。
C10, D10	CLKIN+/−	差動クロック入力ペア

J1－mini USB B コネクタ

制御とデータ転送の目的で CED1 を PC に接続するために用います。

J2－2 ピン・ネジ端子電源コネクタ

CED ボードをラボ電源で動かすときに使用します。外部電源を正しい極性で接続するように注意してください。

J4－DC 電源コネクタ

供給された電源で CED1 を使用するとき、ここに DC プラグを接続します。このコネクタの極性はセンター・ポジティブです。

J6－FPGA JTAG コネクタ

Altera SignalTap Logic Analyzer に加えて、FPGA の開発／デバッグを支援する適切なハードウェアにも使用できます。

J8、9、10－3×90 ウェイ Blackfin EZ-Kit コネクタ

これら 3 つのコネクタは、直接使用できる場合や、他のコネクタに再接続できる場合に、Blackfin EZ-Kit からのペリフェラル信号の大部分を FPGA に直接伝えます。この設計にプロセッサを追加したい場合は、新たなプロセッサまたはマイクロコントローラ・ボードを設計してここに接続できます。これらのコネクタの詳細については、Blackfin EZ-Kit のマニュアルを参照してください。

J3－96 ウェイ DIN41612 コネクタ

このコネクタは、従来ほとんどの高精度 ADC 評価用ボードで使われてきました。このコネクタには、プログラマブルなデジタル電源と独立した 5 つのアナログ電源に加えて、SPI、SPORT、およびパラレルの信号が含まれます。表 2 は、このコネクタのピン配置を示します。

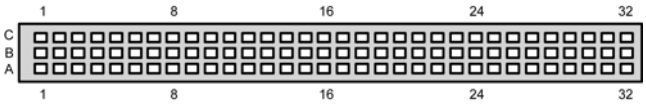


図 4.　96 ウェイ・コネクタのピン配置

表 2.　96 ウェイ・コネクタのピン配置

ピン番号	ピン名	説明
A1	SPORT_DT1PRI/ SPI_MOSI/PAR_D16	SPORT1 データ送信 1 次。SPI マスター出力、スレーブ入力データ・ライン。パラレル・データ・ビット 16。
B1	GPIO3/TMR1/ PPI_FS1	汎用 I/O ビット 3。タイマ 1。パラレル・ペリフェラル・インターフェース・フレーム同期 1。
C1	SPORT_DR1PRI/ SPI_MISO/PAR_D19	SPORT1 データ受信 1 次。SPI マスター入力、スレーブ出力データ・ライン。パラレル・データ・ビット 19。
A2	SPORT_TFS1/ SPI_SEL0/PAR_D17	SPORT1 送信フレーム同期。SPI ペリフェラル・チップ・セレクト 0。パラレル・データ・ビット 17。
B2	PAR_D0	パラレル・データ・ビット 0（LSB）
C2	SPORT_RFS1/ SPI_SEL1/PAR_D20	SPORT1 受信フレーム同期。SPI ペリフェラル・チップ・セレクト 1。パラレル・データ・ビット 20。
A3	SPORT_TSCLK1/ SPI_CLK/PAR_D18	SPORT1 送信シリアル・クロック。SPI クロック。パラレル・データ・ビット 18。
B3	PAR_D1	パラレル・データ・ビット 1。
C3	SPORT_RSCLK1/ SPI_CLK/PAR_D21	SPORT1 受信クロック。SPI クロック。パラレル・データ・ビット 21。
A4, B4, C4	DGND	デジタル・グラウンド
A5	SPORT_DT0PRI/ SPI_SEL7	SPORT0 データ送信 1 次。SPI ペリフェラル・チップ・セレクト 7
B5	PAR_D2	パラレル・データ・ビット 2

C5	SPORT_DR0PRI/ SPI_SEL4	SPORT0 データ受信 1 次。SPI ペリフェラル・チップ・セレクト 4
A6	SPORT_TFS0/ SPI_SEL6	SPORT0 送信フレーム同期。SPI ペリフェラル・チップ・セレクト 6
B6	PAR_D3	パラレル・データ・ビット 3
C6	SPORT_RFS0/ SPI_SEL3	SPORT0 受信フレーム同期。SPI ペリフェラル・チップ・セレクト 3
A7	SPORT_TSCLK0/ SPI_SEL5	SPORT0 送信シリアル・クロック。SPI ペリフェラル・チップ・セレクト 5
B7	PAR_D4	パラレル・データ・ビット 4
C7	SPORT_RSCLK0/ SPI_SEL2	SPORT0 受信シリアル・クロック。SPI ペリフェラル・チップ・セレクト 2
A8, B8, C8	+VarD (DV_{DD})	可変デジタル電源。詳しくは「電源」セクションを参照してください。
A9	PAR_RD	パラレル・リード・ストローブ
B9	PAR_D5	パラレル・データ・ビット 5
C9	PAR_WR	パラレル・ライト・ストローブ
A10	PAR_D22/PAR_A7	パラレル・データ・ビット 22。パラレル・アドレス・ビット 7（MSB）
B10	PAR_D6	パラレル・データ・ビット 5
C10	PAR_CS0	パラレル・チップ・セレクト 0
A11	SPORT_DT0SEC/ PAR_CS1/PAR_A5	SPORT0 データ送信 2 次。パラレル・チップ・セレクト 1。パラレル・アドレス・ビット 5
B11	PAR_D7	パラレル・データ・ビット 7
C11	GPIO6/PAR_D23/ PAR_A6	汎用 I/O ビット 6。パラレル・データ・ビット 23。パラレル・アドレス・ビット 6
A12, B12, C12	DGND	デジタル・グラウンド
A13	TWI_SDA/PAR_CS3/ PAR_A3	2 線式インターフェース・シリアル・データ。パラレル・チップ・セレクト 3。パラレル・アドレス・ビット 3
B13	PAR_D8	パラレル・データ・ビット 8
C13	SPORT_DR0SEC/ PAR_CS2/PAR_A4	SPORT0 データ受信 2 次。パラレル・チップ・セレクト 2。パラレル・アドレス・ビット 4
A14	GPIO5/PAR_A1	汎用 I/O ビット 5。パラレル・アドレス・ビット 1
B14	PAR_D9	パラレル・データ・ビット 9
C14	TWI_SCL/GPIO7/ PAR_A2	2 線式インターフェース・シリアル・クロック。汎用 I/O ビット 7（MSB）。パラレル・アドレス・ビット 2
A15	GPIO0	汎用 I/O ビット 0（LSB）
B15	PAR_D10	パラレル・データ・ビット 10
C15	GPIO4/PAR_A0	汎用 I/O ビット 4。パラレル・アドレス・ビット 0（LSB）
A16, B16, C16	DGND	デジタル・グラウンド

A17	TMR0/PPI_FS2	タイマ 0。パラレル・ペリフェラル・インターフェース・フレーム同期 2
B17	PAR_D11	パラレル・データ・ビット 11
C17	RXINT/GPIO2/ PPI_FS3	受信データ割込み。汎用 I/O ビット 2。パラレル・ペリフェラル・インターフェース・フレーム同期 3
A18	PAR_D12	パラレル・データ・ビット 12
B18	PAR_D13	パラレル・データ・ビット 13
C18	PAR_D14	パラレル・データ・ビット 14
A19	CLKOUT	クロック出力
B19	GPIO1	汎用 I/O ビット 1
C19	PAR_D15	パラレル・データ・ビット 15
A20, B20, C20	DGND	デジタル・グラウンド
A21-26, B21-26, C21-26	AGND	アナログ・グラウンド
A27, C27	+VarA	可変アナログ電源。詳しくは「電源」セクションを参照してください。
B27	AGND	アナログ・グラウンド
A28	N/C	未接続。このピンは使用できません。
B28	AGND	アナログ・グラウンド
C28	N/C	未接続。このピンは使用できません。
A29, B29, C29	AGND	アナログ・グラウンド
A30	−12VA	−12V アナログ電源。詳しくは「電源」セクションを参照してください。
B30	AGND	アナログ・グラウンド
C30	+12VA	+12V アナログ電源。詳しくは「電源」セクションを参照してください。
A31, B31, C31	−5VA (AV_{SS})	−5V アナログ電源。詳しくは「電源」セクションを参照してください。
A32, B32, C32	+5VA (AV_{DD})	+5V アナログ電源。詳しくは「電源」セクションを参照してください。

J7－アナログ電源コネクタ

J3（96 ウェイ）以外のコネクタを介して CED1 に接続されたボード上でアナログ電源が必要な場合は、このピン・ヘッダから取り込むことができます。表 3 は、このコネクタのピン配置の詳細を示します。電源の詳細については以下のセクションで説明します。

図 5.　アナログ電源コネクタのピン配置

表 3.　アナログ電源コネクタのピン配置

ピン番号	機能	説明
1	+12VA_Edge	+12V アナログ用電源
2	−12VA_Edge	−12V アナログ用電源
3, 6, 8	AGND	アナログ・グランド
4	+5VA_Edge	+5V アナログ用電源
5	−5VA_Edge	−5V アナログ用電源
7	+VarA	種々の電圧電源（アナログ用）. 詳細については、電源セクションを参照してください。

J12－SPORT インターフェース

この標準的な 0.1 インチの 2 列コネクタは、SPORT インターフェースを利用するドーター・ボードとの接続に使用できます。このコネクタは、5V、3.3V、+7V の CED ボード電源だけでなく、すべての SPI 信号と 2 線式インターフェース（TWI）信号も含みます。詳細は表 4 を参照してください。このコネクタのピン配置は、Blackfin Stamp および Ez-Kit の SPORT コネクタと互換性があります。ピン名の詳細については、96 ウェイ・コネクタを詳述したセクションを参照してください。

表 4.　SPORT コネクタのピン配置

+5VD_Edge	1	2	+7V
DGND	3	4	N/C (Keying Pin)
$\overline{\text{RESET}}$	5	6	SPORT_TSCLK0/SPI_SEL5
SPORT_RFS0/SPI_SEL3	7	8	SPORT_DR0PRI/SPI_SEL4
DGND	9	10	SPORT_DR0SEC
SPORT_TFS0/SPI_SEL6	11	12	SPORT_DT0SEC
+3.3VD_Edge	13	14	SPORT_DT0PRI/SPI_SEL7
+3.3VD_Edge	15	16	SPORT_RSCLK0/SPI_SEL2
$\overline{\text{SPI_SS}}$	17	18	SPI_MOSI
SPI_SEL1	19	20	SPI_MISO
SPI_SEL2	21	22	SPI_CLK
SPI_SEL3	23	24	TWI_SDA
SPI_SEL4	25	26	TWI_SCK
SPI_SEL5	27	28	RXINT/GPIO2/PPI_FS3
SPI_SEL6	29	30	GPIO3/TMR1/PPI_FS1
SPI_SEL7	31	32	TMR0/PPI_FS2
DGND	33	34	DGND

J13ーSPI インターフェース

SPORT の代わりに SPI コネクタを使用することは、接続されているデバイスが SPI の仕様と完全に互換性があることを確信できる場合にのみ考慮すべきです。つまり、8 または 16 ビットのアクティブ・ロー・フレーミングだけが必要だということです。このコネクタのピン配置の詳細については、表 5 を参照してください。このコネクタは、Blackfin Stamp および Ez-Kit の SPI コネクタと互換性があります。ピン名の詳細については、96 ウェイ・コネクタを詳述したセクションを参照してください。

表 5. SPI コネクタのピン配置

+5VD_Edge	1	2	+3.3VD_Edge
+5VD_Edge	3	4	+3.3VD_Edge
SPI_MOSI	5	6	SPI_MISO
$\overline{\text{RESET}}$	7	8	SPI_CLK
SPI_SEL1	9	10	$\overline{\text{SPI_SS}}$
SPI_SEL3	11	12	SPI_SEL2
SPI_SEL5	13	14	SPI_SEL4
SPI_SEL7	15	16	SPI_SEL6
N/C (Keying Pin)	17	18	DGND
+7V	19	20	DGND

J14ーPPI インターフェース

このコネクタは、Blackfin Stamp および Ez-Kit の PPI コネクタに接続するように設計されたドーター・ボードを取り付けることを目的としています。しかし、信号が提供された場合は、最大 16 のデータビットと複数の制御信号を必要とするほとんどのパラレル・インターフェース・デバイスに接続できます。

このコネクタに SPI 信号を組み込むことで、必要に応じて、データと設定のインターフェースを分離できます。このコネクタの詳細については、表 6 を参照してください。ピン名の詳細については、96 ウェイ・コネクタを詳述したセクションを参照してください。

表 6. PPI コネクタのピン配置

+5VD_Edge	1	2	+7V
+5VD_Edge	3	4	N/C (Keying Pin)
+3.3VD_Edge	5	6	CLKOUTP_EXT
+3.3VD_Edge	7	8	PAR_D0
PAR_D1	9	10	PAR_D2
PAR_D3	11	12	PAR_D4
PAR_D5	13	14	PAR_D6
PAR_D7	15	16	PAR_D8
PAR_D9	17	18	PAR_D10
PAR_D11	19	20	PAR_D12
PAR_D13	21	22	PAR_D14
PAR_D15	23	24	SPI_SEL3
SPI_SEL2	25	26	SPI_SEL1
$\overline{\text{SPI_SS}}$	27	28	$\overline{\text{RESET}}$
RxInt/GPIO2/PPI_FS3	29	30	SPI_MOSI
GPIO3/TMR1/PPI_FS1	31	32	SPI_MISO
TMR0/PPI_FS2	33	34	SPI_CLK
DGND	35	36	TWI_SDA
DGND	37	38	TWI_SCK
DGND	39	40	DGND

コネクタの製品番号

表 7. コネクタの製品番号

コネクタ番号	説明	製造会社	部品ナンバー	相手側（コネクタ、他）
J1	USB Mini-B connector	Molex	565790576	Standard Mini-B USB Cable
J2	2-pin screw terminal	Camden Electronics	CTB5000/2	Cables inserted directly
J3	96-Way 90˚ DIN41612 socket	Harting	0973 296 6801	0903 196 6921
J4	DC Barrel connector, 2mm centre	Kycon	KLDX-SMT2-0202-A	Cliff - DCPP1 (FC68147)
J5	LVDS connector	Tyco Electronics	1469028-1	1469169-1
J6	10-Pin, 2 row standard 0.1” pitch header	Harwin	M20-8760542	M20-7830546
J8-10	90-way Micro-strip Terminal	Samtec	TFC-145-X2-FD-A	SFC-145-T2-FD-A
J12	34-Pin, 2 row standard 0.1” pitch header	Harwin	M20-8761742	M20-7831746
J13	20-Pin, 2 row standard 0.1” pitch header	Harwin	M20-8761042	M20-7831046
J14	40-Pin, 2 row standard 0.1” pitch header	Harwin	M20-8762042	M20-7832046

電源

CED ボードは、接続されるボードで使用する複数の電源を提供します。CED ボードには 7V の単電源が必要です。この電源は、ボード自体に加えて、接続されるボードの電源にも電力を供給するために用いられます。電源から取り出せる電流はリセット可能な 2A フューズによって制限されるため、CED と付属ボードの消費電力を制限できます。

コンバータ・ボードを接続しない状態の単体では、CED のアイドル電流は約 220mA です。たとえば SRAM にアクセスする場合は、CED ボード自体に流れる電流は大幅に増加することがあります。CED で動作するボードを設計する際、提供される電源を使用したい場合には、使用可能な総消費電力に注意して電源条件を計算する必要があります。

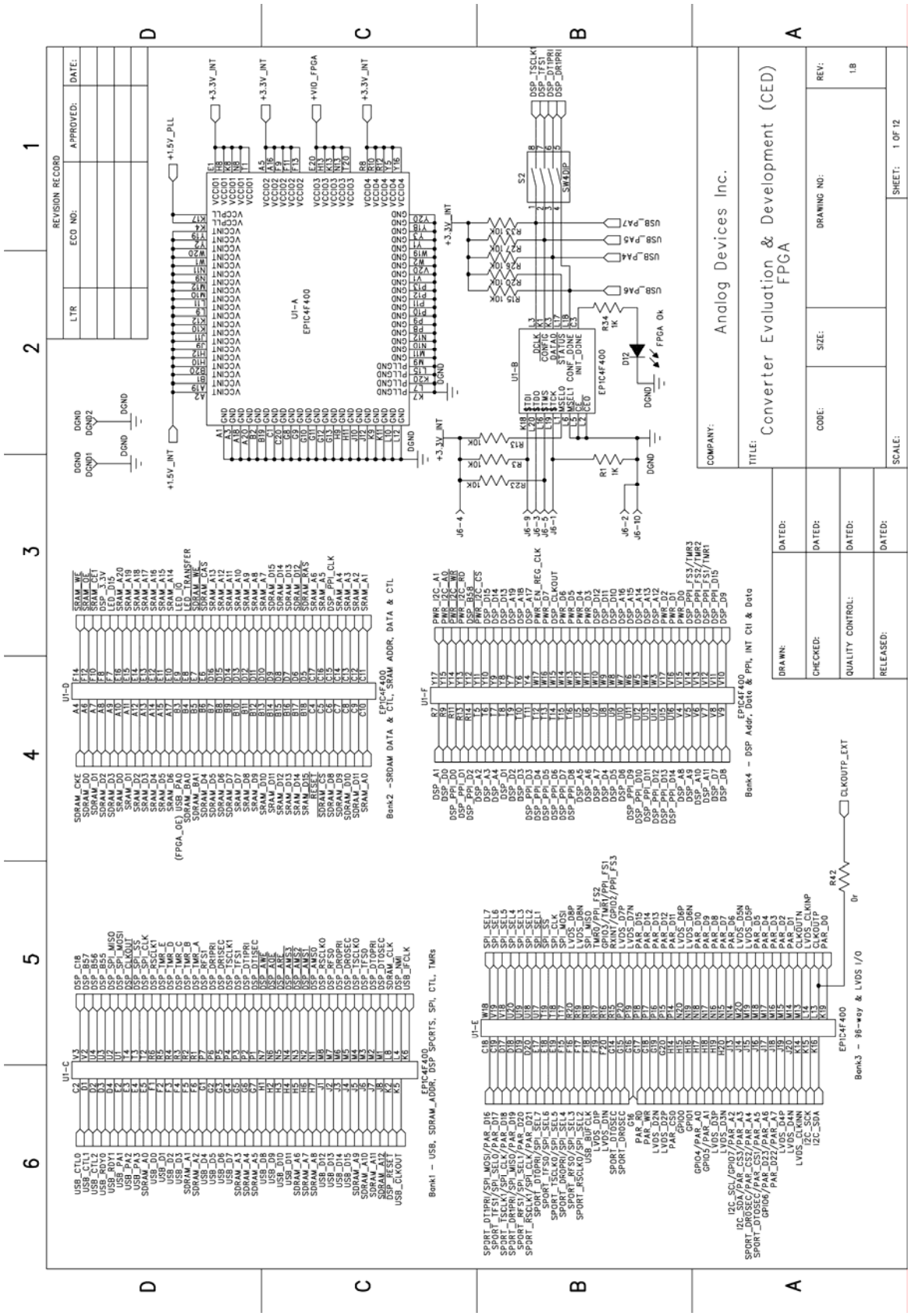
CED で生成される電源はできるだけクリーンに保たれますが、CED に接続されるボードの設計者は、すべてのデバイスと電源を適切にデカップリングするようにする必要があります。これによって、CED の電源にノイズがフィードバックされることを防止できます。電源に過剰なノイズが持ち込まれると、CED や接続されたボードの誤動作を招くことがあります。

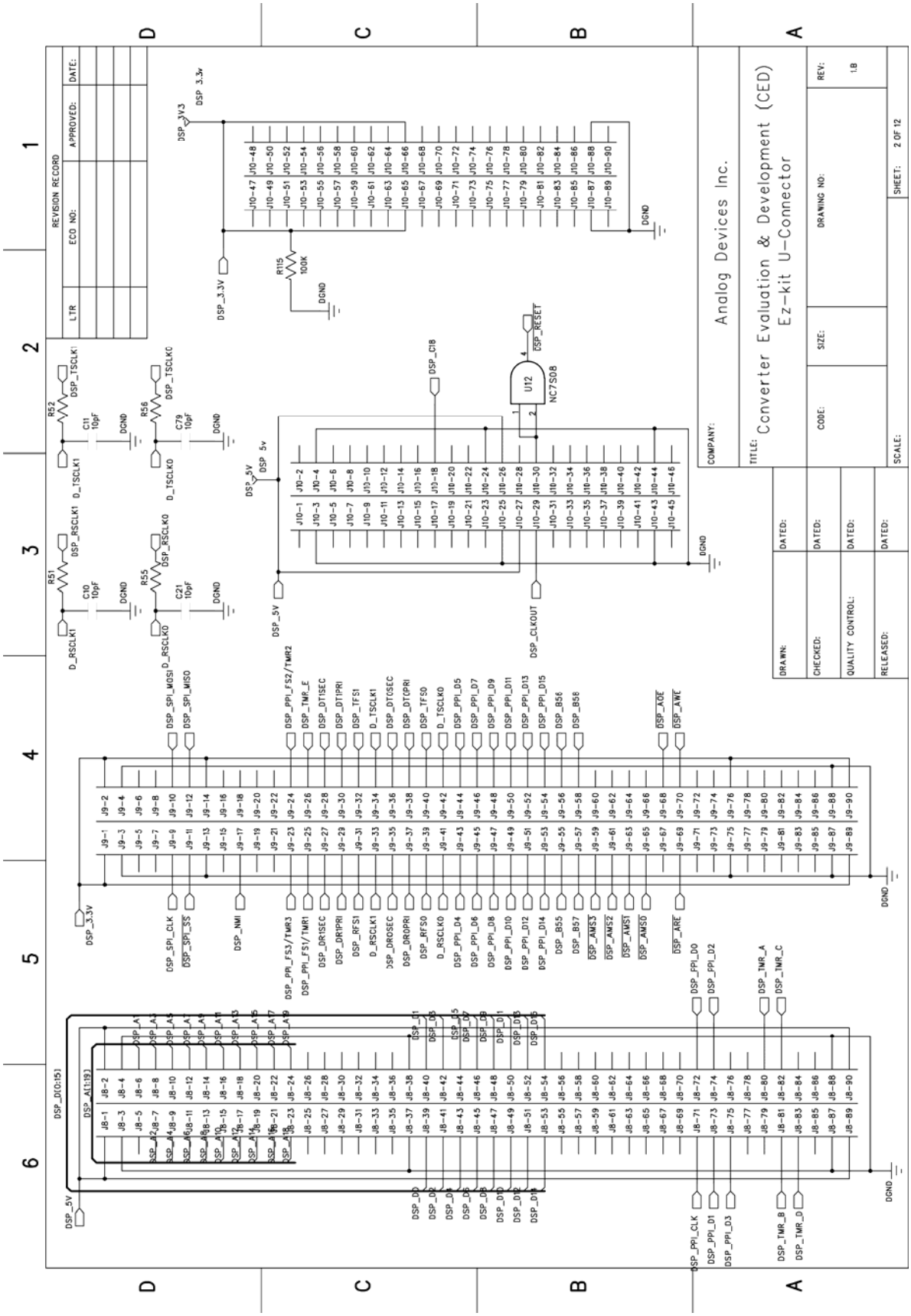
表 8 に記載した電源の電圧／電流定格は、絶対最大値制限として定義されています。電源回路にはフューズと熱過負荷保護機能が提供されていますが、特定の電源からより多くの電流を取り出そうとしたり、組み合わせた電源から使用できる総消費電力を上回ると、CED ボードに損傷を与えることがあります。

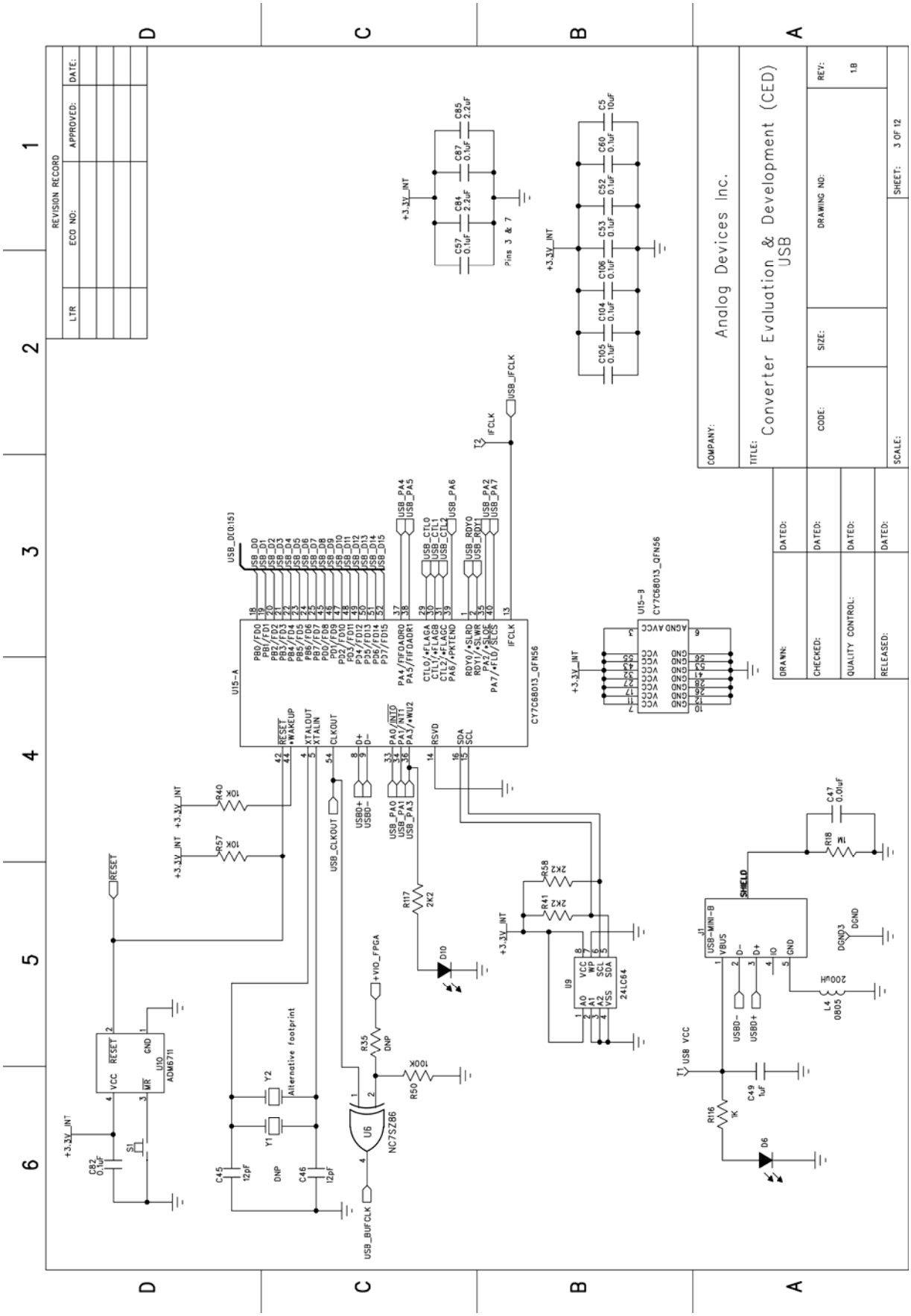
表 8. 電源

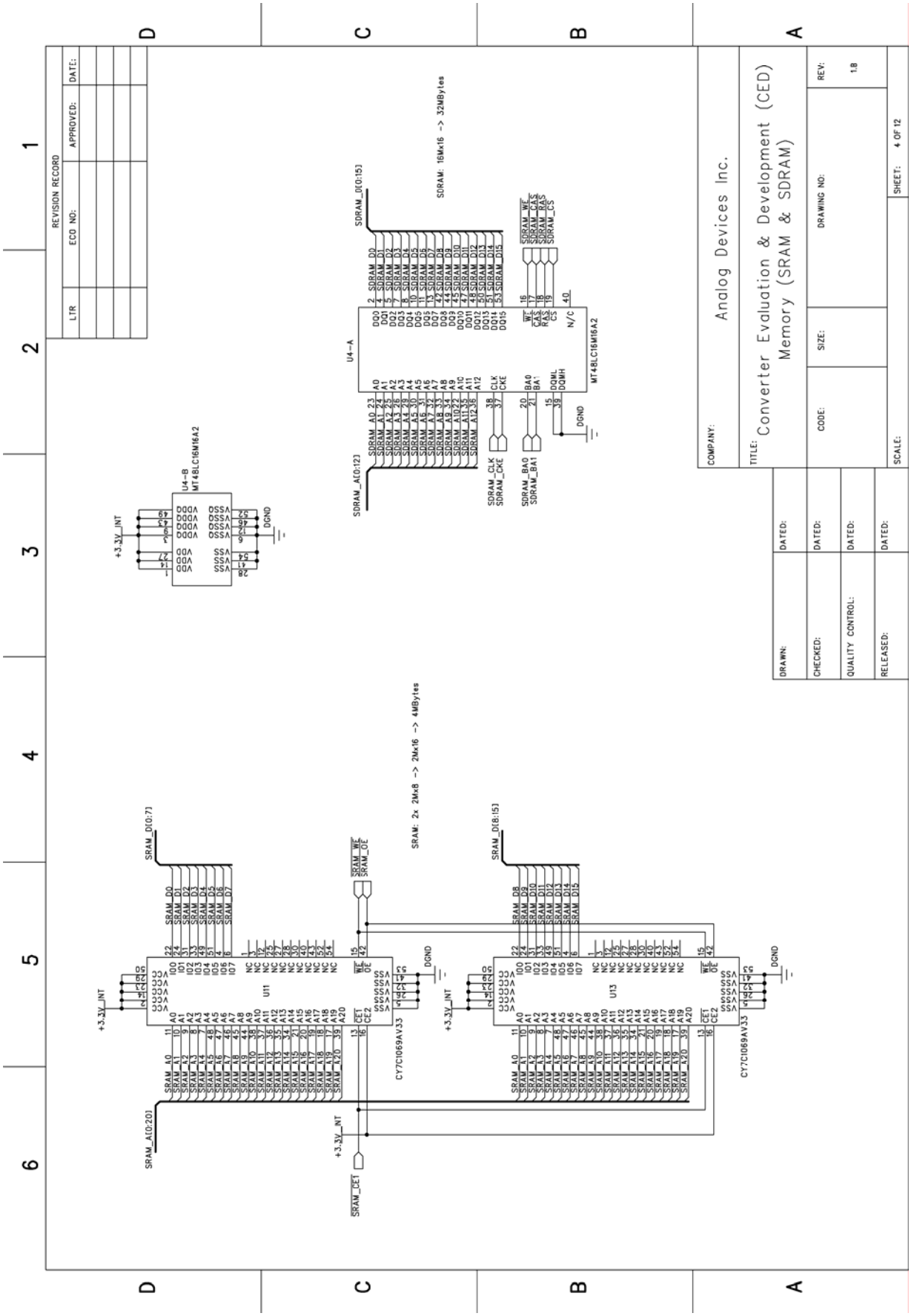
名称	最大電圧.	電流	テスト条件/コメント
+VarA	+1.5V to +5.5V	300mA	変動は低電圧に抑える
−12VA	−12V ±5%	100mA	100mA のフューズで制限.
+12VA	+12V ±5%	100mA	100mA のフューズで制限.
−5VA	−5V ±5%	100mA	100mA のフューズで制限
+5VA	+5V ±5%	500mA	500mA の変動定格で、熱制限あり
+5VD	+5V ±5%	500mA	500mA の変動定格で、熱制限あり
+3.3VD	+3.3V ±5%	300mA	熱制限
+VarD	+1.5V to +5.5V	300mA	変動は低電圧に抑える
+7V	+7V ±5%	2A	ボードを通して流すことの出来る電流（その他全ての電源を含む）。フューズで制限

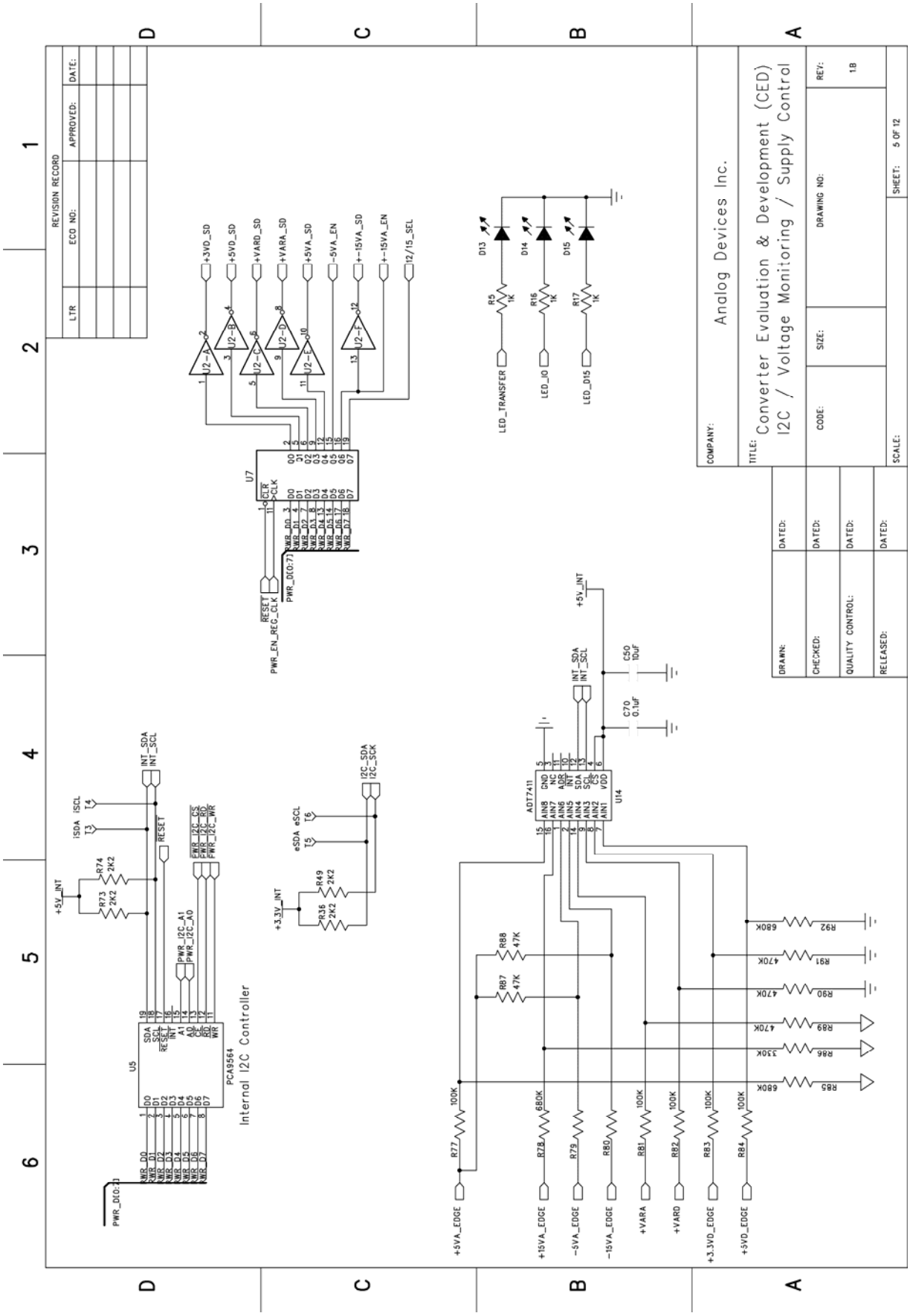
図表

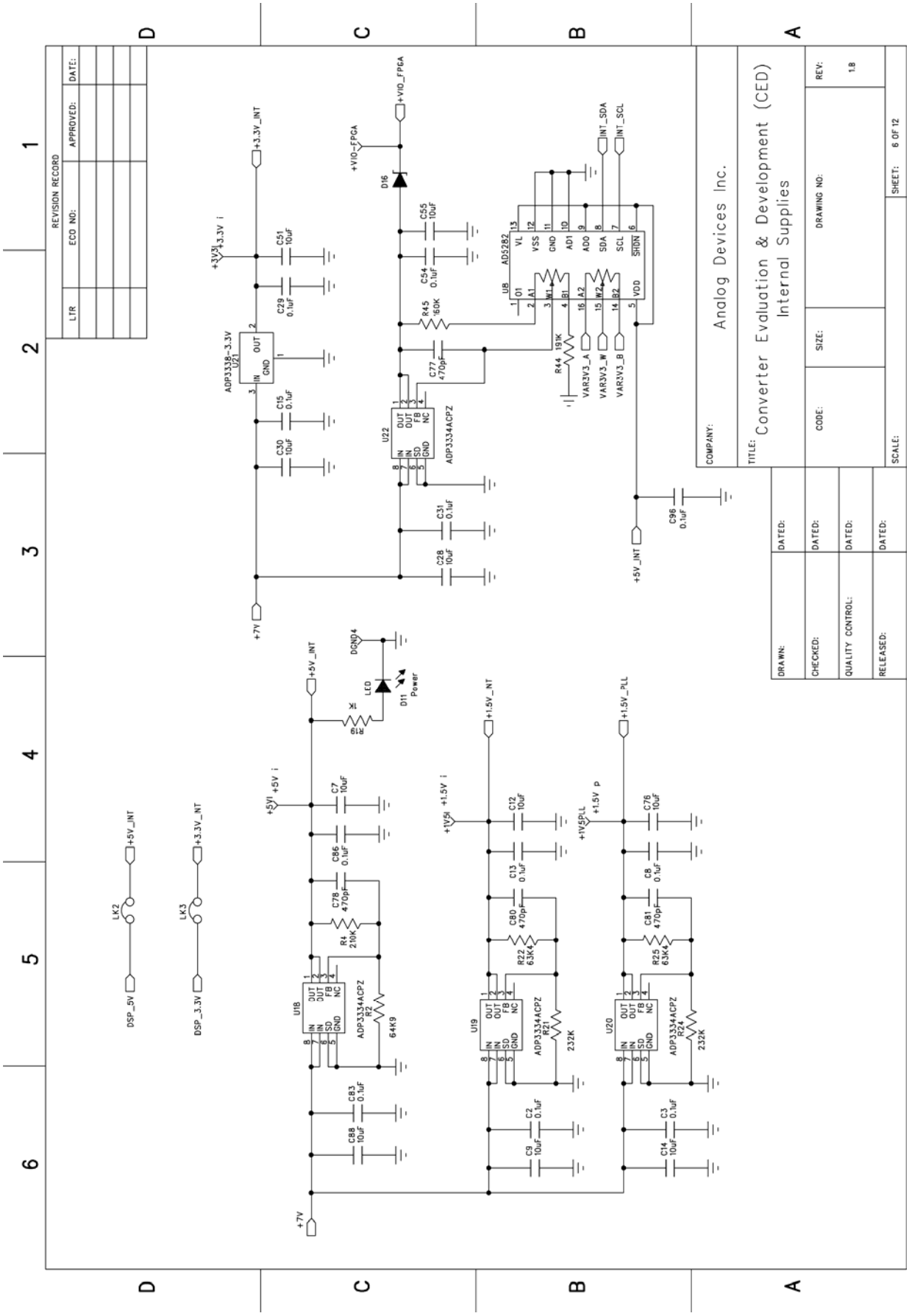

Analog Devices Inc.
Converter Evaluation & Development (CED)
FPGA
U1-A
EP1C4F400
U1-B
EP1C4F400
U1-C
EP1C4F400
U1-D
EP1C4F400
U1-E
EP1C4F400
U1-F
EP1C4F400
Bank1 - USB, SDRAM_ADDR, DSP SPORTS, SPI, CTL, TMRs
Bank2 - SRDAM DATA & CTL, SRAM ADDR, DATA & CTL
Bank3 - 96-way & LVDS I/O
Bank4 - DSP Addr, Data & PPI, INT Ctl & Data
REVISION RECORD
SHEET: 1 OF 12

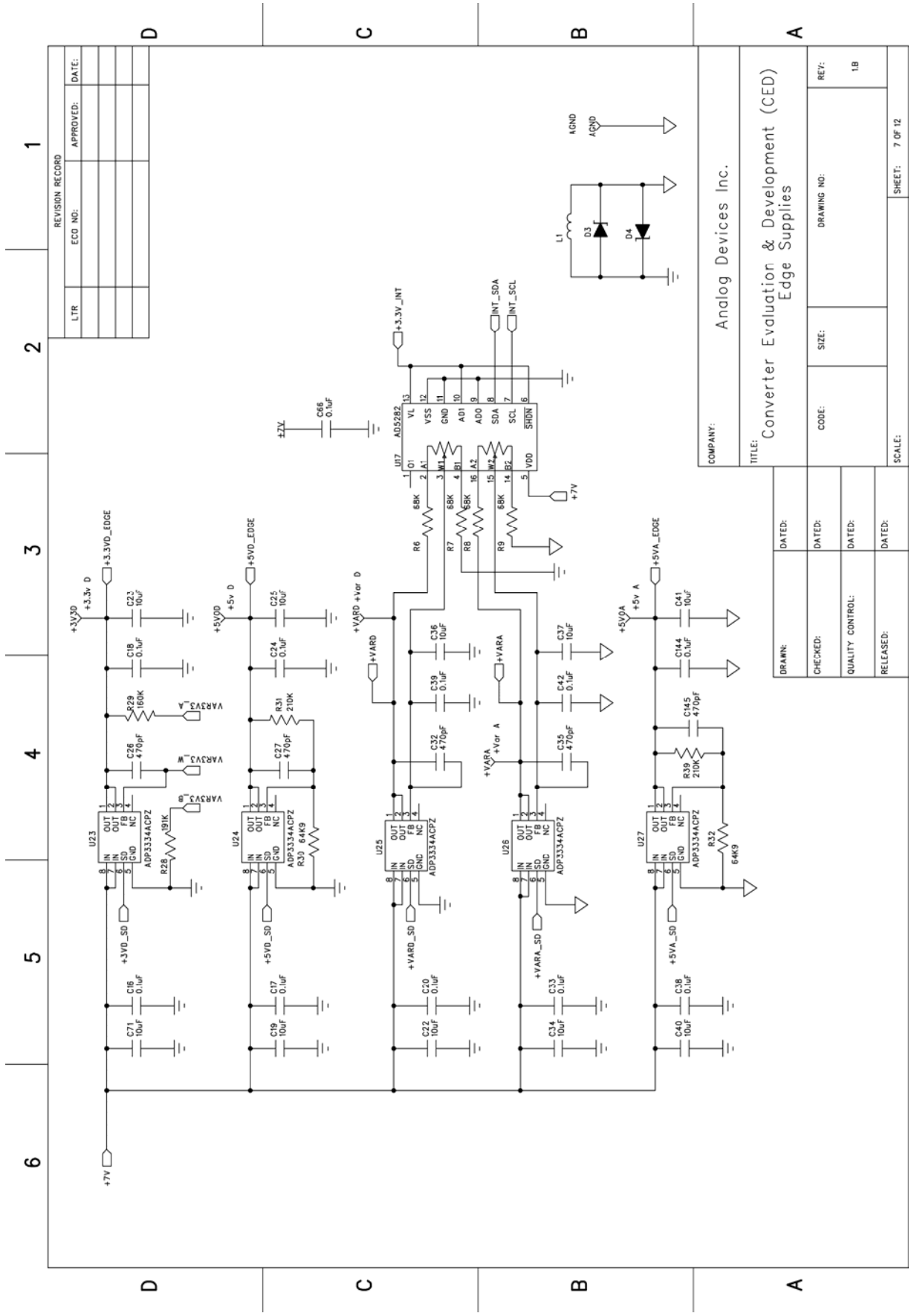

REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
Analog Devices Inc.
COMPANY:
Converter Evaluation & Development (CED)
Ez-kit U-Connector
TITLE:
CODE:
SIZE:
DRAWING NO:
REV:
1.B
SCALE:
SHEET: 2 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
DSP_3.3v
DSP_3V3
DGND
R115
100K
DSP_RESET
U12
NC7S08
DSP_CIB
DSP_5V
DSP 5v
DSP_CLKOUT
R53
R56
R51
R55
C11
C79
C10
C21
10pF
DSP_TSCLK1
DSP_TSCLK0
DSP_RSCLK1
DSP_RSCLK0
D_TSCLK1
D_TSCLK0
D_RSCLK1
D_RSCLK0
DSP_SPI_MOSI
DSP_SPI_MISO
DSP_PPI_FS2/TMR2
DSP_TMR_E
DSP_DT1SEC
DSP_DT1PRI
DSP_TFS1
DSP_DT0SEC
DSP_DT0PRI
DSP_TFS0
DSP_PPI_D5
DSP_PPI_D7
DSP_PPI_D9
DSP_PPI_D11
DSP_PPI_D13
DSP_PPI_D15
DSP_B56
DSP_B58
DSP_AOE
DSP_AWE
DSP_SPI_CLK
DSP_SPI_SS
DSP_NMI
DSP_PPI_FS3/TMR3
DSP_PPI_FS1/TMR1
DSP_DR1SEC
DSP_DR1PRI
DSP_RFS1
DSP_DR0SEC
DSP_DR0PRI
DSP_RFS0
DSP_PPI_D4
DSP_PPI_D6
DSP_PPI_D8
DSP_PPI_D10
DSP_PPI_D12
DSP_PPI_D14
DSP_B55
DSP_B57
DSP_AMS3
DSP_AMS2
DSP_AMS1
DSP_AMS0
DSP_ARE
DSP_PPI_D0
DSP_PPI_D2
DSP_TMR_A
DSP_TMR_C
DSP_D(0:15)
DSP_A(1:19)
DSP_PPI_CLK
DSP_PPI_D1
DSP_PPI_D3
DSP_TMR_B
DSP_TMR_D

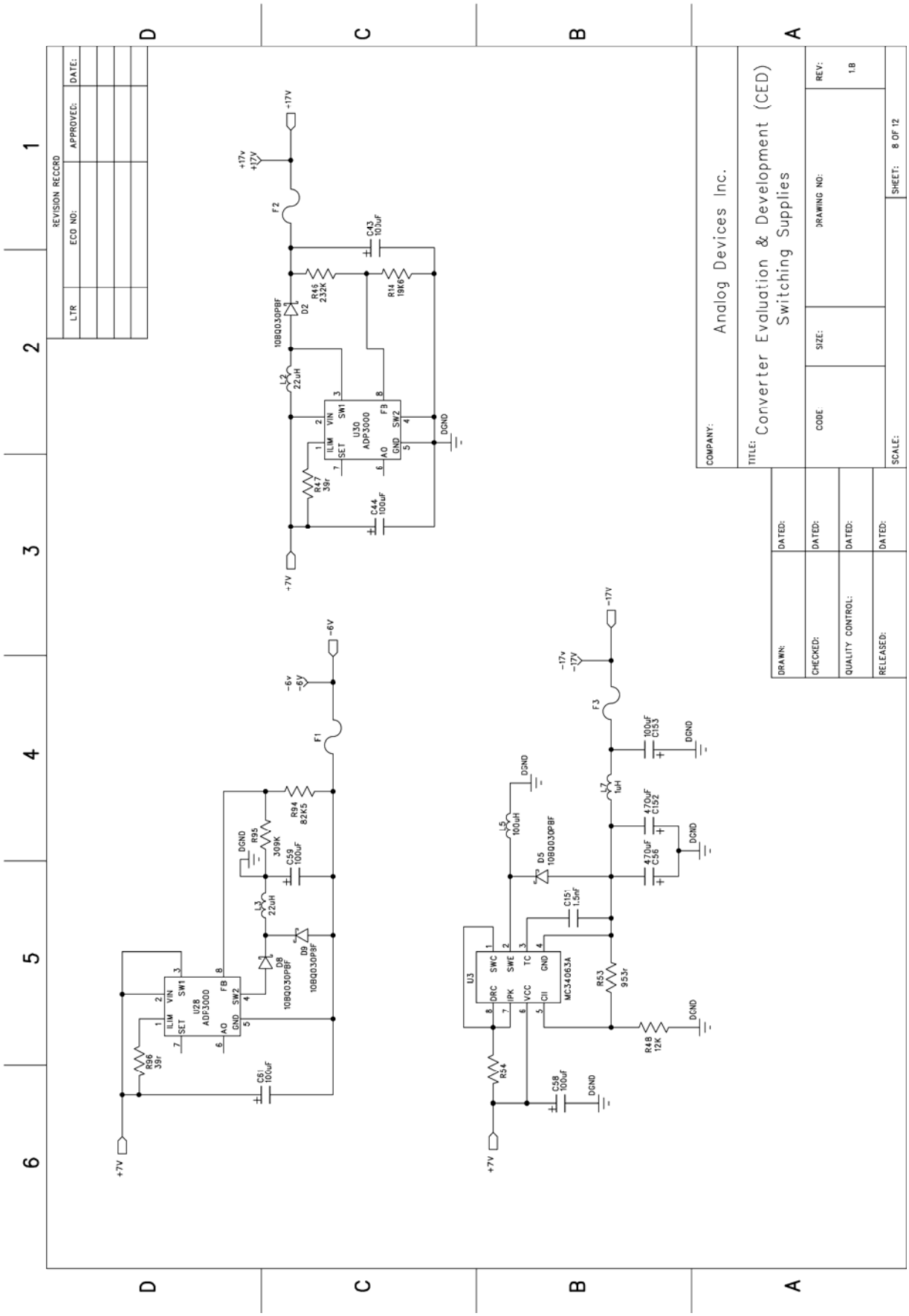

REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
Analog Devices Inc.
COMPANY:
Converter Evaluation & Development (CED)
USB
TITLE:
CODE:
SIZE:
DRAWING NO:
REV:
1.B
SCALE:
SHEET: 3 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
U15-A
CY7C68013_QFN56
U15-B
U10
ADM6711
U6
NC7SZ86
U9
24LC64
J1
USB-MINI-B
SHIELD
Alternative footprint
Pins 3 & 7
USB_DQ[15]
USB_IFCLK
+3.3V_INT
+VIO_FPGA
USB VCC
USB_CLKOUT
USB_BUFCLK
RESET
DGND3
DGND

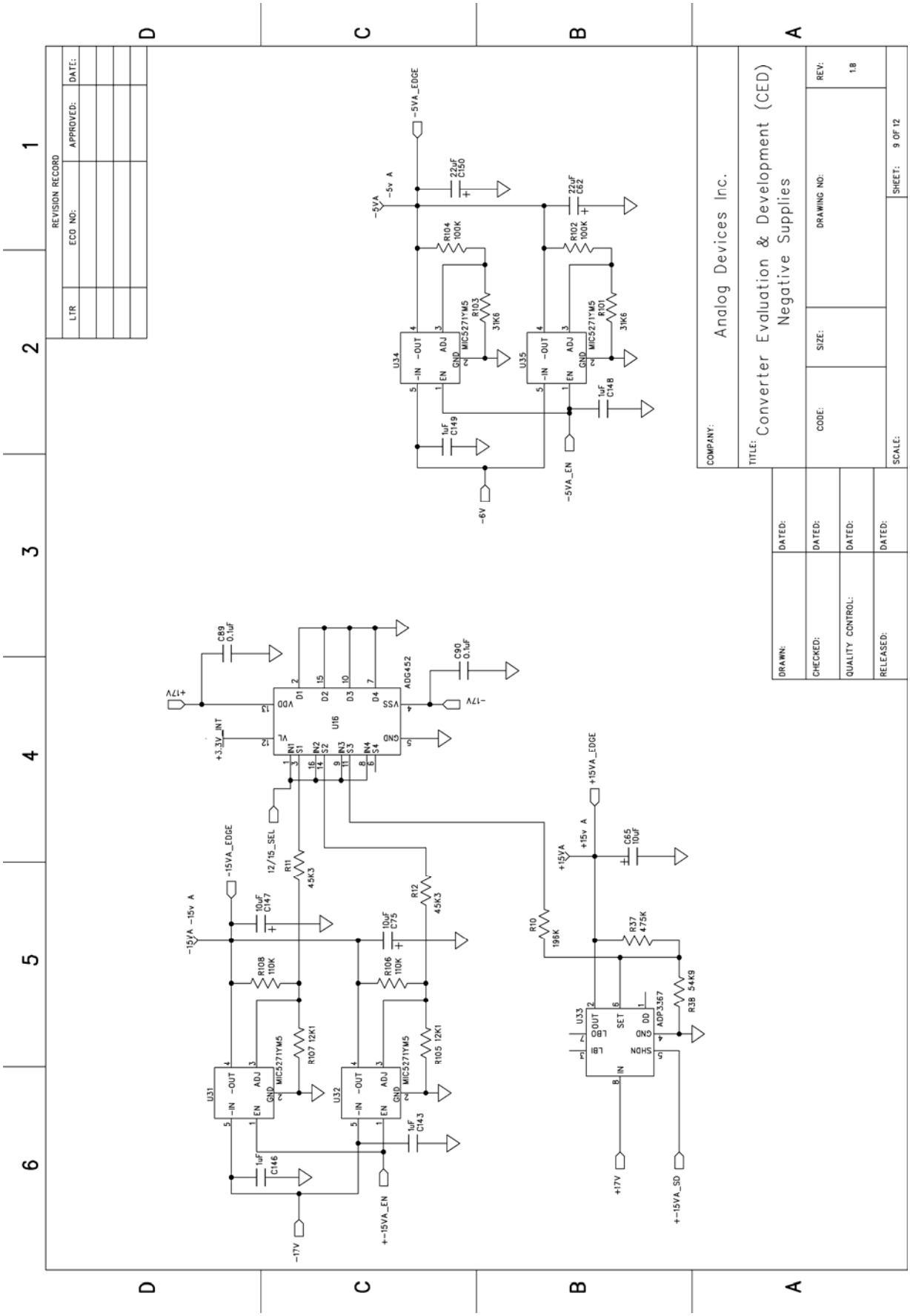

REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
SDRAM: 16Mx16 -> 32MBytes
U4-A
MT48LC16M16A2
U4-B
MT48LC16M16A2
SRAM: 2x 2Mx8 -> 2Mx16 -> 4MBytes
U11
U13
CY7C1069AV33
Analog Devices Inc.
COMPANY:
TITLE:
Converter Evaluation & Development (CED)
Memory (SRAM & SDRAM)
CODE:
SIZE:
DRAWING NO:
REV:
1.8
SCALE:
SHEET: 4 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:

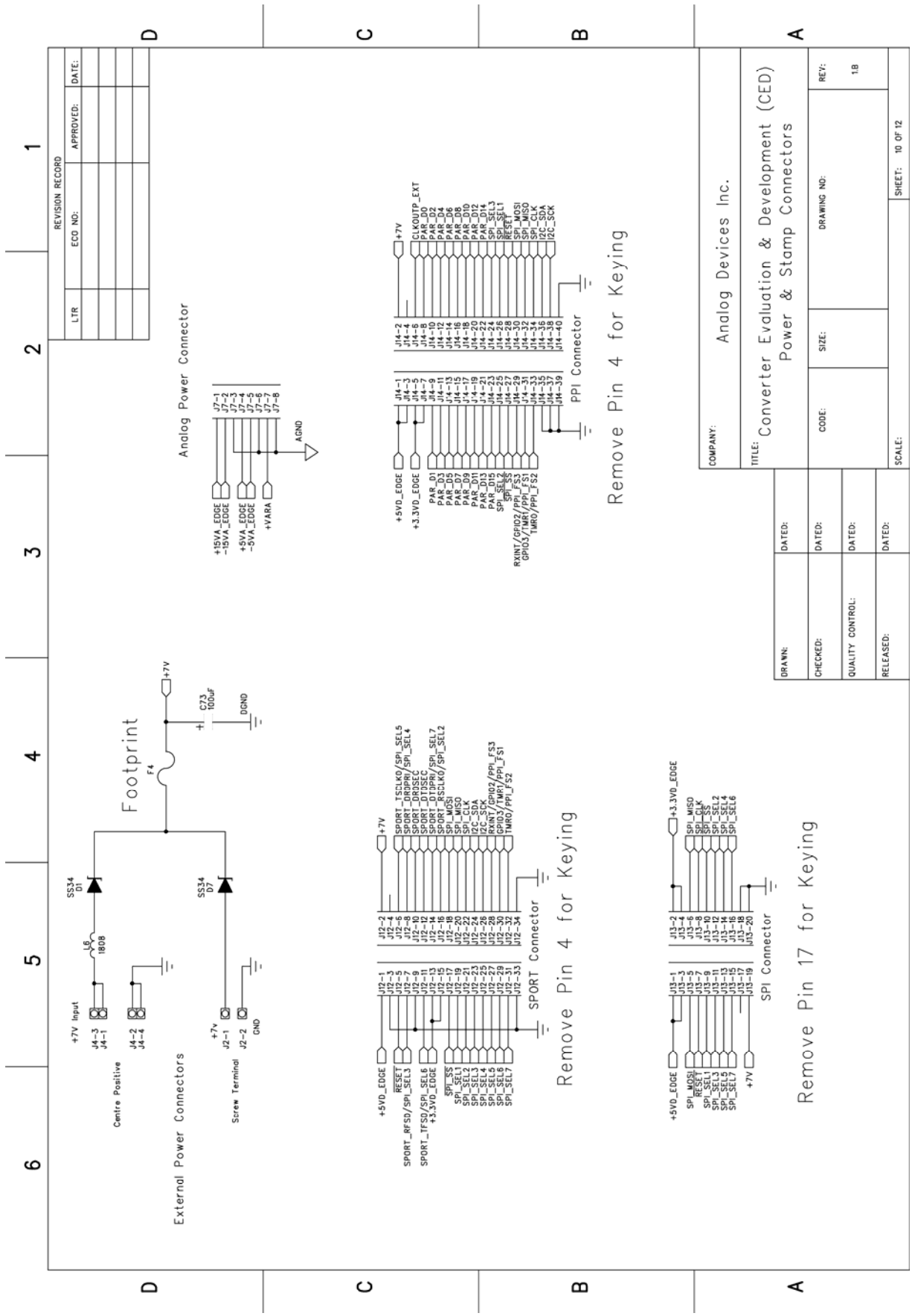

REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
Analog Devices Inc.
COMPANY:
TITLE:
Converter Evaluation & Development (CED)
I2C / Voltage Monitoring / Supply Control
CODE:
SIZE:
DRAWING NO:
REV:
1.B
SCALE:
SHEET: 5 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
U7
U5
PCA9564
Internal I2C Controller
ADT7411
U14
LED_TRANSFER
LED_IO
LED_D15
+5VD_SD
+VARD_SD
+VARA_SD
+5VA_SD
-5VA_EN
+-15VA_SD
+-15VA_EN
I2/15_SEL
RESET
PWR_EN_REG_CLK
PWR_DIO:7
PWR_DIO:1
INT_SDA
INT_SCL
I2C_SDA
I2C_SCK
+5V_INT
+3.3V_INT
+5VA_EDGE
+15VA_EDGE
-5VA_EDGE
-15VA_EDGE
+VARA
+VARD
+3.3VD_EDGE
+5VD_EDGE

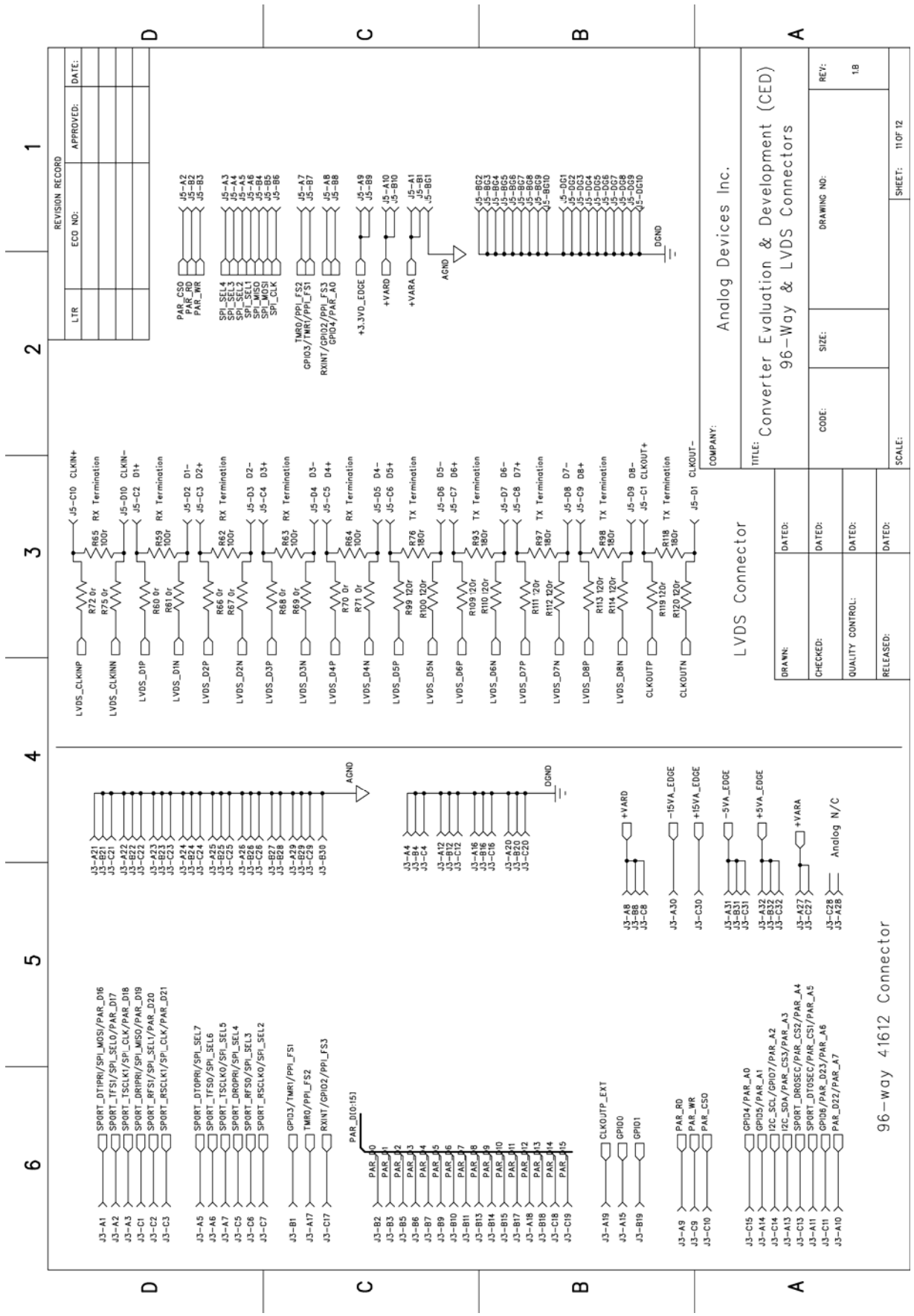

REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
Analog Devices Inc.
COMPANY:
Converter Evaluation & Development (CED)
Internal Supplies
TITLE:
DRAWING NO:
REV:
1.8
SIZE:
CODE:
SHEET: 6 OF 12
SCALE:
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
+VIO_FPGA
+3.3V_INT
+3V3
+3.3V i
ADP3338-3.3V
U21
OUT
GND
IN
C51 10uF
C29 0.1uF
C15 0.1uF
C30 10uF
+7V
D16
C55 10uF
C54 0.1uF
R45 60K
C77 470pF
U22
ADP3334ACPZ
C31 0.1uF
C28 10uF
U8
ADS282
VL
VSS
GND
AD1
AD0
SDA
SCL
SHDN
VDD
INT_SDA
INT_SCL
R44 191K
VAR3V3_A
VAR3V3_W
VAR3V3_B
C96 0.1uF
+5V_INT
DGND4
LED
D11 Power
R19 1K
+5V_INT
+5V i
+5V1
C7 10uF
C86 0.1uF
C78 470pF
R4 210K
U18
ADP3334ACPZ
R2 64K9
C83 0.1uF
C88 10uF
+1.5V_INT
+1V5i
+1.5V i
C12 10uF
C13 0.1uF
C80 470pF
R22 63K4
U19
ADP3334ACPZ
R21 232K
C2 0.1uF
C9 10uF
+1.5V_PLL
+1V5PLL
+1.5V p
C76 10uF
C8 0.1uF
C81 470pF
R25 63K4
U20
ADP3334ACPZ
R24 232K
C3 0.1uF
C14 10uF
LK2
DSP_5V
LK3
DSP_3.3V

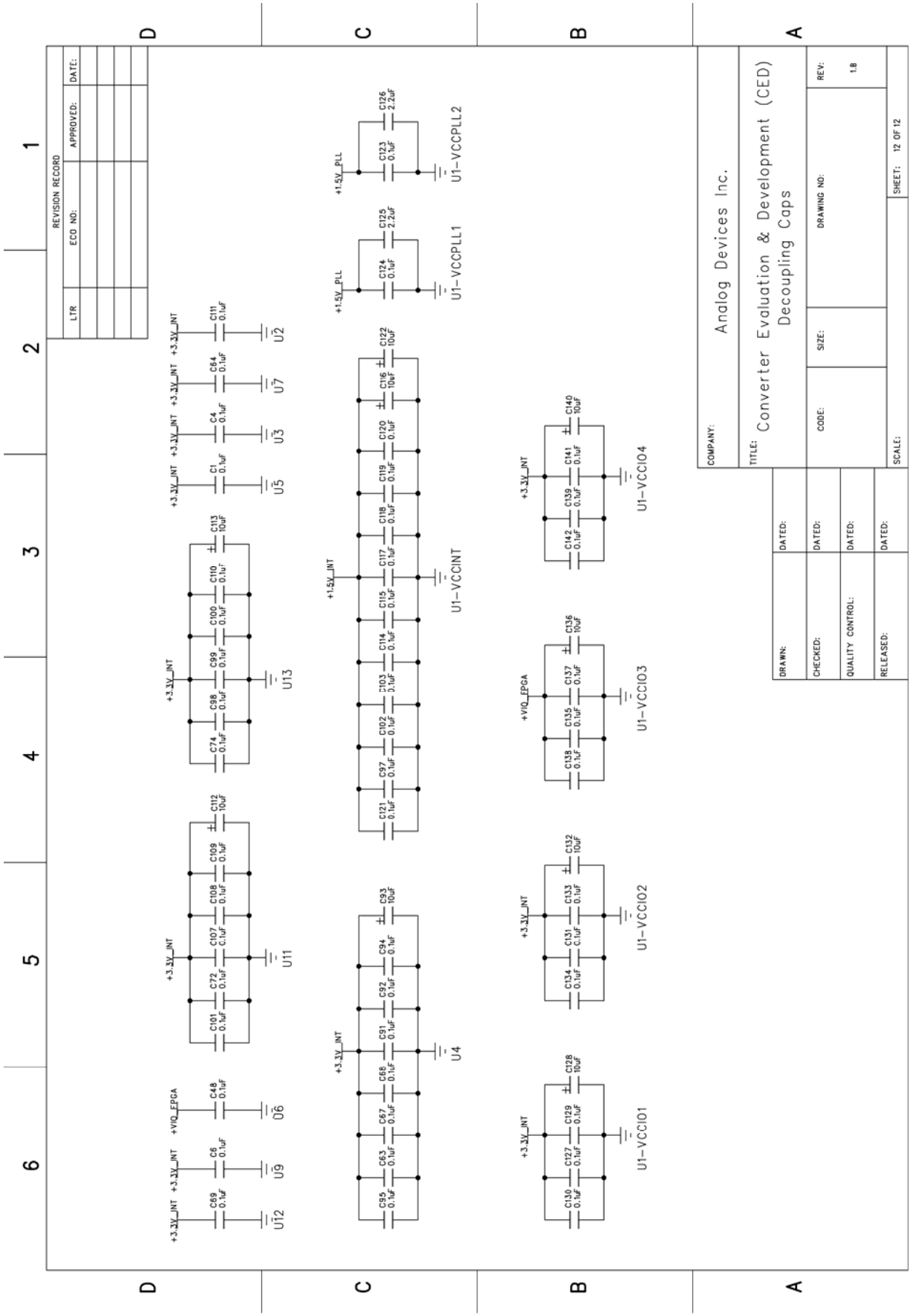

REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
COMPANY:
Analog Devices Inc.
TITLE:
Converter Evaluation & Development (CED)
Edge Supplies
CODE:
SIZE:
DRAWING NO:
REV:
1.B
SCALE:
SHEET: 7 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
U23
U24
U25
U26
U27
U17
AD5282
ADP3334ACPZ
+3.3VD_EDGE
+5VD_EDGE
+5VA_EDGE
+3.3V_INT
INT_SDA
INT_SCL
AGND
+7V
±7V
+3VD_SD
+5VD_SD
+VARD_SD
+VARA_SD
+5VA_SD
+VARD
+VARA
VARSV3_A
VARSV3_W
VARSV3_B


REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
COMPANY:
Analog Devices Inc.
TITLE:
Converter Evaluation & Development (CED)
Switching Supplies
CODE:
SIZE:
DRAWING NO:
REV:
1.8
SCALE:
SHEET: 8 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
U30
ADP3000
U28
ADP3000
U3
MC34063A
D2
10BQ030PBF
D8
10BQ030PBF
D9
10BQ030PBF
D5
10BQ030PBF
F1
F2
F3
L2
22uH
L3
22uH
L5
100uH
L7
1uH
R46
232K
R14
19K6
R47
39r
R94
82K5
R95
309K
R96
39r
R53
953r
R48
12K
R54
C43
10uF
C44
100uF
C59
100uF
C61
100uF
C58
100uF
C151
1.5nF
C153
100uF
C152
470uF
C56
470uF
+17V
-17V
+7V
-6V
DGND


REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
-5VA_EDGE
-5v A
-5VA
22uF C150
22uF C62
R104 100K
R102 100K
R103 31K6
R101 31K6
U34
U35
MIC5271YM5
1uF C149
1uF C148
-6V
-5VA_EN
C89 0.1uF
C90 0.1uF
+17V
-17V
+3.3V_INT
U16
ADG452
12/15_SEL
R11 45K3
R12 45K3
-15VA_EDGE
-15VA -15v A
10uF C147
10uF C75
R108 110K
R106 110K
R107 12K1
R105 12K1
U31
U32
1uF C146
1uF C143
+-15VA_EN
+15VA_EDGE
+15v A
+15VA
C65 10uF
R10 196K
R37 475K
R38 54K9
U33
ADP3367
+17V
+-15VA_SD
Analog Devices Inc.
COMPANY:
TITLE:
Converter Evaluation & Development (CED)
Negative Supplies
CODE:
SIZE:
DRAWING NO:
REV:
1.8
SHEET: 9 OF 12
SCALE:
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:


REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
Analog Power Connector
+15VA_EDGE
-15VA_EDGE
+5VA_EDGE
-5VA_EDGE
+VARA
AGND
+5VD_EDGE
+3.3VD_EDGE
PPI Connector
Remove Pin 4 for Keying
Footprint
F4
C73
100uF
DGND
+7V
SS34
D1
L6
1808
+7V Input
J4-3
J4-1
J4-2
J4-4
Centre Positive
SS34
D7
J2-1
J2-2
GND
Screw Terminal
External Power Connectors
SPORT Connector
Remove Pin 4 for Keying
SPI Connector
Remove Pin 17 for Keying
+3.3VD_EDGE
COMPANY:
Analog Devices Inc.
TITLE:
Converter Evaluation & Development (CED)
Power & Stamp Connectors
CODE:
SIZE:
DRAWING NO:
REV:
1.B
SCALE:
SHEET: 10 OF 12
DRAWN:
DATED:
CHECKED:
QUALITY CONTROL:
RELEASED:


REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
LVDS Connector
96-way 41612 Connector
Analog Devices Inc.
Converter Evaluation & Development (CED)
96-Way & LVDS Connectors
COMPANY:
TITLE:
CODE:
SIZE:
DRAWING NO:
REV:
1.B
SCALE:
SHEET: 11 OF 12
DRAWN:
CHECKED:
QUALITY CONTROL:
RELEASED:
DATED:
AGND
DGND
Analog N/C


REVISION RECORD
LTR
ECO NO:
APPROVED:
DATE:
+3.3V_INT
+VIO_FPGA
+1.5V_INT
+1.5V_PLL
U1-VCCINT
U1-VCCPLL1
U1-VCCPLL2
U1-VCCIO1
U1-VCCIO2
U1-VCCIO3
U1-VCCIO4
COMPANY:
Analog Devices Inc.
TITLE:
Converter Evaluation & Development (CED)
Decoupling Caps
DRAWING NO:
REV:
1.B
SIZE:
CODE:
SCALE:
SHEET: 12 OF 12
DRAWN:
DATED:
CHECKED:
QUALITY CONTROL:
RELEASED:

オーダー情報

オーダー・ガイド

Model	Description
EVAL-CED1Z[1]	Converter Evaluation and Development Board

[1] Z＝RoHS 準拠製品。

ESD に関する注意

ESD（**静電放電）の影響を受けやすいデバイスです。**電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

©2007 Analog Devices, Inc. All rights reserved.　商標および登録商標は各社の所有物に属します。