

位相ノイズ性能と スプリアス性能が極めて高い PLL/VCO デバイス、 アナログ・デバイセズの「ADF4371」

著者：Ian Collins、アプリケーション・エンジニア

はじめに

通信システムでは、周波数帯域幅やスループット、ダイナミック・レンジに対する要求が高まり続けています。また、ミリ波を使用する5G（第5世代移動通信システム）では、より高いアンテナ周波数が求められています。このようなニーズを背景とし、通信システム向けの局部発振器（LO）やミックスド・シグナル・システムで使用されるクロックに対しては、より厳しい要件が課せられるようになっていきます。

アナログ・デバイセズは、そうしたニーズに応えるための取り組みを進めてきました。その成果として開発されたのが「ADF4371」、「ADF4372」です。これらは、フェーズ・ロック・ループ（PLL）と電圧制御発振器（VCO：Voltage Controlled Oscillator）を統合した製品です。

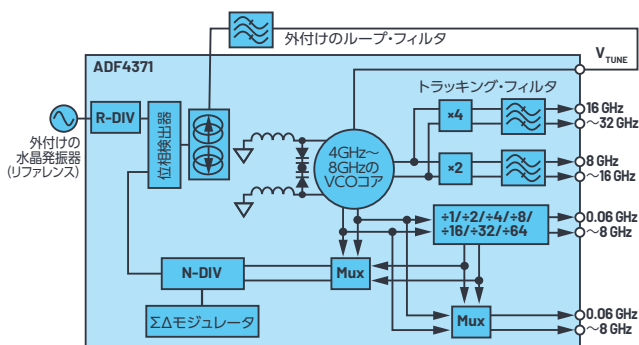


図 1. ADF4371 のブロック図

周波数範囲

ADF4371/ADF4372では、周波数範囲を最大化するために、次のような構成をとっています。まず、VCOは4GHz～8GHzのオクターブ範囲をカバーします。出力部には周波数分周器を設けており、1/2/4/8/16/32/64の分周比を実現します。それにより、RF8P/RF8Nピン（差動対）から得られるメインの出力で、62.5MHz～8000MHzの周波数範囲をカバーしています。また、A/Dコンバータ（ADC）やD/Aコンバータ（DAC）で使用するクロックを供給できるように、同じクロックを出力できるもう1組の差動対が用意されています。VCOをオープンループとした場合の位相ノイズは、出力周波数が8GHz、オフセットが100kHzの条件下で-109dBc/Hzとなります。

最近まで、高い周波数を生成するには、GaAsプロセスなどで製造された外付けの周波数通倍器を使用しなければなりませんでした。また、多くの場合、フィルタリングを強化したり、そのフィルタリングの影響を緩和するために増幅機能を追加したりする必要がありました。

それに対し、ADF4371/ADF4372は、高い周波数を生成するための周波数通倍器を内蔵しています。8GHz～16GHzのクロックを出力するRF16P/RF16Nピン向けには、2通倍器を用意しています。また、ADF4371は、RF32P/RF32Nピンから16GHz～32GHzのクロックを生成するための4通倍器も搭載しています。加えて、ADF4371/ADF4372は、トラッキング・フィルタも内蔵しています。それにより、不要な周波数通倍成分を最小限に抑えつつ、所望の周波数の電力レベルを最適化します。VCOのフィードスルーは、2通倍出力において約-45dBc、4通倍出力においては約-35dBcに抑えられます。

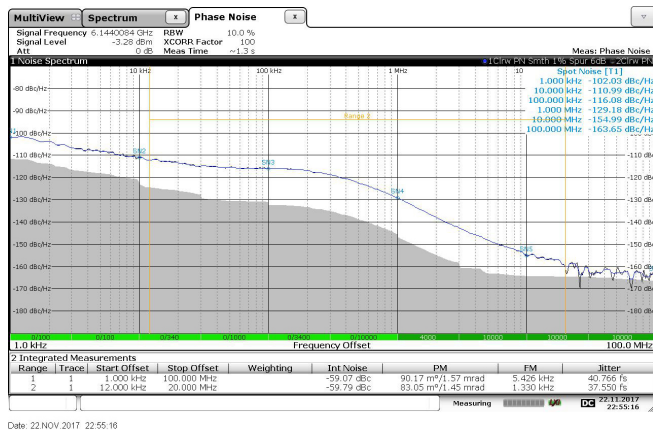


図 2. 6.144GHzにおけるRMS ジッタ

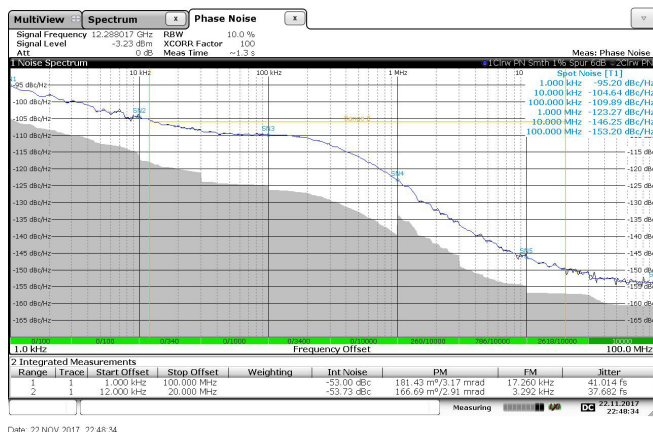


図 3. 12.288GHzにおけるRMS ジッタ

ADC/DACへのクロック供給に最適なPLL性能

ADF4371/ADF4372は、PLL回路の改良によって-234dBc/Hzという性能指数（FOM：Figure of Merit）を達成しています。また、1/fノイズは-127dBc/Hzに抑えています（1GHzの出力周波数、10kHzのオフセットで正規化）。そのため、生成するクロックのRMSジッタをわずか40フェムト秒（積分範囲は1kHz～100MHz）に抑えられます。これであれば、最も要件の厳しいADC/DACアプリケーションにも対応できます。なお、ループに現れる可能性がある抵抗ノイズを最小限に抑えるために、シンプルなローパス・フィルタを小さな抵抗と共に使用することが推奨されます。また、ノイズを極めて小さく抑えるためには、周波数が高く（250MHz。または125MHzのリファレンスに対して周波数通倍器を適用）、超低ノイズのリファレンス源が不可欠です。ADF4371/ADF4372が内蔵する位相周波数検出器（PFD：Phase Frequency Detector）は、インテジャール型のアプリケーションにおいて最高250MHzで動作可能です。RF16P/RF16NピンからはVCOの信号を2通倍したクロックが

差動で出力されます。この出力は、外付けのバラン回路（性能が向上するものの、コストが増加）を使用することなく、アナログ・デバイスズの一部のADC/DACに直接接続して使用できます。6.144GHz～12.288GHzにおいても、性能が低下することはありません。

通信システムや計測器に対応可能なLO

ADF4371/ADF4372は、ワイヤレス・システムや計測器の用途にも対応できるように、分解能が39ビットのシグマ・デルタ（ $\Sigma\Delta$ ）モジュレータを内蔵しています。そのため、1mHz未満の分解能で誤差が0Hzの周波数信号を生成できます。その場合、ADF4371のPFDは、最高160MHzの周波数で動作します。ADF4371/ADF4372は、通信／計測アプリケーションにも対応可能な48フェムト秒未満のRMSジッタを達成しています。また、ADF4371のPLLは、業界をリードするスプリアス性能を備えています。PFDのスプリアスはわずか-100dBcで、フィルタリング前の帯域内の整数境界スプリアスはわずか-55dBcです。このような高い性能を備えることから、周波数プランニングがかなり簡素化されます。結果として、製品を市場に投入するまでの時間が大幅に短縮されます。多くのフラクショナルN型PLL/VCOデバイスでは、フラクショナルNスプリアスの発生メカニズムを予測することはできません。そのため、予定外の特性格評価や周波数プランニングが追加で必要になるケースがあります。そうした追加作業は、複雑さやコストを増加させる原因になります。

小型化への貢献

ADF4371/ADF4372のパッケージは、7mm×7mmの48ピンLGAです。デカップリング用に追加すべき部品は、最小限に抑えられています。つまり、その卓越した性能を得るために必要なものは、この小さなフットプリント内にすべて収められているということです。

最大限の性能を引き出すためには、電源ICとして「ADM7150」や「LT3045」といった高性能のLDO（低ドロップアウト）レギュレータを使用するとよいでしょう。VCOの電源電圧としては、3.3Vまたは5Vを使用できます。その他の回路の電源電圧は3.3Vです。ADF4371の採用に向けては、ADIsimPLL™によるシミュレーションを利用することができます。それにより、PLLシステム全体の実装に必要な外部回路を適切に設計することが可能になります。

まとめ

ADF4371は、業界をリードする周波数範囲、性能、外形寸法を実現しています。厳しい要件が求められる新たな通信システムや計測システムに最適な製品です。

著者について

Ian Collins (ian.collins@analog.com) は、アナログ・デバイセズのアプリケーション・マネージャです。主にPLL/VCO製品を担当するマイクロ波周波数生成グループに所属しています。ユニバーシティ・カレッジ・コークで電気／電子工学の学士号を取得。2000年からアナログ・デバイセズのRF／マイクロ波グループで業務に携わっています。プライベートでは、家族と共に過ごすほか、写真の撮影、演劇（出演と裏方）、読書、音楽鑑賞を楽しんでいます。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

*英語版デザイン・ノートは[こちら](#)よりご覧いただけます。