

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2020 年 2 月 4 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2020 年 2 月 4 日

製品名： LTC6806

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 23 ページ

【誤】

1 つの LTC6806 に対して 36 より少ないセルを使うシステムでは、番号が大きいチャンネルから順に使い、使用するセルのうち最も小さいセル番号を FCELL ビットに書き込みます。

【正】

1 つの LTC6806 に対して 36 より少ないセルを使うシステムでは、番号が大きいチャンネルから順に使い、使用するセルのうち最も小さいセル番号を、メモリーマップ、コンフィギュレーション・レジスタ・グループ内の CFGR2 レジスタの FCHNL ビット（6 ビット）に書き込みます。

36 チャンネル燃料電池モニタ

特長

- 最大144の直列の燃料電池セルを監視する36の測定チャンネル
- チャンネルの測定範囲: $\pm 5V$
- セル・スタックの電圧範囲: $-80V \sim 150V$
- 5Vの単電源で動作
- スタック可能なアーキテクチャで大規模燃料電池スタックをサポート
- isoSPI™ インターフェースを内蔵
 - 1MB/sの絶縁型シリアル通信
 - 1本のツイスト・ペア・ケーブルを使用(最大100m)
 - 低いEMI感度およびEMI放射
 - 双方向により破損ワイヤを保護
- 全測定誤差: 15mV
- 6.75msでシステム内の全てのセルを測定
- ノイズ・フィルタ内蔵デルタシグマ型コンバータ
- 6個の汎用デジタルI/Oまたはアナログ入力
 - 温度やその他のセンサー入力
- スリープ・モード電源電流: 12 μA
- 64ピンLQFPパッケージ
- 車載アプリケーション向けのAEC-Q100認定

アプリケーション

- 燃料電池式電気自動車およびハイブリッド電気自動車
- バックアップ電源システム
- 高出力携帯機器

概要

LTC®6806は、最大144個直列接続した燃料電池セルを15mV未満の全測定誤差で測定する燃料電池モニタです。LTC6806は36の入力チャンネルを備えています。 $\pm 5V$ の測定範囲を持つ各チャンネルは、1~4個直列接続した燃料電池セルを測定できます。

高速ADCモードでは6.75ms以内に36の全ての入力を測定できます。ノイズ低減の効果を高めるために、より低いデータ・アキュジション・レートを選択できます。ノーマルADCモードでは、全てのセルは10.3ms以内に測定され、全測定誤差は15mV未満です。

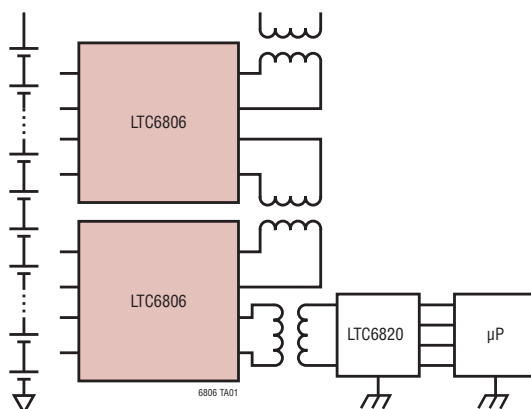
各LTC6806は、RF耐性のある高速長距離通信用のisoSPIインターフェースを備えています。以下の2つの通信モードをピンで選択できます。デジチェーン・モードでは、全てのデバイスに対して1つのホスト・プロセッサ接続を使い複数のデバイスをデジチェーン方式で接続します。並列モードでは、ホスト・プロセッサに対して複数のデバイスを並列に接続し、各デバイスを個別にアドレス指定します。

複数のLTC6806デバイスを直列接続できるので、非常に大規模な燃料電池スタックのセルを同時に監視できます。標準的应用例では、432個の燃料電池セルを監視するために12のLTC6806が直列に接続されています。代わりに、432個のセルを、2セルずつまとめて6つのICを使って監視することも、3セルずつまとめて4つのICを使って監視することもできます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8908779、9270133を含む米国特許によって保護されています。

標準的应用例

432個の燃料電池セルを4、6、12個のLTC6806 ICで監視



目次

特長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格.....	3
発注情報.....	3
ピン配置.....	3
電気的特性.....	4
代表的な性能特性	10
ピン機能.....	13
ブロック図	14
動作	15
状態図	15
LTC6806のコアの状態の説明	15
isoSPI状態の説明	15
スリープ・タイマー	16
消費電力	16
ADCの動作	17
連続監視(MONITOR状態)	22
データ・アクイジション・システムの診断.....	24
シリアル・インターフェースの概要	28
4線式シリアル・ペリフェラル・インターフェース(SPI)の物理層	28
2線絶縁型インターフェース(isoSPI)の物理層	28
データ・リンク層.....	38
ネットワーク層	38
プログラミング例.....	53
アプリケーション情報.....	55
DC電力の供給	55
デジタル通信	56
isoSPIハードウェアの構成	56
セル入力とGPIO入力のフィルタリング	67
高度なアプリケーション	70
パッケージ	73
関連製品.....	74

絶対最大定格

(Note 1)

V_Fを基準としたCピンの電圧:

n = 0~12の場合 -60V < C[n] < 75V

n = 13~24の場合 -60V < C[n] < 105V

n = 25~36の場合 -80V < C[n] < 150V

動作温度範囲: -40°C ~ 125°C

V_Fを基準としたGPIOピン49~54: -0.3V < ピン電圧 < V_F + 0.3VV_Fを基準としたその他の全てのピン: -0.3V < ピン電圧 < 6.5V

ピンへの流入電流/ピンからの流出電流:

IPA、IMA、IPB、IMBを除く全てのピン 10mA 未満

IPA、IMA、IPB、IMB 30mA 未満

規定ジャンクション温度範囲

LTC6806I -40°C ~ 85°C

LTC6806H -40°C ~ 125°C

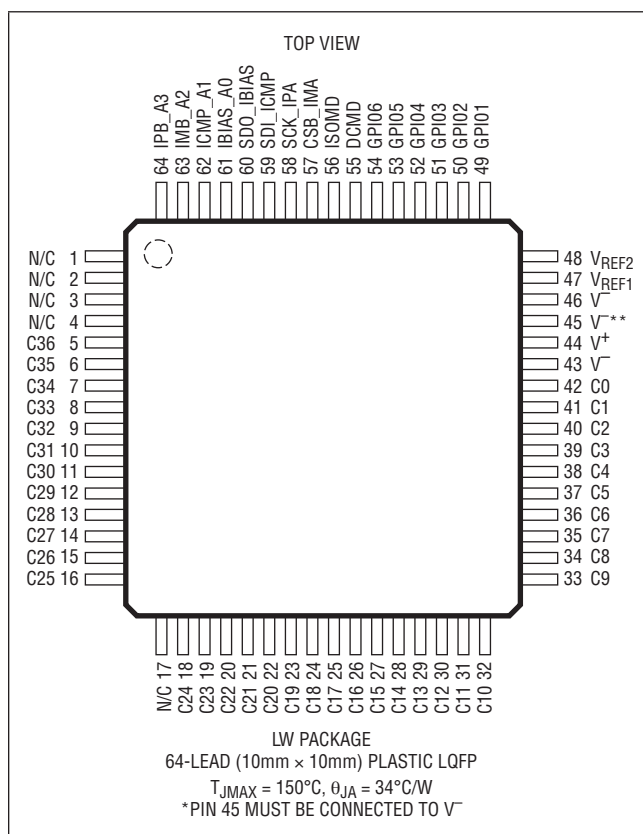
最大ジャンクション温度 150°C

保存温度範囲 -65°C ~ 150°C

デバイスのHBM(人体モデル)ESD分類レベル: 3A

デバイスのCDM(デバイス帯電モデル)ESD分類レベル: C4A

ピン配置



発注情報

オートモーティブ製品**

トレイ(160PC)	テープ&リール(1500PC)	製品マーキング*	パッケージ	MSL 定格	規定ジャンクション温度範囲
LTC6806ILW#3ZZPBF	LTC6806ILW#3ZZTRPBF	LTC6806LW	64-Lead Plastic LQFP	3	-40°C to 85°C
LTC6806HLW#3ZZPBF	LTC6806HLW#3ZZTRPBF	LTC6806LW	64-Lead Plastic LQFP	3	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

テープ&リールの仕様を参照してください。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

**このデバイス・バージョンは、車載アプリケーションの品質と信頼性の条件に対応するため、管理の行き届いた製造工程により供給されます。これらのモデルは#3ZZ接尾部により指定されます。車載アプリケーションには、上記の車載グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有の車載信頼性レポートについては、最寄りのアナログ・デバイス代理店までお問い合わせください。

電気的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = +5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC の DC 仕様						
	Cell Measurement Range, C(n) to C(n-1)	Cell Measurements with HIRNG = 0 Cell Measurements with HIRNG = 1	● ●	-2.5 -5.0	2.5 5.0	V V
	V^+ Measurement Range (Relative to V^-)		●	4.75	5.5	V
	Other Non-Cell Measurement Range (Relative to V^-)	$V^+ = 4.75\text{V}$ $V^+ = 5.5\text{V}$	●	0 0	4.2 5.0	V V
	Cell Measurement Resolution, C(n) to C(n-1)	Cell Measurements with HIRNG = 0 Cell Measurements with HIRNG = 1		1.5 3.0		mV/bit mV/bit
	V^+ Measurement Resolution (Relative to V^-)			1.875		mV/bit
	Other Non-Cell Measurement Resolution (Relative to V^-)			1.5		mV/bit
	ADC Offset Voltage	(Note 2)		1		mV
	ADC Gain Error	(Note 2)		0.2		%
TME.1	Total Measurement Error (TME) of Cell Inputs in Alternate/Filtered Modes, with HIRNG = 0 (Notes 7, 8, and 9)	C(n) to C(n-1) = 0V, $V_{Cx} > 0\text{V}$, 72V Stack	●	-12	12	mV
		C(n) to C(n-1) = 0V, $V_{Cx} > 0\text{V}$, 72V Stack	●	-20	20	mV
		C(n) to C(n-1) = $\pm 1.25\text{V}$, $V_{Cx} > 0\text{V}$, 72V Stack	●	-15	15	mV
		C(n) to C(n-1) = $\pm 1.25\text{V}$, $V_{Cx} > 0\text{V}$, 72V Stack	●	-20	20	mV
	Total Measurement Error (TME) of Cell Inputs in Normal Modes, with HIRNG = 0	C(n) to C(n-1) = $\pm 2.5\text{V}$, $V_{Cx} > 0\text{V}$, 72V Stack	●	-19	19	mV
		C(n) to C(n-1) = $\pm 2.5\text{V}$, $V_{Cx} > 0\text{V}$, 72V Stack	●	-24	24	mV
		C(n) to C(n-1) = 0V, $V_{Cx} > -5\text{V}$, 72V stack	●	-18	18	mV
		C(n) to C(n-1) = 0V, $V_{Cx} > -5\text{V}$, 72V stack	●	25	25	mV
		C(n) to C(n-1) = 0V, $V_{Cx} > 0\text{V}$, 72V stack	●	-15	15	mV
		C(n) to C(n-1) = 0V, $V_{Cx} > 0\text{V}$, 72V stack	●	-20	20	mV
		C(n) to C(n-1) = $\pm 1.25\text{V}$, $V_{Cx} > 0\text{V}$, 72V stack	●	-17	17	mV
		C(n) to C(n-1) = $\pm 1.25\text{V}$, $V_{Cx} > 0\text{V}$, 72V stack	●	-20	20	mV
	C(n) to C(n-1) = $\pm 1.25\text{V}$, $n=2$ to 14, $V_{Cx}=60\text{V}$ C(n) to C(n-1) = $\pm 1.25\text{V}$, $n=15$ to 25, $V_{Cx}=95\text{V}$ C(n) to C(n-1) = $\pm 1.25\text{V}$, $n=26$ to 36, $V_{Cx}=140\text{V}$		●	-27	27	mV
			●	-27	27	mV
			●	-27	27	mV
			●	-27	27	mV
TME.2	Total Measurement Error (TME) of Cell Inputs in Normal/Alternate/Filtered Modes, with HIRNG = 1	C(n) to C(n-1) = 0V, $V_{Cx} > 0\text{V}$, 72V stack	●	-17	17	mV
		C(n) to C(n-1) = 0V, $V_{Cx} > 0\text{V}$, 72V stack	●	-24	24	mV
		C(n) to C(n-1) = $\pm 5\text{V}$, $V_{Cx} > 0\text{V}$, 72V stack	●	-34	34	mV
		C(n) to C(n-1) = $\pm 5\text{V}$, $V_{Cx} > 0\text{V}$, 72V stack	●	-40	40	mV
TME.3	Total Measurement Error (TME) of V^+ (Relative to V^-) in Normal/Alternate/Filtered Modes		●	-40	40	mV
			●	-55 -65	55 65	mV mV

電気的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = +5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
TME.4	Total Measurement Error (TME) of GPIO in Normal/Alternate/Filtered Modes	GPIO(n) to $V^- = +1.25\text{V}$	●	–15	15	mV
		GPIO(n) to $V^- = +1.25\text{V}$	●	–20	20	mV
		GPIO(n) to $V^- = +2.5\text{V}$	●	–25	25	mV
		GPIO(n) to $V^- = +2.5\text{V}$	●	–32	32	mV
	Total Measurement Error (TME) of Sum of Cells Normal/Alternate/Filtered Modes	GPIO(n) to $V^- = +4.2\text{V}$, $V^+ = 4.75\text{V}$	●	–42	42	mV
		GPIO(n) to $V^- = +4.2\text{V}$, $V^+ = 4.75\text{V}$	●	–50	50	mV
		GPIO(n) to $V^- = +5\text{V}$, $V^+ = 5.5\text{V}$	●	–42	42	mV
		GPIO(n) to $V^- = +5\text{V}$, $V^+ = 5.5\text{V}$	●	–50	50	mV
TME.1F	Total Measurement Error (TME) of Cell Inputs in Fast Mode, with HIRNG = 0	Sum of Cells, $\text{VC36} = 150\text{V}$	●	–1.2	1.2	%
		Sum of Cells, $\text{VC36} = 25\text{V}$	●	–2	2	%
		Total Measurement Error (TME) of Junction Temperature in Normal/Alternate/Filtered Modes		± 14.5		$^\circ\text{C}$
	Total Measurement Error (TME) of VREF2 in Normal/Alternate/Filtered Modes		●	–30	30	mV
TME.3F	Total Measurement Error (TME) of V^+ (Relative to V^-) in Fast Mode	C(n) to C(n-1) = $\pm 1.25\text{V}$, $\text{VCx} > 0\text{V}$	●	–95	95	mV
		C(n) to C(n-1) = $\pm 2.5\text{V}$, $\text{VCx} > 0\text{V}$	●	–225	225	mV
		C(n) to C(n-1) = $\pm 2.5\text{V}$, $\text{VCx} > -5\text{V}$	●	–250	250	mV
TME.4F	Total Measurement Error (TME) of GPIO in Fast Mode		●	–120	120	mV
I _{LM}	Input Voltage Range	GPIO(n) to $V^- = +1.25\text{V}$	●	–55	55	mV
		GPIO(n) to $V^- = +2.5\text{V}$	●	–60	60	mV
		GPIO(n) to $V^- = +4.2\text{V}$, $V^+ = 4.75\text{V}$	●	–90	90	mV
		Sum of Cells, $\text{VC36} = 150\text{V}$	●	–2.5	2.5	%
		Total Measurement Error (TME) of Junction Temperature in Fast Mode		± 20		$^\circ\text{C}$
	Total Measurement Error (TME) of VREF2 in Fast Mode			± 75		mV
I _{LO}	Input Leakage Current (I_L) when Inputs Are Being Measured	C0 – C13 to V^-	●	–5	60	V
		C14 – C24 to V^-	●	–5	95	V
		C25 – C36 to V^-	●	–5	140	V
		GPIO(n) = 1 to 6, $V^+ \leq 5\text{V}$	●	0	V^+	V
		GPIO(n) = 1 to 6, $V^+ > 5\text{V}$	●	0	5	V
I _{LS}	Input Leakage Current (I_L) when Inputs Are Not Being Measured, in all modes	C(n) n = 0 to 36, $V_{C(n)} - V^- > 5\text{V}$		5	30	μA
		C(n) n = 1 to 36, $V_{C(n)} - V^- < 5\text{V}$		–550	60	μA
		GPIO(n) n = 1 to 6		5	10	μA
I _{LS}	Input Leakage Current (I_L) in SLEEP/STANDBY mode	C(n) n = 0 to 36, $V_{C(n)} - V^- > 0\text{V}$	●	–1.6	0	1.6 μA

電氣的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = +5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
I _{LOW}	Additional Input Current During Open Wire Detection (n= 1 to 36)	C(n) to V ⁻ = 0V, n ≠ 13 or 24, pull up current		− 20			μA
		C(n) to V ⁻ = 0V, n = 13 and 24, pull up current		− 40			μA
		C(n) to V ⁻ = 2V, n ≠ 13 or 24, pull up current		− 8			μA
		C(n) to V ⁻ = 2V, n = 13 and 24, pull up current		− 16			μA
		C(n) to V ⁻ = 2V, n ≠ 13 or 24, pull down current		8			μA
		C(n) to V ⁻ = 2V, n = 13 and 24, pull down current		16			μA
		C(n) to V ⁻ = 4V, n ≠ 13 or 24, pull down current		18			μA
		C(n) to V ⁻ = 4V, n = 13 and 24, pull down current		36			μA
		C(n) to V ⁻ ≥ 6V, n ≠ 13 or 24, pull down current	●	4	25	50	μA
		C(n) to V ⁻ ≥ 6V, n = 13 and 24, pull down current	●	4	50	100	μA

電圧リファレンスの仕様

V_{REF1}	1 st Reference Voltage	V_{REF1} Pin, No Load	●	2.700	3.060	3.300	V
	1 st Reference Voltage TC	V_{REF1} Pin, No Load			10		ppm/ $^\circ\text{C}$
	1 st Reference Voltage Hysteresis	V_{REF1} Pin, No Load			100		ppm
	1 st Reference Voltage Long Term Drift	V_{REF1} Pin, No Load			60		ppm/ $\sqrt{\text{Khr}}$
V_{REF2}	2 nd Reference Voltage	V_{REF2} Pin, No Load V_{REF2} Pin, 1mA Load to V^-	● ●	2.300 2.200	2.500 2.500	2.700 2.700	V V
	2 nd Reference Voltage TC	V_{REF2} Pin, No Load			40		ppm/ $^\circ\text{C}$
	2 nd Reference Voltage Hysteresis	V_{REF2} Pin, No Load			500		ppm
	2 nd Reference Voltage Long Term Drift	V_{REF2} Pin, No Load			500		ppm/ $\sqrt{\text{Khr}}$

全般的なDC仕様

I _{V+}	V ⁺ Supply Current (see Figure 1)	SLEEP Mode, Serial = OFF		●	12	25	μA	
		STANDBY Mode, Serial = OFF		●	0.5	0.85	mA	
		REFUP Mode, Serial = OFF		●	2.25	3.1	mA	
		MEASURE/MONITOR Modes, Serial = OFF		●	4.25	5.75	mA	
	Additional V ⁺ Supply Current if isoSPI in READY/ACTIVE States Note: Active State Current Assumes t _{CLK} = 1μs.(Note 3)	LTC6806, DCMD = 0, ISOMD = 1 R _{B1} + R _{B2} = 2k	READY	●	3.6	4.5	5.4	mA
			ACTIVE	●	4.6	5.8	7.0	mA
		LTC6806, DCMD = 1, ISOMD = 0 R _{B1} + R _{B2} = 2k	READY	●	3.6	4.5	5.2	mA
			ACTIVE	●	5.6	6.8	8.1	mA
		LTC6806, DCMD = 1, ISOMD = 1 R _{B1} + R _{B2} = 2k	READY	●	4.0	5.2	6.5	mA
			ACTIVE	●	7.0	8.5	10.5	mA
		LTC6806, DCMD = 0, ISOMD = 1 R _{B1} + R _{B2} = 20k	READY	●	1.0	1.8	2.6	mA
			ACTIVE	●	1.2	2.2	3.2	mA
		LTC6806, DCMD = 1, ISOMD = 0 R _{B1} + R _{B2} = 20k	READY	●	1.0	1.8	2.4	mA
			ACTIVE	●	1.3	2.3	3.3	mA
		LTC6806, DCMD = 1, ISOMD = 1 R _{B1} + R _{B2} = 20k	READY	●	1.6	2.5	3.5	mA
			ACTIVE	●	1.8	3.1	4.8	mA
V _{SUP}	V ⁺ Supply Voltage Where TME Specifications Are Met			●	4.75	5	5.5	V

電氣的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = +5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
ADCのタイミング仕様							
T _{CYCLE} (Figure 4)	Calibration Cycle + Measure Time when Starting from the REFUP State, MD = 00 (Note 6)	ADCV 1 Cell			0.38		ms
		ADCV/CVST 36 Cells			6.75		ms
		ADAX/ADSTAT 1 Channel			0.25		ms
		ADAX/AXST 7 Channels			0.95		ms
		ADSTAT/STATST/ADAXSC 3 Channels			0.48		ms
		ADCVSC 37 Channels			7.16		ms
	Calibration Cycle + Measure Time when Starting from the REFUP State, MD = 01 (Note 6)	ADCV 1 Cell			0.57		ms
		ADCV/CVST 36 Cells			10.30		ms
		ADAX/ADSTAT 1 Channel			0.44		ms
		ADAX/AXST 7 Channels			1.72		ms
		ADSTAT/STATST/ADAXSC 3 Channels			0.87		ms
		ADCVSC 37 Channels			11.00		ms
	Calibration Cycle + Measure Time when Starting from the REFUP State, MD = 10 (Note 6)	ADCV 1 Cell			0.83		ms
		ADCV/CVST 36 Cells			15.03		ms
		ADAX/ADSTAT 1 Channel			0.70		ms
		ADAX/AXST 7 Channels			2.75		ms
		ADSTAT/STATST/ADAXSC 3 Channels			1.38		ms
		ADCVSC 37 Channels			16.12		ms
	Calibration Cycle + Measure Time when Starting from the REFUP State, MD = 11 (Note 6)	ADCV 1 Cell			2.36		ms
		ADCV/CVST 36 Cells			43.45		ms
ADAX/ADSTAT 1 Channel				2.23		ms	
ADAX/AXST 7 Channels				8.89		ms	
ADSTAT/STATST/ADAXSC 3 Channels				4.46		ms	
ADCVSC 37 Channels				46.84		ms	
T _{MONITOR}	Monitor Cycle Time when Starting from the REFUP State (Note 6)	MM = 01			11.15		ms
		MM = 10			16.40		ms
		MM = 11			47.89		ms
T _{DIAGNOSE}	DIAGN Time when Starting from the REFUP State (Note 6)				0.60		ms
t _{WAKE}	Wake Up Time		●	100	300		μs
t _{SLEEP}	Sleep Timeout		●	1.5			s
t _{REFUP}	Reference Wake-Up Time	State: Core = STANDBY (Note 6) State: Core = REFUP	●	5.6	6.8	8 0	ms ms
f _S	Clock Frequency		●	1.7	2.0	2.5	MHz

ピンのDC仕様

V_{IH}	Digital Input Voltage High	Pins CSB_IMA, SCK_IPA, SDI_ICMP, IBIAS_A0, ICMP_A1, IMB_A2, IPB_A3 when DCMD = 0 Pins ISOMD, DCMD, GPIO[1:6]	●	2.0		V
V_{IL}	Digital Input Voltage Low	Pins CSB_IMA, SCK_IPA, SDI_ICMP, IBIAS_A0, ICMP_A1, IMB_A2, IPB_A3 when DCMD = 0 Pins ISOMD, DCMD, GPIO[1:6]	●		0.8	V
$I_{\text{LEAK(DIG)}}$	Digital Input Current	Pins CSB_IMA, SCK_IPA, SDI_ICMP, IBIAS_A0, ICMP_A1, IMB_A2, IPB_A3 when DCMD = 0 Pins ISOMD, DCMD, GPIO[1:6]	●		± 5	μA
V_{OL}	Digital Output Low	Pins SDO, GPIO[1:6] Sinking 1mA	●		0.1	V

isoSPIのDC仕様

V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	●	1.9	2.0 0	2.1 V V
I_{B}	Isolated Interface Bias Current	$R_{\text{B}} = 2\text{k}\Omega$ to $20\text{k}\Omega$	●	0.1	1.0	mA

電氣的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = +5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
A_{IB}	Isolated Interface Current Gain	$V_{TCMP} \leq 1.6\text{V}$ $I_B = 0.1\text{mA}$ $I_B = 1\text{mA}$	●	18 18	20 20	23 26	mA/mA mA/mA
V_A	Transmitter Pulse Amplitude	$V_A = V_{IP} - V_{IM} $	●			1.6	V
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{TCMP} = A_{TCMP} \cdot V_{ICMP}$	●	0.2		1.5	V
$I_{LEAK(ICMP)}$	Input Leakage Current on ICMP Pin	$V_{TCMP} = 0\text{V to } V^+$	●			± 1	μA
$I_{LEAK(IP/IM)}$	Leakage Current on IP and IM Pins	IDLE State, V_{IP} or $V_{IM} = 0\text{V to } V^+$	●			± 1	μA
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{CM} = V^+/2 \text{ to } V^+ - 0.2\text{V}$, $V_{ICMP} = 0.2\text{V to } 1.5\text{V}$	●	0.4	0.5	0.6	V/V
V_{CM}	Receiver Common Mode Bias	IP/IM Not Driving		$(V^+ - V_{ICMP}/3 - 167\text{mV})$			V
R_{IN}	Receiver Input Resistance	Single-Ended to IPA, IMA, IPB, IMB	●	26	35	45	$\text{k}\Omega$

isoSPI の IDLE / ウェイクアップ仕様

V_{WAKE}	Differential Wake-Up Voltage	$t_{DWELL} = 240\text{ns}$	●	250			mV
t_{DWELL}	Dwell Time at V_{WAKE} Before Wake Detection		●	240			ns
t_{READY}	Start-Up Time After Wake Detection		●			10	μs
t_{IDLE}	Idle Timeout Duration	(Note 6)	●		10		ms

isoSPI のパルス・タイミング仕様

$t_{\frac{1}{2}PW(CS)}$	Chip-Select Half-Pulse Width	Transmitter	●	120	150	180	ns
$t_{FILT(CS)}$	Chip-Select Signal Filter	Receiver	●	70	90	110	ns
$t_{INV(CS)}$	Chip-Select Pulse Inversion Delay	Transmitter	●	120	155	190	ns
$t_{WNDW(CS)}$	Chip-Select Valid Pulse Window	Receiver	●	220	270	330	ns
$t_{\frac{1}{2}PW(D)}$	Data Half-Pulse Width	Transmitter	●	40	50	60	ns
$t_{FILT(D)}$	Data Signal Filter	Receiver	●	10	25	35	ns
$t_{INV(D)}$	Data Pulse Inversion Delay	Transmitter	●	40	55	65	ns
$t_{WNDW(D)}$	Data Valid Pulse Window	Receiver	●	70	90	110	ns

SPI のタイミング条件 (図 18 を参照)

t_{CLK}	SCK Period	(Note 4)	●	1			μs
t_1	SDI Setup Time Before SCK Rising Edge		●	25			ns
t_2	SDI Hold Time After SCK Rising Edge		●	25			ns
t_3	SCK Low	$T_{CLK} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_4	SCK High	$T_{CLK} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_5	CSB Rising Edge to CSB Falling Edge		●	0.65			μs
t_6	SCK Rising Edge to CSB Rising Edge	(Note 4)	●	0.8			μs
t_7	CSB Falling Edge to SCK Rising Edge	(Note 4)	●	1			μs
t_8	SCK Falling Edge to SDO Valid	(Note 5)	●			60	ns

isoSPI のタイミング仕様

t_9	SCK Rising Edge to Short ± 1 Transmit		●			50	ns
t_{10}	CSB Transition to Long ± 1 Transmit		●			60	ns
t_{11}	CSB Rising Edge to SDO Rising	(Note 5)	●			200	ns
t_{RTN}	Data Return Delay		●	325	375	425	ns
$t_{DSY(CS)}$	Chip-Select Daisy-Chain Delay		●		120	180	ns

電気的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = +5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{DSY(D)}$	Data Daisy-Chain Delay	●	200	250	300	ns
t_{LAG}	Data Daisy-Chain Lag (vs. Chip-Select)	●	0	35	70	ns
$t_5(\text{GOV})$	Chip-Select High-to-Low Pulse Governor	●	0.6		0.82	μs
$t_6(\text{GOV})$	Data to Chip-Select Pulse Governor	●	0.8		1.05	μs
t_{BLOCK}	isoSPI Port Reversal Blocking Window	●	2		10	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。C0の絶対最大定格は、試験装置の制約に起因して $\pm 30\text{V}$ でテストされている。C0とC1~C12は同じように設計されている。

Note 2: ADCの仕様は、全測定誤差の仕様によって確認されている。

Note 3: ACTIVE ステートの電流はDCの測定値から計算される。データ1が50%、データ0が50%の連続した通信がisoSPIポートに存在する場合、ACTIVEステートの電流は、 V^+ に流れ込む電源電流の増加分になる。この計算は、2つのisoSPIポートを使ったテスト回路#1および#2に基づいている。ACTIVEステートの電流は、1つのisoSPIポートを使った場合より50%少ない。その他の詳細については、アプリケーション情報のセクションを参照。

Note 4: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に50nsの遅延を許容する。50nsは10mのCAT5ケーブル(伝播速度が光速の66%)に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

Note 5: これらの仕様には、SD0の立ち上がり時間と立下がり時間は含まれない。立下がり時間(内部プルダウン・トランジスタのため標準で5ns)は問題ではないが、立ち上がりエッジの遷移時間 t_{RISE} はSD0ピンでのプルアップ抵抗と負荷容量によって異なる。SD0がMCUのセットアップ時間要件を満たすように、時定数を選択する必要がある。

Note 6: これらの時間は f_S に反比例して変化する。

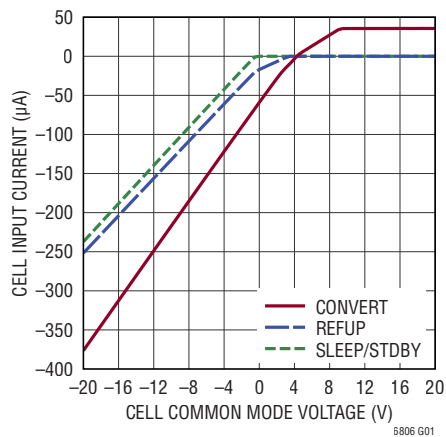
Note 7: TMEは、ピンの電圧と、LTC6806が報告するセルの測定値の差として定義される。

Note 8: V_{Cx} は、 V^- を基準とした、被測定入力ピンC(n)またはC(n-1)でのコモンモード電圧である。

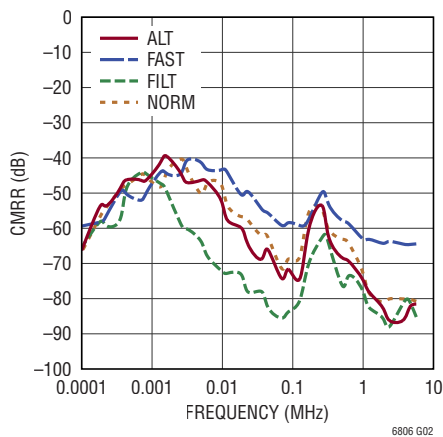
Note 9: 「72Vスタック」構成とは、LTC6806に接続した36個の直列の燃料電池セル(1セルあたりの平均セル電圧2V)を指す。

代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

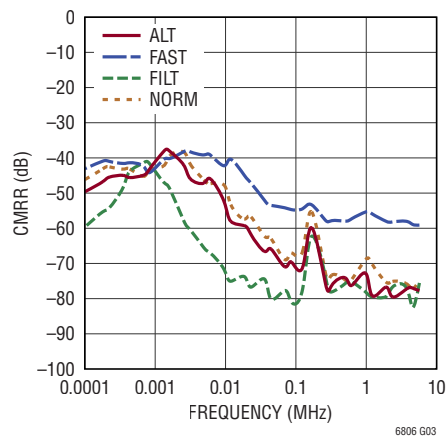
入力電流とセル・コモンモード電圧



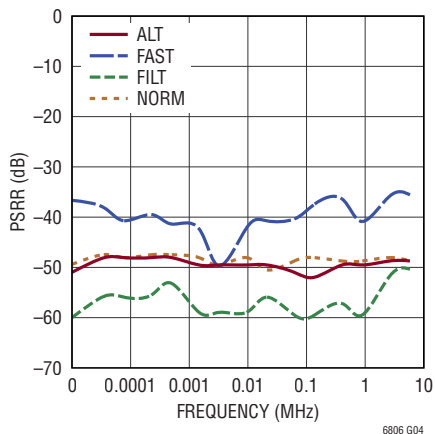
CMRRの周波数特性、LORNGモード



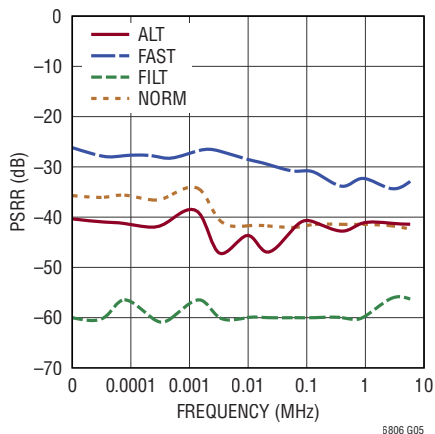
CMRRの周波数特性、HIRNGモード



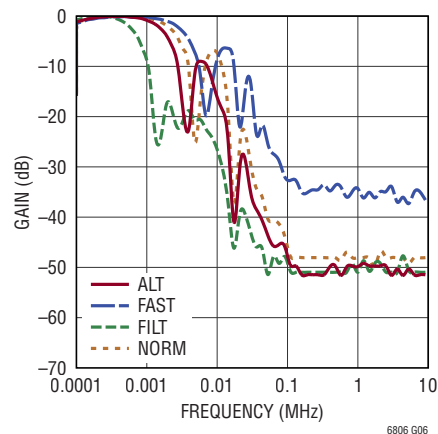
PSRRの周波数特性、LORNGモード



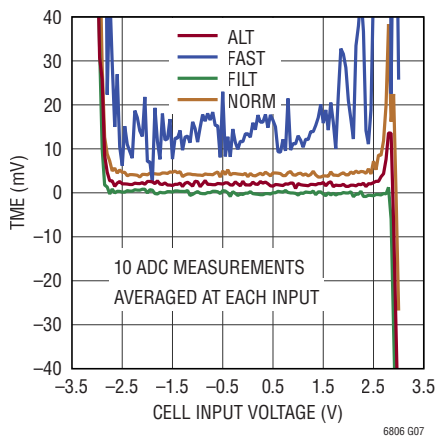
PSRRの周波数特性、HIRNGモード



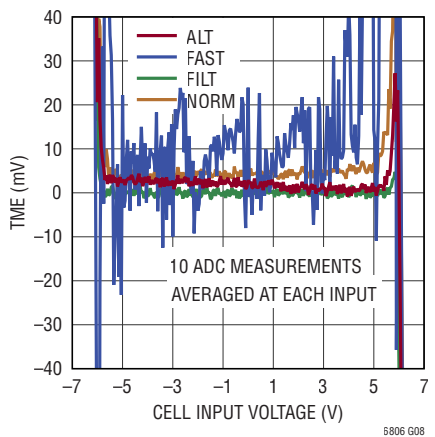
フィルタの応答



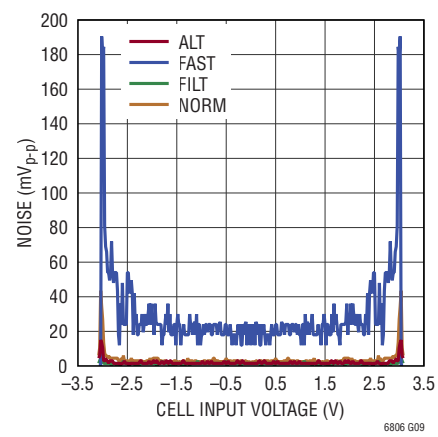
TMEとセル入力電圧、LORNGモード



TMEとセル入力電圧、HIRNGモード



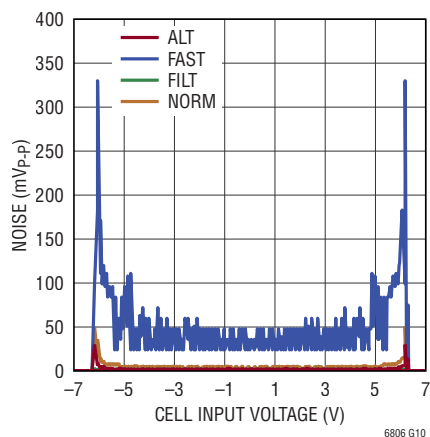
ピークtoピーク・ノイズとセル入力電圧、LORNGモード



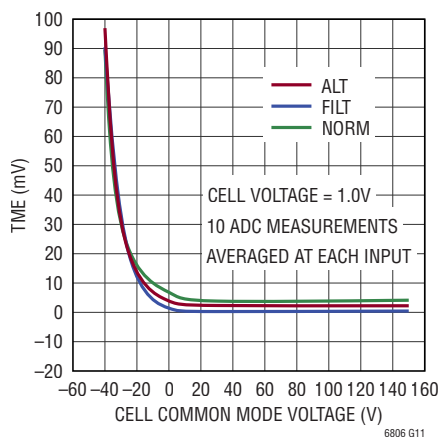
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。

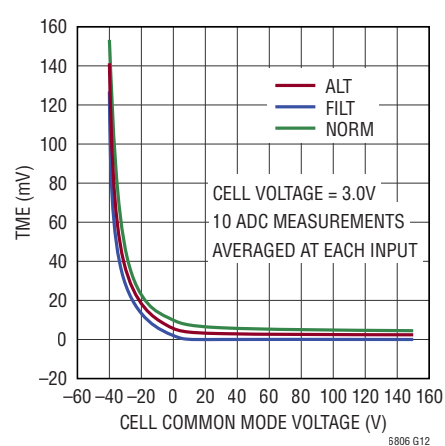
ピークtoピーク・ノイズと
セル入力電圧、HIRNGモード



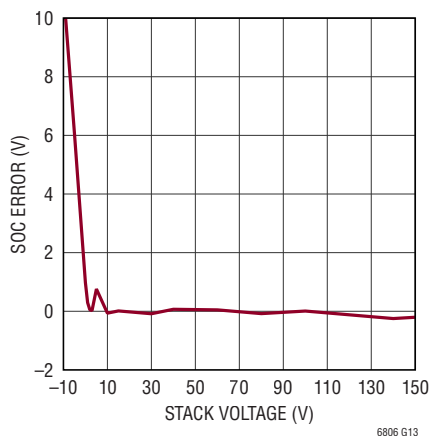
TMEとセル・コモンモード電圧、
LORNGモード



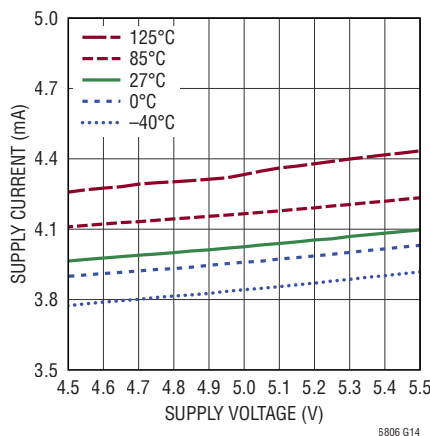
TMEとセル・コモンモード電圧、
HIRNGモード



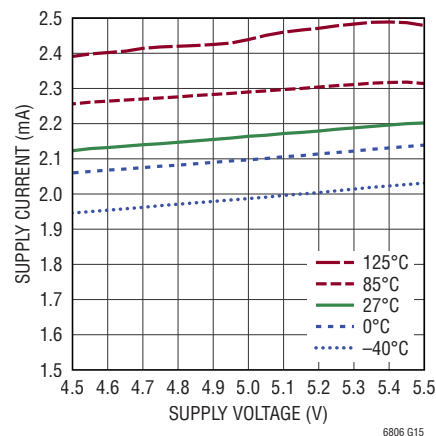
セル合計測定値誤差と
セル・スタック電圧(C36)



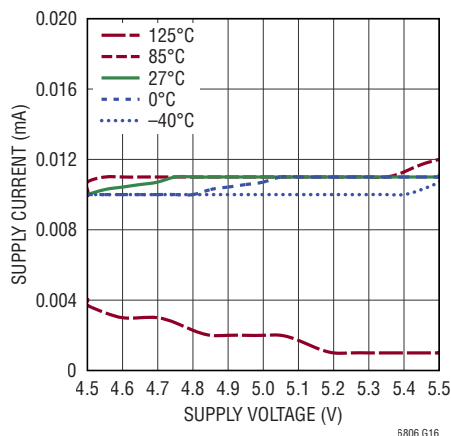
電源電流と電源電圧、
MEASUREモード



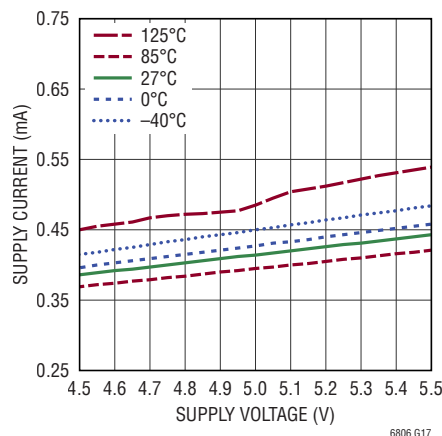
電源電流と電源電圧、
REFUPモード



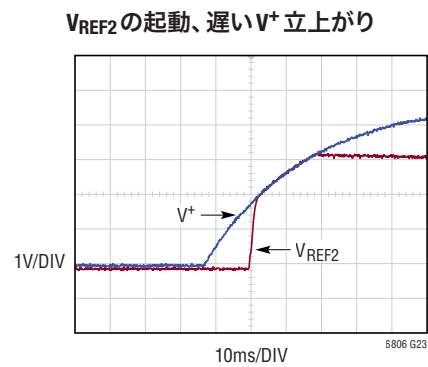
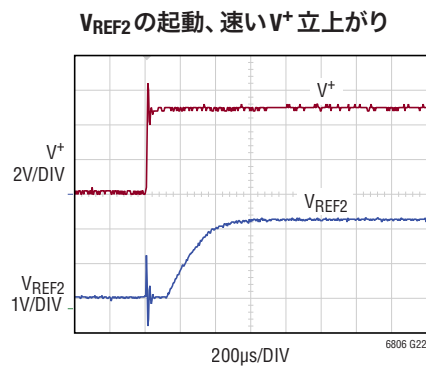
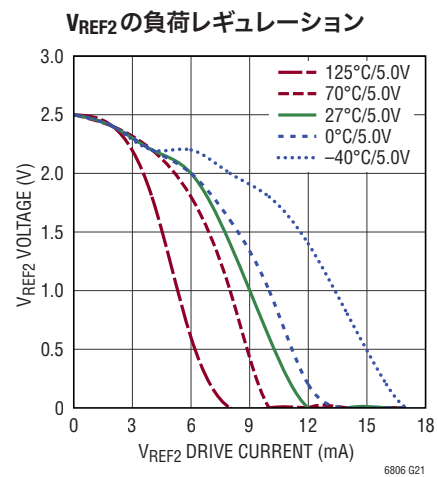
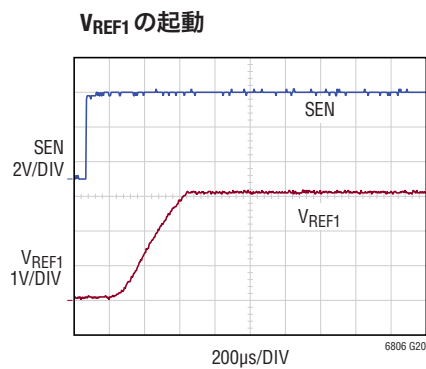
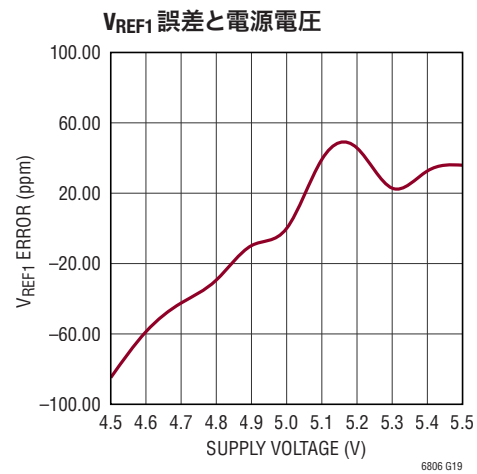
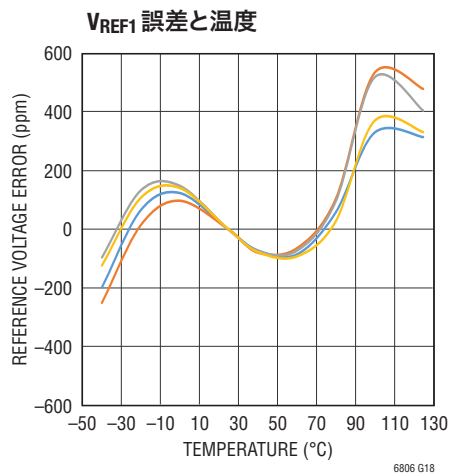
電源電流と電源電圧、
SLEEPモード



電源電流と電源電圧、
STANDBYモード



代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。



ピン機能

C0～C36：セルの入力。36より少ない入力を使う場合、番号が大きいチャンネルから順に使い、使わないCピンは全てV⁺に接続することを推奨します。C0は電源電圧に接続する必要があり、V⁺およびV⁻ピンを含む、動作電圧の絶対最大定格の範囲内の任意の電位に接続できます。より小さいコモンモード電圧で最良の入力精度を得るため、C0をV⁺に接続することを推奨します。燃料電池セルの入力抵抗が100Ωより大きい場合、C0をV⁺に接続すると、セルの入力リーク電流が一番下の燃料電池セルの電圧に影響することを防止することもできます。非常に大きな負の燃料電池スタック電圧(<-80V)、セルの入力リーク電流の低減、セルの測定精度の向上を実現するため、C0とV⁺の間に、ショットキー・ダイオードと並列に10k(またはアプリケーションによってはそれ以上)の抵抗を接続することを推奨します。このショットキー・ダイオードのアノードはV⁺に接続します。

V⁺：正側電源入力。電源電圧は4.75V～5.50Vとし、V⁻との間に、電源のリードの1cm以内に1μF以上のバイパス・コンデンサを接続する必要があります。

V⁻、V^{*}：負電源ピン。デバイスの外部で、V^{*}ピンをV⁻ピンと短絡させる必要があります。

V_{REF2}：2次側電圧リファレンス。最大4個のサーミスタを駆動するためにバッファされています。外付けの1μFコンデンサを使用してバイパスします。

V_{REF1}：ADCのリファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。DC負荷を接続することはできません。

GPIO[1:6]：汎用I/O。デジタル入力またはデジタル出力として使用するか、V⁻～5Vの測定範囲でアナログ入力として使用できます。ピン電圧は、V⁺に印加された正側(供給)電源電圧を超えないようにする必要があります。デジタル出力として使う場合、これらのピンはオープンドレイン出力になるため、GPIOピンとV⁺の間に1Mのプルアップ抵抗を接続する必要があります。

ISOMD：シリアル・インターフェース・モード・ピン。ISOMDをV⁺に接続すると、LTC6806のピン57～60は絶縁型の2線式インターフェース(isoSPI)モードに合わせて構成されます。ISOMDをV⁻に接続すると、LTC6806は4線SPIモードに合わせて構成されます。

DCMD：デジタイゼーション・モード・ピンDCMDをV⁺に接続すると、LTC6806はデジタイゼーション方式の複数チップ動作に合わせて構成されます。DCMDをV⁻に接続すると、LTC6806は並列方式の複数チップ動作に合わせて構成されます。

シリアル・ポート・ピン：表1に概要を示すように、シリアル・ポート・ピンは、DCMDおよびISOMDピンの状態に応じて構成できます。

表1. シリアル・ポート・ピン

	デジタイゼーション・モード (DCMD = V ⁺)		並列モード(DCMD = V ⁻)	
	ISOMD = V ⁺	ISOMD = V ⁻	ISOMD = V ⁺	ISOMD = V ⁻
PORT B (Pins 61 to 64)	IPB	IPB	A3	A3
	IMB	IMB	A2	A2
	ICMP	ICMP	A1	A1
	IBIAS	IBIAS	A0	A0
PORT A (Pins 57 to 60)	(NC)	SDO	IBIAS	SDO
	(NC)	SDI	ICMP	SDI
	IPA	SCK	IPA	SCK
	IMA	CSB	IMA	CSB

CSB、SCK、SDI、SDO：4線式シリアル・ペリフェラル・インターフェース(SPI)。アクティブ・ローのチップ選択(CSB)、シリアル・クロック(SCK)、およびシリアル・データ入力(SDI)はデジタル入力です。シリアル・データ出力(SDO)はオープン・ドレインNMOS出力ピンです。SDOにはプルアップ抵抗が必要です。5k未満の抵抗を推奨します。

A0～A3：アドレス・ピン。これらのデジタル入力は、アドレス指定可能なシリアル・コマンド用のチップ・アドレスを設定するために、V⁺またはV⁻に接続する必要があります。

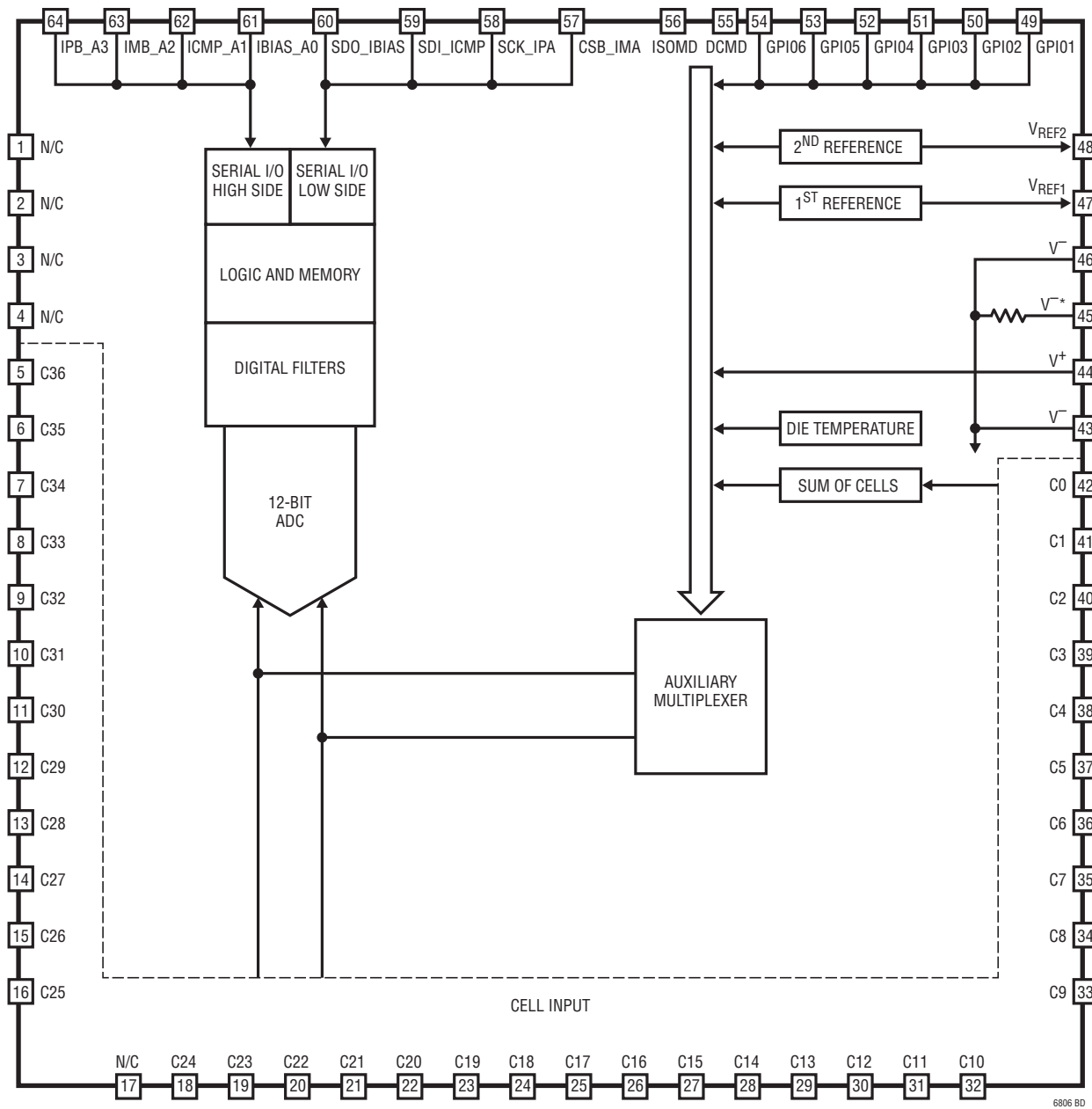
IPA、IMA：絶縁型の2線式シリアル・インターフェース・ポートA。IPA(プラス)とIMA(マイナス)は、差動入力/出力対です。

IPB、IMB：絶縁型の2線式シリアル・インターフェース・ポートB。IPB(プラス)とIMB(マイナス)は、差動入力/出力対です。

IBIAS：絶縁型インターフェースの電流バイアス。IBIASをV⁻に抵抗分圧器を介して接続し、インターフェースの出力電流レベルを設定します。isoSPIインターフェースがイネーブルされている場合、IBIASピンの電圧は2Vです。IPA/IMAまたはIPB/IMBの出力駆動電流は、IBIASピンから流れ出る電流(I_B)の20倍に設定されます。

ICMP：絶縁型インターフェースのコンパレータ電圧閾値設定。このピンをIBIASとV⁻の間の抵抗分圧器に接続し、isoSPIレシーバーのコンパレータの電圧閾値を設定します。コンパレータの閾値はICMPピンの電圧の半分に設定されます。

ブロック図



6806 BD

動作

ステート図

LTC6806の動作は、コア回路とisoSPI回路の2つのセクションに分かれています。両方のセクションは、独立した一連の動作ステートと、タイムアウトによるシャットダウンを備えています。

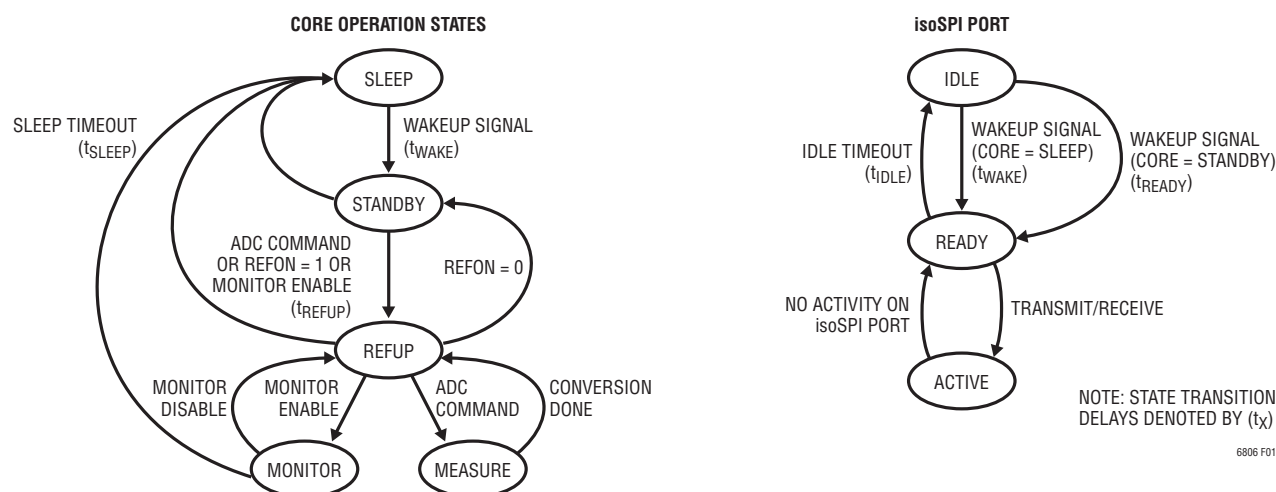


図1. LTC6806の動作ステート図

LTC6806のコアのステートの説明

SLEEP ステート

リファレンス、発振器、ADC変調器はオフします。スリープ・タイマーはタイムアウトしています。isoSPIポートは、IDLEステートになります。電源電流は最小レベルまで減少します。WAKEUP信号を受信すると(シリアル・インターフェースのウェイクアップを参照)、LTC6806はSTANDBYステートに入ります。

STANDBY ステート

発振器がオンします。リファレンスとADC変調器はオフのままです。スリープ・タイマーは実行中です。REFONビットがセットされる、有効なADCコマンドを受信する、MONITORモードが有効になる、のいずれかの場合、本ICはREFUPに移行します。それ以外で、シリアル・インターフェースがIDLEにとどまっている場合、LTC6806は t_{SLEEP} 後にSLEEPに戻ります。

REFUP ステート

本ICはA/D変換を開始する準備が整っています。リファレンスがオンします。ADC変調器はオフします。スリープ・タ

イマーは実行中です。有効なADCコマンドを受け取ると本ICはMEASUREステートに移行し、変換を開始します。MONITORモードが有効になると本ICはMONITORステートに移行し、監視を開始します。それ以外で、シリアル・インターフェースがIDLEにとどまっている場合、LTC6806は t_{SLEEP} 後にSLEEPに戻ります。

MEASURE ステート

本ICはA/D変換を実行中です。リファレンスとADC変調器の電源が投入されます。変換が済んだ後、本ICはREFUPに戻り、REFONビットが0になると、本ICはSTANDBYに戻ります。

MONITOR ステート

本ICは引き続きA/D変換を実行中であり、GPIO[4:6]を使って障害状態を表示します。リファレンスとADC変調器はオンします。スリープ・タイマーがタイムアウトする、または構成レジスタ・グループのMMDビットに00が書き込まれるまで監視は継続されます。MONITORステートでは、GPIO3をV_Iに駆動することでスリープ・タイマーを無効にできます。

動作

isoSPI ステートの説明

IDLE ステート

isoSPI ポートの電力が遮断されます。

isoSPI のポート A またはポート B が WAKEUP 信号を受信すると (シリアル・インターフェースのウェイクアップを参照)、isoSPI は READY ステートに移行します。コアが STANDBY ステートにある場合、この移行は素早く (t_{READY} 以下で) 行われます。コアが SLEEP ステートにある場合、isoSPI は、WAKEUP 信号を受信してから、 t_{WAKE} 以内に READY ステートに移行します。

READY ステート

isoSPI ポートは通信可能な状態にあります。DCMD を V^+ に接続するとポート B はイネーブルされます。このステートでのシリアル・インターフェース電流は、DCMD ピンの状態、ISOMD ピンの状態と $R_{\text{BIAS}} = R_{\text{B1}} + R_{\text{B2}}$ (IBIAS ピンに接続された外付け抵抗) によって決まります。

ポート A またはポート B で動作がない (つまり、WAKEUP 信号がない) 時間が t_{IDLE} より長くなると、LTC6806 は IDLE ステートに移行します。シリアル・インターフェースがデータを送信または受信すると、LTC6806 は ACTIVE ステートに移行します。

ACTIVE ステート

LTC6806 は、一方または両方の isoSPI ポートを使用してデータの送受信を行います。シリアル・インターフェースは、この状態で最も多くの電力を消費します。isoSPI パルスの密度が高くなるので、電源電流はクロック周波数の増加に伴って増加します。

スリープ・タイマー

SPI または isoSPI ポート上に WAKEUP 信号が 1.5 秒以上存在しない場合、スリープ・タイマーがタイムアウトします。

このスリープ・タイムアウトによって設定レジスタは起動デフォルト値に初期化されます。これにより、LTC6806 が GPIO ピンをローに駆動しないように GPIOx ピン制御ビットがロジック「1」に初期化されます。REFON、MMD、FCHNL の各ビットもクリアされます。コアは SLEEP ステートに移行し、シリアル・ポートは IDLE ステートに移行します。

コアが MONITOR ステートにある場合、GPIO3 を V^- に駆動することでスリープ・タイマーを無効にできます。このような方法で本デバイスはいつまでも監視を続けることができます。シリアル通信でスリープ・タイマーをリセットする必要はありません。

消費電力

消費電力は動作ステートによって異なります。各ステートでの電源ピンの電流を概算する式を表2および表3に示します。

表 2. コアの電源電流

	I_{V^+}
SLEEP	12 μ A
STANDBY	500 μ A
REFUP	2.25mA
MEASURE	4.25mA
MONITOR	4.25mA

表 3. isoSPI の電源電流の式

isoSPI STATE	DCMD	ISOMD	$I_{\text{REG(isoSPI)}}$
IDLE			0mA
READY	High	High	$2\text{mA} + 3 \cdot I_B$
		Low	$1.5\text{mA} + 3 \cdot I_B$
	Low	High	$1.5\text{mA} + 3 \cdot I_B$
		Low	0mA
ACTIVE	High	High	Write: $2\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_B$
			Read: $2\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 1.5}{t_{\text{CLK}}}\right) \cdot I_B$
		Low	$1.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_B$
	Low	High	Write: $1.5\text{mA} + 3 \cdot I_B$
			Read: $1.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 0.5}{t_{\text{CLK}}}\right) \cdot I_B$
		Low	0mA

動作

ADCモード

ADCには、4つの動作モードがあります。これらのモードの精度とタイミングを表4にまとめています。各モードでは、ADCは最初にキャリブレーション測定を1回行い、次に入力を測定します。

ノーマル・モード

このモードでは、ADCは128のオーバーサンプリング率を使用して、高い分解能と小さなTME(全測定誤差)を両立させています。これは、速度と精度のバランスが最適になるように組み合わせられていることから、通常動作モードと見なされます。

代替モード

このモードでは、オーバーサンプリング率を増やすことによって、ADCの-3dB周波数が800Hzに減少します。

フィルタ・モード

このモードでは、オーバーサンプリング率を増やすことによって、ADCの-3dB周波数が200Hzに減少します。

高速モード

このモードでは、ADCは最大のスループットを達成します。

この速度の増加は、オーバーサンプリング率を低減することでもたらされ、結果として、ノイズと平均TME(全測定誤差)が増加します。

これらのモードでの変換時間は、電気的特性の表にまとめています。コアがSTANDBYステートにある場合、A/D変換を開始する前にリファレンスを起動するために、tREFUPの追加時間が必要です。構成レジスタ・グループのREFONビットを1に設定した場合、A/D変換とA/D変換の間、リファレンスを起動したままにできます。そのため、次のA/D変換を開始する前にtREFUPの間待つ必要はありません。

表 4. ADCモード

モード	オーバーサンプリング率 (OSR)	36セルの測定時間	-3dB フィルタ帯域幅	-40dB フィルタ帯域幅	TME仕様 ¹
フィルタ	1024	43.45ms	0.2kHz	1.25kHz	±20.0mV
代替	256	15.04ms	0.8kHz	5kHz	±20.0mV
ノーマル	128	10.30ms	1.6kHz	10kHz	±20.0mV
高速	32	6.75ms	6.4kHz	40kHz	±95mV

1. TMEは全測定誤差であり、全ての誤差源を含む。この仕様は、電気的特性の表のセル測定(HIRNG = 0、読み値+1.25V)に基づく。

2. OSRは選択したオーバーサンプリング率である。

動作

ADCの範囲と分解能

デルタシグマ型ADCでは、特に高速モードなどでオーバーサンプリング率(OSR)が低い場合に、入力電圧に応じて量子化ノイズが発生します。ADCモードの一部では、入力電圧がADC範囲の上限と下限に近づくにつれて量子化ノイズが増加します。例として、ノーマル・モードと高速モードでの量子化ノイズと入力電圧を図3に示します。

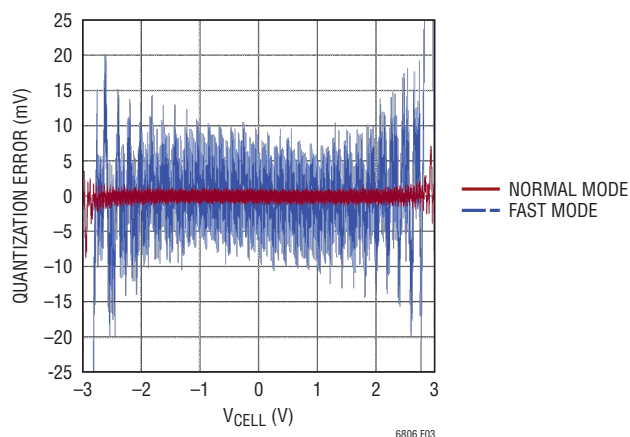


図3. 量子化ノイズと入力電圧

表5のADCの精度範囲は、低OSRモードでも量子化ノイズが比較的一定になる範囲として任意に定義されます(図3を参照)。各種の入力について、この範囲内の全ノイズを表5にまとめます。

ADCの範囲と電圧リファレンスの値

標準的なADCの範囲は、電圧リファレンスを正確に2倍した値であり、ADCの測定誤差は電圧リファレンスの誤差に正比例します。LTC6806のADCは、標準的なものではありません。V_{REF1}の絶対値は、ADCのゲイン誤差を補正するために増加/減少の調整が行われます。したがって、ADCの全測定誤差(TME)の規格値は、V_{REF1}の規格値よりも優れています。

セル電圧の測定(ADCVコマンド)

ADCVコマンドは、ピンC0からC36までのセル入力の測定を開始します。このコマンドには、測定対象のチャンネルとADCモードを選択するためのオプションが複数あります。ADCVコマンドのフォーマットについては、コマンドのセクションを参照してください。

表5. ADCの範囲と分解能

測定	全範囲	高精度範囲 ¹	LSB	フォーマット	最大ノイズ	実効分解能 ²
セル HIRNG = 1	-6.114V~+6.114V	-5V~5V	3mV	2の補数形式の12ビット	2mVp-p	12ビット
セル HIRNG = 0	-3.072V~+3.072V	-2.5V~2.5V	1.5mV	2の補数形式の12ビット	1mVp-p	12ビット
GPIO	0V~+5.572V	0V~5V	1.5mV	2進整数12ビット 読み値 < 0Vの場合0Vを報告	1mVp-p	12ビット
V ⁺	n/a	4.5V~5.5V	1.875mV	2進整数12ビット 読み値 < 0Vの場合0Vを報告	2mVp-p	9ビット
セル合計	0V~150V	10V~150V	108mV	2進整数12ビット 読み値 < 0Vの場合0Vを報告	144mVp-p	10ビット
内部温度	n/a	-40°C~130°C	0.4K	2進整数12ビット スケーリング式は内部デバイス・パラメータの測定(ADSTATコマンド)を参照してください。	0.3K	9ビット

1. 精度範囲とは、V_{p-p}ノイズがMAX NOISEより小さくなる範囲である。

2.
$$\text{EFFECTIVE RESOLUTION} = \text{ROUND} \left(\log \left[\frac{\text{PRECISION RANGE}}{\text{MAX NOISE}} \right] / \log[2] \right)$$

動作

図4に、全36セルを測定するADCVコマンドのタイミングを示します。オフセット誤差を相殺するため、セルを測定する前にADCを補正します。表6に、全36セルを測定するADCV

コマンドの変換タイミングを示します。図5に、1セルを測定するADCVコマンドのタイミングを示します。表7に、1セルを測定するADCVコマンドの変換タイミングを示します。

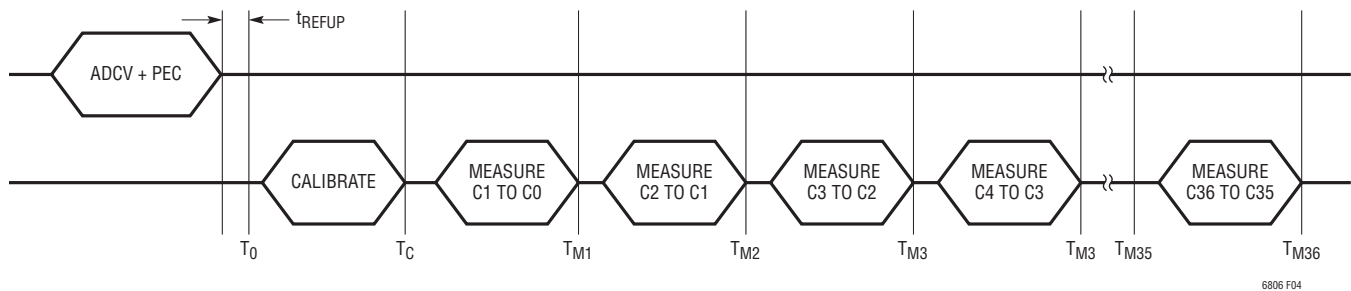


図4. 全36セルを測定するADCVコマンドのタイミング

表6. 全36セルを様々なモードで測定するADCVコマンドの変換タイミング

変換タイミング(μs)							
モード	T ₀	T _C	T _{M1}	T _{M2}	T _{M3}	T _{M4}	T _{M36}
フィルタ	0	1168	1168 + 1174	1168 + 2 • 1174	1168 + 3 • 1174	1168 + 4 • 1174	1168 + 36 • 1174
代替	0	400	400 + 406	400 + 2 • 406	400 + 3 • 406	400 + 4 • 406	400 + 36 • 406
ノーマル	0	272	272 + 278	272 + 2 • 278	272 + 3 • 278	272 + 4 • 278	272 + 36 • 278
高速	0	176	176 + 182	176 + 2 • 182	176 + 3 • 182	176 + 4 • 182	176 + 36 • 182

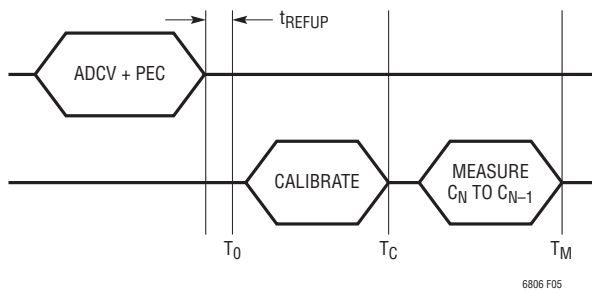


図5. 1セルを測定するADCVコマンドのタイミング

表7. 1つのセルを様々なモードで測定するADCVコマンドの変換タイミング

変換タイミング(μs)			
モード	T ₀	T _C	T _M
フィルタ	0	1168	1168 + 1174
代替	0	400	400 + 406
ノーマル	0	272	272 + 278
高速	0	176	176 + 182

動作

低電圧／過電圧モニタ

C 入力測定されるたびに、結果は、メモリに格納されている低電圧閾値および過電圧閾値と比較されます。セル測定値が過電圧制限値を上回ると、フラグがセットされます。同様に、セル測定値が低電圧制限値を下回ると、別のフラグがセットされます。MEASURE ステート (測定は ADC コマンドによって開始されます) では、低電圧閾値と過電圧閾値にヒステリシスは適用されません。LTC6806 が MONITOR ステート (連続測定) にある場合、閾値には 100.5mV (HIRNG = 0) または 201mV (HIRNG = 1) のヒステリシスが適用されます。このヒステリシスは、1 つ以上の監視対象セルが、保存された閾値を通過するとアクティブになります。過電圧閾値と低電圧閾値は構成レジスタ・グループに格納されます。フラグはステータス・レジスタ・グループ A および B に格納されます。

補助 (GPIO) 測定 (ADAX コマンド)

ADAX コマンドによって GPIO 入力の測定が開始されます。このコマンドには、被測定 GPIO 入力 (GPIO1~6) と ADC モードを選択するためのオプションがあります。また、ADAX コマンドは、2 番目のリファレンスも測定します。ADAX コマンドには、2 番目のリファレンスと GPIO を個別に測定するためのオプションがあります。また、2 番目のリファレンスと 6 つの GPIO を 1 つのコマンドで測定するためのオプションもあります。ADAX コマンドのフォーマットについては、コマンドの

セクションを参照してください。全ての補助測定は V⁻ ピンの電圧を基準にしています。GPIO に温度センサーを接続すれば、このコマンドを使用して外部温度を測定することができます。これらのセンサーの電源は 2 番目のリファレンスから取ることができ、このリファレンスも ADAX コマンドによって測定されるので、正確なレシオメトリック測定を行うことができます。詳細については外部温度プローブの読取りを参照してください。

図 6 に、全部で 7 つの補助チャンネルを測定する ADAX コマンドのタイミングを示します。オフセット誤差を相殺するため、チャンネルを測定する前に ADC を補正します。

セル合計と GPIO の測定 (ADAXSC コマンド)

ADAXSC コマンドは、GPIO1、セル合計、GPIO2 を順に測定します。GPIO1 と GPIO2 のどちらかまたは両方を電流検出素子を測定するために使う場合、このコマンドを使ってセル・スタックのインピーダンスを測定できます。GPIO1 の測定は、セル合計の測定の前に行われ、セル合計の測定の直後に GPIO2 の測定が行われます。GPIO1 と GPIO2 を同じ電流検出素子に接続している場合、このコマンドを使うとスタック電圧測定の直前と直後の電流を測定できます。GPIO1 と

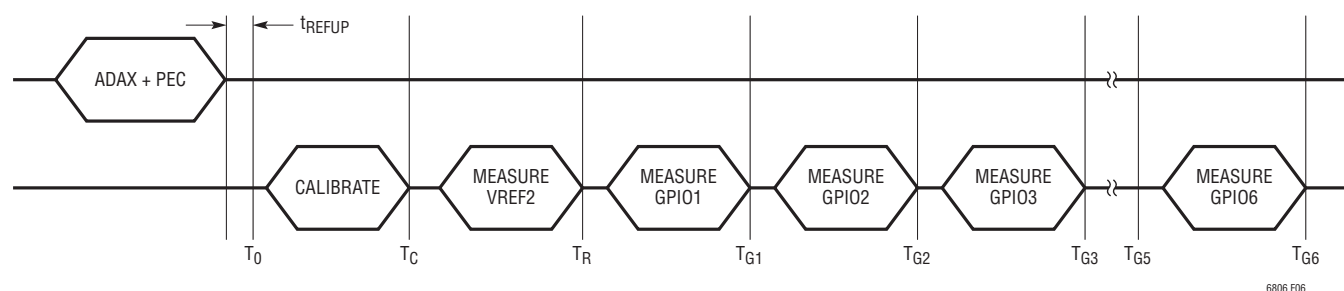


図 6. 全ての GPIO と 2 番目のリファレンスを測定する ADAX コマンドのタイミング

表 8. 全ての GPIO と 2 番目のリファレンスを様々なモードで測定する ADAX コマンドの変換タイミング

変換タイミング (μs)							
モード	T ₀	T _C	T _R	T _{G1}	T _{G2}	T _{G3}	T _{G6}
フィルタ	0	1104	1104 + 1109.5	1104 + 2 • 1109.5	1104 + 3 • 1109.5	1104 + 4 • 1109.5	1104 + 7 • 1109.5
代替	0	336	336 + 341.5	336 + 2 • 341.5	336 + 3 • 341.5	336 + 4 • 341.5	336 + 7 • 341.5
ノーマル	0	208	208 + 213.5	208 + 2 • 213.5	208 + 3 • 213.5	208 + 4 • 213.5	208 + 7 • 213.5
高速	0	112	112 + 117.5	112 + 2 • 117.5	112 + 3 • 117.5	112 + 4 • 117.5	112 + 7 • 117.5

動作

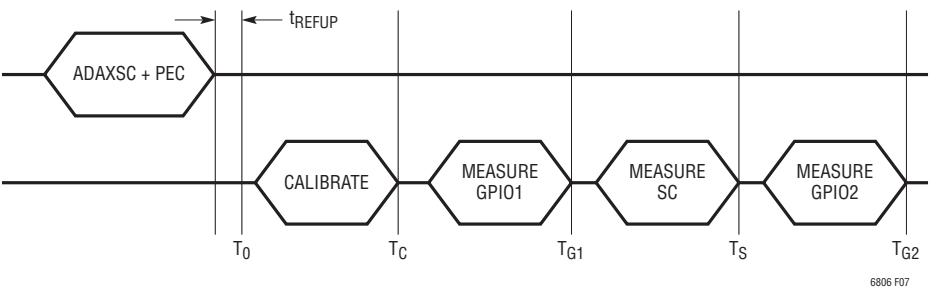


図7. ADAXSC コマンドのタイミング

表9. 様々なモードでの ADAXSC コマンドの変換タイミング

変換タイミング(μs)					
モード	T ₀	T _C	T _{G1}	T _S	T _{G2}
フィルタ	0	1104	1104 + 1109.5	1104 + 2 • 1109.5	1104 + 3 • 1109.5
代替	0	336	336 + 341.5	336 + 2 • 341.5	336 + 3 • 341.5
ノーマル	0	208	208 + 213.5	208 + 2 • 213.5	208 + 3 • 213.5
高速	0	112	112 + 117.5	112 + 2 • 117.5	112 + 3 • 117.5

GPIO2の結果をホストで平均すると、セル合計測定中の電流を推定できます。

図7に、ADAXSC コマンドのタイミングを示します。オフセット誤差を相殺するため、セルを測定する前にADCを補正します。

連続監視 (MONITOR ステート)

LTC6806は、2つのGPIOピンと特定の障害状態に対応する一定数のセル・チャンネルを連続的に監視し、3本のGPIOピンに割り込みを発行するように構成できます。本ICは、オフセット誤差を相殺するため、各監視サイクル中に内部キャリブレーションを実行します。監視機能は、構成レジスタ・グループのMMDビットにゼロ以外の値を書き込むことで有効になります。MMDビットの値によって、監視に使うADCモー

ドが決まります。ICがMONITOR ステートにある場合、ADC コマンドは無視されます。表10に、監視に使えるADCモードを示します。

表10. 監視のためのADCモード

MMD ビット	ADC モード	全てのセル、GPIO1、GPIO2を監視するためのサイクル時間
00	N/A	監視は無効になります。
01	ノーマル	11.2ms
10	代替	16.4ms
11	フィルタ	47.9ms

LTC6806がMONITORステートで動作中、GPIOピンは固定機能で動作し、構成レジスタ・グループのGPIO[6:1]ビットに格納された値は無視されます。

動作

表 11. 監視のための GPIO ピン機能

ピン	入出力の説明	目的
GPIO1	アナログ入力	低温障害に対してNTCサーミスタを監視します。
GPIO2	アナログ入力	過熱障害に対してNTCサーミスタを監視します。
GPIO3	デジタル入力	1 -> スリープ・タイマーを有効にします。 0 -> スリープ・タイマーを無効にします (スリープ・タイムアウトを禁止します)。
GPIO4	デジタル出力	GPIO1またはGPIO2で温度障害が検出された場合、ロジック・ローを出力します。ロジック・ハイを表示するために外付けプルアップが必要です。
GPIO5	デジタル出力	監視中のセルで低電圧障害が検出された場合、ロジック・ローを出力します。ロジック・ハイを表示するために外付けプルアップが必要です。
GPIO6	デジタル出力	監視中のセルで過電圧障害が検出された場合、ロジック・ローを出力します。ロジック・ハイを表示するために外付けプルアップが必要です。

セルの監視

MONITOR ステートで動作中、ホストは構成レジスタ・グループの FCELL ビットを書き込むことで監視対象のセルを限定できます。FCELL の値は、スタック内で最初に監視するセルを指定します。LTC6806 は、FCELL のチャンネルから監視を開始し、セル・チャンネル 36 まで続けます。1 つの LTC6806 に対して 36 より少ないセルを使うシステムでは、番号が大きいチャンネルから順に使い、使用するセルのうち最も小さいセル番号を FCELL ビットに書き込みます。FCELL の有効な範囲は 0x01 ~ 0x24 (10 進数の 1 ~ 36) です。FCELL の値がこの範囲外にある場合、LTC6806 は MONITOR ステートで 36 セルを全て監視します。

セルの測定値は、構成レジスタ・グループに格納された過電圧閾値と低電圧閾値に対して比較されます。これらの比

較が障害状態を示した場合、その障害はステータス・レジスタ・グループ A または B の OV/UV ビットに表示され、障害発生を示すために GPIO5 または GPIO6 の出力がロジック・ローにアサートされます。67LSB のヒステリシスが適用されます。これは、100.5mV のヒステリシス (HIRNG = 0 の場合) または 201mV のヒステリシス (HIRNG = 1 の場合) を意味します。表 12 に、MONITOR ステートの障害インジケータをまとめます。

サーミスタの監視

MONITOR ステートで動作中、選択したセルを測定した後、LTC6806 は V_{REF2} 、GPIO1、GPIO2 を測定します。GPIO1 の測定値が V_{REF2} の測定値の半分より大きい場合、ステータス・レジスタ・グループ B の UT ビットに障害が表示され、GPIO4 の出力がロジック・ローにアサートされます。GPIO2 の測定値が V_{REF2} の測定値の半分より小さい場合、ステータス・レジスタ・グループ B の OT ビットに障害が表示され、GPIO4 の出力がロジック・ローにアサートされます。100.5mV のヒステリシスが適用されます。表 12 に、MONITOR ステートの障害インジケータをまとめます。

熱閾値は、GPIO1 と GPIO2 のどちらかまたは両方を使って、 V_{REF2} ピンでバイアスされた NTC サーミスタを測定できるように設計されています。NTC サーミスタではなく電流検出素子を測定するために GPIO1 を使う場合、GPIO1 の測定値が V_{REF2} の測定値の半分より大きくなり UT 障害をアクティブにするような素子を選択しないようにします。代わりに、 V_{REF2} 電圧の半分が適切な過電流閾値を示すような電流検出素子を選択します。GPIO1 の比較は、GPIO1 を V^- に接続することで無効にできます。GPIO2 の比較も、GPIO2 を V_{REF2} に接続することで無効にできます。

表 12. MONITOR ステートでの障害の表示

障害状態	ヒステリシス	障害のメモリ内表示	障害のピン表示
監視した全てのセル電圧 $\geq V_{OV}$	100.5mV (HIRNG = 0 の場合) 201mV (HIRNG = 1 の場合)	ステータス・レジスタ・グループ A または B の各 OV ビットがセットされます。	GPIO6 = ロー
監視した全てのセル電圧 $\leq V_{UV}$	100.5mV (HIRNG = 0 の場合) 201mV (HIRNG = 1 の場合)	ステータス・レジスタ・グループ A または B の各 UV ビットがセットされます。	GPIO5 = ロー
$GPIO1 \geq V_{REF2}/2$	100.5mV	ステータス・レジスタ・グループ B の UT ビットがセットされます。	GPIO4 = ロー
$GPIO2 < V_{REF2}/2$	100.5mV	ステータス・レジスタ・グループ B の OT ビットがセットされます。	GPIO4 = ロー

動作

LTC6806がMONITORステートにない場合、ステータス・レジスタ・グループBのOTおよびUTビットのデフォルトはロジック・ハイです。MONITORステートに移行すると、OTおよびUTビットは最初の監視サイクルが終わるまで変化せずに維持され、そのサイクルが終わると測定結果に従って更新されます。

MONITORステートでのスリープ・タイマーの無効化

LTC6806がMONITORステートにある間、GPIO3を使ってスリープ・タイマーを有効または無効にできます。本ICがMONITORステートにある間にGPIO3が外部からロジック・ローに駆動された場合、スリープ・タイマーは無効になり、本ICはSLEEPステートに移行しません。GPIO3が外部からロジック・ハイに駆動された場合、スリープ・タイマーは有効になり、本ICはWAKEUP信号を受信しなくても1.5秒後にSLEEPステートに移行します。

MONITORステートでのレジスタの操作

LTC6806がMONITORステートに移行した後、ホストは構成レジスタ・グループのFCCELL、VUV、VOVビットを変更しません。本ICは、監視機能を制御するためにこれらの値を使います。これらの値が非同期で書き込まれた場合、レジスタが書き込まれたサイクルの間、監視機能は誤動作する場合があります。

LTC6806がMONITORステートにある間、ホストはセル電圧レジスタ・グループも補助レジスタ・グループAも読み出しません。これらのレジスタは、結果の更新と読み出しアクセスの衝突を防止するためのダブル・バッファとアービトレーションを備えていない複数ビットの結果を含んでいます。発生した障害の種類を判断するためにICがMONITORステートにある間、ホストはステータス・レジスタ・グループAおよびBのフラグの値を代わりに読み出すことがあります。

上記の種類のメモリ・アクセスが必要な場合、MONITORステートを終了させ、監視が完了するまで待機し、必要なメモリ・アクセスを実行してから監視を再開します。

MONITORステートの終了

監視がもはや不要になった場合、GPIO3をアサートしスリープ・タイマーがタイムアウトするのを待機することで、またはMMDビットに0を書き込むことで、ホストは監視を終了させることができます。MMDビットに0を書き込んだ後、REFUPまたはSTANDBYステートに戻る前に、LTC6806は実行中の最後の監視サイクルを完了させます。ホストは、この最終サイクルが完了したかどうかを判断するためにPLADCコマンドを使うことも、1つの完全な監視サイクル(表10を参照)の間待機することもできます。

データ・アクイジション・システムの診断

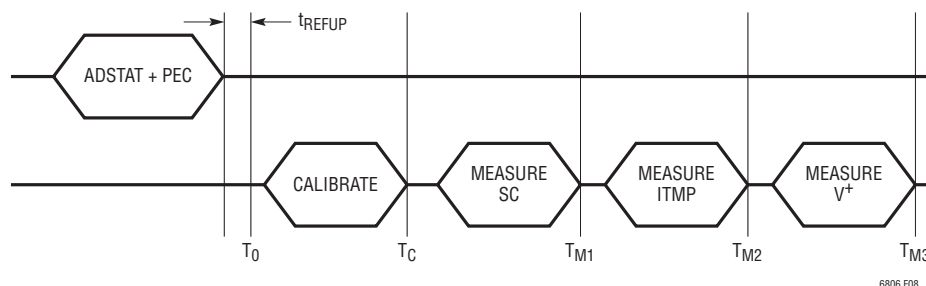
燃料電池モニタリング・データ・アクイジション・システムは、マルチプレクサ、ADC、1番目のリファレンス、デジタル・フィルタ、およびメモリで構成されます。信頼性の高い性能を長期間確保するために、診断コマンドがいくつかあります。これらのコマンドを使用して、各回路が正常に動作していることを確認できます。

内部デバイス・パラメータの測定(ADSTATコマンド)

ADSTATコマンドは、セルの合計(SC)、内部ダイ温度(ITMP)、V⁺電源ピン(V⁺)という内部デバイス・パラメータを測定する診断コマンドです。これらのパラメータについて、以降のセクションで説明します。前述した4つのADCモードは、全てこれらの変換で使用できます。ADSTATコマンドのフォーマットについては、コマンドのセクションを参照してください。図8は、3つの内部デバイス・パラメータ全てを測定するADSTATコマンドのタイミングを示しています。表13は、3つの内部デバイス・パラメータ全てを測定するADSTATコマンドの変換時間を示しています。

セル合計測定値:セル合計測定値は、C36とC0の間の電圧を72:1に減衰させた値です。セル合計測定値(SC)の12ビットADCの値は、ステータス・レジスタ・グループCに格納され

動作

図8. SC、ITMP、V⁺を測定するADSTATコマンドのタイミング表 13. SC、ITMP、V⁺を測定するADSTATコマンドの変換タイミング

変換タイミング(μs)					
モード	T ₀	T _c	T _{M1}	T _{M2}	T _{M3}
フィルタ	0	1104	1104 + 1109.5	1104 + 2 • 1109.5	1104 + 3 • 1109.5
代替	0	336	336 + 341.5	336 + 2 • 341.5	336 + 3 • 341.5
ノーマル	0	208	208 + 213.5	208 + 2 • 213.5	208 + 3 • 213.5
高速	0	112	112 + 117.5	112 + 2 • 117.5	112 + 3 • 117.5

ます。SCの値から、セル合計測定値に相当する電圧は次式を使って求めることができます。

$$\text{Sum of Cells} = \text{SC} \cdot 72 \cdot 1.5\text{mV}$$

内部ダイ温度: ADSTAT コマンドは、内部ダイ温度の測定にも使用できます。ダイ温度測定値(ITMP)の12ビットADCの値は、ステータス・レジスタ・グループCに格納されます。ITMPから、実際のダイ温度は次式を使って求めることができます。

$$\text{Internal Die Temperature (}^{\circ}\text{C)} = (\text{ITMP}/4.65) - 266\text{K}$$

電源測定値: ADSTAT コマンドは、V⁺電源ピン(V⁺)を測定するためにも使います。アナログ電源測定(VA)の12ビットADC値は、ステータス・レジスタ・グループCに格納されます。この電源測定値に相当する電圧は次式を使って求めることができます。

$$\text{Power Supply Measurement} = V^+ \cdot 1.875\text{mV}$$

全セルおよびセル合計測定値

ADCVSCは、全セルの電圧とセル合計測定値を1つのコマンドで測定する診断コマンドです。セル合計測定値は、シーケンスの中間(セル18の後でセル19の前)で実行されます。これにより、ADCVコマンドとADSTATコマンドを別個に使った場合に比べて測定間の遅延を低減できます。ADCVSCのタイミング図で、セル変換とSC変換が切り替わるたびにADCがキャリブレーションを実行することに注意します。

精度チェック

データ・アキュイジション・システムの精度を確認する最良の方法は、独立した電圧リファレンスを測定することです。LTC6806には、このために2番目のリファレンスが内蔵されています。ADAXコマンドにより、2番目のリファレンスの測定が開始し、その結果が補助レジスタ・グループAに格納されます。結果の許容範囲は2番目のリファレンスの精度に依存します。これには、熱ヒステリシスと2番目のリファレンスの長時間ドリフトが含まれます。仕様規定されたV_{REF2}の範囲外の読み値は、システムが仕様規定された許容誤差を外れていることを示しています。

動作

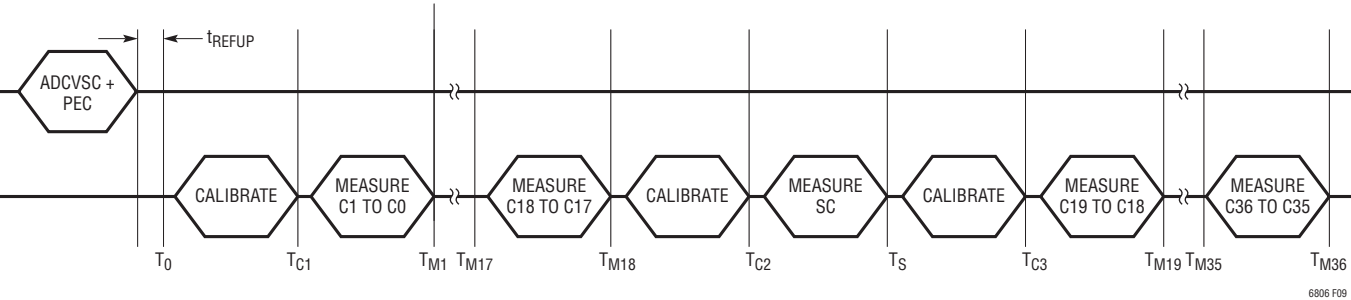


図9. ADCVSC コマンドのタイミング

表 14. 様々なモードでの ADCVSC コマンドの変換タイミング

変換タイミング(μs)										
モード	T ₀	T _{C1}	T _{M1}	T _{M2}	T _{M18}	T _{C2}	T _S	T _{C3}	T _{M19}	T _{M36}
フィルタ	0	1168	1168 + 1174	1168 + 2 • 1174	1168 + 18 • 1174	23,410	24,519	24,519 + 1174	24,519 + 2 • 1174	24,519 + 19 • 1174
代替	0	400	400 + 406	400 + 2 • 406	400 + 18 • 406	8050	8391	8391 + 406	8391 + 2 • 406	8391 + 19 • 406
ノーマル	0	272	272 + 278	272 + 2 • 278	272 + 18 • 278	5490	5703	5703 + 278	5703 + 2 • 278	5703 + 19 • 278
高速	0	176	176 + 182	176 + 2 • 182	176 + 18 • 182	3570	3687	3687 + 182	3687 + 2 • 182	3687 + 19 • 182

MUX デコーダ・チェック (DIAGN)

診断コマンド DIAGN によって、各マルチプレクサ・チャンネルが正しく動作していることを確認できます。このコマンドは全てのチャンネルを巡回検査して、チャンネル・デコーダが不合格になると、構成レジスタ・グループの MUXFAIL ビットを 1 に設定します。チャンネル・デコーダがテストに合格した場合、MUXFAIL ビットは 0 に設定されます。MUXFAIL ビットは、電源投入時 (POR) または CLRSTAT コマンドの実行後にも 1 に設定されます。

コアが REFUP ステートにある場合、DIAGN コマンドの実行には約 600μs かかります。コアが STANDBY ステートにある場合、DIAGN コマンドの実行には約 7.6ms かかります。ポーリング方法のセクションに記載されたポーリング方法を使用して、DIAGN コマンドの完了を確認できます。

デジタル・フィルタ・チェック

デルタシグマ型 ADC は、1 ビット・パルス密度変調器とその後段に接続されたデジタル・フィルタで構成されています。アナログ入力電圧が高くなると、パルス密度変調ビット・ストリームにおける 1 の比率 (%) が大きくなります。デジタル・フィルタは、この高周波の 1 ビット・ストリームを 1 つの 12 ビット・ワードに変換します。デルタシグマ型 ADC が、よくオーバーサンプリング・コンバータと呼ばれるのはこのためです。

デジタル・フィルタとメモリの動作は、セルフ・テスト・コマンドによって確認できます。セルフ・テスト中の ADC の動作を図 10 に示します。1 ビット・パルス密度変調器の出力は、1 ビット・テスト信号に置き換えられます。このテスト信号はデジタル・フィルタを通過して 12 ビット値に変換されます。1 ビットのテスト信号には、変調器からの通常の 1 ビット・パルスと同

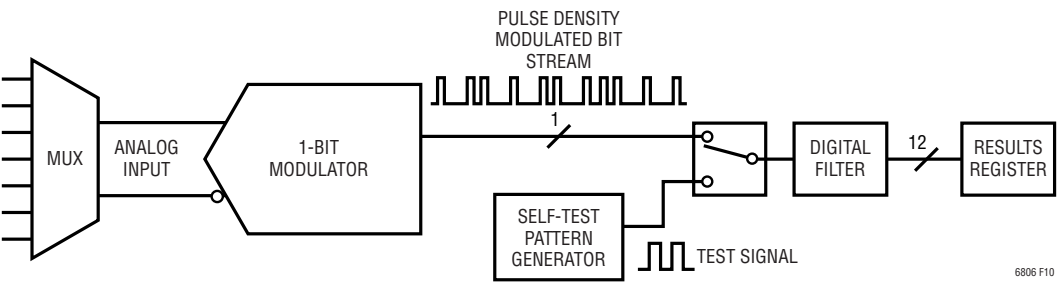


図 10. LTC6806 の ADC セルフ・テストの動作

動作

じデジタル変換が行われるので、セルフ・テスト・コマンドによる変換時間は通常のA/D変換コマンドによる変換時間とまったく同じです。12ビットADCの値は、通常のA/D変換コマンドと同じレジスタ・グループに保存されます。テスト信号は、1と0が交互に現れるパターンをレジスタ内に置くように設計されています。セルフ・テスト・コマンドの一覧を表15に示します。デジタル・フィルタとメモリが正しく機能している場合は、表15に示す値がレジスタに格納されます。詳細については、コマンドのセクションを参照してください。

ADC クリア・コマンド

LTC6806には、3つのクリア・コマンド (CLRCELL、CLRAUX、CLRSTAT) があります。これらのコマンドは、全てのA/D変換結果を保存しているレジスタをクリアします。

CLRCELL コマンドは、セル電圧レジスタ・グループ A、B、C、D、E、F、G、H、I をクリアします。これらのレジスタ内の全てのバイトは、CLRCELL コマンドによって 0xFF に設定されます。

CLRAUX コマンドは、補助レジスタ・グループ A および B をクリアします。これらのレジスタ内の全てのバイトは、CLRAUX コマンドによって 0xFF に設定されます。

CLRSTAT コマンドは、ステータス・レジスタ・グループ A、B、C (ステータス・レジスタ・グループ B の OT と UT を除く) をクリアします。ステータス・レジスタ・グループ B の全ての OV および UV フラグ、MUXFAIL ビット、STXFF ビット、STXFS ビット、THSD ビットは CLRSTAT コマンドによって 1 に設定され

ます。SC、ITMP、V⁺ を格納するレジスタは、CLRSTAT コマンドによって全て 0xFF に設定されます。

断線チェック (ADOW コマンド)

LTC6806 は、各セルを測定する際に各セルにバイアス電流を流します。セルの電圧が V⁺ を上回っている場合、ADC のバイアス電流はピンに流れ込む正電流です。REFUP/MEASURE/MONITOR モードでは、C ピンをオープンにした場合、オープンにしたピンはバイアス電流によって V⁺ を下回る約 1.5V にプルダウンされます。このバイアス電流の結果として、大部分の C ピンの断線がオープンにした C ピン・チャンネルに負のフルスケール読み値を生じさせ、オープンにしたチャンネルの上の隣接セルに正のフルスケール読み値を生じさせます。ほとんどの C ピンの場合、C(N) ピンと C(N+1) ピンで負のフルスケール読み値と正のフルスケール読み値の組み合わせを探すことが断線を検出する最良の方法です。しかし、断線部のインピーダンスが低すぎる場合、または C ピンのコモンモード電圧が V⁺ よりも、負/正のフルスケール測定値を生じさせるほど十分には高くない場合、この検出方法は不十分です。これらの場合、ADOW コマンドを使って断線をチェックします。

このコマンドは、測定前と測定中の一定期間、内部電流源が全ての C ピンから電流をシンクすることを除いて、ADCV コマンドと同様に C ピン入力 の A/D 変換を実行します。グラウンド付近にバイアスした C ピンの場合、内部電流源は代わ

表 15. セルフ・テスト・コマンドのまとめ

コマンド	セルフ・テストのオプション	各 ADC モードでの出力パターン				結果レジスタ・グループ
		高速	ノーマル	代替	フィルタ	
CVST	ST[1:0] = 01	0x555	0x555	0x555	0x555	C1V~C36V (CVA, CVB, CVC, CVD, CVE, CVF, CVG, CVH, CVI)
	ST[1:0] = 10	0xAAA	0xAAA	0xAAA	0xAAA	
AXST	ST[1:0] = 01	0x554	0x555	0x555	0x555	G1V~G6V, REF (AUXA, AUXB)
	ST[1:0] = 10	0xAA8	0xAAA	0xAAA	0xAAA	
STATST	ST[1:0] = 01	0x554	0x555	0x555	0x555	SC, ITMP, V ⁺ (STATC)
	ST[1:0] = 10	0xAA8	0xAAA	0xAAA	0xAAA	

動作

りにピンに電流を流し込みます。ADOWコマンドのプルアップ (PUP) ビットにより、電流源がシンクするかどうかが決まります。

動作中の燃料電池スタックには断線チェックを実行する必要があります。

以下の簡単なアルゴリズムを使用して、36のCピンのいずれかに断線があるかどうかを確認できます。

- 1) PUP = 0を設定した36セルのコマンドADOWを1回実行する。セル1～36の電圧を読み出し、その結果をアレイCELL_{PU(n)}に保存する。
- 2) PUP = 1を設定した36セルのコマンドADOWを1回実行する。セル1～36の電圧を読み出し、その結果をアレイCELL_{PD(n)}に保存する。
- 3) セル1～36に対して上のステップで行ったプルアップ測定とプルダウン測定の違いを取る。
CELL_{Δ(n)} = CELL_{PU(n)} – CELL_{PD(n)}
- 4) 1から36までの全てのnの値に対して、次のように判定する。CELL_{Δ(n+1)} < –200mVの場合、C(n)が断線している。また、CELL_{PD(n)}またはCELL_{PU(n)}に正または負のフルスケール値がある場合、C(n)とC(n–1)のどちらかが断線している。

構成レジスタ・グループのOWPCHビットは、A/D変換が開始する前に、オープンにしたセルのピン容量を20μAの電流源が放電できるプリチャージ時間量を設定します。ピン容量があまりにも大きいために100msではピン容量を十分に放電させることができない場合、更なる放電を行うためにホストは複数のADOWコマンドを発行できます。表16を使って使用すべき設定を決定します。

表 16. 断線のプリチャージの設定

外付けCピン容量	OWPCH	プリチャージ時間
≤10nF	01	1ms
≤100nF	10	10ms
≤1μF	11	100ms
>1μF	複数のADOWコマンドを使います。	

200mVを超える差は断線を示します。適切なプリチャージ時間を以下の式を使って求めることができます。

Precharge Time ≥ (C_{FILTER} • 200mV/20μA) = C_{FILTER} • 1E+4

リビジョン・コード

構成レジスタ・グループには4ビットのリビジョン・コードが含まれています。ソフトウェアでデバイスのリビジョンを確認する必要がある場合、詳細に関しては弊社までお問い合わせください。それ以外の場合、コードは無視してかまいません。ただし、データ読出し時にパケット・エラー・コード (PEC) を計算するときは、いかなる場合でも全ビットの値を使う必要があります。

シリアル・インターフェースの概要

LTC6806には2種類のシリアル・ポートがあります。それは標準的な4線式シリアル・ペリフェラル・インターフェース (SPI) と2線絶縁型インターフェース (isoSPI) です。57～60番ピンは、ISOMDピンの状態に基づいて2線または4線シリアル・ポートとして構成できます。

61～64番ピンが2番目の2線シリアル・ポートになるかどうかは、DCMDピンの状態によって決まります。DCMDをV⁺に接続すると、LTC6806はシリアル・デジタイゼーション方式に合わせて構成されます。DCMDをV⁻に接続すると、LTC6806は並列アドレス可能バス方式に合わせて構成されます。並列モードでは、61～64番ピンを外部でV⁻またはV⁺に接続し、そのデバイスのアドレスを設定します。

動作

4線式シリアル・ペリフェラル・インターフェース (SPI) の物理層

外部接続

ISOMDをV⁻に接続することによって、4線式SPIのシリアル・ポートAを設定します。SDOピンはオープン・ドレイン出力で、プルアップ抵抗を介して適切な電源電圧に接続する必要があります (図 11)。

タイミング

4線シリアル・ポートは、CPHA = 1 および CPOL = 1 を使う SPI システムで動作するように構成されています。したがって SDI のデータは、SCK 立上がりエッジの間、安定している必要があります。このタイミングを図 12 に示します。最大データ・レートは 1Mbps ですが、デバイスが規定の最大データ・レートでの動作を確保するために、量産時には 1Mbps より高いデータ・レートでテストされます。

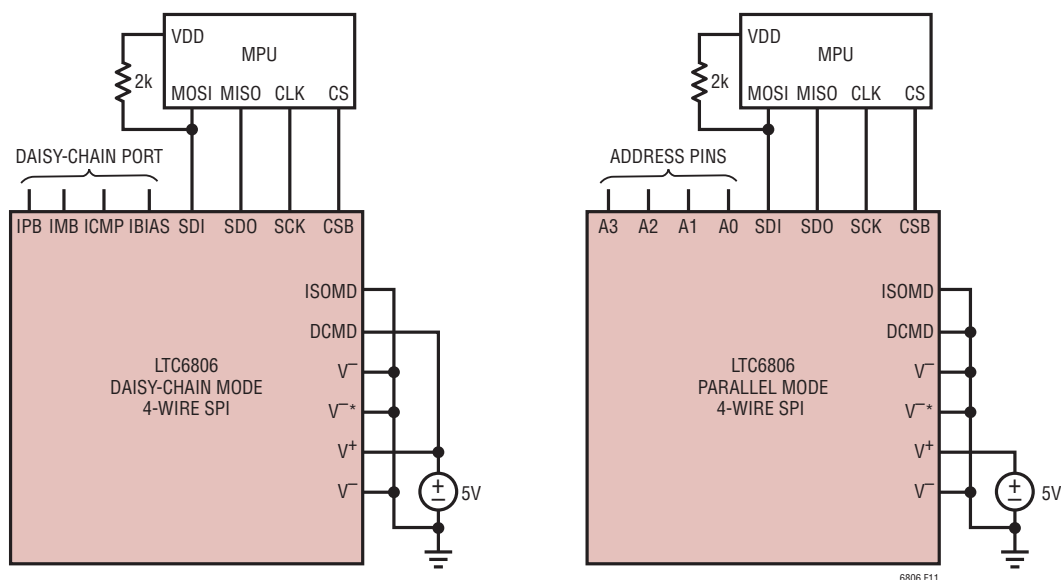


図 11. 4 線 SPI 構成

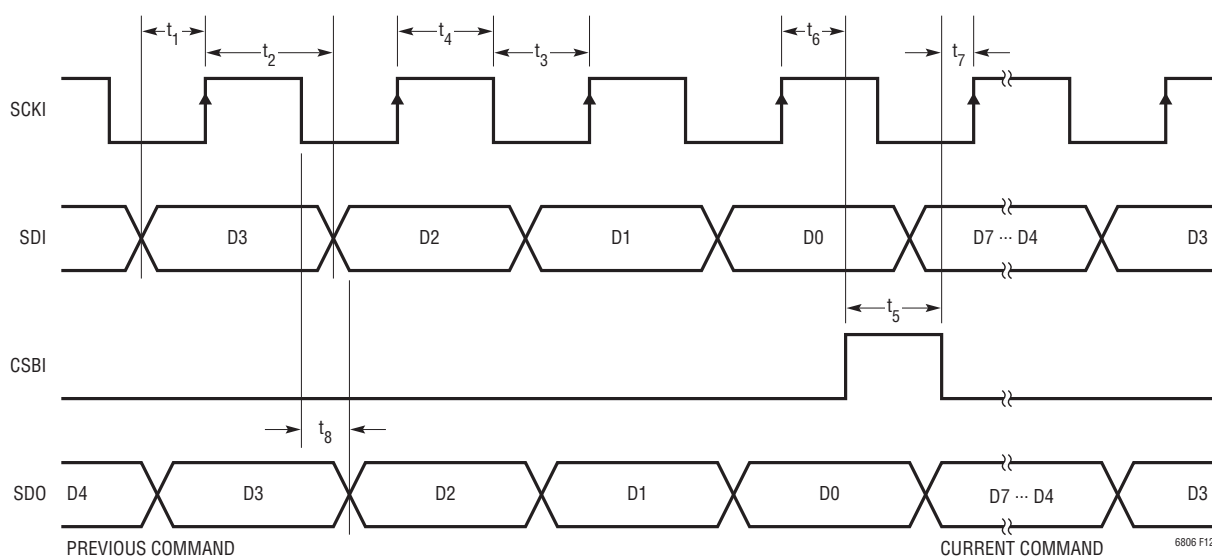


図 12. 4 線シリアル・ペリフェラル・インターフェースのタイミング図

動作

2線絶縁型インターフェース (isoSPI) の物理層

2線インターフェースは、シンプルなツイスト・ペア・ケーブルを使用してLTC6806を相互接続します。このインターフェースは、配線が高いRF電界にさらされた場合でも、パケット・エラー率が低くなるように設計されています。絶縁は外付けのトランスを通じて実現されます。

標準SPI信号は差動パルスにエンコードされます。送信パルスの強度とレシーバーの閾値レベルは、2個の外付け抵抗によって設定されます。これらの抵抗の値を調整することによって、消費電力とノイズ耐性を天秤に掛けることができます。

図13に、等価回路を示します。IBIASピンは2Vリファレンスによって駆動します。外付け抵抗 R_{B1} および R_{B2} によって、リファレンス電流 I_B が流れます。この電流は、トランスミッタのドライブ強度を設定します。また、 R_{B1} と R_{B2} もICMPピンの2Vリファレンスの分圧器を形成しています。レシーバー回路の閾値は、ICMPピンの電圧の半分です。

外部接続

デジチェーン・モードのLTC6806は、ポートAとポートBという2つのシリアル・ポートを備えています。ポートBは、常に2線インターフェースとして構成されます。ポートAは、ISOMDピンの接続に応じて、2線インターフェースまたは4線インターフェースになります。

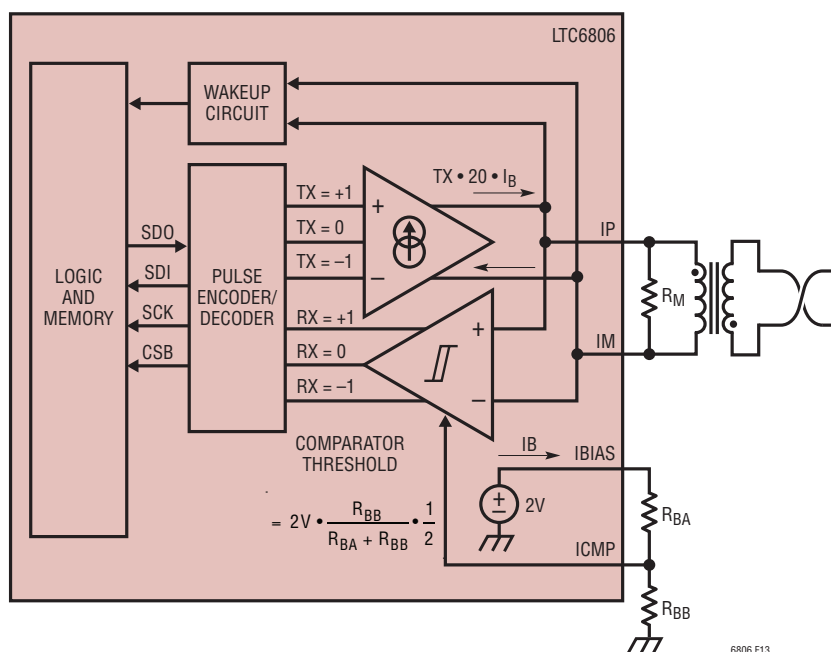


図13. isoSPI インターフェース

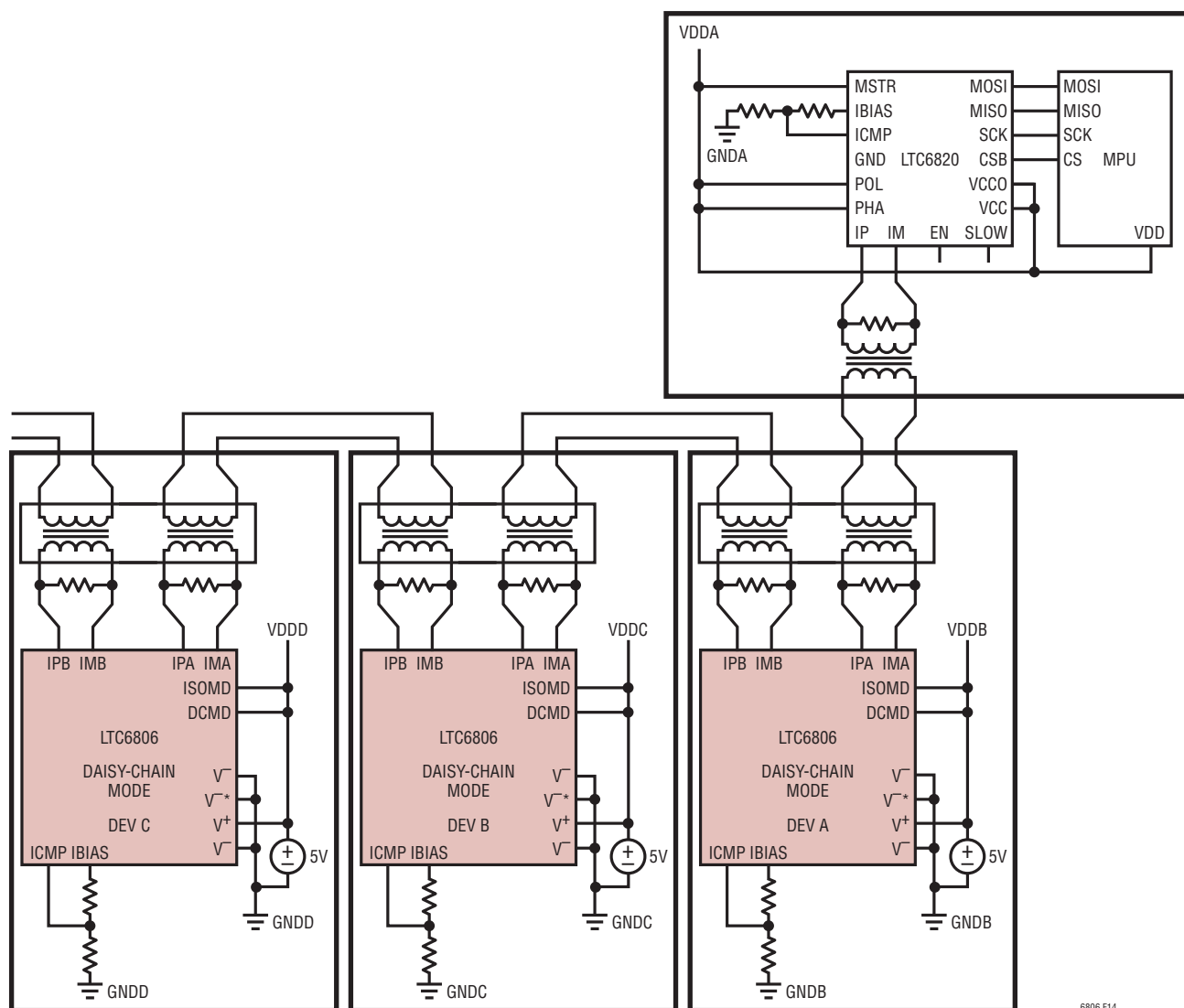
動作

ポートAを4線インターフェースとして構成すると、ポートAは常にスレーブ・ポートになり、ポートBはマスタ・ポートになります。通信は、デジチェーン構成における先頭のデバイスのポートAで常に開始されます。デジチェーンの末尾のデバイスは、ポートBを使用せず、 R_M で終端する必要があります。

ポートAを2線インターフェースとして構成した場合、通信はポートAとポートBのいずれで開始してもかまいません。通信をポートAで開始した場合、LTC6806はポートAをスレーブとして構成し、ポートBをマスタとして構成します。同様に、通信をポートBで開始した場合、LTC6806はポートBをスレーブとして構成し、ポートAをマスタとして構成します。デジチェーン・モードのLTC6806の可逆的なisoSPIの詳細については、可逆的なisoSPIのセクションを参照してください。

複数の同一PCBの堅牢な相互接続の例を図14に示します。各PCBにはLTC6806が1つずつ実装されており、デジチェーンでの動作に合わせて構成されています。マイクロプロセッサは別のPCB上に置かれています。マイクロプロセッサPCBと最初のLTC6806 PCB間の2線絶縁を実現するには、LTC6820 サポート・デバイスを使用します。LTC6820はSPIとisoSPIの変換を行います。この例では、通信をポートAで開始しています。したがって、LTC6806はポートAをスレーブとして構成し、ポートBをマスタとして構成します。

図15に、可逆的isoSPIを使用したLTC6806のデジチェーン構成を示します。2つのLTC6820をデジチェーンの両側に接続します。両方のLTC6820がマスタとして構成され、同じSPIインターフェースを共有してMPUに接続しま



6806 F14

図14. トランス絶縁型デジチェーン構成の概略図

動作

す。MPUは2つの異なるCS信号を使用して、どちらか一方のLTC6820と通信します。

例えば図15で、下側のLTC6820がアドレス指定されている場合、LTC6806デバイスAがスタック内の最初のデバイスになり、デバイスB、デバイスCと続きます。それぞれのLTC6806

のポートAがスレーブとして構成され、ポートBがマスタとして構成されます。反対に、上側のLTC6820がアドレス指定されている場合、LTC6806デバイスCがスタック内の最初のデバイスになり、デバイスB、デバイスAと続きます。それぞれのLTC6806のポートBがスレーブとして構成され、ポートAがマスタとして構成されます。

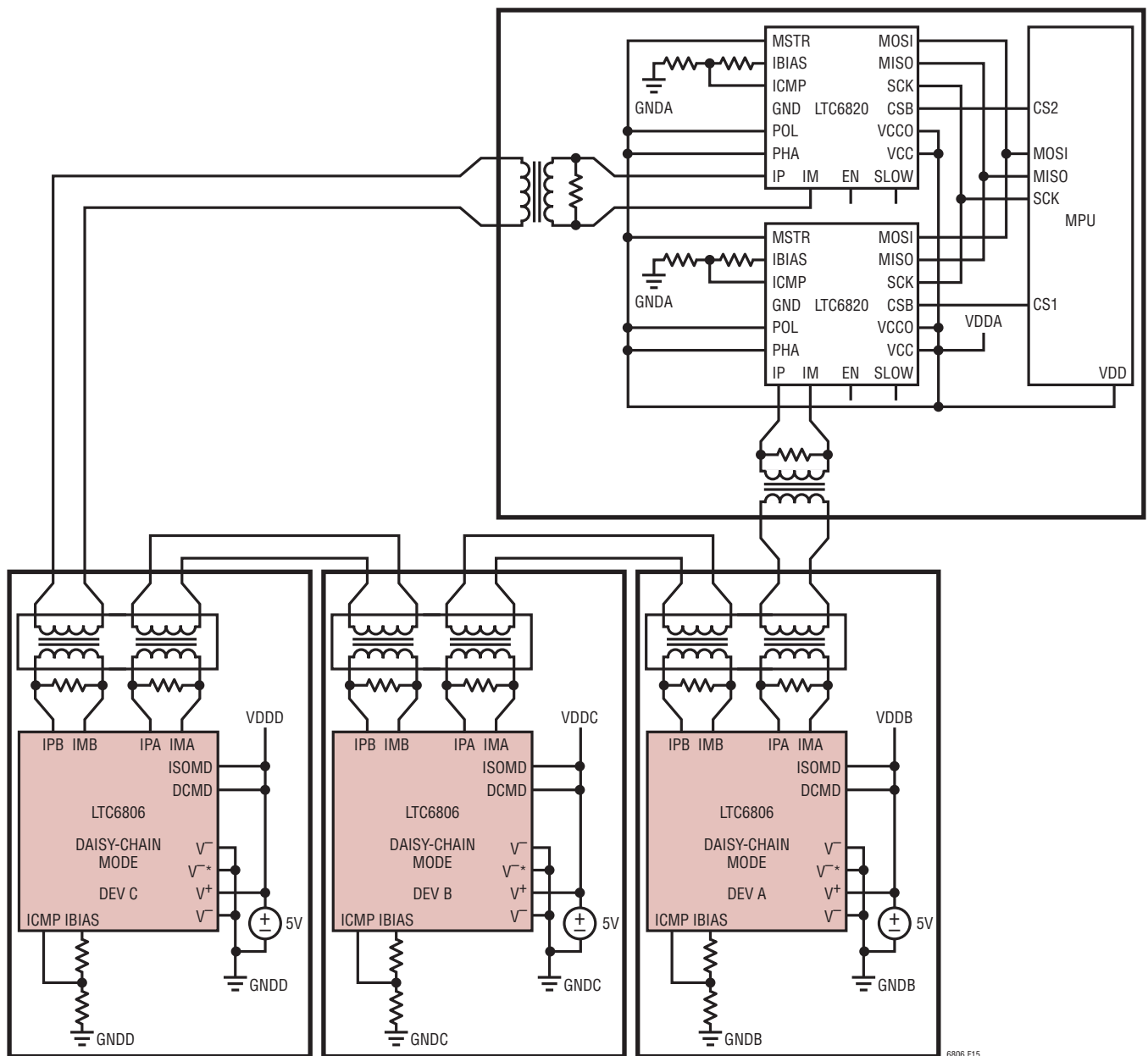


図15. トランス絶縁型デジーチェーン構成の概略図(可逆的なisoSPI付き)

6806 F15

動作

可逆的 isoSPI は、2 線インターフェースでシングル・ポイント障害が発生した場合に通信経路を冗長化します。

並列モードの LTC6806 にはシリアル・ポート (ポート A) が 1 つあり、ISOMD ピンの状態に応じて 2 線または 4 線のどちら

らかになります。2 線通信の構成時、図 16 に示すように、マルチドロップ構成内に複数のデバイスを接続できます。MPU (マスタ) から LTC6806 (スレーブ) へのインターフェースとして LTC6820 デバイスを使用します。

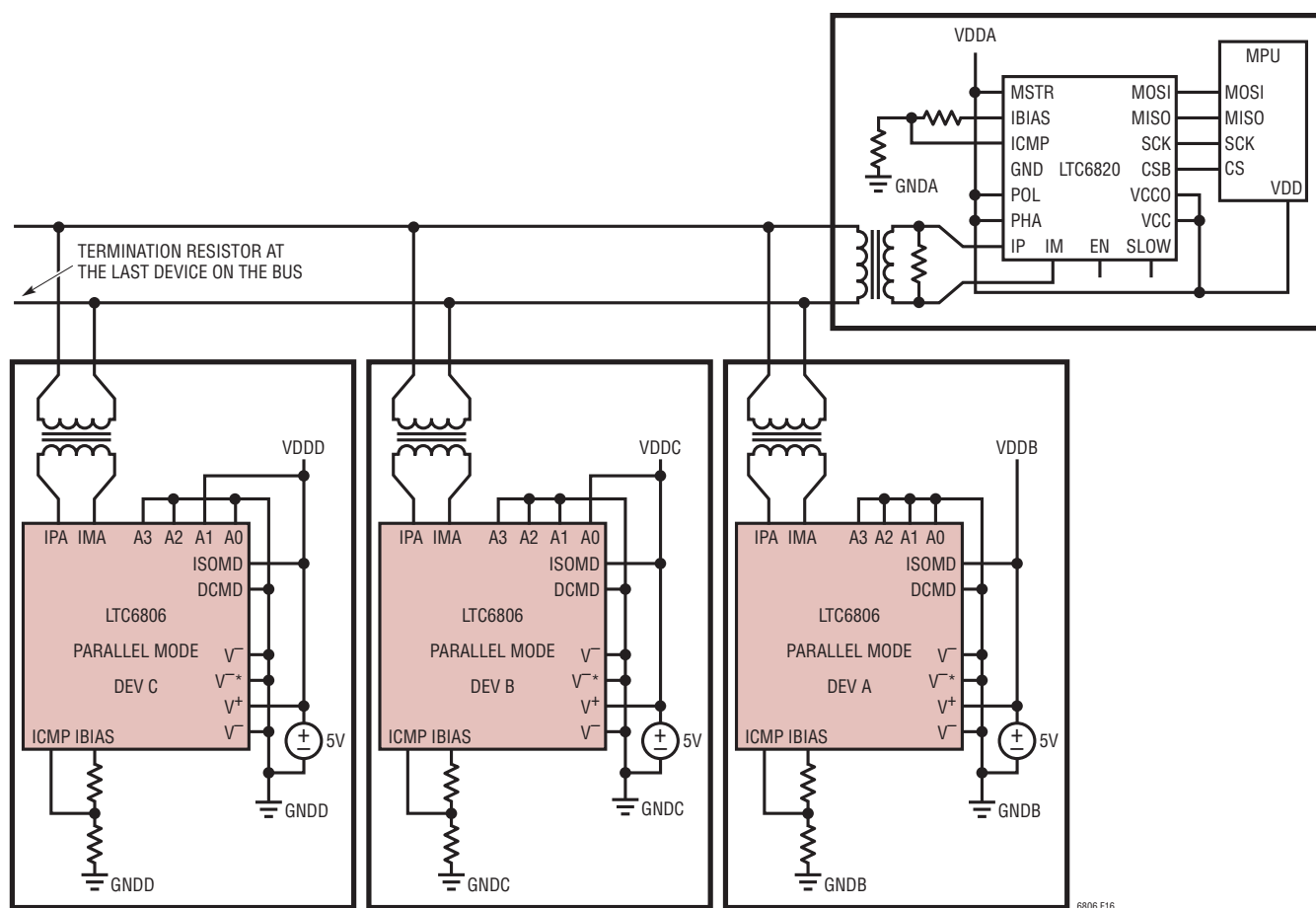


図 16. マルチドロップ構成の概略図

動作

バイアス抵抗の選択

調整可能な信号の振幅により、システムは消費電力の見返りに通信の堅牢性を得られます。また、調整可能なコンパレータの閾値により、システムは信号損失を考慮に入れることができます。

isoSPIトランスミッタの駆動電流とコンパレータの電圧閾値は、IBIASとV⁻の間の抵抗分圧器(R_{BIAS} = R_{B1} + R_{B2})によって設定されます。分割された電圧はICMPピンに接続され、コンパレータの閾値がこの電圧(V_{ICMP})の半分に設定されます。いずれかのisoSPIインターフェースが(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流I_BがIBIASピンから流れ出します。IPおよびIMピンの駆動電流は20・I_Bです。

例えば、分圧器の抵抗R_{B1}が2.8kΩ、抵抗R_{B2}が1.21kΩ(したがって、R_{BIAS} = 4kΩ)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 0.5mA$$

$$I_{DRV} = I_P = I_M = 20 \cdot I_B = 10mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 603mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 302mV$$

この例では、パルス駆動電流I_{DRV}は10mAになり、レシーバーのコンパレータは、IP-IM間の振幅が±302mVより大きいパルスを検出します。

絶縁障壁として1:1のトランスを使用し、ツイスト・ペア・ケーブルで接続されて両端が120Ωの抵抗で終端される場合、送信差動信号の振幅(±)は、次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 0.6V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています)。

isoSPIパルスの詳細

2つのLTC6806デバイスは、絶縁障壁を介して差動パルスを送受信することによって通信が可能です。トランスミッタが出力できるのは、3つのロジック・レベル(+V_A、0V、および-V_A)です。正の出力は、負荷抵抗R_Mの両端のIPソース電流とIMシンク電流によって得られます。負の電圧は、IPシンク

電流とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力は強制的に0Vになります。

DC信号成分を除去して信頼性を向上させるために、isoSPIは2種類のパルス長を使用します。これにより、表17に示すように、4種類のパルスを送信できます。A-1パルスは負のパルスとして送信され、その次に正のパルスが送信されます。各パルスの期間は、必要な対称対の半分であるため、t_{1/2PW}として定義されます(isoSPIパルスの全持続時間は2・t_{1/2PW}です)。

表 17. isoSPIパルスの種類

パルスの種類	1番目のレベル (t _{1/2PW})	2番目のレベル (t _{1/2PW})	最後のレベル
Long +1	+V _A (150ns)	-V _A (150ns)	0V
Long -1	-V _A (150ns)	+V _A (150ns)	0V
Short +1	+V _A (50ns)	-V _A (50ns)	0V
Short -1	-V _A (50ns)	+V _A (50ns)	0V

レシーバーはこれらの種類のisoSPIパルスをそれぞれ検出するように設計されています。正常に検出するには、入力isoSPIパルス(CSBまたはデータ)が以下の条件を満たす必要があります。

1. 入力パルスのt_{1/2PW} > レシーバーのt_{FILT}
2. 入力パルスのt_{INV} < レシーバーのt_{WNDW}

最初の条件にとって最も厳しいマージン(マージン1)は、入力パルスのt_{1/2PW}の最小値とレシーバーのt_{FILT}の最大値との差です。同様に、2番目の条件にとって最も厳しいマージン(マージン2)は、レシーバーのt_{WNDW}の最小値と入力パルスのt_{INV}の最大値との差です。これらのタイミングの関係を図18に示します。

ホスト・マイクロプロセッサは、この2線インターフェースを使用するために、isoSPIパルスを生成する必要がありません。システム内の1番目のLTC6806は、ポートA上の4線SPIインターフェースを使用してマイクロプロセッサと通信し、次にポートB上の2線isoSPIインターフェースを使用して他のLTC6806とデジチェーン接続できます。あるいは、LTC6820を使用して、SPI信号をisoSPIパルスに変換できます。

動作

デジチェーン・モードのLTC6806の可逆的なisoSPI

LTC6806がポートAをisoSPIとして構成してデジチェーン・モードで動作する場合、通信はポートAとポートBのいずれから開始してもかまいません。言い換えると、LTC6806は、通信の方向に応じて、ポートAとポートBのどちらもスレーブまたはマスタとして構成できます。可逆的なisoSPI機能により、一連のデジチェーン接続デバイスでは、両方向からの通信が可能です。可逆的なisoSPIの動作を図17に示します。

LTC6806はSLEEPステートにある場合、ポートAまたはポートBでの有効なWAKEUP信号に応答します。このことは、DCMDおよびISOMDピンの全ての設定に当てはまります。

デジチェーン構成では、WAKEUP信号がポートAで送信された場合、LTC6806はisoSPIの起動後にポートBで長い+1 isoSPIパルス(CSBの立上がり)を送信します。WAKEUP信号がポートBで送信された場合、LTC6806はisoSPIを起動しますが、ポートAでは長い+1 isoSPIパルスを送信しません。

LTC6806はREADYステートのとき、ポートAまたはポートBで長い-1 isoSPIパルス(CSBの立下がり)を送信することに

よって通信を開始できます。LTC6806は、長い-1 isoSPIパルスを受信したポートを自動的にスレーブとして構成します。また、もう一方のポートはマスタとして構成されます。isoSPIパルスは、マスタ・ポートを介してデジチェーンの残りのデバイスに送信されます。

ACTIVEステートでは、LTC6806は通信の途中であり、内部SPIポートのCSBはローです。通信の最後に、スレーブ・ポートで長い+1パルス(CSBの立上がり)を受信すると、デバイスはREADYステートに戻ります。通常の通信ルーチンの一部ではありませんが、LTC6806では、ACTIVEステートの範囲内でポートAとポートBを交換できます。この機能は、ポートの現在のステートに関係なく、マスタ・コントローラがLTC6806のスレーブ・ポートの制御を取り戻すのに便利です。このためには、デバイスが送信した最後のisoSPI信号から遅延時間 t_{BLOCK} の経過後に、マスタ・ポートで長い-1 isoSPIパルスを送信します。 t_{BLOCK} の範囲内で長いisoSPIパルスをマスタ・ポートに送信しても、このパルスはデバイスによって排除されます。これにより、(ケーブル長が100m未満の)終端が不十分なケーブルから信号が反射するので、LTC6806はポートを切り替えられなくなります。

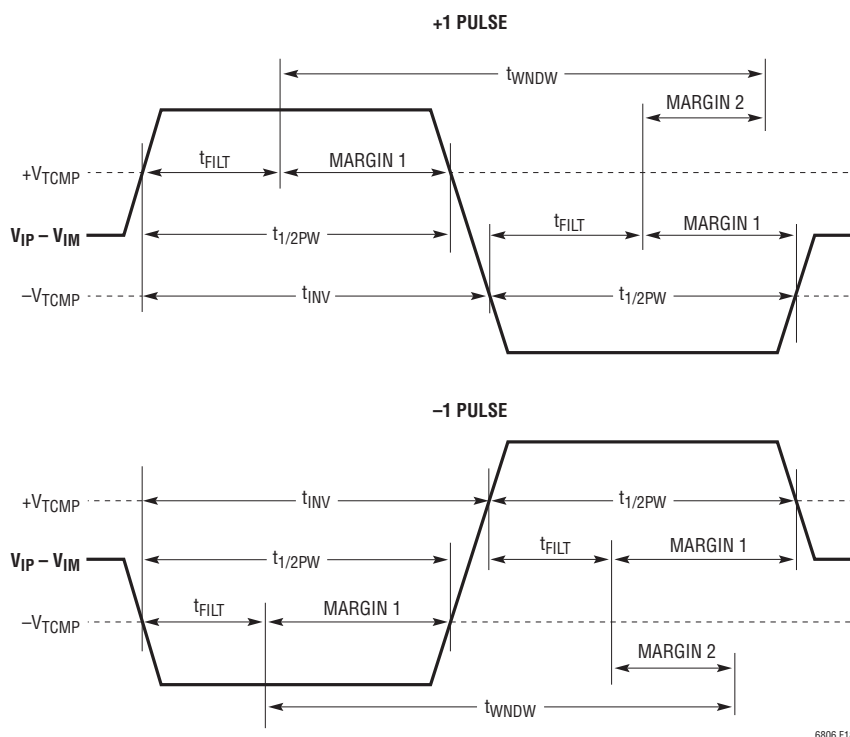


図18. isoSPIパルスの詳細

6806 F18

動作

タイミング図

デジチェーン接続されたLTC6806デバイスに対するREADコマンドのisoSPIタイミング図を図19に示します。ISOMDピンは末尾のデバイスのV₋に接続されるので、そのポートAはSPIポート(CSB、SCK、SDI、およびSDO)として構成されます。3つのスタック・デバイスのisoSPI信号を、ポート名(AまたはB)とデバイス番号のラベルを付けて示します。なお、ISO B1とISO A2は、実際には同じ信号ですが、デバイス1と2を接続する伝送ケーブルのそれぞれの端に現れます。同様に、ISO B2とISO A3も同じ信号ですが、デバイス2と3の間にはケーブルによる遅延が生じます。

ビット $W_n \sim W_0$ は、READコマンドの16ビットのコマンド・コードと16ビットのPECを表します。ビット W_0 の最後に、3つのデバイスがREADコマンドをデコードして、データのシフト出力を開始します。このデータはクロックSCKの次の立上がりエッジで有効になります。ビット $X_n \sim X_0$ は、デバイス1によってシフト出力されたデータを表します。ビット $Y_n \sim Y_0$ は、デバイス2によってシフト出力されたデータを表し、ビット $Z_n \sim Z_0$ は、デバイス3によってシフト出力されたデータを表します。これらのデータは全て、デバイス1のSDOポートからデジチェーン式に読み出されます。

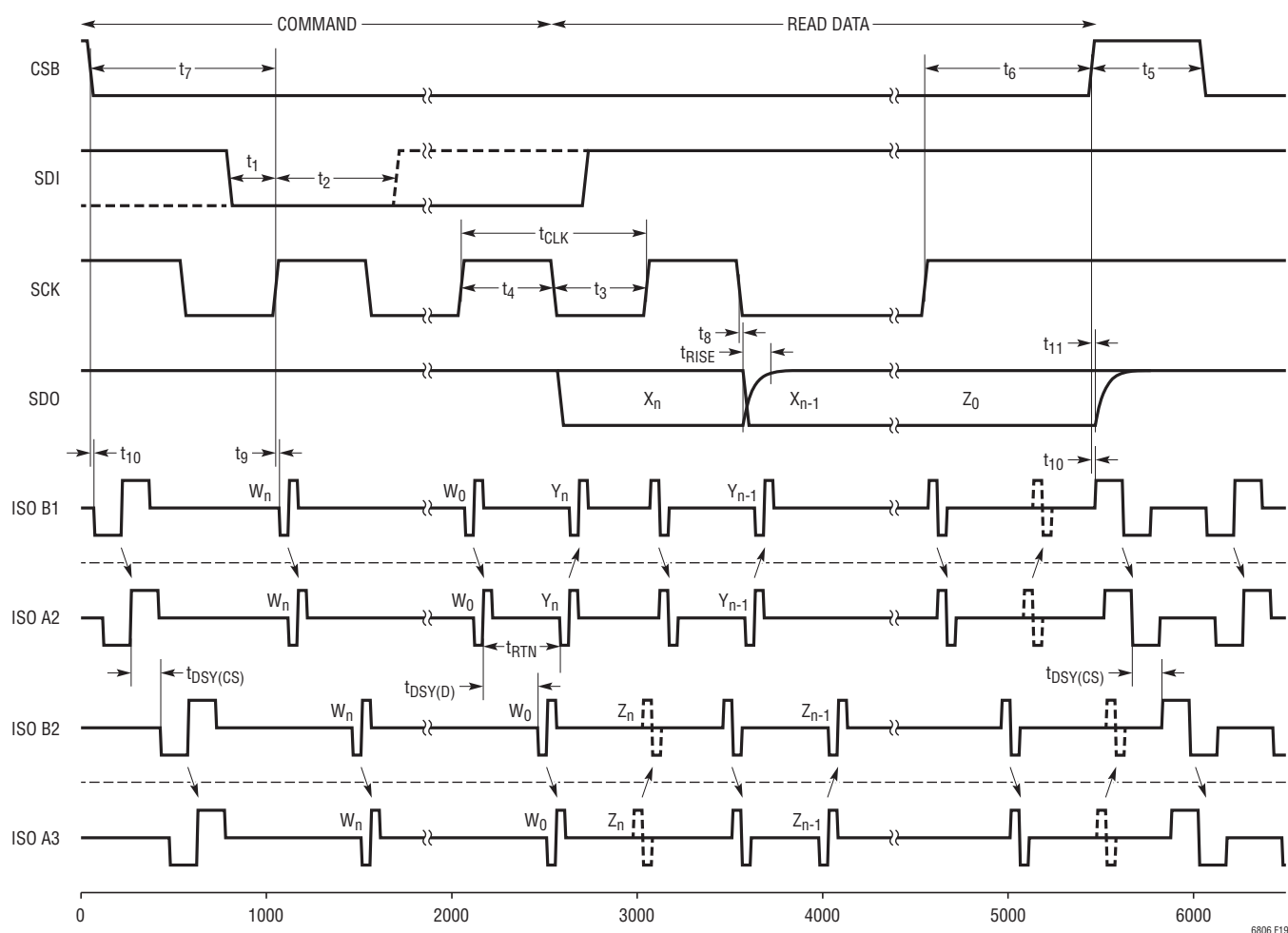


図 19. isoSPIのタイミング図

動作

シリアル・インターフェースのウェイクアップ

t_{IDLE} の時間内にポート A またはポート B に動作がなかった場合、シリアル・ポート (SPI または isoSPI) は、低消費電力の IDLE ステートに移行します。LTC6806 は、ピン CSB_IMA および SCK_IPA とピン IMB_A2 および IPB_A3 を監視する 2 つのウェイクアップ回路を備えています。

ピン CSB_IMA および SCK_IPA またはピン IMB_A2 および IPB_A3 の差動動作がシリアル・インターフェースをウェイクアップします。isoSPI の状態が、コアの状態に応じて t_{WAKE} または t_{READY} の時間内に READY に変わると、LTC6806 は通信できる状態になります (詳細については、LTC6806 のコアのステートの説明を参照)。

デジチェーンモード (DCMD = ハイ) では、ポート A の差動動作によって LTC6806 がウェイクアップした場合、通信できる状態になった後、LTC6806 はポート B で長い +1 パルスを送信します。このパルスがスタック内の次のデバイスをウェイクアップし、そのデバイスが更に次のデバイスをウェイクアップします。スタック内に「N」個のデバイスが存在する場合は、コアの状態に応じて、 $N \cdot t_{WAKE}$ または $N \cdot t_{READY}$ の時間内に全てのデバイスの電源が投入されます。大規模なスタックの場合、 $N \cdot t_{WAKE}$ の時間は、 t_{IDLE} 以上になることがあります。その場合、ホストは、 $N \cdot t_{WAKE}$ の時間よりも長く待機した後、別のダミー・バイトを送信し、全てのデバイスが確実に READY ステートになるために、 $N \cdot t_{READY}$ の間、待機することがあります。

ポート B の差動動作によって LTC6806 がウェイクアップした場合、通信できる状態になった後も LTC6806 はポート A で長い +1 パルスを送信しません。スタック内の全てのデバイスをウェイクアップするには、ホストは t_{IDLE} 以下の間隔の一連のウェイクアップ・パルスを送信する必要があります。

図 20 に、ポート A のウェイクアップ回路のタイミングと機能的等価回路を示します。このウェイクアップ回路は CSB_IMA ピンと SCK_IPA ピンの差に応答します。同相信号はシリアル・インターフェースをウェイクアップしません。このインターフェースは、大信号のシングルエンド・パルスまたは低振幅の対称パルスを受信した後にウェイクアップするよう設計されています。差動信号 $|SCK_IPA - CSB_IMA|$ は、シリアル・インターフェースを起動するウェイクアップ信号として有効になるために、 $t_{DWELL} = 240\text{ns}$ の最小持続時間の間、 $V_{WAKE} = 250\text{mV}$ 以上である必要があります。ポート B のウェイクアップ検出回路はこの回路と同じです (入力 は IPB_A3 と IMB_A2 です)。

データ・リンク層

LTC6806 では、全てのデータがバイト・グループ単位で伝送されます。全てのバイトは、8 ビットで構成されます。各バイトは、最上位ビット (MSB) を先頭にして送信されます。CSB は、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、ローのままである必要があります。書込みコマンドでは、データは、CSB の立上がりエッジでラッチされます。

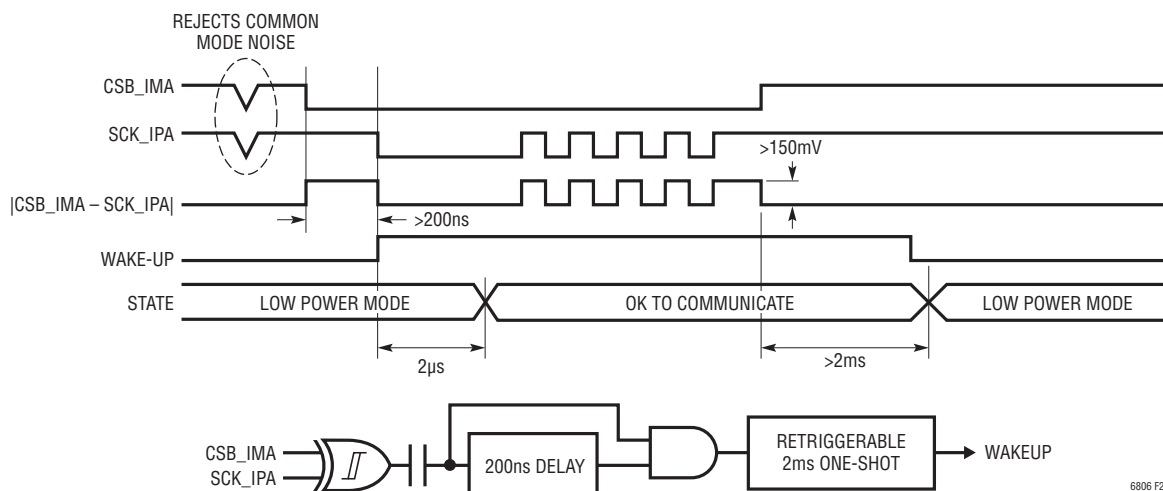


図 20. ウェイクアップ検出と IDLE タイマー

6806 F20

動作

ネットワーク層

パケット・エラー・コード

パケット・エラー・コード(PEC)は、レジスタ・グループ内の全てのビットについて計算される15ビットの巡回冗長検査(CRC)値で、この計算はPECの初期値000000000010000と、特性多項式 $X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$ を使用して、渡された順番に行なわれます。15ビットのPEC値の計算には、簡単な手順を定めることができます。

1. PECを000000000010000に初期化する(PECは15ビットのレジスタ・グループ)。
2. PECレジスタ・グループに入る各ビットのDINを、次のように設定する。

$$IN0 = DIN \text{ XOR } PEC[14]$$

$$IN3 = IN0 \text{ XOR } PEC[2]$$

$$IN4 = IN0 \text{ XOR } PEC[3]$$

$$IN7 = IN0 \text{ XOR } PEC[6]$$

$$IN8 = IN0 \text{ XOR } PEC[7]$$

$$IN10 = IN0 \text{ XOR } PEC[9]$$

$$IN14 = IN0 \text{ XOR } PEC[13]$$

3. 15ビットのPECを次のように更新する。

$$PEC[14] = IN14$$

$$PEC[13] = PEC[12]$$

$$PEC[12] = PEC[11]$$

$$PEC[11] = PEC[10]$$

$$PEC[10] = IN10$$

$$PEC[9] = PEC[8]$$

$$PEC[8] = IN8$$

$$PEC[7] = IN7$$

$$PEC[6] = PEC[5]$$

$$PEC[5] = PEC[4]$$

$$PEC[4] = IN4$$

$$PEC[3] = IN3$$

$$PEC[2] = PEC[1]$$

$$PEC[1] = PEC[0]$$

$$PEC[0] = IN0$$

4. 全データがシフトされるまで、ステップ2に戻る。最後のPEC(16ビット)はPECレジスタの15ビット値で、LSBに0ビットが追加される。

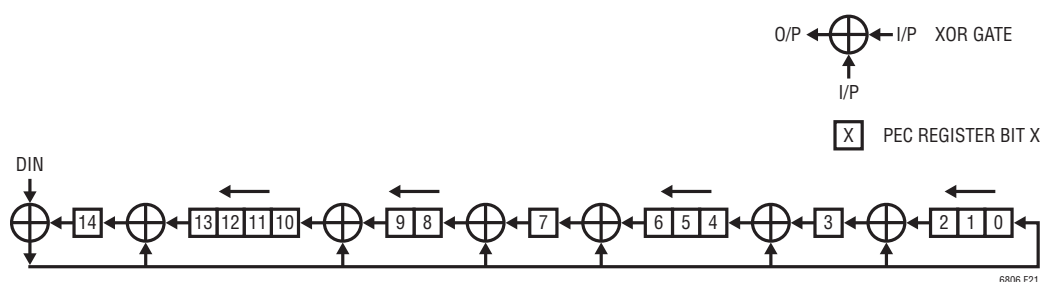


図21. 15ビットのPEC計算回路

動作

前述のアルゴリズムを図21に示します。16ビット・ワード (0x0001) に対するPEC計算の例を表20に示します。0x0001のPECを計算してLSBに0ビットを挿入すると、0x3D6Eとなります。より長いデータ・ストリームの場合は、PECレジスタへ送られる最終データ・ビットの終了時点でPECが有効になります。

LTC6806は、受け取ったどのコマンドまたはどのデータに対してもPECワードを計算し、それをコマンドまたはデータに続くPECと比較します。コマンドまたはデータは、PECが一致する場合にのみ有効と見なされます。また、LTC6806は、シフトアウトするデータの末尾に、計算されたPECワードを付加します。LTC6806に対する書込み時または読出し時のPECのフォーマットを表21に示します。

表20. 0x0001のPEC計算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC Word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
IN0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
Clock Cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

表21. 書込み／読出しのPECフォーマット

名前	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

動作

いずれかのコマンドがLTC6806に書き込まれるときに、コマンド・バイトのCMD0とCMD1(表28と表29を参照)、およびPECバイトのPEC0とPEC1が、次の順序でポートAで送信されます。

CMD0、CMD1、PEC0、PEC1

デジチェーン接続されたLTC6806デバイスへの書き込みコマンドのブロードキャスト後、データが各デバイスに送信され、その後PECが送信されます。例えば、構成レジスタ・グループをデジチェーン接続された2つのデバイス(プライマリ・デバイスPとスタック構成デバイスS)に書き込む場合、プライマリ・デバイスのポートAに、次の順序でデータが送信されます。

CFGR0(S)、…、CFGR5(S)、PEC0(S)、PEC1(S)、CFGR0(P)、
…、CFGR5(P)、PEC0(P)、PEC1(P)

デジチェーン接続されたデバイスに対してREADコマンドを実行すると、各デバイスは、データとそのデータに対して計算されたPECをポートAでシフト出力し、その後ポートBでデータを受信します。例えば、デジチェーン接続された2つのデバイス(プライマリ・デバイスPとスタック構成デバイスS)からステータス・レジスタ・グループBを読み出すときに、プライマリ・デバイスは、次の順序でポートAからデータを送信します。

STBR0(P)、STBR1(P)、…、STBR5(P)、PEC0(P)、PEC1(P)、
STBR0(S)、STBR1(S)、…、STBR5(S)、PEC0(S)、PEC1(S)

ブロードキャスト・コマンド

ブロードキャスト・コマンドは、デバイス・アドレスに関係なくバス上の全てのデバイスが応答するコマンドです。このコマンドは、デジチェーンまたは並列モードで使用できます。ブロードキャスト・コマンドのフォーマットについては、バス・プロトコルを参照してください。ブロードキャスト・コマンドでは、全デバイスに同時にコマンドを送ることができます。

並列構成では、これはA/D変換およびポーリング・コマンドとして便利です。全デバイスに同じデータを書き込む場合に書き込みコマンドと一緒に使うこともできます。並列構成では、ブロードキャストの読出しコマンドは使用しません。

デジチェーン構成はブロードキャスト・コマンドのみをサポートしています。コマンド・バイトは、チェーン内の全てのデバイスが同時に受け取ります。例えば、スタック構成のデバイスでA/D変換を開始する場合は、1つのADCVコマンドを送ると、全デバイスが同時に変換を開始します。読出しと書き込みのコマンドでは、1つのコマンドが送られ、次いでスタック構成のデバイスが事実上カスケード接続されたシフト・レジスタになり、データが各デバイスを通して、スタック内の隣のデバイスにシフトされます。プログラミング例のセクションを参照してください。

アドレス・コマンド

アドレス・コマンドは、バス上でアドレス指定されたデバイスのみが応答するコマンドです。アドレス・コマンドを使用できるのは、並列モードに構成したLTC6806デバイスに対してのみです。アドレス・コマンドのフォーマットについては、バス・プロトコルを参照してください。

アドレス・コマンドの自動インクリメント

アドレス 読出しコマンド(RDCVA、RDCVB、RDCVC、RDCVD、RDCVE、RDCVF、RDCVG、RDCVH、RDCVI、RDAUXA、RDAUXB、RDSTATA、RDSTATB、RDSTATC)を使う場合、LTC6806は要求されたレジスタ・グループのデータとPECを送信してから、次の関連するレジスタ・グループに自動的にインクリメントします。このようにして、ホストは、例えばRDCVAコマンドを送信して、1つのコマンドで全てのセル電圧レジスタ・グループを最後まで読み出すことができます。セル電圧レジスタ・グループIのデータとPECを送信した後、LTC6806はオール1を送信します。

ポーリング方法

A/D変換の完了を判断する最も簡単な方法は、コントローラにA/D変換を開始させ、指定の変換時間が経過するのを待つ結果を読み出すことです。

SPIモード(ISOMDピンをローに接続)で通信する並列構成を使用する場合は、2つのポーリング方法があります。最初の方法は、A/D変換コマンドの送信後にCSBをローに保持する方法です。変換コマンドの入力後、デバイスが変換実行によってビジー状態になっているときは、SDOラインがローに駆動されます(図22)。デバイスが変換を完了すると、

動作

SDOはハイになります。ただし、デバイスが変換を完了していても、CSBがハイになるとSDOはハイになります。アドレス指定されたデバイスは、そのステータスだけに基づいてSDOラインを駆動します。この方法に伴う問題は、A/D変換の完了を待っている間、コントローラが他のシリアル通信を自由に実行できないことです。次の方法は、この制約を受けません。コントローラはADC開始コマンドを送って他のタスクを実行し、次にADCの状態をポーリングする(PLADC)コマンドを送って、A/D変換の状態を判断できます(図23)。PLADCコマンド入力後、デバイスが変換実行によってビジー状態になっている場合、SDOはローになります。変換が終了するとSDOはハイになります。ただし、デバイスが変換を完了していても、CSBがハイになるとSDOはハイになります。

す。並列構成のデバイスと組み合わせてPLADCコマンドを使う方法については、プログラミング例を参照してください。

isoSPIモードで通信する並列構成では、ロー側のポートは、受信したマスタisoSPIパルスに応答する場合にのみデータ・パルスを送信します。したがって、上に述べたどちらかのポーリング方法でコマンドを入力した後は、isoSPIデータ・パルスがデバイスに送られて変換状態が更新されます。これらのパルスは、LTC6820を使用した場合は、そのSCKピンにクロックを入力するだけで送信できます。デバイスはこのパルスに応答して、変換実行のため引き続きビジー状態にある場合はisoSPIパルスを返し、変換が完了している場合はパルスを返しません。CSBハイのisoSPIパルスがデバイスに送られると、デバイスはポーリング・コマンドを終了します。

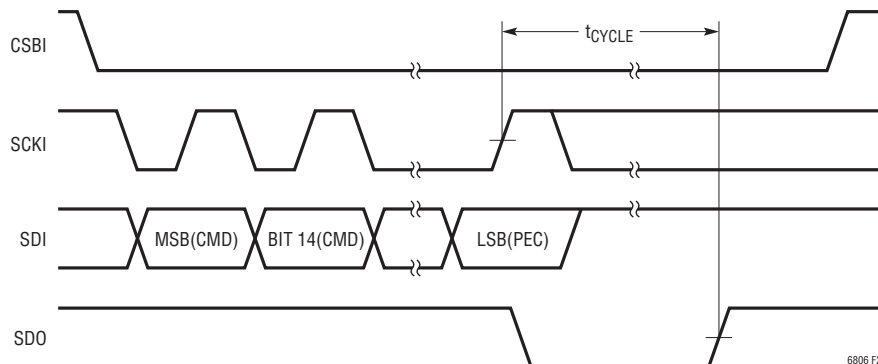


図22. ADCコマンド実行後のSDOのポーリング

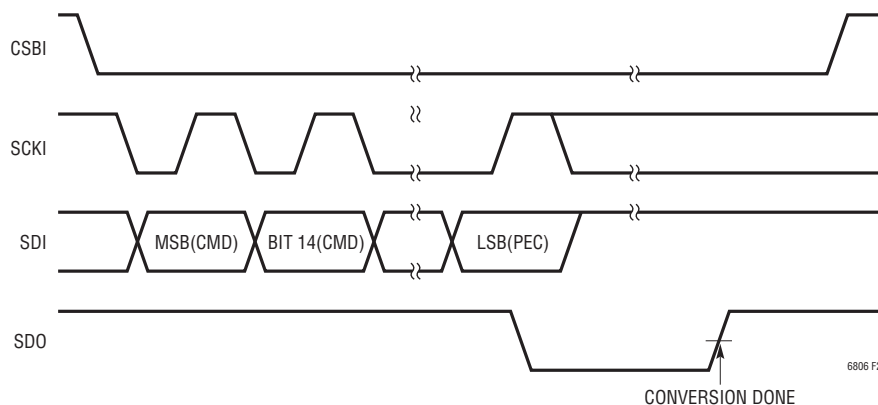


図23. PLADCコマンドを使用したSDOのポーリング

動作

N個のスタック・デバイスのデジチェーン構成では、同じ2つのポーリング方法を使用できます。末尾のデバイスがSPIモードで通信する場合、末尾のデバイスのSDOはスタック全体の変換ステータスを示します。つまり、スタック内にある全てのデバイスが変換を完了するまで、SDOはローのままになります。最初のポーリング方法では、A/D変換コマンドが送信された後、CSBIをローに維持している間に、SCKIでクロック・パルスが送信されます。SDOのステータスが有効になるのは、SCKIで最後のN個目のクロック・パルスが到達したときで、後続のクロック・パルスが到達するたびに更新されます(図24)。2番目のポーリング方法では、CSBIをローに維持している間に、PLADCコマンドを送信して、その後クロック・パルスがSCKIに到達します。最初の方法と同様に、SDOのステータスは、SCKIにN個のクロック・パルスが到達して初めて有効になり、

後続のクロック・サイクルのたびに更新されます(図25)。N段スタック・デバイスと組み合わせてPLADCコマンドを使う方法については、プログラミング例を参照してください。

末尾のデバイスがisoSPIモードで通信する場合は、isoSPIのデータ・パルスがデバイスに送られて変換状態が更新されます。LTC6820を使用した場合は、そのSCKピンにクロックを入力すればこの方法を実現できます。変換ステータスが有効になるのは、末尾のLTC6806デバイスがN個のisoSPIデータ・パルスを受信した後に限られており、このステータスはその後isoSPIデータ・パルスが到達するたびに更新されます。スタック内にあるいずれかのデバイスが変換によりビジー状態になっている場合、デバイスはローのデータ・パルスを返し、全てのデバイスが解放されている場合は、ハイのデータ・パルスを返します。

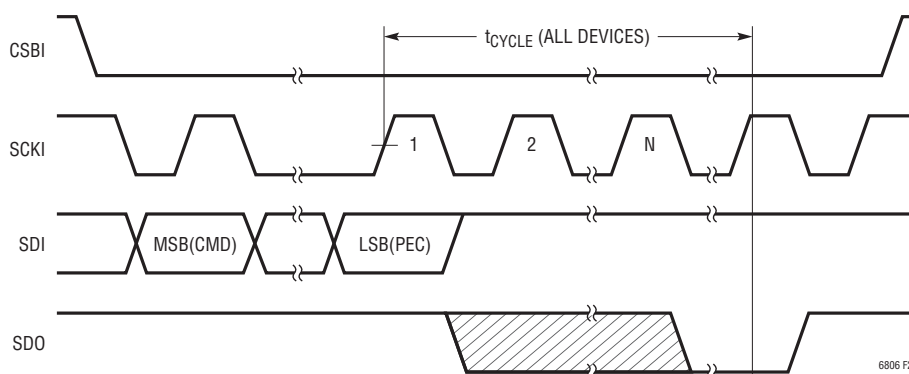


図24. ADC コマンド実行後のSDOのポーリング(デジチェーン構成の場合)

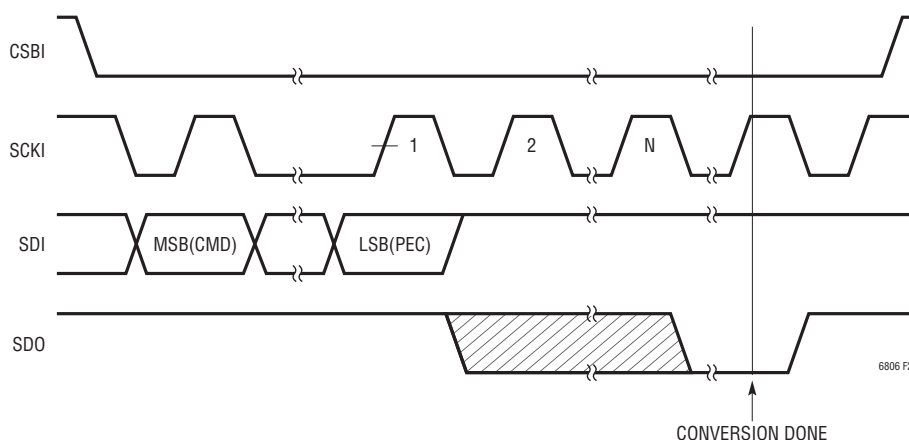


図25. PLADC コマンドを使用したSDOのポーリング(デジチェーン構成の場合)

動作

バス・プロトコル

プロトコル・フォーマット:ブロードキャスト・コマンドとアドレス・コマンドのプロトコル・フォーマットを表23～表27に示します。表22はプロトコル図を読み取る鍵となります。

表22. プロトコル・キー

CMD0	1番目のコマンド・バイト(表28と表29を参照)
CMD1	2番目のコマンド・バイト(表28と表29を参照)
PEC0	1番目のPECバイト(表21を参照)
PEC1	2番目のPECバイト(表21を参照)
n	ビット数
...	プロトコルの継続
	マスタからスレーブ
	スレーブからマスタ

表23. ブロードキャスト/アドレスのポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PEC0	PEC1	Poll Data

表24. ブロードキャスト書き込みコマンド

				デバイスNへのデータ						デバイス1へのデータ				
8	8	8	8	8		8	8	8		8		8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1	...	Data Byte Low	...	Data Byte High	PEC0	PEC1

表25. アドレス書き込みコマンド

8	8	8	8	8		8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1

表26. ブロードキャスト読出しコマンド

				デバイス1からのデータ						デバイスNからのデータ				
8	8	8	8	8		8	8	8		8		8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1	...	Data Byte Low	...	Data Byte High	PEC0	PEC1

表27. アドレス読出しコマンド

8	8	8	8	8		8	8	8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1

動作

コマンド・フォーマット:ブロードキャスト・コマンドとアドレス・コマンドのフォーマットを、それぞれ表28と表29に示します。CC[10:0]は11ビットのコマンド・コードで、ブロードキャスト・コマンドでもアドレス・コマンドでも同じです。全てのコマンド・コードの一覧を表30に示します。ブロードキャスト・コマンドの値は、CMD0[7]からCMD0[3]までは全て0です。アドレス・コマンドの値は、CMD0[7]が1で、続くCMD0[6:3]に

はデバイスの4ビット・アドレス(a3、a2、a1、a0)が入ります。アドレス指定されたデバイスは、デバイスのピンA3～A0の物理アドレスが、アドレス・コマンドで指定されたアドレスと一致する場合に限り、アドレス・コマンドに応答します。ブロードキャスト・コマンドとアドレス・コマンドのPECは、16ビットのコマンド(CMD0およびCMD1)全体を対象に計算する必要があります。

表28. ブロードキャスト・コマンドのフォーマット

名前	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

表29. アドレス・コマンドのフォーマット

名前	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CMD0	WR	1	a3*	a2*	a1*	a0*	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

*axはアドレス・ビットx

コマンド

表30に、LTC6806の全コマンドとオプションを示します。

表30. コマンド・コード

コマンドの説明	名前	11ビット・コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
構成レジスタ・グループの書込み	WRCFG	0	0	0	0	0	0	0	0	0	0	1
構成レジスタ・グループの読出し	RDCFG	0	0	0	0	0	0	0	0	0	1	0
セル電圧レジスタ・グループAの読出し	RDCVA	0	0	0	0	0	0	0	0	1	0	0
セル電圧レジスタ・グループBの読出し	RDCVB	0	0	0	0	0	0	0	0	1	0	1
セル電圧レジスタ・グループCの読出し	RDCVC	0	0	0	0	0	0	0	0	1	1	0
セル電圧レジスタ・グループDの読出し	RDCVD	0	0	0	0	0	0	0	0	1	1	1
セル電圧レジスタ・グループEの読出し	RDCVE	0	0	0	0	0	0	0	1	0	0	0
セル電圧レジスタ・グループFの読出し	RDCVF	0	0	0	0	0	0	0	1	0	0	1
セル電圧レジスタ・グループGの読出し	RDCVG	0	0	0	0	0	0	0	1	0	1	0
セル電圧レジスタ・グループHの読出し	RDCVH	0	0	0	0	0	0	0	1	0	1	1

動作

表 30. コマンド・コード

コマンドの説明	名前	11ビット・コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
セル電圧レジスタ・グループIの読出し	RDCVI	0	0	0	0	0	0	0	1	1	0	0
補助レジスタ・グループAの読出し	RDAUXA	0	0	0	0	0	0	1	0	0	0	0
補助レジスタ・グループBの読出し	RDAUXB	0	0	0	0	0	0	1	0	0	0	1
ステータス・レジスタ・グループAの読出し	RDSTATA	0	0	0	0	0	0	1	0	1	0	0
ステータス・レジスタ・グループBの読出し	RDSTATB	0	0	0	0	0	0	1	0	1	0	1
ステータス・レジスタ・グループCの読出し	RDSTATC	0	0	0	0	0	0	1	0	1	1	0
セル電圧のA/D変換の開始と状態のポーリング	ADCV	1	0	0	MD [1]	MD [0]	CH [5]	CH [4]	CH [3]	CH [2]	CH [1]	CH [0]
断線のA/D変換の開始と状態のポーリング	ADOW	1	1	PUP	MD [1]	MD [0]	CH [5]	CH [4]	CH [3]	CH [2]	CH [1]	CH [0]
セル電圧とセル合計のA/D変換の開始と状態のポーリング	ADCVSC	1	0	0	MD [1]	MD [0]	1	1	0	0	0	0
セルフ・テストのセル電圧の変換の開始と状態のポーリング	CVST	1	ST [1]	ST [0]	MD [1]	MD [0]	1	1	1	1	1	1
GPIOのA/D変換の開始と状態のポーリング	ADAX	0	1	1	MD [1]	MD [0]	1	0	0	AX [2]	AX [1]	AX [0]
GPIOとセル合計のA/D変換の開始と状態のポーリング	ADAXSC	0	1	1	MD [1]	MD [0]	1	1	0	0	0	0
セルフ・テストのGPIOの変換の開始と状態のポーリング	AXST	0	ST [1]	ST [0]	MD [1]	MD [0]	1	1	0	1	1	1
ステータス・グループのA/D変換の開始と状態のポーリング	ADSTAT	0	1	1	MD [1]	MD [0]	1	0	1	CHST [2]	CHST [1]	CHST [0]
セルフ・テストのステータス・グループの変換の開始と状態のポーリング	STATST	0	ST [1]	ST [0]	MD [1]	MD [0]	1	1	1	1	1	1
セル電圧レジスタ・グループのクリア	CLRCELL	0	0	0	0	0	0	1	1	0	0	1
補助レジスタ・グループのクリア	CLRAUX	0	0	0	0	0	0	1	1	0	1	0
ステータス・レジスタ・グループのクリア	CLRSTAT	0	0	0	0	0	0	1	1	0	1	1
A/D変換の状態のポーリング	PLADC	0	0	0	0	0	0	1	1	1	0	0
MUXの診断と状態のポーリング	DIAGN	0	0	0	0	0	0	1	1	1	0	1

動作

表 31. コマンド・ビットの説明

名前	説明	値	
MD[1:0]	ADC モード	MD	
		00	高速モード
		01	ノーマル・モード
		10	代替モード
		11	フィルタ・モード
CH[5:0]	A/D 変換のためのセル選択	CH	
		000000	全セル
		000001	セル1

		100100	セル36
		> 100100	無効な選択
PUP	断線変換のためのプルアップ/プルダウン電流	PUP	
		1	プルダウン電流
		0	プルアップ電流
ST[1:0]	セルフ・テスト・モードの選択	ST	
		01	セルフ・テスト1
		10	セルフ・テスト2
AX[2:0]	補助チャンネルの選択	AX	
		000	2 番目のリファレンス + GPIO1 – GPIO6
		001	2 番目のリファレンス
		010	GPIO1
		011	GPIO2
		100	GPIO3
		101	GPIO4
		110	GPIO5
		111	GPIO6
CHST[2:0]	ステータス・グループ・チャンネルの選択	CHST	
		000	SC + ITMP + V ⁺
		001	SC(セル合計測定値)
		010	ITMP(内部温度)
		011	V ⁺ (5V 電源)
		>011	無効な選択

動作

メモリ・マップ

表 32. 構成レジスタ・グループ

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CFGR0	RD/WR	RSVD	RSVD	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1
CFGR1	RD/WR	HIRNG	REFON	OWPCH[1]	OWPCH[0]	REV[3]	REV[2]	REV[1]	REV[0]
CFGR2	RD/WR	MMD[1]	MMD[0]	FCHNL[5]	FCHNL[4]	FCHNL[3]	FCHNL[2]	FCHNL[1]	FCHNL[0]
CFGR3	RD/WR	VUV[11]	VUV[10]	VUV[9]	VUV[8]	VUV[7]	VUV[6]	VUV[5]	VUV[4]
CFGR4	RD/WR	VUV[3]	VUV[2]	VUV[1]	VUV[0]	VOV[11]	VOV[10]	VOV[9]	VOV[8]
CFGR5	RD/WR	VOV[7]	VOV[6]	VOV[5]	VOV[4]	VOV[3]	VOV[2]	VOV[1]	VOV[0]

表 33. セル電圧レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVAR0	RD	C1V[11]	C1V[10]	C1V[9]	C1V[8]	C1V[7]	C1V[6]	C1V[5]	C1V[4]
CVAR1	RD	C1V[3]	C1V[2]	C1V[1]	C1V[0]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C3V[11]	C3V[10]	C3V[9]	C3V[8]	C3V[7]	C3V[6]	C3V[5]	C3V[4]
CVAR4	RD	C3V[3]	C3V[2]	C3V[1]	C3V[0]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVAR5	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]

表 34. セル電圧レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVBR0	RD	C5V[11]	C5V[10]	C5V[9]	C5V[8]	C5V[7]	C5V[6]	C5V[5]	C5V[4]
CVBR1	RD	C5V[3]	C5V[2]	C5V[1]	C5V[0]	C6V[11]	C6V[10]	C6V[9]	C6V[8]
CVBR2	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR3	RD	C7V[11]	C7V[10]	C7V[9]	C7V[8]	C7V[7]	C7V[6]	C7V[5]	C7V[4]
CVBR4	RD	C7V[3]	C7V[2]	C7V[1]	C7V[0]	C8V[11]	C8V[10]	C8V[9]	C8V[8]
CVBR5	RD	C8V[7]	C8V[6]	C8V[5]	C8V[4]	C8V[3]	C8V[2]	C8V[1]	C8V[0]

表 35. セル電圧レジスタ・グループ C

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVCR0	RD	C9V[11]	C9V[10]	C9V[9]	C9V[8]	C9V[7]	C9V[6]	C9V[5]	C9V[4]
CVCR1	RD	C9V[3]	C9V[2]	C9V[1]	C9V[0]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVCR2	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVCR3	RD	C11V[11]	C11V[10]	C11V[9]	C11V[8]	C11V[7]	C11V[6]	C11V[5]	C11V[4]
CVCR4	RD	C11V[3]	C11V[2]	C11V[1]	C11V[0]	C12V[11]	C12V[10]	C12V[9]	C12V[8]
CVCR5	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]

動作

表 36. セル電圧レジスタ・グループ D

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CVDR0	RD	C13V[11]	C13V[10]	C13V[9]	C13V[8]	C13V[7]	C13V[6]	C13V[5]	C13V[4]
CVDR1	RD	C13V[3]	C13V[2]	C13V[1]	C13V[0]	C14V[11]	C14V[10]	C14V[9]	C14V[8]
CVDR2	RD	C14V[7]	C14V[6]	C14V[5]	C14V[4]	C14V[3]	C14V[2]	C14V[1]	C14V[0]
CVDR3	RD	C15V[11]	C15V[10]	C15V[9]	C15V[8]	C15V[7]	C15V[6]	C15V[5]	C15V[4]
CVDR4	RD	C15V[3]	C15V[2]	C15V[1]	C15V[0]	C16V[11]	C16V[10]	C16V[9]	C16V[8]
CVDR5	RD	C16V[7]	C16V[6]	C16V[5]	C16V[4]	C16V[3]	C16V[2]	C16V[1]	C16V[0]

表 37. セル電圧レジスタ・グループ E

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CVER0	RD	C17V[11]	C17V[10]	C17V[9]	C17V[8]	C17V[7]	C17V[6]	C17V[5]	C17V[4]
CVER1	RD	C17V[3]	C17V[2]	C17V[1]	C17V[0]	C18V[11]	C18V[10]	C18V[9]	C18V[8]
CVER2	RD	C18V[7]	C18V[6]	C18V[5]	C18V[4]	C18V[3]	C18V[2]	C18V[1]	C18V[0]
CVER3	RD	C19V[11]	C19V[10]	C19V[9]	C19V[8]	C19V[7]	C19V[6]	C19V[5]	C19V[4]
CVER4	RD	C19V[3]	C19V[2]	C19V[1]	C19V[0]	C20V[11]	C20V[10]	C20V[9]	C20V[8]
CVER5	RD	C20V[7]	C20V[6]	C20V[5]	C20V[4]	C20V[3]	C20V[2]	C20V[1]	C20V[0]

表 38. セル電圧レジスタ・グループ F

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CVFR0	RD	C21V[11]	C21V[10]	C21V[9]	C21V[8]	C21V[7]	C21V[6]	C21V[5]	C21V[4]
CVFR1	RD	C21V[3]	C21V[2]	C21V[1]	C21V[0]	C22V[11]	C22V[10]	C22V[9]	C22V[8]
CVFR2	RD	C22V[7]	C22V[6]	C22V[5]	C22V[4]	C22V[3]	C22V[2]	C22V[1]	C22V[0]
CVFR3	RD	C23V[11]	C23V[10]	C23V[9]	C23V[8]	C23V[7]	C23V[6]	C23V[5]	C23V[4]
CVFR4	RD	C23V[3]	C23V[2]	C23V[1]	C23V[0]	C24V[11]	C24V[10]	C24V[9]	C24V[8]
CVFR5	RD	C24V[7]	C24V[6]	C24V[5]	C24V[4]	C24V[3]	C24V[2]	C24V[1]	C24V[0]

表 39. セル電圧レジスタ・グループ G

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CVGR0	RD	C25V[11]	C25V[10]	C25V[9]	C25V[8]	C25V[7]	C25V[6]	C25V[5]	C25V[4]
CVGR1	RD	C25V[3]	C25V[2]	C25V[1]	C25V[0]	C26V[11]	C26V[10]	C26V[9]	C26V[8]
CVGR2	RD	C26V[7]	C26V[6]	C26V[5]	C26V[4]	C26V[3]	C26V[2]	C26V[1]	C26V[0]
CVGR3	RD	C27V[11]	C27V[10]	C27V[9]	C27V[8]	C27V[7]	C27V[6]	C27V[5]	C27V[4]
CVGR4	RD	C27V[3]	C27V[2]	C27V[1]	C27V[0]	C28V[11]	C28V[10]	C28V[9]	C28V[8]
CVGR5	RD	C28V[7]	C28V[6]	C28V[5]	C28V[4]	C28V[3]	C28V[2]	C28V[1]	C28V[0]

動作

表 40. セル電圧レジスタ・グループ H

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CVHR0	RD	C29V[11]	C29V[10]	C29V[9]	C29V[8]	C29V[7]	C29V[6]	C29V[5]	C29V[4]
CVHR1	RD	C29V[3]	C29V[2]	C29V[1]	C29V[0]	C30V[11]	C30V[10]	C30V[9]	C30V[8]
CVHR2	RD	C30V[7]	C30V[6]	C30V[5]	C30V[4]	C30V[3]	C30V[2]	C30V[1]	C30V[0]
CVHR3	RD	C31V[11]	C31V[10]	C31V[9]	C31V[8]	C31V[7]	C31V[6]	C31V[5]	C31V[4]
CVHR4	RD	C31V[3]	C31V[2]	C31V[1]	C31V[0]	C32V[11]	C32V[10]	C32V[9]	C32V[8]
CVHR5	RD	C32V[7]	C32V[6]	C32V[5]	C32V[4]	C32V[3]	C32V[2]	C32V[1]	C32V[0]

表 41. セル電圧レジスタ・グループ I

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
CVIR0	RD	C33V[11]	C33V[10]	C33V[9]	C33V[8]	C33V[7]	C33V[6]	C33V[5]	C33V[4]
CVIR1	RD	C33V[3]	C33V[2]	C33V[1]	C33V[0]	C34V[11]	C34V[10]	C34V[9]	C34V[8]
CVIR2	RD	C34V[7]	C34V[6]	C34V[5]	C34V[4]	C34V[3]	C34V[2]	C34V[1]	C34V[0]
CVIR3	RD	C35V[11]	C35V[10]	C35V[9]	C35V[8]	C35V[7]	C35V[6]	C35V[5]	C35V[4]
CVIR4	RD	C35V[3]	C35V[2]	C35V[1]	C35V[0]	C36V[11]	C36V[10]	C36V[9]	C36V[8]
CVIR5	RD	C36V[7]	C36V[6]	C36V[5]	C36V[4]	C36V[3]	C36V[2]	C36V[1]	C36V[0]

表 42. 補助レジスタ・グループ A

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
AVAR0	RD	VREF2[11]	VREF2[10]	VREF2[9]	VREF2[8]	VREF2[7]	VREF2[6]	VREF2[5]	VREF2[4]
AVAR1	RD	VREF2[3]	VREF2[2]	VREF2[1]	VREF2[0]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR2	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR3	RD	G2V[11]	G2V[10]	G2V[9]	G2V[8]	G2V[7]	G2V[6]	G2V[5]	G2V[4]
AVAR4	RD	G2V[3]	G2V[2]	G2V[1]	G2V[0]	G3V[11]	G3V[10]	G3V[9]	G3V[8]
AVAR5	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]

表 43. 補助レジスタ・グループ B

レジスタ	RD/WR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
AVBR0	RD	G4V[11]	G4V[10]	G4V[9]	G4V[8]	G4V[7]	G4V[6]	G4V[5]	G4V[4]
AVBR1	RD	G4V[3]	G4V[2]	G4V[1]	G4V[0]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
AVBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
AVBR3	RD	G6V[11]	G6V[10]	G6V[9]	G6V[8]	G6V[7]	G6V[6]	G6V[5]	G6V[4]
AVBR4	RD	G6V[3]	G6V[2]	G6V[1]	G6V[0]	RSVD	RSVD	RSVD	RSVD
AVBR5	RD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD

動作

表 44. ステータス・レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
STAR0	RD	C40V	C4UV	C30V	C3UV	C20V	C2UV	C10V	C1UV
STAR1	RD	C80V	C8UV	C70V	C7UV	C60V	C6UV	C50V	C5UV
STAR2	RD	C120V	C12UV	C110V	C11UV	C100V	C10UV	C90V	C9UV
STAR3	RD	C160V	C16UV	C150V	C15UV	C140V	C14UV	C130V	C13UV
STAR4	RD	C200V	C20UV	C190V	C19UV	C180V	C18UV	C170V	C17UV
STAR5	RD	C240V	C24UV	C230V	C23UV	C220V	C22UV	C210V	C21UV

表 45. ステータス・レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
STBR0	RD	C280V	C28UV	C270V	C27UV	C260V	C26UV	C250V	C25UV
STBR1	RD	C320V	C32UV	C310V	C31UV	C300V	C30UC	C290V	C29UV
STBR2	RD	C360V	C36UV	C350V	C35UV	C340V	C34UV	C330V	C33UV
STBR3	RD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
STBR4	RD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
STBR5	RD	OT	UT	RSVD	RSVD	RSVD	STXFF	STXFS	MUXFAIL

表 46. ステータス・レジスタ・グループ C

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
STCR0	RD	SC[11]	SC[10]	SC[9]	SC[8]	SC[7]	SC[6]	SC[5]	SC[4]
STCR1	RD	SC[3]	SC[2]	SC[1]	SC[0]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STCR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STCR3	RD	V ⁺ [11]	V ⁺ [10]	V ⁺ [9]	V ⁺ [8]	V ⁺ [7]	V ⁺ [6]	V ⁺ [5]	V ⁺ [4]
STCR4	RD	V ⁺ [3]	V ⁺ [2]	V ⁺ [1]	V ⁺ [0]	RSVD	RSVD	RSVD	RSVD
STCR5	RD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD

表 47. メモリ・ビットの説明

名前	説明	値
RSVD	予備のビット	
GPIOx	GPIOxピンの制御	x = 1~6 書込み: 0 -> GPIOxピンのプルダウンをオン、1-> GPIOxピンのプルダウンをオフ 読み出し: 0 -> GPIOxピンをロジック0、1-> GPIOxピンをロジック1 デフォルト: GPIOx = 1
HIRNG	セルの測定範囲の選択	1-> セルの精度範囲 = -5V~5V 0-> セルの精度範囲 = -2.5V~2.5V デフォルト: HIRNG = 0
REFON	リファレンスの起動	1-> リファレンスは起動したまま 0-> リファレンスは変換後にシャットダウン デフォルト: REFON = 0

動作

表 47. メモリ・ビットの説明

名前	説明	値
OWPCH	断線のプリチャージ時間	00 -> 0.1ms 01 -> 1ms 10 -> 10ms 11 -> 100ms デフォルト: OWPCH = 00
REV	リビジョン・コード	デバイスのリビジョン・コード
MMD	MONITOR モードの選択	00 -> 監視を無効にします 01 -> ノーマル ADC モードで監視します 10 -> 代替 ADC モードで監視します 11 -> フィルタ ADC モードで監視します デフォルト: MMD = 00
FCHNL	監視する1番目のチャンネル	監視する1番目のセル・チャンネルを指定します。監視サイクル中、本ICはセル・チャンネル FCHNL~36を監視し、次にV _{REF2} 、GPIO1、GPIO2チャンネルを監視します。 有効な範囲 = 1~36、指定しない場合、全てのセル・チャンネルを監視します。 デフォルト: FCHNL = 0x00
VUV	低電圧の比較電圧*	比較電圧 = VUV • 1.5mV (HIRNG = 0) 比較電圧 = VUV • 3mV (HIRNG = 1) 監視中は100mVのヒステリシスが適用されます。 デフォルト: VUV = 0x000
VOV	過電圧の比較電圧*	比較電圧 = VUV • 1.5mV (HIRNG = 0) 比較電圧 = VUV • 3mV (HIRNG = 1) 監視中は100mVのヒステリシスが適用されます。 デフォルト: VOV = 0x000
CxV	セル「x」の電圧*	x = 1~36 セル「x」の12ビットADC測定値 セル「x」のセル電圧 = CxV • 1.5mV (HIRNG = 0) または 3.0mV (HIRNG = 1) CxVは起動時およびクリア・コマンド後に0xFFFFにリセットされます。
AxV	補助チャンネル「x」の電圧*	x = 1~6 GPIOチャンネル「x」の12ビットADC測定値 補助チャンネル「x」の電圧 = AxV • 1.5mV AxVは起動時およびクリア・コマンド後に0xFFFFにリセットされます。
REF	2番目のリファレンスの電圧*	2番目のリファレンスの12ビットADC測定値 2番目のリファレンスの電圧 = REF • 1.5mV 通常範囲は2.4V~2.6V REFは起動時およびクリア・コマンド後に0xFFFFにリセットされます。
CxOV	セル「x」の過電圧フラグ	x = 1~36 セル電圧をVOV比較電圧と比較 0 -> セル「x」に過電圧状態を示すフラグなし 1 -> セル「x」にフラグあり
CxUV	セル「x」の低電圧フラグ	x = 1~36 セル電圧をVUV比較電圧と比較 0 -> セル「x」に低電圧状態を示すフラグなし 1 -> セル「x」にフラグあり
OT	過熱フラグ	読出し: 1 -> GPIO2 < V _{REF2} /2 (ヒステリシス100mV) 読出し: 0 -> GPIO2 ≥ V _{REF2} /2 (ヒステリシス100mV) 監視していない場合のデフォルトは1
UT	低温フラグ	読出し: 1 -> GPIO1 ≥ V _{REF2} /2 (ヒステリシス100mV) 読出し: 0 -> GPIO1 < V _{REF2} /2 (ヒステリシス100mV) 監視していない場合のデフォルトは1
STXFF	シリアル転送のセルフ・テスト・フラグ	読出し: 0 -> 最後の DIAGN コマンドがシリアル転送セルフ・テストに合格して以来の全てのADCコマンド 読出し: 1 -> 最後の DIAGN コマンドがシリアル転送セルフ・テストに不合格になって以来の1つ以上のADCコマンド このビットは、CLRSTAT コマンドを発行することでアサートできます。

動作

表 47. メモリ・ビットの説明

名前	説明	値
STXFS	シリアル転送のセルフ・テスト状態	読出し:0 -> 直前のADC コマンドがシリアル転送セルフ・テストに合格 読出し:1 -> 直前のADC コマンドがシリアル転送セルフ・テストに不合格 このビットは、CLRSTAT コマンドを発行することでアサートできます。
MUXFAIL	マルチプレクサのセルフ・テスト結果	読出し:0 -> マルチプレクサがセルフ・テストに合格 読出し:1 -> マルチプレクサがセルフ・テストに不合格
SC	セル合計測定値*	セル合計電圧の12ビットADC測定値 セル合計測定値に相当する電圧 = $SC \cdot 1.5mV \cdot 72$ SCは起動時およびクリア・コマンド後に0xFFFFにリセットされます。
ITMP	内部ダイ温度*	内部ダイ温度の12ビットADC測定値 温度測定値 = $ITMP \cdot 1.5mV / (4.65mV/K) - 266K$ ITMPは起動時およびクリア・コマンド後に0xFFFFにリセットされます。
V ⁺	5V電源電圧*	5V電源電圧の12ビットADC測定値 アナログ電源電圧 = $V^+ \cdot 1.875mV$ 通常範囲は4.75V~5.5V V ⁺ は起動時およびクリア・コマンド後に0xFFFFにリセットされます。

*電圧の式にはレジスタの10進数(12ビットで0~4095)を使用する。

プログラミング例

以下の例ではデジチェーン・モードの3段構成のLTC6806デバイス(下(B)、中(M)、上(T))を使います。下のデバイスの下側ポートはSPIモードに構成されています。

構成レジスタの書き込み

1. CSBIをローにします。
2. WRCFG コマンド(0x0001)とそのPECワード(0x3D6E)を送信します。
3. 上のデバイスのCFGR0バイトの送信後、CFGR1(T)、… CFGR5(T)、CFGR0(T)~CFGR5(T)のPECを送信します。
4. 中のデバイスのCFGR0バイトの送信後、CFGR1(M)、… CFGR5(M)、CFGR0(M)~CFGR5(M)のPECを送信します。
5. 下のデバイスのCFGR0バイトの送信後、CFGR1(B)、… CFGR5(B)、CFGR0(B)~CFGR5(B)のPECを送信します。
6. CSBIをハイにすると、CSBIの立上がりエッジで全デバイスにデータがラッチされます。

上記シーケンスのシリアル・インターフェース時間の計算:

デバイスの段数 = N

シーケンスのバイト数(B):

コマンド: $2(\text{コマンド・バイト}) + 2(\text{コマンド PEC}) = 4$

データ: $6(\text{データ・バイト}) + 2(\text{データ PEC}) = 8(1 \text{ デバイスあたり})$

$B = 4 + 8 \cdot N$

ビットあたりのシリアル・ポート周波数 = F

時間 = $(1/F) \cdot B \cdot 8 \text{ bits/byte} = (1/F) \cdot [4 + 8 \cdot N] \cdot 8$

上記の式で3セルの例の時間(1MHzのシリアル・ポートを使用) = $(1/1e6) \cdot (4 + 8 \cdot 3) \cdot 8 = 224\mu s$

Note: この時間は、全ての書き込みおよび読出しコマンドに対して同じです。

セル電圧レジスタ・グループAの読出し

1. CSBIをローにします。
2. RDCVA コマンド(0x0004)とそのPECワード(0x07C2)を送信します。
3. 下のデバイスのCVAR0バイトの読出し後、CVAR1(B)、… CVAR5(B)、CVAR0(B)~CVAR5(B)のPECを読み出します。
4. 中のデバイスのCVAR0バイトの読出し後、CVAR1(M)、… CVAR5(M)、CVAR0(M)~CVAR5(M)のPECを読み出します。
5. 上のデバイスのCVAR0バイトの読出し後、CVAR1(T)、… CVAR5(T)、CVAR0(T)~CVAR5(T)のPECを読み出します。
6. CSBIをハイにします。

動作

セル電圧のA/D変換の開始

(全セル、ノーマル・モード、状態をポーリング)

1. CSBIをローにします。
2. ADCV コマンド (MD = 1、すなわち 0x0440) とその PEC ワード (0xEDB0) を送信します。
3. 変換期間中 (約 10.3ms)、下のデバイスの SDO 出力がローにされます。
4. SDO 出力がハイに遷移し、デジタイゼーション構成の全デバイスの変換が完了したことを示します。
5. CSBIをハイにしてポーリングを終了します。

セル電圧レジスタのクリア

1. CSBIをローにします。
2. CLRCELL コマンド (0x0011) とその PEC ワード (0x6640) を送信します。
3. CSBIをハイにします。

ADCの状態のポーリング

(デジタイゼーション3段構成)

1. CSBIをローにします。
2. PLADC コマンド (0x001C) とその PEC ワード (0xB4E2) を送信します。
3. SCK にクロック・パルスを送り続けます。
4. 3つ目のクロック・パルスの後、下のデバイスの SDO 出力が有効になります (3段構成の場合)。
5. 3つ目のクロック・パルスの後、クロック・パルスを受け取るたびに SDO は更新されます。
6. デジタイゼーション構成の全デバイスの A/D 変換が全て完了するまで SDO はローであり、全て完了するとハイに遷移します。
7. CSBIをハイにしてポーリングを終了します。

ADCの状態のポーリング

(並列構成)

この例では、アドレス A [3:0] = 0011 でアドレス指定される LTC6806 デバイスを使います。

1. CSBIをローにします。
2. PLADC コマンド (0x981C) とその PEC ワード (0x5BC6) を送信します。
3. デバイスがビジー状態の場合、SDO 出力はローになります。
4. デバイスが変換を完了すると、SDO 出力はハイになります。
5. CSBIをハイにしてポーリングを終了します。

アプリケーション情報

DC電力の供給

電源の接続

LTC6806は、V⁺ピンから電力を取り入れます。4.75V～5.5VをV⁺に供給する必要があります。DC/DCコンバータでV⁺を駆動できます。V⁻およびV^{-*}ピンは外部で互いに短絡させる必要があります。V⁺は、本ICの電源ピンの近くに配置した1μFの高品質なコンデンサでバイパスする必要があります。

4線SPIモードを使う場合、ポートAを直接マイクロプロセッサに接続できる場合があります。この接続を行うには、プロセッサがそのロジック・グラウンドをLTC6806のV⁻と共有し、プロセッサの5V電源をV⁺に供給する必要があります。これは絶縁型回路ではありません。そのため、プロセッサはセル・

グループの電位(場合によっては危険な電位)で動作します。多くの場合、プロセッサは、この方法を安全な方法にできる絶縁された回路を持つその他の機器と接続されます。

絶縁された電源の生成

図26に示すように、マイクロプロセッサへのSPI経路にDC/DCコンバータとデータ・アイソレータを使用できます。この図の例では、統合化された電力およびデータ絶縁μModule[®]であるLTC2883-5Sを使っています。この構成を使うと、マイクロプロセッサは安全な電位で動作でき、グラウンド・ノイズの結合も回避できます。4線SPIは長距離の伝送を意図しておらず、1枚の回路基板を共有する回路に最適であることに注意します。

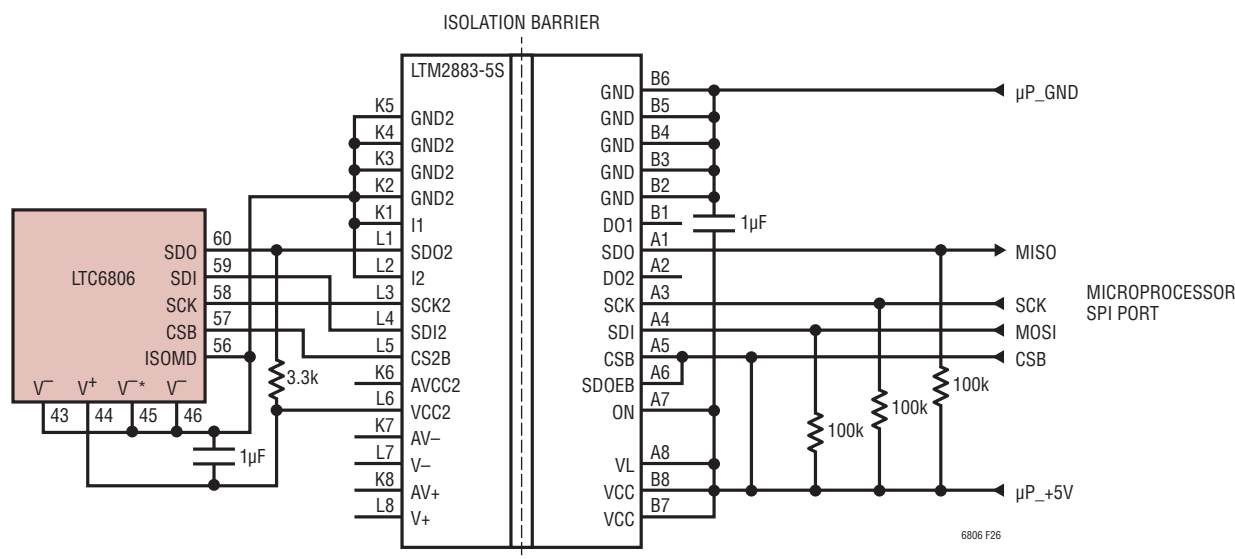


図26. 完全に絶縁された電源と4線SPI通信の例

アプリケーション情報

isoSPI インターフェースを使う設計では、LTC6806 に電力を供給するために絶縁型電源を実装する必要があります。図 27 に、使用できる完全に絶縁された電源の例を示します。この絶縁型電源は、1つの210k 抵抗のみで出力電圧を設定できる、光を使わない絶縁型フライバック・コンバータを採用しています。被絶縁側には、低負荷時(LTC6806が

STANDBY または IDLE モードにある場合など)に電源電圧を安定化するため、ツェナー・ダイオードが必要です。消費電力を最小限に低減するため、7V~12V 電源を落とすことと EN ピンで本デバイスをディスエーブルすることのどちらかによって絶縁型電源をディスエーブルできます。

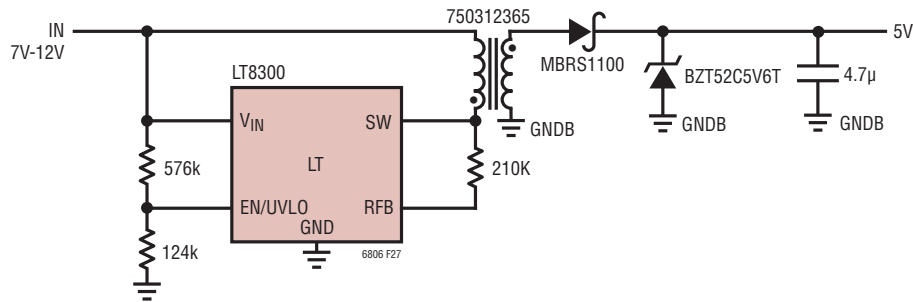


図 27. 完全に絶縁されたデータ・リンクと長い配線を接続できる電源の例

デジタル通信

PEC の計算

パケット・エラー・コード (PEC) を使用すると、LTC6806 から読み出されたシリアル・データが有効であり、かつ外部ノイズ源によって破損していないことを確認できます。このチェック機能は信頼性の高い通信に不可欠です。本デバイスでは、LTC6806 に対する全ての読出しデータと全ての書き込みデータについて、PEC を計算する必要があります。このため、PEC を計算するための効率的な手段を持つことが重要になります。以下に示す C コードにより、ルックアップ・テーブルを使って導く PEC 計算方法を簡単に実装できます。この

コードには 2 つの関数があります。1 つ目の関数 `init_PEC15_Table()` は、マイクロプロセッサの起動時に 1 度だけ呼び出され、PEC15 テーブルの配列 (`pec15Table[]`) を初期化します。このテーブルは、今後の全ての PEC 計算で使用されます。また、起動時に `init_PEC15_Table()` 関数を実行するのではなく、PEC15 テーブルをマイクロプロセッサにハード・コードすることもできます。`pec15()` 関数は、PEC を計算し、与えられた任意の長さのバイト配列で、正確な 15 ビットの PEC を返します。

アプリケーション情報

```

/*****
Copyright 2012 Linear Technology Corp. (LTC)
Permission to freely use, copy, modify, and distribute this software for any
purpose with or without fee is hereby granted, provided that the above
copyright notice and this permission notice appear in all copies:
THIS SOFTWARE IS PROVIDED "AS IS" AND LTC DISCLAIMS ALL WARRANTIES
INCLUDING ALL IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS. IN NO
EVENT SHALL LTC BE LIABLE FOR ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL
DAMAGES OR ANY DAMAGES WHATSOEVER RESULTING FROM ANY USE OF SAME, INCLUDING
ANY LOSS OF USE OR DATA OR PROFITS, WHETHER IN AN ACTION OF CONTRACT, NEGLIGENCE
OR OTHER TORTUOUS ACTION, ARISING OUT OF OR IN CONNECTION WITH THE USE OR
PERFORMANCE OF THIS SOFTWARE.
*****/
int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
{
    for (int i = 0; i < 256; i++)
    {
        remainder = i << 7;
        for (int bit = 8; bit > 0; --bit)
        {
            if (remainder & 0x4000)
            {
                remainder = ((remainder << 1));
                remainder = (remainder ^ CRC15_POLY)
            }
            else
            {
                remainder = ((remainder << 1));
            }
        }
        pec15Table[i] = remainder&0xFFFF;
    }
}

unsigned int16 pec15 (char *data , int len)
{
    int16 remainder,address;
    remainder = 16; //PEC seed
    for (int i = 0; i < len; i++)
    {
        address = ((remainder >> 7) ^ data[i]) & 0xff; //calculate PEC table address
        remainder = (remainder << 8 ) ^ pec15Table[address];
    }
    return (remainder*2); //The CRC15 has a 0 in the LSB so the final value must be
multiplied by 2
}

```

アプリケーション情報

isoSPI ハードウェアの構成

isoSPI の I_B と I_{CMP} の設定

LTC6806 は、消費電力またはノイズ耐性に合わせて各アプリケーションの isoSPI リンクを最適化できます。isoSPI システムの消費電力とノイズ耐性は、事前に設定された I_B 電流によって決まり、これが isoSPI の信号電流を制御します。バイアス電流 I_B の範囲は $100\mu A \sim 1mA$ です。内部回路はこのバイアス電流を増大して、 $20 \cdot I_B$ に等しい isoSPI 信号電流を発生させます。 I_B が小さいと、READY および ACTIVE ステートでの isoSPI の消費電力が少なく済みますが、 I_B が大きいと、対応する終端抵抗 R_M 両端の差動信号電圧 V_A の振幅が大きくなります。電流 I_B は、図 28 に示すように、2V の I_{BIAS} ピンと GND の間に接続した抵抗 R_{B1} と R_{B2} の和によって設定されます。レシーバーの入力閾値は I_{CMP} の電圧によって設定され、 I_{CMP} の電圧は、抵抗 R_{B1} および R_{B2} で形成される抵抗分圧器によって設定されます。レシーバーの差動閾値は、 I_{CMP} ピンの電圧の半分になります。

バイアス電流 ($100\mu A \sim 1mA$) I_B とレシーバーのコンパレータ・スレッショルド電圧 $V_{ICMP}/2$ を設定するときは、以下のガイドラインに従います。

R_M = 伝送線路の特性インピーダンス Z_0

信号振幅 $V_A = (20 \cdot I_B) \cdot (R_M/2)$

V_{TCMP} (レシーバーのコンパレータ閾値) = $K \cdot V_A$

V_{ICMP} (I_{CMP} ピンの電圧) = $2 \cdot V_{TCMP}$

$R_{B2} = V_{ICMP}/I_B = 20 \cdot K \cdot R_M$

$R_{B1} = (2/I_B) - R_{B2}$

アプリケーションに応じて、 I_B と K (信号振幅 V_A に対するレシーバーのコンパレータ閾値の比) を以下のように選択します。

小電力のリンクの場合: $I_B = 0.5mA$ および $K = 0.5$

最大電力のリンクの場合: $I_B = 1mA$ および $K = 0.5$

長いリンク (>50m) の場合: $I_B = 1mA$ および $K = 0.25$

アドレス指定可能なマルチドロップの場合:

$I_B = 1mA$ および $K = 0.4$

システム・ノイズがほとんどないアプリケーションでは、 I_B を $0.5mA$ に設定すると、消費電力とノイズ耐性の折れ合いをうまくつけることができます。この I_B の設定を 1:1 のトランスと $R_M = 100\Omega$ で使用する場合は、 R_{B1} を $3.01k$ 、 R_{B2} を $1k$ に設定します。標準の CAT5 ツイスト・ペア・ケーブルを使用する場合、この設定で最大 50m の通信が可能です。ノイズが非常に多い環境でのアプリケーションや 50m より長いケーブルが必要なアプリケーションでは、 I_B を $1mA$ に増やすことを推奨します。駆動電流を大きくすると、ケーブルでの挿入損失の増加が補償され、ノイズ耐性が向上します。50m を超えるケーブルと巻数比 1:1 のトランスおよび $R_M = 100\Omega$ を使用する場合は、 R_{B1} を $1.5k$ 、 R_{B2} を 499Ω にします。

isoSPI リンクの最大クロック・レートは、ケーブルの長さによって決まります。ケーブルが 10m 以下の場合、最大 1MHz の SPI クロック周波数が可能です。ケーブルの長さが長くなるにつれて、可能な最大 SPI クロック・レートは減少します。この依存性は、伝播遅延の増加によるものであり、これによってタイミングの規格外れが発生する可能性があります。CAT5 ツイスト・ペア・ケーブルを使用した場合、ケーブル長が長くなるに従って最大データ・レートがどのように減少するかを図 29 に示します。

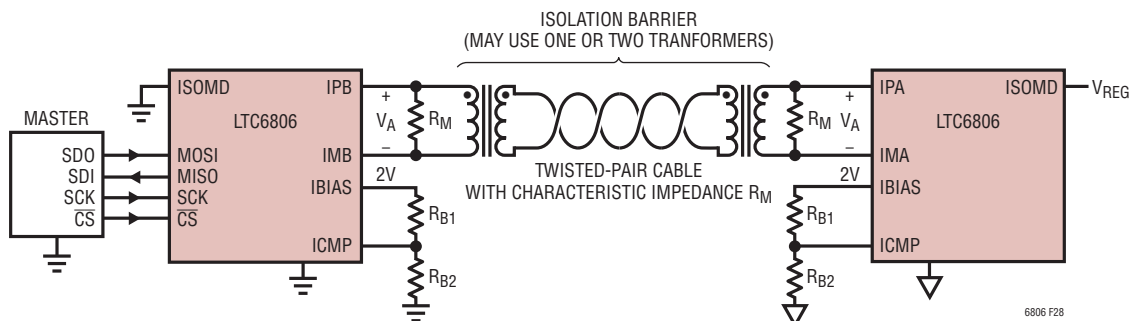


図 28. isoSPI 回路

6806 F28

アプリケーション情報

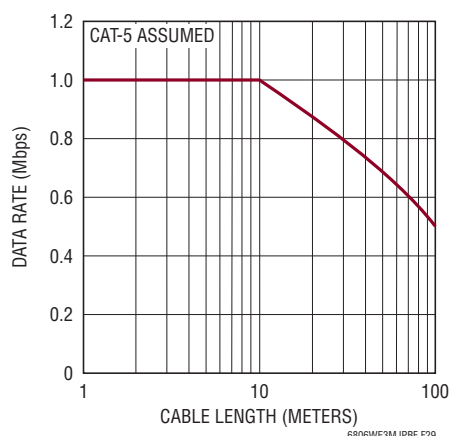


図29. データ・レートとケーブル長

ケーブルの遅延は、 t_{CLK} 、 t_6 、 t_7 の3つのタイミング仕様に影響を与えます。電気的特性の表では、これらの仕様のそれぞれが100nsまで減定格され、50nsのケーブル遅延が許容されます。更に長いケーブルの場合、最小のタイミング・パラメータは次の関係式に従います。

$$t_{CLK}, t_6, t_7 > 0.9 \mu s + 2 \cdot t_{CABLE} (0.2m/ns)$$

isoSPIのモジュール式デジチェーンの実装

デジチェーン isoSPI バスのハードウェア設計は、デジチェーンの2点間アーキテクチャにより、ネットワーク内の各デバイスで同一です。図28の基本回路は名目上は機能

しますが、最適化された構成ではありません。図30に示すように、終端抵抗 R_M を分割して、コンデンサでバイパスします。この変更により、差動終端と同相終端の両方が得られるので、システムのノイズ耐性が向上します。燃料電池モジュール間にケーブルを使用すると、特にオートモーティブ・アプリケーションでは、通信線でノイズの影響を受けやすくなる恐れがあります。電磁干渉(EMC)レベルが高い場合は、フィルタを更に追加することを推奨します。図30の回路例に、共通モード・チョーク(CMC)の使い方を示します。CMCを使うと、配線上のトランジエントから同相ノイズを最大限除去できます。また、センター・タップ付きのトランスを使用してもノイズ性能を更に向上させることができます。センター・タップにバイパス・コンデンサを接続することで、同相ノイズに対するインピーダンスを低減できます(図30a)。通常、センター・タップ付きのトランスはセンター・タップを持たないトランスより高価です。本ICに約100pFのバイパス容量を追加することで、センター・タップなしのトランスのノイズ除去性能を高めることができます(図30b)。10nFよりも大きなセンター・タップ・コンデンサの使用は避けてください。使用すると isoSPI の共通モード電圧を安定化できないためです。イーサネットまたはCANバス・アプリケーションで使われているものに類似した共通モード・チョークを推奨します。表49に、推奨する特定の型番を示します。

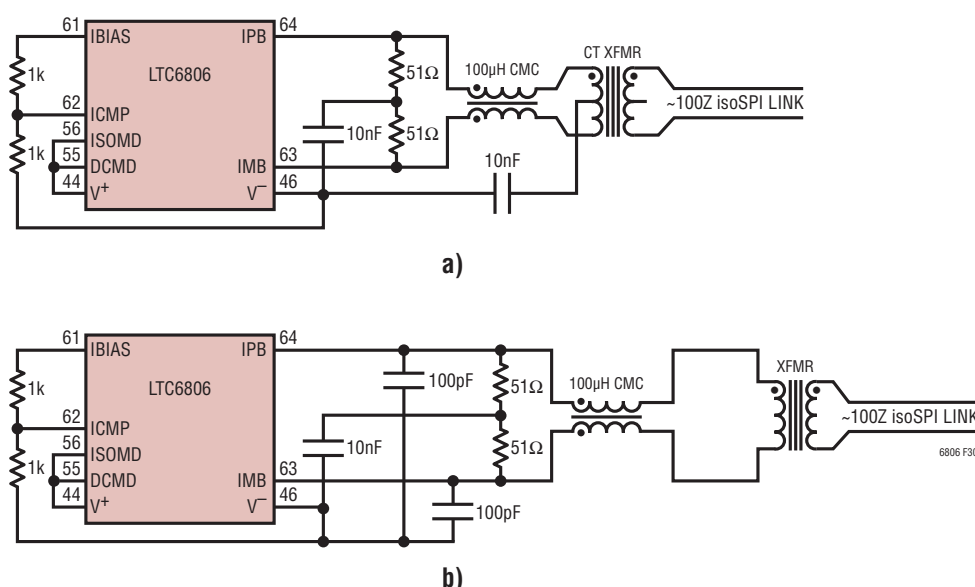
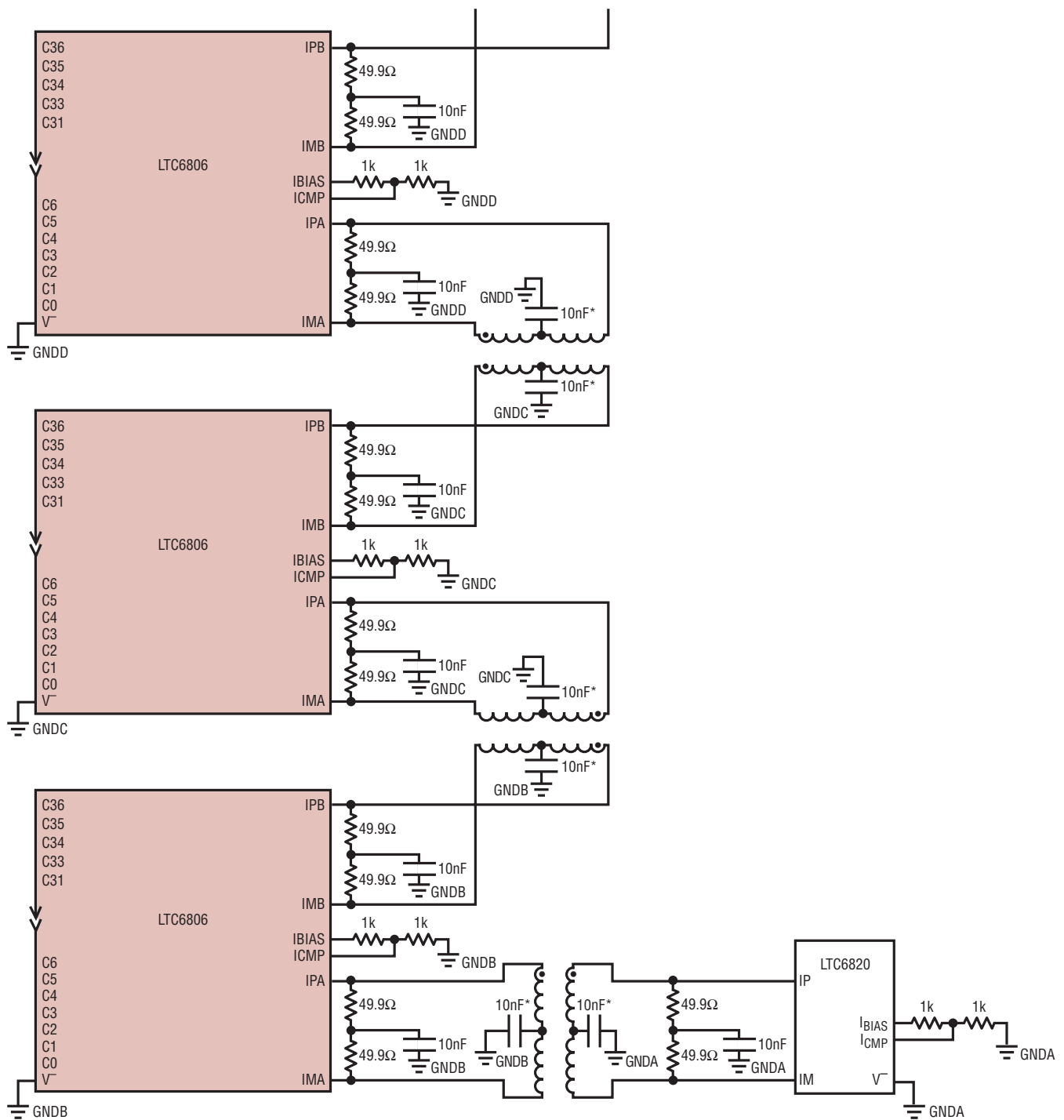


図30. デジチェーン・インターフェースの部品

アプリケーション情報



* IF TRANSFORMER BEING USED HAS A CENTER TAP, IT SHOULD BE BYPASSED WITH A 10nF CAP

6806 F31

図31. 単一基板上でのデジーチェーン・インターフェースの部品

アプリケーション情報

デジタイゼーション設計上のその他の主な考慮事項は、回路内のデバイス数です。チェーンの長さはisoSPIネットワークのデータ遅延とスループットに影響を与えるだけでなく、シリアル・タイミングも決定します。全てのシリアル・タイミング条件が満たされる限り、デジタイゼーションチェーン内のデバイス数に制限はありません。主な制約はシリアル読出し時間と消費電流増加です。デジタイゼーションチェーンでは、正常な動作を確保するのに、タイミングに関する次の2つの考慮事項が最も重要です(図19参照)。

1. T6 (最後のクロックとチップ選択の立上がりまでの時間)を十分に長くする必要があります。
2. T5 (コマンドとコマンドの間隔、つまりチップ選択の立上がりから次の立下がりまでの時間)を十分に長くする必要があります。

T5とT6の長さは、両方ともデジタイゼーションチェーン内にあるLTC6806デバイスの数が増加するのに応じて長くする必要があります。これらの時間の計算式は以下のようになります。

$$T5 > (\# \text{Devices} \cdot 70\text{ns}) + 900\text{ns}$$

$$T6 > (\# \text{Devices} \cdot 70\text{ns}) + 950\text{ns}$$

isoSPIデータ・リンクによるMCUとLTC6806の接続

LTC6820は、標準の4線SPIを、LTC6806と直接通信できる2線isoSPIリンクに変換します。例を図32に示します。アプリケーションにLTC6820を使用すると、マイクロプロセッサとLTC6806のスタックの間を絶縁できます。また、LTC6820を使用すると、LTC6806デバイスおよび燃料電池パックと比較的離れた場所にBMSコントローラを配置するシステム構成が可能になります。

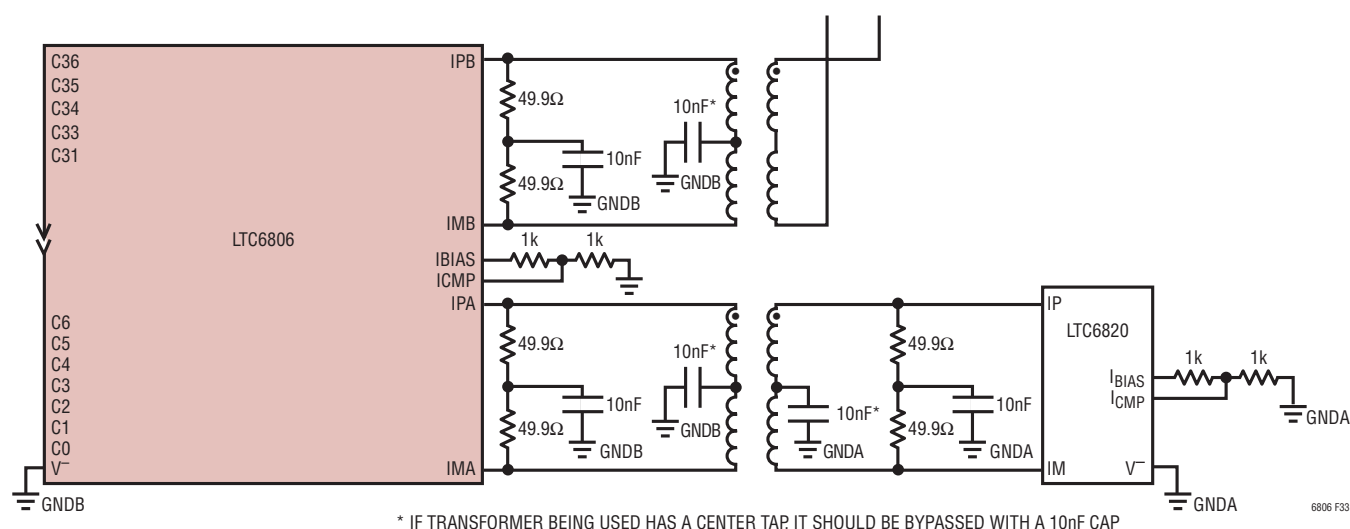


図 32. LTC6820 を使用して絶縁型 SPI 制御に対応する LTC6806 と μP とのインターフェース

アプリケーション情報

複数の LTC6806 を同じ PCB 上で
デジチェーン接続する方法

複数の LTC6806 デバイスを同一の PCB 上で接続する場合、LTC6806 のデジチェーン isoSPI ポートを接続するのに必要なトランスは 1 つだけです。また、ケーブルがないと通信線上でのノイズ・レベルが減少し、分割終端だけで済むことが多くなります。図 31 に、複数の LTC6806 が同一の PCB 上に存在し、isoSPI ドライバ LTC6820 を介して末尾の MCU と通信するアプリケーションの例を示します。センター・タップが必要とされていない場合、センター・タップ付きのトランスを使用している場合、コンデンサを追加してノイズ除去性能を高めることができます。ノイズの追加フィルタ処理が必要

な場合、図 30 に示すノイズ・フィルタを実装でき、1 つのトランスの一方の側にディスクリート・コモンモード・チョークを追加できます。

低ノイズが要求される単一基板設計では、図 33 に示すようなコンデンサ絶縁型の簡単な結合によってトランスを置き換えることができます。レシーバーの入力範囲に収まるようにコモンモード電圧をクランプするため、各 IC に双方向ツェナーを使います。コモンモード・チョーク (CMC) を使うと、分割終端で高い周波数のノイズを除去できます。590 Ω の抵抗を使って、低い周波数のコモンモード・ノイズを減衰させるための終端抵抗を備えた抵抗分圧器を構成します。

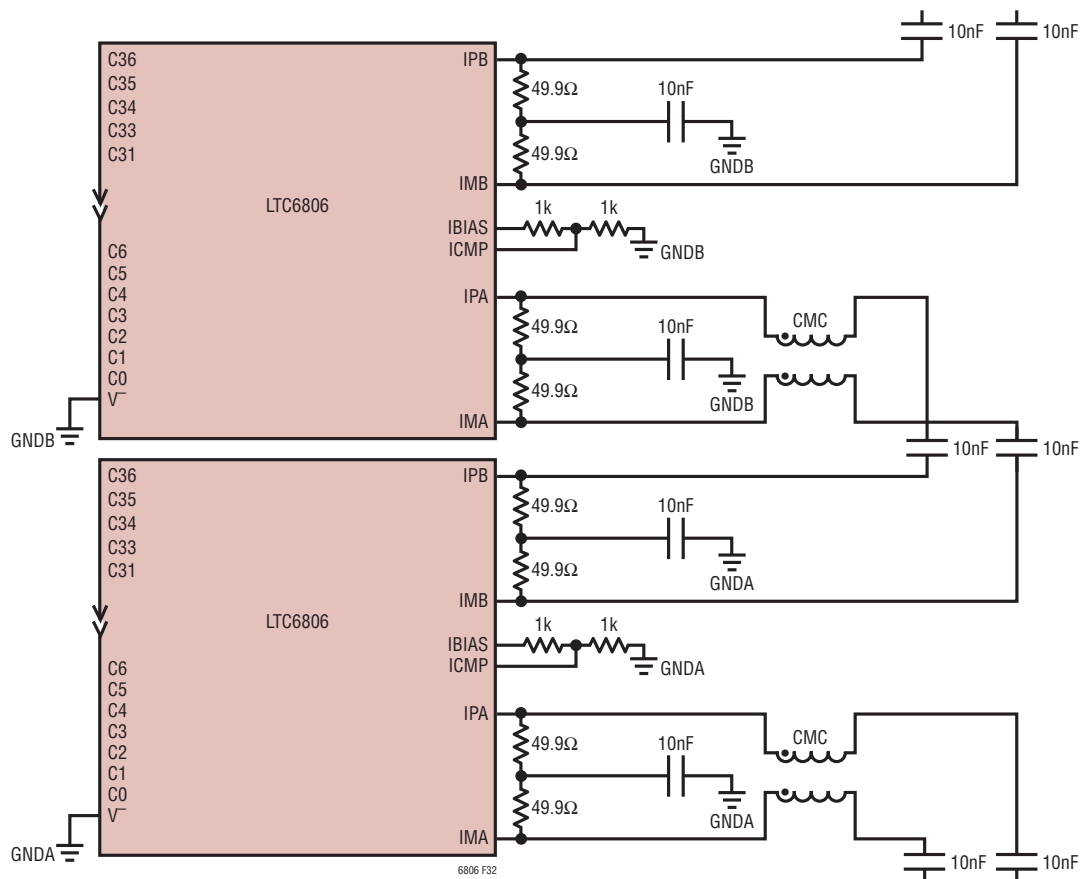


図 33. 同一 PCB 上での複数の LTC6806 に対応する容量性絶縁結合

アプリケーション情報

マルチドロップ isoSPI リンクでの LTC6806 の構成

LTC6806 のアドレス指定機能を使用して、1 本のツイスト・ペア・ケーブル上にデバイスを分散することで、複数のデバイスを 1 つの isoSPI マスタに接続し、本質的に大きな並列 SPI ネットワークを構成できます。図 34 に、先頭(マスタ)と末尾のみで終端したツイスト・ペア・ケーブルによる基本的なマルチドロップ・システムを示します。その中間には、ツイスト・ペア・ケーブル上の短いスタブにその他の LTC6806 を接続し

ます。これらのスタブは、isoSPI 配線上の終端の劣化を避けるため、できるだけ短く、小さな容量にします。LTC6806 は、アドレス指定されない場合、データ・パルスを送信しません。この方式により、アドレス指定されたデバイスだけがマスタにデータを戻すため、衝突が起こる可能性がなくなります。マルチドロップ・システムは一般に、過度な isoSPI パルスの歪みと EMC の混入を避けるため、コンパクトなアセンブリに限定することを推奨します。

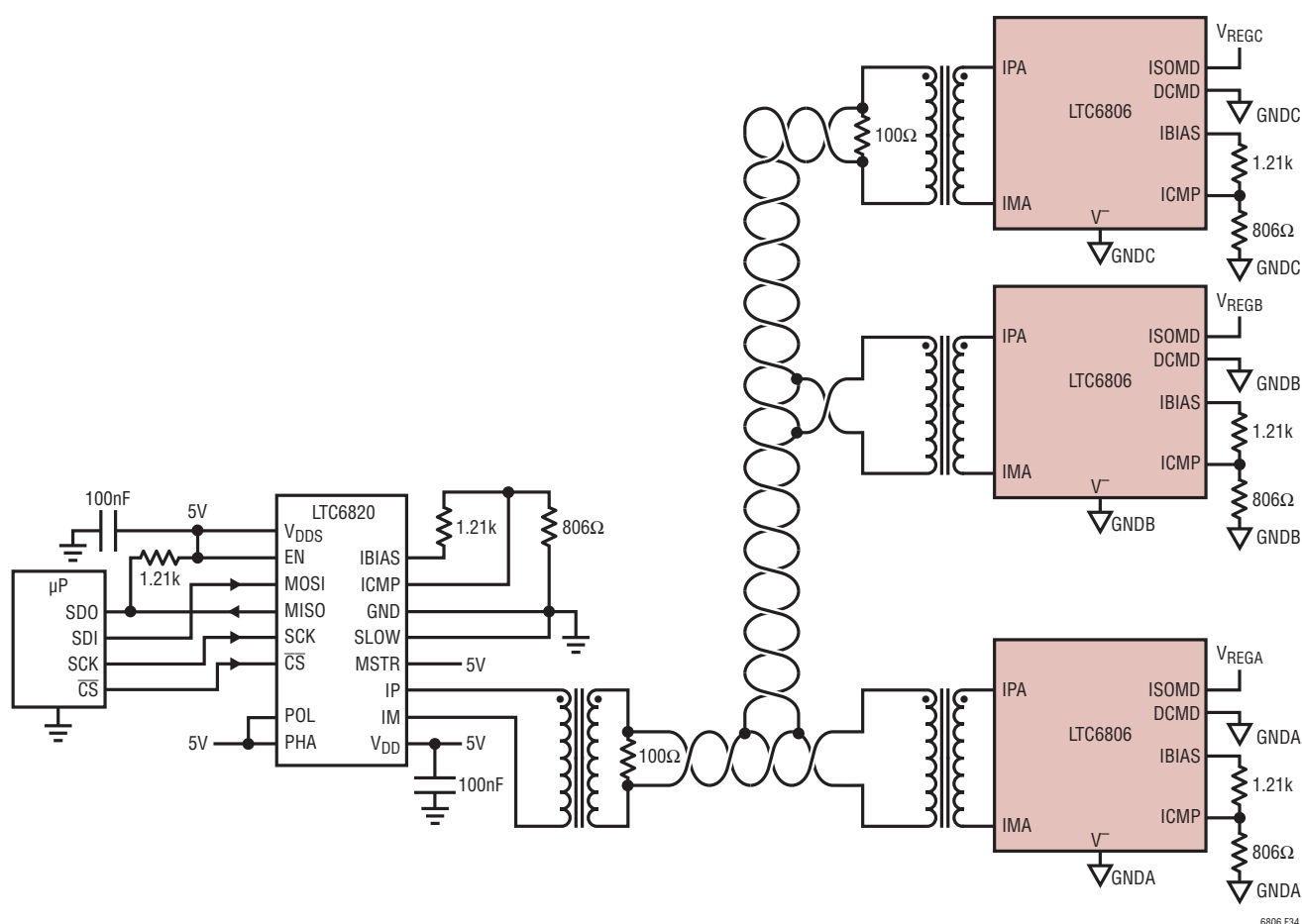


図 34. LTC6806 アレイを使ったマルチドロップ実装の概略図

アプリケーション情報

マルチドロップ構成でのLTC6806の基本接続

マルチドロップのisoSPIバスでは、伝送線路の末尾に終端を配置することで最善の性能が得られます(標準で 100Ω)。LTC6806とLTC6820の各isoSPIポートは、スルー・ネットワークでバスに結合させる必要があります(図35を参照)。センター・タップ付きのトランスを使った図35aの場合、最良の性能が得られます(コモンモード・チョークがノイズ除去性能をさらに高めます)。図35に、共振を抑制する方法としてICとの接続点にRCスナバを使う例を示します(ICの容量によって十分な帯域外除去が得られます)。センター・タップなしのトランスを使う場合、電圧スプリッタとしてCMCを接続することで仮想的なCTを作り出すことができます(図35bを参照)。どちらの構成でも、ICと基板の寄生容量を伝送線路から絶縁するために直列抵抗を使って実際のisoSPIバス伝送線路に接続します。伝送線路の寄生成分を低減すると、反射とパルス歪みを最小化できます。このモードでのisoSPIプログラミング抵抗の抵抗値とピンの接続に注意します。

トランス選択ガイド

図28に示すように、1つのトランスまたは1対のトランスによって、2つのisoSPIポート間のisoSPI信号を絶縁します。isoSPI信号は、最大 $1.6V_{P-P}$ のプログラム可能なパルス振幅と、 $50ns$ および $150ns$ のパルス幅を備えています。これらのパルスを、必要な忠実度で送信できるようにするために、システムで必要なのはトランスの1次側インダクタンスを $60\mu H$ より大きくして、巻数比を1:1にすることです。また、漏れインダクタンスが $2.5\mu H$ より少ないトランスを使用することも必要です。パルス波形の観点から、1次側インダクタンスが最も影響するのは、短いisoSPIパルスのドループです。1次側インダクタンスが小さすぎると、パルスの振幅は減少し始め、パルスの周期にわたって減衰します。パルス・ドループが厳しい場合、レーシーバーから見た実効パルス幅が大幅に狭まり、ノイズ・マージンが減少します。低下のパーセント値が全パルス振幅と比較して小さい値である限り、ある程度の低下は許容されます。漏れインダクタンスが主に影響するのは、パルスの立上がり時間と立下がり時間です。立上がり時間

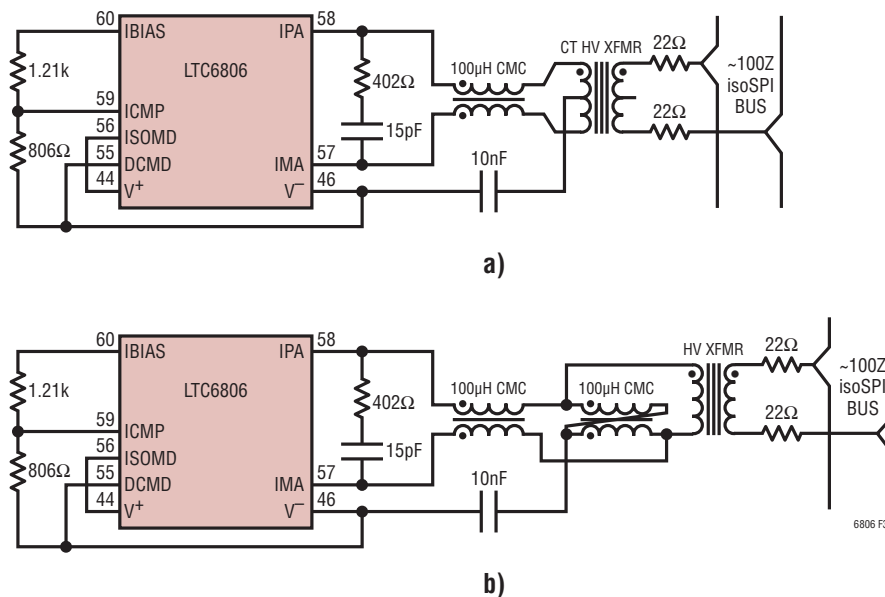


図35. LTC6806、LTC6820と組み合わせて使用する場合は推奨するisoSPIバス結合

アプリケーション情報

表 48. 推奨のトランス

サプライヤ	製品番号	温度範囲	Vworking	Vhipot/60s	CT	CMC	H	L	W (リードを含む)	ピン数	AEC-Q200
Bourns	SM91501AL	-40°C to 125°C	1000V	4.3kVdc	●	●	5.0mm	15.0mm	14.7mm	12SMT	●
Bourns	SM13105L (AS4562)	-40°C to 125°C	1600V	4.3kVrms	●	●	5.0mm	15.0mm	27.9mm	12SMT	-
Bourns	US4374	-40°C to 125°C	950V	4.3kVdc	●	●	4.9mm	15.6mm	24.0mm	12SMT	●
Jingweida	S12502BA	-40°C to 125°C	1000V	4.3kVdc	●	●	5.0mm	14.8mm	14.8mm	12SMT	●
Halo	TG110-AE050N5LF	-40°C to 85/125°C	60V (est)	1.5kVrms	●	●	6.4mm	12.7mm	9.5mm	16SMT	●
Sumida	CLP178-C20114	-40°C to 125°C	1000V (est)	3.75kVrms	●	●	9mm	17.5mm	15.1mm	12SMT	-
Sumida	CLP0612-C20115		600Vrms	3.75kVrms	●	-	5.7mm	12.7mm	9.4mm	16SMT	-
Pulse	HM2100NL	-40°C to 105°C	1000V	4.3kVdc	-	●	3.5mm	14.7mm	15.0mm	10SMT	●
Pulse	HM2112ZNL	-40°C to 125°C	1600V	4.3kVdc	●	●	3.5mm	14.7mm	15.5mm	12SMT	●
Pulse	HX1188FNL	-40°C to 85°C	60V (est)	1.5kVrms	●	●	6.0mm	12.7mm	9.7mm	16SMT	-
Pulse	HX0068ANL	-40°C to 85°C	60V (est)	1.5kVrms	●	●	2.1mm	12.7mm	9.7mm	16SMT	-
Würth	7490140110	-40°C to 85°C	250Vrms	4kVrms	●	●	10.9mm	24.6mm	17.0mm	16SMT	-
Würth	7490140111	0°C to 70°C	1000V (est)	4.5kVrms	●	-	8.4mm	17.1mm	15.2mm	12SMT	-
Würth	749014018	0°C to 70°C	250Vrms	4kVrms	●	●	8.4mm	17.1mm	15.2mm	12SMT	-

推奨のシングル・トランス

サプライヤ	製品番号	温度範囲	Vworking	Vhipot/60s	CT	CMC	H	L	W (リードを含む)	ピン数	AEC-Q200
Bourns	SM91502AL	-40°C to 125°C	1000V	4.3kVdc	●	●	6.5mm	8.5mm	8.9mm	6SMT	●
Bourns	SM13102AL (US4195)	-40°C to 125°C	800V	4kVrms	●	●	3.8mm	11.6mm	21.1mm	6SMT	-
Halo	TD04-QXLTAW	-40°C to 85°C	1000V (est)	5kVrms	●	-	8.6mm	8.9mm	16.6mm	6TH	-
Halo	TGR04-6506V6LF	-40°C to 125°C	300V	3kVrms	●	-	10mm	9.5mm	12.1mm	6SMT	-
Halo	TGR04-A6506NA6NL	-40°C to 125°C	300V	3kVrms	●	-	9.4mm	8.9mm	12.1mm	6SMT	●
Halo	TDR04-A550ALLF	-40°C to 105°C	1000V	5kVrms	●	-	6.4mm	8.9mm	16.6mm	6TH	●
Jingweida	S06107BA	-40°C to 125°C	1000V (est)	4.3kVdc	●	●	6.3mm	7.6mm	9.9mm	6SMT	-
Pulse	HM2101NL	-40°C to 105°C	1000V	4.3kVdc	-	●	5.7mm	7.6mm	9.3mm	6SMT	●
Pulse	HM2113ZNL	-40°C to 125°C	1600V	4.3kVdc	●	●	3.5mm	9mm	15.5mm	6SMT	●
Sumida	CEEH96BNP-LTC6804/11	-40°C to 125°C	600V	2.5kVrms	-	-	7mm	9.2mm	12.0mm	4SMT	-
Sumida	CEP99NP-LTC6804	-40°C to 125°C	600V	2.5kVrms	●	-	10mm	9.2mm	12.0mm	8SMT	-
Sumida	ESMIT-4180/A	-40°C to 105°C	250Vrms	3kVrms	-	-	3.5mm	5.2mm	9.1mm	4SMT	●
Sumida	ESMIT-4187	-40°C to 105°C	>400Vrms (est)	2.5kVrms	-	-	3.5mm	7.5mm	12.8mm	4SMT	●
TDK	VMT40DR-201S2P4	-40°C to 125°C	600V (est)	3.4kVdc	●	-	4.0mm	8.5mm	13.8mm	6SMT	●
TDK	ALT4532V-201-T001	-40°C to 105°C	80V	~1kV	●	-	2.9mm	3.2mm	4.5mm	6SMT	●
TDK	VGT10/9EE-204S2P4	-40°C to 125°C	700V	2.8kVrms	●	-	10.6mm	10.4mm	12.6mm	8SMT	●
Sunlord	ALTW0806C-C03	-40°C to 125°C	300V (est)	3kVrms	●	-	8.8mm	6.3mm	8.9mm	6SMT	●
Würth	750340848	-40°C to 105°C	250V	3kVrms	-	-	2.2mm	4.4mm	9.1mm	4SMT	-
XFMRS	XFBMC29-BA09	-40°C to 85°C	1600V (est)	2.9kVrms	●	●	5.0mm	10.0mm	19.5mm	6SMT	●

アプリケーション情報

と立下がり時間が長いと、パルス幅は減少します。パルス幅は、ICMPピンで設定されている閾値を信号が超える時間に
応じて、レシーバーにより決定されます。立上がり時間と立
下がり時間が長いと、タイミングのマージンは減少します。
一般的には、パルス・エッジをできるだけ高速に保つのが最
善です。また、トランスを評価する場合には、巻線の並列容
量に留意することも大切です。トランスのCMRRは低周波で
は非常に良好ですが、この除去比特性は高周波では低下し
ます。その原因は巻線間の容量です。トランスを選択する場
合には、巻線容量が少ないものを選ぶのが最善です。

トランスを選択する場合、同様に重要なのは、アプリケー
ションに合わせて適切な絶縁定格の製品を選ぶことです。
トランスの動作電圧定格は、アプリケーションに合わせて
製品を選択するときの重要な仕様です。LTC6806デイジー
チェーン・デバイス間のデイジーチェーン・リンクを相互接続
した場合に受けるストレスは、代表的なアプリケーションで
は60V未満なので、通常のパルス・トランスやLANタイプのト
ランスで十分です。マルチドロップ接続やLTC6820に接続す
る場合は、一般に、良好な長期信頼性を確保するため、はる
かに高い動作電圧定格が必要となる可能性があります。通
常は、動作電圧を燃料電池スタック全体の電圧に一致させ

るのが確実です。残念ながら、トランス・メーカーが仕様規
定しているのは多くの場合、1秒間のHVテストのみです。こ
の定格は、部品の長期的(永続的)定格と等価ではありません。
例えば、ほとんどの安全規格によると、1.5kV定格のトラ
ンスは継続的に230Vを扱えることを期待されており、3kVの
デバイスは長期間1100Vに対応できることを期待されてい
ますが、メーカーがこれらのレベルを必ずしも認証するわけ
ではありません(仕様については実際のメーカー・データを
参照)。通常、高電圧のトランスを、メーカーは「高絶縁」タイ
プまたは「強化絶縁」タイプと呼んでいます。isoSPIリンクで
評価されたトランスの一覧を表48に示します。

ほとんどのアプリケーションでは、ノイズを除去するのにコモ
ンモード・チョーク(CMC)も必要です。使用するトランスに
予めCMCが組み込まれていない場合、適したCMCの一覧
を表49に示します。

表 49. 推奨のコモンモード・チョーク

メーカー	製品番号
TDK	ACT45B-101-2P
Murata	DLW43SH101XK2

アプリケーション情報

isoSPI レイアウトのガイドライン

isoSPI 信号線のレイアウトは、データ・リンクのノイズ耐性を最大限に引き上げる重要な役割も果たしています。以下に示すレイアウトのガイドラインを推奨します。

1. トランスは isoSPI ケーブル・コネクタにできるだけ近づけて配置する。距離は 2cm 以下に保つ。LTC6806 は、損失を最小限に抑えるためトランスの近くに配置する。しかし、IC を磁場の結合から分離するためにトランスと LTC6806 の間を少なくとも 1cm～2cm 離す。
2. トランスの下、isoSPI コネクタの下、トランスとコネクタの間のいずれにも V のグラウンド・プレーンを広げない。

3. isoSPI 信号のパターンはできるだけまっすぐにする一方で、グラウンド・メタルまたはスペースによって周囲の回路から分離する。内部層上のグラウンド・プレーンによって分離されている場合を除き、パターンが isoSPI 信号線と交差しないようにする。

シリアル・スループットの計算

どの LTC6806 の場合でも、通信時間を割り出す計算は単純で、伝送時のビット数に使用される SPI クロック周期を掛けただけです。LTC6806 の制御プロトコルは、ほとんど全てのコマンドを書込み、読出し、動作に分類して整理できます。下表を使用して、任意の LTC6806 コマンドでのビット数を求めることができます。デジチェーンの場合は表 50 を使用し、マルチドロップ・ネットワークの場合は表 51 を使用できます。

表 50. デジチェーンでのシリアル通信の式

コマンド・タイプ	コマンド・バイト + コマンド PEC	データ・バイト + データ PEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Write	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Operation	4	0	$4 \cdot 8 = 32$	$32 \cdot \text{Clock Period}$

表 51. マルチドロップでのシリアル通信時間の式

コマンド・タイプ	コマンド・バイト + コマンド PEC	データ・バイト + データ PEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$((4 + 8) \cdot \#ICs) \cdot 8$	Total Bits • Clock Period
Write	4	8	$((4 + 8) \cdot \#ICs) \cdot 8$	Total Bits • Clock Period
Operation	4	0	$4 \cdot 8 = 32$	$32 \cdot \text{Clock Period}$

アプリケーション情報

セル・スタックとC入力の間の保護素子

LTC6806のセル・チャンネルのESD保護は各Cピンから直接V⁻に接続された双方向SCRデバイスで構成されています。その正のSCR電圧は段階的になるように接続されています。つまり、下位のC入力では80Vで始まり上位のC入力では150Vまで上がります(図36を参照)。負のSCR電圧は多様ですが、全て-20Vの絶対最大定格を上回っています。Cピンと内部回路の間の150k Ω の内部直列抵抗はESD性能を高め入力電流を制限します。

絶対最大定格を上回る過剰な電氣的ストレスが任意のピンに印加される可能性がある場合、システム設計では各ピンの絶対最大定格電圧を考慮し、外部クランプと直列抵抗を接続する必要があります。

セル入力とGPIO入力のフィルタリング

LTC6806はデルタシグマ型ADCを使用しています。このADCには、デルタシグマ型変調器とその後段にSINC2有限インパルス応答(FIR)デジタル・フィルタが組み込まれています。このADC手法は入力フィルタ処理条件を大幅に緩和します。更に、プログラム可能なオーバーサンプリング率を使用して、測定速度とフィルタのカットオフ周波数との間の最適な妥協点を判断できます。この高次ローパス・フィルタを使用した場合でも、特に高速変換モードでは、高速トランジェントによって測定時に残留ノイズが発生することがあります。各ADC入力にRCローパス・フィルタを追加すると、ノイズ感度を低減でき、デバイスに損傷を与える可能性がある高エネルギー・トランジェントを除去できます。

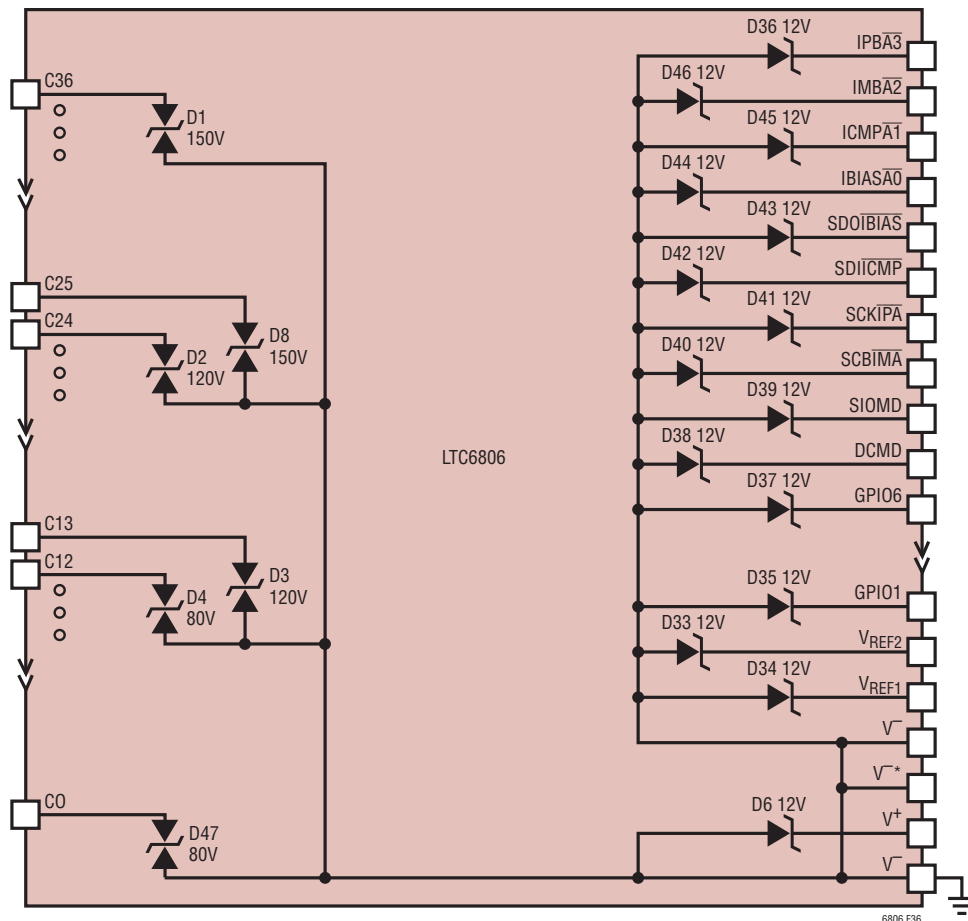


図 36. 内部 ESD 保護の概略図

アプリケーション情報

最高レベルのリプル電圧除去が必要なアプリケーションでは、接地コンデンサ・フィルタを推奨します。この構成では、直列接続された抵抗とコンデンサを使用して、HFノイズをV₋から分離します。この回路のコンデンサは、Cピンとグラウンドの間に直接接続するのと同等の適切な電圧定格を必要とします。

ノイズの周期性が少ないか、高いオーバー・サンプリングを使用しているシステムでは、差動コンデンサ・フィルタ構成が適しています。この構成では、抵抗は各入力に直列接続されますが、コンデンサは隣接するCピン間に接続されます。ただし、差動コンデンサの各部分が相互作用します。その結果、フィルタ応答の一貫性が低くなり、減衰がRCによる予測値よりも(約1デケイド)低くなります。これらのコンデンサには、加えられる電圧のうちの1セル分の電圧が発生します(そのため、コンデンサ値が小さく低コスト)。また、これらのコンデンサは、トランジェント・エネルギーをデバイス全体に均一に分配する傾向があり、これによって、内部の保護構造に対するストレスが低下します。

LTC6806は、少数の簡単な原理に従うだけで、CピンとGPIOピンの幅広い外部フィルタ部品に対応できます。

Cピン

隣接するCピンは、結合して約300kの微分抵抗を示し、セル電圧を測定した場合1ピンあたり約35μAをシンクします。本デバイスがSTANDBYまたはSLEEPモードにある場合、Cピンを0V以上のコモンモード電圧にすると、リーク電流は1.6μA未満です。Cピンを0V未満のコモンモード電圧にすると、セルの電圧とモードに応じて最大550μAの電流が流れ出すことがあります。詳細は、LTC6806の仕様表のI_{LM}とI_{LO}のパラメータと代表的な性能特性のセクションの「入力電流とセル・コモンモード電圧」のグラフを参照してください。

LTC6806は、各燃料電池接続と対応するCピンの間に接続した、信号のフィルタ処理と入力保護のための幅広い直列抵抗に対応できるように設計されています。1k以上の値を使った場合、分圧器の比(1+R_{IN}/150k、ここで、R_{IN}はCピンと直列の微分抵抗)に基づいてゲインに対する精度補正を行う必要がある場合があります。

ノイズをフィルタ処理する目的で、隣接するCピン間に1μF以下の容量を接続できます。断線検出中、オープン・サーキットを検出するためにこの容量は充電されている必要があるため、セルの読出しを行う前の一定の期間、断線検出を有効にしておく必要があります。0.1μFのフィルタ・コンデンサを使う場合、この期間は約10msです。容量に応じて断線検出で選択すべき時間の指針として表16(断線のプリチャージの設定)を参照してください。

入力フィルタ容量も、RC時定数(t_{RC})によっては精度に影響する場合があります。t_{RC}がサンプリング時間よりはるかに小さくなるような入力フィルタ容量値の場合、誤差要因の計算値に近付きます。t_{RC}がサンプリング時間よりはるかに大きくなるような入力フィルタ容量値の場合、未補正の結果に近付きます。

GPIOピン

断線検出中、GPIOピンは測定されないため、フィルタ容量は制限されません。GPIOピンをADCで読み出す場合、約600kΩの等価入力インピーダンスが観測されます。精度は、GPIOピンを駆動する回路のソース・インピーダンスと600kΩの関係に依存します。

フィルタ抵抗の補正によって引き起こされるゲイン誤差

Cピンに接続されたRCフィルタは、ノイズ除去と過電圧保護のためによく使われます(図37を参照)。セル測定中、LTC6806はCピンから電流をシンクまたはソースするため、フィルタ抵抗の両端の電圧降下はシステムのゲインに影響を与えます。外付け抵抗に起因するゲイン誤差は、セル測定データにゲイン補正係数を乗算するだけで以下のように補正できます。

$$G = \frac{150\text{k}\Omega + R}{150\text{k}\Omega}$$

ここで、Rはバッテリー・ノードとそのノードが接続するCピンの間の合成抵抗を表します。例えば、図37に示すように1kΩのフィルタ抵抗を選択した場合、ゲイン補正係数は以下のようになります。

アプリケーション情報

$$G = \frac{150k\Omega + 1k\Omega}{150k\Omega} \approx 1.0067$$

150kΩは、各Cピンに接続されている内部抵抗に相当します。このゲイン誤差補正手法はHiRngモードとLoRngモードの両方に適用されることに注意します。上記のゲイン補正は、Cピンにフィルタ容量をまったく使っていない場合またはほとんど使っていない場合に適用する必要があります。大きなフィルタ容量を(例: ≥ 22nF)を使っている場合、誤差は無視でき、ゲイン補正は不要です。

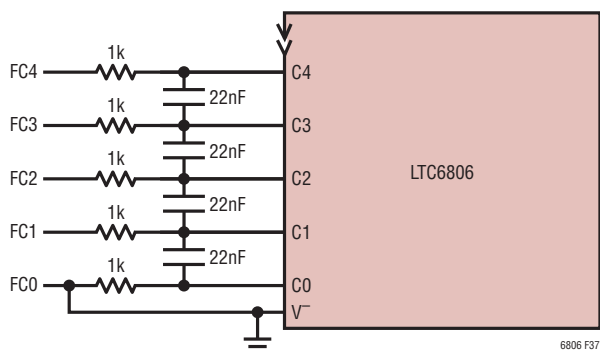


図 37.

36個未満のセルでのLTC6806の使用

LTC6806は36より少ない入力で使えます。しかし、全てのセルのピン電圧の制約が確実に満たされるように注意する必要があります。上位のCピンを使い、使わないCピンをV⁺に短絡させることを推奨します。

CピンとV⁻の間に印加される最大電圧は段階的であり、大きな番号のCピンの制限値ほど大きくなります。詳細については、電気的特性の表と絶対最大定格の表を参照してください。

LTC6806の測定サイクルは未使用のCピンの電圧を測定し続けるため、未使用のピンをフロート状態にしないでください。MONITORステートでは、LTC6806は、構成レジスタ・グループのFCHNLで指定されたセルを測定することで各監視サイクルを開始し、セル36まで全てのセルを測定し続けます。

高度なアプリケーション

外部温度プローブの読取り

LTC6806のV_{REF2}ピンを使うと、外部温度検出のためのサーミスタまたはダイオードを駆動するために最大1mAの電流を供給でき、それらの素子はGPIOピン経由で監視できます。

V_{REF2}はV_{REF1}ほど正確ではないため、これらの温度測定はGPIOピンと内部的に監視したV_{REF2}電圧の両方を読取り、2つの測定値の比から温度測定値を導くことで最も正確に行われます。

図38は、負温度係数(NTC)サーミスタの標準的なバイアス回路を示しています。25°Cで10kΩというのはセンサーの最も一般的な値であり、V_{REF2}出力段は、これら複数のプローブにバイアスを加えるために必要な電流を供給する目的で設計されています。回路が25°Cで1.25V (V_{REF2}は公称2.5V)を供給するように、NTCの値に応じてバイアス抵抗を選択します。回路全体の応答は、図38のグラフに示すように、標準的なセルの温度範囲内で約-1%/°Cです。

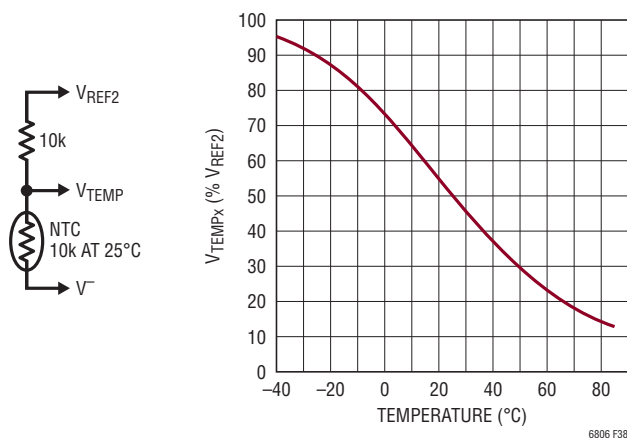


図 38. 標準的な温度プローブ回路と相対出力

アプリケーション情報

ホール・センサーを使用した電流測定

0V～5Vのアナログ出力を備えた各種アクティブ・センサーの測定値を含む、任意のアナログ信号測定値に対して、LTC6806の補助ADC入力(GPIOピン)を使用できます。典型的な1つの例は燃料電池スタック電流の測定です。ホール・センサーは、絶縁された低消費電力ソリューションを実現できるため大電流の測定によく使われます。図39に、印加した V_{CC} に比例した2つの出力を生成する代表的なホール・センサーを示します。図のセンサーには、電源電圧の半分の値を中心とした2つの双方向出力があります。CH1は0A～50Aの低レンジであり、CH2は0A～200Aの高レンジです。このセンサーは、5V電源から電力を供給され、アナログ出力(GPIOピンに接続しています)を生成します。GPIO1とGPIO2をADCの入力として使用すると、セル合計と同じ変換シーケンス内で(ADAXSCコマンドを使用して)デジタル化できます。そのため、セル電圧の測定とセル電流の測定を同期させることができます。

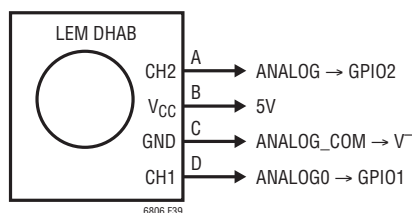


図39. 標準的なホール効果電流センサーと補助ADC入力のインターフェース

複数の燃料電池セルを1つのチャンネルで監視する方法

LTC6806は複数の燃料電池セルを1つのセル・チャンネルで監視できます。この機能を使うと、1つのICで36を超える燃料電池セルを監視するシステムが実現できます。1チャンネルあたり複数の燃料電池セルを監視すると、個別の燃料電池セルの正確な電圧を判断するシステム性能が低下します。しかし、依然としてシステムは、全ての燃料電池セルが目標の電圧範囲内で動作しているかどうかを判断できます。LTC6806には、-2.5V～2.5Vを測定する低レンジと-5V～5Vを測定する高レンジという2つの測定レンジがあります。LTC6806は、低レンジでは最大2つの1.2V燃料電池セルを監視できますが、高レンジ(HIRNG = 1)では最大4つの1.2V燃料電池セルを監視できます。図40に、1チャンネルあたり4セルを監視するLTC6806を示します。設計で必要になるのは、適切なADC測定レンジを設定することのみです。1つの燃料電池セルを監視する場合と複数の燃料電池セルを監視する場合のCピンのフィルタおよび保護回路は同じです。

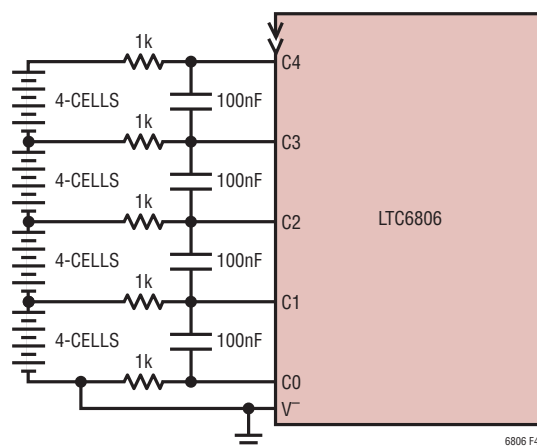


図40. 最大4つの燃料電池セルを1つのチャンネルで監視する方法

アプリケーション情報

LTC6806をMONITORモードで使う方法

LTC6806は、低電圧および過電圧障害に対して、制御用MCUによる定期的なインタラクションなしに単独でCピンを監視するようにプログラムできます。MONITORモードでは、GPIO1とGPIO2は汎用アナログ障害フラグとして使えます。自律的なMONITORモードでは、本デバイスのレジスタの読み出しとGPIOピンの監視のどちらかで障害を検出できます。

図41に、絶縁されたMCUがisoSPIポートから独立して燃料電池セルの状態を監視できるようにフォトカプラを使ったGPIOのインターフェース方法を示します。図41には、燃料電池セルを過熱状態に対して監視するように構成したGPIO1とGPIO2も示します。2つの標準的な10kのサーミスタを使い、過熱閾値のときにGPIOピンの電圧が $V_{REF}/2$ になるように第2の抵抗を選択します。

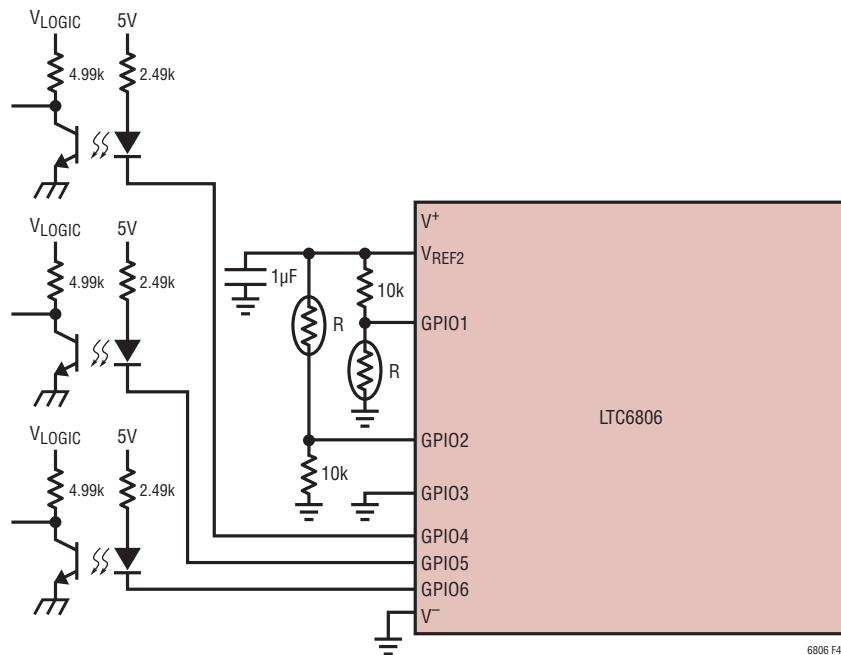
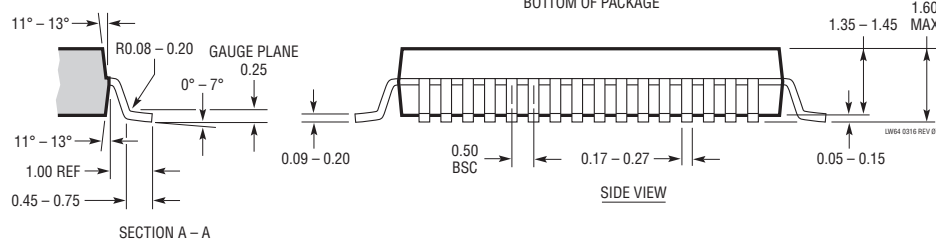
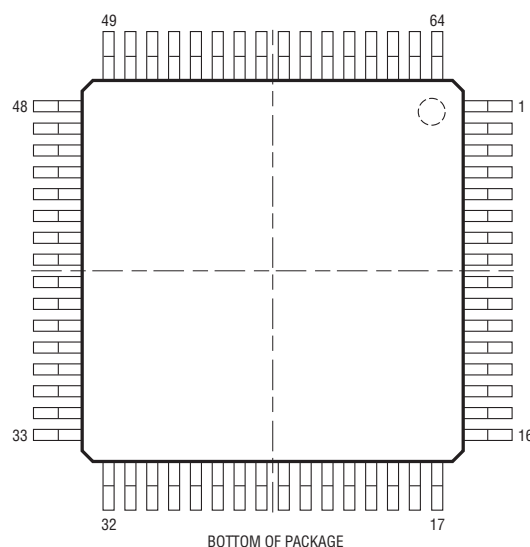
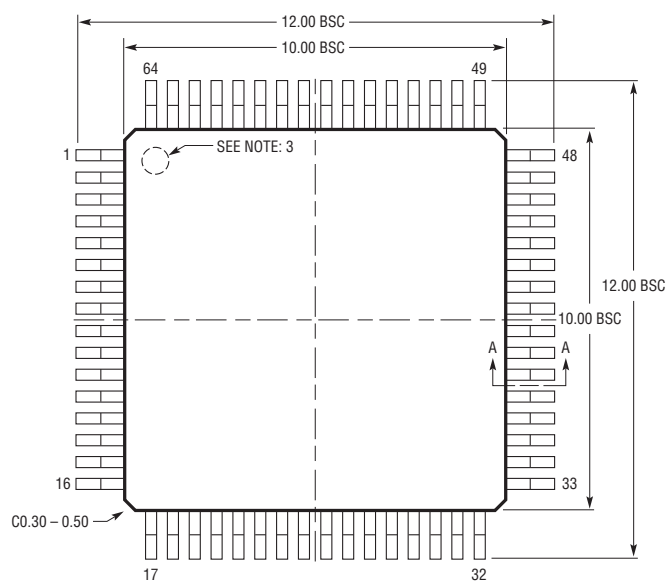
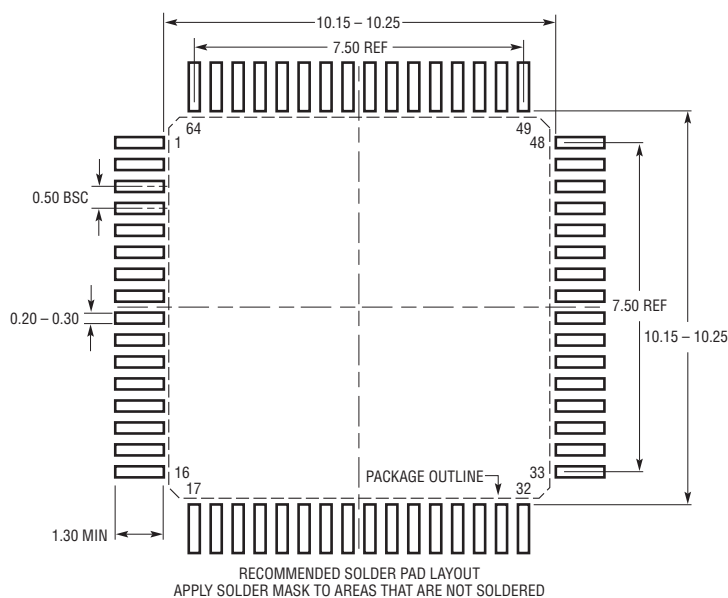


図41. MONITORモードの接続

パッケージ

LW Package
64-Lead Plastic LQFP (10mm × 10mm)
 (Reference LTC DWG #05-08-1539 Rev 0)



- 注：
 1. 寸法の単位はミリメートル
 2. * パッケージの寸法にはモールドのバリを含まない。モールドのバリ
 (存在する場合)はどの側でも 0.25mm を超えないこと

3. 1 番ピンの識別マークはモールドで形成したくぼみ (直径 0.50mm) である
 4. 図は実寸とは異なる

関連製品

製品番号	説明	注釈
LTC6810	第4世代の6セル・バッテリー・スタック・モニタおよびバランス調整IC	最大6個の直列バッテリー・セルのセル電圧を測定します。isoSPIデিজリーチェーン機能により、複数のデバイスを相互接続して、多数のバッテリー・セルを同時に測定できます。isoSPIバスは最大1MHzで動作可能であり、双方向に動作して、断線や損傷したコネクタなど、障害条件に対応できます。最大150mAのパッシブ方式セル・バランス調整機能を内蔵しています。
LTC6811	第4世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定します。isoSPIデিজリーチェーン機能により、複数のデバイスを相互接続して、多数のバッテリー・セルを同時に測定できます。isoSPIバスは最大1MHzで動作できます。最大30mAのパッシブ方式セル・バランス調整機能を内蔵しています。
LTC6812	第4世代の15セル・バッテリー・スタック・モニタおよびバランス調整IC	最大15個の直列バッテリー・セルのセル電圧を測定します。isoSPIデিজリーチェーン機能により、複数のデバイスを相互接続して、多数のバッテリー・セルを同時に測定できます。isoSPIバスは最大1MHzで動作可能であり、双方向に動作して、断線や損傷したコネクタなど、障害条件に対応できます。最大200mAのパッシブ方式セル・バランス調整機能を内蔵しています。
LTC6813	第4世代の18セル・バッテリー・スタック・モニタおよびバランス調整IC	最大18個の直列バッテリー・セルのセル電圧を測定します。isoSPIデিজリーチェーン機能により、複数のデバイスを相互接続して、多数のバッテリー・セルを同時に測定できます。isoSPIバスは最大1MHzで動作可能であり、双方向に動作して、断線や損傷したコネクタなど、障害条件に対応できます。最大200mAのパッシブ方式セル・バランス調整機能を内蔵しています。
LTC6820	isoSPI絶縁型通信インターフェース	ツイスト・ペア・ケーブルを使用する最大100メートルのSPI通信用の絶縁型インターフェースを提供します。 LTC6804と組み合わせて使用します。