

ANALOG
DEVICES

30 W、フィルタレス、クラス D、 出力検出、オーディオ・アンプ

データシート

SSM3525

特長

シグマ・デルタ ($\Sigma\Delta$) 変調を採用したフィルタなしのデジタル
入力、モノラル、クラス D アンプ

出力電圧、出力電流、 PV_{DD} 電源電圧のデジタル化出力

2 セルまたは 3 セル・バッテリーなどの 4.5 V ~ 17 V 電源で動作

入出力の電源動作: 1.1 V ~ 1.98 V

出力電力 30.2 W、17 V 電源、4 Ω 負荷、1% THD + N

37.5 μ V rms ノイズ、S/N 比: 107 dB (A 加重)

最大 4 ピンの選択可能なアドレスによる I^2C 制御

複数のシリアル・データ・フォーマット。

TDM、 I^2S 、または左詰めスレーブ

PDM 入出力動作: 2.048 MHz ~ 6.144 MHz

8 kHz ~ 192 kHz のサンプル・レートをサポート

柔軟なデジタル/アナログのゲイン調整

バッテリー電圧ベースのリミッタ付き AGC

出力電流検出 74 dB SNR、電圧検出 85 dB SNR

12 V PV_{DD} 電源で 6.62 mA の静止電流

1 $^{\circ}C$ 単位で読み出す温度センサー

短絡保護、過熱保護、過熱警告

23 ボール、2.26 mm \times 2.38 mm、0.4 mm ピッチ WLCSP

ポップ/クリック抑制回路

選択可能な超低 EMI 放射モード

パワーオン・リセット

アプリケーション

モバイル・コンピューティング

ポータブル機器

概要

SSM3525 は、デジタル入力型の高集積、高効率、モノラルのクラス D オーディオ・アンプです。出力電圧、出力電流、 PV_{DD} 電源の出力をデジタル化します。アプリケーション回路に必要な外部部品が少なく、4.5 V ~ 17 V (PV_{DD}) および 1.8 V (IOV_{DD}) の電源で動作します。この製品は、12 V 電源から 8 Ω の負荷に 8.3 W (または 4 Ω の負荷に 15.3 W) の連続出力電力を供給する際、全高調波歪み + ノイズ (THD + N) を 1% 未満に抑えます。あるいは 17 V 電源から 4 Ω の負荷に 30.2 W の出力電力を供給する際、THD + N を 1% 未満に抑えます。

SSM3525 は、外付けインダクタ/コンデンサ (LC) 出力フィルタの不要な、高効率の低ノイズ変調方式を採用しています。この方式では、出力電力が低い場合でも継続して高い効率を発揮できます。このデバイスは、12 V 電源で 8 Ω の負荷に 9 W の電力を供給する場合は 92% の効率を発揮します。また、17 V 電源で 4 Ω の負荷に 20 W の電力を供給する場合は 89% の効率を発揮し、S/N 比は 107 dB (A 重み付け) になります。

拡散スペクトラム・パルス密度変調方式を採用しているため、特に 100 MHz 以上で他のクラス D アーキテクチャよりも電磁干渉 (EMI) 放射を抑制できます。

デジタル入力を使用しているため、外付け D/A コンバータ (DAC) は必要ありません。SSM3525 は、12 V PV_{DD} 電源でシャットダウン電流が 90 nA (代表値) になるマイクロパワー・シャットダウン・モードを備えています。検出が必要な場合は、個別の検出ブロックをパワーダウンすれば電力を削減できます。

このデバイスは、ターンオン時およびターンオフ時に出力で発生する電圧グリッジを最小限に抑えるポップ/クリック抑制回路も内蔵しています。

内蔵の A/D コンバータ (ADC) と内部検出抵抗を使用して電流を検出します。デジタル化された電圧と電流に関する情報は、 I^2S 、時分割多重 (TDM)、パルス密度変調 (PDM) などの各種シリアル・オーディオ・フォーマットで返すことができます。

SSM3525 には、必要な 5 V アナログ電源を生成するためのレギュレータが内蔵されています。代わりに、DC/DC コンバータから外部 5 V レールを使用できる場合は、システムの効率が向上します。

SSM3525 は、 I^2C 制御インターフェースで動作するように設計され、 $-40^{\circ}C$ ~ $+85^{\circ}C$ の範囲で仕様規定されています。このデバイスは、サーマル・シャットダウン機能と出力短絡保護の機能を備えています。この製品は、ハロゲンフリーの 23 ボール、2.26 mm \times 2.38 mm のウェーハレベル・チップ・スケール・パッケージ (WLCSP) を採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。*日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	ADI ベンダー ID レジスタ	37
アプリケーション	1	デバイス ID 1 レジスタ	37
概要	1	デバイス ID 1 レジスタ	37
改訂履歴	3	リビジョン ID レジスタ	37
機能ブロック図	4	レジスタ・イネーブルおよび IOVDD 選択レジスタ	38
仕様	5	アンプ・ゲイン、エッジ制御、検出サンプル・レート・レジスタ	38
タイミング仕様	7	DAC コントロール・レジスタ	39
絶対最大定格	10	DAC ボリューム・コントロール・レジスタ	40
熱抵抗	10	自動リミッタ・コントロール 1 レジスタ	41
ESD に関する注意	10	自動リミッタ・コントロール 2 レジスタ	42
ピン配置およびピン機能の説明	11	自動リミッタ・コントロール 3 レジスタ	43
代表的な性能特性	12	VBAT リミッタ・コントロール 1 レジスタ	43
代表的なアプリケーション回路	22	VBAT リミッタ・コントロール 2 レジスタ	44
動作原理	23	VBAT リミッタ・コントロール 3 レジスタ	44
概要	23	リミッタ・リンク・コントロール・レジスタ	45
電源	23	DAC クリップ・ポイント・コントロール・レジスタ	45
ADDR ピンのセットアップと制御	23	故障コントロール・レジスタ	46
パワーダウン・モード	24	チップ・ステータス・レジスタ	47
出力電流の検出	24	温度センサー値レジスタ	47
出力電圧の検出	24	PVDD/VBAT ADC 値レジスタ	48
温度センサー	24	マスターおよびブロック電力コントロール・レジスタ	48
PCM デジタル・オーディオ・シリアル・インターフェース	24	PDM 制御レジスタ	49
ステレオ (I ² S/左詰め) 動作モード	24	シリアル・インターフェース制御 1 レジスタ	49
TDM 動作モード	25	シリアル・インターフェース制御 2 レジスタ	50
シリアル・データの配置	25	シリアル・インターフェース配置コントロール 1 レジスタ	51
PDM 動作モード	26	シリアル・インターフェース配置コントロール 2 レジスタ	52
アナログ・ゲインおよびデジタル・ゲイン	27	シリアル・インターフェース配置コントロール 3 レジスタ	52
PVDD (V _{BAT}) 検出	27	シリアル・インターフェース配置コントロール 4 レジスタ	53
故障/リミッタのステータス通知機能	27	シリアル・インターフェース配置コントロール 5 レジスタ	54
リミッタ/バッテリー・トラッキング閾値の制御	27	シリアル・インターフェース配置コントロール 6 レジスタ	54
ポップ/クリック抑制回路	30	AGC_GAIN1 入力データ配置レジスタ	55
高周波数クリップ	30	AGC_GAIN2 入力データ配置レジスタ	56
EMI ノイズ	30	AGC_GAIN3 入力データ配置レジスタ	57
出力変調に関する説明	30	AGC_GAIN4 入力データ配置レジスタ	58
ブートストラップ・コンデンサ	32	ソフトウェア・リセット・レジスタ	59
電源のデカップリング	32	外形寸法	60
出力の EMI フィルタ処理	32	オーダー・ガイド	60
PCB コンポーネントの配置	32		
レイアウト	33		
I ² C 制御	33		
アプリケーション情報	35		
SSM3525 I ² C モード・レジスタ・マップ (SSM3525_I2C_Regmap) レジスタの概要	36		
SSM3525 I ² C モード・レジスタ・マップ (SSM3525_I2C_Regmap) レジスタの詳細	37		

改訂履歴

1/2018-Revision 0: Initial Version

機能ブロック図

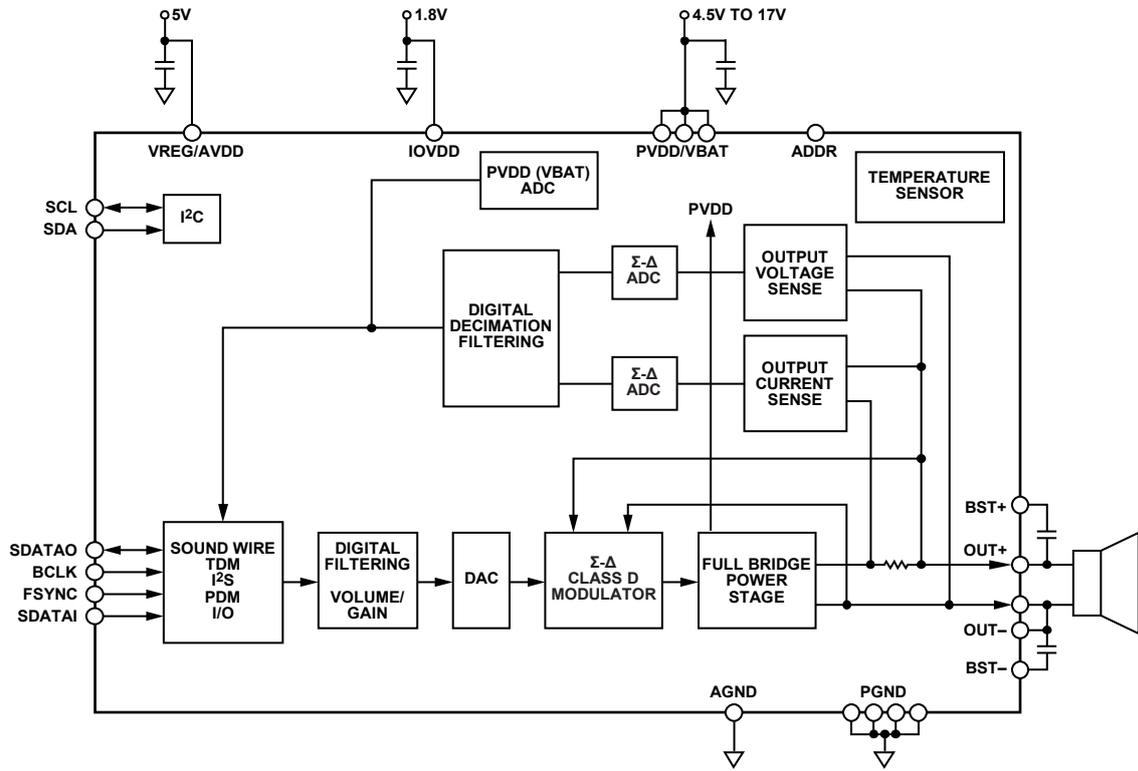


図 1. SSM3525 のブロック図

16190-001

仕様

特に断りのない限り、 $PV_{DD} = 12\text{ V}$ 、 $AV_{DD} = 5\text{ V}$ (内部)、 $IOV_{DD} = 1.8\text{ V}$ (外部)、 $R_L = 8\ \Omega + 33\ \mu\text{H}$ 、 $BCLK = 3.072\text{ MHz}$ および $FSYNC = 48\text{ kHz}$ 、 $-40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ 。測定には、 20 kHz AES17 ローパス・フィルタを使用しています。この他に、 $4\ \Omega + 15\ \mu\text{H}$ と $3\ \Omega + 10\ \mu\text{H}$ の負荷インピーダンスを使用しています。 $4\ \Omega$ で 20 W を超えるサイン波出力電力での連続動作は不可能です。また、基板の消費電力によっては、プリント回路基板 (PCB) の熱制限インジケータが起動することがあります。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DEVICE CHARACTERISTICS						
Output Power/Channel $R_L = 8\ \Omega$	P_{OUT}	Frequency (f) = 1 kHz THD + N = 1%, $PV_{DD} = 17\text{ V}$ THD + N = 1%, $PV_{DD} = 12\text{ V}$ THD + N = 1%, $PV_{DD} = 7\text{ V}$ THD + N = 1%, $PV_{DD} = 5\text{ V}$ THD + N = 10%, $PV_{DD} = 17\text{ V}$ THD + N = 10%, $PV_{DD} = 12\text{ V}$ THD + N = 10%, $PV_{DD} = 7\text{ V}$ THD + N = 10%, $PV_{DD} = 5\text{ V}$		15.2 8.3 2.8 1.4		W W W W
$R_L = 4\ \Omega$		THD + N = 10%, $PV_{DD} = 17\text{ V}$ THD + N = 10%, $PV_{DD} = 12\text{ V}$ THD + N = 10%, $PV_{DD} = 7\text{ V}$ THD + N = 10%, $PV_{DD} = 5\text{ V}$ THD + N = 1%, $PV_{DD} = 17\text{ V}$ THD + N = 1%, $PV_{DD} = 12\text{ V}$ THD + N = 1%, $PV_{DD} = 7\text{ V}$ THD + N = 1%, $PV_{DD} = 5\text{ V}$ THD + N = 10%, $PV_{DD} = 17\text{ V}$ THD + N = 10%, $PV_{DD} = 12\text{ V}$ THD + N = 10%, $PV_{DD} = 7\text{ V}$ THD + N = 10%, $PV_{DD} = 5\text{ V}$		18.7 10.4 3.5 1.8 30.2 15.3 5.2 2.7 37.2 19.1 6.6 3.3		W W W W W W W W W W W W
Efficiency	η	$P_{OUT} = 9\text{ W}$, $R_L = 8\ \Omega$, $PV_{DD} = 12\text{ V}$ $P_{OUT} = 9\text{ W}$, $R_L = 4\ \Omega$, $PV_{DD} = 12\text{ V}$ (low EMI mode) $P_{OUT} = 20\text{ W}$, $R_L = 4\ \Omega$, $PV_{DD} = 17\text{ V}$ $P_{OUT} = 20\text{ W}$, $R_L = 4\ \Omega$, $PV_{DD} = 17\text{ V}$ (low EMI mode)		92.1 92 89 88.8		% % % %
Total Harmonic Distortion + Noise	THD + N	$P_{OUT} = 5\text{ W}$, $R_L = 8\ \Omega$, $f = 1\text{ kHz}$, $PV_{DD} = 16\text{ V}$		0.004	0.01	%
Load Inductance			5			μH
Output FET On Resistance	R_{ON}			110		$\text{m}\Omega$
OverCurrent Protection Trip Point	I_{OC}		6			A_{PEAK}
Average Switching Frequency	f_{SW}			300		kHz
Differential Output Offset Voltage	V_{OOS}	Gain = 8.9V/V			± 5.0	mV
POWER SUPPLIES						
Supply Voltage Range	PV_{DD} AV_{DD} IOV_{DD}	Guaranteed from PSRR test	4.5		17	V
Power Supply Rejection Ratio (AC)	$PSRR_{AC}$	$f^2\text{S/TDM}$ operation $V_{RIPPLE} = 1\text{ V rms}$ at 1 kHz	4.5	5.0	5.5	V
			1.1	1.80	1.98	V
				87	73	dB
GAIN CONTROL						
Output Voltage Peak		Measured with 0 dBFS input at 1 kHz, no load Analog gain setting = 6.3 V/V with $PV_{DD} = 6.3\text{ V}$ Analog gain setting = 8.9 V/V with $PV_{DD} = 8.9\text{ V}$ Analog gain setting = 12.6 V/V with $PV_{DD} = 12.6\text{ V}$ Analog gain setting = 16.0 V/V with $PV_{DD} = 16\text{ V}$		6.3 8.9 12.6 16		V_{PEAK} V_{PEAK} V_{PEAK} V_{PEAK}
PDM Input Gain		PDM input density for full-scale output		0.5		FS

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SHUTDOWN CONTROL						
Turn-On Time	t_{WU}	I ² S mode		10		ms
Turn-Off Time	t_{SD}			500		μs
Output Impedance	Z_{OUT}		100			kΩ
NOISE PERFORMANCE ¹						
Output Voltage Noise	e_n	f = 20 Hz to 20 kHz, A weighted, $PV_{DD} = 12$ V f = 20 Hz to 20 kHz, A weighted, $PV_{DD} = 17$ V		37.5		μV rms
Signal-to-Noise Ratio	SNR	$P_{OUT} = 8.2$ W, $R_L = 8$ Ω, A weighted, $PV_{DD} = 12$ V $P_{OUT} = 31$ W, $R_L = 4$ Ω, A weighted, $PV_{DD} = 17$ V		107		dB
OUTPUT SENSING						
Output Sampling Rate (TDM)	fs	FSYNC pulse rate	8		192	KHz
PDM Gain Mapping		Voltage to current (V/I) sense PDM output with full-scale input		0.71		FS
Voltage Sense Signal-to-Noise Ratio	SNR_V			85		dB
Voltage Sense Full-Scale Accuracy	V_{FS}	Output voltage at 0 dBFS output from ADC Temperature = 0°C to 70°C, output >-40 dBFS		±18		V_{PEAK} %
Voltage Sense Gain Drift		Temperature = 0°C to 70°C, output >-40 dBFS		0.5		%
Current Sense SNR	SNR_I			74		dB
Current Sense Full-Scale Accuracy	$I_{SENSE,FS}$	Peak current with 0 dBFS output from ADC Temperature = 0°C to 70°C, output >-40 dBFS		6.96		A_{PEAK} %
Current Sense Gain Drift		Temperature = 0°C to 70°C, output >-40 dBFS		±0.5		%
Voltage Sense over Current Sense Ratio Drift		Temperature = 0°C to 70°C, output >-40 dBFS		±0.5		%
PV_{DD} Sense Full-Scale Range	PV_{FS}	PV_{DD} with full-scale ADC output	4		18	V
PV_{DD} Sense Absolute Accuracy		Temperature = 0°C to 70°C		3		LSBs
Current and Voltage Sense Linearity		From -40 dB to 0 dB		±0.5		dB

¹ ノイズ性能の下限および上限は、-40°C ~ +85°C のベンチデータに基づきます。

クロックがオフになると、ソフトウェアによるマスター・パワーダウンが発生します。クロックがオンで、ディザが存在しない、または入力信号がゼロの場合、自動パワーダウンが発生します。デバイスは、ゼロ入力値が 2048 サイクル発生した後にソフト・パワーダウンに移行します。入力信号がゼロで、三角形ディザが存在する場合は、増幅が停止します。特に断りのない限り、すべての仕様が 48 kHz サンプル・レートでの代表値です。

表 2. 電源電流消費¹

Edge Rate Control Mode	Register REG_EN Bit	Test Conditions	No Load						4 Ω + 15 μH						8 Ω + 33 μH						Unit
			I _{PVDD}			I _{IOVDD}	I _{AVDD}	I _{PVDD}			I _{IOVDD}	I _{AVDD}	I _{PVDD}			I _{IOVDD}	AVDD				
			5 V	12 V	17 V	1.8 V	5 V	5 V	12 V	17 V	1.8 V	5 V	5 V	12 V	17 V	1.8 V	5 V				
Normal	0	Software master power-down	0.09	0.09	0.09	8.01	3.24	0.09	0.09	0.09	8.01	3.24	0.09	0.09	0.09	8.01	3.24	μA			
		Quiescent (all ADCs on)	1.73	3.43	4.49	0.992	5.14	1.96	3.55	4.61	0.994	5.26	1.67	3.29	4.49	0.995	5.14	mA			
		Quiescent (all ADCs off)	1.74	3.44	4.51	0.817	3.28	1.96	3.54	4.61	0.816	3.44	1.67	3.29	4.49	0.82	3.34	mA			
	1	Software master power-down	0.09	0.09	0.09	8.01	N/A	0.09	0.09	0.09	8.01	N/A	0.09	0.09	0.09	8.01	N/A	μA			
		Quiescent (all ADCs on)	6.86	8.56	9.65	0.995	N/A	6.81	8.61	10.21	0.998	N/A	6.83	8.51	9.79	0.996	N/A	mA			
		Quiescent (all ADCs off)	5.04	6.73	7.86	0.821	N/A	4.98	6.75	8.44	0.766	N/A	5.01	6.69	7.96	0.817	N/A	mA			
Low EMI	0	Software master power-down	0.09	0.09	0.09	8.01	3.24	0.09	0.09	0.09	8.01	3.24	0.09	0.09	0.09	8.01	3.24	μA			
		Quiescent (all ADCs on)	1.663	3.35	4.48	0.991	5.08	1.6	3.35	4.68	0.994	5.21	1.59	3.28	4.48	0.996	5.09	mA			
		Quiescent (all ADCs off)	1.663	3.35	4.58	0.823	3.28	1.6	3.37	4.71	0.819	3.41	1.59	3.25	4.48	0.819	3.27	mA			
	1	Software master power-down	0.09	0.09	0.09	8.01	N/A	0.09	0.09	0.09	8.01	N/A	0.09	0.09	0.09	8.01	N/A	μA			
		Quiescent (all ADCs on)	6.73	8.46	9.8	0.998	N/A	6.71	8.56	10.02	0.995	N/A	6.72	8.45	9.61	0.992	N/A	mA			
		Quiescent (all ADCs off)	4.91	6.62	7.97	0.823	N/A	4.89	6.74	8.19	0.816	N/A	4.89	6.58	7.81	0.821	N/A	mA			

¹ N/A は該当なしを意味します。

表 3. デジタル入出力

Parameter	Min	Typ	Max	Unit
HIGH INPUT VOLTAGE (V _{IH})				
BCLK, FSYNC, SDATA1, and SDATA0	0.7 × IOV _{DD}		1.98	V
SCL and SDA	0.7 × IOV _{DD}		5.5	V
LOW INPUT VOLTAGE (V _{IL})				
BCLK, FSYNC, SDATA1, SDATA0, SDA, SCL	-0.3		0.3 × IOV _{DD}	V
ADDR	-0.3		IOV _{DD} + 0.3	V
INPUT LEAKAGE				
HIGH (I _{IH})			1	μA
LOW (I _{IL})			1	μA
INPUT CAPACITANCE			5	pF
OUTPUT DRIVE STRENGTH (SDATA0)		3		mA

タイミング仕様

表 4. I²C ポートのタイミング

Parameter	Min	Max	Unit	Description
I ² C PORT				
f _{SCL}		1	MHz	SCL frequency
t _{SCLH}	0.26		μs	SCL high
t _{SCLL}	0.5		μs	SCL low
t _{SCS}	0.26		μs	Setup time; relevant for repeated start condition
t _{SCH}	0.26		μs	Hold time; after this period, the first clock is generated
t _{DS}	50		ns	Data setup time
t _{SCR}		120	ns	SCL rise time
t _{SCF}		120	ns	SCL fall time
t _{SDR}		120	ns	SDA rise time
t _{SDF}		120	ns	SDA fall time
t _{BFT}	0.5		μs	Bus-free time (time between stop and start)

表 5. シリアル・ポートのデジタル入力タイミミング (I²S/TDM 動作モードのみ)

Parameter	Min	Max	Unit	Description
SERIAL PORT				
t _{BIL}	8		ns	BCLK low pulse width
t _{BIH}	8		ns	BCLK high pulse width
t _{SIS}	4		ns	SDATAI setup time to BCLK rising edge
t _{SIH}	4		ns	SDATAI hold time from BCLK rising edge
t _{LIS}	5		ns	FSYNC setup time to BCLK rising edge
t _{LIH}	5		ns	FSYNC hold time to BCLK rising edge
t _{BP}	20		ns	Minimum BCLK period

表 6. シリアル・ポートのデジタル出力タイミミング (I²S/TDM 動作モードのみ)

Parameter	Min	Max	Unit	Description
SERIAL PORT				
t _{BIL}	8		ns	BCLK low pulse width.
t _{BIH}	8		ns	BCLK high pulse width.
t _{SIS}	4		ns	SDATAO setup time to BCLK rising edge
t _{SIH}	4		ns	SDATAO hold time from BCLK rising edge
t _{LIS}	5		ns	FSYNC setup time to BCLK rising edge
t _{LIH}	5		ns	FSYNC hold time to BCLK rising edge
t _{BP}	20		ns	Minimum BCLK period

表 7. PDM タイミング・パラメータ

Parameter	Limit		Unit	Description
	Min	Max		
PDM Clock Frequency	2.048	6.144	MHz	
t _{FALL}		10	ns	Clock fall time
t _{RISE}		10	ns	Clock rise time
t _{SETUP}	10		ns	Data setup time
t _{HOLD}	7		ns	Data hold time

デジタル・タイミミング図

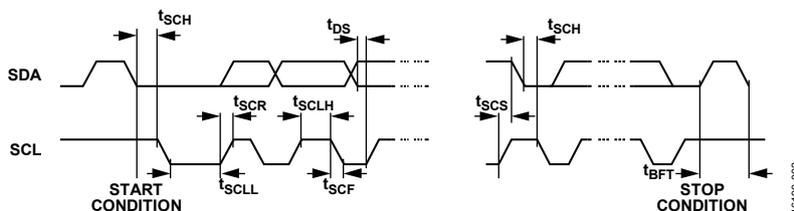


図 2. I²C ポートのタイミミング

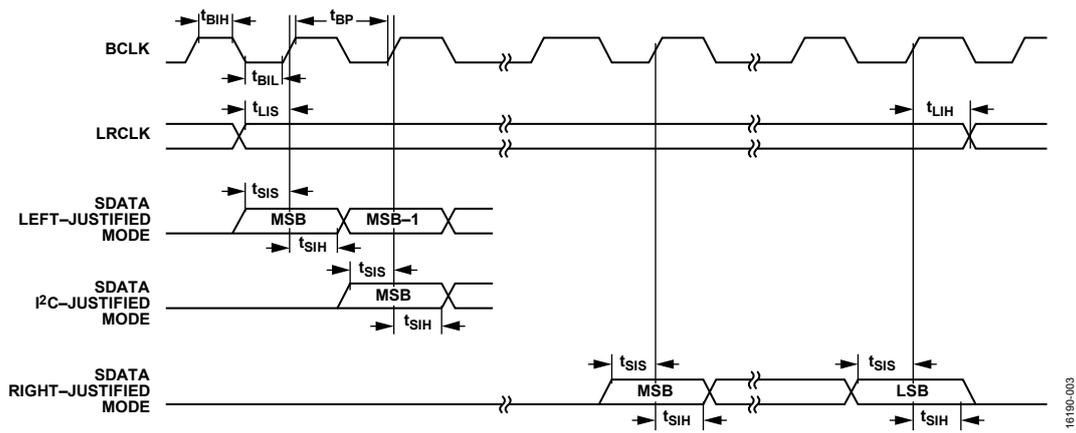


図 3. シリアル・ポートの SDATAI および SDATAO のタイミング

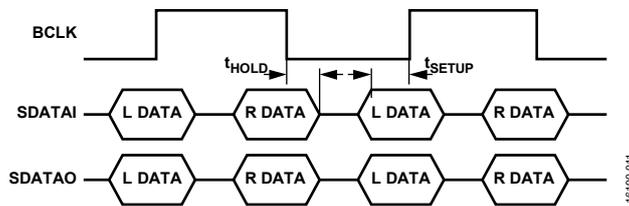


図 4. PDM の入出力形式

絶対最大定格

特に断りのない限り、25 °C での絶対最大定格。

表 8.

Parameter	Rating
PV _{DD} Supply Voltage	-0.3 V to +18 V
IOV _{DD} Supply Voltage	-0.3 V to +1.98 V
AV _{DD} Supply Voltage	-0.3 V to +5.5 V
PGND and AGND Differential	±0.3 V
BCLK, FSYNC, ADDR, SDATAI Input Voltage	-0.3 V to +1.98 V
SCL and SDA Input Voltage	-0.3 V to +5.5 V
Electrostatic Discharge (ESD) Susceptibility, HBM 1.5 kΩ, 100 pF, JEDEC JS-001-2014	±1.5 kV
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Lead Temperature Range (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。θ_{JA} および θ_{JB} は、自然対流冷却下にある 4 層 PCB に関する JESD51-9 に従って決定されます。

表 9. 熱抵抗

Package Type	θ _{JA} ¹	θ _{JB} ¹	Unit
23-ball, 2.22 mm × 2.34 mm WLCSP	64.6	21.9	°C/W

¹ 熱抵抗のシミュレーション値は、2 個のサーマル・ビアを備えた JEDEC2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

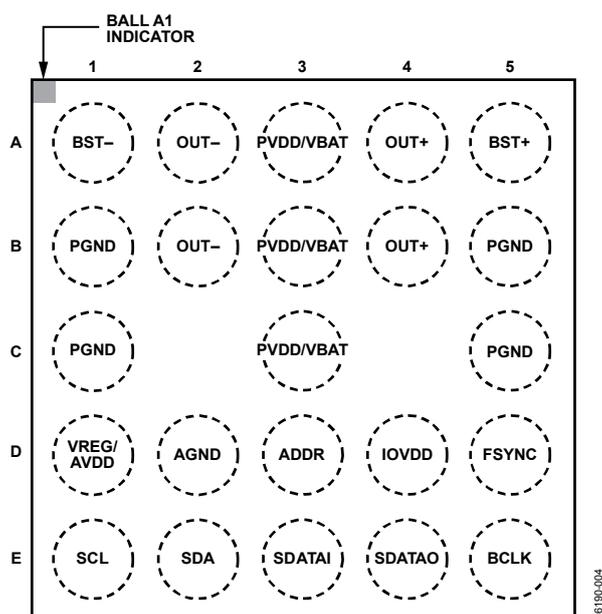


図 5. ボール構成（上面図）

表 10. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	BST-	AIN	ブートストラップ・コンデンサ、反転出力。
A2	OUT-	AOUT	反転出力。
A3、B3、C3	PVDD/VBAT	PWR	出力段電源／バッテリー電源。
A4	OUT+	AOUT	非反転出力。
A5	BST+	AIN	ブートストラップ・コンデンサ、非反転出力。
B1、B5、C1、C5	PGND	PWR	出力段グラウンド。
B2	OUT-	AOUT	反転出力。
B4	OUT+	AOUT	非反転出力。
D1	VREG/AVDD	AIO	アナログ入出力。5 V レギュレータ出力／AVDD 入力。
D2	AGND	PWR	アナログ・グラウンド。
D3	ADDR	DIN	アドレス選択。
D4	IOVDD	PWR	入出力およびデジタル電源。
D5	FSYNC	DIN	フレーム同期入力。
E1	SCL	DIN	I ² C クロック。
E2	SDA	DIO	I ² C データ。
E3	SDATAI	DIN	I ² S/TDM シリアル・データ入力または PDM データ入力。
E4	SDATAO	DOU	I ² S/TDM シリアル・データ出力または PDM データ出力。
E5	BCLK	DIN	TDM/I ² S ビット・クロック入力、PDM クロック入力

¹ AOUT はアナログ出力、PWR は電源またはグラウンド・ピン、AIN はアナログ入力、DIN はデジタル入力、DOU はデジタル出力、DIO はデジタル入出力。

代表的な性能特性

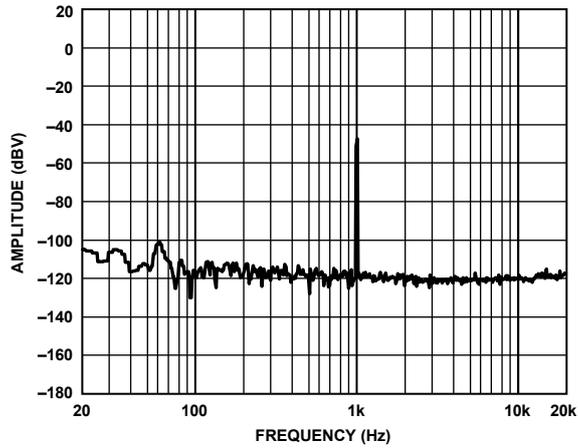


図 6. 高速フーリエ変換 (FFT)、-60 dBFS 入力、アナログ・ゲイン = 6.3、 $R_L = 4 \Omega$

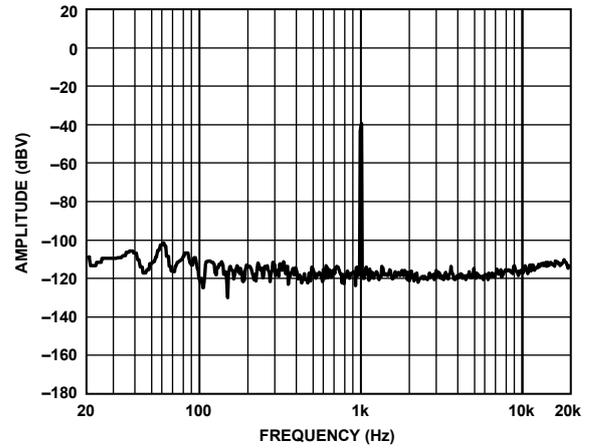


図 9. FFT、-60 dBFS 入力、アナログ・ゲイン = 16、 $R_L = 4 \Omega$

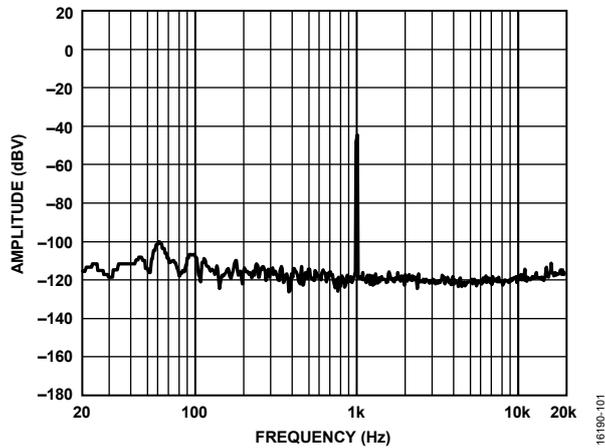


図 7. FFT、-60 dBFS 入力、アナログ・ゲイン = 8.9、 $R_L = 4 \Omega$

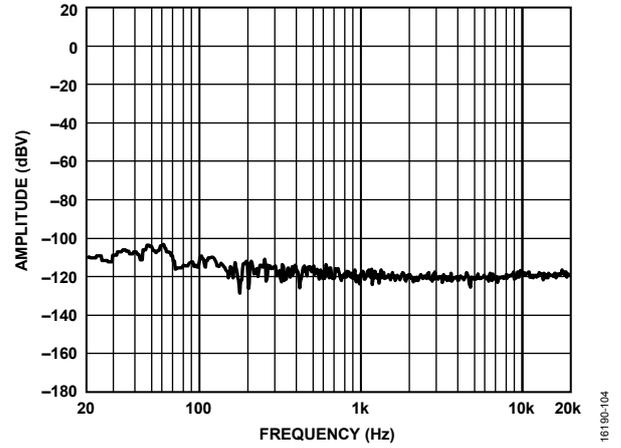


図 10. FFT、信号なし、アナログ・ゲイン = 6.3、 $R_L = 4 \Omega$

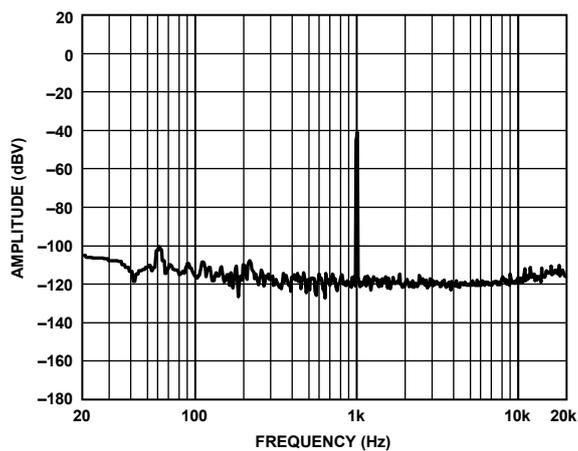


図 8. FFT、-60 dBFS 入力、アナログ・ゲイン = 12.6、 $R_L = 4 \Omega$

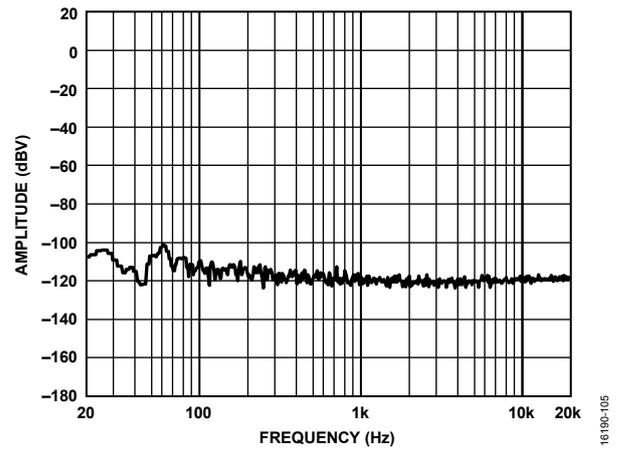


図 11. FFT、信号なし、アナログ・ゲイン = 8.9、 $R_L = 4 \Omega$

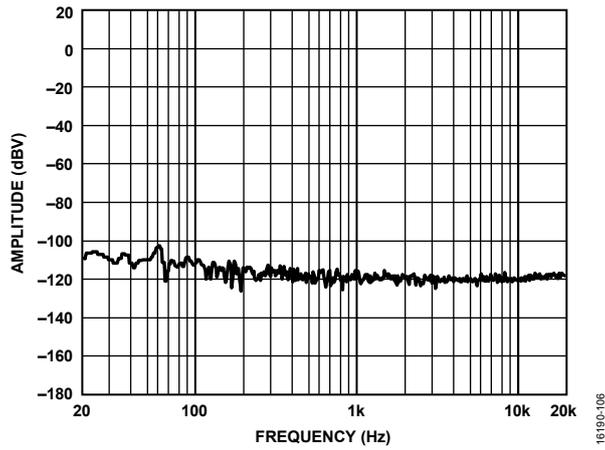


図 12. FFT、信号なし、アナログ・ゲイン = 12.6、 $R_L = 4 \Omega$

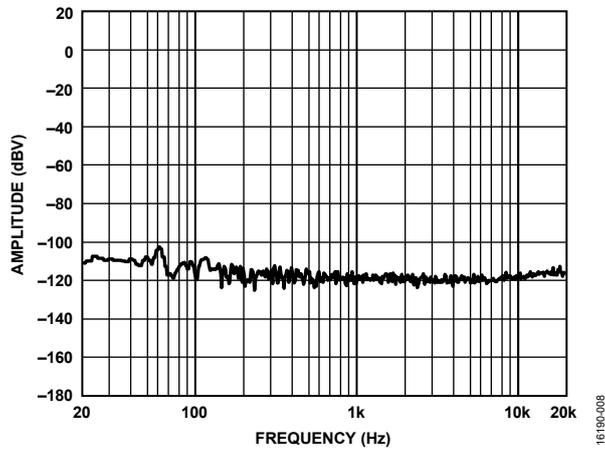


図 13. FFT、信号なし、アナログ・ゲイン = 16、 $R_L = 4 \Omega$

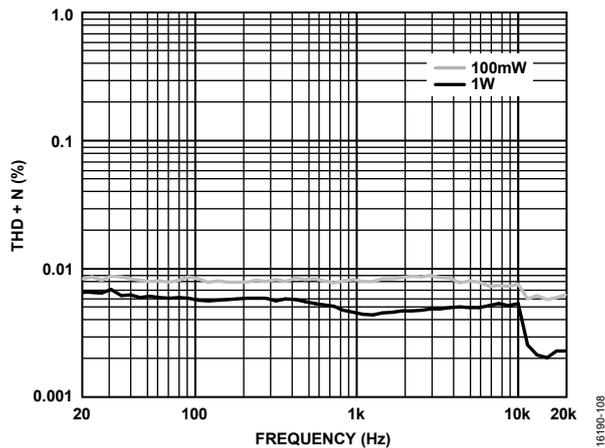


図 14. THD + N と周波数の関係、 $R_L = 4 \Omega$ 、 $PV_{DD} = 4.5 V$

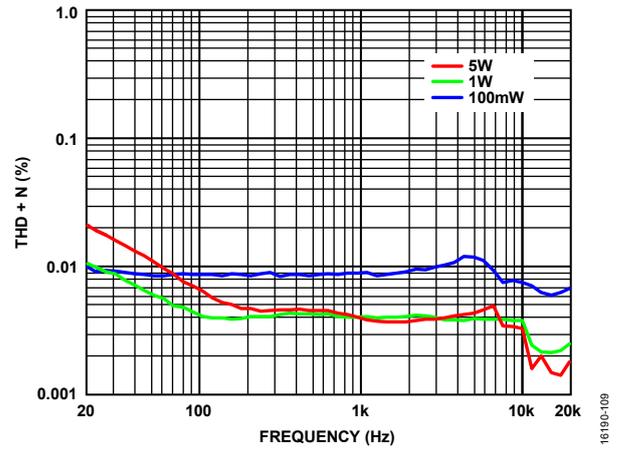


図 15. THD + N と周波数の関係、 $R_L = 4 \Omega$ 、 $PV_{DD} PV_{DD} = 12 V$ (すべての TPC コンデンサで交換が必要)

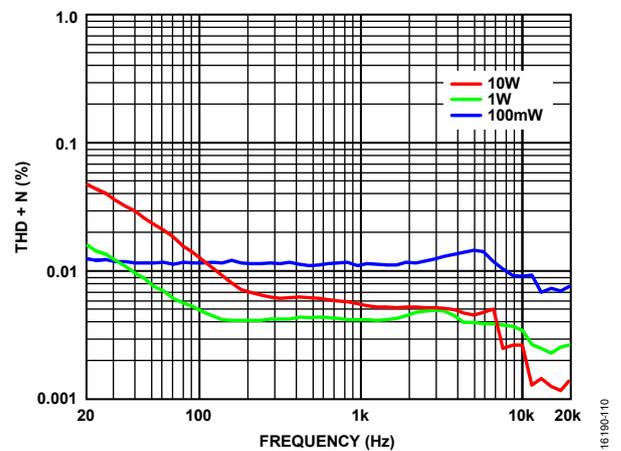


図 16. THD + N と周波数の関係、 $R_L = 4 \Omega$ 、 $PV_{DD} PV_{DD} = 17 V$

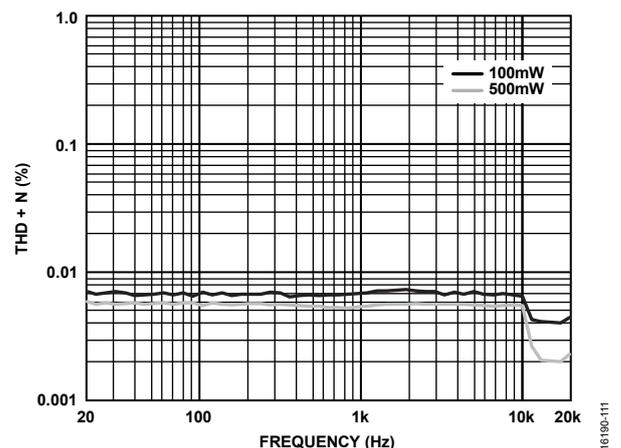


図 17. THD + N と周波数の関係、 $R_L = 8 \Omega$ 、 $PV_{DD} = 4.5 V$

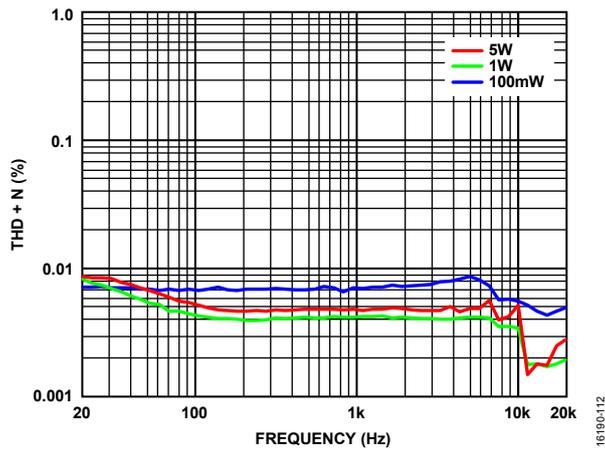


図 18. THD + N と周波数の関係、 $R_L = 8 \Omega$ 、 $PV_{DD} = 12V$

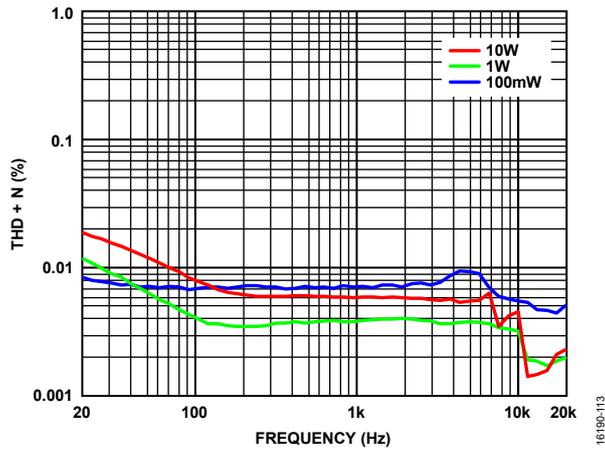


図 19. THD + N と周波数の関係、 $R_L = 8 \Omega$ 、 $PV_{DD} = 17V$

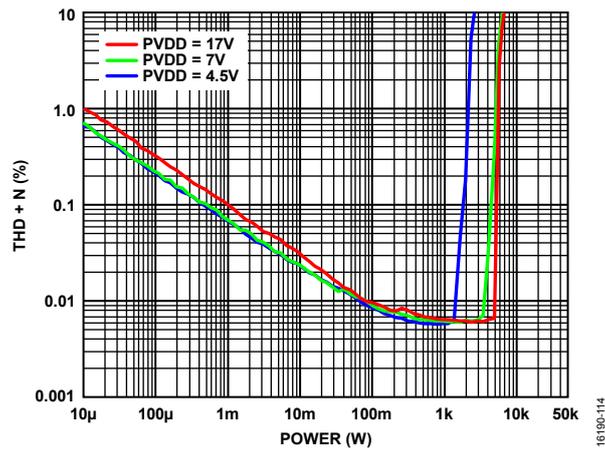


図 20. THD + N と出力電力の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 6.3

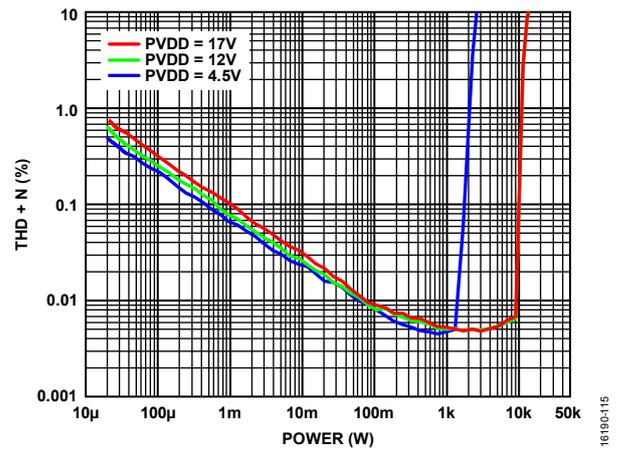


図 21. THD + N と出力電力の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 8.9

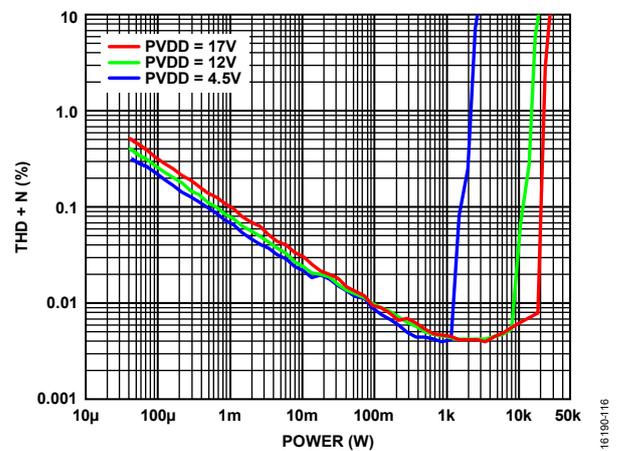


図 22. THD + N と出力電力の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 12.6

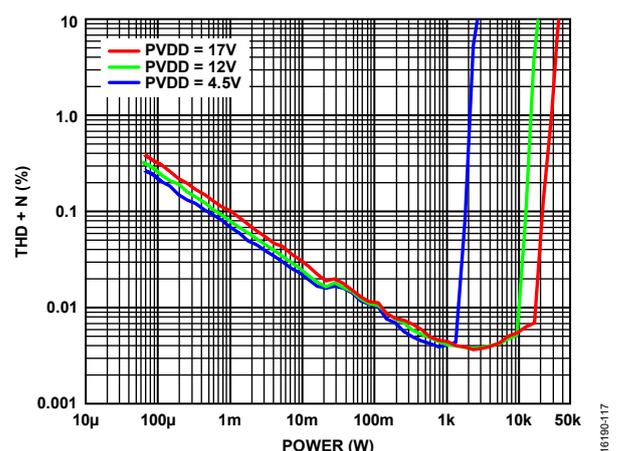


図 23. THD + N と出力電力の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 16

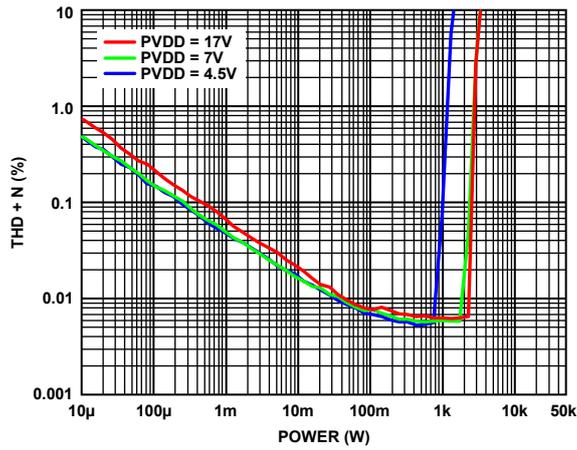


図 24. THD + N と出力電力の関係、 $R_L = 8 \Omega$ 、アナログ・ゲイン = 6.3

16190-019

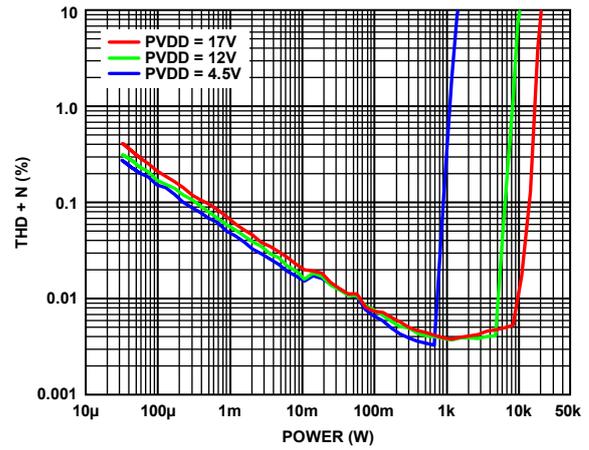


図 27. THD + N と出力電力の関係、 $R_L = 8 \Omega$ 、アナログ・ゲイン = 16

16190-121

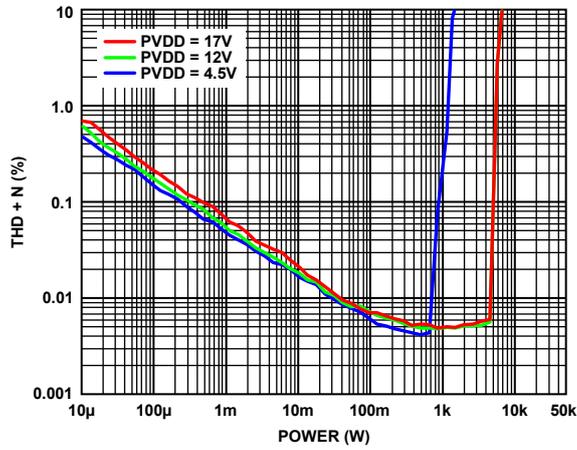


図 25. THD + N と出力電力の関係、 $R_L = 8 \Omega$ 、アナログ・ゲイン = 8.9

16190-119

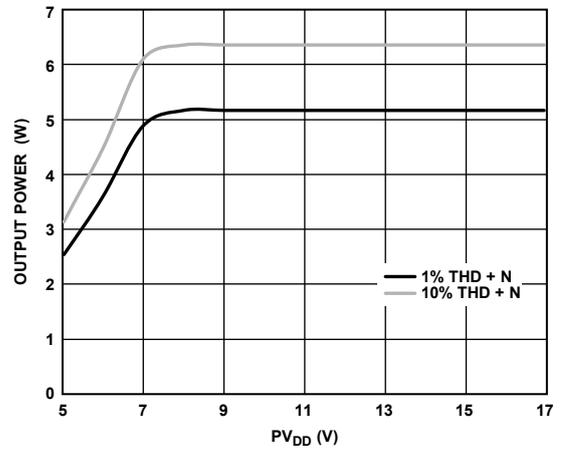


図 28. 出力電力と PV_{DD} の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 6.3

16190-122

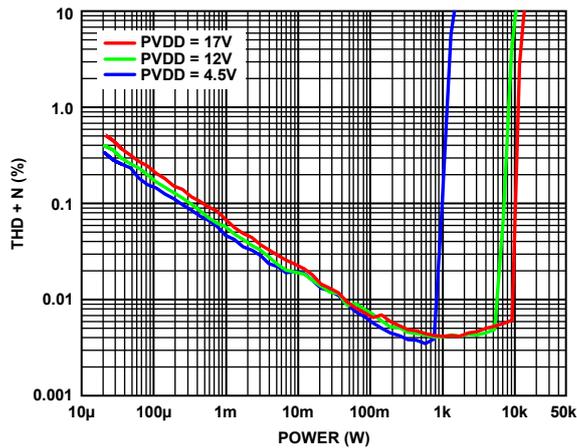


図 26. THD + N と出力電力の関係、 $R_L = 8 \Omega$ 、アナログ・ゲイン = 12.6

16190-120

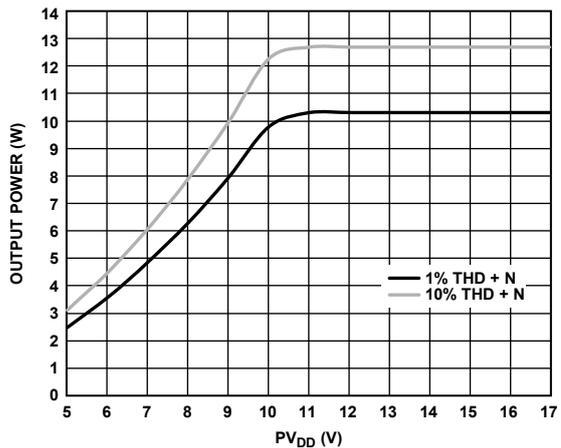


図 29. 出力電力と PV_{DD} 電源電圧の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 8.9

16190-123

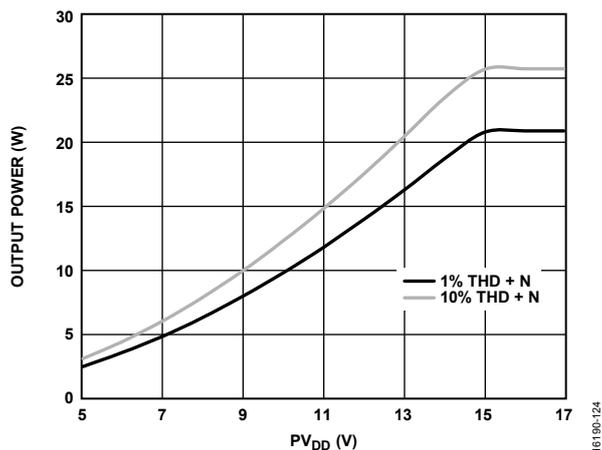


図 30. 出力電力と PV_{DD} の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 12.6

16190-124

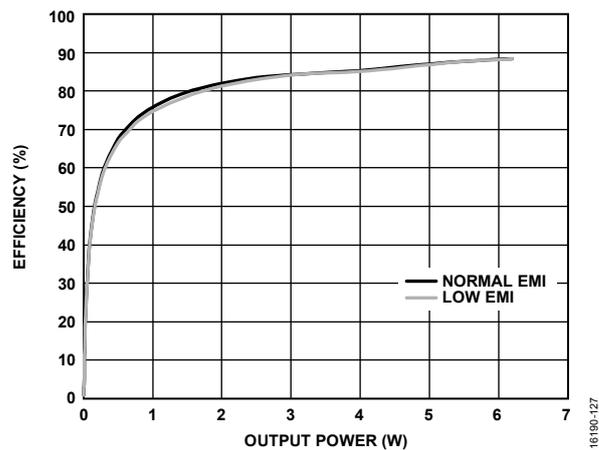


図 33. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、フェライト・ビーズ (FB) なし、220 pF コンデンサ、 $PV_{DD} = 7 V$ 、アナログ・ゲイン = 8.9

16190-127

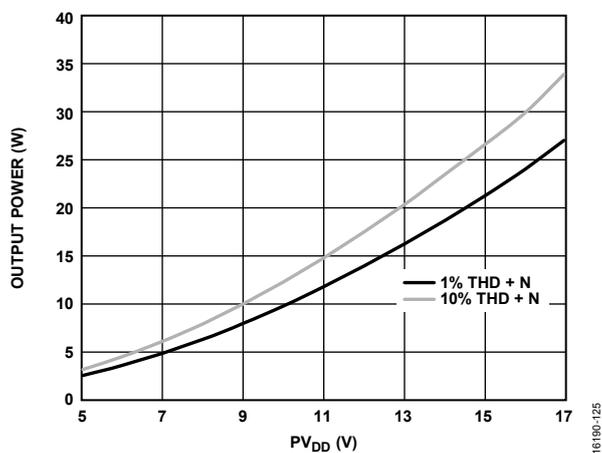


図 31. 出力電力と PV_{DD} の関係、 $R_L = 4 \Omega$ 、アナログ・ゲイン = 16

16190-125

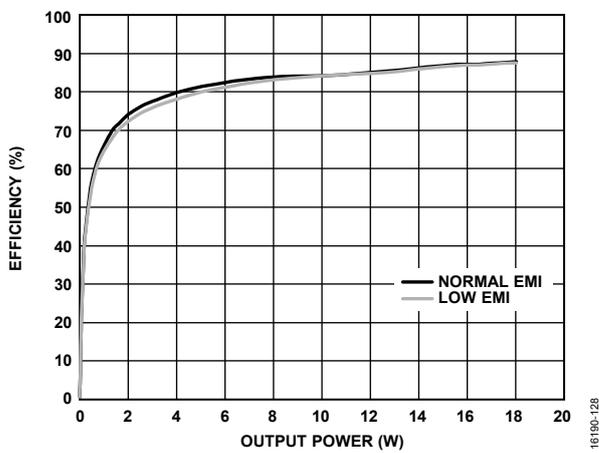


図 34. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、フェライト・ビーズ (FB) なし、220 pF コンデンサ、 $PV_{DD} = 12 V$ 、アナログ・ゲイン = 12.6

16190-128

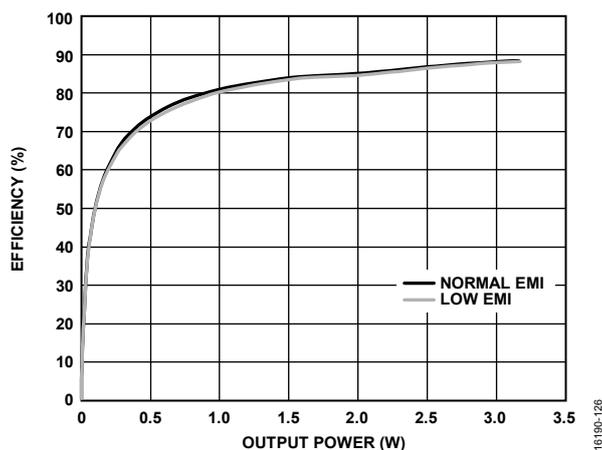


図 32. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、フェライト・ビーズ (FB) なし、220 pF コンデンサ、 $PV_{DD} = 5 V$ 、アナログ・ゲイン = 6.3

16190-126

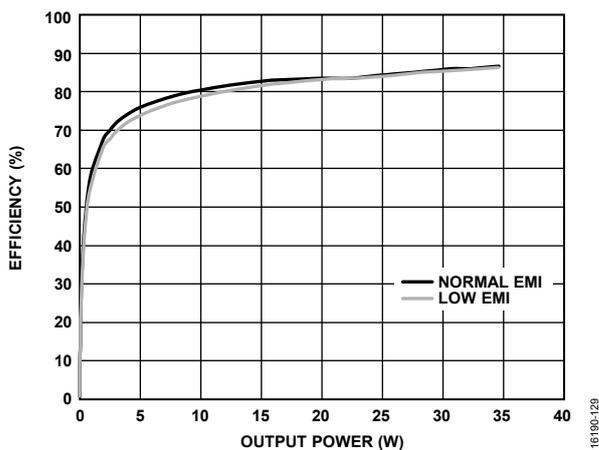


図 35. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、フェライト・ビーズ (FB) なし、220 pF コンデンサ、 $PV_{DD} = 17 V$ 、アナログ・ゲイン = 16

16190-129

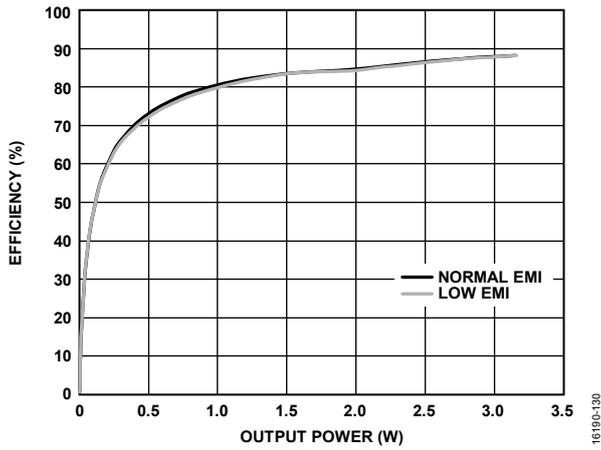


図 36. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 5 \text{ V}$ 、アナログ・ゲイン = 6.3

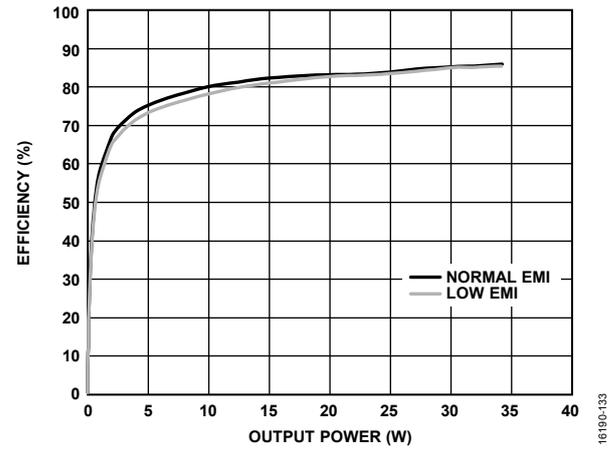


図 39. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 17 \text{ V}$ 、アナログ・ゲイン = 16

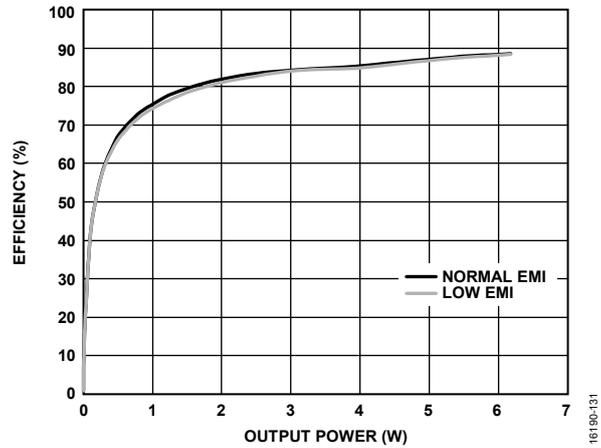


図 37. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 7 \text{ V}$ 、アナログ・ゲイン = 8.9

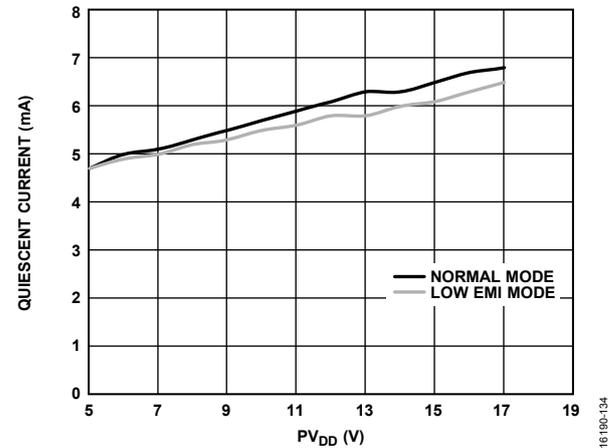


図 40. 静止電流、 $R_L = 4 \Omega$ 、FB なし、 220 pF コンデンサ、アナログ・ゲイン = 12.6

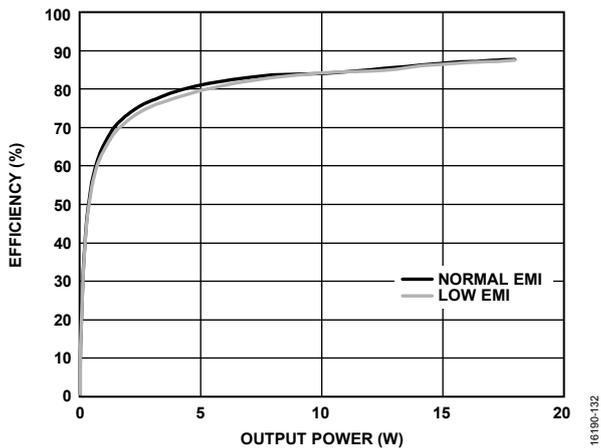


図 38. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 4 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 12 \text{ V}$ 、アナログ・ゲイン = 12

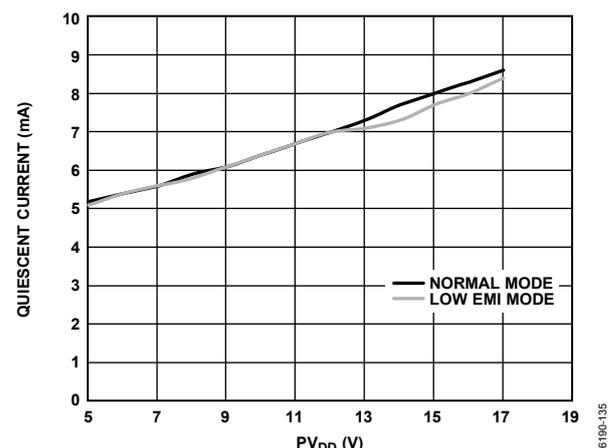


図 41. 静止電流、 $R_L = 4 \Omega$ 、FB あり、 220 pF コンデンサ、アナログ・ゲイン = 12.6

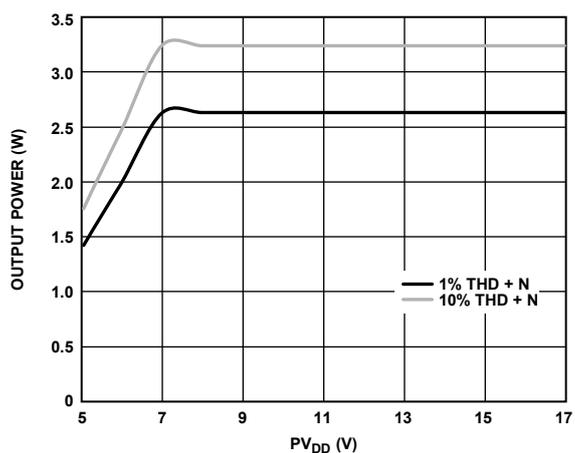


図 42. 出力電力と PV_{DD} 電源電圧 (PV_{DD}) の関係、
R_L = 8 Ω、アナログ・ゲイン = 6.3

16190-136

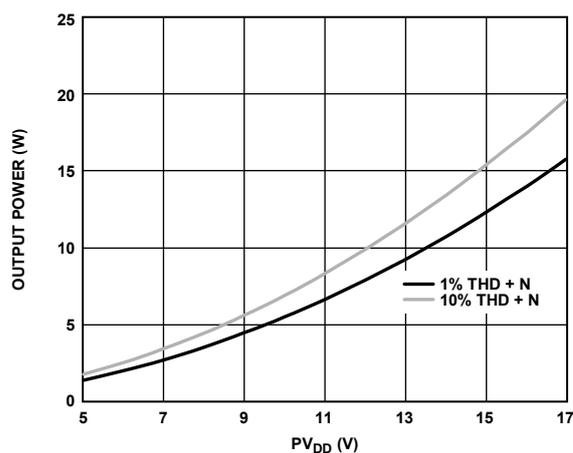


図 45. 出力電力と PV_{DD} 電源電圧 (PV_{DD}) の関係、
R_L = 8 Ω、アナログ・ゲイン = 16

16190-139

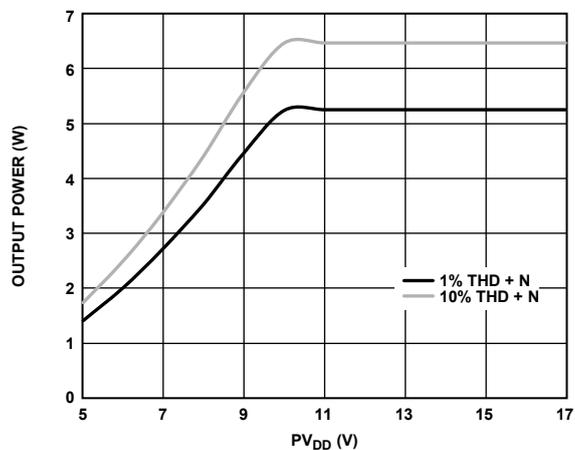


図 43. 出力電力と PV_{DD} 電源電圧 (PV_{DD}) の関係、
R_L = 8 Ω、アナログ・ゲイン = 8.9

16190-137

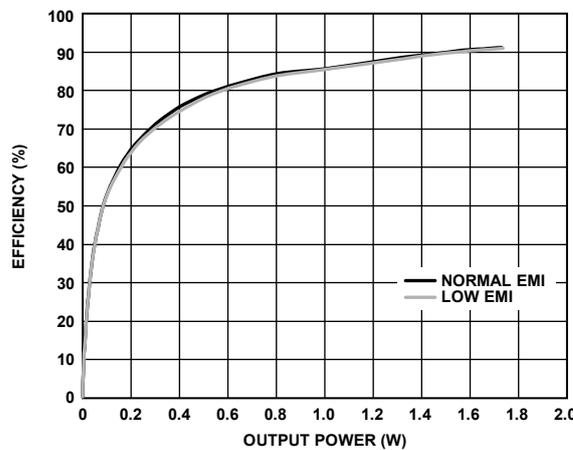


図 46. 効率と出力電力 (P_{OUT}) の関係、R_L = 8 Ω、FB なし、
220 pF コンデンサ、PV_{DD} = 5 V、アナログ・ゲイン = 6.3

16190-140

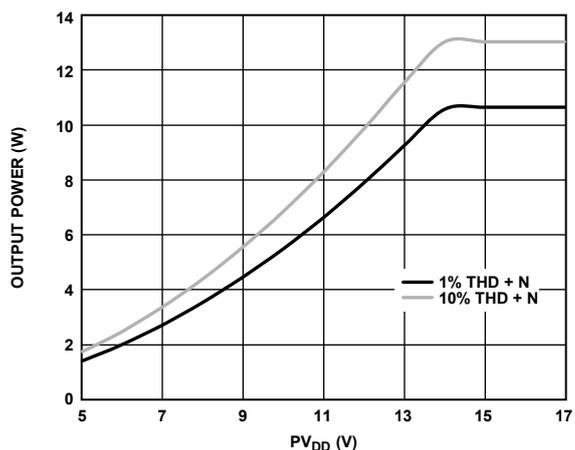


図 44. 出力電力と PV_{DD} 電源電圧 (PV_{DD}) の関係、
R_L = 8 Ω、アナログ・ゲイン = 12.6

16190-138

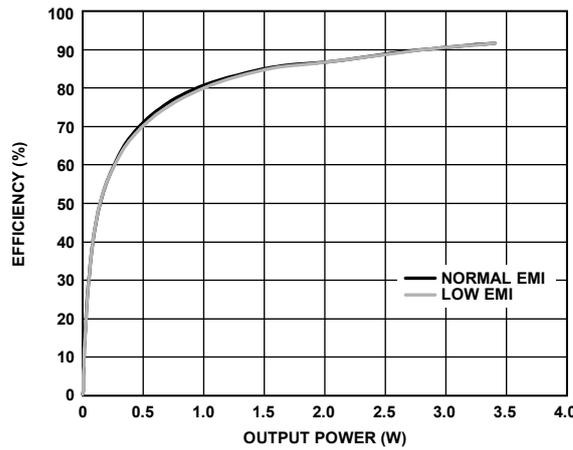


図 47. 効率と出力電力 (P_{OUT}) の関係、R_L = 8 Ω、FB なし、
220 pF コンデンサ、PV_{DD} = 7 V、アナログ・ゲイン = 8.9

16190-141

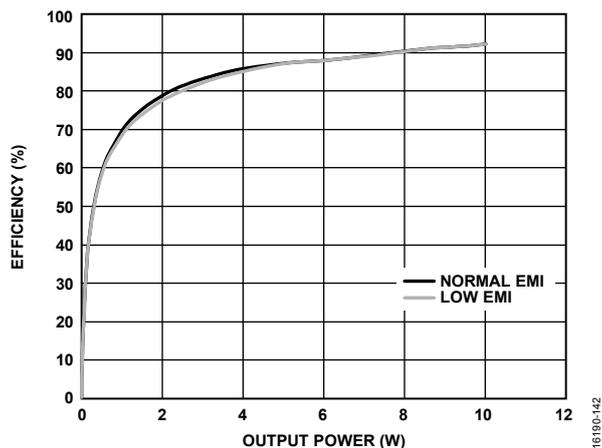


図 48. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 8 \Omega$ 、FB なし、 220 pF コンデンサ、 $PV_{DD} = 12 \text{ V}$ 、アナログ・ゲイン = 12.6

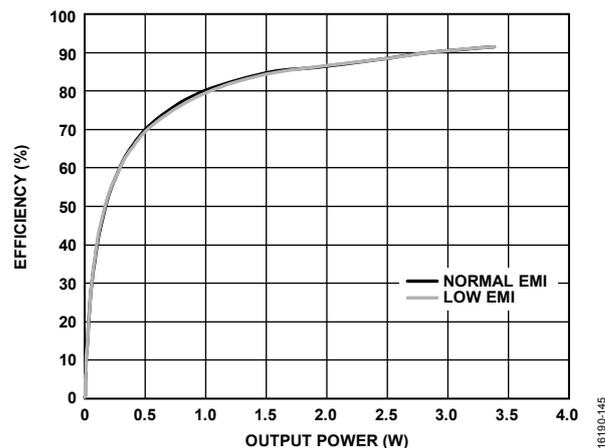


図 51. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 8 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 7 \text{ V}$ 、アナログ・ゲイン = 8.9

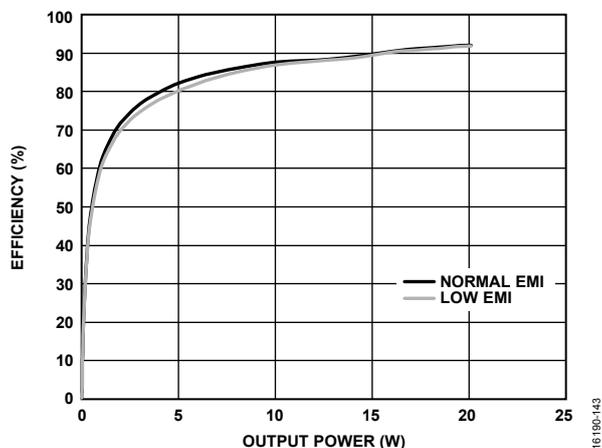


図 49. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 8 \Omega$ 、FB なし、 220 pF コンデンサ、 $PV_{DD} = 17 \text{ V}$ 、アナログ・ゲイン = 16

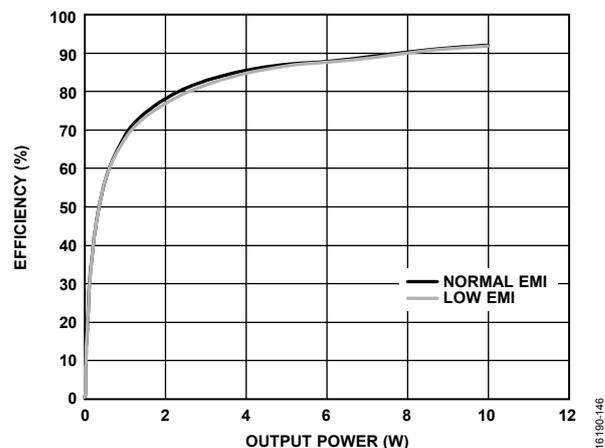


図 52. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 8 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 12 \text{ V}$ 、アナログ・ゲイン = 12.6

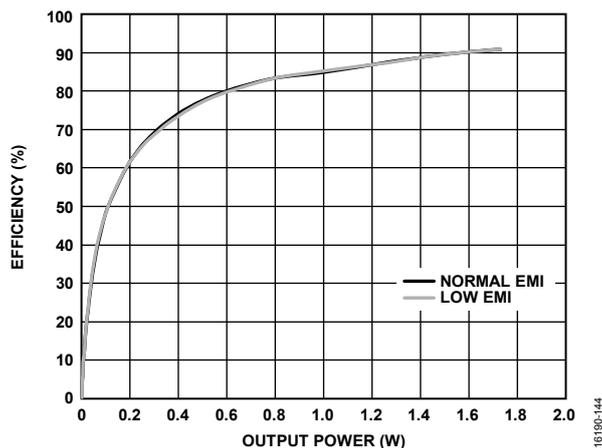


図 50. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 8 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 5 \text{ V}$ 、アナログ・ゲイン = 6.3

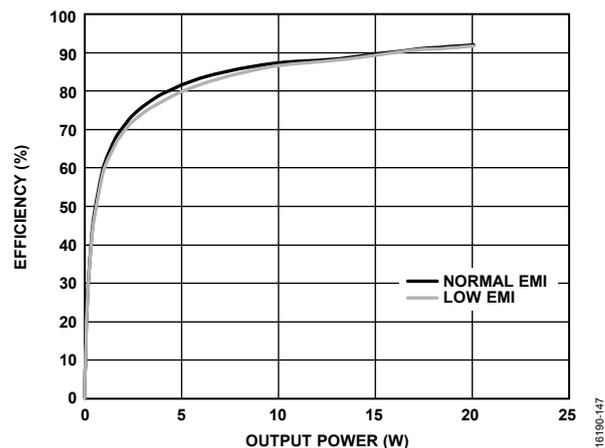


図 53. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 8 \Omega$ 、FB あり、 220 pF コンデンサ、 $PV_{DD} = 17 \text{ V}$ 、アナログ・ゲイン = 16

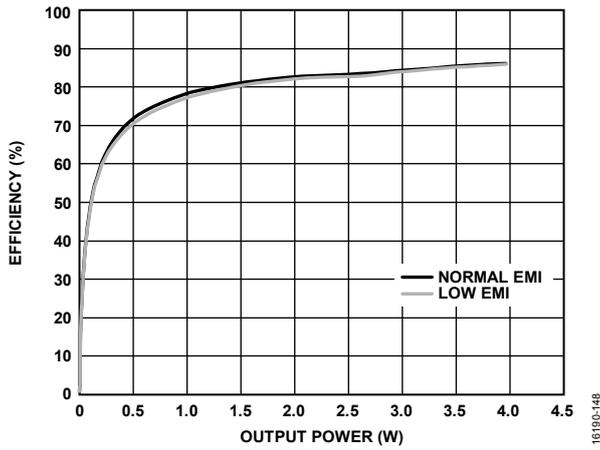


図 54. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 3 \Omega$ 、FB なし、 220 pF コンデンサ、 $PV_{DD} = 5 \text{ V}$ 、アナログ・ゲイン = 6.3

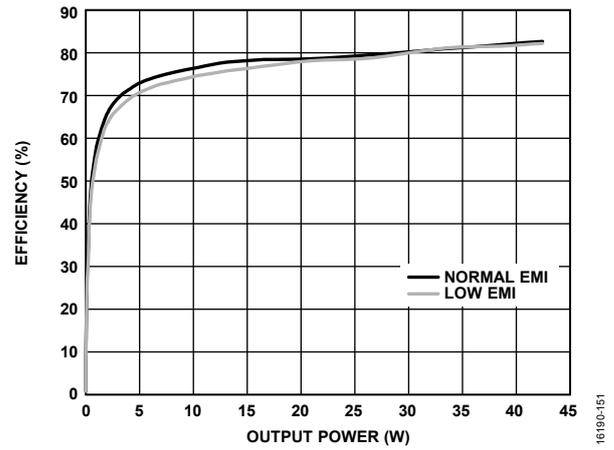


図 57. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 3 \Omega$ 、FB なし、 220 pF コンデンサ、 $PV_{DD} = 17 \text{ V}$ 、アナログ・ゲイン = 16

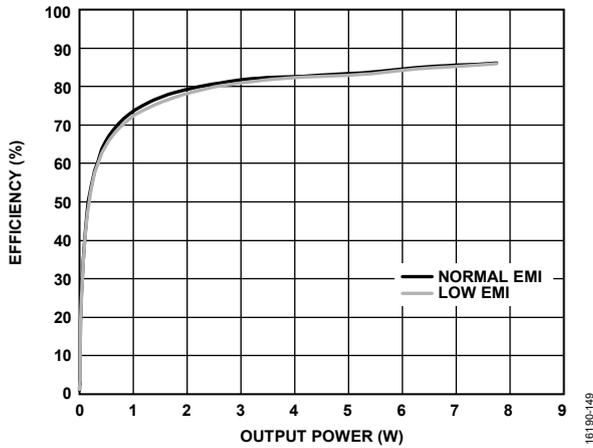


図 55. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 3 \Omega$ 、FB なし、 220 pF コンデンサ、 $PV_{DD} = 7 \text{ V}$ 、アナログ・ゲイン = 8.9

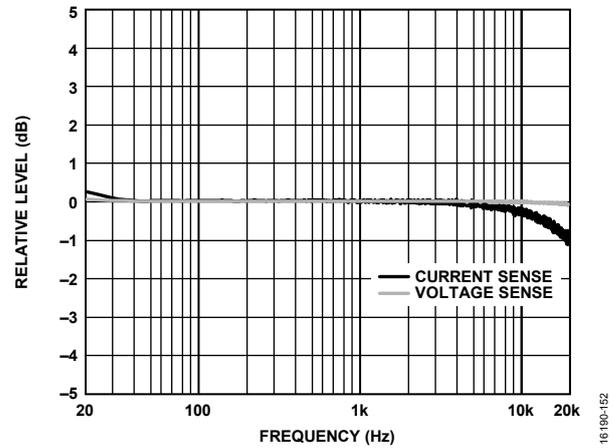


図 58. 電流／電圧 (I/V) の検出周波数応答、 -20 dBFS 入力信号、 $PV_{DD} = 12 \text{ V}$ 、アナログ・ゲイン = 12.6

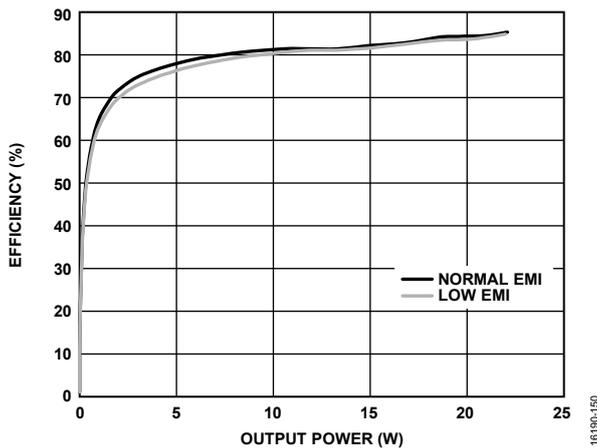


図 56. 効率と出力電力 (P_{OUT}) の関係、 $R_L = 3 \Omega$ 、FB なし、 220 pF コンデンサ、 $PV_{DD} = 12 \text{ V}$ 、アナログ・ゲイン = 12.6

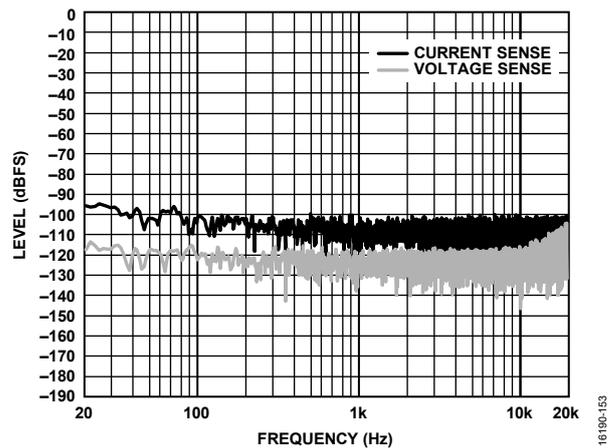


図 59. I/V 検出 FFT、信号なし、 $PV_{DD} = 12 \text{ V}$ 、アナログ・ゲイン = 12.6

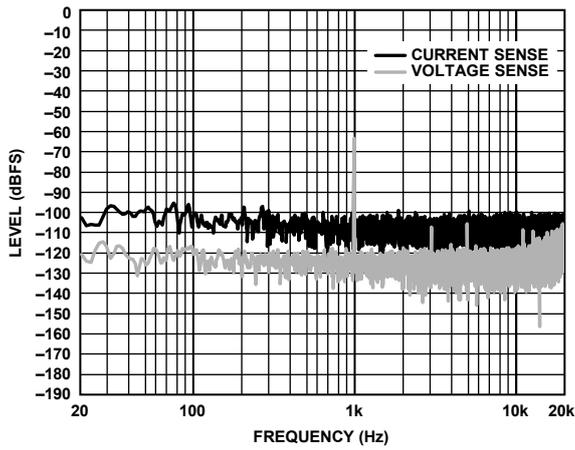


図 60. I/V 検出出力 FFT、-60 dBFS 入力、
PV_{DD} = 12 V、アナログ・ゲイン = 12.6

16190-154

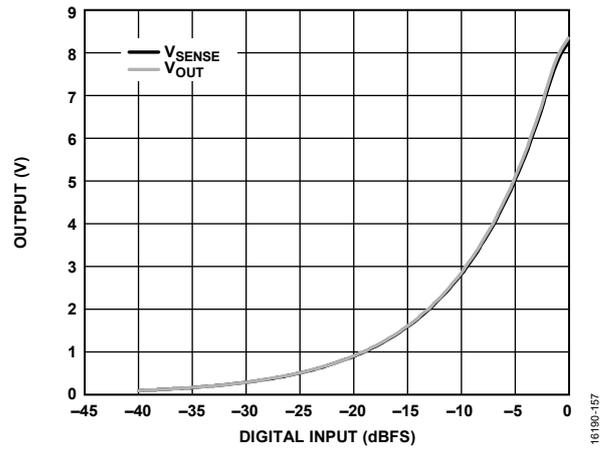


図 63. I/V 検出出力とアンプ出力 V_{RMS} の関係、
PV_{DD} = 12 V、アナログ・ゲイン = 12.6

16190-157

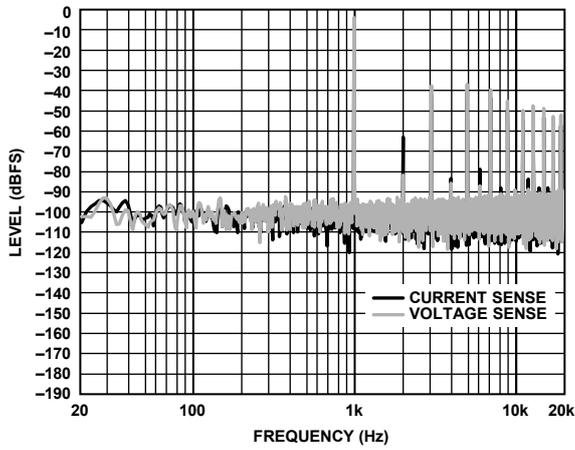


図 61. I/V 検出出力 FFT、-1 dBFS 入力、PV_{DD} = 12 V、
アナログ・ゲイン = 12.6

16190-155

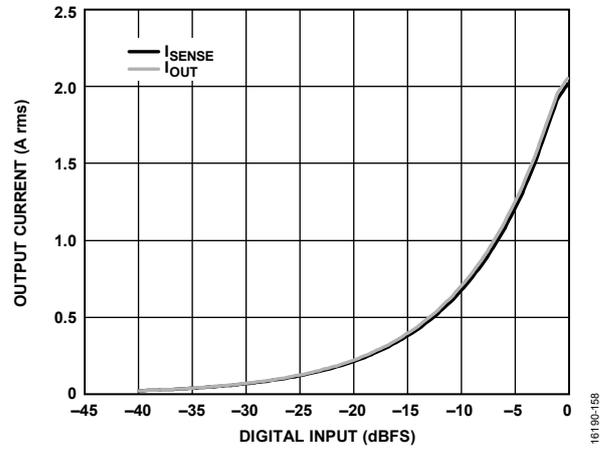


図 64. I/V 検出出力とアンプ出力電流 I_{arm} の関係、
PV_{DD} = 12 V、アナログ・ゲイン = 12.6

16190-158

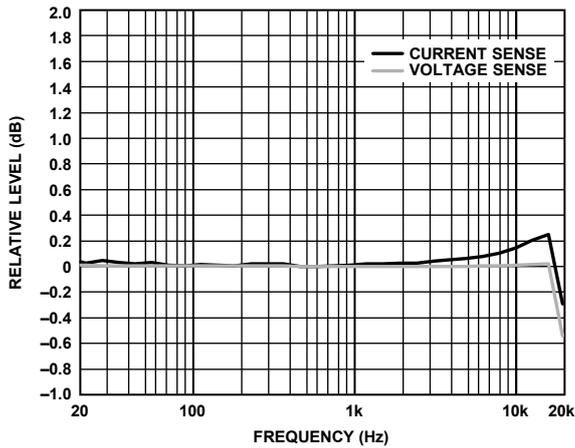


図 62. I/V 検出出力の直線性、-20 dBFS 入力、
PV_{DD} = 12 V、アナログ・ゲイン = 12.6

16190-156

代表的なアプリケーション回路

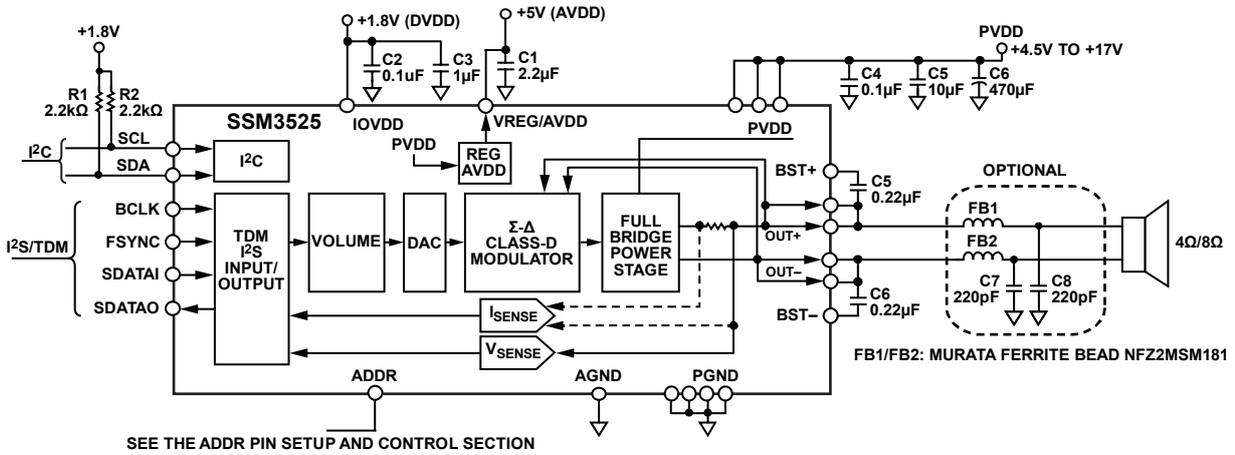


図 65. 代表的なアプリケーション回路

16F190-200

動作原理

概要

SSM3525 クラス D オーディオ・アンプには、外付けコンポーネント数を削減し、基板スペースを節約してシステム・コストを削減できる、フィルタレスの変調方式が採用されています。SSM3525では、出力フィルタは必要ありません。スピーカー・コイル固有のインダクタンスや、スピーカーと人の聴覚に備わった自然のフィルタ特性を使用して、方形波出力から元のオーディオ成分を復元します。ほとんどのクラス D アンプでは、何らかのパルス幅変調 (PWM) を使用していますが、SSM3525ではシグマ・デルタ (Σ - Δ) 変調を使用して出力デバイスのスイッチング・パターンを決定するため、次のような多くの重要な利点があります。PWMとは異なり、 Σ - Δ 変調器は、振幅変調 (AM) 周波数帯域の多くの高調波でシャープなピークを生成しません。 Σ - Δ 変調では、高周波でのスペクトル成分の振幅を小さくして、通常はスピーカーや長いケーブル経路から発生する EMI 放射を低減します。 Σ - Δ 変調の拡散スペクトルに特有な性質上、複数の SSM3525 アンプを使用する設計で発振器の同期は必要ありません。

また、SSM3525 は過電流／過熱保護およびオプションのプログラマブル・ゲイン低下機能を備えた温度警告機能も内蔵しています。

SSM3525 は、デジタル形式の出力電圧および出力電流の検出機能を備えています。PVDD ピン用の温度センサーと電源電圧センサーも備えています。通常、PVDD ピンは、システムのバッテリーまたは電源に接続されます。

SSM3525 は、I²C ポートと TDM/I²S ポートを介して提供される制御とデータについて、2つのメイン・モードをサポートしています (表 12 を参照)。

表 11. I²C アドレスの選択。

ADDR Pin Connection	Control Port Mode	IOV _{DD} Range (V)	I ² C Address
GND	I ² C	1.2 to 1.8	0x24
Pull Down	I ² C	1.2 to 1.8	0x25
Open	I ² C	1.2 to 1.8	0x26
Pull Up	I ² C	1.2 to 1.8	0x27
IOVDD	Reserved	Not applicable	Not applicable

表 12. I²S、TDM、PDM のシリアル・ポート・モードのセットアップ

Serial Port Mode	IOV _{DD} Range	Description	Pin Usage			
			BCLK Pin	SDATAO Pin	FSYNC Pin	SDATAI Pin
I ² S/TDM	1.2 V to 1.8 V	Sets the part into default I ² S/TDM mode	Bit clock input	Sense data output I ² S/TDM format	Frame clock input	Data input I ² S/TDM format
PDM	1.2 V to 1.8 V	Set the PDM_MODE bit to 1 in Register 0x21, use FSYNC pin for setting the left/right channel	PDM clock input	Sense data output PDM format	GND (left channel) and IOVDD (right channel)	Data input PDM format

電源

SSM3525 の電源ピンは次のとおりです。

- 電源 PVDD は、出力段で使用されます。
- AV_{DD} は、入力段、変調器、出力段ゲート・ドライバ、およびその他のブロックで使用するアナログ電源です。内蔵リニア電圧レギュレータを使用して内部で生成されます。代わりに、高いシステム効率が必要な場合は、AVDD ピンをシステムの外部 5 V 電源に接続します。
- REG_EN 制御レジスタを 1 に設定した場合は、内部レギュレータがイネーブルになります。これ以外の場合は、外部 5 V 電源が必要になります。
- IOVDD は、シリアル・オーディオ・インターフェースと内部デジタル回路用のデジタル電源電圧です。この電圧は、外部から供給する必要があります。

ADDR ピンのセットアップと制御

SSM3525 は、I²C 制御に対応しています。ADDR ピンは、「47 k Ω 抵抗から GND に接続する」、「IOV_{DD} にプルアップする」、「47 k Ω 抵抗からグラウンドにプルダウンする」、「オープンのままにする」の 4 つのレベルに設定できます。ADDR ピンの状態が、I²C デバイスのアドレスを決定します。デフォルトの I²C モードでは、デバイスは TDM/I²S データ用に BCLK、FSYNC、SDATAI および SDATAO のピンを使用します。代わりに、PDM_MODE レジスタ・ビット・フィールドを設定して、PDM データを送受信するようにデバイスを設定することもできます。目的とするモードのセットアップについては、表 12 を参照してください。

パワーダウン・モード

SSM3525 は複数の方法でパワーダウンできます。レジスタ 0x20 の SPWDN ビットを 1 に設定すると、I²C インターフェース以外のデバイスを完全にパワーダウンできます。各ブロックは、ブロック・レベルのパワーダウン制御を介して電源をオンまたはオフすることもできます。

消費電力を最小限に抑えるシャットダウン向けに、SSM3525 は BCLK 入力クロックを監視するクロック損失の検出回路を備えています。BCLK が存在しない場合、デバイスはすべての内部回路を自動的にパワーダウンして、消費電力を最小限に抑えます。BCLK が復帰すると、デバイスは通常の電力シーケンスを経て自動的にパワーアップします。

I²S/TDM を使用する場合は、自動パワーダウン機能があります。連続して 2048 回ゼロ入力サンプルが受信されると、デバイスは低電力状態に移行します。値がゼロ以外のサンプル信号が受信されると、デバイスは自動的に再びパワーアップします。I²C ブロックとデジタル・オーディオ入力ブロックのみがアクティブになります。

出力電流の検出

SSM3525 は、内蔵の検出抵抗 (50 mΩ 代表値) を使用して、負荷に流れる出力電流の値を測定します。この検出抵抗全体の電圧は、負荷電流に比例し、公称 128 × fs で動作する 1 ビット ADC に送信されます。検出電圧は、I²S/TDM モードでは I²S/TDM 形式で出力され、PDM モードでは PDM インターフェース経由で出力されます。また、この ADC の出力は、デジタル・フィルタ処理を使用してダウンサンプリングできます。データは 16 ビットの 2 の補数で、符合付きの小数形式です。信号は、8 kHz ~ 192 kHz のレートでダウンサンプリングされます。SDATAO ピンから出力することもできます。

電流と電圧の検出に異なるサンプリング・レートを設定するには、レジスタ 0x05 の SNS_FS ビットを使用します。

出力電圧の検出

出力電圧レベルは OUT± ピンで監視され、公称 128 × fs で動作する A/D コンバータに 1 ビットが送信されます。PDM モードでは PDM 形式で出力され、PDM モードでは PDM インターフェース経由で出力されます。また、この ADC の出力は、デジタル・フィルタ処理を使用してダウンサンプリングできます。この 8 kHz ~ 192 kHz のレートでダウンサンプリングされた信号は、デジタル・オーディオ・インターフェースで出力されます。データは 16 ビットの 2 の補数で、符合付きの小数形式です。SDATAO ピンから出力することもできます。

温度センサー

SSM3525 には、デバイスのダイ温度を測定する 8 ビットの ADC が組み込まれており、レジスタ 0x20 の TEMP_PWDN ビット経由でイネーブルになります。センサーを有効にすれば、レジスタ 0x12 の I²C から 8 ビットの符合なし形式で温度の検出値を読み出せます。

ADC の入力範囲は、内部で -60 °C ~ +195 °C に固定されます。ここで、16 進値を温度 (摂氏) に変換するには、次の手順に従います。

- 16 進値を 10 進数に変換してから、60 を引きます。例えば、16 進値 0x54 は、10 進数では 84 です。
- 次の数式を使用して温度を計算します。

$$\text{温度} = 10 \text{ 進数値} - 60$$

- 10 進数値が 84 の場合は、 $\text{温度} = 84 - 60 = 24 \text{ °C}$

PCM デジタル・オーディオ・シリアル・インターフェース

SSM3525 は、スレーブ専用の標準シリアル・オーディオ・インターフェースを備えています。これは I²モードで使用されます。インターフェースは、I²S、左詰め、パルス・コード変調 (PCM)、または TDM 形式のデータを送受信できます。

DAC とアンプにオーディオを送信する入力インターフェースの他に、検出、温度、自動ゲイン制御 (AGC) のゲイン・データ用の出力インターフェースがあります。これらのインターフェースは、同じ FSYNC 信号と BCLK 信号を共有します。

正しく動作させるには、BCLK 信号を SSM3525 に印加します。BCLK 信号の周波数は、最小の 2.048 MHz にする必要があります。BCLK 信号は、デバイスの内部クロックになります。BCLK レートは自動的に検出されますが、デバイスがそのサンプリング周波数に対応する必要があります。32 kHz ~ 48 kHz でサポートされている BCLK レートは、サンプル・レートの 50、64、100、128、150、192、200、250、256、384、400、500、512、768、800、および 1024 倍です。

シリアル・インターフェースには、主な動作モードが 3 つあります。ステレオ・モード (通常は I²S または左詰め) は、インターフェース・バスに 1 つまたは 2 つのチップがある場合に使用されます。TDM モードは、柔軟性が高く、最大 32 チップをサポートできます。これらのモードの選択は、I²C インターフェース経由で SAI_MODE ビットを使用して設定できます。

SAI_DRV ビットの設定によって、未使用のビット・クロック・サイクル中に SDATAO ピンの状態が決定されます。SAI_DRV ビットを 1 に設定すると、SDATAO ピンはロジック・ローに駆動されます。このビットを 0 に設定すると、ピンは駆動されません (高インピーダンス)。シリアル・インターフェース・バスで複数のチップを使用している場合は、SAI_DRV ビットを 0 に設定する必要があります。

ステレオ (I²S/左詰め) 動作モード

ステレオ・モードでは、FSYNC 信号の両エッジを使用してデータの配置を決定します。ステレオ・モードは SAI_MODE = 0 で有効になり、I²S または左詰め形式は SDATA_FMT ビットによって決定されます。

I²S または左詰め形式は、FSYNC サイクルあたり任意の数の BCLK サイクルを受け付けます。

6 つの配置コントロール・レジスタ (アドレス 0x24 ~ アドレス 0x29) は、入出力データの配置を決定します。奇数の配置コントロール・レジスタは、左チャンネルでの順序を決定し、偶数のレジスタは右チャンネルでの順序を決定します。

8 kHz ~ 192 kHz のサンプル・レートを受け付けます。

TDM 動作モード

TDM 動作モードでは、複数のチップが1つのシリアル・インターフェース・バスを使用できます。

FSYNC 信号は、必要なサンプル・レートで動作します。FSYNC 信号の立上がりエッジは、新しいフレームの開始を示します。正しく動作させるには、この信号が1 BCLK サイクル幅で、BCLK の立下がりエッジで遷移する必要があります。1 BCLK サイクル後に、データの MSB が SDATAO 信号に現れます。SDATAO 信号は、BCLK 立上がりエッジでラッチする必要があります。

TDM バス上の各チップは、16、24、32、48、または 64 BCLK サイクルを占有できます。これはレジスタ 0x22 の TDM_BCLKS ビットで設定し、バス上のすべてのチップを同じ設定にする必要があります。1つの TDM バス上で最大 32 個の SSM3525 チップを使用できますが、使用できる I²C デバイス・アドレスは4つしかありません。SSM3525 は、バス上に配置できるチップの数を BCLK レートから自動的に決定します。BCLK の最大周波数である 50 MHz を除くと、FSYNC パルスあたりの合計 BCLK サイクル数に制限はありません。

使用する複数 SSM3525 デバイスのチップ・スロットは、TDM_SLOT ビットによって決定されます。

6 の配置コントロール・レジスタによって、各チップ・スロット内での入出力の配置が決定されます。DAC への入力データ幅が 16 ビットまたは 24 ビットのデータを選択できます。出力データには、電圧検出、電流検出、温度検出、P_{VDD} 電圧情報の配置に関して、複数のオプションがあります。レジスタ 0x24 ~ レジスタ 0x29 にある Px_SNS ビットを参照してください。

シリアル・データの配置

SSM3525 では、フレーム内で出力データを配置する場所と入力データを採る場所を柔軟に設定できます。入力データが期待される場合は4つのコントロール・ビット (Px_DAC) を使用し、出力データが駆動される場合は6つのコントロール・ビット (Px_SNS) を使用します。

1つのデータ・フレームは、配置と呼ばれる個別のフィールドに分割されます。各配置の長さは、8 ビット、16 ビット、24 ビットです。TDM のシングル・フレームまたは I²S データ・ストリームには、多様な長さのデータ配置が含まれます。

シリアル・ポートが TDM モードで動作している場合、配置は FSYNC パルスの直後に開始します。最初の配置は P1 と呼ばれ、2 番目の配置は P2 と呼ばれ、順番に番号が増えていきます。シリアル・データ信号では、このような配置は順番に出現します。

入力ストリームには最大4つの配置を含め、出力ストリームには最大6つの配置を含めることができます。図 65 に、TDM モードでの配置の基本的なタイミング図を示します。

シリアル・ポートが I²S モードで動作している場合、配置は FSYNC 立下がりクロック・エッジの直後に開始し、新しいフレームの開始が信号で通知されます。最初の配置は P1 と呼ばれ、2 番目の配置は P2 と呼ばれ、順番に番号が増えていきます。奇数の配置 (P1、P3、P5) は、FSYNC 信号がローの場合 (FSYNC_MODE = 0) に左のチャンネルで順番に現れ、偶数の配置 (P2、P4、P6) は、FSYNC 信号がハイの場合 (FSYNC_MODE = 0) に右のチャンネルで順番に現れます。入力ストリームには最大4つの配置を含め、出力ストリームには最大6つの配置を含めることができます。図 66 に、I²S モードでの配置の基本的なタイミング図を示します。

対応するレジスタ (アドレス 0x22 ~ アドレス 0x29) で各データ配置を構成できます。入力配置 (Px_DAC) は 24 ビットのオーディオ・データ、16 ビットのオーディオ・データ、またはパディングとして使用され無視される8つのゼロ・ビットを伝送できます。検出配置 (Px_SNS) には、16 ビットの電圧出力データ、16 ビットの電流出力データ、8 ビットのバッテリー電圧データ、8 ビットの温度データ、または 16 ビットの電圧および電流のデータ、8 ビットのステータス・データ、8 ビットの V/I マーカーとステータス・データ、8 つのゼロ・ビットを含めることができます。

標準の I²S モードでは、シリアル入力でモノラル・オーディオ・データを受信し、シリアル出力で電圧、電流、バッテリー・データをホスト・デバイスに送り返すように構成します。デフォルトのレジスタ設定は、図 67 のタイミング図に対応します。

8 ビットのステータス出力を選択すると、8 ビットの配置領域は読み出し専用の STATUS レジスタと同じビットを出力します。形式については、表 13 を参照してください。8 ビットの V/I マーカーとステータス出力配置が選択されている場合、サンプル・フレームで電圧検出と電流検出のどちらを出力するかは MSB によって指定されます。ここで、7 つの LSB は STATUS レジスタに対応します。形式については、図 14 を参照してください。

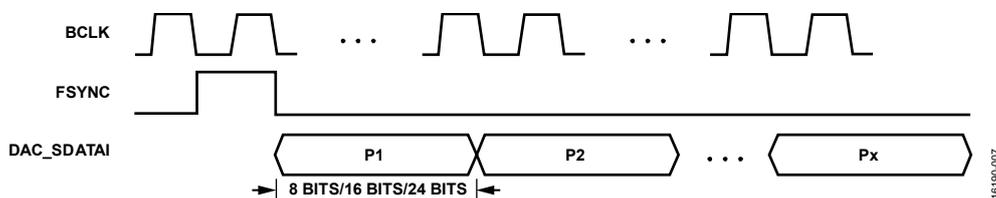


図 66. TDM ストリームの配置の基本的なタイミング図

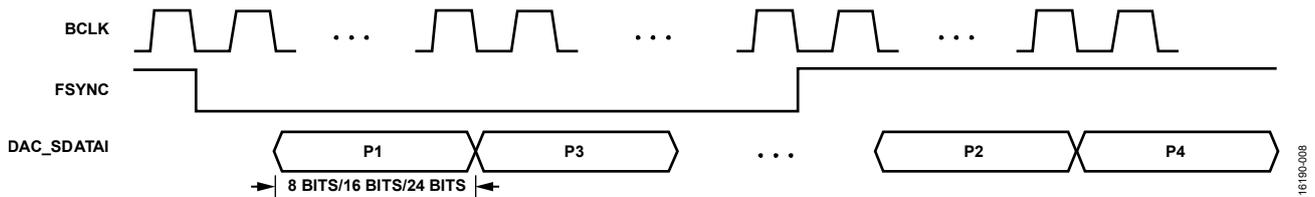


図 67. I²S ストリームの配置の基本的なタイミング図

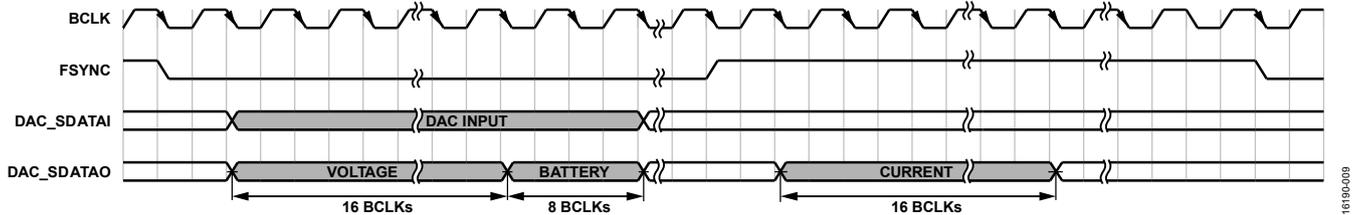


図 68. 標準の I²S データ配置のタイミング図

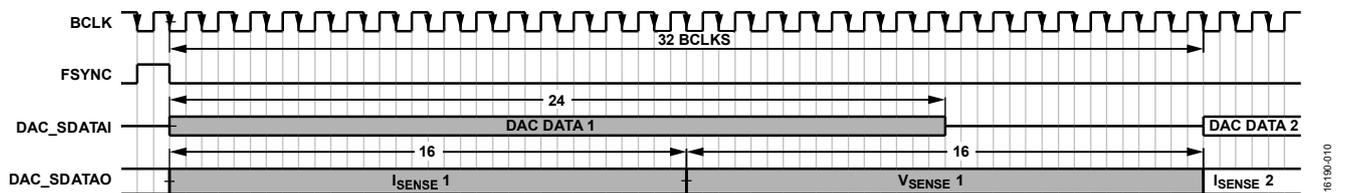


図 69. TDM シリアル・インターフェース形式

表 13. 8 ビットのステータス検出の出力形式 (STATUS レジスタ)

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
UVLO_VREG	UVLO_PVDD	LIM_EG	CLIP	AMP_OC	OTF	OTW	BAT_WARN

表 14. 8 ビットの V/I マーカーおよび検出の出力形式 (STATUS レジスタ)

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
I = VSENSE, 0 = ISENSE	UVLO_PVDD	LIM_EG	CLIP	AMP_OC	OTF	OTW	BAT_WARN

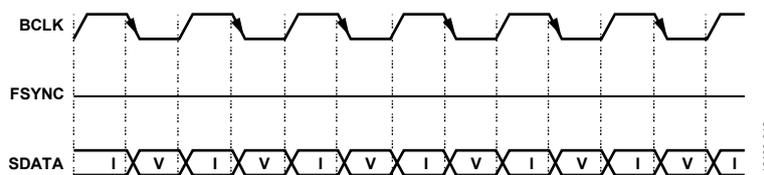


図 70. PDM モードでの SDATA 出力

PDM 動作モード

レジスタ 0x21 の PDM_MODE ビットを 1 に設定すると、検出 ADC からの 1 ビット PDM データを直接 SDATAO に出力でき、SDATAI で 1 ビットの PDM データを使用して DAC を駆動できます。この場合、BCLK ピンで 2.048 MHz ~ 6.144 MHz の CLK を供給する必要があります。

PDM 入力データは、クロックの両方のエッジでラッチされます。FSYNC ピンの状態によって、どちらのチャンネル(左または右)を DAC に送信するか決定されます。

表 15. PDM モードの FSYNC 設定

SDATA Input	FSYNC Pin Configuration
Use L Channel Data	Connect to IOVDD
Use R Channel Data	Connect to GND

PDM データはクロックの両方のエッジでの出力です。BCLK がハイの場合は電流検出 ADC のデータが出力され、BCLK がローの場合は電圧検出 ADC のデータが出力されます。表 12 と 図 69 を参照してください。

アナログ・ゲインおよびデジタル・ゲイン

ANA_GAIN ビットを使用してシステムのアナログ・ゲインを設定するには、いくつかの方法があります。これらのビットは、各 PV_{DD} 電源電圧で最適なゲイン調整を提供するように設計されています。

-70 dB ~ +24 dB の範囲で、0.375 dB 刻みで微調整できるデジタル・ゲイン/ボリューム制御または DAC_VOL レジスタもあります。

PV_{DD} (V_{BAT}) 検出

SSM3525 は、バッテリー電圧 (V_{BAT}) 電源の電圧を測定する 8 ビット ADC を備えています。バッテリー電圧の情報は、レジスタ 0x13 に 8 ビットの符号なし形式で格納されます。ADC の入力範囲は、内部で 4 V ~ 18 V に固定されます。ここで、16 進値を電圧値に変換するには、次の手順に従います。

- 16 進値を 10 進値に変換します。例えば、16 進値 0xA9 は、10 進数では 169 です。
- 次の数式を使用して電圧を計算します。

$$\text{電圧} = 4 \text{ V} + 14 \text{ V} \times 10 \text{ 進値} / 255$$

10 進値 169 を代入します。

$$\text{電圧} = 4 \text{ V} + 14 \text{ V} \times 169 / 255 = 13.278 \text{ V}$$

前述のように、このデータは SDATA0 ピンで V/I 検出データとともに出力するか、制御インターフェースから V_{BAT} レジスタ経由で読出すことができます。

故障/リミッタのステータス通知機能

SSM3525 は、出力での故障に対する包括的な保護機能とシステム設計に役立つ通知機能を備えています。表 16 に示している故障は、ステータス・レジスタを使用して通知されます。

表 16. レジスタ 0x11 故障

Fault Type	Flag Set Condition	Status Reported Register
5 V Regulator or AV _{DD} Undervoltage (UV)	5 V regulator voltage at VREG/AV _{DD} < 3.6 V	Register 0x11, Bit 7, UVLO_VREG
PV _{DD} Undervoltage	When PV _{DD} < 3.6V	Register 0x11, Bit 6, UVLO_PVDD
Limiters/Gain Reduction Engage	Limiters engaged	Register 0x11, Bit 5, LIM_EG
Clipping	DAC clipping	Register 0x11, Bit 4, CLIP
Output Overcurrent (OC)	Output current > 6 A peak	Register 0x11, Bit 3, AMP_OC
Die Overtemperature (OT)	Die temperature > 145 °C	Register 0x11, Bit 2, OTF
Die Overtemperature Warning (OTW)	Die temperature > 117°C	Register 0x11, Bit 4, OTW
Battery Voltage > VBAT_INF	Battery voltage PV _{DD} > VBAT_INF	Register 0x11, Bit 0, BAT_WARN

表 16 に示している故障は、レジスタ 0x11 で通知され、システムのマイクロコントローラによって I²C を介して読み出すことができます。

レジスタ 0x10 を使用して、故障発生時にデバイスが故障にどのように反応するか制御できます。

表 17. レジスタ 0x10 故障回復

Fault Type	Flag Set Condition	Status Reported Register
OTW	The amount of gain reduction applied if there is an OTW	Register 0x10, Bits[7:6], OTW_GAIN
Manual Recovery	Use to attempt manual recovery in case of a fault event	Register 0x10, Bit 5, MRCV
Autorecovery Attempts	When autorecovery from faults is used, set the number of attempts using this bit	Register 0x10, Bits[4:3], MAX_AR
UV	Recovery can be automatic or manual	Register 0x10, Bit 2, ARCV_UV
Die OT	Recovery can be automatic or manual	Register 0x10, Bit 1, ARCV_OT
OC	Recovery can be automatic or manual	Register 0x10, Bit 0, ARCV_OC

自動回復モードに設定している場合、デバイスは故障発生後に自己回復を試みます。故障を回復できない場合は、再度故障に設定されます。このプロセスは、故障が解決されるまで繰り返されます。

手動回復モードを使用している場合、デバイスがシャットダウンした後、システムのマイクロコントローラを使用して、回復を試みる必要があります。

リミッタ/バッテリー・トラッキング閾値の制御

SSM3525 は、アンプのピーク出力電圧を制限できる出力リミッタを備えています。このリミッタは、信号の rms およびピーク値に作用します。リミッタの閾値、スロープ、アタック・レート、およびリリース・レートは、レジスタ 0x08、レジスタ 0x09、およびレジスタ 0x0A を使用してプログラミングします。リミッタは、LIM_EN (レジスタ 0x08、ビット [1:0]) を使用してイネーブルまたはディスエーブルにできます。

出力が制限を開始する閾値は、LIM_THRES レジスタ設定 (レジスタ 0x09、ビット [7:3]) によって決定されます。出力信号レベルが、設定された閾値レベルを上回ると、リミッタがアクティブになり、設定されたリミットに信号レベルが制限されます。設定された閾値を下回る場合、出力レベルは影響を受けません。リミッタの閾値は、2 V_{PEAK} ~ 16 V_{PEAK} の範囲で設定できます。

リミッタの閾値は、アンプの最大出力電圧を超える値に設定できます。この場合、リミッタは最大ピーク出力を許容するようになります。出力はリミッタではなく、電源電圧に従ってクリップされます。

リミッタの閾値は、固定値に設定することも、VBAT_TRACK ビット (レジスタ 0x08、ビット 2) を介して設定することもできます。固定値に設定した場合、リミッタの閾値は固定され、バッテリー電圧に従って変化することはありません。閾値は、LIM_THRES ビットを使用して 2 V_{PEAK} ~ 16 V_{PEAK} の範囲で設定できます。(図 71 を参照)。

可変閾値に設定すると、SSM3525 は V_{BAT} 電源を監視し、V_{BAT} 電源電圧を基準にしてリミッタの閾値を調整します。

リミッタの閾値レベルが出力レベルを下げ始める VBAT 電源電圧は、VBAT_INF ビット（レジスタ 0x0A、ビット [7:0]）で設定する VBAT 変曲点によって決定されます。

VBAT_INF ポイントは、LIM_EN モードに応じてリミッタがアクティブまたは非アクティブになるバッテリー電圧と定義されます（表 18 を参照）。バッテリー電圧が VBAT_INF を上回っている場合、リミッタは非アクティブになります。バッテリー電圧が VBAT_INF を下回ると、リミッタはアクティブになります。VBAT_INF ビットは 4V ~ 18V の範囲で設定できます。電圧の 8 ビット値は、次の数式を使用して計算できます。

$$\text{電圧} = 4 + 14 \times 10 \text{ 進値} / 255$$

10 進値を 8 ビット 16 進値に変換し、その値を使用して VBAT_INF ビットを設定します。

リミッタの閾値が VBAT の変化量に対して相対的に VBAT_INF ポイントから低下する割合は、スロープ・ビット（レジスタ 0x09、ビット [1:0]）によって決定されます。

スロープは、VBAT 電圧の低下に対してリミッタの閾値が低下する割合です。

$$\text{スロープ} = \Delta \text{リミッタの閾値} / \Delta \text{VBAT}$$

スロープ率は、1:1 ~ 4:1 の範囲で設定できます。この機能は、低バッテリー状態での早期シャットダウンを防止するのに便利です。VBAT 電圧が低下すると、リミッタの閾値が低下します。リミッタにより出力レベルが低下し、バッテリーから流れる電流が低減され、低 VBAT による早期シャットダウンを防止します。

リミッタは、各種のアクティブ・モードを備えています。これらのモードは LIM_EN ビット（レジスタ 0x08、ビット [1:0]）と VBAT_TRACK ビットを使用して設定できます（表 18 を参照）。

LIM_EN=01 の場合、リミッタはイネーブルになります。LIM_EN = 10 の場合、VBAT が VBAT_INF を下回ったときにリミッタは出力をミュートします。LIM_EN = 11 の場合、バッテリー電圧が VBAT_INF を下回るときのみリミッタが作動します。

VBAT が VBAT_INF を上回っている場合、制限は作動しません。VBAT_INF の付近には、リミッタを解除するためのヒステリシスが存在します。

リミッタがアクティブになると、アンプのゲインが低下します。ゲイン低下率（アタック・レート）は、LIM_ATR ビット（レジスタ 0x08、ビット [5:4]）で決定されます。同様に、信号レベルがリミッタの閾値を下回ると、ゲインが復元されます。ゲイン・リリース・レートは、LIM_RRT ビット（レジスタ 0x08、ビット [7:6]）によって決定されます。

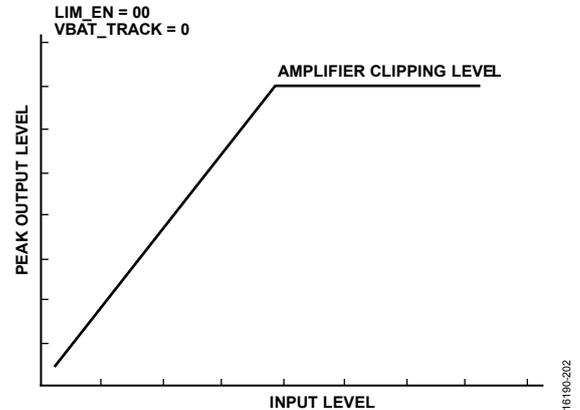


図 71. リミッタの例 (LIM_EN = 0b00、VBAT_TRACK = 0bx)

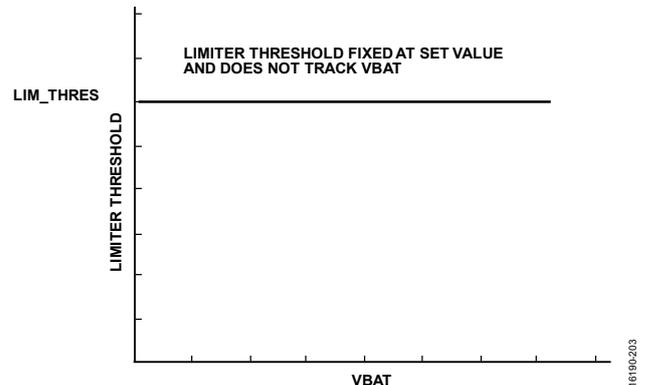


図 72. リミッタ固定 (LIM_EN = 0b01、VBAT_TRACK = 0b0)

表 18. リミッタ・モード

LIM_EN	VBAT_TRACK	Limiters	VBAT < VBAT_INF	VBAT > VBAT_INF	Comments
00	0 or 1	No	Not applicable	Not applicable	See Figure 70
01	0	Fixed	Use the set threshold	Use the set threshold	See Figure 71
01	1	Variable	Lowers the threshold	Use the set threshold	See Figure 72 and Figure 73
10	0 or 1	Fixed	Mutes the output	Use the set threshold	Not applicable
11	0	Fixed	Use the set threshold	No limiting	See Figure 74 and Figure 75
11	1	Variable	Lowers the threshold	No limiting Figure	See Figure 76 and Figure 77

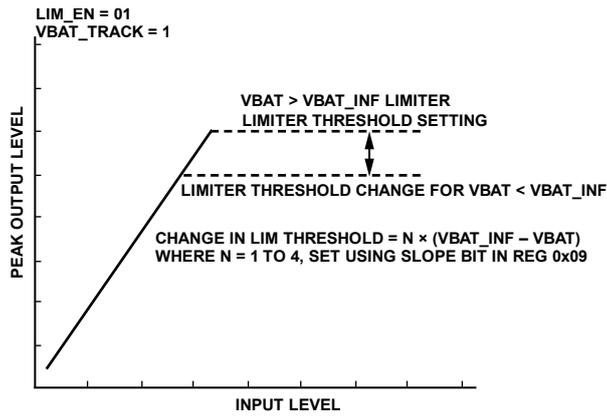


図 73. リミッタ固定 (LIM_EN = 0b01、VBAT_TRACK = 0b1)

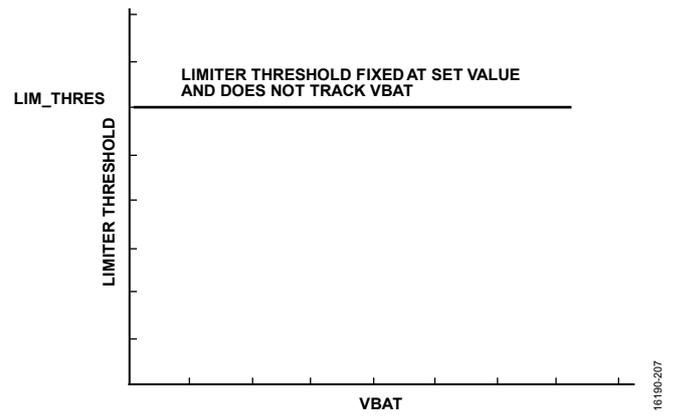


図 76. リミッタ固定 (LIM_EN = 0b11、VBAT_TRACK = 0b0)

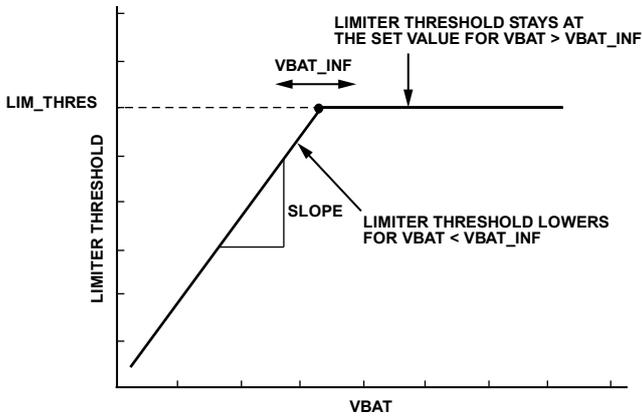


図 74. リミッタ・トラッキング・モードにおける出力レベルと VBAT の関係 (LIM_EN = 0b01、VBAT_TRACK = 0b1)

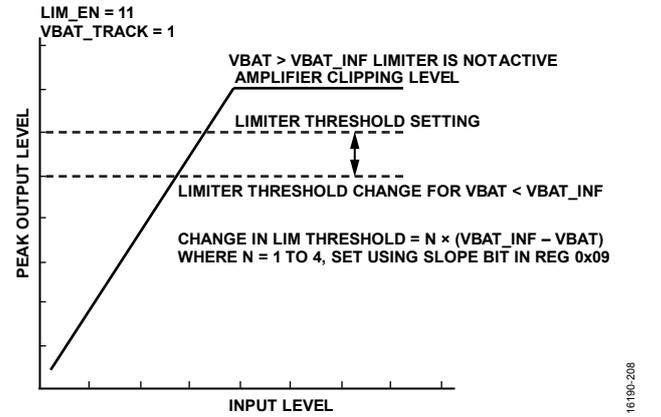


図 77. リミッタの例 (LIM_EN = 0b11、VBAT_TRACK = 0b1)

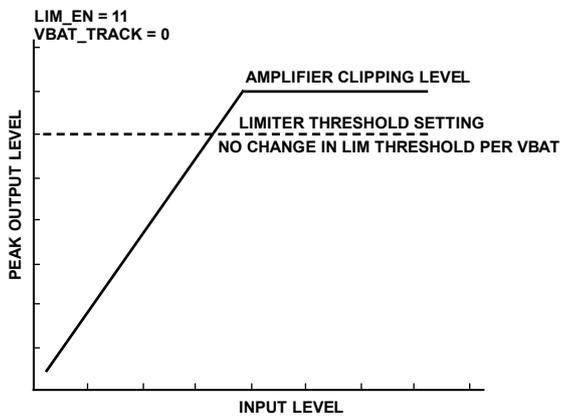


図 75. リミッタの例 (LIM_EN = 0b11、VBAT_TRACK = 0)

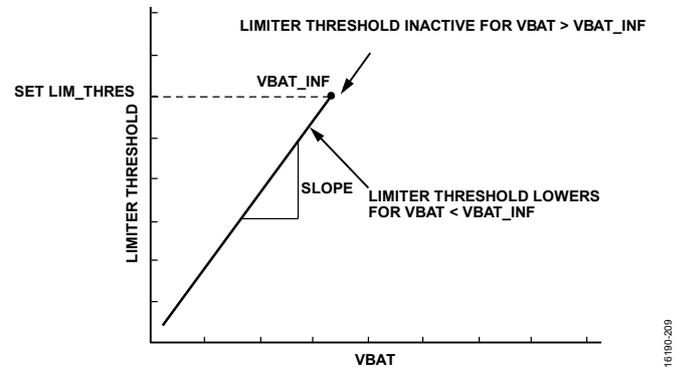


図 78. リミッタ・トラッキング・モードにおける出力レベルと VBAT の関係 (LIM_EN = 0b11、VBAT_TRACK = 0b1)

複数の SSM3525 デバイスのリミッタの連結

システム内で複数の SSM3525 デバイスを使用する場合、すべてまたは一部のデバイスについてリミッタのゲイン調整を連結できます。デバイスは、リミッタ設定に基づいて、内部でゲイン調整値 (AGC_GAIN) を生成します。バス上で複数のデバイスのリミッタが連結されると、すべてのデバイスのうちで最も高い (最もゲインが削減される) ゲイン調整値 (AGC_GAIN) が使用されます。この方法で、最大 4 台の SSM3525 を連結できます。

AGC_GAIN を別のチップに連結するには、LIM_LINK レジスタの 0x0E で LIM_LINKx ビットを設定する必要があります。

I²S/TDM を使用する場合は、TDM ストリーム内で連結される各チップで該当する AGC_GAIN 値の配置を指定する必要があります。各デバイスの AGC_GAIN データは、AGC_GAINx_SLOT ビットを使用して割り当てられたスロットで使用できます。AGC_GAIN データは 8 ビット幅で、これらのビットは割り当てられたスロットに格納されます。これらのビットは 64 ビット・フレーム内の 8 つのバイト位置のいずれかに配置できます。この設定は、AGC_GAINx_PLACE レジスタで使用できます。これらの値は、レジスタ 0x2A ~ レジスタ 0x2D で設定できます。

ピーク・オーディオ出力がリミッタの閾値レベルを超えない限り、オーディオ信号は AGC 機能の影響を受けません。

ポップ/クリック抑制回路

オーディオ・アンプの出力におけるボリューム・トランジェントは、シャットダウンの開始時または終了時に発生します。わずか 10 mV のボリューム・トランジェントでも、スピーカーから可聴ポップとして聞こえます。クリックとポップは、アンプ・システムによって生成される、好ましくない可聴トランジェントとして定義されます。これらの音は、システムの入力信号から発生するものではありません。

そのようなトランジェントは、アンプ・システムの動作モードが変化したときに生成されます。例えば、システム・パワーアップやパワーダウンが可聴トランジェントの原因となります。

SSM3525 には、これらの出力トランジェントを低減してノイズのない開始/終了が可能な、ポップ/クリック抑制アーキテクチャが採用されています。

パワーダウン時にポップの発生を防止するには、BCLK 信号を取り除く前にミュートまたはパワーダウンを設定する必要があります。

高周波数クリップ

高周波数クリップは、DAC_CLIP ビット (レジスタ 0x0F、ビット [7:0]) で制御できます。

これらのビットは、フルスケールを基準にクリップの閾値を決定します。有効にすると、クリップは DAC インターポレーションの後にデジタル方式で信号をクリップします。

EMI ノイズ

SSM3525 では、独自の変調および拡散スペクトル技術を使用してデバイスからの EMI 放射を最小限に抑えています。SSM3525 は、フェライト・ビーズベースのフィルタ処理を使用して、シールドなしの 20 インチのケーブルで FCC クラス B の放射試験に合格します。FCC クラス B の放射試験に合格することが難しいアプリケーション向けに、SSM3525 は、特に 100 MHz を超えるクラス D 出力での EMI 放射を大幅に低減できる超低 EMI 放射モードを備えています。電源電圧を低くすると、EMI 放射を大幅に低減できます。

出力変調に関する説明

SSM3525 は、3 レベルの Σ - Δ 出力変調を使用します。各出力振幅はグラウンド ~ PV_{DD} に設定できます。理論的には、入力信号が存在しない場合、パルスが発生する必要がないため、出力差動電圧は 0 V になります。しかし、現実世界では、常にノイズが存在します。

常にノイズが存在するので、これに応答して差動パルスが生成されることがあります。差動パルスが生成されると、少電流が誘導負荷に流れます。ただし、通常、出力の差動電圧は 0 V です。このため、誘導負荷を流れる電流が小さい値に抑えられます。

入力信号を送信すると、入力電圧に従う出力パルスが生成されます。入力信号レベルを上げると、差動パルス密度が高くなります。図 78 に、入力ノイズがある場合とない場合の 3 レベルの Σ - Δ 出力変調を示します。

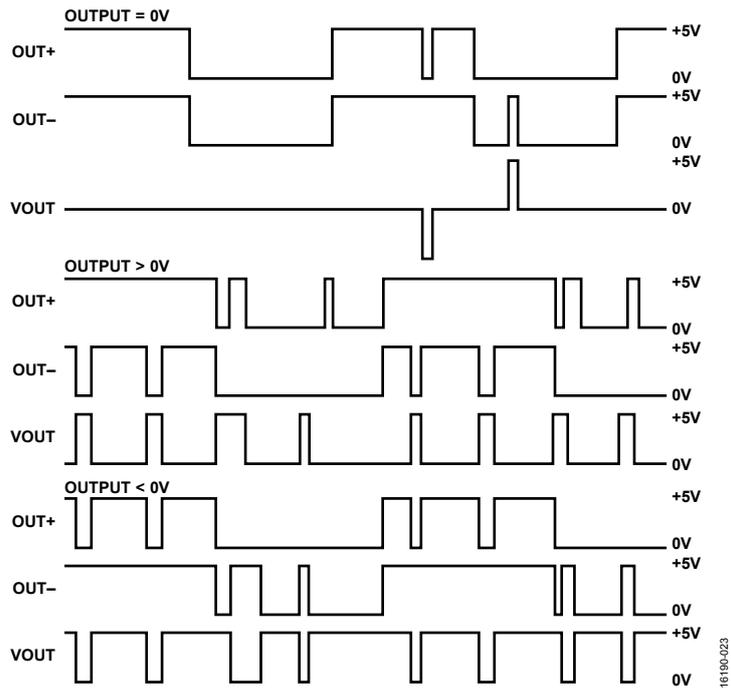


図 79. 入力ノイズがある場合とない場合の 3 レベルの Σ - Δ 出力変調

ブートストラップ・コンデンサ

SSM3525 の出力段では、P チャンネル金属酸化膜半導体 (PMOS) ドライバではなく、ハイサイドの N チャンネル金属酸化膜半導体 (NMOS) ドライバが使用されます。ハイサイド NMOS のゲート・ドライブ電圧を生成するため、各出力端子のブートストラップ・コンデンサは、切替えサイクルのフローティング電源として機能します。0.22 μF のコンデンサを使用して、適切な出力ピン (OUT \pm) をブートストラップ・ピン (BST \pm) に接続します。例えば、OUT+ ピンのブートストラップには、OUT+ と BST+ の間に 0.22 μF のコンデンサを接続します。同様に、OUT- ピンでは、別の 0.22 μF のコンデンサを OUT- ピンと BST- ピンの間に接続します。

電源のデカップリング

高効率、低 THD、高 PSRR を実現するには、適切な電源デカップリングが必要です。電源ライン上のノイズ・トランジェントは、短時間の電圧スパイクです。これらのスパイクには、数百 MHz にもおよぶ周波数成分が含まれることがあります。電源入力は、220 μF 以上の高品質、低等価直列インダクタンス (ESL)、低等価直列抵抗 (ESR) のバルク・コンデンサでデカップリングする必要があります。高周波デカップリングでは、デバイスの PVDD ピンのできるだけ近くに 1 μF のコンデンサを配置します。

出力の EMI フィルタ処理

スピーカーの内部配線とケーブルが長く、アンプからの引き込みが増える、大きな容量性負荷が存在する場合、EMI フィルタ処理の追加が必要になる場合があります。典型的な電力フェライトには THD 性能に影響する大きな磁気ヒステリシス・サイクルが存在するため、高性能の設計では推奨されません。村田製作所の NFZ シリーズ・フェライト・ビーズを推奨します。このフェライト・ビーズは、空気コイルと同様のヒステリシス付きクローズドループを形成します。このアプリケーションでは、定格出力電流が 4 A rms 以上のフェライト・ビーズが推奨されます。220 pF のコンデンサをフィルタの出力とグラウンドの間に追加すると、さらに高周波ノイズを減衰させることができます。アイドル状態での電力消費や効率に影響を与えないよう、コンデンサを適切なサイズに設定してください。

PCB コンポーネントの配置

コンポーネントの選択と配置は、測定結果と主観的な印象の両方でシステムの性能に大きな影響を与えます。特に電力レベルが高い場合は、仕様規定された性能レベルに到達するため、適切な PVDD レイアウトとデカップリングが必要になります。図 79 に示した配置は、各チャンネルにとって適切な出力段のデカップリングを確保し、電源ノイズを最小限に抑え、チャンネル間の分離を最大限に向上します。低周波数で電流リップルをさらに削減するには、バルク・デカップリングを追加する必要があります。このデカップリングは、マルチチャンネル・ソリューションにおいて複数のアンプで共有できます。

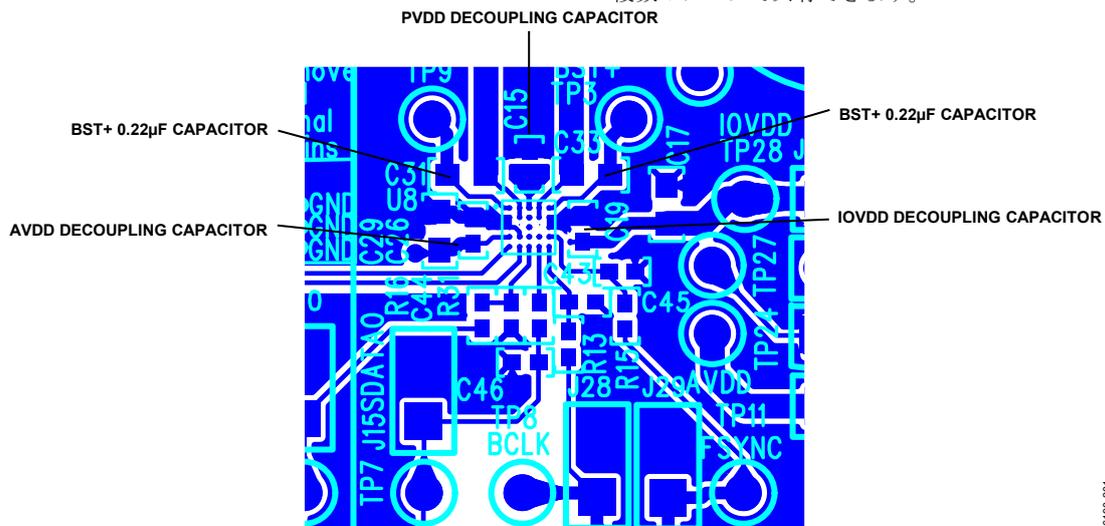


図 80. 推奨されるコンポーネント配置。PVDD、AVDD、IOVDD は AV_{DD}、P_{VDD}、I_{OVDD} にするべきか？

レイアウト

出力電力が大きくなると、アンプ、負荷、および電源間の PCB パターンおよびワイヤを適切にレイアウトする必要があります。適切にレイアウトしないと、電圧降下が増大し、効率が低下します。電圧降下を低減させてインダクタンスを最小限に抑えるため、短く幅の広い PCB パターンを使用することをお勧めします。DC 抵抗 (DCR) とインダクタンスを最小限に抑えるには、1 インチのトラック長に対するスピーカーのトラック幅が 200 mil (0.2 インチ) 以上で、1 オンスまたは 2 オンスの銅製トラックを使用してください。

高出力の振幅と高ピークの出力電力を維持するには、出力ピンと負荷、および出力ピンと電源ピンを接続する PCB パターンの幅を可能な限り広くする必要があります。さらに、重要なアナログ・パスを大きい干渉源から分離した PCB レイアウトを作成してください。高周波回路 (アナログおよびデジタル) を低周波回路から分離してください。

PVDD と PGND は、デバイス電流の大部分を伝送し、デバイス電源とグラウンド・ピンの付近にある複数のコンデンサで適切にデカップリングする必要があります。グラウンド・バウンスを最小限に抑えるため、独立した電源プレーンを使用して PVDD と PGND を電源に搬送します。適切な接地のガイドラインに従うことで、オーディオ性能を向上して、チャンネル間のクロストークを最小限に抑え、オーディオ信号に混入するスイッチング・ノイズを防止することができます。

適切に設計された多層 PCB では、両面基板と比較して、電磁場放射を軽減し、無線周波数 (RF) 耐性を向上できます。多層基板では、1 つの層全体をグラウンド・プレーンとして使用できますが、両面基板のグラウンド・プレーン側で信号パターンによる乱れが生じます。

システム内に、分離されたアナログ・グラウンド・プレーン、デジタル・グラウンド・プレーン、電源プレーンが存在する場合、アナログ・グラウンド・プレーンはアナログ電源プレーンの直下に配置する必要があります。同様に、デジタル・グラウンド・プレーンはデジタル電源プレーンの直下に配置する必要があります。アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーン、またはアナログ電源プレーンとデジタル電源プレーンが重なってはいけません。

I²C 制御

SSM3525 は、複数のペリフェラルを駆動している 2 線式シリアル (I²C 互換) マイクロプロセッサ・バスをサポートしています。シリアル・データ (SDA) およびシリアル・クロック (SCL) の 2 つのピンが SSM3525 とシステム I²C マスター・コントローラ間で情報を転送します。SSM3525 はバス上で常にスレーブになるため、データ転送を開始することはできません。各スレーブ・デバイスは、固有のアドレスによって認識されます。ADDR ピンを使用して 4 つのデバイス・アドレスを提供できます (表 20 を参照)。アドレス・バイトのフォーマットを表 19 に示します。アドレスは、I²C 書き込みの最初の 7 ビットに格納されます。このバイトの LSB は、読みまたは書き込み動作のいずれかを設定します。ロジック・レベル 1 は読み動作に対応し、ロジック・レベル 0 は書き込み動作に対応します。

SDA ピンおよび SCL ピンの接続されたラインに、2.2 k Ω のプルアップ抵抗を接続します。これらの信号ラインの電圧は、5 V 以下にする必要があります。

アドレス指定

初期状態では、I²C バス上の各デバイスはアイドル状態になっており、SDA および SCL ラインで開始条件と適切なアドレスを監視します。I²C マスターは、SCL がハイ・レベルになっているときに SDA がハイ・レベルからロー・レベルに遷移することという開始条件を確立してデータ転送を開始します。この遷移は、アドレスまたはデータ・ストリームが後に続くことを示します。バス上のすべてのデバイスは開始条件にตอบสนองして、次の 8 ビット (7 ビット・アドレス + R/W ビット) を MSB ファーストでシフトします。転送されたアドレスを認識するデバイスは、9 番目のクロック・パルス中にデータ・ラインをロー・レベルにプルダウンしてตอบสนองします。9 番目のビットはアクノレッジ・ビットです。この時点で、他のすべてのデバイスはバスから切断され、アイドル状態に戻ります。SSM3525 のデバイス・アドレスは、ADDR ピンの状態によって決定されます。使用可能な 4 つのアドレスについては、表 20 を参照してください。

R/W ビットにより、データの方向が決定します。先頭バイトの LSB がロジック 0 の場合、マスターがペリフェラルに情報を書き込みます。ロジック 1 の場合、マスターがサブアドレスを書き込んだ後にペリフェラルから情報を読み出して、開始アドレスを繰り返します。停止条件を検出するまでデータ転送が行われます。SCL がハイ・レベルになっているとき、SDA がロー・レベルからハイ・レベルに遷移すると、停止条件が発生します。I²C ポートのタイミングを図 80 に示します。

停止条件と開始条件は、データ転送の任意の段階で検出できます。通常の読み動作と書き込み動作で、これらの条件が間違った順番でアサートされると、SSM3525 は直ちにアイドル状態になります。特定の SCL ハイ・レベル期間中に、1 つの開始条件のみ、1 つの停止条件のみ、または 1 つの停止条件に続けて 1 つの開始条件を送信する必要があります。無効なサブアドレスを送信した場合、SSM3525 はアクノレッジを送信せず、アイドル状態に戻ります。オートインクリメント・モードになっているとき、最高サブアドレスを超えた場合は、2 つの動作のいずれかが実行されます。

読みモードの場合、マスター・デバイスが読出しの終了を示すノー・アクノレッジを送信するまで、SSM3525 は最高サブアドレス・レジスタの内容を出力します。ノー・アクノレッジ状態は、SCL の 9 番目のクロック・パルスで SDA ラインがロー・レベルにプルダウンされていないときに発生します。書き込みモードの最中に最高サブアドレス位置に到達すると、無効バイトのデータがサブアドレス・レジスタにロードされません。また、SSM3525 がノー・アクノレッジを送信して、デバイスがアイドル状態に戻ります。

I²C の読み動作と書き込み動作

図 81 に、シングルワード書き込み動作のタイミングを示します。9 番目のクロックごとに、SSM3525 は SDA をロー・レベルにプルダウンしてアクノレッジ (ACK) を送信します。

図 82 に、バースト・モード書き込みシーケンスのタイミングを示します。この図は、ターゲットのディスティネーション・レジスタが 2 バイトの場合の例を示しています。要求したサブアドレスがバイト・ワード長のレジスタまたはメモリ領域と一致するため、SSM3525 はバイトごとにサブアドレス・レジスタをインクリメントします。

シングル・ワード読出し動作のタイミングを図 83 に示します。最初の R/W ビットは 0 です。これは、書込み動作の後にレジスタのサブアドレスの読出しが続くことを示します。SSM3525 がサブアドレスの受信をアックノレージした後に、マスターは反復開始コマンドに続けて、R/W が 1 (読出し) に設定されたチップ・アドレス・バイトを送信する必要があります。SSM3525 はアックノレージし、SDA ピンに 8 ビットのデータを出力します。その後、マスターは 9 番目のパルスごとに、SSM3525 にアックノレージ・パルスで応答します。

図 81 ~ 図 84 では、次の省略形を使用します。

- S は開始ビット。
- P は停止ビット。
- A_M は、マスターによるアックノレージ。
- A_S は、スレーブによるアックノレージ。

表 19. ADDR ピンを使用した I²C デバイス・アドレス・バイトのフォーマット¹

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	1	0	0	1	X	X	R/W

¹X は、ドント・ケアを意味します。

表 20. ADDR ピンから I²C デバイスへのアドレス・マッピング

ADDR Pin	ADDR Voltage	I ² C Address Bit 2	I ² C Address Bit 1
GND	GND	0	0
Pull-Down 47 kΩ Resistor	0.25 × IOV _{DD}	0	1
Open	0.5 × IOV _{DD}	1	0
Pull-Up 47 kΩ Resistor	0.75 × IOV _{DD}	1	1
IOVDD	IOV _{DD}	Not applicable	Not applicable

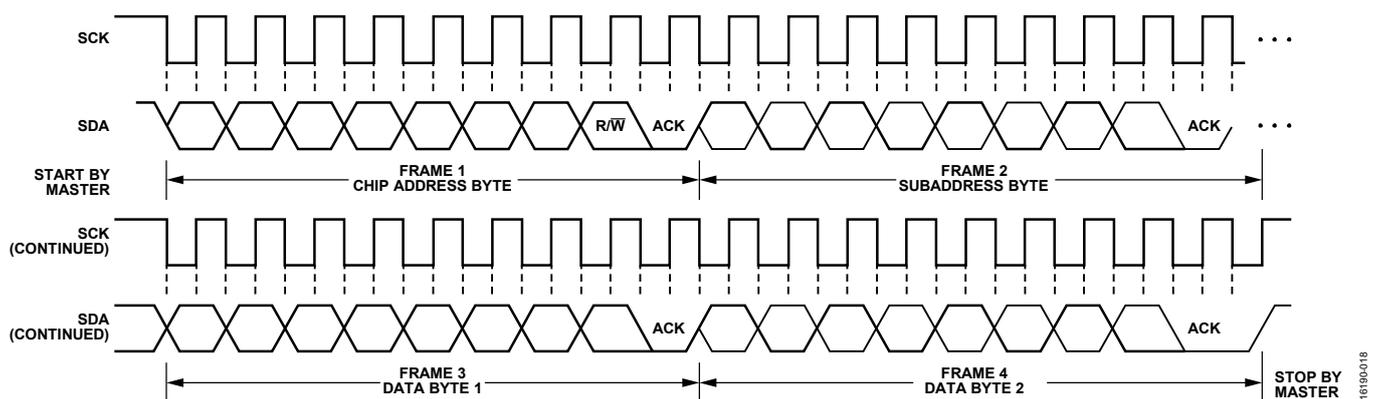


図 81. I²C 読出し/書込みのタイミング

START BIT	I ² C ADDRESS (7 BITS)	R/W = 0	ACK BY SLAVE	SUBADDRESS (8 BITS)	ACK BY SLAVE	DATA BYTE 1 (8 BITS)	STOP BIT
-----------	-----------------------------------	---------	--------------	---------------------	--------------	----------------------	----------

図 82. シングル・ワード I²C 書込みフォーマット

S	CHIP ADDRESS, R/W = 0	A _S	SUBADDRESS	A _S	DATA WORD 1	A _S	DATA WORD 2	A _S	...	P
---	-----------------------	----------------	------------	----------------	-------------	----------------	-------------	----------------	-----	---

図 83. バースト・モード I²C 書込みフォーマット

S	CHIP ADDRESS, R/W = 0	A _S	SUBADDRESS	A _S	S	CHIP ADDRESS, R/W = 1	A _S	DATA BYTE 1	A _M	DATA BYTE N	P
---	-----------------------	----------------	------------	----------------	---	-----------------------	----------------	-------------	----------------	-------------	---

図 84. シングル・ワード I²C 読出しフォーマット

S	CHIP ADDRESS, R/W = 0	A _S	SUBADDRESS	A _S	S	CHIP ADDRESS, R/W = 1	A _S	DATA WORD 1	A _M	...	P
---	-----------------------	----------------	------------	----------------	---	-----------------------	----------------	-------------	----------------	-----	---

図 85. バースト・モード I²C 読出しフォーマット

アプリケーション情報

図 64 に、 I^2S /TDM 入力と I^2C 制御を使用したシングル・チャンネルの代表的なアプリケーションを示します。代表的なアプリケーションでは、 PV_{DD} と IOV_{DD} は外部から供給されます。レジスタ 0x04 の REG_EN ビットを 1 に設定すると、内部レギュレータを使用して AV_{DD} を生成できます。あるいは、 V_{DD} を外部から供給して、REG_EN ビットをディスエーブルにすることもできます。デフォルトでは、 AV_{DD} レギュレータはディスエーブルになります。デフォルトでは、 IOV_{DD} は 1.8 V に設定され、レジスタ 0x20 の IOVDD_SEL ビットを使用して 1.2 V に変更できます。

パワーアップ中は、最初に PV_{DD} 電源をオンにしてから、 IOV_{DD} をオンにします。パワーオフ中は、最初に IOV_{DD} 電源をオフにしてから、 PV_{DD} をオフにします。 I^2C コマンドをデバイスに送信する前に、 IOV_{DD} が安定する必要があります。デジタル入力データは、2 チャンネル I^2S またはマルチチャンネル TDM 形式を使用でき、SAI 制御レジスタで目的のフォーマットを選択する必要があります。PCM デジタル・オーディオ・シリアル・インターフェースのセクションを参照してください。

パワーアップ時に、デバイスはパワーダウンしたままです。アンプをイネーブルにするには、レジスタ 0x20 の SPWDN ビットを 0 に設定する必要があります。このビットを 0 に設定すると、アンプはオンになり、出力の切り替えが開始されます。

出力のスルー・レートは、レジスタ 0x05 で低 EMI モードに設定できます。デフォルトでは、スルー・レートはノーマル・モードに設定されます。低 EMI モードでは、出力スルー・レートが下がり、スピーカーによる EMI 放射が削減されます。

レジスタ 0x2E の S_RST ビットに 1 を書き出すと、デフォルトの設定にリセットできます。デバイスをリセット状態から復帰させるには、このビットに 0 を書き込んでクリアする必要があります。

PV_{DD} (V_{BAT}) 検出は、パワーダウンできず、デフォルトでイネーブルになります。デフォルトでは、ハイ・パス・フィルタがイネーブルになります。イネーブルのままにして、スピーカーでの DC 成分の出現をブロックすることを推奨します。

故障状態レジスタ 0x11 を読み出すと、動作中の故障状態を確認できます。

FB1、FB2、C7、C8 (図 64 を参照) は、切り替えノイズのフィルタ処理に推奨されます。効果を発揮するには、アンプ出力の近くに配置する必要があります。

SSM3525 I²C モード・レジスタ・マップ (SSM3525_I2C_REGMAP) レジスタの概要

表 21. SSM3525_I2C_REGMAP のレジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW			
0x00	VENDOR_ID	[7:0]	VENDOR									0x41	R		
0x01	DEVICE_ID1	[7:0]	DEVICE1									0x35	R		
0x02	DEVICE_ID2	[7:0]	DEVICE2									0x25	R		
0x03	REVISION_ID	[7:0]	REVISION									0x01	R		
0x04	REG_ENABLE	[7:0]	RESERVED								REG_EN	0x00	R/W		
0x05	AMP_CTRL	[7:0]	SNS_HPF_BP	SNS_FS			RESERVED	EDGE	ANA_GAIN			0x22	R/W		
0x06	DAC_CTRL	[7:0]	DAC_HV	DAC_MUTE	DAC_HPF	DAC_LPM	DAC_POL	DAC_FS				0x32	R/W		
0x07	DAC_VOL	[7:0]	VOL									0x40	R/W		
0x08	LIM_CTRL1	[7:0]	LIM_RRT		LIM_ATR		RESERVED	VBAT_TRACK	LIM_EN			0xA4	R/W		
0x09	LIM_CTRL2	[7:0]	LIM_THRES									RESERVED	SLOPE	0x21	R/W
0x0A	LIM_CTRL3	[7:0]	VBAT_INF									0x22	R/W		
0x0B	VBAT_LIM_CTRL1	[7:0]	VBAT_LIM_RRT		VBAT_LIM_ATR		RESERVED			VBAT_LIM_EN	0xA0	R/W			
0x0C	VBAT_LIM_CTRL2	[7:0]	VBAT_THRES									0x22	R/W		
0x0D	VBAT_LIM_CTRL3	[7:0]	VBAT_LIM_MAX_ATTN					VBAT_LIM_HOLD					0x65	R/W	
0x0E	LIM_LINK	[7:0]	RESERVED				LIM_LINK4	LIM_LINK3	LIM_LINK2	LIM_LINK1			0x00	R/W	
0x0F	DAC_CLIP	[7:0]	DAC_CLIP									0xFF	R/W		
0x10	FAULT_CTRL	[7:0]	OTW_GAIN		MRCV	MAX_AR		ARCV_UV	ARCV_OT	ARCV_OC	0x18	R/W			
0x11	STATUS	[7:0]	UVLO_VREG	UVLO_PVDD	LIM_EG	CLIP	AMP_OC	OTF	OTW	BAT_WARN	0x00	R			
0x12	TEMP	[7:0]	TEMP									0x00	R		
0x13	VBAT	[7:0]	VBAT									0x00	R		
0x20	PWR_CTRL	[7:0]	RESERVED		VSNS_PWDN	ISNS_PWDN	RESERVED	TEMP_PWDN	IOVDD_SEL	SPWDN	0x05	R/W			
0x21	PDM_CTRL	[7:0]	RESERVED			PDM_FS	RESERVED			PDM_MODE	0x00	R/W			
0x22	SAI_CTRL1	[7:0]	SAI_DRV	TDM_BCLKS			BCLK_POL	FSYNC_MODE	SDATA_FMT	SAI_MODE	0x21	R/W			
0x23	SAI_CTRL2	[7:0]	RESERVED				TDM_SLOT					0x00	R/W		
0x24	SAI_PLACE1	[7:0]	RESERVED		P1_DAC		P1_SNS					0x01	R/W		
0x25	SAI_PLACE2	[7:0]	RESERVED		P2_DAC		P2_SNS					0x21	R/W		
0x26	SAI_PLACE3	[7:0]	RESERVED		P3_DAC		P3_SNS					0x21	R/W		
0x27	SAI_PLACE4	[7:0]	RESERVED		P4_DAC		P4_SNS					0x21	R/W		
0x28	SAI_PLACE5	[7:0]	RESERVED				P5_SNS					0x01	R/W		
0x29	SAI_PLACE6	[7:0]	RESERVED				P6_SNS					0x01	R/W		
0x2A	AGC_PLACE1	[7:0]	AGC_GAIN1_PLACE				AGC_GAIN1_SLOT					0x00	R/W		
0x2B	AGC_PLACE2	[7:0]	AGC_GAIN2_PLACE				AGC_GAIN2_SLOT					0x00	R/W		
0x2C	AGC_PLACE3	[7:0]	AGC_GAIN3_PLACE				AGC_GAIN3_SLOT					0x00	R/W		
0x2D	AGC_PLACE4	[7:0]	AGC_GAIN4_PLACE				AGC_GAIN4_SLOT					0x00	R/W		
0x2E	SOFT_RESET	[7:0]	RESERVED									S_RST	0x00	W	

SSM3525 I²C モード・レジスタ・マップ (SSM3525_I2C_REGMAP) レジスタの詳細

ADI ベンダー ID レジスタ

アドレス: 0x00、リセット: 0x41、レジスタ名: VENDOR_ID

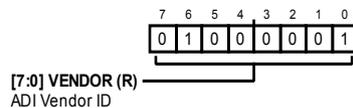


表 22. VENDOR_ID ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	VENDOR		ADI Vendor ID	0x41	R

デバイス ID 1 レジスタ

アドレス: 0x01、リセット: 0x35、レジスタ名: DEVICE_ID1

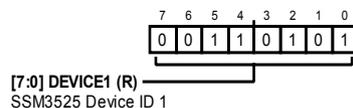


表 23. DEVICE_ID1 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVICE1		SSM3525 Device ID 1	0x35	R

デバイス ID 1 レジスタ

アドレス: 0x02、リセット: 0x25、レジスタ名: DEVICE_ID2

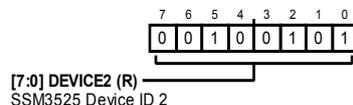


表 24. DEVICE_ID2 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVICE2		SSM3525 Device ID 2	0x25	R

リビジョン ID レジスタ

アドレス: 0x03、リセット: 0x01、レジスタ名: REVISION_ID

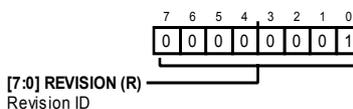


表 25. REVISION_ID ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	REVISION		Revision ID	0x1	R

レジスタ・イネーブルおよび IOVDD 選択レジスタ

アドレス: 0x04、リセット: 0x00、レジスタ名: REG_ENABLE

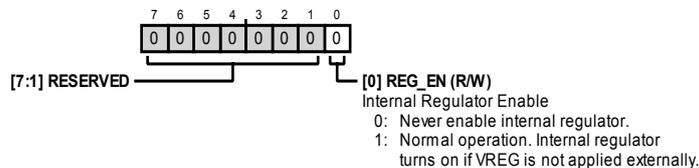


表 26. REG_ENABLE のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:1]	RESERVED		Reserved.	0x0	R
0	REG_EN	0 1	Internal Regulator Enable 0: Never enable internal regulator. 1: Normal operation. Internal regulator turns on if VREG is not applied externally.	0x0	R/W

アンプ・ゲイン、エッジ制御、検出サンプル・レート・レジスタ

アドレス: 0x05、リセット: 0x22、レジスタ名: AMP_CTRL

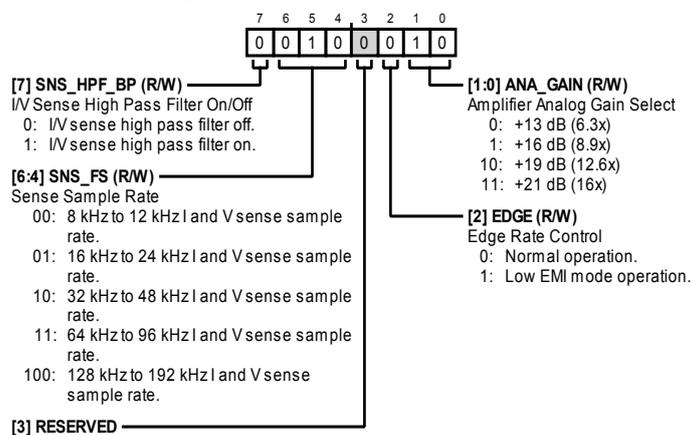


表 27. AMP_CTRL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	SNS_HPF_BP	0 1	I/V Sense High Pass Filter On/Off 0: I/V sense high pass filter off. 1: I/V sense high pass filter on.	0x0	R/W
[6:4]	SNS_FS	00 01 10 11 100	Sense Sample Rate. The sense output sample rate can be set at a lower rate than the DAC sample rate. When the sense sample rate is less than the DAC sample rate, sense ADC samples repeat. The number of times the sample repeats is equal to the ratio of the DAC sample rate/sense sample rate. 00: 8 kHz to 12 kHz I and V sense sample rate. 01: 16 kHz to 24 kHz I and V sense sample rate. 10: 32 kHz to 48 kHz I and V sense sample rate. 11: 64 kHz to 96 kHz I and V sense sample rate. 100: 128 kHz to 192 kHz I and V sense sample rate.	0x2	R/W
3	RESERVED		Reserved.	0x0	R
2	EDGE	0 1	Edge Rate Control. This controls the edge speed of the power stage. The low EMI operation mode reduces the edge speed, lowering EMI and power efficiency 0: Normal operation. 1: Low EMI mode operation.	0x0	R/W

Bits	Bit Name	Settings	Description	Reset	Access
[1:0]	ANA_GAIN	0 1 10 11	Amplifier Analog Gain Select +13 dB (6.3x) +16 dB (8.9x) +19 dB (12.6x) +21 dB (16x)	0x2	R/W

DAC コントロール・レジスタ

アドレス: 0x06、リセット: 0x32、レジスタ名: DAC_CTRL

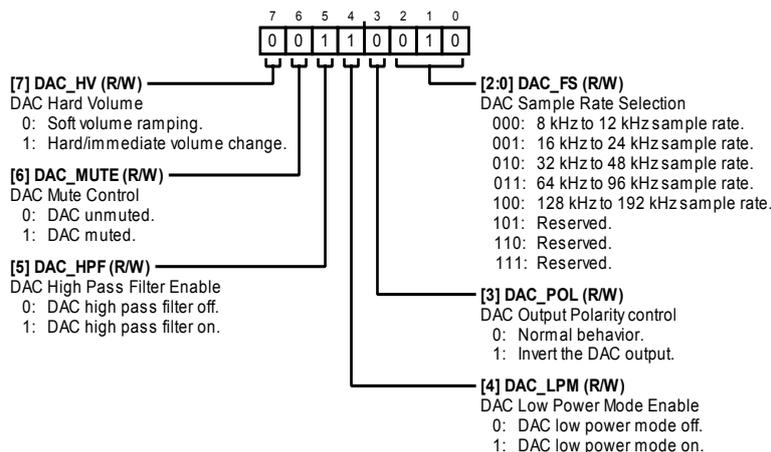
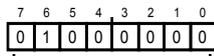


表 28. DAC_CTRL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	DAC_HV	0 1	DAC Hard Volume Soft volume ramping. Hard/immediate volume change.	0x0	R/W
6	DAC_MUTE	0 1	DAC Mute Control DAC unmuted. DAC muted.	0x0	R/W
5	DAC_HPF	0 1	DAC High Pass Filter Enable DAC high pass filter off. DAC high pass filter on.	0x1	R/W
4	DAC_LPM	0 1	DAC Low Power Mode Enable DAC low power mode off. DAC low power mode on.	0x1	R/W
3	DAC_POL	0 1	DAC Output Polarity control Normal behavior. Invert the DAC output.	0x0	R/W
[2:0]	DAC_FS	000 001 010 011 100 101 110 111	DAC Sample Rate Selection 8 kHz to 12 kHz sample rate. 16 kHz to 24 kHz sample rate. 32 kHz to 48 kHz sample rate. 64 kHz to 96 kHz sample rate. 128 kHz to 192 kHz sample rate. Reserved. Reserved. Reserved.	0x2	R/W

DAC ボリューム・コントロール・レジスタ

アドレス: 0x07、リセット: 0x40、レジスタ名: DAC_VOL



[7:0] VOL (RW)
 Volume Control
 00000000: +24 dB.
 00000001: +23.625 dB.
 00000010: +23.35 dB.
 ...
 11111101: -70.875 dB.
 11111110: -71.25 dB.
 11111111: Mute.

表 29. DAC_VOL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	VOL	00000000	+24 dB.	0x40	R/W
		00000001	+23.625 dB.		
		00000010	+23.35 dB.		
		00000011	+22.875 dB.		
		00000100	+22.5 dB.		
		00000101	...		
		00111111	+0.375 dB.		
		01000000	0.		
		01000001	-0.375 dB.		
		01000010	...		
		11111101	-70.875 dB.		
		11111110	-71.25 dB.		
		11111111	Mute.		

自動リミッタ・コントロール 1 レジスタ

アドレス: 0x08、リセット: 0xA4、レジスタ名: LIM_CTRL1

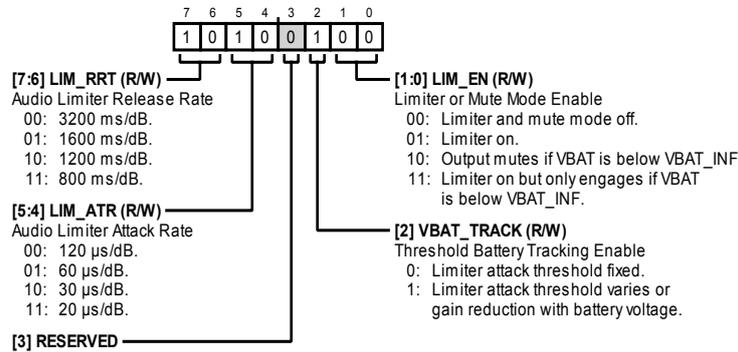


表 30. LIM_CTRL1 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	LIM_RRT	00 01 10 11	Audio Limiter Release Rate 3200 ms/dB. 1600 ms/dB. 1200 ms/dB. 800 ms/dB.	0x2	R/W
[5:4]	LIM_ATR	00 01 10 11	Audio Limiter Attack Rate 120 μ s/dB. 60 μ s/dB. 30 μ s/dB. 20 μ s/dB.	0x2	R/W
3	RESERVED		Reserved.	0x0	R
2	VBAT_TRACK	0 1	Threshold Battery Tracking Enable Limiter attack threshold fixed. Limiter attack threshold varies or gain reduction with battery voltage.	0x1	R/W
[1:0]	LIM_EN	00 01 10 11	Limiter or Mute Mode Enable Limiter and mute mode off. Limiter on. Output mutes if VBAT is below VBAT_INF. Limiter on but only engages if VBAT is below VBAT_INF.	0x0	R/W

自動リミッタ・コントロール 2 レジスタ

アドレス: 0x09、リセット: 0x51、レジスタ名: LIM_CTRL2

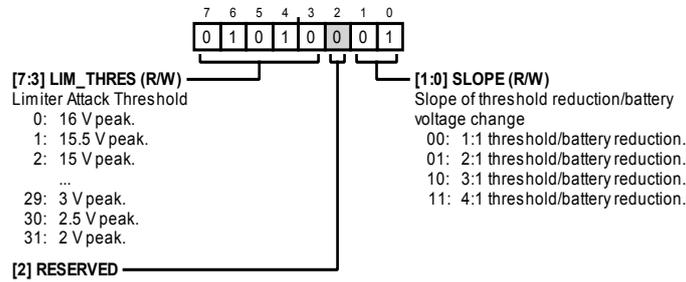


表 31. LIM_CTRL2 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:3]	LIM_THRES	0 16 V _{PEAK} . 1 15.5 V _{PEAK} . 2 15 V _{PEAK} . 3 14.5 V _{PEAK} . 4 14 V _{PEAK} . 5 13.5 V _{PEAK} . 6 13 V _{PEAK} . 7 12.5 V _{PEAK} . 8 12 V _{PEAK} . 9 11.5 V _{PEAK} . 10 11 V _{PEAK} . 11 10.5 V _{PEAK} . 12 10 V _{PEAK} . 13 9.5 V _{PEAK} . 14 9.25 V _{PEAK} . 15 9 V _{PEAK} . 16 8.75 V _{PEAK} . 17 8.5 V _{PEAK} . 18 8.25 V _{PEAK} . 19 8 V _{PEAK} . 20 7.5 V _{PEAK} . 21 7 V _{PEAK} . 22 6.5 V _{PEAK} . 23 6 V _{PEAK} . 24 5.5 V _{PEAK} . 25 5 V _{PEAK} . 26 4.5 V _{PEAK} . 27 4 V _{PEAK} . 28 3.5 V _{PEAK} . 29 3 V _{PEAK} . 30 2.5 V _{PEAK} . 31 2 V _{PEAK} .	Limiter Attack Threshold	0xA	R/W
2	RESERVED		Reserved.	0x0	R
[1:0]	SLOPE	00 1:1 threshold/battery reduction. 01 2:1 threshold/battery reduction. 10 3:1 threshold/battery reduction. 11 4:1 threshold/battery reduction.	Slope of Threshold Reduction/Battery Voltage Change	0x1	R/W

自動リミッタ・コントロール 3 レジスタ

アドレス: 0x0A、リセット: 0x22、レジスタ名: LIM_CTRL3

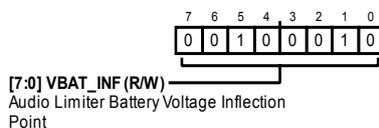


表 32. LIM_CTRL3 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	VBAT_INF		Audio Limiter Battery Voltage Inflection Point. The hexadecimal value corresponds to the battery or PVDD voltage at which the limiter either activates or starts reducing the limiter threshold. To convert the hexadecimal value to the corresponding battery voltage, see the PVDD (VBAT) 検出 section.	0x22	R/W

VBAT リミッタ・コントロール 1 レジスタ

アドレス: 0x0B、リセット: 0xA0、レジスタ名: VBAT_LIM_CTRL1

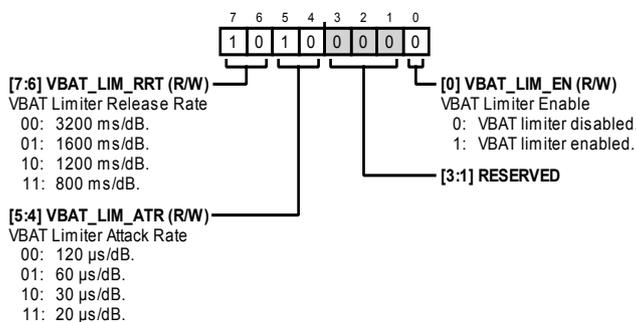


表 33. VBAT_LIM_CTRL1 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	VBAT_LIM_RRT	00 01 10 11	VBAT Limiter Release Rate 3200 ms/dB. 1600 ms/dB. 1200 ms/dB. 800 ms/dB.	0x2	R/W
[5:4]	VBAT_LIM_ATR	00 01 10 11	VBAT Limiter Attack Rate 120 μ s/dB. 60 μ s/dB. 30 μ s/dB. 20 μ s/dB.	0x2	R/W
[3:1]	RESERVED		Reserved.	0x0	R
0	VBAT_LIM_EN	0 1	VBAT Limiter Enable VBAT limiter disabled. VBAT limiter enabled.	0x0	R/W

VBAT リミッタ・コントロール 2 レジスタ

アドレス: 0x0C、リセット: 0x22、レジスタ名: VBAT_LIM_CTRL2

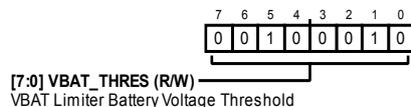


表 34. VBAT_LIM_CTRL2 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	VBAT_THRES		VBAT Limiter Battery Voltage Threshold. This is the threshold value in hexadecimal at which the VBAT limiter starts reducing the gain. To convert the hexadecimal value to the corresponding battery voltage refer to VBAT sensing section.	0x22	R/W

VBAT リミッタ・コントロール 3 レジスタ

アドレス: 0x0D、リセット: 0x65、レジスタ名: VBAT_LIM_CTRL3

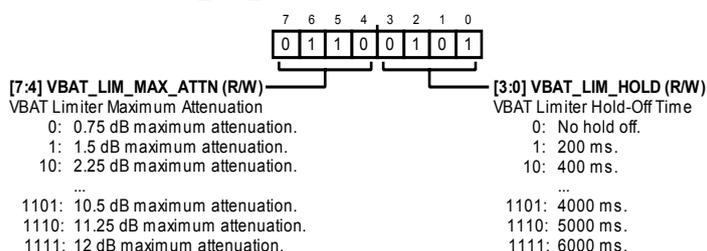


表 35. VBAT_LIM_CTRL3 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access	
[7:4]	VBAT_LIM_MAX_ATTEN	0	0.75 dB maximum attenuation.	VBAT Limiter Maximum Attenuation	0x6	R/W
		1	1.5 dB maximum attenuation.			
		10	2.25 dB maximum attenuation.			
		11	3 dB maximum attenuation.			
		100	3.75 dB maximum attenuation.			
		101	4.5 dB maximum attenuation.			
		110	5.25 dB maximum attenuation.			
		111	6 dB maximum attenuation.			
		1000	6.75 dB maximum attenuation.			
		1001	7.5 dB maximum attenuation.			
		1010	8.25 dB maximum attenuation.			
		1011	9 dB maximum attenuation.			
1100	9.75 dB maximum attenuation.					
[3:0]	VBAT_LIM_HOLD	1101	10.5 dB maximum attenuation.	VBAT Limiter Hold-Off Time'	0x5	R/W
		1110	11.25 dB maximum attenuation.			
		1111	12 dB maximum attenuation.			
		0	No hold off.			
		1	200 ms.			
		10	400 ms.			
		11	600 ms.			
		100	800 ms.			
		101	1000 ms.			
		110	1200 ms.			
		111	1400 ms.			
		1000	1600 ms.			
		1001	1800 ms.			

Bits	Bit Name	Settings	Description	Reset	Access
		1010	2000 ms.		
		1011	2500 ms.		
		1100	3000 ms.		
		1101	4000 ms.		
		1110	5000 ms.		
		1111	6000 ms.		

リミッタ・リンク・コントロール・レジスタ

アドレス: 0x0E、リセット: 0x00、レジスタ名: LIM_LINK

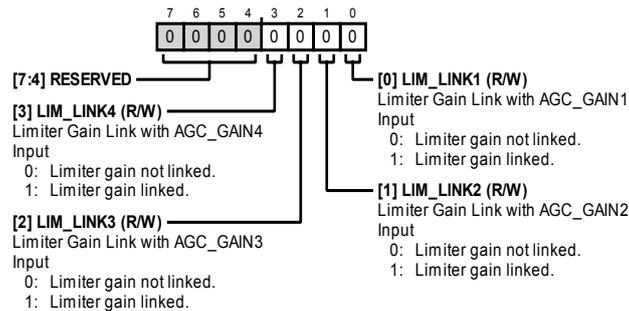


表 36. LIM_LINK のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		Reserved.	0x0	R
3	LIM_LINK4	0 1	Limiter Gain Link with AGC_GAIN4 Input Limiter gain not linked. Limiter gain linked.	0x0	R/W
2	LIM_LINK3	0 1	Limiter Gain Link with AGC_GAIN3 Input Limiter gain not linked. Limiter gain linked.	0x0	R/W
1	LIM_LINK2	0 1	Limiter Gain Link with AGC_GAIN2 Input Limiter gain not linked. Limiter gain linked.	0x0	R/W
0	LIM_LINK1	0 1	Limiter Gain Link with AGC_GAIN1 Input Limiter gain not linked. Limiter gain linked.	0x0	R/W

DAC クリップ・ポイント・コントロール・レジスタ

アドレス: 0x0F、リセット: 0xFF、レジスタ名: DAC_CLIP

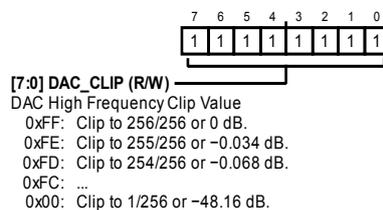


表 37. DAC_CLIP のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DAC_CLIP	0xFF 0xFE 0xFD 0xFC 0x00	DAC High Frequency Clip Value Clip to 256/256 or 0 dB. Clip to 255/256 or -0.034 dB. Clip to 254/256 or -0.068 dB. ... Clip to 1/256 or -48.16 dB.	0xFF	R/W

故障コントロール・レジスタ

アドレス: 0x10、リセット: 0x18、レジスタ名: FAULT_CTRL

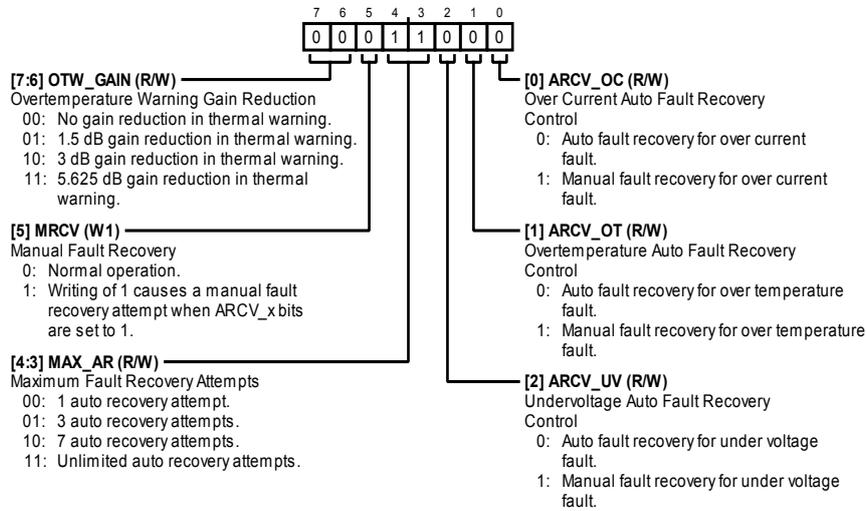


表 38. FAULT_CTRL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	OTW_GAIN	00 01 10 11	Overtemperature Warning Gain Reduction No gain reduction in thermal warning. 1.5 dB gain reduction in thermal warning. 3 dB gain reduction in thermal warning. 5.625 dB gain reduction in thermal warning.	0x0	R/W
5	MRCV	0 1	Manual Fault Recovery Normal operation. Writing 1 causes a manual fault recovery attempt when ARCV_x bits are set to 1.	0x0	W1
[4:3]	MAX_AR	00 01 10 11	Maximum Fault recovery Attempts. The maximum auto recovery register determines how many attempts at auto recovery are performed. 1 auto recovery attempt. 3 auto recovery attempts. 7 auto recovery attempts. Unlimited auto recovery attempts.	0x3	R/W
2	ARCV_UV	0 1	Undervoltage Auto Fault Recovery Control Auto fault recovery for undervoltage fault. Manual fault recovery for undervoltage fault.	0x0	R/W
1	ARCV_OT	0 1	Overtemperature Auto Fault Recovery Control Auto fault recovery for overtemperature fault. Manual fault recovery for overtemperature fault.	0x0	R/W
0	ARCV_OC	0 1	Over Current Auto Fault Recovery Control Auto fault recovery for over current fault. Manual fault recovery for over current fault.	0x0	R/W

チップ・ステータス・レジスタ

アドレス: 0x11、リセット: 0x00、レジスタ名: STATUS

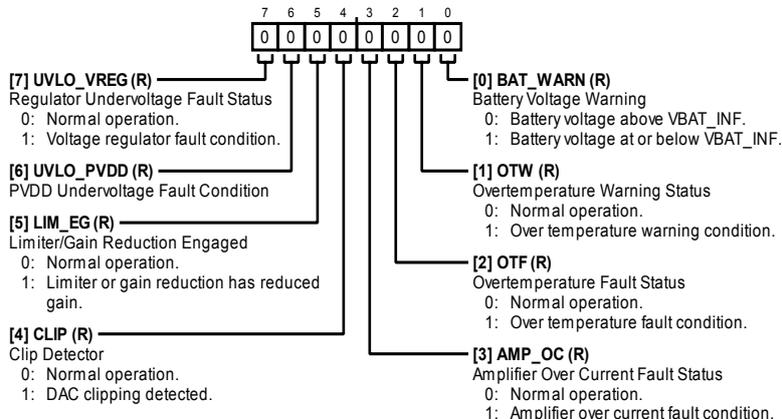


表 39. STATUS のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	UVLO_VREG	0 1	Regulator Undervoltage Fault Status Normal operation. Voltage regulator fault condition.	0x0	R
6	UVLO_PVDD		PVDD Undervoltage Fault Condition	0x0	R
5	LIM_EG	0 1	Limiter/Gain Reduction Engaged Normal operation. Limiter or gain reduction has reduced gain.	0x0	R
4	CLIP	0 1	Clip Detector Normal operation. DAC clipping detected.	0x0	R
3	AMP_OC	0 1	Amplifier Over Current Fault Status Normal operation. Amplifier over current fault condition.	0x0	R
2	OTF	0 1	Overtemperature Fault Status Normal operation. Overtemperature fault condition.	0x0	R
1	OTW	0 1	Overtemperature Warning Status Normal operation. Overtemperature warning condition.	0x0	R
0	BAT_WARN	0 1	Battery Voltage Warning Battery voltage above VBAT_INF. Battery voltage at or below VBAT_INF.	0x0	R

温度センサー値レジスタ

アドレス: 0x12、リセット: 0x00、レジスタ名: TEMP

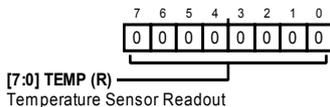


表 40. TEMP ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	TEMP		Temperature Sensor Readout. To calculate actual temperature in degrees Celsius, convert the TEMP hexadecimal value to decimal and then subtract 60.	0x0	R

PVDD/VBAT ADC 値レジスタ

アドレス: 0x13、リセット: 0x00、レジスタ名: VBAT

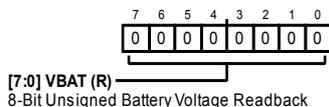


表 41. VBAT のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	VBAT		8-Bit Unsigned Battery Voltage Readback. To calculate this value in volts. Convert the hexadecimal value to decimal, and then $\text{voltage} = 4 + 14 \times \text{decimal value}/255$.	0x0	R

マスターおよびブロック電力コントロール・レジスタ

アドレス: 0x20、リセット: 0x05、レジスタ名: PWR_CTRL

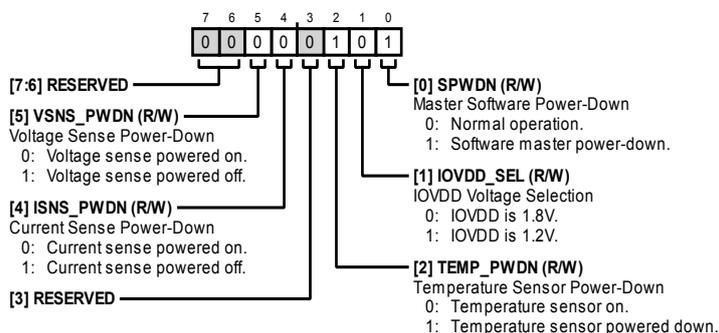


表 42. PWR_CTRL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		Reserved.	0x0	R
5	VSNS_PWDN	0 1	Voltage Sense Power-Down 0: Voltage sense powered on. 1: Voltage sense powered off.	0x0	R/W
4	ISNS_PWDN	0 1	Current Sense Power-Down 0: Current sense powered on. 1: Current sense powered off.	0x0	R/W
3	RESERVED		Reserved.	0x0	R
2	TEMP_PWDN	0 1	Temperature Sensor Power-Down 0: Temperature sensor on. 1: Temperature sensor powered down.	0x1	R/W
1	IOVDD_SEL	0 1	IOV _{DD} Voltage Selection 0: IOV _{DD} is 1.8 V. 1: IOV _{DD} is 1.2 V.	0x0	R/W
0	SPWDN	0 1	Master Software Power-Down. Software power-down puts all blocks except the I ² C interface in a low power state. 0: Normal operation. 1: Software master power-down.	0x1	R/W

PDM 制御レジスタ

アドレス: 0x21、リセット: 0x00、レジスタ名: PDM_CTRL

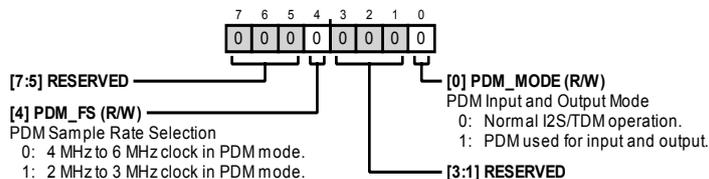


表 43. PDM_CTRL のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		Reserved.	0x0	R
4	PDM_FS	0 1	PDM Sample Rate Selection 0: 4 MHz to 6 MHz clock in PDM mode. 1: 2 MHz to 3 MHz clock in PDM mode.	0x0	R/W
[3:1]	RESERVED		Reserved.	0x0	R
0	PDM_MODE	0 1	PDM Input and Output Mode 0: Normal I ² S/TDM operation. 1: PDM used for input and output.	0x0	R/W

シリアル・インターフェース制御 1 レジスタ

アドレス: 0x22、リセット: 0x21、レジスタ名: SAI_CTRL1

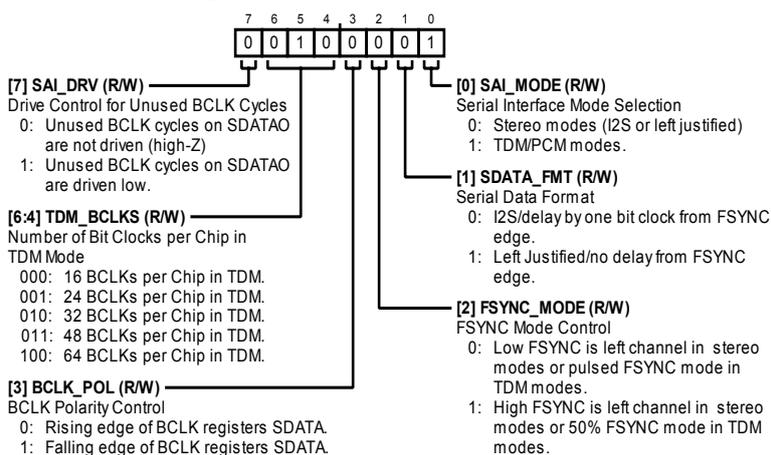


表 44. SAI_CTRL1 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
7	SAI_DRV	0 1	Drive Control for Unused BCLK Cycles 0: Unused BCLK cycles on SDATAO are not driven (high-Z). 1: Unused BCLK cycles on SDATAO are driven low.	0x0	R/W
[6:4]	TDM_BCLKS	000 001 010 011 100	Number of Bit Clocks per Chip in TDM Mode. Any number of bit clock cycles per FSYNC can be used in stereo modes (I ² S or left justified) or in TDM mode with only one chip. When in TDM mode and having multiple chips on the TDM bus, the number of bit clocks per chip must be defined. 000: 16 BCLKs per chip in TDM. 001: 24 BCLKs per chip in TDM. 010: 32 BCLKs per chip in TDM. 011: 48 BCLKs per chip in TDM. 100: 64 BCLKs per chip in TDM.	0x2	R/W
3	BCLK_POL	0 1	BCLK Polarity Control 0: Rising edge of BCLK registers SDATA. 1: Falling edge of BCLK registers SDATA.	0x0	R/W

Bits	Bit Name	Settings	Description	Reset	Access
2	FSYNC_MODE	0 1	FSYNC Mode Control Low FSYNC is left channel in stereo modes or pulsed FSYNC mode in TDM modes. High FSYNC is left channel in stereo modes or 50% FSYNC mode in TDM modes.	0x0	R/W
1	SDATA_FMT	0 1	Serial Data Format I ² S/delay by one bit clock from FSYNC edge. Left Justified/no delay from FSYNC edge.	0x0	R/W
0	SAI_MODE	0 1	Serial Interface Mode Selection Stereo modes (I ² S or left justified) TDM/PCM modes.	0x1	R/W

シリアル・インターフェース制御 2 レジスタ

アドレス: 0x23、リセット: 0x00、レジスタ名: SAI_CTRL2

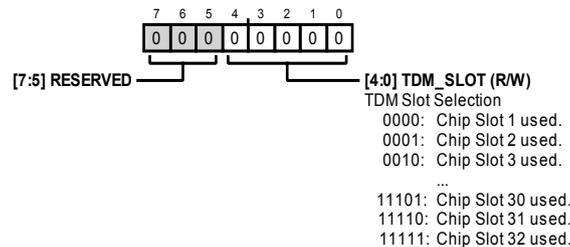


表 45. SAI_CTRL2 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	RESERVED		Reserved.	0x0	R
[4:0]	TDM_SLOT	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111 10000 10001 10010 10011 10100 10101 10110 10111 11000 11001 11010	TDM Slot Selection Chip Slot 1 used. Chip Slot 2 used. Chip Slot 3 used. Chip Slot 4 used. Chip Slot 5 used. Chip Slot 6 used. Chip Slot 7 used. Chip Slot 8 used. Chip Slot 9 used. Chip Slot 10 used. Chip Slot 11 used. Chip Slot 12 used. Chip Slot 13 used. Chip Slot 14 used. Chip Slot 15 used. Chip Slot 16 used. Chip Slot 17 used. Chip Slot 18 used. Chip Slot 19 used. Chip Slot 20 used. Chip Slot 21 used. Chip Slot 22 used. Chip Slot 23 used. Chip Slot 24 used. Chip Slot 25 used. Chip Slot 26 used. Chip Slot 27 used.	0x0	R/W

Bits	Bit Name	Settings	Description	Reset	Access
		11011	Chip Slot 28 used.		
		11100	Chip Slot 29 used.		
		11101	Chip Slot 30 used.		
		11110	Chip Slot 31 used.		
		11111	Chip Slot 32 used.		

シリアル・インターフェース配置コントロール1レジスタ

アドレス: 0x24、リセット: 0x01、レジスタ名: SAI_PLACE1

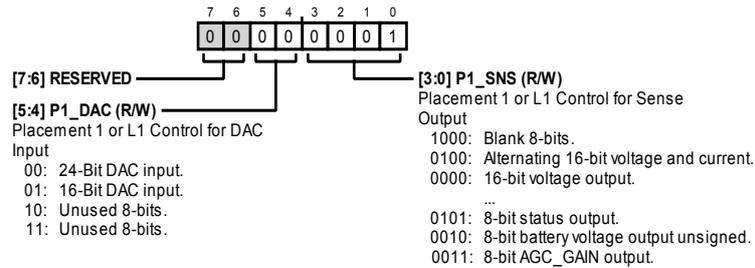


表 46. SAI_PLACE1 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		Reserved.	0x0	R
[5:4]	P1_DAC	00 01 10 11	Placement 1 or L1 Control for DAC Input 24-bit DAC input. 16-bit DAC input. Unused 8-bits. Unused 8-bits.	0x0	R/W
[3:0]	P1_SNS	1000 0100 0000 0001 0110 0111 0101 0010 0011	Placement 1 or L1 Control for Sense Output Blank 8-bits. Alternating 16-bit voltage and current. 16-bit voltage output. 16-bit current output. 8-bit V/I marker and status. 8-bit temperature output. 8-bit status output. 8-bit battery voltage output unsigned. 8-bit AGC_GAIN output.	0x1	R/W

シリアル・インターフェース配置コントロール 2 レジスタ

アドレス: 0x25、リセット: 0x21、レジスタ名: SAI_PLACE2

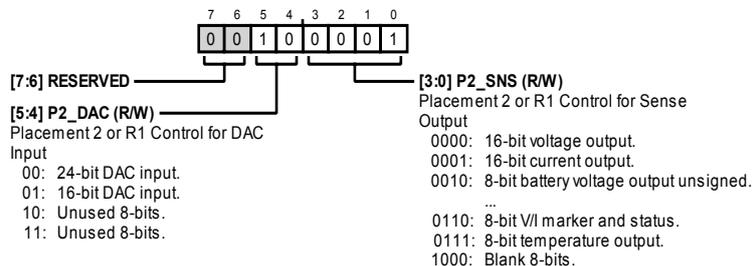


表 47. SAI_PLACE2 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		Reserved.	0x0	R
[5:4]	P2_DAC	00 01 10 11	Placement 2 or R1 Control for DAC Input 24-bit DAC input. 16-bit DAC input. Unused 8-bits. Unused 8-bits.	0x2	R/W
[3:0]	P2_SNS	0000 0001 0010 0011 0100 0101 0110 0111 1000	Placement 2 or R1 Control for Sense Output 16-bit voltage output. 16-bit current output. 8-bit battery voltage output unsigned. 8-bit AGC_GAIN output. Alternating 16-bit voltage and current. 8-bit status output. 8-bit V/I marker and status. 8-bit temperature output. Blank 8-bits.	0x1	R/W

シリアル・インターフェース配置コントロール 3 レジスタ

アドレス: 0x26、リセット: 0x21、レジスタ名: SAI_PLACE3

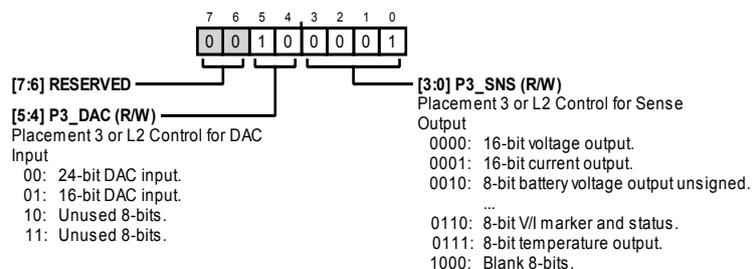


表 48. SAI_PLACE3 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		Reserved.	0x0	R
[5:4]	P3_DAC	00 01 10 11	Placement 3 or L2 Control for DAC Input 24-bit DAC input. 16-bit DAC input. Unused 8-bits. Unused 8-bits.	0x2	R/W

Bits	Bit Name	Settings	Description	Reset	Access
[3:0]	P3_SNS		Placement 3 or L2 Control for Sense Output	0x1	R/W
		0000	16-bit voltage output.		
		0001	16-bit current output.		
		0010	8-bit battery voltage output unsigned.		
		0011	8-bit AGC_GAIN output.		
		0100	Alternating 16-bit voltage and current.		
		0101	8-bit status output.		
		0110	8-bit V/I marker and status.		
		0111	8-bit temperature output.		
		1000	Blank 8-bits.		

シリアル・インターフェース配置コントロール 4 レジスタ

アドレス: 0x27、リセット: 0x21、レジスタ名: SAI_PLACE4

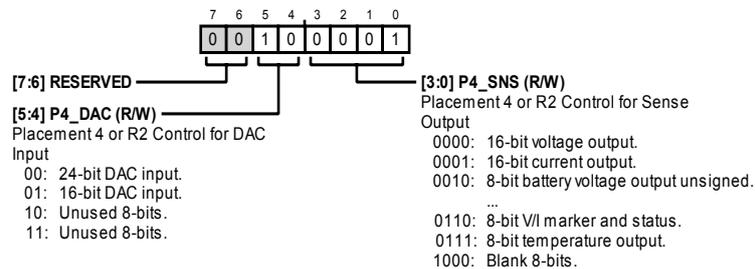


表 49. SAI_PLACE4 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:6]	RESERVED		Reserved.	0x0	R
[5:4]	P4_DAC		Placement 4 or R2 Control for DAC Input	0x2	R/W
		00	24-bit DAC input.		
		01	16-bit DAC input.		
		10	Unused 8-bits.		
		11	Unused 8-bits.		
[3:0]	P4_SNS		Placement 4 or R2 Control for Sense Output	0x1	R/W
		0000	16-bit voltage output.		
		0001	16-bit current output.		
		0010	8-bit battery voltage output unsigned.		
		0011	8-bit AGC_GAIN output.		
		0100	Alternating 16-bit voltage and current.		
		0101	8-bit status output.		
		0110	8-bit V/I marker and status.		
		0111	8-bit temperature output.		
		1000	Blank 8-bits.		

シリアル・インターフェース配置コントロール 5 レジスタ

アドレス: 0x28、リセット: 0x01、レジスタ名: SAI_PLACE5

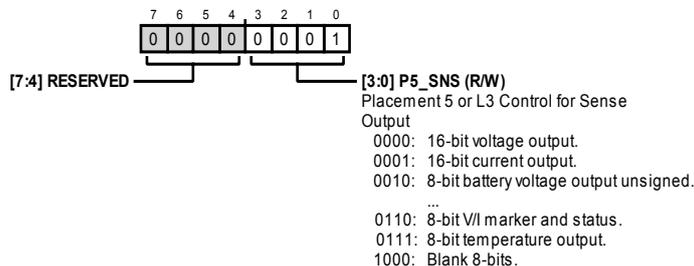


表 50. SAI_PLACE5 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		Reserved.	0x0	R
[3:0]	P5_SNS	0000 0001 0010 0011 0100 0101 0110 0111 1000	Placement 5 or L3 Control for Sense Output 16-bit voltage output. 16-bit current output. 8-bit battery voltage output unsigned. 8-bit AGC_GAIN output. Alternating 16-bit voltage and current. 8-bit status output. 8-bit V/I marker and status. 8-bit temperature output. Blank 8-bits.	0x1	R/W

シリアル・インターフェース配置コントロール 6 レジスタ

アドレス: 0x29、リセット: 0x01、レジスタ名: SAI_PLACE6

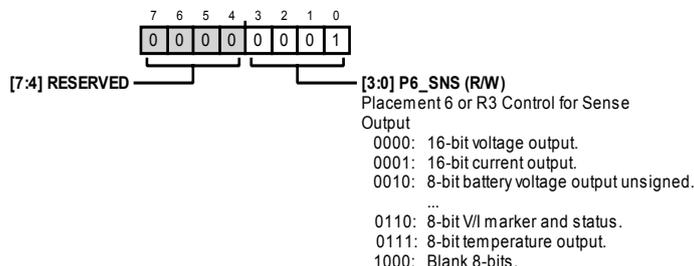


表 51. SAI_PLACE6 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:4]	RESERVED		Reserved.	0x0	R
[3:0]	P6_SNS	0000 0001 0010 0011 0100 0101 0110 0111 1000	Placement 6 or R3 Control for Sense Output 16-bit voltage output. 16-bit current output. 8-bit battery voltage output unsigned. 8-bit AGC_GAIN output. Alternating 16-bit voltage and current. 8-bit status output. 8-bit V/I marker and status. 8-bit temperature output. Blank 8-bits.	0x1	R/W

AGC_GAIN1 入カデータ配置レジスタ

アドレス: 0x2A、リセット: 0x00、レジスタ名: AGC_PLACE1

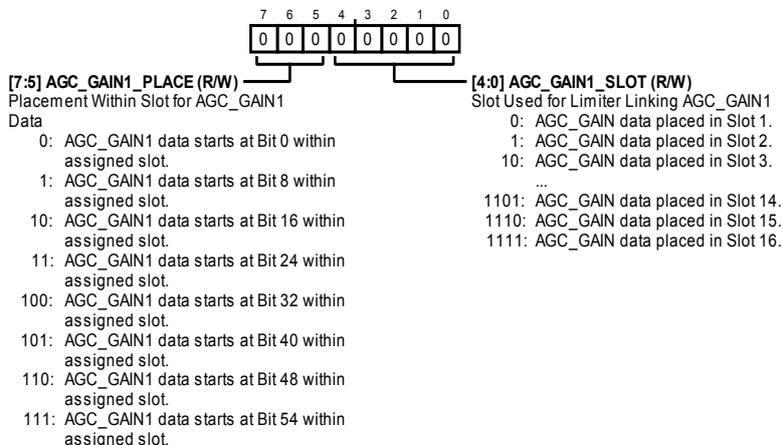


表 52. AGC_PLACE1 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	AGC_GAIN1_PLACE	0 1 10 11 100 101 110 111	Placement Within Slot for AGC_GAIN1 Data AGC_GAIN1 data starts at Bit 0 within assigned slot. AGC_GAIN1 data starts at Bit 8 within assigned slot. AGC_GAIN1 data starts at Bit 16 within assigned slot. AGC_GAIN1 data starts at Bit 24 within assigned slot. AGC_GAIN1 data starts at Bit 32 within assigned slot. AGC_GAIN1 data starts at Bit 40 within assigned slot. AGC_GAIN1 data starts at Bit 48 within assigned slot. AGC_GAIN1 data starts at Bit 54 within assigned slot.	0x0	R/W
[4:0]	AGC_GAIN1_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	Slot Used for Limiter Linking AGC_GAIN1 AGC_GAIN data placed in Slot 1. AGC_GAIN data placed in Slot 2. AGC_GAIN data placed in Slot 3. AGC_GAIN data placed in Slot 4. AGC_GAIN data placed in Slot 5. AGC_GAIN data placed in Slot 6. AGC_GAIN data placed in Slot 7. AGC_GAIN data placed in Slot 8. AGC_GAIN data placed in Slot 9. AGC_GAIN data placed in Slot 10. AGC_GAIN data placed in Slot 11. AGC_GAIN data placed in Slot 12. AGC_GAIN data placed in Slot 13. AGC_GAIN data placed in Slot 14. AGC_GAIN data placed in Slot 15. AGC_GAIN data placed in Slot 16.	0x0	R/W

AGC_GAIN2 入カデータ配置レジスタ

アドレス: 0x2B、リセット: 0x00、レジスタ名: AGC_PLACE2

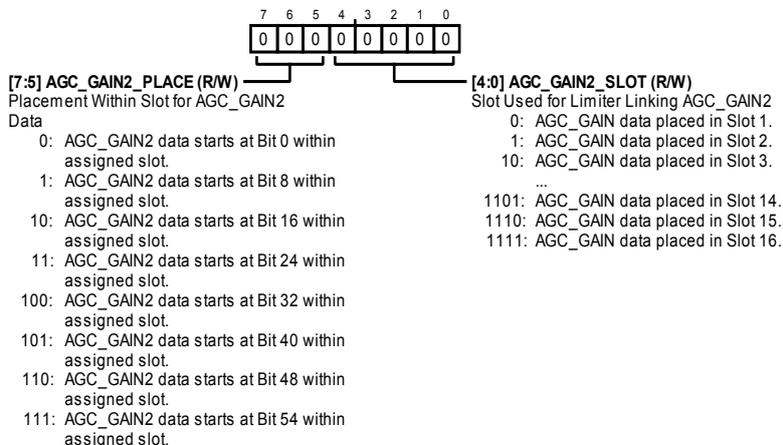


表 53. AGC_PLACE2 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	AGC_GAIN2_PLACE	0 1 10 11 100 101 110 111	Placement Within Slot for AGC_GAIN2 Data AGC_GAIN2 data starts at Bit 0 within assigned slot. AGC_GAIN2 data starts at Bit 8 within assigned slot. AGC_GAIN2 data starts at Bit 16 within assigned slot. AGC_GAIN2 data starts at Bit 24 within assigned slot. AGC_GAIN2 data starts at Bit 32 within assigned slot. AGC_GAIN2 data starts at Bit 40 within assigned slot. AGC_GAIN2 data starts at Bit 48 within assigned slot. AGC_GAIN2 data starts at Bit 54 within assigned slot.	0x0	R/W
[4:0]	AGC_GAIN2_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	Slot Used for Limiter Linking AGC_GAIN2 AGC_GAIN data placed in Slot 1. AGC_GAIN data placed in Slot 2. AGC_GAIN data placed in Slot 3. AGC_GAIN data placed in Slot 4. AGC_GAIN data placed in Slot 5. AGC_GAIN data placed in Slot 6. AGC_GAIN data placed in Slot 7. AGC_GAIN data placed in Slot 8. AGC_GAIN data placed in Slot 9. AGC_GAIN data placed in Slot 10. AGC_GAIN data placed in Slot 11. AGC_GAIN data placed in Slot 12. AGC_GAIN data placed in Slot 13. AGC_GAIN data placed in Slot 14. AGC_GAIN data placed in Slot 15. AGC_GAIN data placed in Slot 16.	0x0	R/W

AGC_GAIN3 入カデータ配置レジスタ

アドレス: 0x2C、リセット: 0x00、レジスタ名: AGC_PLACE3

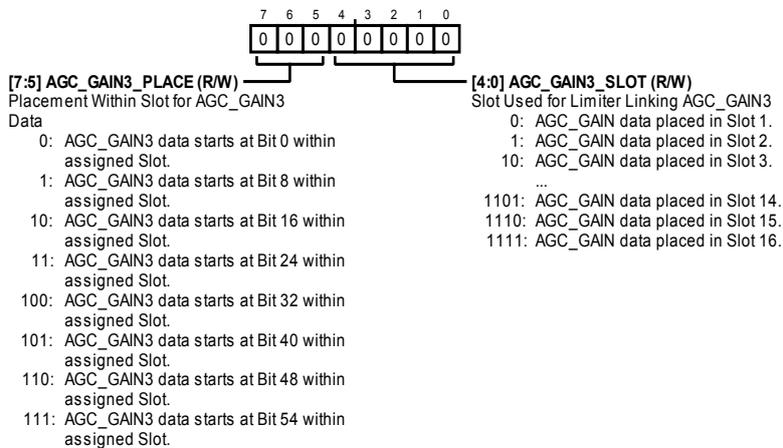


表 54. AGC_PLACE3 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	AGC_GAIN3_PLACE	0 1 10 11 100 101 110 111	Placement within slot for AGC_GAIN3 data AGC_GAIN3 data starts at Bit 0 within assigned slot. AGC_GAIN3 data starts at Bit 8 within assigned slot. AGC_GAIN3 data starts at Bit 16 within assigned slot. AGC_GAIN3 data starts at Bit 24 within assigned slot. AGC_GAIN3 data starts at Bit 32 within assigned slot. AGC_GAIN3 data starts at Bit 40 within assigned slot. AGC_GAIN3 data starts at Bit 48 within assigned slot. AGC_GAIN3 data starts at Bit 54 within assigned slot.	0x0	R/W
[4:0]	AGC_GAIN3_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	Slot Used for Limiter Linking AGC_GAIN3 AGC_GAIN data placed in Slot 1. AGC_GAIN data placed in Slot 2. AGC_GAIN data placed in Slot 3. AGC_GAIN data placed in Slot 4. AGC_GAIN data placed in Slot 5. AGC_GAIN data placed in Slot 6. AGC_GAIN data placed in Slot 7. AGC_GAIN data placed in Slot 8. AGC_GAIN data placed in Slot 9. AGC_GAIN data placed in Slot 10. AGC_GAIN data placed in Slot 11. AGC_GAIN data placed in Slot 12. AGC_GAIN data placed in Slot 13. AGC_GAIN data placed in Slot 14. AGC_GAIN data placed in Slot 15. AGC_GAIN data placed in Slot 16.	0x0	R/W

AGC_GAIN4 入カデータ配置レジスタ

アドレス: 0x2D、リセット: 0x00、レジスタ名: AGC_PLACE4

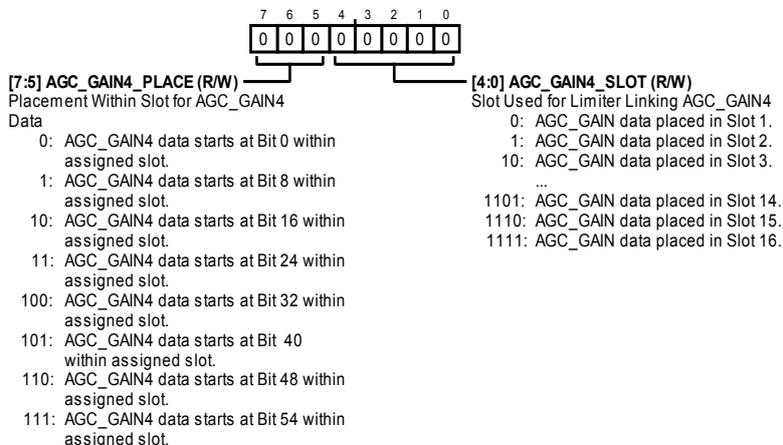


表 55. AGC_PLACE4 ビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:5]	AGC_GAIN4_PLACE	0 1 10 11 100 101 110 111	Placement Within Slot for AGC_GAIN4 Data AGC_GAIN4 data starts at Bit 0 within assigned slot. AGC_GAIN4 data starts at Bit 8 within assigned slot. AGC_GAIN4 data starts at Bit 16 within assigned slot. AGC_GAIN4 data starts at Bit 24 within assigned slot. AGC_GAIN4 data starts at Bit 32 within assigned slot. AGC_GAIN4 data starts at Bit 40 within assigned slot. AGC_GAIN4 data starts at Bit 48 within assigned slot. AGC_GAIN4 data starts at Bit 54 within assigned slot.	0x0	R/W
[4:0]	AGC_GAIN4_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	Slot Used for Limiter Linking AGC_GAIN4 AGC_GAIN data placed in Slot 1. AGC_GAIN data placed in Slot 2. AGC_GAIN data placed in Slot 3. AGC_GAIN data placed in Slot 4. AGC_GAIN data placed in Slot 5. AGC_GAIN data placed in Slot 6. AGC_GAIN data placed in Slot 7. AGC_GAIN data placed in Slot 8. AGC_GAIN data placed in Slot 9. AGC_GAIN data placed in Slot 10. AGC_GAIN data placed in Slot 11. AGC_GAIN data placed in Slot 12. AGC_GAIN data placed in Slot 13. AGC_GAIN data placed in Slot 14. AGC_GAIN data placed in Slot 15. AGC_GAIN data placed in Slot 16.	0x0	R/W

ソフトウェア・リセット・レジスタ

アドレス: 0x2E、リセット: 0x00、レジスタ名: SOFT_RESET

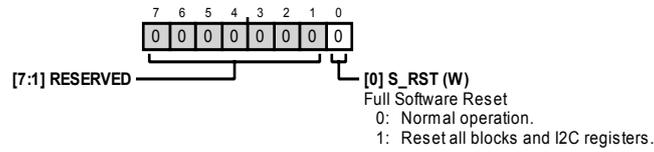


表 56. SOFT_RESET のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:1]	RESERVED		Reserved.	0x0	R
0	S_RST	0 1	Full Software Reset Normal operation. Reset all blocks and I ² C registers.	0x0	W

外形寸法

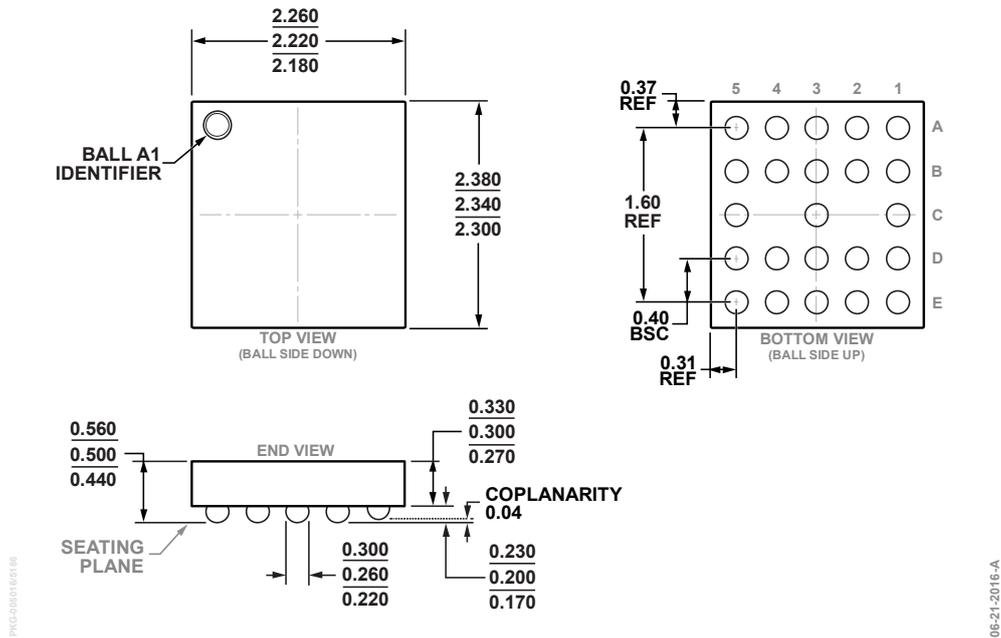


図 86. 23 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-23-2)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
SSM3525BCBZRL	-40°C to +85°C	23-Ball Wafer Level Chip Scale Package [WLCSP]	CB-23-2
EVAL-SSM3525Z		SSM3525 Evaluation Board	

¹Z = RoHS 準拠製品。