



IV 帰還およびブラウンアウト保護内蔵 デジタル入力 D 級アンプ

MAX98388/MAX98389

概要

MAX98388/MAX98389 は、IV 帰還を内蔵した小型でコスト効率に優れたモノラル・デジタル入力アンプです。本デバイスは、2.3V~10V の広い電源電圧範囲で動作します。この電源範囲では、両バージョンとも 1 セル、2 セル、外部レギュレーション/ブースト型のポータブル・アプリケーションをサポートしています。MAX98388 は最大 5.5V のアプリケーション (1 セル)、MAX98389 は 5V~10V のアプリケーション (2 セル) に最適化されています。

D 級再生アンプは、AB 級レベルのオーディオ性能と、ポータブル・アプリケーション用のバッテリー長寿命化に必要な効率を共に備えています。アクティブ・エミッション制限回路 (AEL) とエッジ・レート制限回路をスペクトラム拡散変調 (SSM) 方式と組み合わせることで、EMI を低減し、従来の D 級アンプに必要なとされていた出力フィルタ処理を不要にしました。

本デバイスは、高精度出力電流検出チャンネルと出力電圧帰還チャンネルを備えています。これらのチャンネルで収集されたデータは、オーディオ・データ出力で伝送することができ、オーディオ・エンハンスメント、バス・ブースト、スピーカ保護、ハプティック機能などのアルゴリズムをホストのオーディオ DSP で実行することができます。

本デバイスはスレッシュホールドが設定可能な再生チャンネル ALC を搭載しており、ポータブル・システムのバッテリーにブラウンアウト保護を提供すると共に、デバイスの損傷を防ぐための堅牢な過熱および過電流保護を提供しています。

また、オーディオ再生と IV 帰還データ用の PCM インターフェースと、デバイス制御とステータス読出し用の標準 I²C インターフェースを備えています。PCM インターフェースは、I²S、左詰め、および TDM タイミングなどの一般的なオーディオ・データフォーマットをサポートしています。独自のクロッキング構成により、外付けの高周波リファレンス・クロックが不要です。このクロックを不要とすることで、デバイスのサイズと端子数を削減するだけでなく、高速スイッチングによる EMI のリスクや潜在的な基板カップリングの問題を軽減しながら、インターフェースの電力を節約できます。

パッケージの接続はエッジ配線だけで済むように設計されているため、高価なバンパ・ビアを必要とせず、コスト効率の高いウェーハレベル・パッケージ (WLP) が使用可能となっています。本デバイスは、0.4mm ピッチの 16 バンプ WLP パッケージで提供され、-40°C~+85°C の拡張温度範囲で仕様規定されています。

SMBus は、Intel Corp.の商標です。

機能と利点

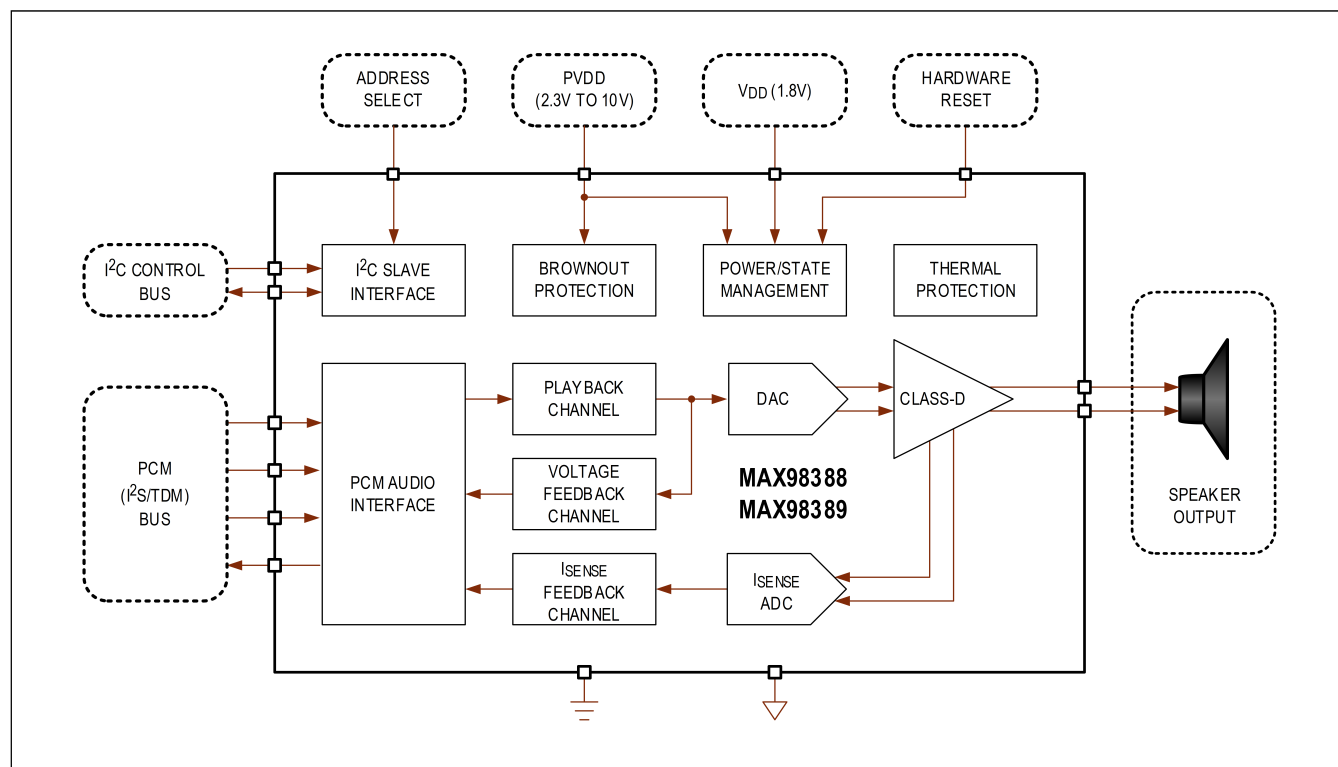
- 広いアンプ電源範囲：2.3V~10V
 - 1 セルと 2 セルの両方をサポート
- 高性能 D 級アンプ
 - ダイナミックレンジ：最大 111dB (A 特性周波数重み付け)
 - 出力ノイズ：10μV_{RMS} (1 セル・モード)
 - 出力ノイズ：14.5μV_{RMS} (2 セル・モード)
- 高出力パワー (THD+N ≤ 1%)
 - 4Ω に対する出力パワー：1.32W (V_{PVDD} = 3.7V)
 - 4Ω に対する出力パワー：2.4W (V_{PVDD} = 5V)
 - 4Ω に対する出力パワー：5.15W (V_{PVDD} = 7.4V)
 - 4Ω に対する出力パワー：9.1W (V_{PVDD} = 10V)
- 高いアンプ効率 (再生専用パワー)
 - 4Ω に対する 0.1W での効率：76% (V_{PVDD} = 5V)
 - 4Ω に対する 1W での効率：85.5% (V_{PVDD} = 5V)
 - 8Ω に対する 1W での効率：90% (V_{PVDD} = 5V)
- ピーク THD+N：-83dB 以下 (1kHz 時)
- 低い総自己消費電力
 - 9.3mW (V_{PVDD} = 3.7V、IV 帰還ディセーブル時)
 - 13.9mW (V_{PVDD} = 3.7V、IV 帰還イネーブル時)
 - 16.1mW (V_{PVDD} = 5V、IV 帰還イネーブル時)
 - 22.5mW (V_{PVDD} = 7.4V、IV 帰還イネーブル時)
- 低いソフトウェア・シャットダウン電力：5μW 未満
- ターンオン時間：1ms (f_S = 48kHz、ランプをディセーブル時)
- 再生遅延：5 サンプル (f_S < 50kHz、f_{IN} = 1kHz)
- 外部のリファレンス・クロックが不要
- 再生サンプル・レート：8kHz~96kHz
- EMI 対策として D 級スイッチング周波数をトリミング
- 強力なクリック/ポップ抑制回路
- ブラウンアウト保護用プログラマブル ALC
- 堅牢な短絡および過熱保護
- 省スペース・パッケージでの提供：
 - 2.93mm²、16 ピン WLP (0.4mm ピッチ)

アプリケーション

- AR/VR ウェアラブル
- LRA ハプティック・ドライバ
- スマート・ウォッチおよび IoT デバイス
- ゲーミング・デバイス
- ノートブック・コンピュータおよびタブレット

オーダー情報はデータシート末尾に記載されています。

簡略化したブロック図



絶対最大定格

GND～PGND	-0.1V～+0.1V	(OUTP または OUTN) ～ (PGND、PVDD または V _{DD}) の	
V _{PVDD} ～PGND	-0.3V～+12V	短絡持続時間	連続
V _{DD} ～GND	-0.3V～+2.2V	連続消費電力 (T _A =+70℃、+70℃ 超では 13.7mW/℃ で	
OUTP、OUTN～PGND	-0.3V～V _{PVDD} + 0.3V	ディレーティング)	1.38W
BCLK、LRCLK、DIN、DOUT～GND	-0.3V～V _{DD} + 0.3V	ジャンクション温度	+150℃
ADDR、I.C.～GND	-0.3V～V _{DD} + 0.3V	動作温度範囲	-40℃～+85℃
他の全端子～GND	-0.3V～+2.2V	保存温度範囲	-65℃～+150℃
OUTP～OUTN の短絡持続時間	連続	はんだ処理温度 (リフロー)	+260℃

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

WLP

Package code	W161P1Z+1
Outline Number	21-100636
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θJA)	57.93°C/W
Junction-to-Case Thermal Resistance (θJC)	N/A

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

電気的特性

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード) 、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN) 、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SYSTEM-LEVEL							
PVDD Supply Voltage Range	V _{PVDD}	Guaranteed by PSRR test	Two-cell/ boosted mode	5		10	V
			Single-cell mode	3.0		5.5	
		Guaranteed by PSRR test, single-cell mode, the device is functional but parametric performance is not guaranteed		2.3			
V _{DD} Supply Voltage Range	V _{DD}	Guaranteed by PSRR test		1.71	1.8	1.89	V
PVDD Undervoltage Lockout	V _{UVLO_PVDD}	Single-cell mode	V _{PVDD} falling	1.9		2.2	V
		Two-cell mode	V _{PVDD} falling	4.4		4.7	
PVDD UVLO Hysteresis		Single-cell mode (Note 4)		150	200		mV
		Two-cell mode (Note 4)		120	150		
V _{DD} Undervoltage Lockout	V _{UVLO_VDD}	V _{DD} falling		1.3		1.6	V
V _{DD} UVLO Hysteresis		Note 4		20	40		mV
V _{DD} Supply Ramp Rate				0.1			V/ms
Thermal Shutdown Temperature		THERMSHDN_THRES = 0x2			155		°C
Thermal Shutdown Hysteresis					15		°C
Thermal Warning Temperature		THERMWARN_THRES = 0x2			115		°C
Thermal Warning Hysteresis					15		°C
POWER CONSUMPTION / QUIESCENT POWER CONSUMPTION							
Total Quiescent Power		Both supplies, IV feedback disabled	V _{PVDD} = 3.7V		9.3		mW
			V _{PVDD} = 3.7V		13.9		
		Both supplies, IV feedback enabled	V _{PVDD} = 5V		16.1		
			V _{PVDD} = 7.4V		22.5		
PVDD Quiescent Current		IV feedback disabled	V _{PVDD} = 3.7V		1.37		mA
V _{DD} Quiescent Current		IV feedback disabled			2.38		mA
PVDD Quiescent Current		IV feedback enabled	V _{PVDD} = 3.7V		1.42	2	mA
			V _{PVDD} = 5V		1.59	2.2	
			V _{PVDD} = 7.4V		1.86	2.5	
V _{DD} Quiescent Current		IV feedback enabled			4.83	6.8	mA
POWER CONSUMPTION / SOFTWARE SHUTDOWN POWER CONSUMPTION							
PVDD Software Shutdown Current	I _{PVDD_SWSD}	No toggling on PCM interface pins, T _A = +25°C	V _{PVDD} = 3.7V, single-cell mode		0.3	4	μA
			V _{PVDD} = 7.4V, two-cell mode		0.4	5	

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN)、1 セル・モード、AC 測定帯域幅 = $20Hz \sim 20kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ の値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V _{DD} Software Shutdown Current	I _{VDD_SWSD}	No toggling on PCM interface pins, T _A = +25°C			1.5	6	μA
POWER CONSUMPTION / HARDWARE SHUTDOWN POWER CONSUMPTION							
PVDD Hardware Shutdown Current	I _{PVDD_HWSD}	T _A = +25°C	V _{PVDD} = 3.7V, single-cell mode		0.3	4	μA
			V _{PVDD} = 7.4V, two-cell mode		0.4	5	
V _{DD} Hardware Shutdown Current	I _{VDD_HWSD}	T _A = +25°C			0.2	1	μA
ENABLE / DISABLE TIMING							
Turn-On Time	t _{ON}	Software-shutdown state to active state (device ready to receive audio data)	Volume ramp disabled, f _S ≥ 44.1kHz		0.6	1	ms
			Volume ramp disabled, f _S < 44.1kHz (Note 4)		1.1	2.3	
			Volume ramp enabled, f _S ≥ 44.1kHz		2.3	2.7	
			Volume ramp enabled, f _S < 44.1kHz (Note 4)		2.9	4.2	
Turn-Off Time	t _{OFF}	From full-active state operation to software-shutdown state (power down done status)	Volume ramp disabled		70	100	μs
			Volume ramp enabled, f _S ≥ 44.1kHz		4.3	4.6	ms
			Volume ramp enabled, f _S < 44.1kHz		6.7	8	
Hardware Enable Time	t _{HW_EN}	Transition time from the hardware- shutdown state (RESET input set high) to the software-shutdown state (I ² C ready)				1.5	ms
Hardware Reset Time	t _{HW_RES}	Transition time from software reset (write 1 to the software reset bit) until the device is reset and returns to the software-shutdown state (I ² C ready)				0.4	ms
Hardware Disable Assert Time	t _{HW_DIS}	Minimum time RESET input must be asserted low to ensure the device transitions to the hardware-shutdown state			1		μs
SPEAKER DIGITAL AUDIO CHANNEL / DAC DIGITAL FILTER CHARACTERISTICS (f _{LRCLK} < 50kHz) (Note 2)							
Passband Cutoff Frequency	f _{PLP}	Ripple < δ _P		0.452 × f _S			Hz
		Droop < −3dB		0.457 × f _S			
Passband Ripple	δ _P	f _{IN} < f _{PLP} , referenced to signal level at 1kHz, digital filter response only		−0.1		+0.1	dB
Stopband Cutoff Frequency	f _{SLP}	Attenuation > δ _S				0.49 × f _S	Hz

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード) 、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN) 、1 セル・モード、AC 測定帯域幅 = $20Hz \sim 20kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Stopband Attenuation	δ_s	$f_{IN} > f_{SLP}$		75			dB	
Group Delay		$f_{IN} = 1\text{kHz}$		5			samples	
SPEAKER DIGITAL AUDIO CHANNEL / DAC DIGITAL FILTER CHARACTERISTICS ($f_{LRCLK} \geq 50\text{kHz}$) (Note 2)								
Passband Cutoff Frequency	f_{PLP}	Ripple $< \delta_p$		$0.227 \times f_s$			Hz	
		Droop $< -3\text{dB}$		$0.314 \times f_s$				
Passband Ripple	δ_p	$f_{IN} < f_{PLP}$, referenced to signal level at 1kHz, digital filter response only		-0.1			+0.1	dB
Stopband Cutoff Frequency	f_{SLP}	Attenuation $< \delta_s$		$0.49 \times f_s$			Hz	
Stopband Attenuation	δ_s	$f_{IN} > f_{SLP}$		80			dB	
Group Delay		$f_{IN} = 1\text{kHz}$		5.5			samples	
SPEAKER DIGITAL AUDIO CHANNEL / DC BLOCKING DIGITAL FILTER CHARACTERISTICS (Note 2)								
DC Attenuation				80			dB	
DC Blocking Filter -3dB Cutoff Frequency	f_c	$f_s = 8\text{kHz}, 16\text{kHz}, 32\text{kHz}, 48\text{kHz}, \text{ and } 96\text{kHz}$		1.872			Hz	
		$f_s = 44.1\text{kHz}, 88.2\text{kHz}$		1.72				
SPEAKER CLASS-D AMPLIFIER								
Output Offset Voltage	V_{OS}	$T_A = +25^\circ\text{C}$		-3	± 0.3	+3	mV	
Click-and-Pop Level	K_{CP}	Peak voltage, Aweighted, 32 samples per second, digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu\text{H}$ or $4\Omega + 33\mu\text{H}$	Amp output power down, single-cell mode	-77			dBV	
			Amp output power down, two-cell mode	-71				
			Amp output powerup, single-cell mode	-76				
			Amp output powerup, two-cell mode	-70				
Output Noise	e_N	A-weighted, 24-bit, or 32-bit data	Single-cell mode, DAC low-power mode	10			μV_{RMS}	
			Two-cell mode, DAC high-performance mode	14.5				
Dynamic Range	DR	A-weighted, 24-bit or 32-bit data, single-cell mode, DAC low power mode (Note 3)	$Z_{SPK} = 4\Omega + 33\mu\text{H}$	110			dB	
			$Z_{SPK} = 8\Omega + 33\mu\text{H}$	110.5				
		A-weighted, 24-bit or 32-bit data, two-cell mode, $V_{PVDD} = 7.4\text{V}$, DAC high-performance mode (Note 3)	$Z_{SPK} = 8\Omega + 33\mu\text{H}$	111				

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード) 、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN) 、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Total Harmonic Distortion + Noise	THD+N	$f_{IN} = 1kHz$, $T_A = +25^\circ C$, single-cell mode, $V_{PVDD} = 5V$	$P_{OUT} = 1W$, $Z_{SPK} = 4\Omega + 33\mu H$		-87		dB
			$P_{OUT} = 0.7W$, $Z_{SPK} = 8\Omega + 33\mu H$		-85	-73	
		$f_{IN} = 1kHz$, $T_A = +25^\circ C$, two-cell mode, $V_{PVDD} = 7.4V$, $P_{OUT} = 1.4W$, $Z_{SPK} = 8\Omega + 33\mu H$ (Note 4)			-83	-74	
Full-Scale Output Voltage	FS	Single-cell mode, +12dB gain			12.4		dBV
		Two-cell mode, +18dB gain			18.4		
Efficiency	η	$f_{IN} = 1kHz$, $Z_{SPK} = 8\Omega + 33\mu H$, $V_{PVDD} = 5V$	THD+N = 10%		92		%
			$P_{OUT} = 1W$		90		
			$P_{OUT} = 0.1W$		80		
			$P_{OUT} = 0.05W$		72		
		$f_{IN} = 1kHz$, $Z_{SPK} = 4\Omega + 33\mu H$, $V_{PVDD} = 5V$	$P_{OUT} = 1W$		85.5		
			$P_{OUT} = 0.1W$		76		
			$P_{OUT} = 0.05W$		69		
Output Power	P_{OUT}	$f_{IN} = 1kHz$, THD+N $\leq 1\%$, $Z_{SPK} = 4\Omega + 33\mu H$	$V_{PVDD} = 3.7V$, single-cell mode		1.32		W
			$V_{PVDD} = 5V$, single-cell mode		2.4		
			$V_{PVDD} = 7.4V$, two-cell mode		5.15		
			$V_{PVDD} = 8.4V$, two-cell mode		6.54		
		$f_{IN} = 1kHz$, THD+N $\leq 10\%$, $Z_{SPK} = 4\Omega + 33\mu H$	$V_{PVDD} = 3.7V$, single-cell mode		1.65		
			$V_{PVDD} = 5V$, single-cell mode		3.0		
			$V_{PVDD} = 7.4V$, two-cell mode		6.35		
			$V_{PVDD} = 8.4V$, two-cell mode		8.02		
		$f_{IN} = 1kHz$, THD+N $\leq 1\%$, $Z_{SPK} = 8\Omega + 33\mu H$	$V_{PVDD} = 3.7V$, single-cell mode		0.77		
			$V_{PVDD} = 5V$, single-cell mode		1.4		
			$V_{PVDD} = 7.4V$, two-cell mode		3.05		
			$V_{PVDD} = 8.4V$, two-cell mode		3.87		
		$f_{IN} = 1kHz$, THD+N $\leq 10\%$, $Z_{SPK} = 8\Omega + 33\mu H$	$V_{PVDD} = 3.7V$, single-cell mode		0.95		
			$V_{PVDD} = 5V$, single-cell mode		1.72		
			$V_{PVDD} = 7.4V$, two-cell mode		3.75		
			$V_{PVDD} = 8.4V$, two-cell mode		4.84		

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN)、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Class-D Switching Frequency	f _{SW}		285	300	315	kHz
Spread-Spectrum Bandwidth	f _{SSM}			±14		kHz
Intermodulation Distortion	IMD	ITU-R, 19kHz/ 20kHz, 1:1, V _{IN} = −3dBFS, Z _{SPK} = 8Ω + 33μH		−70		dB
Frequency Response		Full response from digital audio interface input to the amplifier output	−0.25		+0.25	dB
Output Stage On-Resistance	R _{ON}	PMOS + NMOS (Full H-Bridge), T _A = +25°C		0.38		Ω
Output Current Limit	I _{LIM}		3.5			A
Output Current Limit Auto-Restart Time				20		ms
Minimum Load Resistance	R _L	Nominal 4Ω load minus 25%		3		Ω
Maximum Device-to-Device Speaker Channel Phase Mismatch		Output phase shift between multiple devices from 20Hz to 20kHz across all sample rates and DAI operating modes		1.5		deg
Minimum Load Inductance		In series with a 4Ω load		0		μH
Maximum Load Inductance		In series with a 4Ω load		100		μH
SPEAKER CLASS-D AMPLIFIER / POWER-SUPPLY REJECTION						
PVDD DC Power Supply Rejection Ratio	PSRR	DC level, V _{PVDD} = 2.3V to 10V, T _A = +25°C, digital silence used for input signal, Z _{SPK} = ∞	70	85		dB
PVDD AC Power Supply Rejection Ratio	PSRR	V _{RIPPLE} = 200mV _{PP} , T _A = +25°C, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH	f _{RIPPLE} = 217Hz	85		dB
			f _{RIPPLE} = 1kHz	85		
			f _{RIPPLE} = 10kHz	70		
V _{DD} DC Power Supply Rejection Ratio	PSRR	DC level, V _{DD} = 1.71V to 1.89V, T _A = +25°C, digital silence used for input signal, Z _{SPK} = ∞	70	85		dB
V _{DD} AC Power Supply Rejection Ratio	PSRR	V _{RIPPLE} = 100mV _{PP} , T _A = +25°C, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH	f _{RIPPLE} = 217Hz	90		dB
			f _{RIPPLE} = 1kHz	90		
			f _{RIPPLE} = 10kHz	80		
SPEAKER CLASS-D AMPLIFIER / POWER-SUPPLY INTERMODULATION						
Power-Supply Intermodulation		T _A = +25°C, f _{IN} = 1kHz, P _{OUT} = 400mW, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH	P _{VDD} supply, f _{RIPPLE} = 217Hz, V _{RIPPLE} = 200mV _{PP}	−80		dB
			V _{DD} supply, f _{RIPPLE} = 217Hz, V _{RIPPLE} = 100mV _{PP}	−80		

(V_{PVDD} = 5V (1 セル・モード) または 7.4V (2 セル・モード) 、V_{DD} = 1.8V、V_{GND} = V_{PGND} = 0V、C_{PVDD} = 10μF + 0.1μF、C_{VDD} = 1μF、f_{BCLK} = 3.072MHz、f_{LCLK} = 48kHz、Z_{SPK} = ∞ (OUTP~OUTN) 、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、T_A = T_{MIN}~T_{MAX}、代表値は T_A = +25°C での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPEAKER OUTPUT VOLTAGE FEEDBACK (Note 2)						
Resolution				16		Bits
Sample Rate	f _{S_VFB}		8		96	kHz
Voltage Range	V _{SPK}	Single-cell mode		±5.5		V
		Two-cell mode		±11		
Power Supply Feedthrough	PSF	No input signal, AC relative to PVDD or V _{DD} , f _{RIIPPLE} = 1kHz, V _{RIIPPLE} = 100mV _{P-P}		-100		dB
Max Device to Device Voltage Feedback Channel Phase Mismatch		f _{IN} = 1kHz		0.05		Samples
SPEAKER OUTPUT VOLTAGE FEEDBACK / DIGITAL FILTER CHARACTERISTICS (f _S < 50kHz) (Note 2)						
Passband Ripple		f _{IN} < f _{PLP} , referenced to the signal level at 1kHz	-0.225		+0.225	dB
Lowpass Filter Cutoff Frequency	f _{PLP}	Ripple < δ _p	0.44 × f _S			Hz
		Droop < -3dB	0.45 × f _S			
Lowpass Filter Stopband Frequency	f _{SLP}	-40dB limit			0.58 × f _S	Hz
Lowpass Filter Stopband Attenuation			40			dB
Group Delay		f _{IN} = 1kHz		8		Samples
SPEAKER OUTPUT VOLTAGE FEEDBACK / DIGITAL FILTER CHARACTERISTICS (f _S ≥ 50kHz) (Note 2)						
Passband Ripple		f _{IN} ≤ f _{PLP} , referenced to the signal level at 1kHz	-0.225		+0.225	dB
Lowpass Filter Cutoff Frequency	f _{PLP}	Ripple < δ _p , 88.2kHz ≤ f _S ≤ 96kHz	0.235 × f _S			Hz
		Droop < -3dB, 88.2kHz ≤ f _S ≤ 96kHz	0.29 × f _S			
Lowpass Filter Stopband Frequency	f _{SLP}	-40dB limit			0.58 × f _S	Hz
Lowpass Filter Stopband Attenuation			40			dB
Group Delay		f _{IN} = 1kHz		9		Samples
SPEAKER OUTPUT CURRENT SENSE ADC (Note 2)						
Resolution				16		Bits
Sample Rate	f _{S_ISNS}		8		96	kHz
Current Range	I _{SPK}			±3		A

(V_{PVDD} = 5V (1 セル・モード) または 7.4V (2 セル・モード)、V_{DD} = 1.8V、V_{GND} = V_{PGND} = 0V、C_{PVDD} = 10μF + 0.1μF、C_{VDD} = 1μF、f_{BCLK} = 3.072MHz、f_{LCLK} = 48kHz、Z_{SPK} = ∞ (OUTP~OUTN)、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、T_A = T_{MIN}~T_{MAX}、代表値は T_A = +25°C での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Dynamic Range	DNR	f _{IN} = 1kHz, unweighted			73		dB
Total Harmonic Distortion + Noise	THD+N	f _{IN} = 1kHz, Z _{LOAD} = 4Ω + 33μH	Single-cell mode, V _{PVDD} = 5V, I _{SPK} = 0.6A _{RMS}		-59		dB
			Two-cell mode, V _{PVDD} = 7.4V, I _{SPK} = 1A _{RMS}		-63		
		f _{IN} = 1kHz, Z _{LOAD} = 8Ω + 33μH	Single-cell mode, V _{PVDD} = 5V, I _{SPK} = 0.3A _{RMS}		-54		
			Two-cell mode, V _{PVDD} = 7.4V, I _{SPK} = 0.5A _{RMS}		-59		
Differential Mode Gain		Open loop current sense channel response		0.98		1.02	
Differential Mode Gain Variability		Across supply, T _A = -40°C to +85°C (Note 4)		-2.5		+2.5	%
Maximum Common Mode Gain					-60		dB
Highpass Cutoff Frequency		-3dB limit, across all sample rates				2	Hz
DC Offset Current		DC blocking filter enabled, T _A = +25°C		-0.12		+0.12	mA
		DC blocking filter disabled, T _A = +25°C	MAX98388, V _{PVDD} = 3.7V, single-cell mode	-2		+2	
		DC blocking filter disabled, T _A = +25°C	MAX98389, V _{PVDD} = 7.4V, two-cell mode	-4		+4	
Voltage and Current Accuracy Drift Tracking		T _A = 0°C to +85°C, relative to +25°C			0.4		%
Speaker Amplifier Voltage to Current Sense Crosstalk		MAX98388, f _{IN} = 1kHz	Single-cell mode		-80		dB
		MAX98389, f _{IN} = 1kHz	Two-cell mode		-75		
Power Supply Feedthrough	PSF	No input signal, AC relative to V _{PVDD} or V _{DD} , f _{RIPPLE} = 1kHz, V _{RIPPLE} = 100mV _{P-P}			65		dB
Max Current Sense to Voltage Feedback Channel Phase Mismatch		f _{IN} = 1kHz			0.05		Samples
Max Device to Device Current Sense Channel Phase Mismatch		f _{IN} = 1kHz			0.05		Samples
SPEAKER OUTPUT CURRENT ADC / DIGITAL FILTER CHARACTERISTICS (f _S < 50 kHz) (Note 2)							
Passband Ripple		f _{IN} ≤ f _{PLP}		-0.225		+0.225	dB
Lowpass Filter Cutoff Frequency	f _{PLP}	-3dB limit		0.44 × f _S			Hz

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN)、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Lowpass Filter Stopband Frequency	f _{SLP}	−40dB limit		0.58 × f _s			Hz	
Lowpass Filter Stopband Attenuation				40			dB	
Max Group Delay		f _{IN} = 1kHz		8			Samples	
SPEAKER OUTPUT CURRENT ADC / DIGITAL FILTER CHARACTERISTICS (f _s ≥ 50kHz) (Note 2)								
Passband Ripple		f _{IN} ≤ f _{PLP}		−0.225			+0.225	dB
Lowpass Filter Cutoff Frequency	f _{PLP}	Droop < −3dB, 88.2kHz ≤ f _s ≤ 96kHz		0.23 × f _s			Hz	
Lowpass Filter Stopband Frequency	f _{SLP}	−40dB limit		0.58 × f _s			Hz	
Lowpass Filter Stopband Attenuation				40			dB	
Max Group Delay		f _{IN} = 1kHz		9			Samples	
BROWNOUT PROTECTION ALC								
Brownout Response Time		From PVDD below voltage threshold event to audio attenuation		12			μs	
Brownout Voltage Threshold Range		PVDD falling, single-cell mode	Minimum threshold setting	2.5			V	
			Maximum threshold setting	3.625				
		PVDD falling, two-cell mode	Minimum threshold setting	5				
			Maximum threshold setting	7.25				
Brownout Voltage Threshold Hysteresis		Single-cell mode, MAX98388 (Note 4)		60	75	mV		
		Two-cell mode, MAX98389 (Note 4)		120	150			
Brownout Voltage Threshold Accuracy		All brownout voltage threshold settings	Single-cell mode, MAX98388	−3	+3		%	
			Two-cell mode, MAX98389	−3	+3			
DIGITAL I/O / INPUT—DIN, BCLK, LRCLK								
Input Voltage High	V _{IH}			0.7 × V _{DD}			V	
Input Voltage Low	V _{IL}			0.3 × V _{DD}			V	
Input Leakage Current				−1			+1	μA
Input Hysteresis	V _{HYS}	Note 4		75			mV	
Maximum Input Capacitance	C _{IN}			10			pF	
Internal Pull-Down Resistance	R _{PD}	BCLK, LRCLK, and DIN		3			MΩ	
DIGITAL I/O / INPUT—RESET								
Input Voltage High	V _{IH}			0.75 × V _{VDD}			V	
Input Voltage Low	V _{IL}			0.25 × V _{VDD}			V	

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード) 、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN) 、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ の値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage Current			−1		+1	μA
Input Hysteresis	V _{HYS}	Note 4	75			mV
Maximum Input Capacitance	C _{IN}			10		pF
DIGITAL I/O / INPUT—SCL, SDA, ADDR						
Input Voltage High	V _{IH}		0.7 × V _{DD}			V
Input Voltage Low	V _{IL}		0.3 × V _{DD}			V
Input Leakage Current		T _A = +25°C, input high	−1		+1	μA
Input Hysteresis	V _{HYS}	Note 4	75			mV
Maximum Input Capacitance	C _{IN}			10		pF
DIGITAL I/O / OPEN DRAIN OUTPUT—SDA						
Output Voltage Low	V _{OL}	I _{SINK} = 3mA			0.4	V
Output High Leakage Current	I _{OH}	T _A = +25°C	−1		+1	μA
DIGITAL I/O / PUSH-PULL OUTPUT—DOUT						
Output Voltage High	V _{OH}	I _{OH} = 3mA	V _{DD} − 0.3			V
Output Voltage Low	V _{OL}	I _{OL} = 3mA			0.3	V
Output Current	I _{OH}	Maximum-drive mode	8			mA
		High-drive mode	6			
		Normal-drive mode	4			
		Reduced-drive mode	2			
PCM DIGITAL AUDIO INTERFACE / CLOCK CHARACTERISTICS						
LRCLK Frequency Range	f _{LRCLK}	All DAI operating modes	8		96	kHz
BCLK Frequency Range	f _{BCLK}	I ² S/left-justified modes	0.256		12.288	MHz
		TDM mode	0.256		24.576	
BCLK Duty Cycle	DC		45		55	%
BCLK Period	t _{BCLK}	I ² S/left-justified modes	81.3			ns
		TDM mode	40			
Maximum BCLK Input Low-Frequency Jitter		Maximum allowable jitter before a −20dBFS, 20kHz input has a 1dB reduction in THD+N, RMS jitter ≤ 40kHz		0.2		ns
Maximum BCLK Input High-Frequency Jitter		Maximum allowable jitter before a −60dBFS, 20kHz input has a 1dB reduction in THD+N, RMS jitter > 40kHz		1		ns
PCM DIGITAL AUDIO INTERFACE / CLOCK AND DATA INPUT TIMING						
LRCLK to BCLK Active Edge Setup Time	t _{SYNCSET}		4			ns
LRCLK to BCLK Active Edge Hold Time	t _{SYNHOLD}		4			ns

($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード) 、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 0V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP~OUTN) 、1 セル・モード、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIN to BCLK Active Edge Setup Time	t_{SETUP}		4			ns
DIN to BCLK Active Edge Hold Time	t_{HOLD}		4			ns
DIN Frame Delay After LRCLK Edge		Measured in the number of BCLK cycles, set by selected TDM mode	0		2	cycles
PCM DIGITAL AUDIO INTERFACE / DATA OUTPUT TIMING						
BCLK Inactive Edge to DOUT Delay	t_{CLKTX}				14	ns
BCLK Active Edge to DOUT Hi-Z Delay	t_{HIZ}		4		18	ns
BCLK Inactive Edge to DOUT Active Delay	t_{ACTV}		0		14	ns
I ² C INTERFACE TIMING						
Serial Clock Frequency	f_{SCL}				1000	kHz
Bus Free Time Between STOP and START Conditions	t_{BUF}		0.5			μs
Hold Time (Repeated) START Condition	$t_{HD,STA}$		0.26			μs
SCL Pulse-Width Low	t_{LOW}		0.5			μs
SCL Pulse-Width High	t_{HIGH}		0.26			μs
Setup Time for a Repeated START Condition	$t_{SU,STA}$		0.26			μs
Data Hold Time	$t_{HD,DAT}$		0		450	ns
Data Setup Time	$t_{SU,DAT}$		50			ns
SDA and SCL Receiving Rise Time	t_R	Note 4	20		120	ns
SDA and SCL Receiving Fall Time	t_F	Note 4	$20 \times V_{DD}/5.5V$		120	ns
SDA Transmitting Fall Time	t_F		$20 \times V_{DD}/5.5V$		120	ns
Setup Time for STOP Condition	$t_{SU,STO}$		0.26			μs
Bus Capacitance	C_B				550	pF
Pulse Width of Suppressed Spike	t_{SP}		0		50	ns

Note 1 : 限界値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における限界値は、設計および特性評価により確保されています。

Note 2 : デジタル・フィルタの性能は温度に対して不変であり、 $T_A = +25^\circ C$ で製造テストされています。

Note 3 : 1% THD+N での出力パワーを基準とし、1kHz にて -60dBFS の出力信号を EIAJ 方式で測定しています。

Note 4 : 最小および最大の限界値は、設計およびデバイス特性データの統計解析により確保されています。この仕様は製造テストによる裏付けはありません。

タイミング図

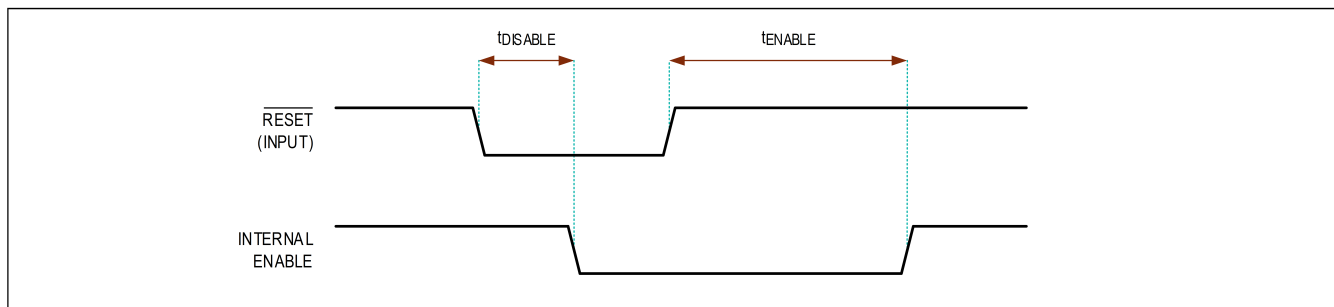


図 1. ハードウェア・イネーブル/ディスエーブルのタイミング図

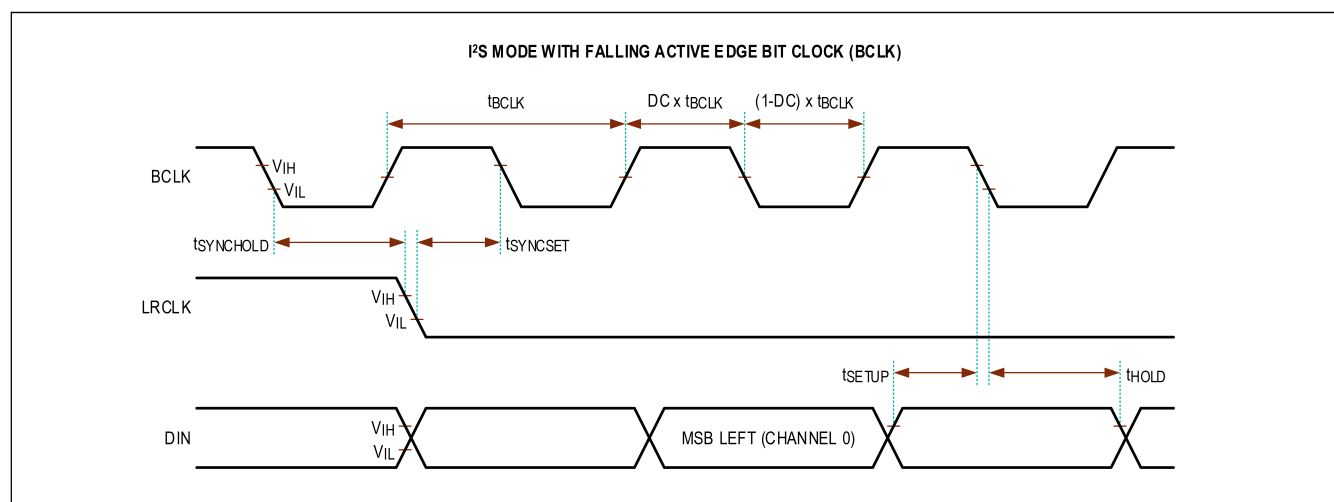


図 2. I²S モードにおける PCM インターフェースのタイミング図

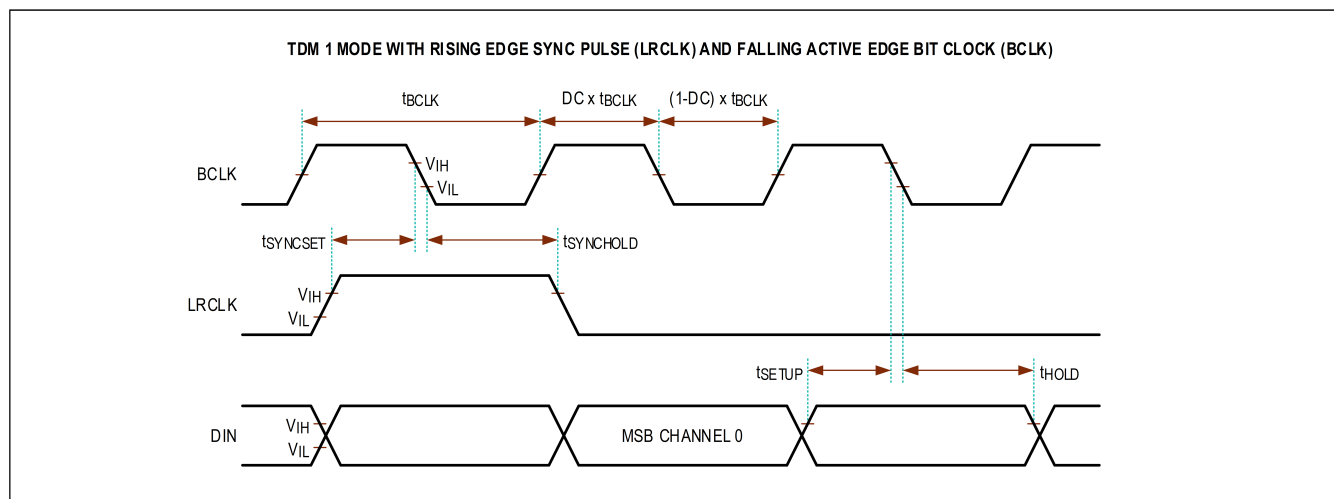


図 3. TDM 1 モードにおける PCM インターフェースのタイミング図

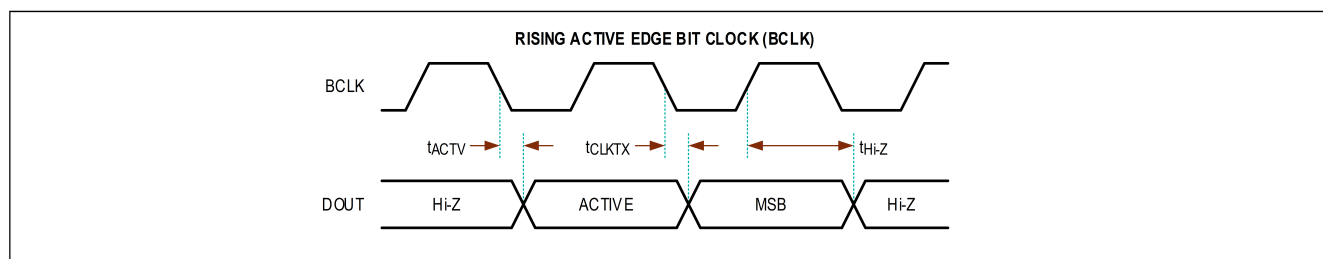


図 4. PCM インターフェースのデータ出力タイミング図

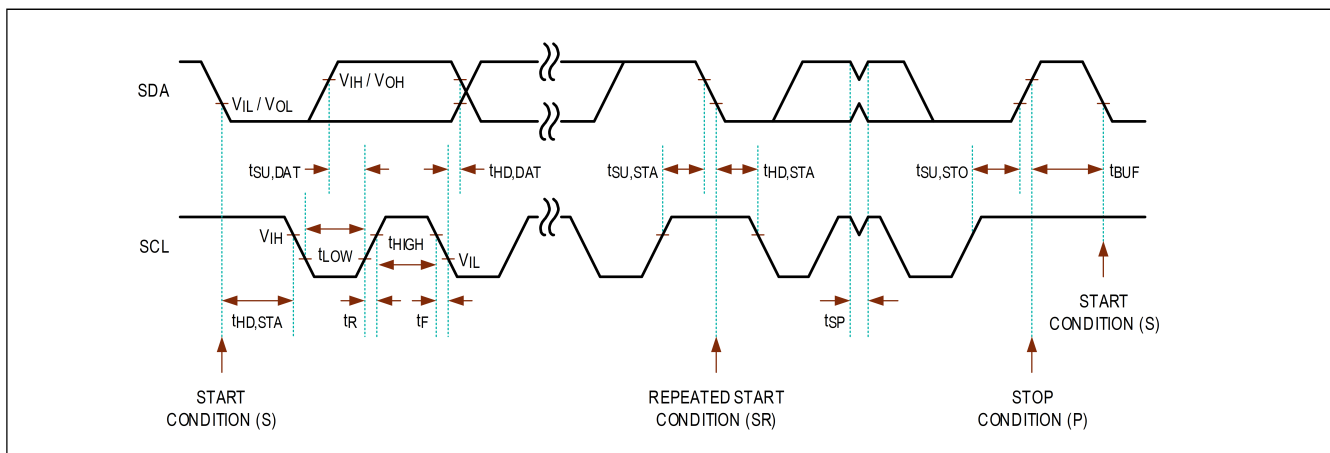
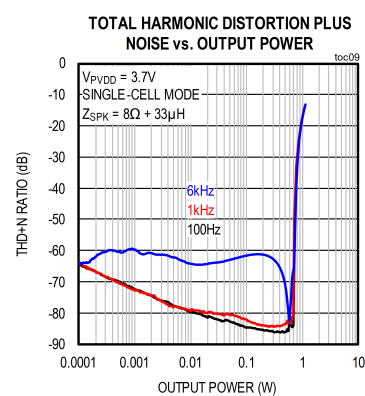
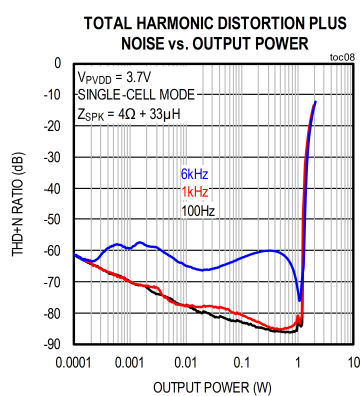
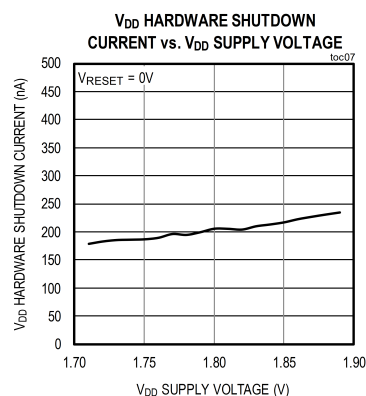
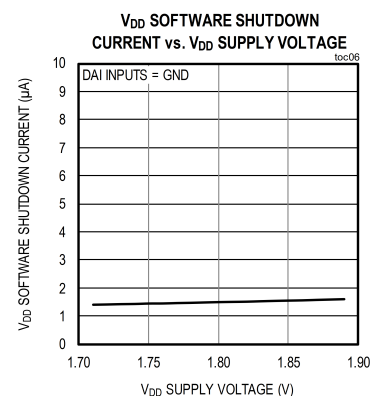
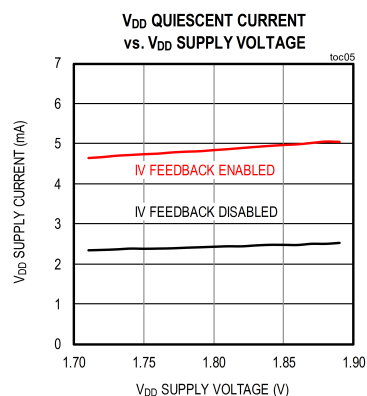
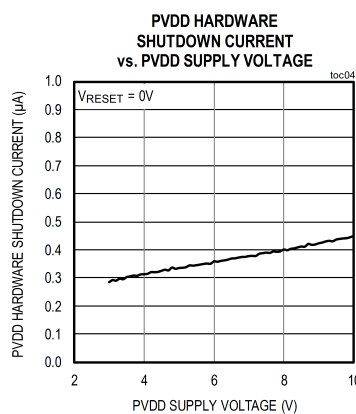
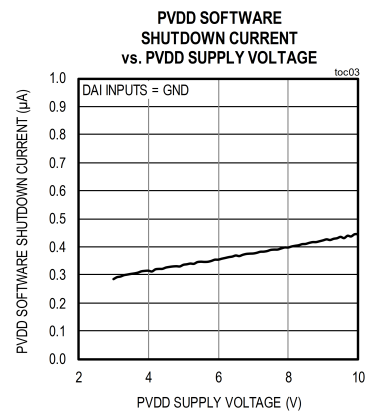
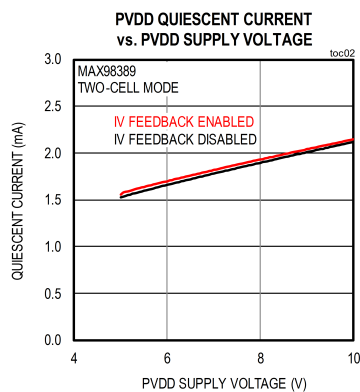
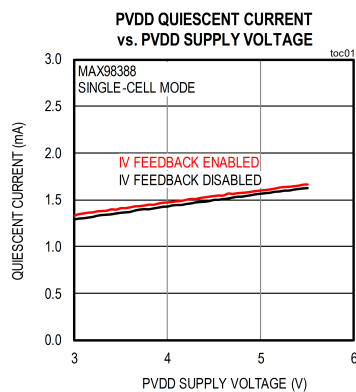


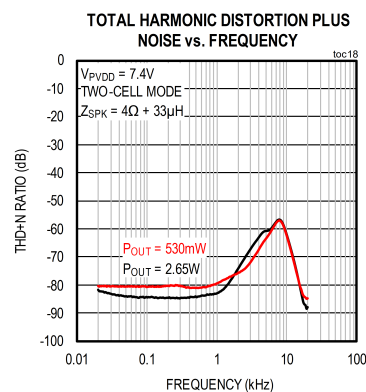
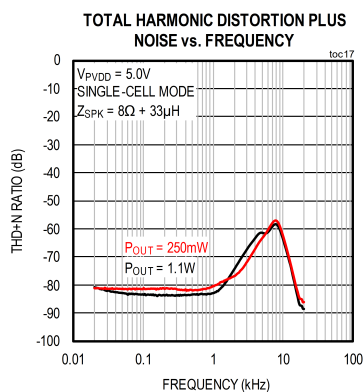
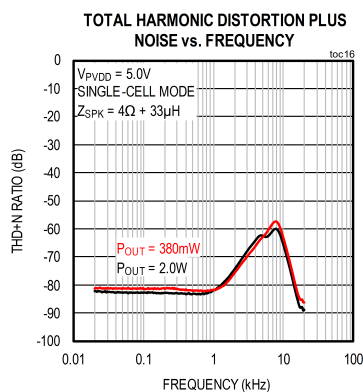
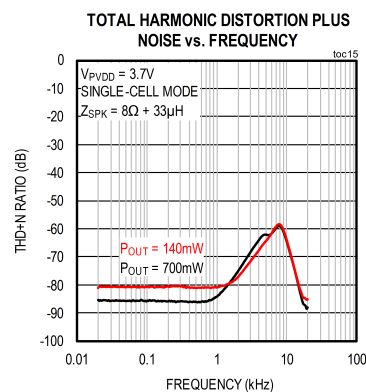
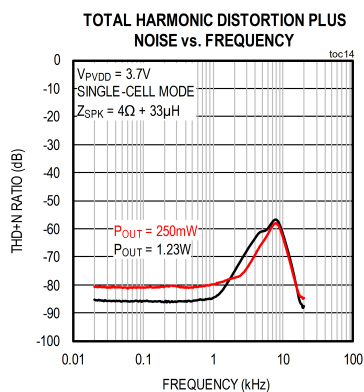
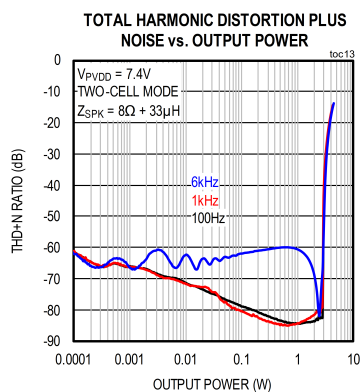
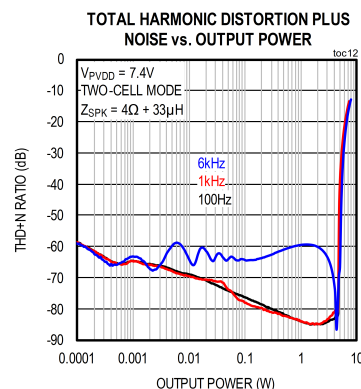
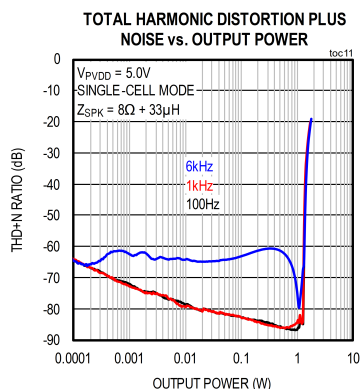
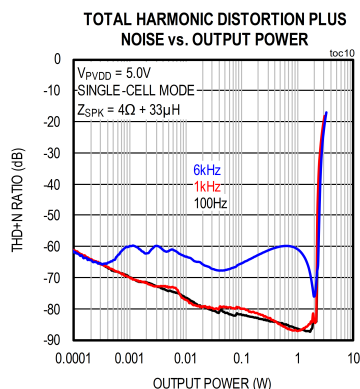
図 5. I²C ペリフェラル・デバイス制御インターフェースのタイミング図

標準動作特性

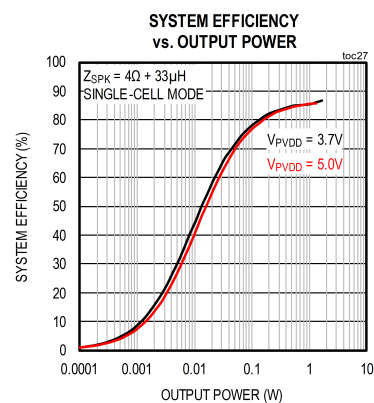
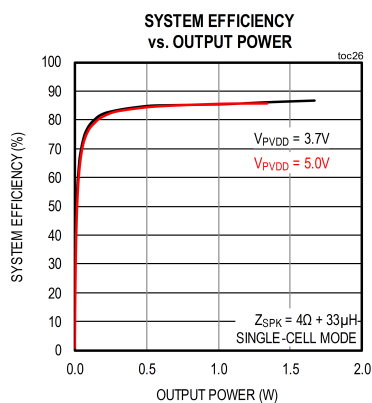
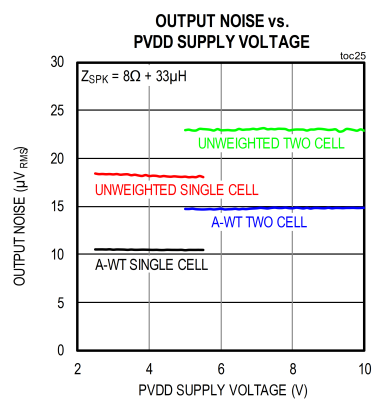
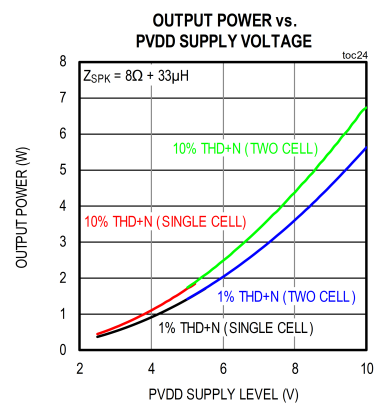
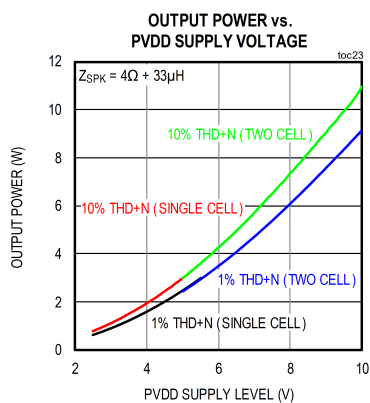
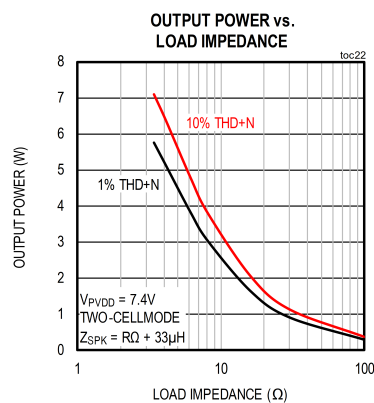
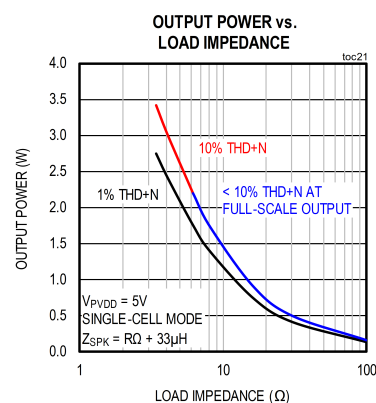
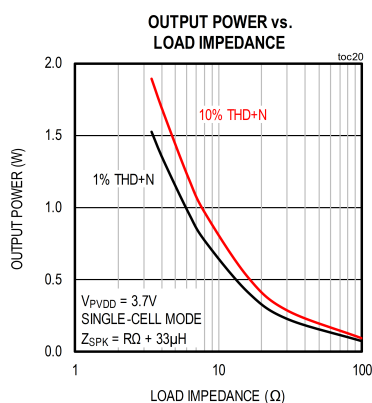
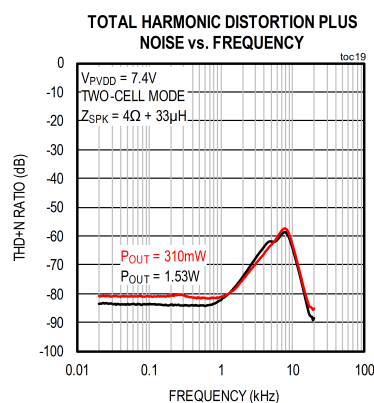
($V_{PVDD} = 5V$ (1セル・モード) または $7.4V$ (2セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



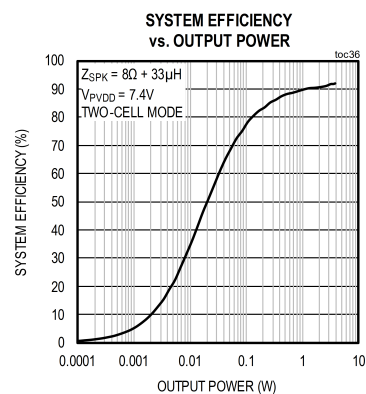
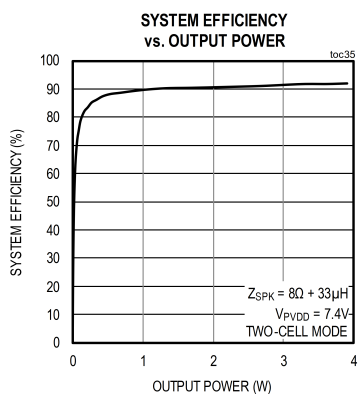
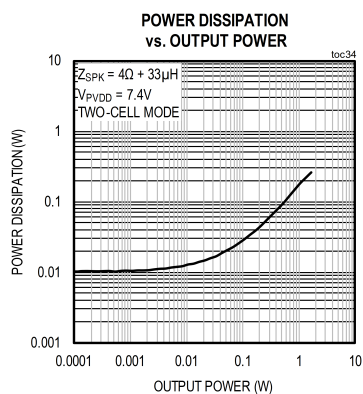
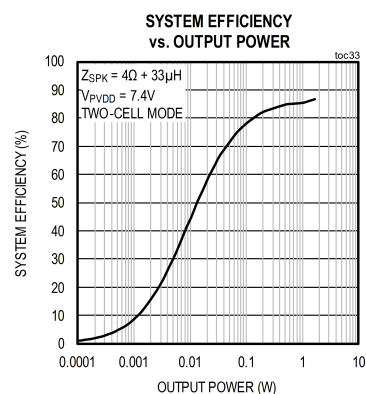
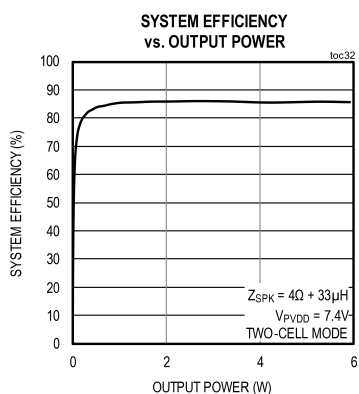
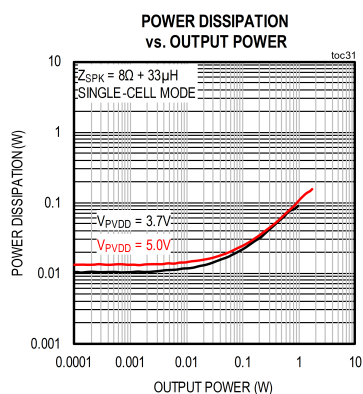
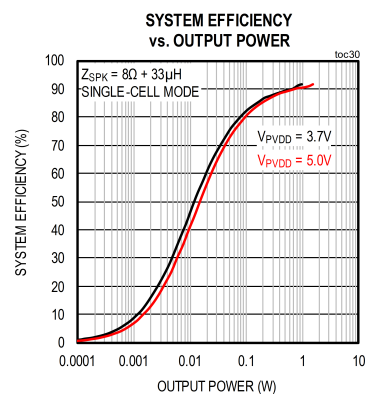
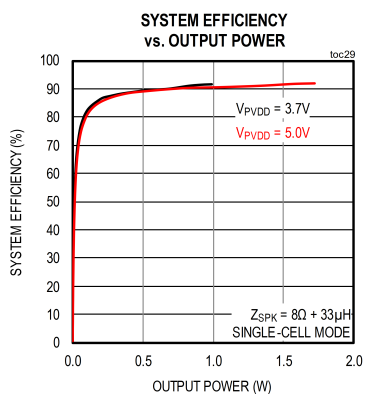
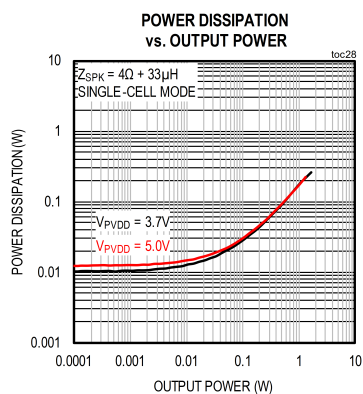
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



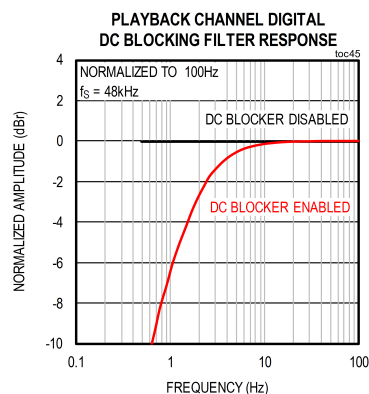
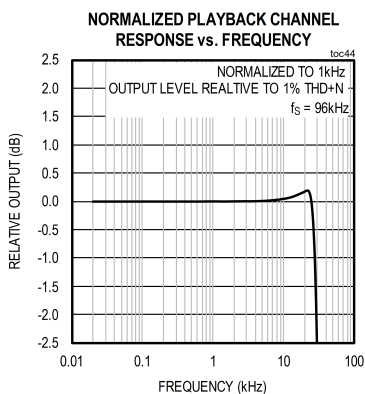
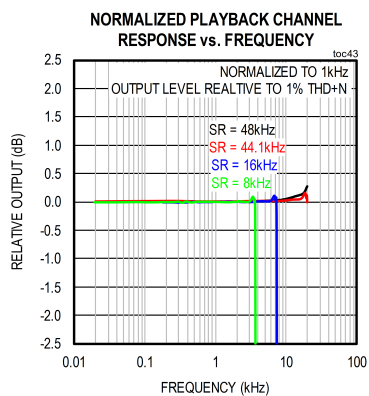
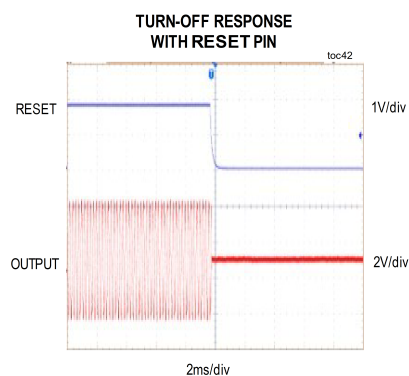
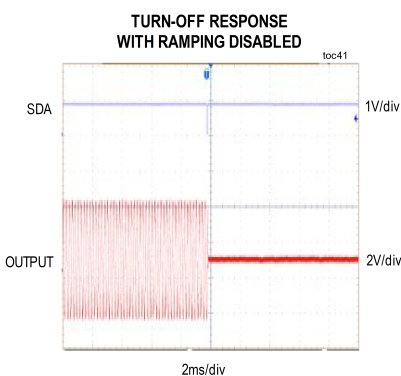
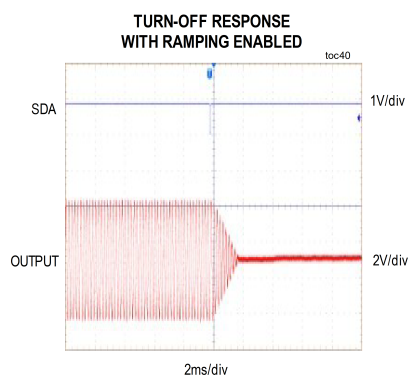
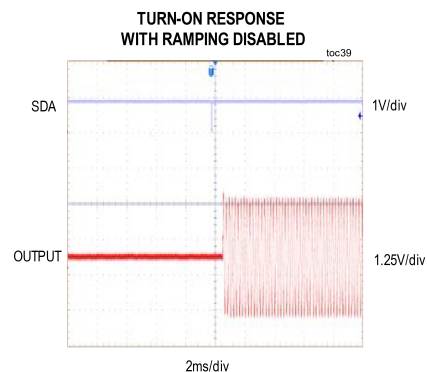
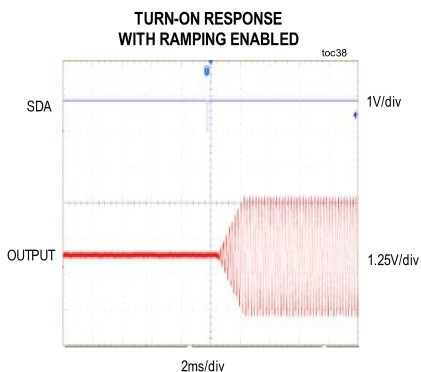
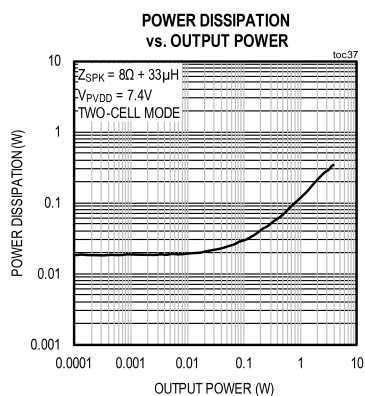
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



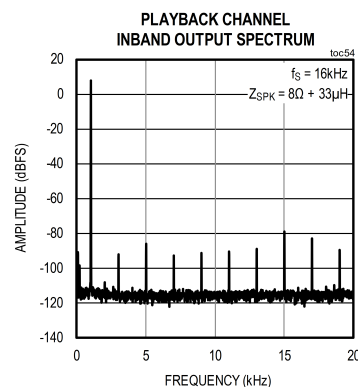
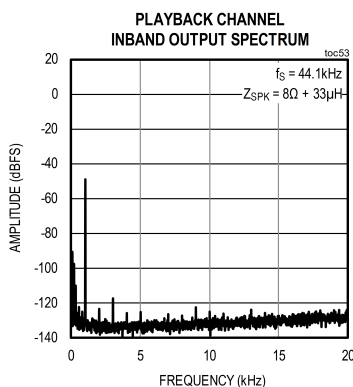
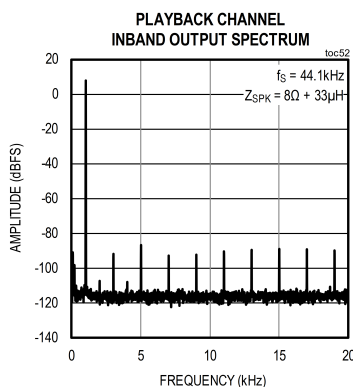
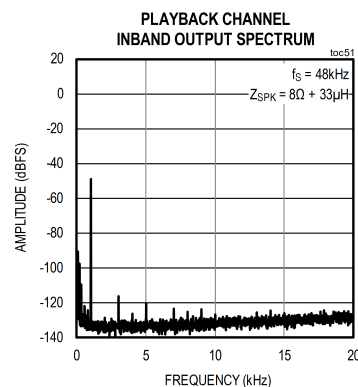
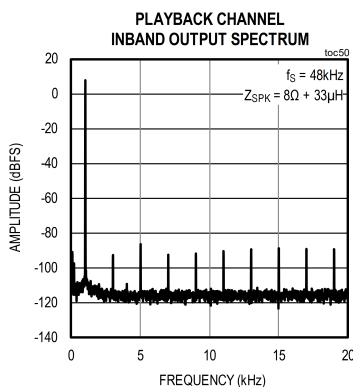
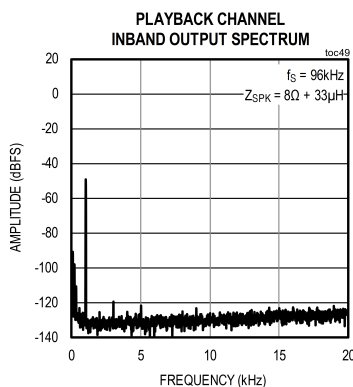
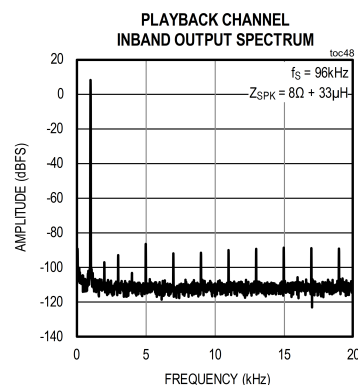
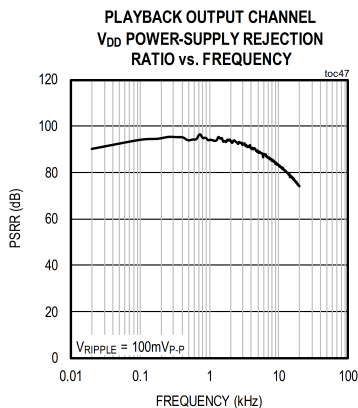
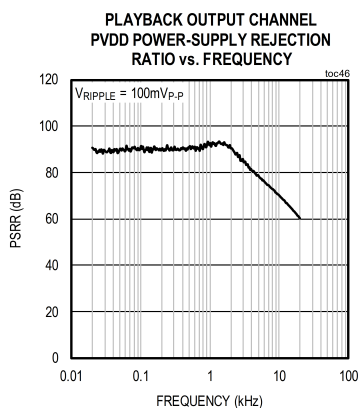
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



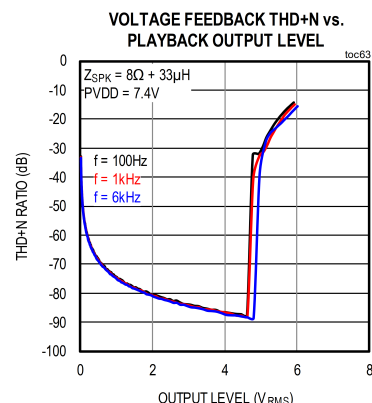
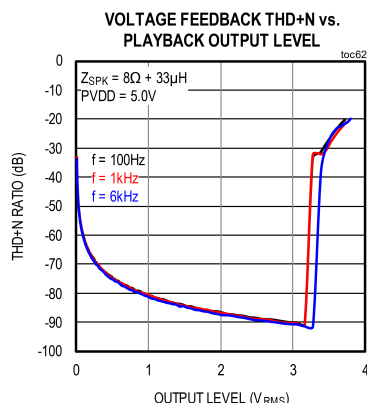
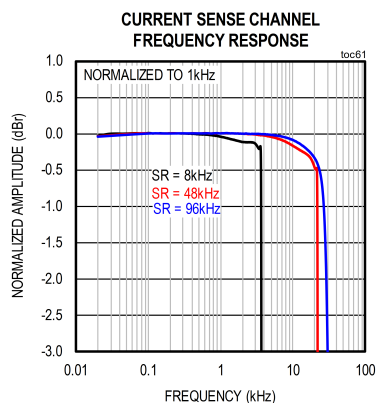
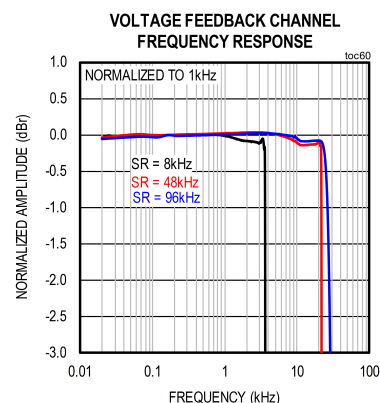
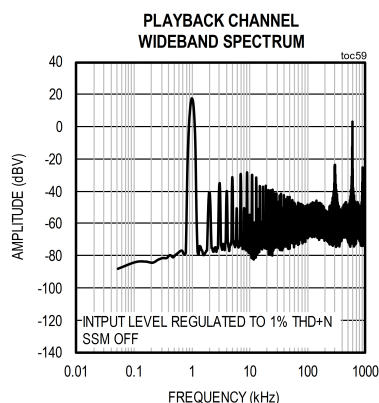
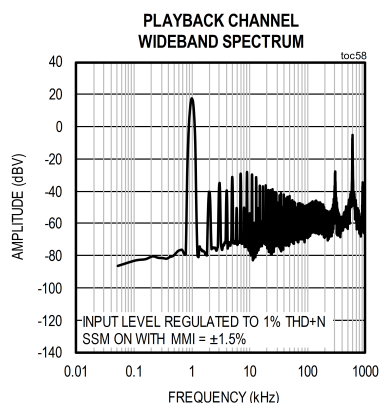
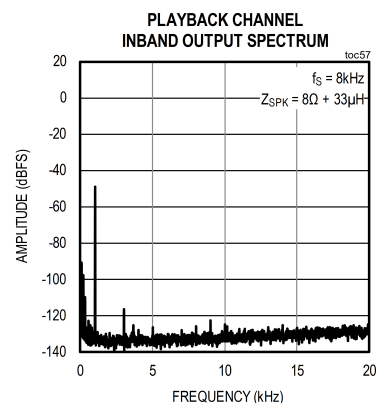
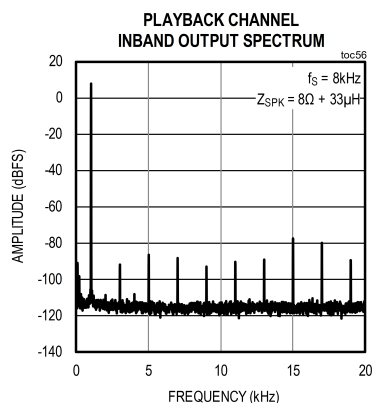
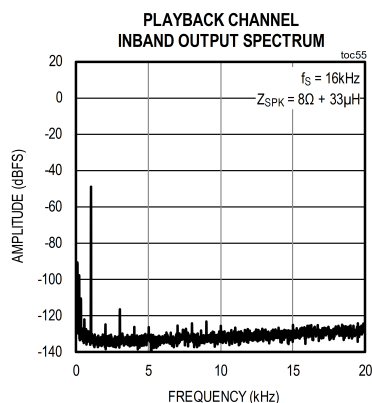
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



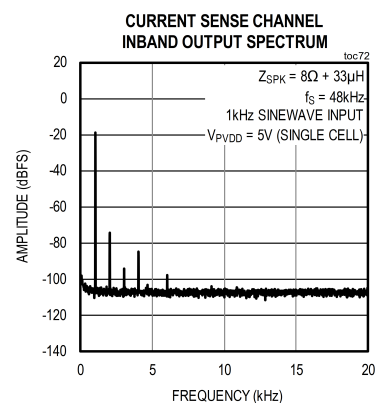
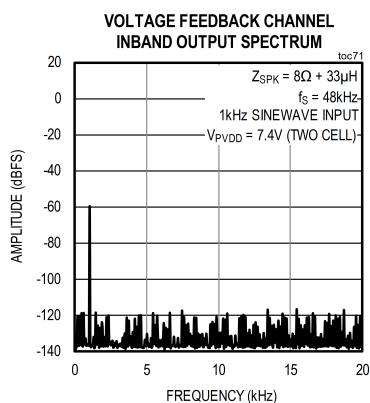
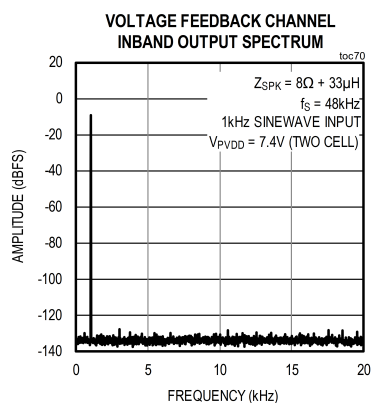
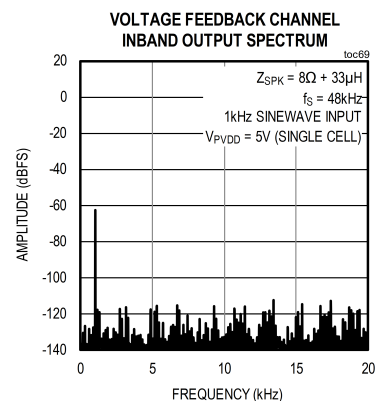
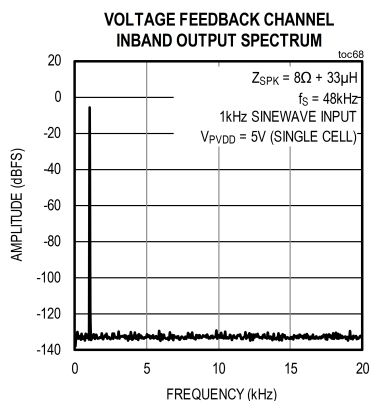
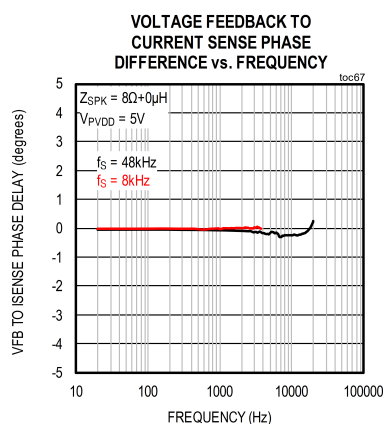
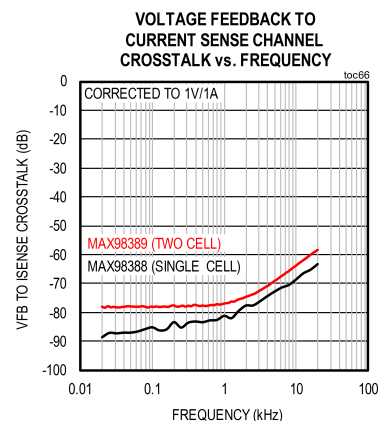
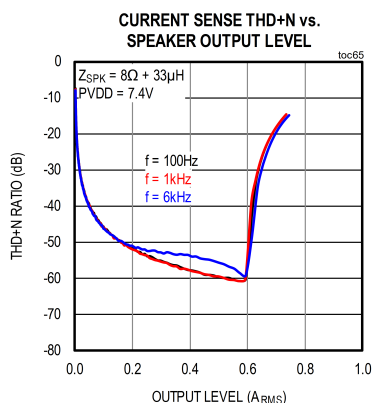
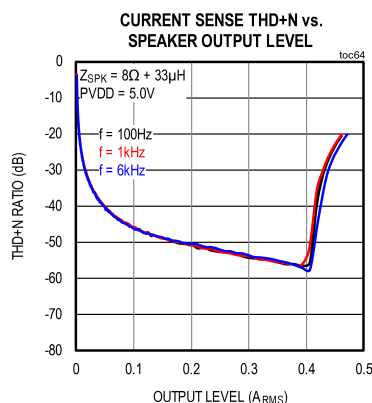
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



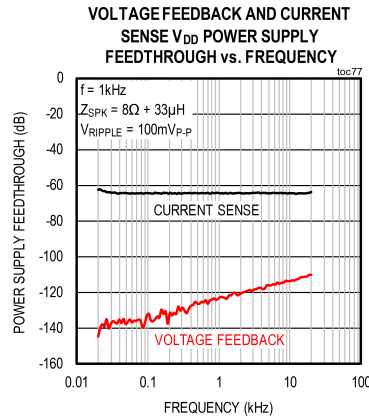
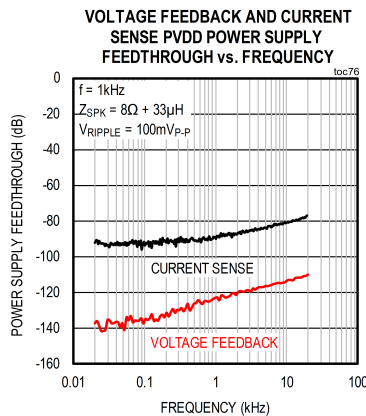
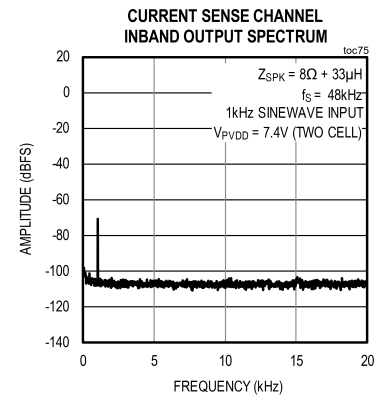
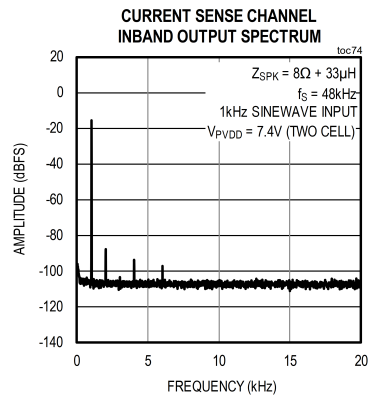
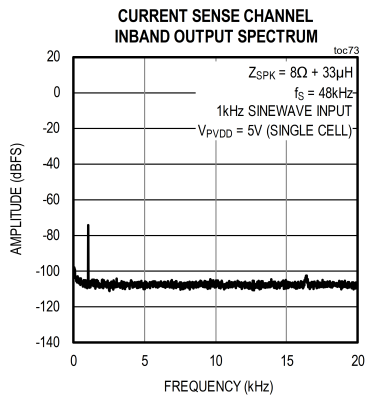
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



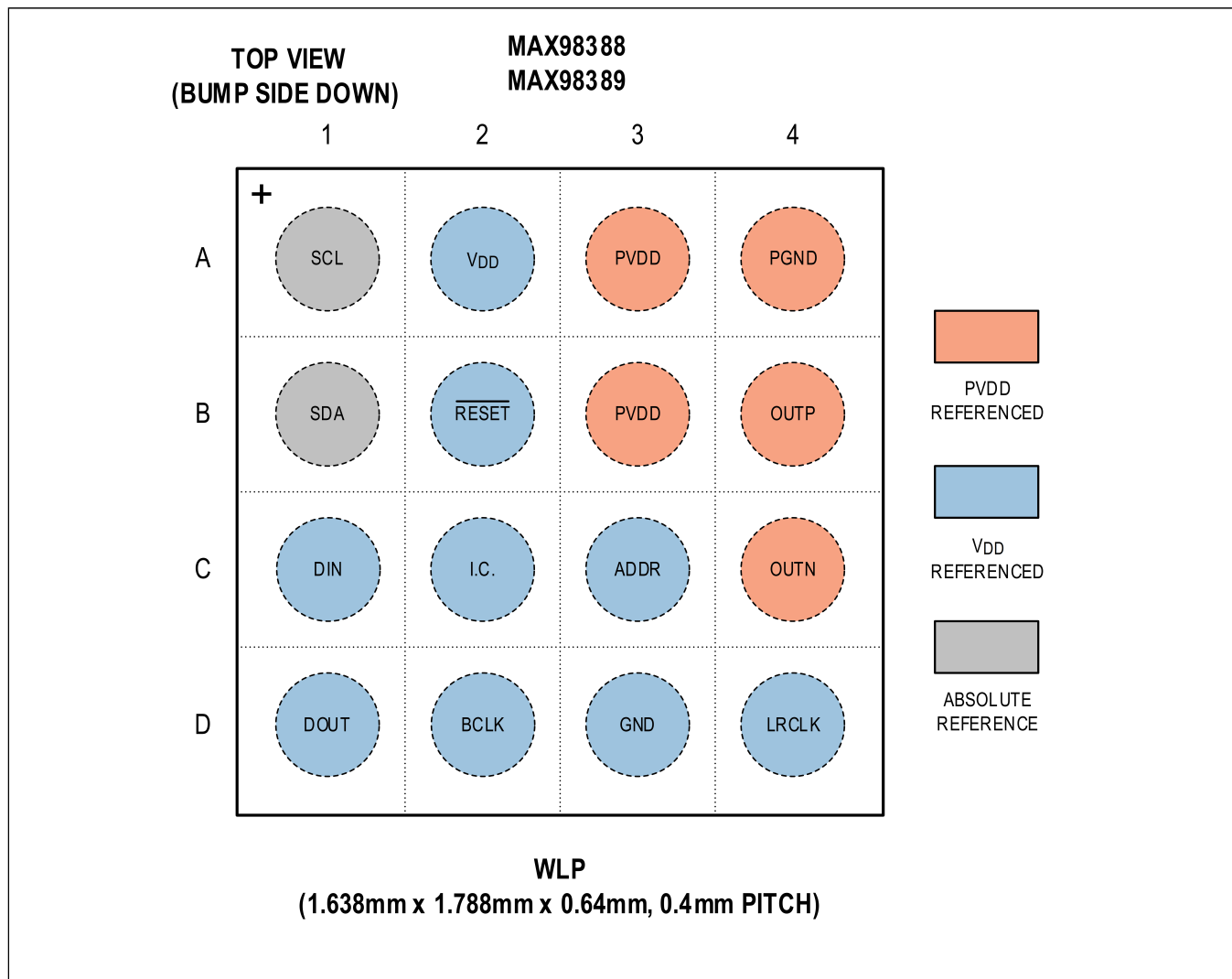
($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード) 、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



($V_{PVDD} = 5V$ (1 セル・モード) または $7.4V$ (2 セル・モード)、 $V_{DD} = 1.8V$ 、 $V_{GND} = V_{PGND} = 1.8V$ 、 $C_{PVDD} = 10\mu F + 0.1\mu F$ 、 $C_{VDD} = 1\mu F$ 、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、再生データワードサイズ ≥ 24 ビット、 $Z_{SPK} = OUTP \sim OUTN$ をオープン、 $T_A = +25^\circ C$)



ピン配置

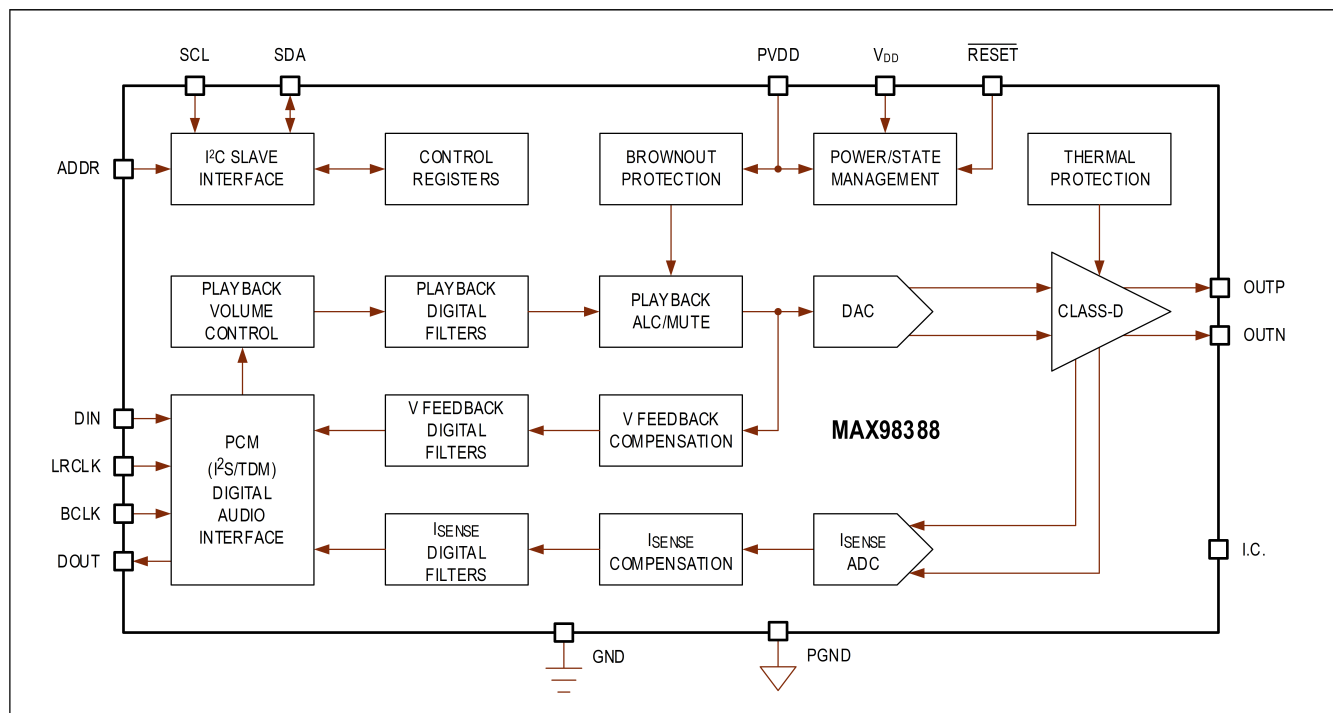


端子説明

ピン	名称	説明	リファレンス 電源	タイプ
A3, B3	PVDD	スピーカ・アンプの電源入力。電源入力のできるだけ近くに 10μF のコンデンサと 0.1μF のコンデンサを配置して、PGND にバイパスします。	—	Supply
A4	PGND	電源グラウンド。D 級アンプのグラウンド接続です。GND と同じグラウンド・プレーンに直接接続します。	—	Supply
A2	V _{DD}	内部低電圧電源の入力。電源入力のできるだけ近い場所に 1μF のコンデンサを配置して、GND にバイパスします。最高の性能を得るには、PCB レイアウトにおけるリターン・ループのインダクタンスを最小化するように注意します。	—	Supply
D3	GND	グラウンド。内部の低電圧アナログおよびデジタル用のグラウンド接続です。PGND と同じグラウンド・プレーンに直接接続します。	—	Supply
B4	OUTP	正の D 級アンプ出力。	PVDD	Analog Output

C4	OUTN	負の D 級アンプ出力。	PVDD	Analog Output
C3	ADDR	I ² C ペリフェラル・デバイスのアドレス。4 つの I ² C アドレスのうちの 1 つを選択します。	VDD	Digital Input
B1	SDA	I ² C 互換のシリアル・データ入出力。V _{DD} ヘブルアップ抵抗を接続すると出力がフルスイングします。	VDD	Digital Input/Output
A1	SCL	I ² C 対応のシリアル・クロック入力。V _{DD} ヘブルアップ抵抗を接続すると出力がフルスイングします。	VDD	Digital Input
B2	$\overline{\text{RESET}}$	ハードウェア・リセット入力。ローにすると、デバイスはリセットされ、ハードウェア・シャットダウン状態に保持されます（デバイスの全てのデジタル部分と全てのレジスタをデフォルトの PoR 設定にリセットします）。ハイ（V _{DD} ）にすると、V _{DD} が UVLO スレッシュホールドを上回った場合に、デバイスはハードウェア・シャットダウンを終了できます。	VDD	Digital Input
D2	BCLK	PCM インターフェースのビット・クロック（BCLK）入力。内部で R _{PD} を介して GND にプルダウンされています。	VDD	Digital Input
D4	LRCLK	PCM インターフェースのフレーム・クロック（LRCLK）入力。周波数は再生サンプル・レートに一致します。内部で R _{PD} を介して GND にプルダウンされています。	VDD	Digital Input
C1	DIN	PCM インターフェースのデータ入力（DIN）。内部で R _{PD} を介して GND にプルダウンされています。	VDD	Digital Input
D1	DOUT	PCM インターフェースのデータ出力（DOUT）。	VDD	Digital Output
C2	I.C.	内部で接続されています。通常のデバイス動作では使用しません。オープンにしておくか、外部で V _{DD} または GND に接続します。ADDR はこのパンプを介して $\overline{\text{RESET}}$ と V _{DD} に接続できます。	VDD	—

機能図



詳細

デバイス状態の制御

デバイスには、ハードウェア・シャットダウン状態、ソフトウェア・シャットダウン状態、およびアクティブ状態の 3 つの異なる電源状態があります。デバイスが状態間を正常に移行する場合、状態移行条件に基づいて、常にハードウェア・シャットダウン状態、ソフトウェア・シャットダウン状態、アクティブ状態の順（またはその逆）に移行します。ソフトウェア・シャットダウン状態とアクティブ状態の間の正常な移行は、進行中の移行が完了するのを待つことなく、可逆的に行われます。フォールト状態、電源切断、およびリセット状態を原因とする状態移行は可逆的ではなく、（いったん開始すると）必ず完了させてデバイスを保護します。デバイスをパワーアップする際、各電源に適用されるシーケンスに条件はありません。

ハードウェア・シャットダウン状態

ハードウェア・シャットダウン状態は、消費電力が最も低い構成です。この状態にある時、デバイス全体がリセット状態に保持されます。その結果、PC 制御インターフェースはディスエーブルになり、全てのデバイス・レジスタは PoR 状態にリセットされます。

最初にデバイスをパワーアップすると、常にハードウェア・シャットダウン状態に初期化されます。また、ハードウェア・リセット（**RESET** 入力をロジックローに駆動）またはソフトウェア・リセット（**RST** ビット・フィールド）のイベントが発生した後、あるいは V_{DD} 電源が UVLO スレッショルドを下回った場合は常時、ハードウェア・シャットダウン状態に移行します。ハードウェア・シャットダウン状態への移行は、ソフトウェア・シャットダウン状態からのみ行う必要があり、アクティブ状態から開始した場合、スピーカ出力に可聴域のグリッチが発生することがあります。

デバイスは、**RESET** 入力のアサート（ロジック・ハイに駆動）され、 V_{DD} 電源が UVLO スレッショルドを上回るまで、ハードウェア・シャットダウン状態に保持されます。この 2 つの条件が満たされると、デバイスは自動的にハードウェア・シャットダウン状態を終了し、初期化後にソフトウェア・シャットダウン状態に移行します。この移行時（初期化の一部として）、OTP レジスタのトリム設定が読み込まれます。

ソフトウェア・シャットダウン状態

ハードウェア・シャットダウン状態からの移行後は、最初にソフトウェア・シャットダウン状態になります。ソフトウェア・シャットダウン状態では、PC インターフェースはアクティブです。デバイスの全てのレジスタは制限なくプログラム可能で、設定した全てのレジスタの状態が保持されます。ソフトウェア・シャットダウン状態では、他の全てのブロックは（ブロック・イネーブルの設定に関係なく）自動的にディスエーブルされます。

グローバル・イネーブル・ビット（**EN**）は、ソフトウェア・シャットダウン状態とアクティブ状態の間でデバイスを移行するのに使用します。グローバル・イネーブル（**EN**）をハイに設定すると、デバイスはパワーアップし、アクティブ状態に移行します。デバイスがアクティブな状態でグローバル・イネーブル（**EN**）をローに設定すると、デバイスはパワーダウンし、ソフトウェア・シャットダウン状態に戻ります。更に、ソフトウェア・リセット・ビット（**RST**）に 1 を書き込むと、常にデバイスは最初にリセットされ（ハードウェア・シャットダウン状態に移行）、その後ソフトウェア・シャットダウン状態に戻ります。

V_{DD} 電源が UVLO スレッショルドを下回る、またはハードウェア・リセット入力（**RESET**）がローになると、デバイスはソフトウェア・シャットダウン状態からハードウェア・シャットダウン状態に移行します。

アクティブ状態

アクティブ状態へは常にソフトウェア・シャットダウン状態を経由して移行します。アクティブ状態では、全ての有効なデバイス・ブロックがアクティブになり、スピーカ・アンプでの再生が可能です。アクティブ状態では、ダイナミック・レジスタ設定（つまりディスエーブルされたブロックに限定された設定）のみを安全に設定できます。

アクティブ状態からの移行は、フォールト状態を除けば、グローバル・イネーブルビット（**EN**）によって開始された時に限ります。それ以外のアクティブ状態からの移行は、 $PVDD$ が UVLO スレッショルドを下回ったか、フォールト・イベントが発生したかのいずれかの結果であり、これらがアクティブな再生時に発生した場合、可聴グリッチとなる可能性があります。

電源シーケンス

各電源に適用されるシーケンスに条件はありません。ただし、ある電源が UVLO スレッショルドを下回ると、特定の状態移行は完了できません。ハードウェア・シャットダウン状態からソフトウェア・シャットダウン状態に移行するには、 V_{DD} 電源が UVLO スレッショルドを上回っている必要があります。また、ソフトウェア・シャットダウン状態からアクティブ状態に移行するには、 $PVDD$ 電源が UVLO スレッショルドを上回っている必要があります。

デバイスのシーケンス

デバイスのイネーブルおよびディスエーブル・シーケンスの例を示します。表中、同じ番号の後に文字が続くステップは、任意の順序で実行できます（すなわち、ステップ nA、nB、および nC はステップ n のサブステップで、シーケンシャルではありません）。

デバイス・イネーブルのシーケンス例

以下に示すデバイス・イネーブルのシーケンス例は、電流検出と電圧帰還を有効化／無効化したオーディオ再生に推奨します。

表 1. オーディオ再生のための推奨パワーアップ・シーケンス

ステップ	アクション (状態)	詳細
0	None (Hardware-Shutdown State)	消費電力が最も低い状態です。デバイスとレジスタはリセット状態に保持され、制御やオーディオ・インターフェースの操作はできません。
1A	Power-Up V _{DD} Supply (Hardware Shutdown State)	V _{DD} 電源を UVLO スレッシュホールド以上にします。この状態では PVDD 電源はモニタされず、そのレベルは UVLO スレッシュホールドを上回ることも下回ることもあります。電源のシーケンス (V _{DD} と PVDD) は必要ありません。
1B	Release Hardware Reset (Hardware-Shutdown State)	ハードウェア・リセットの反転入力 ($\overline{\text{RESET}}$) をハイに駆動するか、常に V _{DD} 電源入りに接続 (プルアップ) します。
2	Transition to the Software-Shutdown State (State Transition)	条件が満たされると (ステップ 1A および 1B)、デバイスは自動的にソフトウェア・シャットダウン状態に移行します。ハードウェア・イネーブル時間 (t _{HW_EN}) の経過後、移行が完了します (エラー・ステータスが通知されていない場合)。この移行の間、デバイス・レジスタの設定やリードバックは行わないでください。
3	None (Software-Shutdown State)	この状態は、I ² C インターフェースがアクティブで、かつレジスタの設定と保持が可能のうちで最も消費電力が低い状態です。システムのアイドル／スタンバイ時や、ホストシステムがアクティブであるが再生に使用されていない場合に使用できます。
4A	Program Device Registers (Software-Shutdown State)	システム・ソフトウェアは、所望のオーディオの使用状況に合わせて、デバイスのレジスタ (グローバル・イネーブル・ビット EN を除く) を完全に設定する必要があります。これには、クロック／インターフェース設定、アンプモード、再生チャンネル設定、電流検出／電圧帰還チャンネル設定 (有効化した場合) などがあります。
4B	Power-Up PVDD Supply (Software-Shutdown State)	アクティブ状態に移行する前に、PVDD 電源を UVLO スレッシュホールド以上にします (まだ行っていない場合)。
4C	Enable the External Clocks (Software-Shutdown State)	PCM インターフェース・クロック (ビット・クロックとフレーム・クロック) を起動し、アクティブ状態に移行します。
5	Set Global Enable Bit (Software-Shutdown State)	グローバル・イネーブル (EN) ビットをハイにセットし、デバイスがアクティブ状態に移行することを許可します (他の全ての条件が満たされている場合)。可聴グリッチを避けるために、PCM 再生データ入力 (DIN) は、アクティブ状態への移行前と移行中は無音でなければなりません。
6	Transition to the Active State (State Transition)	状態移行はターンオン時間 (t _{ON}) が経過した後に完了します。ターンオン時間 (t _{ON}) の持続時間は、音量のランプアップを有効化するかバイパスするかによって異なります。移行が完了すると、パワーアップ完了状態ビットがセットされます。移行に失敗した場合、1 つ以上のフォールト・ステータス状態ビットがセットされることがあります。
7	Audio Playback (Active State)	デバイスはアクティブ状態にあって、再生がアクティブまたはレディの状態です。アクティブ状態でのデバイス・プログラミング中のエラーや可聴グリッチを避けるため、全てのレジスタ・ビット・フィールドの制限を遵守する必要があります。

デバイス・ディスエーブルのシーケンス例

以下に示すデバイス・ディスエーブルのシーケンス例は、電流検出と電圧帰還を有効化／無効化したオーディオ再生に推奨します。

表 2. オーディオ再生のための推奨パワーダウン・シーケンス

ステップ	アクション (状態)	詳細
0	Audio Playback (Active State)	デバイスはアクティブ状態にあって、再生がアクティブまたはレディの状態です。
1	Clear Global Enable Bit (Active State)	パワーダウンの前に、ホストは最初にオーディオ・データ入力 (DIN) をランプダウンしてディスエーブル (無音に) する必要があります。次に、グローバル・イネーブル・ビット (EN) をローに設定し、デバイスをソフトウェア・シャットダウン状態に移行させます。
2	Transition to the Software-Shutdown State (State Transition)	オーディオのターンオフ時間 (t_{OFF}) が経過すると、移行が完了します。音量ランブダウンを有効化するかバイパスするかによって、ターンオフ時間 (t_{OFF}) の長さが異なることに注意してください。移行が完了すると、パワーダウン完了状態ビットがセットされます。
3	Idle/Reprogram Device (Software-Shutdown State)	デバイスは、ソフトウェア・シャットダウン状態でアイドルにすることができます。PVDD 電源を停止し、外部クロックをディスエーブルすると電力を削減できます。この状態でデバイスを自由に再設定できます。 アクティブ状態に戻すには、デバイス・イネーブルのシーケンス例でのステップ 3 から開始し、そこからパワーアップ・シーケンスに従います。
4	Transition to the Hardware-Shutdown State (State Transition)	ハードウェア・シャットダウン状態に移行する前に、まず外部クロックがディスエーブルになっていることを確認します。次に、ハードウェア・リセット入力 ($\overline{RESET}$) をハードウェア・ディスエーブル時間 (t_{HW_DIS}) よりも長い有効なロジック・ロー・レベルにアサートするか、V _{DD} 電源を UVLO スレッシュホールド以下までパワーダウンさせるかします。
5	None (Hardware-Shutdown State)	消費電力が最も低い状態です。全ての電源は、必要に応じてディスエーブルにできます。この状態では、デバイス、全てのインターフェース、および全てのレジスタは完全にリセットされます。

デバイス・ステータスのイベントレポート

デバイスは、チップ上で発生したイベントをホストに通知する一連のステータス・ビットを提供しています。各ステータス・イベント・ソースに対して、以下の機能を持った RAW ビットと STATE ビットの両方が提供されます：

生ステータス (RAW)

各ステータス・イベント・ソースには、割込みソースに関するリアルタイムの生ステータスを示す読み出し専用ビットがあります。いくつかの RAW ステータス・ビットは、アサートされるとイベント・ソースの現在のステータスをライブで読み出すことができます。他の RAW ステータス・ビットは、イベント発生時のみアサートされます。この場合、STATE ビットを読み出して、前回の読み出し以降にイベントが発生したかどうかを判断する必要があります。

状態ステータス (STATE)

各ステータス・イベントのソースは、関連する RAW ステータス・ビットの立上がりエッジが発生するたびにセットされるクリア・オン・リード（読み出し専用）状態ビットを備えています。

デバイス・ステータスのイベント・ソース

ステータス・イベント・ソースの全リストを表 3 に示します。

表 3. デバイス・ステータスのイベント・ソース 1

レジスタ・アドレス	ビット	イベント・ソース	ビット名	生ステータス	説明
RAW 0x2001 STATE 0x2004	7	Thermal Shutdown	THERMSHDN_*	Asserted Level	ダイ温度がサーマル・シャットダウンの設定済みスレッシュホールドより大きいことを示します。
	6	Thermal Warning Begin	THERMWARN_BGN_*	Asserted Level	ダイ温度が過熱警告の設定済みスレッシュホールドを超えたことを示します。
	5	Thermal Warning End	THERMWARN_END_*	Asserted Level	ダイ温度が過熱警告の設定済みスレッシュホールドを超えた後、そのスレッシュホールドを下回ったことを示します。
	4	Speaker Output Monitor	SPKMON_ERR_*	Pulsed-On Event	スピーカ出力モニタがフォールト・イベントを検出したことを示します。イベントは、グローバル・イネーブル・ビット (EN) をハイにセットしている場合にのみ発生します。
	3	Clock Monitor	CLK_ERR_*	Asserted in Auto Mode/Pulsed in Manual Mode	クロック・モニタがクロック・エラー・イベントを検出したことを示します。イベントは、グローバル・イネーブル・ビット (EN) をハイにセットしている場合にのみ発生します。
	2	Power-Down Done	PWRDN_DONE_*	Pulsed-On Event	デバイスがアクティブ状態からソフトウェア・シャットダウン状態へのパワーダウンを完了したことを示します。
	1	Power-Up Done	PWRUP_DONE_*	Pulsed-On Event	デバイスがソフトウェア・シャットダウン状態から移行し、再生チャンネルがイネーブルされてオーディオ・データを受信する準備ができたことを示します。
	0	OTP Fail	OTP_FAIL_*	Asserted Level	デバイスを初期化する際に実行される OTP 読み込みルーチンが正常に完了しなかったことを示します。

表 4. デバイス・ステータスのイベント・ソース 2

レジスタ・アドレス	ビット	イベント・ソース	ビット名	生ステータス	説明
RAW 0x2002 STATE 0x2005	7	—	—	—	—
	6	—	—	—	—
	5	Brownout Protection ALC Mute	BR_ALC_MUTE_*	Asserted Level	ブラウンアウト保護 ALC がスピーカ・チャンネルをミュートしていることを示します。
	4	Brownout Protection ALC Active	BR_ALC_ACTIVE_*	Asserted Level	ブラウンアウト保護 ALC がスピーカ・チャンネルの音量を減衰させていることを示します。
	3	Brownout Protection ALC Thresh	BR_ALC_THRES_*	Asserted Level	PVDD レベルがブラウンアウト保護 ALC のスレッシュホールドを下回ったことを示します。
	2	PVDD UVLO Shutdown	PVDD_UVLO_SHDN_*	Asserted in Auto Mode/Pulsed in Manual Mode	オーディオ・アクティブ状態で動作中に PVDD レベルが UVLO スレッシュホールドを下回ったことを示します。
	1	Speaker Amplifier Overcurrent	SPK_OVC_*	Asserted Level	アンプの出力電流が過電流スレッシュホールドを超えたことを示します。
	0	Speaker Amplifier Clipping	SPK_CLIP_*	Asserted Level	アンプ出力にクリッピング・イベントが検出されたことを示します。

PCM インターフェース

柔軟な PCM インターフェースは、8kHz～96kHz の一般的なオーディオ再生サンプル・レートと 8kHz～96kHz の I/V 帰還サンプル・レートをサポートしています。また、PCM インターフェースは、代表的な I²S、左詰め、および TDM のデータ・フォーマットもサポートしています。PCM データ入力 (DIN) と PCM データ出力 (DOUT) の両方をディセーブルした場合、PCM インターフェースはディセーブルされ、パワーダウンします。

PCM クロックの設定

デバイスの PCM インターフェースはペリフェラルとして機能するため、ホスト（マネージャまたはコントローラとも呼ばれる）が外部のビット・クロック (BCLK) とフレーム・クロック (LRCLK) の両方を供給する必要があります。PCM インターフェースのクロック入力を設定するために、ホストは PCM インターフェースと再生チャンネルのサンプル・レート (PCM_SR)、それにビット・クロック (BCLK) とフレーム・クロック (LRCLK) の比率 (PCM_BSEL) の両方を設定しなければなりません。PCM インターフェースのサンプル・レートとスピーカ再生チャンネルのサンプル・レートは常に一致し、フレーム・クロック (LRCLK) の周波数に一致するように設定 (PCM_SR) する必要があります。

電流検出 ADC および電圧帰還チャンネルのサンプル・レート (IV_SR) は、PCM インターフェースおよびスピーカ・チャンネルと同じサンプル・レートに設定するか、あるいは表 5 の制限に従って、サポートされている任意の低いサンプル・レートに設定できます。電流検出 ADC チャンネルをスピーカ・アンプ・チャンネルより低いレートに設定した場合、出力データには繰り返しサンプルが含まれます。

表 5. サポートされる PCM インターフェースと IV 帰還チャンネルのサンプル・レート比

N/A = NOT AVAILABLE N/S = NOT SUPPORTED		I _{SENSE} ADC/V FEEDBACK DATA SAMPLE RATE (kHz)										
		96	88.2	48	44.1	32	24	22.05	16	12	11.025	8
PCM INTERFACE AND SPEAKER CHANNEL SAMPLE RATE (kHz)	96	1	N/S	2	N/S	3	4	N/S	6	8	N/S	12
	88.2	N/A	1	N/S	2	N/S	N/S	4	N/S	N/S	8	N/S
	48	N/A	N/A	1	N/S	N/S	2	N/S	3	4	N/S	6
	44.1	N/A	N/A	N/A	1	N/S	N/S	2	N/S	N/S	4	N/S
	32	N/A	N/A	N/A	N/A	1	N/S	N/S	2	N/S	N/S	4
	24	N/A	N/A	N/A	N/A	N/A	1	N/S	N/S	2	N/S	3
	22.05	N/A	N/A	N/A	N/A	N/A	N/A	1	N/S	N/S	2	N/S
	16	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	N/S	N/S	2
	12	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	N/S	N/S
	11.025	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1	N/S
	8	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	1

本デバイスでは、ビット・クロックとフレーム・クロックの比 (PCM_BSEL) を 32～512 の範囲で設定できます。ただし、選択した PCM インターフェースのサンプル・レート (LRCLK 周波数) に基づき、設定したクロック比で BCLK 周波数が 24.576MHz を超えることはできません。

PCM データ・フォーマットの設定

本デバイスは、標準的な I²S、左詰め、および TDM データ・フォーマットをサポートしています。動作モードは、PCM_FORMAT ビット・フィールドで設定します。

I²S/左詰めモード

I²S および左詰めフォーマットは、16 ビット、24 ビット、または 32 ビットの長さの 2 つのチャンネルをサポートします。BCLK と LRCLK の比率 (PCM_BSEL) は、目的のチャンネル長の 2 倍になるように設定する必要があります。オーディオ・データのワード・サイズは 16 ビット、24 ビット、または 32 ビット長に設定可能で (PCM_CHANSZ)、チャンネル長以下となるように設定しなければなりません。もしチャンネル長が設定したデータ・ワード・サイズを超えた場合、データ入力の LSB は切り捨てられ、データ出力の LSB は PCM_TX_EXTRA_HIZ レジスタのビット設定に基づいてゼロまたは Hi-Z データでパディングされます。

表 6. サポートされる I²S/左詰めモードの構成

CHANNELS	CHANNEL LENGTH	BCLK TO LRCLK RATIO (PCM_BSEL)	SUPPORTED DATA WORD SIZES (PCM_CHANSZ)
2	16	32	16
	24	48	16, 24
	32	64	16, 24, 32

デフォルトの PCM 設定では、LRCLK の立下がりには左チャンネル・データ (チャンネル 0) と新しいフレームの開始を示し、LRCLK の立上がりには右チャンネル・データ (チャンネル 1) を示します。I²S モードでは、オーディオ・ワードの MSB は、LRCLK 遷移後の 2 番目のアクティブな BCLK エッジでラッチされます。左詰めモードでは、オーディオ・ワードの MSB は、LRCLK 遷移後の最初のアクティブな BCLK エッジでラッチされます。

PCM_BCLKEDGE のレジスタ・ビットは、データ・キャプチャ (DIN) とデータ出力 (DOUT) に使用されるアクティブ・エッジとして、BCLK の立上がりエッジにするか立下がりエッジにするかを選択します。PCM_CHANSEL ビットは、新しいフレーム (チャンネル 0) の開始をどの LRCLK エッジが示すかを設定し、LRCLK 遷移は常にアクティブでない BCLK エッジと一致します。データ出力はデータ入力と同じアクティブな BCLK エッジで有効になります。また、データ出力はデータ入力と同じエッジで遷移します。

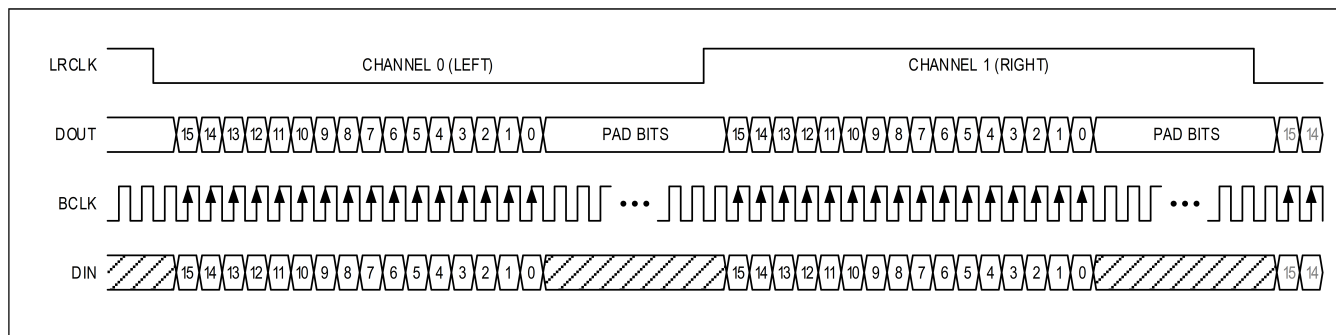
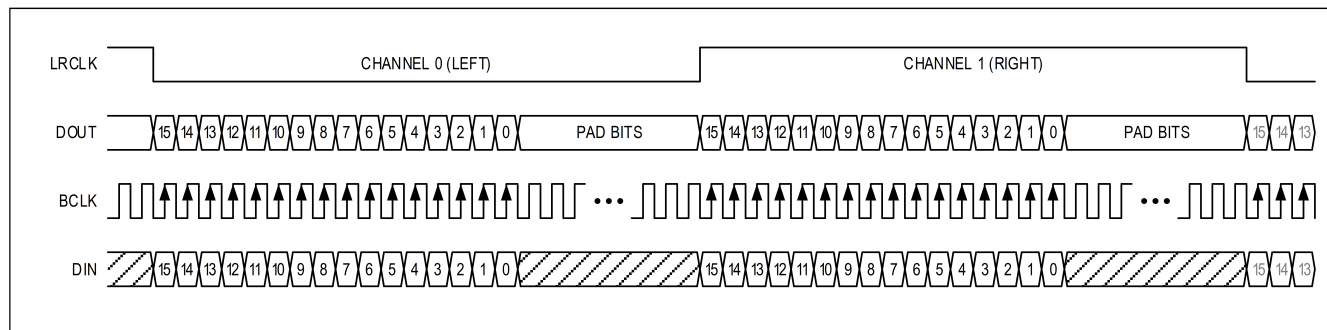
図 6. 標準 I²S モードの例

図 7. ベースライン左詰めモードの例

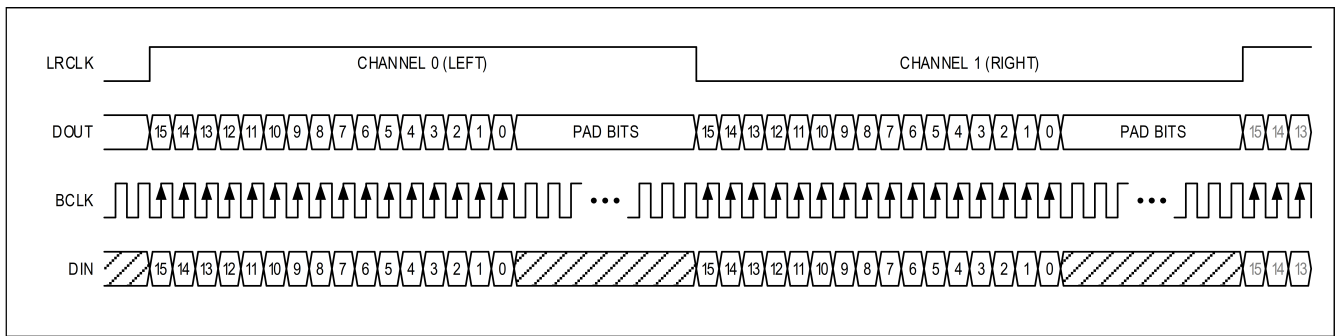


図 8. 左詰めモード（フレーム・クロック反転）

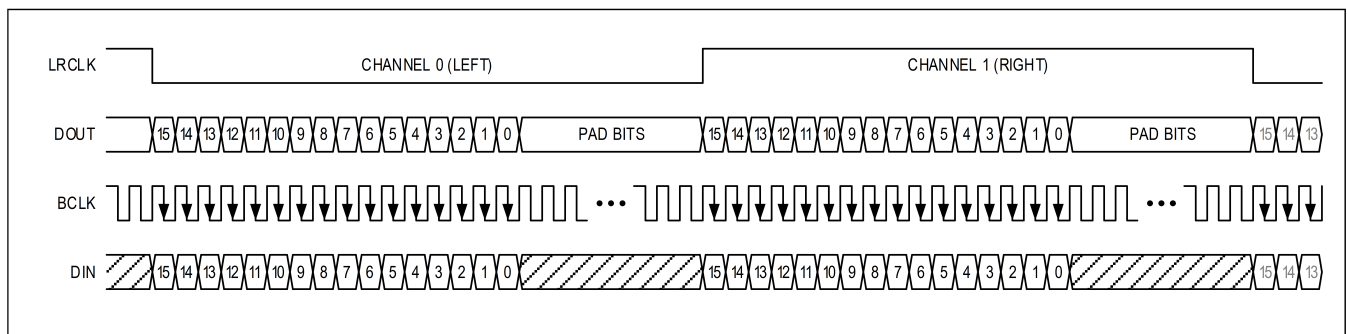


図 9. 左詰めモード（ビット・クロック反転）

TDM モード

TDM モードでは、最大 16 個のデジタル・オーディオ入力チャンネル（DIN）のタイミングをサポートし、各チャンネルには 16 ビット、24 ビット、または 32 ビットのデータが含まれます。デジタル・オーディオ出力（DOUT）は 8 ビットのスロットで構成され、タイミングは最大 128 個のデータ出力スロットをサポートできます。TDM 入力チャンネルと出力スロットの数は、選択するビット・クロック（BCLK）とフレーム・クロック（LRCLK）の比率（PCM_BSEL）と、選択するデータ・ワードおよびチャンネル長（PCM_CHANSZ）の両方によって決まります。データ・ワードおよびチャンネル長（PCM_CHANSZ）の両方によって決まります。

所与の有効な構成に対して、1 フレームあたりの利用可能なデータ入力チャンネル数は、次のように計算されます。

利用可能なデータ入力チャンネル数 = BCLK と LRCLK の比率 / チャンネル長

所与の有効な構成に対して、1 フレームあたりの利用可能な 8 ビット・データ出力スロット数は、次のように計算されます。

利用可能なデータ出力スロットの数 = BCLK と LRCLK の比率 / 8

表 7 は、入力データ・チャンネルと出力データ・スロットの各組み合わせに対してサポートされる TDM モードの構成を示しています。一部の構成では、公称ビット・クロック（BCLK）周波数の制限である 24.576MHz に違反しないように、PCM インターフェースとスピーカ・アンプ再生の最大サンプル・レートが 96kHz 未満に制限されます。

表 7. サポートされる TDM モードの構成

INPUT DATA CHANNELS	OUTPUT DATA SLOTS	DATA WORD SIZES (PCM_CHANSZ)	BCLK TO LRCLK RATIO (PCM_BSEL)	MAXIMUM PLAYBACK SAMPLE RATE (f_{LRCLK})
2	4	16	32	96kHz
	6	24	48	
	8	32	64	
3	15	32	125	
4	8	16	64	
	12	24	96	
	16	32	128	
5	15	24	125	
7	15	16	125	
	31	32	250	
8	16	16	128	
	24	24	192	
	32	32	256	
10	31	24	250	
15	31	16	250	
16	32	16	256	
7	31	32	250	48kHz
10	31	24	250	
10	40	32	320*	
15	31	16	250	
16	48	24	384	
	64	32	512	

Note : BCLK と LRCLK の比率が 320 の値は、サンプル・レートが 44.1kHz と 48kHz の設定でのみ使用できます。

TDM モードにおける PCM インターフェースのデフォルト設定では、フレーム・クロック (LRCLK) の立上がりエッジがフレーム同期パルスとして機能し、新しいフレームの開始を示します。フレーム同期パルスの幅は、1 ビット以上のクロック周期に等しくなければなりません。ただし、立下がりエッジは、次のフレーム同期パルスの立上がりエッジのセットアップ時間に違反しない限り、どのタイミングで発生してもかまいません。PCM_CHANSEL ビットは、TDM フレームを開始するフレーム・クロック (LRCLK) エッジ (同期パルス) を反転させるために使用します。

TDM モードでは、最初のオーディオ・ワードの MSB は、同期パルスの後の 1 番目 (TDM モード 0)、2 番目 (TDM モード 1)、または 3 番目 (TDM モード 2) のアクティブなビット・クロック・エッジでラッチでき、PCM_FORMAT ビットで設定します。更に、PCM_BCLKEDGE レジスタ・ビットにより、(データ・キャプチャとデータ出力用に) アクティブなビット・クロック・エッジを設定できます。

データ出力は、データ入力と同じアクティブなビット・クロック (BCLK) エッジで有効になり、遷移します。

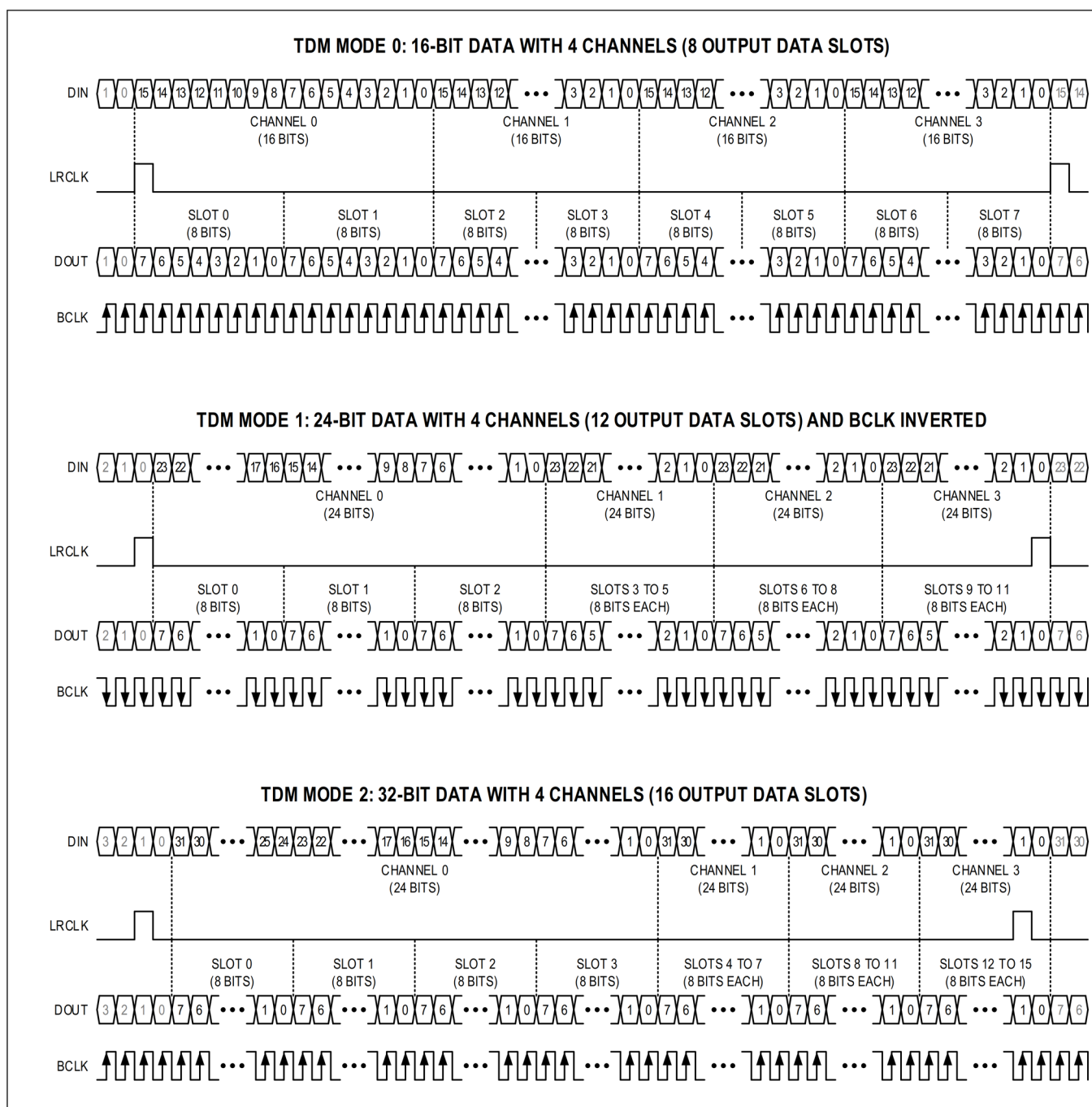


図 10. TDM モードの例

PCM データ・チャンネルの設定

PCM インターフェースのデータ入力 (DIN) は、スピーカ・アンプ・チャンネルのソース・データを受信し、データ出力 (DOUT) は、電流検出 ADC と電圧帰還チャンネルからのデータを送信します。

PCM データ入力

PCM 再生チャンネルは、PCM_RX_EN ビットでイネーブルになり、有効な入力データ・チャンネルからデータを受け取ることができます。本デバイスは入力デジタル・モノラル・ミキサーを備えており、1 つのチャンネルをルーティングしたり、2 つの PCM 入力チャンネルをミックスしてスピーカ再生チャンネルへのモノラル入力を生成したりできます。ミキサーの設定は PCM_DMMIX_CFG ビットで行い、モノラル・ミキサーの入力として 16 個の PCM 入力チャンネルのうちどれを使用するかは PCM_DMMIX_CH0_SOURCE および PCM_DMMIX_CH1_SOURCE ビットで選択します。I²S モードと左詰めモードでは、最下位の 2 つの入力チャンネル (PCM 入力チャンネル 0 と 1) のみが使用可能です。TDM モードでは、使用可能な PCM 入力チャンネル数はインターフェース構成に依存し、最小 2 チャンネルから最大 16 チャンネルまでです。PCM 再生チャンネルをディスエーブル (PCM_RX_EN = 0) とした場合、スピーカ・アンプ・チャンネルにはゼロコードの値が駆動されます。

PCM データ出力

PCM インターフェースのデータ出力 (DOUT) は、PCM_TX_EN ビット・フィールドによってイネーブルされ、有効な出力チャンネルまたはスロットに電圧および電流データを送ることができます。I²S モードと左詰めモードでは、各出力送信フレームで利用できるデータ出力チャンネルは 2 つだけです (チャンネル 0 および 1)。TDM モードでは、各出力送信フレームには最大 64 個の連続した 8 ビット・データ出力スロットを含めることができ、各スロットには 0 から最大 63 までの番号が付けられます。

I²S モードと左詰めモードでは、スピーカ・アンプの出力電圧帰還データと出力電流検出データは、いずれかの出力チャンネルでデータ出力の送信に利用できます。電圧および電流の出力データには 16 ビットの有効データしか含まれず、PCM インターフェースのデータ・ワード・サイズ (PCM_CHANSZ) がこれを超えた場合、残りのビットはゼロでパディングされ (24 ビットまたは 32 ビットで出力され) ます。更に、チャンネル長 (PCM_BSEL においてビット・クロックとフレーム・クロックの比率で設定) が PCM インターフェースのデータ・ワード・サイズを超える場合、追加の末尾ビットは Hi-Z またはゼロ (PCM_TX_EXTRA_HIZ 設定に基づく) のいずれかにすることが可能です。また、出力データは、同一チャンネルを共有するか、同一チャンネルでフレーム・インターリーブされるように割り当てることができます。

TDM モードでは、電圧データと電流データは、データ出力スロットに個別に割り当てられます。出力データは常に 16 ビットのワード・サイズで、連続する 2 つのデータ出力トランジット・スロットに収まります。表 8 に、出力データのフォーマットとパラメータを示します。

表 8. サポートされる PCM データ出力タイプ

OUTPUT DATA TYPE	SYMBOL	DATA WORD SIZE (BITS)	NUMBER OF TDM SLOTS	ENABLE/SLOT ASSIGNMENT
Speaker Amplifier Output Voltage Feedback	VFB	16	2	PCM_VFB_EN/ PCM_VFB_SLOT
Speaker Amplifier Output Current Sense	IMON	16	2	PCM_IMON_EN/ PCM_IMON_SLOT

電圧と電流の出力データに対して、個別のイネーブルおよびスロット割り当てビット・フィールドが提供されています。I²S モードおよび左詰めモードでは、チャンネル 0 にデータを割り当てる場合は出力スロット 0 を、チャンネル 1 にデータを割り当てる場合は出力スロット 1 を使用します。TDM モードでは、スロット割り当てにより、必要な 2 つのデータ出力送信スロットに対して出力データ・タイプの送信が始まるスロットが選択されます (例えば、スロット 6 に割り当てられた電圧出力データは、スロット 6 と 7 を占有します)。

TDM モードでは、いくつかの制限付きで、電圧と電流のデータを任意の有効なデータ出力スロットに割り当てることができます。まず、データ・ワードがデータ出力フレームの終端を超えるようなデータの割り当ては無効です。例えば、データは送信に 2 スロットを要するため、フレームの最後のスロットに割り当てることはできません。次に、他の出力データのスロット割り当てと重複するスロットに出力データを割り当てることも無効です (これは、チャンネルの共有やインターリーブを使用しない限り、I²S モードと左詰めモードのチャンネルにも当てはまります)。最後に、現在の PCM インターフェース構成のフレーム構造に存在しないスロットにデータを割り当てることも無効です。

電流フレーム構造には存在しても、出力データが割り当てられていないデータ出力 (DOUT) スロットは、Hi-Z または 0 コード (PCM_TX_SLOT_HIZ ビット・フィールドで設定) で駆動されます。データ出力をディスエーブルしている場合、割り当てられたデータ出力スロットは Hi-Z か 0 コード (PCM_TX_SLOT_HIZ ビット・フィールドで設定) で駆動されます。

データ出力チャンネル・インターリーブの I/V データ

I²S および左詰めの場合、PCM インターフェースは利用可能なデータ出力チャンネル数が 2 つに制限されるため、ステレオ・デバイスからのアンプ出力電流検出および電圧帰還のデータを 1 つの共有データ出力 (DOUT) ラインに収めることはできません。このような場合のために、1 つのデバイスからの電流検出と電圧帰還のデータ・タイプが 1 つのデータ出力チャンネルを共有するようにデータ出力を設定できます。チャンネル・インターリーブ・モードを有効化するには、PCM_TX_INTERLEAVE ビットをハイに設定します。次に、電流検出と電圧帰還のデータ・タイプを同じ有効なデータ・チャンネルに割り当てます (PCM_VFB_SLOT と PCM_IMON_SLOT を使用)。

このような構成にすると、電流と電圧のデータ・タイプは、割り当てられたデータ出力チャンネルでフレームがインターリーブされます。電流と電圧のデータ・ワードは共に 16 ビット長で、その結果、チャンネル長が 16 ビットより長い場合、PCM_TX_EXTRA_HIZ ビット・フィールドの状態に応じて、後続のパディング・ビットは Hi-Z またはゼロコードのいずれかに設定されます。

チャンネル・インターリーブ・モードでデータ・タイプを識別するために、16 ビット・データ・ワードの LSB がドロップ (切り捨て) されます。その後、データ・ワードは 1 ビット分右シフトされ、空いた MSB は、電圧帰還データを示す 0 または電流検出データを示す 1 に置き換えられます。位相を揃えるため、1 つのサンプリングの電圧データは常に 1 つ目のフレームに割り当てられたチャンネルで送信され、次に 2 つ目のフレームで電流データが送信されます。MSB の値と送信順序により、ホストはフレーム間で出力データを識別し、位相を揃えることができます。

I/V データはフレームがインターリーブされるので、PCM インターフェースのサンプル・レートは、I/V チャンネルのサンプル・レートよりも 2 の整数倍大きくなければなりません。図 11 は、PCM インターフェースのサンプル・レートが I/V チャンネルの 2 倍である基本的な例を示しています。

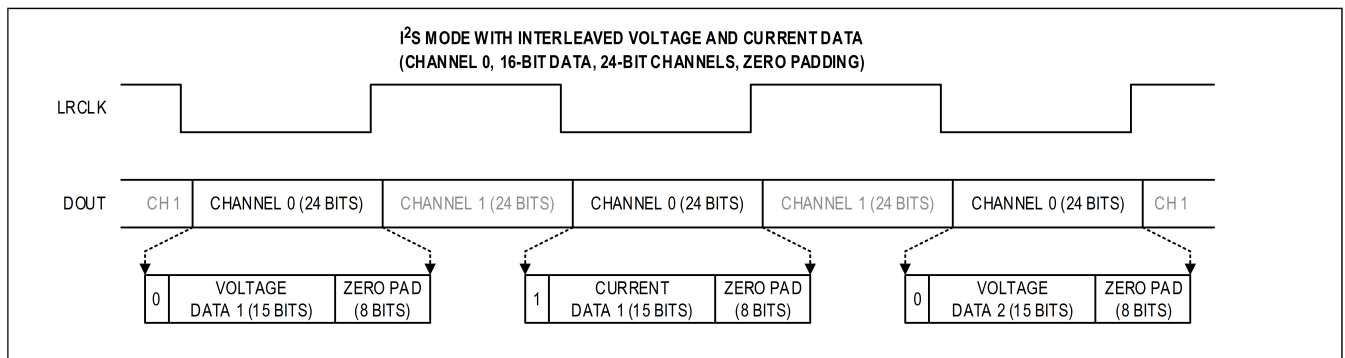


図 11. データ出力チャンネル 0 でインターリーブされた I/V 帰還チャンネルのデータ

データ出力共有チャンネルの I/V データ

I²S と左詰めの場合、PCM インターフェースでは利用可能なデータ出力チャンネル数が 2 つに制限されます。そのため、ステレオ・ペアのデバイスから、アンプ出力の電流検出と電圧帰還のデータを 1 本の共有データ出力 (DOUT) ラインに収めることができません (4 チャンネルが必要になります)。このような場合、1 つのデバイスからの電流と電圧のデータ・タイプが 1 つのデータ出力チャンネルを共有するようにデータ出力を設定できます。

チャンネル共有モードを有効化するには、電流と電圧のデータ・タイプを同じ有効なデータ・チャンネルに割り当てます (PCM_VFB_SLOT = PCM_IMON_SLOT を使用)。電圧データは常に最初に送信され、次に、同じ割り当てられたチャンネルで電流データが送信されます。この構成では、電流と電圧のデータ・ワードが共に 16 ビット長であるため、ビット・クロック (BCLK) とフレーム・クロック (LRCLK) の比率は 64 (32 ビットチャンネルが可能) に設定しなければなりません。クロック比が 64 より小さいと、電流と電圧のデータが正しくデコードされません。

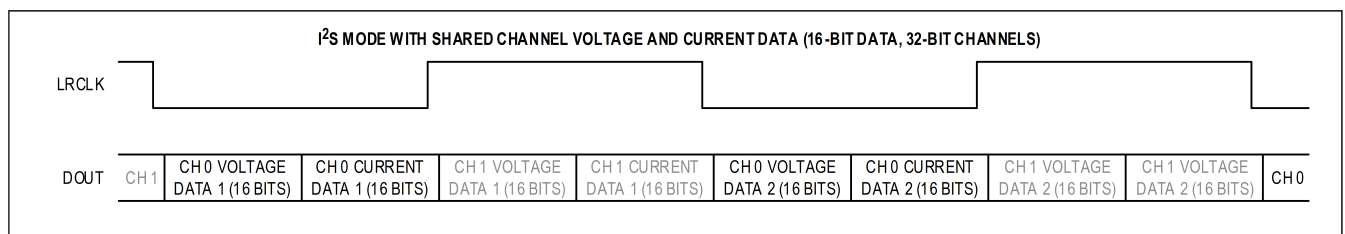


図 12. I/V 帰還共有チャンネルのデータ例

I²C ペリフェラルのシリアル制御インターフェース

本デバイスは I²C/SMBus™ 互換の 2 線式シリアル・インターフェースを備えていて、制御レジスタを設定するのに使用されます。このインターフェースはシリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成され、このペリフェラル・デバイスと上流の I²C マネージャ (ドキュメントによっては I²C コントローラとも呼ばれる) 間の通信を行います。本デバイスの I²C インターフェースは、最大 1MHz の FM+クロック・レートをサポートしています。I²C 制御インターフェースは、デバイスがハードウェア・シャットダウン状態以外であって、かつ SCL および SDA 端子で有効な I²C 開始条件が検出された時にアクティブになります。

I²C インターフェース・アドレス

ペリフェラル・デバイスのアドレスは、7 つの上位ビット (MSB) と、最下位の読出し／書込みビットで構成されます。最上位 7 ビットは、ADDR 入力接続を介して設定できます (表 9 を参照)。ADDR 入力オープンまたは未接続の場合、デバイスは通信を行いません。読出し／書込みビットが 1 に設定されている場合、デバイスは読出しモードに設定されます。読出し／書込みビットが 0 に設定されている場合、デバイスは書込みモードに設定されます。アドレスは、START 条件後に I²C マネージャがペリフェラル・デバイスに送信する情報の最初のバイトになります。

表 9. I²C ペリフェラル・デバイスのアドレス

ADDR INPUT CONNECTION	DEVICE I ² C ADDRESS (BINARY)	I ² C WRITE (BINARY)	I ² C READ (BINARY)
Connected to V _{DD}	0111000x	01110000	01110001
Connected to GND	0111001x	01110010	01110011
Connected to SDA	0111010x	01110100	01110101
Connected to SCL	0111011x	01110110	01110111

I²C インターフェースのビット転送プロトコル

各 SCL サイクルの間に 1 つのデータ・ビットが転送されます。SDA 上のデータは、SCL パルスのハイ期間中、安定した状態を維持する必要があります。SCL がハイの間の SDA の変化は、制御信号 (START と STOP の状態) となります。

I²C インターフェースの START および STOP 条件

バスが使用されていない時、SDA と SCL はアイドル・ハイになります。I²C マネージャは、START 条件を発行することにより通信を開始します。START 条件は、SCL がハイの状態でも SDA がハイからローに遷移することです。STOP 条件は、SCL がハイの状態でも SDA がローからハイに遷移することです。マネージャからの START 条件は、ペリフェラルへの送信の開始を知らせます。マネージャは、STOP 条件を発行することにより、送信を終了し、バスを解放します。STOP 条件の代わりに REPEATED START 条件が生成された場合、バスはアクティブのままです。

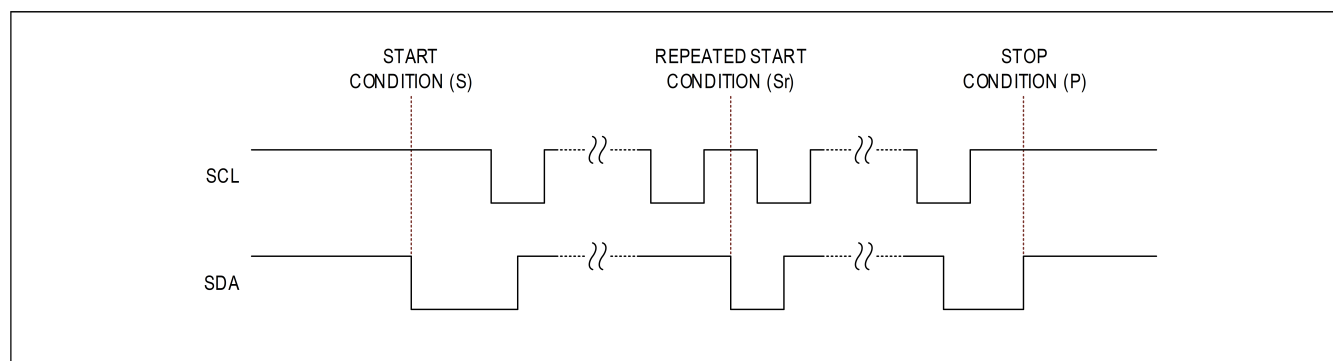


図 13. I²C ペリフェラル・デバイス・インターフェースの START および STOP 条件の例

I²C インターフェースの Early STOP 条件

デバイスはデータ伝送中のどの時点でも STOP 条件を認識します。ただし、STOP 条件が START 条件と同じハイ・パルスで発生した場合を除きます。正しく動作させるためには、START 条件と同じ SCL ハイ・パルス時に STOP 条件を送信しないようにします。

I²C インターフェースのアクノレッジ・ビット

アクノレッジ・ビット (ACK) は 9 番目のクロック・ビットで、書込みモード時にペリフェラル・デバイスが各データ・バイトの受信をハンドシェイクするのに使用します (図 14)。ペリフェラル・デバイスは、前のバイトが正常に受信された場合、マネージャが生成した 9 番目のクロック・パルスの間を通して SDA をプルダウンします。ACK をモニタすることで、失敗したデータ転送を検出できます。データ転送の失敗は、受信デバイスがビジーであったか、システム・フォールトが発生した場合に発生します。データ転送が失敗した場合、バス・マネージャは通信を再試行できます。

I²C マネージャは、ペリフェラル・デバイスが読出しモードの時、データ受信をアクノレッジするために、9 番目のクロック・サイクルで SDA をプルダウンします。各読出しバイトの後にマネージャによってアクノレッジが送信されるため、データ転送を継続できます。ノットアクノレッジ (NACK) は、マネージャがデータの最終バイトを読み出した時に送信され、その後に STOP 条件が続きます。

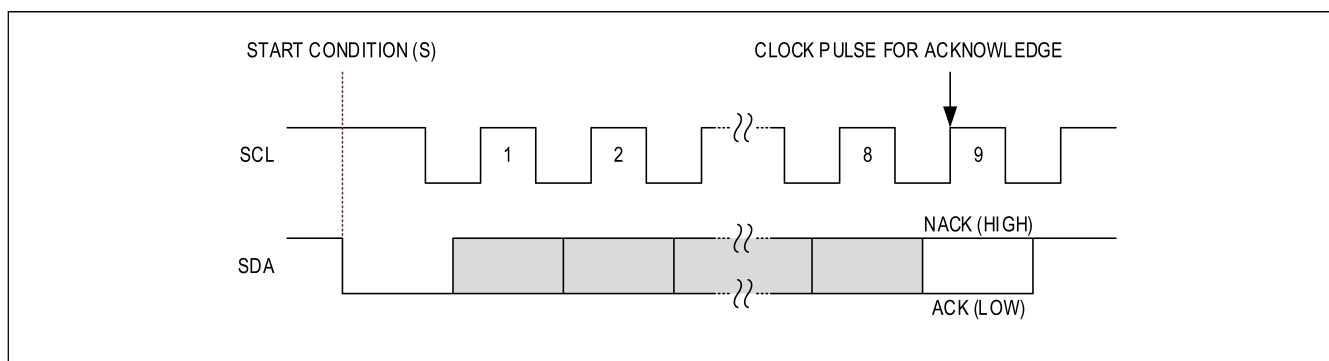


図 14. I²C ペリフェラル・デバイス・インターフェースのアクノレッジ・ビット例

I²C インターフェースの書き込みデータ・フォーマット

I²C ペリフェラル・インターフェースを介したデバイスへの書き込みには、START 条件、READ- $\overline{\text{WRITE}}$ ビットを 0 に設定したデバイス・アドレス、内部レジスタ・アドレス・ポインタを構成する 2 バイトのデータ、1 バイト以上のデータ、および STOP 条件の送信が含まれます。

READ- $\overline{\text{WRITE}}$ ビットが 0 に設定されたデバイス・アドレスの送信は、I²C マネージャがデバイスにデータを書き込むことを意図していることを示します。デバイスは、9 番目の SCL パルス中にアドレス・バイトの受信をアクノレッジします。

マネージャから送信される 2 バイト目と 3 バイト目により、デバイスの内部レジスタ・アドレス・ポインタが設定されます。このポインタは、デバイスに次のデータのバイトを書き込む場所を通知します。アクノレッジ・パルスは、レジスタ・アドレス・データのバイトを受信するたびにデバイスによって送信されます。

デバイスに送信される 4 バイト目には、選択したレジスタ・アドレスに書き込むデータが含まれています。デバイスからのアクノレッジ・パルスは、データ・バイトの受信を通知します。アドレス・ポインタは、データ・バイトを受信するたびに次のレジスタ・アドレスに自動インクリメントします。この自動インクリメント機能により、マネージャは 1 つの連続したフレーム内で連続したレジスタに書き込むことができます。マネージャは、STOP 条件を発行することにより、送信の終了を通知します。

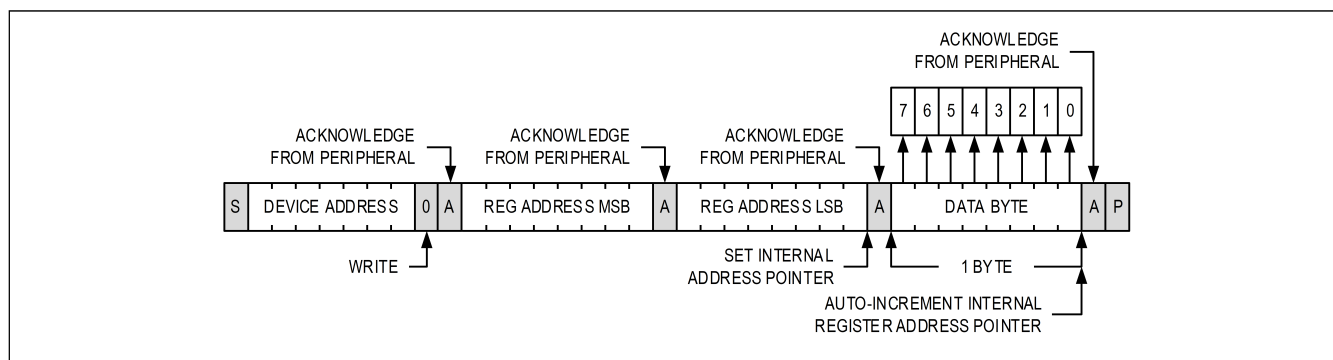


図 15. I²C マネージャによるペリフェラル・デバイスへの 1 バイト・データの書き込み

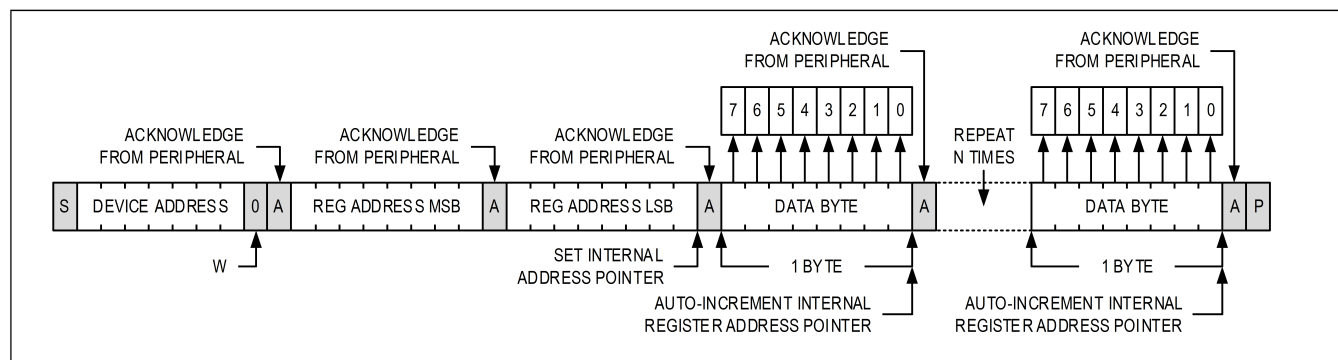


図 16. I²C マネージャによるペリフェラル・デバイスへの n バイト・データの書き込み

I²C インターフェースの読出しデータ・フォーマット

I²C のレジスタ・アドレス・ポインタは、読出しコマンドを発行する前にターゲット・レジスタにプリセットする必要があります。マネージャはペリフェラル・デバイスのレジスタ・アドレス・ポインタをプリセットします。これは、まず **READ-WRITE** ビットを 0 に設定したデバイスのアドレス（書込みコマンド）を送信し、更にアドレス・ポインタのターゲット・レジスタ・アドレスを含む 2 つのコマンドを送信することにより行います。

その後、**REPEATED START** 条件を送信し、更に読出しコマンド（**READ-WRITE** ビットを 1 に設定したデバイス・アドレス）を送信します。これにより、内部レジスタ・アドレス・ポインタがターゲット・レジスタ・アドレスに設定された上で読出しコマンドが開始されます。デバイスから送信される最初のバイトには、アドレス・ポインタが設定されたレジスタの内容が含まれています。送信されたデータは、SCL の立上がりエッジで有効になります。マネージャはアクノレッジ・クロック・パルス中、読出しバイトの受信ごとにアクノレッジ（ACK）を返します。その後、アドレス・ポインタは、読出しデータ・バイトがアクノレッジされるごとに自動インクリメントされます。この自動インクリメント機能により、1 つの連続したフレーム内で複数のデバイス・レジスタを順次読み出すことができます。

マネージャは、最後のバイトを除き正しく受信された全てのバイトに対してアクノレッジ（ACK）を発行する必要があります。読出し動作を終了するには、最終バイトの後にマネージャがノットアクノレッジ（NACK）を発行し、その後 **STOP** 条件を発行しなければなりません。ノットアクノレッジ（NACK）に続く **STOP** 条件は、任意の数の読出しデータ・バイトの後に発行できます。

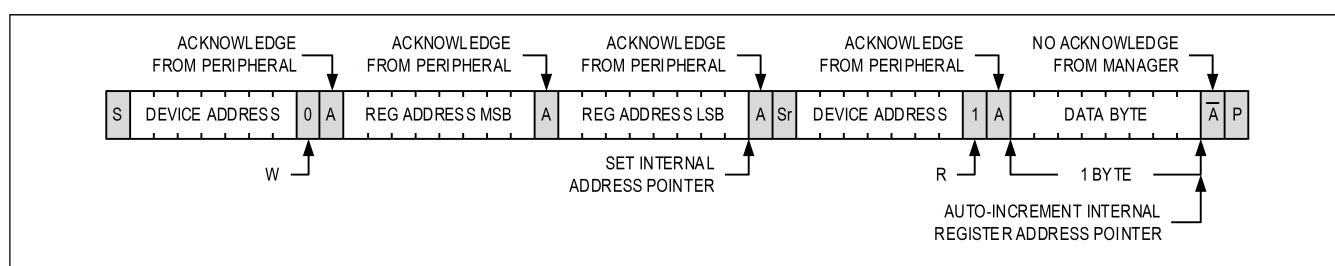


図 17. I²C マネージャによるペリフェラル・デバイスからの 1 バイト・データの読出し

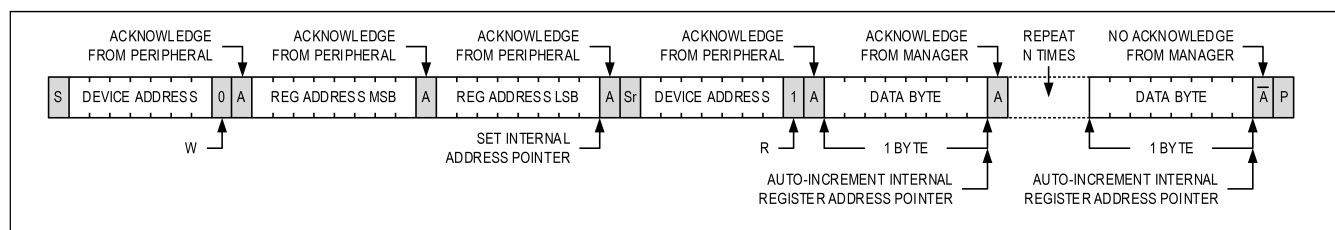


図 18. I²C マネージャによるペリフェラル・デバイスからの n バイト・データの読出し

スピーカ再生チャンネル

スピーカ・アンプ・チャンネルの入力データは、PCM デジタル・オーディオ・インターフェースのデータ入力 (DIN) からモノラル・ミキサー段を経て渡されます。そのデータは、スピーカ再生チャンネルのデジタル・フィルタ、信号処理、音量コントロール・ブロックを経て、DAC と D 級スピーカ・アンプに到達します。また、デジタル再生チャンネルのデータは、DAC の直前で取り出され、電圧帰還チャンネルの入力へもルーティングされます。

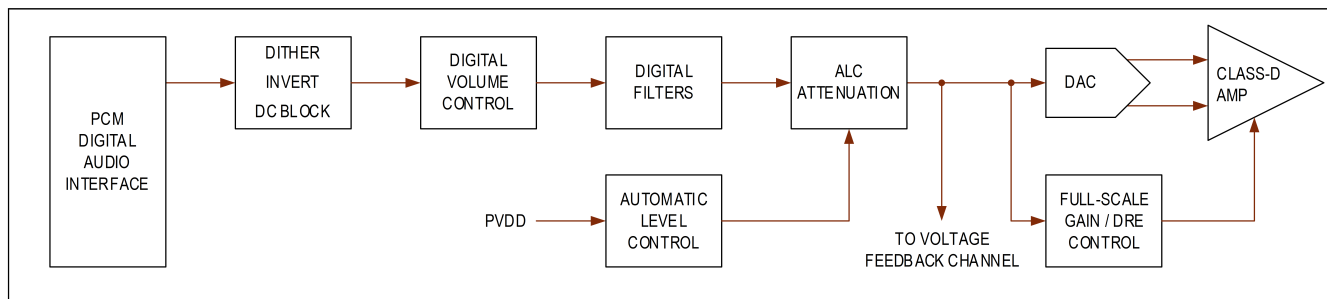


図 19. スピーカ再生チャンネルの詳細ブロック図

スピーカ・チャンネルのディザ

SPK_DITH_EN を 1 に設定した場合、スピーカ・チャンネルへの入力データにディザ (±1LSB ピーク・ツー・ピーク) をオプションで適用できます。SPK_DITH_EN を 0 に設定した場合、ディザは適用されません。

スピーカ・チャンネルのデータ反転

SPK_INVERT ビットを 1 にセットすることにより、スピーカ・チャンネルへの入力データをオプションで反転させることができます。

スピーカ・チャンネルの DC ブロッキング・フィルタ

SPK_DCBLK_EN ビットを 1 にセットすると、スピーカ・チャンネルに対して DC ブロッキング・フィルタを有効化できます。

スピーカ・チャンネルの DAC デジタル・フィルタ

スピーカ・チャンネルの DAC は、選択した再生サンプル・レート (PCM_SR) に基づいて自動的に設定されるデジタル・ローパス・フィルタを備えています。このフィルタにより、エイリアシングやその他の高周波ノイズの影響を排除できます。[電氣的特性](#)の表にある DAC デジタル・フィルタのセクションを参照してください。

スピーカ・チャンネル最大ピーク出力電圧のスケールリング

スピーカ・パスにある DAC のフルスケール出力は 0.5dBV (代表値) です。スピーカ・パスにおける無負荷時の最大ピーク出力電圧レベルは、このベースライン・レベルに対して設定できます。ピーク出力のスケールリング範囲は SPK_GAIN ビット・フィールドで設定し、可能な設定範囲はデバイスが 1 セル・モードまたは 2 セル/ブースト・モード (SPK_AMP_MODE ビットで設定) のいずれかで動作しているかで決まります。ピーク出力の設定範囲は、以下のとおりです。

表 10. スピーカ・チャンネルのピーク出力設定

MAXIMUM PEAK OUTPUT VOLTAGE LEVEL SELECTED	SINGLE-CELL MODE (SPK_AMP_MODE = 0)	TWO-CELL/BOOSTED MODE (SPK_AMP_MODE = 1)
SPK_GAIN = 0x0	0.75V _{RMS} (−3dB)	1.50V _{RMS} (+3dB)
SPK_GAIN = 0x1	1.06V _{RMS} (0dB)	2.11V _{RMS} (+6dB)
SPK_GAIN = 0x2	1.50V _{RMS} (+3dB)	2.99V _{RMS} (+9dB)
SPK_GAIN = 0x3	2.11V _{RMS} (+6dB)	4.22V _{RMS} (+12dB)
SPK_GAIN = 0x4	2.99V _{RMS} (+9dB)	5.96V _{RMS} (+15dB)
SPK_GAIN = 0x5	4.22V _{RMS} (+12dB)	8.41V _{RMS} (+18dB)

所与のデジタル入力信号レベルに対するスピーカ出力信号レベルは、次のように計算されます。

出力信号レベル (dBV) = 入力信号レベル (dBFS) + デジタル音量 (dBFS) + 0.5 (dBV) + SPK_GAIN (dB) (0dBFS は 0dBV つまり 1V_{RMS} を基準)

スピーカ・チャンネルのデジタル音量制御

本デバイスでは、スピーカ・チャンネルのデジタル音量制御を動的に設定できます。デジタル音量制御は、0dB から-63dB の減衰範囲を 0.5dB ステップで行うことができ、SPK_VOL ビット・フィールドで設定します。デジタル・ミュートも可能で、SPK_VOL を 0x7F に設定した時に有効になります。

デジタル音量レベルの変化（アクティブな再生時におけるある音量レベルから別の音量レベルへの変化）は、必ず一定の割合で行われます（ランプアップまたはランプダウン）。ただし、起動時、シャットダウン時、ミュート/ミュート解除時のデジタル音量ランプは、デフォルトで無効にされています。これら機能についての音量のランプアップおよびランプダウンは、それぞれ SPK_VOL_RMPUP_BYPASS および SPK_VOL_RMPDN_BYPASS ビット・フィールドで個別に有効化または無効化します。音量ランプを有効化した場合（バイパスしない場合）、デバイスのターンオンとターンオフの時間は長くなります。音量ランプを無効化（バイパス）した場合、オーディオ・レベルは代わりにホストでランプする必要があるため、可聴ノイズが発生しないように、起動、シャットダウン、ミュート/アンミュートの間は無音になるようにしておく必要があります。

スピーカ・アンプ

フィルタのない D 級アンプは、AB 級アンプに比べてはるかに高い効率を実現します。D 級アンプの高効率は、出力段トランジスタのスイッチング動作に起因します。D 級出力段で生じる電力損失の主な原因は、MOSFET のオン抵抗と自己消費電流のオーバーヘッドによる I²R 損失によるものです。

スピーカ・アンプの出力短絡保護機能

D 級アンプの出力電流制限値 (I_{LIM}) を超えた場合（電気的特性の表を参照）、スピーカ出力はディスエーブルされます。手動モード (OVC_RETRY_EN = 0) に設定した場合、過電流イベントが発生すると、スピーカ・アンプ出力はディスエーブルされ、デバイスはソフトウェア・シャットダウン状態になります (EN は 0 に設定されます)。この状態は、システム・ソフトウェアが再びイネーブルするまで継続します。

自動モード (OVC_RETRY_EN = 1) に設定した場合、スピーカ出力は約 20ms の間ディスエーブルされます。20ms が経過すると、スピーカ出力は再びイネーブルになります。フォールト状態がまだ存在する場合、フォールト状態が解除されるまで、スピーカ出力はディスエーブルと再イネーブルを繰り返します。

スピーカ・アンプのクリック/ポップ抑制

本スピーカ・アンプは、包括的なクリック/ポップ抑制機能を備えています。パワーアップ時、クリック/ポップ抑制回路はデバイス内部における可聴域のトランジェント・ソースを低減します。ソフトウェアまたはハードウェア・シャットダウンのパワーダウン時には、差動スピーカ出力が同時に Hi-Z になります。

本デバイスの包括的なクリック/ポップ抑制は、パワーアップまたはパワーダウンのシーケンスに影響されることはありません。ソフトウェアでデバイスをディスエーブルし、RESET 入力の遷移前後でクロックを印加または除去すると、全て同じクリック/ポップ抑制性能が得られます。ただし、音量ランプを有効化した場合、クリック/ポップ性能を最大限に発揮させるには、ソフトウェアがグローバル・イネーブル・ビット (EN) をハイまたはローに設定した後、音量ランプが完了するまでの 13ms の間は、クロックと電源が有効でなければなりません。

スピーカ・アンプの超低 EMI フィルタレス出力

従来の D 級アンプは、EN55022B 電磁干渉 (EMI) 規制基準を満たすために、外付けの LC フィルタやシールドを使用する必要があります。アナログ・デバイセズのアクティブ・エミッション・リミット機能、エッジ・レート・コントロール回路、スペクトラム拡散変調により、高効率を維持しながら EMI 放射を低減できます。

オプションのスペクトラム拡散変調 (SSM) モードは、SPK_AMP_SSM_EN ビットで有効化します。スペクトラム拡散変調器をアクティブにした場合、SSM 比 (SPK_AMP_SSM_MOD ビット・フィールド) で設定した範囲内で、中心周波数 (f_{sw}) 前後に D 級スイッチング周波数をランダムに変化させます。SSM モードは、広帯域のスペクトル成分を平坦化させると共に、独自技術により、スイッチング周期のサイクル間変動がオーディオ再生や効率を劣化させないようにします。10MHz 以上の広帯域スペクトルは、EMI の観点からするとノイズのように振る舞います。

また、本デバイスは、主に EMI 測定に使用されるピンク・ノイズ発生器を内蔵しています。このモードは、デバイスがソフトウェア・シャットダウン状態にある時（グローバル・イネーブルを設定してデバイスをパワーアップする前）に、(SPK_PINK_NOISE_EN ビット) で有効化または無効化する必要があります。有効化した場合、デバイスがアクティブ状態にパワーアップするためには外部クロック入力（有効なビット・クロックとフレーム・クロック）を必要とします。いったんアクティブ状態になると、クロックを停止させることが可能で、ピンク・ノイズ発生器はそのまま動作を継続します。この状態で、ピンク・ノイズ発生器はスピーカの再生チャンネルに入力データを提供します（再生データ・ソースとしてデータ入力 DIN に置き換わります）。ピンク・ノイズのデータは、スピーカ再生チャンネルのゲインの影響を受け、ゲインが 0dB の場合、信号レベルは 1kHz で約 -55dBV、20kHz で -70dBFS まで低下します。

スピーカの電流検出チャンネルと電圧帰還チャンネル

本デバイスは、スピーカ出力の電流検出 ADC チャンネルとスピーカ出力の電圧帰還チャンネル（IV 帰還チャンネルとも呼ばれる）の両方を提供します。電流検出チャンネルは、16 ビット ADC を搭載し、スピーカ・アンプの出力電流を内部で測定するのに使用されます。電圧帰還チャンネルは、スピーカ再生チャンネルのデジタル信号を（DAC の直前で）取り出し、その信号を補償フィルタを介して、D 級スピーカ・アンプの出力電圧を正確にモデル化します。

電流および電圧帰還チャンネルは、それぞれ `IVFB_I_EN` ビットと `IVFB_V_EN` ビットで独立に有効化します。位相を揃えるためには、`IVFB_I_EN` ビットと `IVFB_V_EN` ビットを含むレジスタに 1 回書き込むか（グローバル・イネーブル `EN` = 1 でイネーブルした場合）、またはソフトウェア・シャットダウン終了前に両ビットをハイ・レベルにして、両チャンネルをイネーブルする必要があります。

`IVFB_DITH_EN` ビット・フィールドを 1 にセットすることにより、両チャンネルともオプションでディザ（ ± 1 LSB ピーク to ピーク）を適用できます。また、各チャンネルには、オプションで DC ブロッキング・フィルタ（1 次ハイパス）がそれぞれ搭載されています。`IVFB_I_DCBLK_EN` および `IVFB_V_DCBLK_EN` をそれぞれ 1 に設定することで、電流および電圧チャンネル・フィルタがイネーブルになります。

スピーカ電流検出／電圧帰還チャンネルのデータ・フォーマット

出力された電流と電圧のデータは、PCM インターフェースのデータ出力（DOUT）を介してホストに送られます。PCM インターフェースのデータ出力チャンネル／スロットの電流検出および電圧帰還データの設定に関する詳細については、[PCM インターフェース](#)のセクションを参照してください。電流検出と電圧帰還のデータはいずれも 2 の補数データ・フォーマットを使用します。

電流検出 ADC チャンネルは 16 ビットの分解能と $\pm 3A$ の範囲であり、LSB サイズは $3A/(2^{15})$ として計算されます。電流検出の読みが `0x7FFF` の場合、正のフルスケール出力電流は $+3A - 1$ LSB に変換され、`0x8000` の読みは $-3A$ の負のフルスケール出力電流に変換されます。

電圧帰還チャンネルは 16 ビットの分解能をサポートし、1 セル・モードでは $\pm 5.5V$ 、2 セル（または外部ブースト）モードでは $\pm 11V$ の範囲になります。LSB のサイズは、1 セル・モードでは $5.5V/(2^{15})$ 、2 セル・モードでは $11V/(2^{15})$ として計算されます。電圧帰還のコードが `0x7FFF` の場合、1 セル・モードでは $+5.5V - 1$ LSB、2 セル・モードでは $+11V - 1$ LSB の正のフルスケール出力電圧に変換されます。同様に、`0x8000` のコードは、1 セル・モードで $-5.5V$ 、2 セル・モードで $-11V$ の負のフルスケール出力電圧になります。

スピーカ・アンプ出力がクリップした場合、電圧帰還チャンネルのデータは、スピーカ出力の電圧を正確にモデル化することができません。この場合、スピーカ・アンプのクリッピング検出ステータス（`SPK_CLIP`）がアサートされると、電圧帰還チャンネルの出力データはクリッピング・レベルに保持されます。このこと（およびステータス・ビット）によって、スピーカ・アンプ出力がクリッピングしたこと、および出力電圧レベルをトラッキングできないことがホストに示されます。スピーカ・アンプ出力がクリップなくなると、ステータスはアサート解除され、電圧帰還チャンネルはスピーカ・アンプ出力電圧のトラッキングを再開します。

クロックおよびスピーカ出力のモニタ

本デバイスは、オプションのクロック・モニタとオプションのスピーカ出力モニタを提供します。クロック・モニタは `CMON_EN` ビットを 1 にセットすることで有効化され、スピーカ出力モニタは `SPKMON_EN` ビットを 1 にセットすることで有効化されます。クロック・モニタはデフォルトで有効化されますが、スピーカ出力モニタはシステム・ソフトウェア・ドライバで有効化する必要があります。

クロック・モニタ

クロック・モニタはデフォルトで有効化され、デバイスの状態をホストに通知すると共に、クロック・フォールト時に無効な信号がスピーカ・チャンネル出力に到達するのを防止します。有効化（`CMON_EN` を 1）した場合、ビット・クロック（`BCLK`）とフレーム・クロック（`LRCLK`）の両方の入力をモニタし、クロック・エラーが検出されるとスピーカ・アンプ出力を自動的にディスエーブルします。クロック・モニタを無効化（`CMON_EN` を 0）し、アクティブ再生中にビット・クロックまたはフレーム・クロックのいずれかのクロックに異常が発生した場合、スピーカ・アンプ出力に無効な信号（DC を含む）が到達する可能性があります。

クロック停止エラーは、ビット・クロック（`BCLK`）またはフレーム・クロック（`LRCLK`）のいずれかのソースが $60\mu s$ 以上ハイまたはローに停止した場合に検出され、クロック源エラーとして通知されます。クロック停止タイムアウトは内部発振器によって決定され、その変動率はデバイスの動作温度範囲において $\pm 10\%$ です。更に、クロック・モニタは、グロス・ビット・クロック周波数エラー（`FLL` ロック解除イベントを引き起こす完全に無効な `BCLK`）および内部クロック生成エラー（`DAC` または `ADC` クロックの異常など）を検出します。

クロック・モニタは、2 つの方法でクロック・エラーに応答するように設定できます。CLOCK_AUTORESTART_EN ビットを 0 に設定した場合、クロック・モニタは手動モードとなります。手動モードでは、クロック・エラーが検出されると、クロック・モニタはクロック・エラーの状態 (CLK_ERR) を通知し、EN を 0 に設定することでデバイスをソフトウェア・シャットダウンに移行させます。ホスト・ソフトウェアが EN を 1 にセットするまで、デバイスはソフトウェア・シャットダウンのままです。

CLOCK_AUTORESTART_EN ビットを 1 に設定した場合、クロック・モニタは自動モードとなります。自動モードでは、クロック・エラーが検出されると、クロック・モニタはクロック・エラー・ステータス (CLK_ERR) を通知しますが、EN ビット・フィールドをリセットせず、代わりにデバイスを直接ソフトウェア・シャットダウンに保持します。有効なクロックが再度印加されて検出されると、デバイスは自動的にソフトウェア・シャットダウン状態から抜け出し、アクティブ状態に戻ります。自動再起動モードでは、グローバル・イネーブル (EN) ビット・フィールドの値は変更されず、このプロセス中は 1 を保持します。

スピーカ出力モニタ

SPKMON_EN を 1 に設定した場合、スピーカ出力レベルをモニタして、設定済みのスピーカ出力エラー・スレッシュホールドを超えることがないか監視します。スピーカ出力モニタ・エラーのスレッシュホールドは、SPKMON_THRESH ビット・フィールドで選択します。スレッシュホールドの計算は、電流検出チャンネルがアクティブかどうかで異なります。

電流検出チャンネルをアクティブにした場合、スピーカ出力モニタのスレッシュホールドは次のように直接選択されます（そして、測定出力レベルと比較されます）。

$$\text{スレッシュホールド (V)} = \text{SPKMON_THRESH} \times 0.02924\text{V}$$

スピーカ出力モニタで使用される公称のスピーカ負荷抵抗値は、SPKMON_LOAD ビット・フィールドで選択します。測定出力電流とここで選択した負荷抵抗値は、出力モニタが使用する出力電圧レベル（選択した電圧スレッシュホールドに対する相対値）を計算する際に使用されます。これは、電流検出チャンネルをディセーブルしている場合は影響しません。

電流検出チャンネルをディセーブルした場合、スレッシュホールドは次のように出力フルスケール電圧のパーセンテージとして計算されます。

$$\text{スレッシュホールド (V)} = (\text{SPKMON_THRESH} / 256) \times \text{PVDD 電圧}$$

ただし、このモードでは、PVDD 電圧の変化に応じてフルスケールのレベルが変化するため、最も厳しい場合の PVDD 条件（一般に、あるシステムで可能な最大の PVDD）に基づいてスレッシュホールドを選択する必要があります。

スピーカ出力モニタ・エラーの持続時間は、SPKMON_DURATION ビット・フィールドで設定します。モニタされたスピーカ出力レベルが、設定済みのエラー持続時間よりも長く、設定した出力エラー・スレッシュホールドを超えた場合、スピーカ出力エラーが検出されます。スピーカ出力モニタ・エラーの持続時間は、内部発振器によって決定され、その標準的な変動率はデバイスの動作温度範囲で±10%です。スピーカ出力エラーのスレッシュホールドと継続時間は、必要な最大持続スピーカ出力レベルとホスト側のオーディオ・ソフトウェア・アルゴリズムの動作の両方を慎重に考慮して設定する必要があります。

スピーカ出力エラーが検出されると、モニタはエラー・ステータス (SPKMON_ERR) を通知し、EN を 0 に設定してデバイスをソフトウェア・シャットダウン状態にします。ホスト・ソフトウェアが EN を 1 にセットするまで、デバイスはソフトウェア・シャットダウンのままです。

ブラウンアウト保護の自動レベル制御 (ALC)

ブラウンアウト保護の自動レベル制御 (ALC) により、PVDD 電圧が設定可能なブラウンアウト・スレッシュホールドを下回った場合に、スピーカ・チャンネルの音量を下げたり、チャンネルをミュートしたりできます。ALC は、PVDD レベルをスレッシュホールド (ALC_TH で設定) と比較し、設定したレベルを PVDD が下回ると作動します。使用可能なスレッシュホールドの設定は、スピーカ・アンプの動作モード (SPK_AMP_MODE ビットで選択する 1 セル・モードまたは 2 セル/ブースト・モード) に応じて変化します。

ブラウンアウト保護 ALC のバリスティック

PVDD がブラウンアウト・スレッシュホールドを下回ると、ALC が起動し、設定可能なアタック・レート (ALC_ATK_RATE で設定) でスピーカ・チャンネルの音量を減少させはじめます。ALC の最大減衰量は、0dB ~ -15dB を 1dB ステップで設定できます (ALC_MAX_ATTEN で設定)。

ALC の音量減衰が完了するまでの間または完了後のいずれかのタイミングで、PVDD 電源が回復してブラウンアウト・スレッシュホールドを超えた場合、リリース・バウンス防止タイマー (ALC_RLS_DBT で設定) が開始します。バウンス防止タイマーが作動している間、スピーカ・チャンネルの音量低減は継続され (最大減衰量まで)、PVDD が選択したバウンス防止時間より長い間、スレッシュホールドを超えるまでリリースは開始しません。音量減衰リリースのレートは、ALC_RLS_RATE ビット・フィールドで設定します。図 20 は、標準的な状況におけるこの動作を示しています。

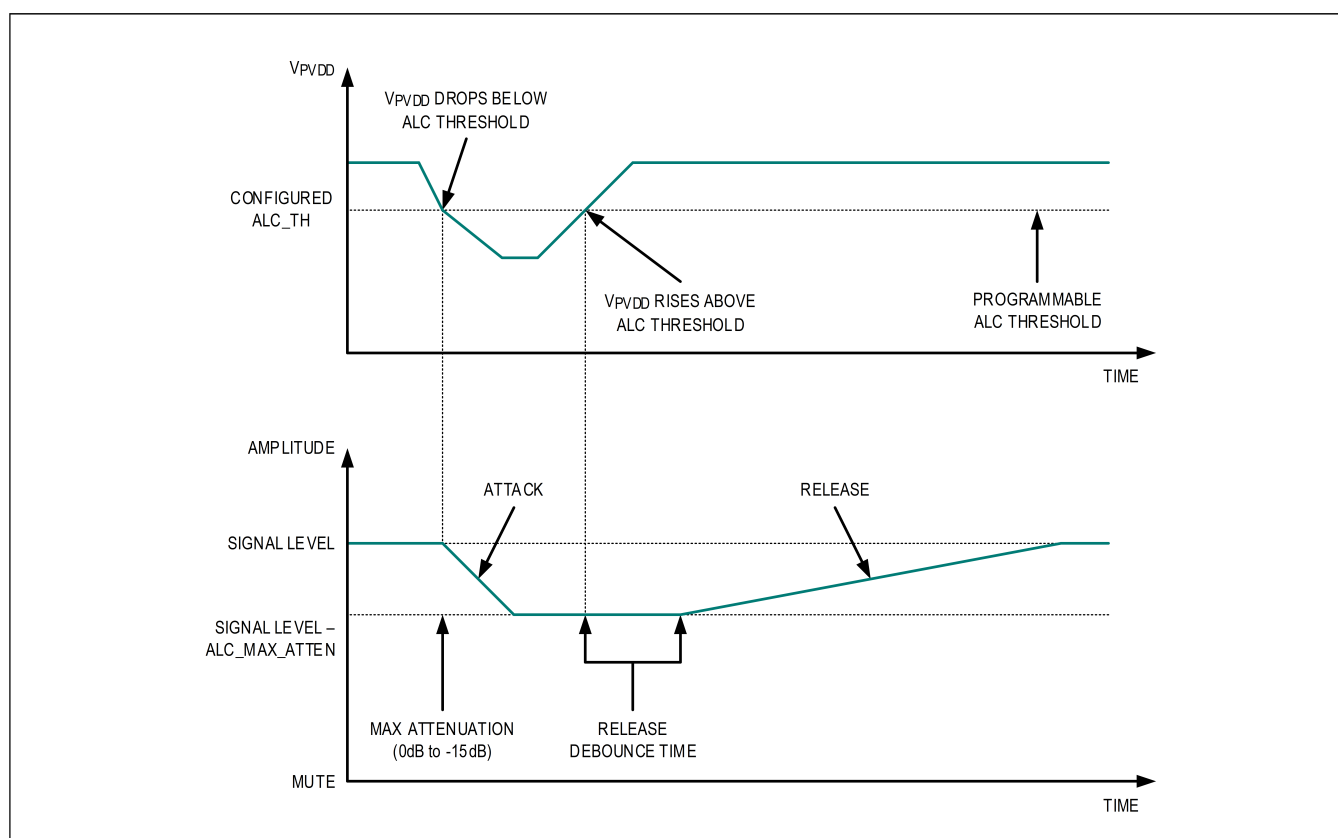


図 20. ブラウンアウト保護 ALC による音量減衰の動作

ALC ミュート機能を有効化すると (ALC_MUTE_EN)、ALC はスピーカ再生チャンネルを完全にミュートすることもできます。ALC のミュート機能およびミュート解除機能は、即座に適用するか、または音量ランプと併用して適用するかを個別に設定できます (ALC_MUTE_RAMP_EN および ALC_UNMUTE_RAMP_EN で選択)。ランプを有効化した場合、ミュートとミュート解除は 20 μ s/dB のレートで適用されます。

ALC ミュートを有効化し、PVDD がブラウンアウト・スレッシュホールドを下回ると、アタックが通常どおりに開始され、設定した最大減衰量 (ALC_MAX_ATTEN) が適用されるまで進行します。PVDD がスレッシュホールドを下回る状態が ALC ミュート遅延時間 (ALC_MUTE_DLY で設定) より長く続くと、(即座にまたは選択したランプのいずれかで) ミュートが適用されます。PVDD が回復し、選択したリリース・バウンス防止時間よりも長くブラウンアウト・スレッシュホールドを超えると、(この場合も即座にまたはランプのいずれかで) ALC ミュートが開始します。

ALC ミュート・ランプを有効化した場合、ミュート・ランプダウンの進行中に PVDD がブラウンアウト・スレッシュホールドを超えると、ミュート・ランプはリリース・バウンス防止時間が経過するまで継続します (音量減衰のアタックとリリースと同様)。ミュート・ランプの完了前にバウンス防止時間が経過した場合、現在の音量レベルからミュート解除が開始します。図 21 はミュート・ランプを無効化した場合の動作、図 22 はミュート・ランプを有効化した場合の動作です。

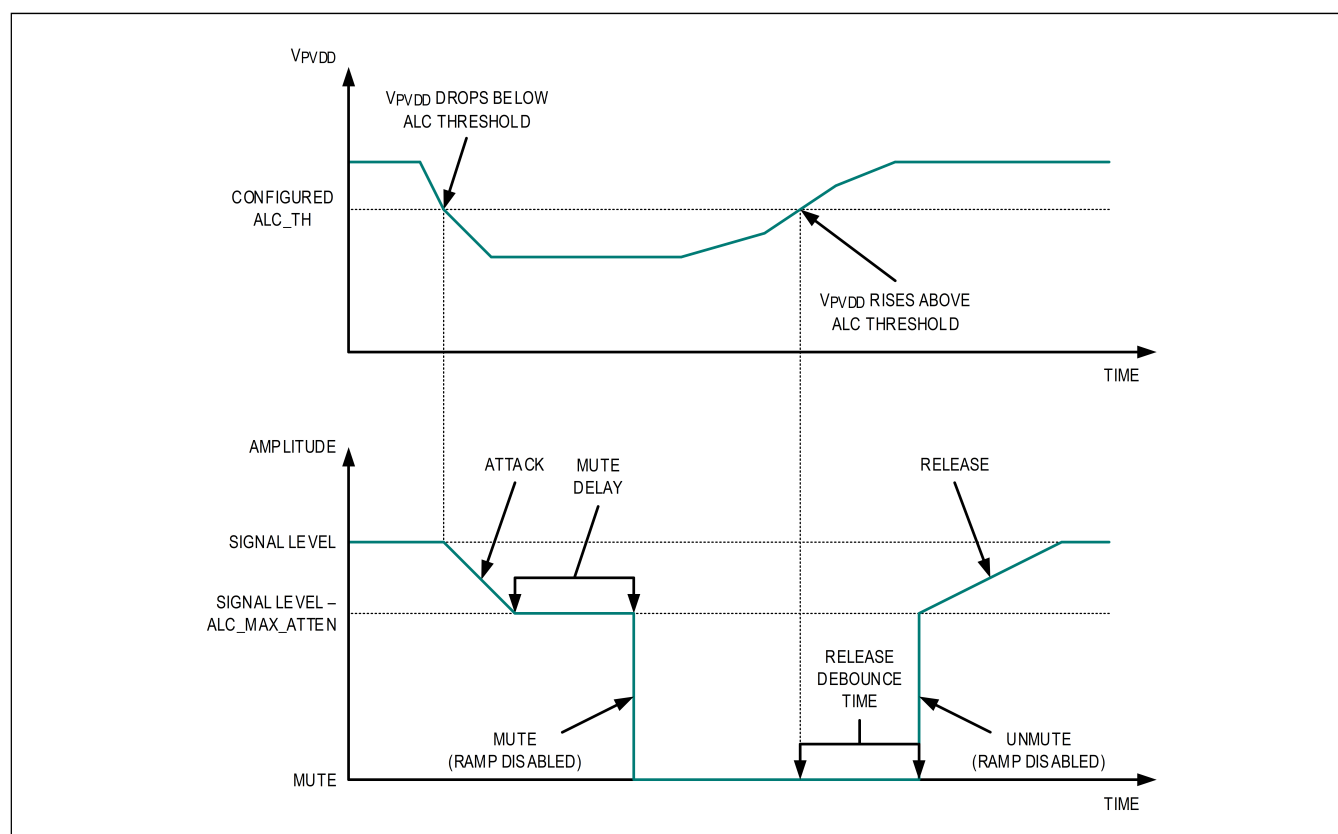


図 21. ミュートを有効化しランプなしの場合のブラウンアウト保護 ALC

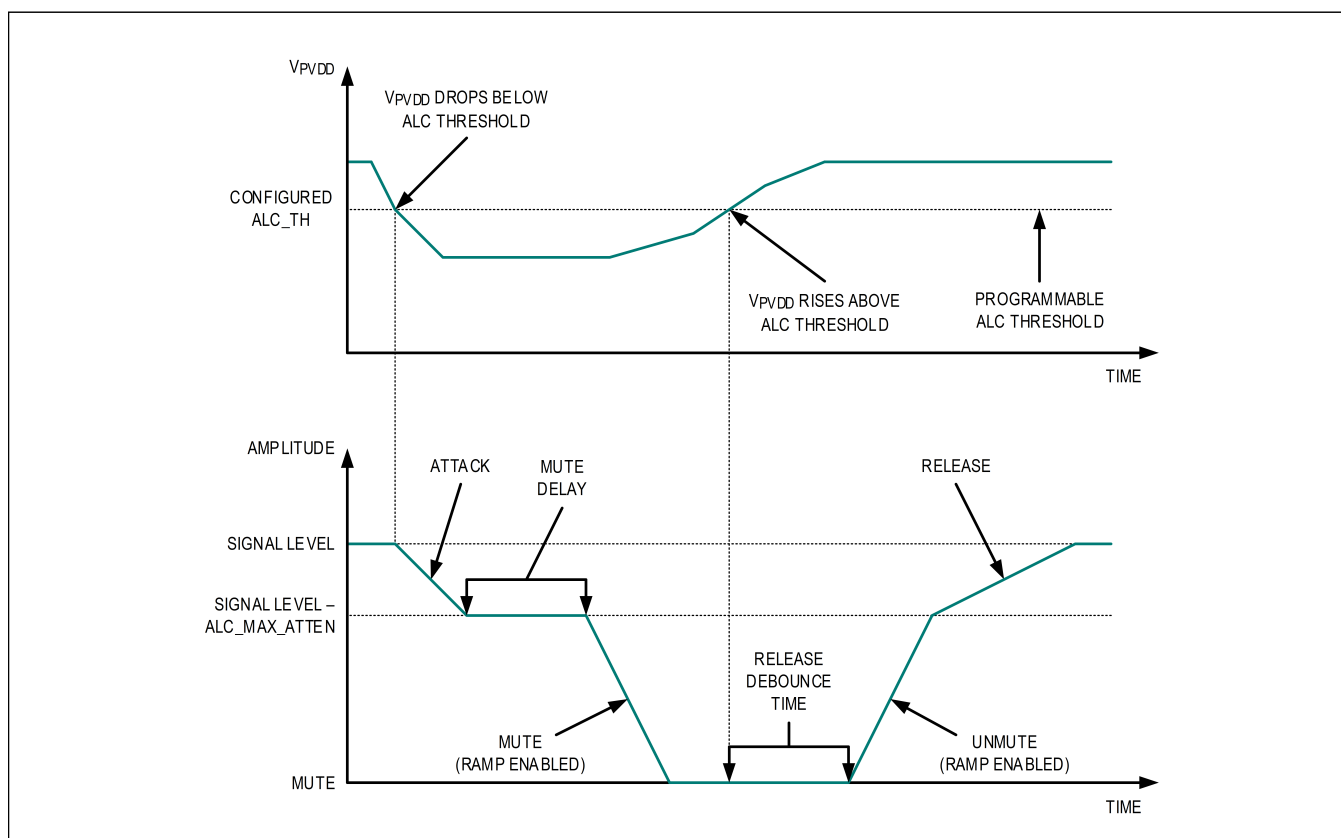


図 22. ミュートを有効化しランプありの場合のブラウンアウト保護 ALC

ブラウンアウト ALC をバッテリー保護にのみ使用し、ミュート前に音量の減衰を必要としない場合は、ALC の最大減衰量を 0dB (ALC_MAX_ATTEN) に設定する必要があります。この場合、PVDD がブラウンアウト・スレッシュホールドを下回ると、減衰は適用されず、代わりにミュート遅延時間がスタートします。ミュート遅延時間が経過すると、ALC ミュートが開始します。この動作例として、最大減衰量を 0dB に設定し、ミュート・ランプを有効化した場合を図 23 に示します。

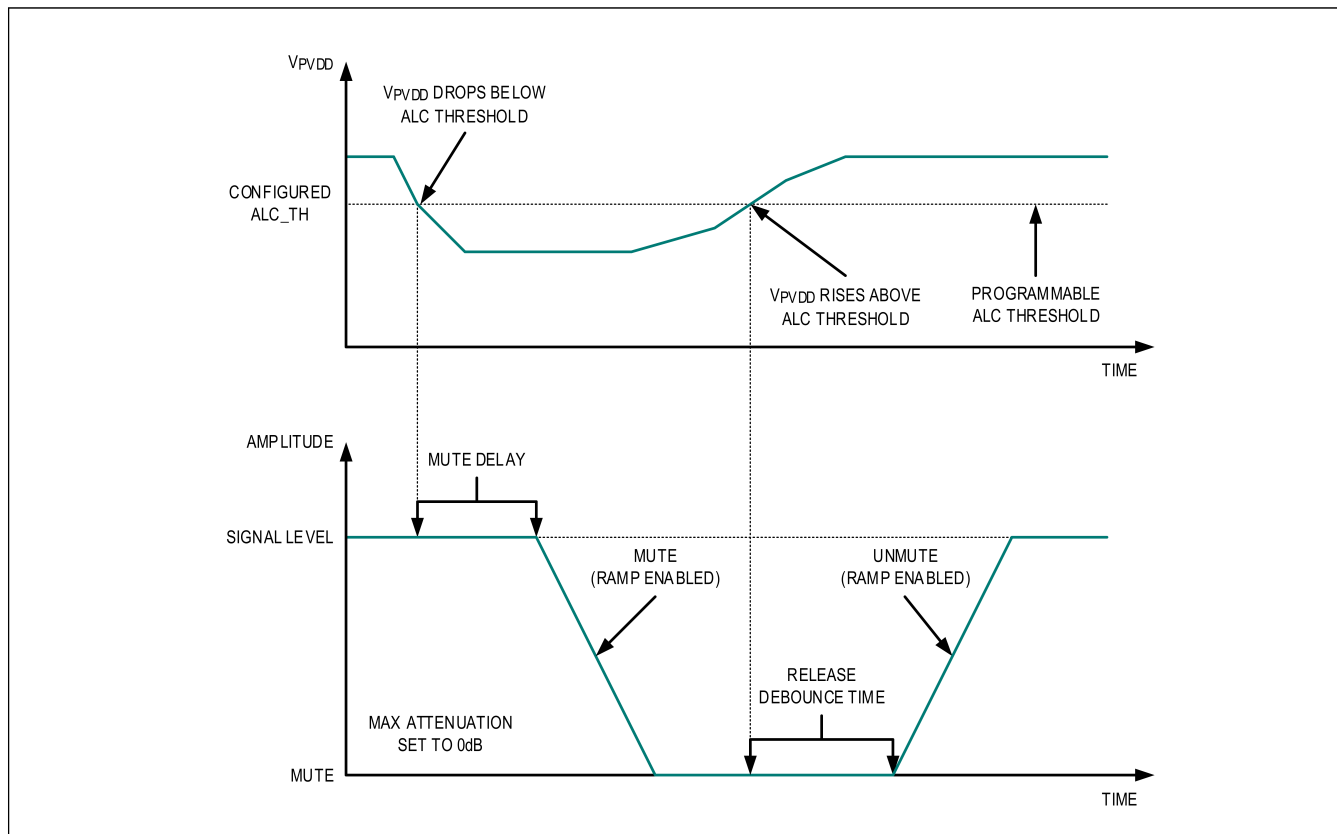


図 23. 最大減衰量を 0dB に設定し、ランプによるミュートを有効化した場合のブラウンアウト保護 ALC

ALC リリースのバウンス防止時間 (ALC_RLS_DBT) を無限に継続するように設定した場合、PVDD 電圧がブラウンアウト・スレッシュホールドを超えた後でも、設定した音量減衰やミュートは自動的にリリースされません。ホスト・システム・ソフトウェアが ALS_RLS_TGR ビットで ALC リリースを手動でトリガするまで、音量減衰とミュートが適用されたままになります。PVDD がまだ ALC スレッシュホールドを下回っている間は、無限継続をリリースしようとしても無効です。図 24 に、減衰からのリリースがトリガされた ALC 無限継続の例（リリースの試みが無効の場合を含む）を示します。また、ミュートからのリリースをトリガする 2 つ目の例を図 25 に示します。

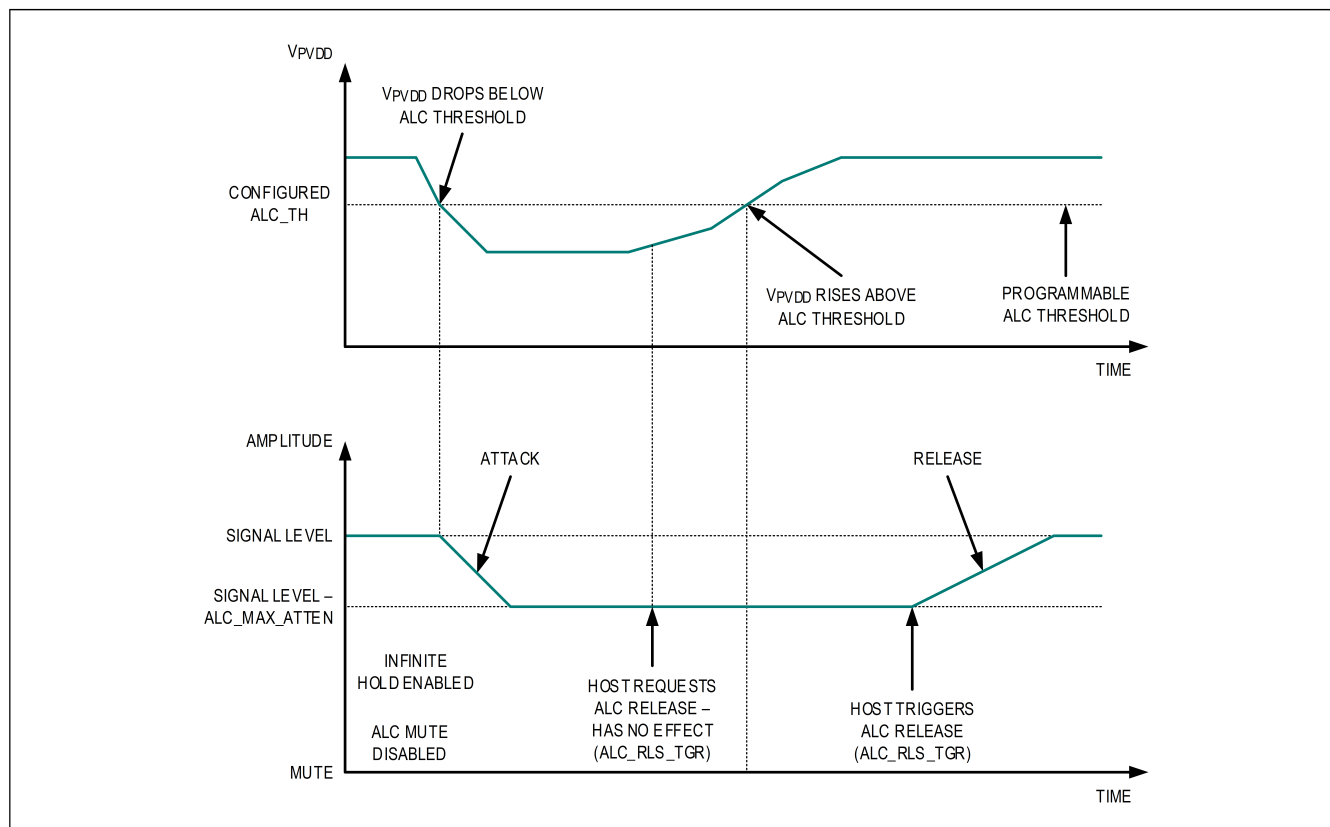


図 24. 無限保持を有効化、ミュートを無効化とした場合のブラウンアウト保護 ALC

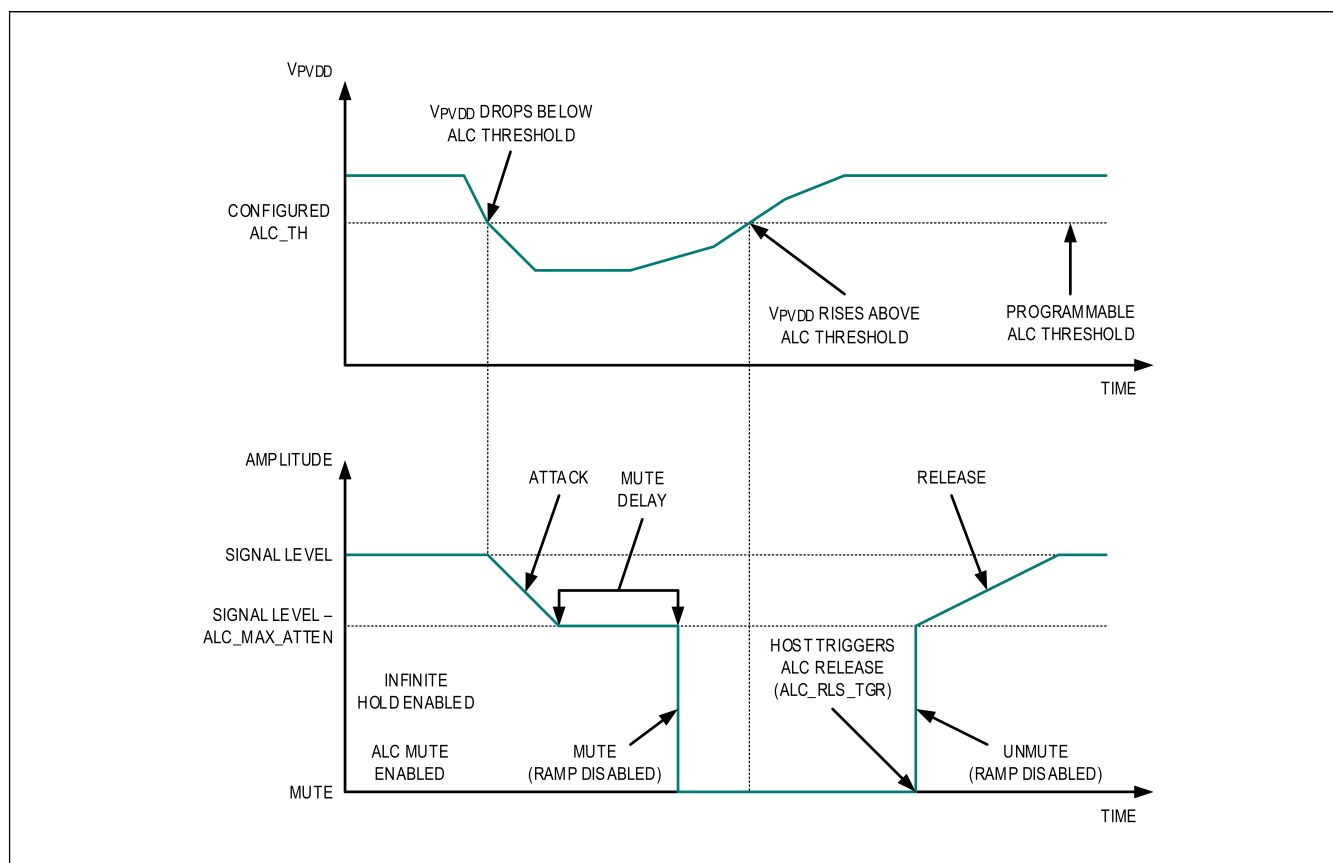


図 25. 無限保持を有効化、ミュートを有効化、ランプなしとした場合のブラウンアウト保護 ALC

ブラウナウト保護 ALC のステータス通知

本デバイスには 3 つのステータス信号（スレッシュホールド、アクティブ、ミュート）があり、これを用いてホストがブラウンアウト保護 ALC の動作状態をモニタできます。これら 3 つのステータス信号のそれぞれに対応する生ステータス・ビットは、現在の ALC 動作状態を直接報告し、それぞれの生ステータスの立上がりエッジがステータス・ビットによって捕捉されます（リードバック時にのみクリアされます）。

ブラウンアウト ALC アクティブ・ステータス (BR_ALC_ACTIVE) は、ALC が現在アクティブであるかどうかを通知します。設定された ALC スレッシュホールドを PVDD 電圧が上回り、ALC の減衰／ミュートが完全にリリースされると、いつでも生の ALC アクティブ・ステータス信号がローになります。設定された ALC スレッシュホールドを PVDD が下回り、減衰が開始すると（最大減衰量を 0dB に設定した場合と、ALC がミュート遅延時間を待機している場合も含む）、生の ALC アクティブ・ステータスはハイになります。PVDD が ALC スレッシュホールドを上回り、ALC の減衰／ミュートが完全にリリースされるまではハイのままです。

ブラウンアウト ALC スレッシュホールド・ステータス (BR_ALC_THRESH) は、PVDD レベルがブラウンアウト・スレッシュホールドを超えるまで回復した時に、そのことをホストに通知します。設定されたブラウンアウト・スレッシュホールドを PVDD が下回ると、ALC が作動し、生のブラウンアウト ALC スレッシュホールド・ステータスはローになります。その後、設定された ALC スレッシュホールドを PVDD レベルが上回ると、生のブラウンアウト ALC スレッシュホールド・ステータスがハイになって（更に状態ビットにラッチされ）、PVDD が回復したことを示します。この時点で ALC はまだアクティブであり、PVDD がブラウンアウト・スレッシュホールドを超えている場合、リリースはここから進行します。

ブラウアウト ALC ミュート・ステータス (BR_ALC_MUTE) は、ALC ミュートが現在完全に適用されているかどうかを通知します。生の ALC ミュート・ステータス信号は、ALC ミュートがアクティブでなく、完全に適用されていない時（これにはミュートとミュート解除のランプ時も含めます）は、常時ローです。生の ALC アクティブ・ステータスは、ALC ミュートが完全に適用されると（即座に、またはミュート・ランプが完了した時に）ハイになり、ALC ミュート解除が始まるまで（即座に、またはミュート解除ランプが開始する）ハイを維持します。

ALC 動作状態に対するブラウナウト保護 ALC の生ステータス・ビットの動作について、通常動作の場合を図 26 に、無限保持を有効化した場合を図 27 に示します。

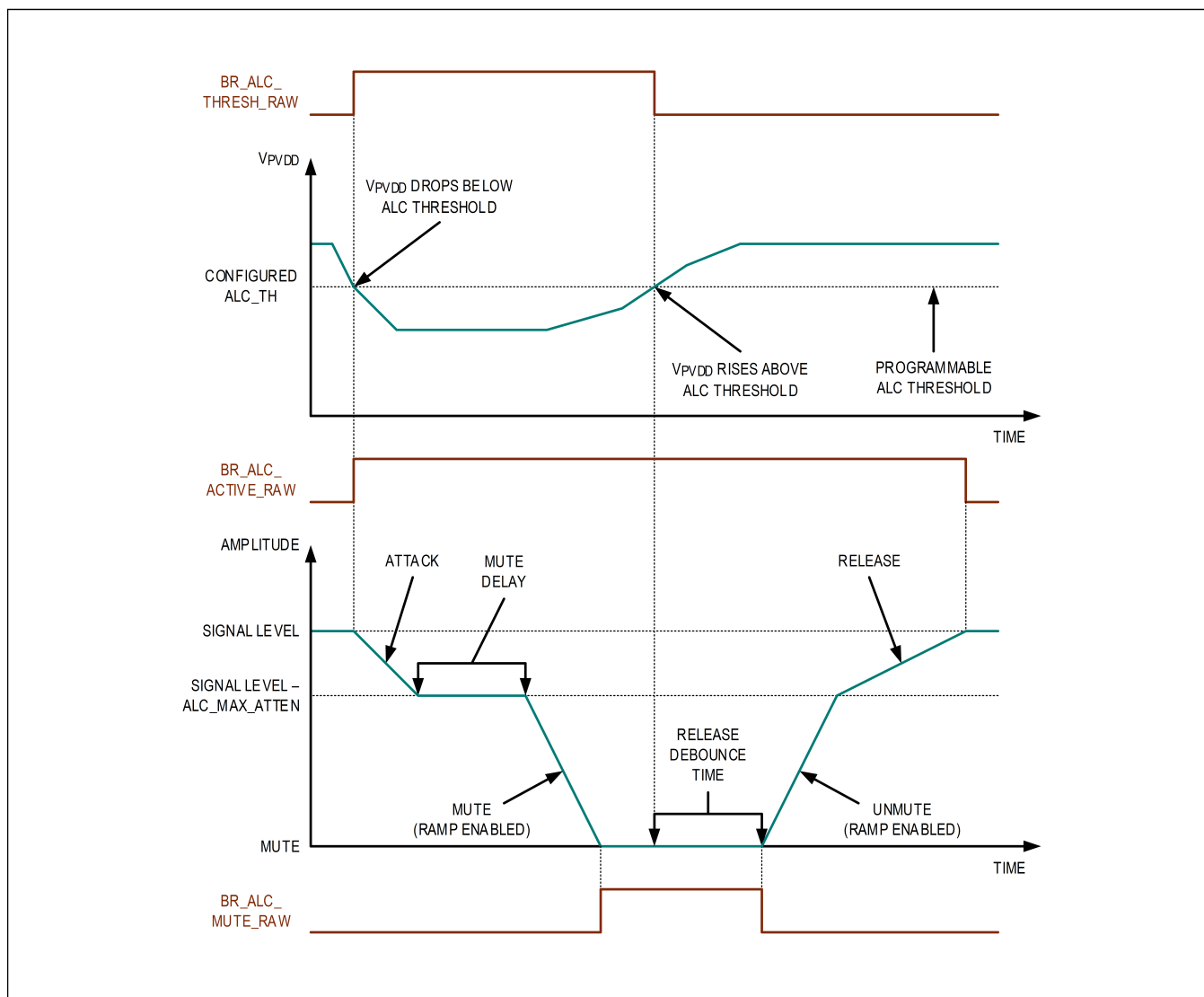


図 26. ブラウンアウト保護 ALC のステータス信号（ミュートとランプを有効化）

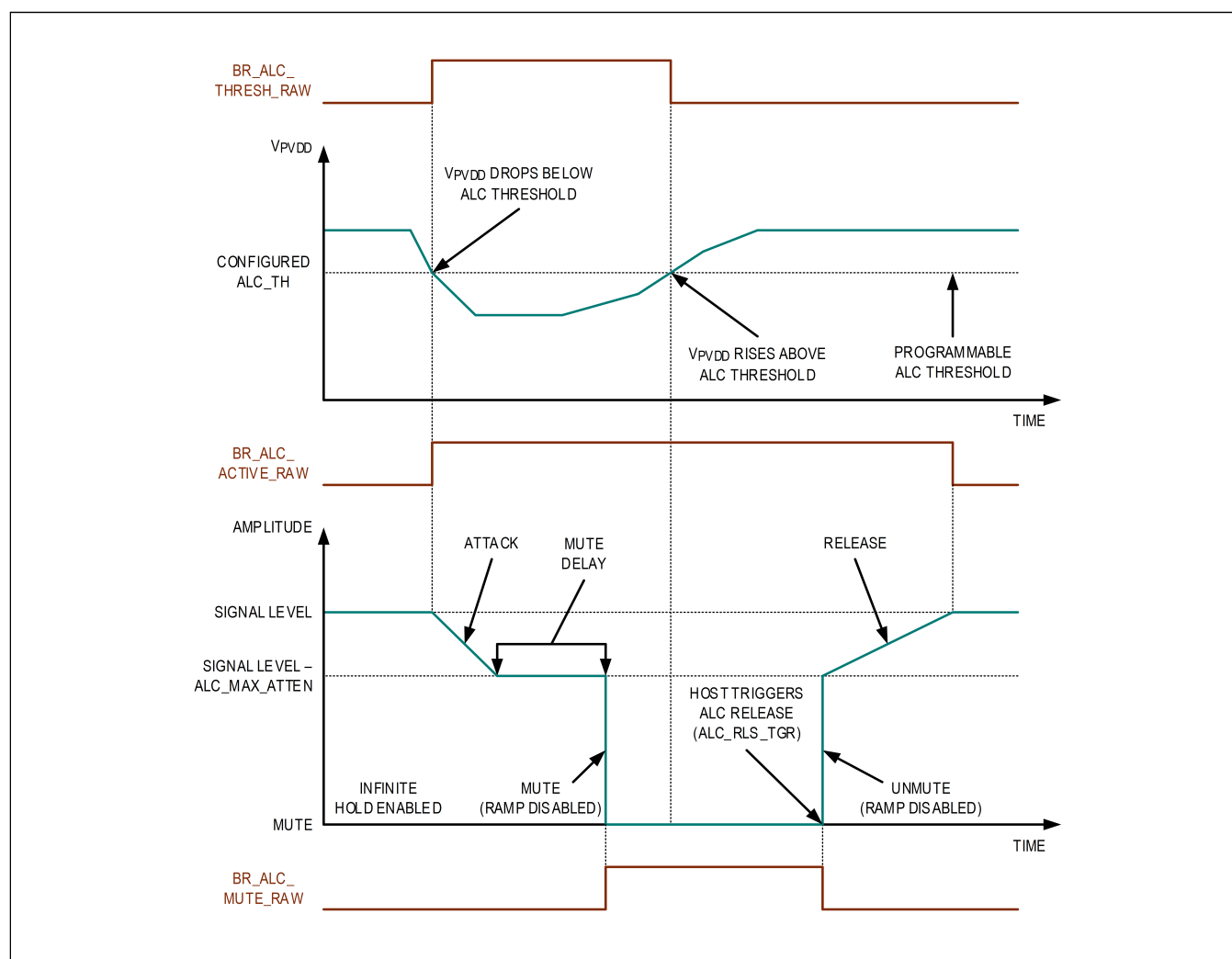


図 27. ブラウンアウト保護 ALC のステータス信号（無限保持、ミュートとランプを無効化）

過熱保護

デバイスがアクティブな時は、損傷を防ぐためにダイ温度が自動的にモニタされて、サーマル・スレッシュホルドを超えることのないようにできます。過熱警告スレッシュホルドは `THERMWARN_THRESH[1:0]` ビット・フィールドで設定し、サーマル・シャットダウン・スレッシュホルドは `THERMSHDN_THRESH[1:0]` ビット・フィールドで設定します。それぞれのヒステリシスは 15°C（代表値）となっています。

ダイ温度が過熱警告スレッシュホルドを超えると、ステータス・インジケータ（過熱警告開始）がセットされ、システムに警告を発します。サーマル・シャットダウンの回復動作は、`THERM_AUTORESTART_EN` ビットの状態によって決まります。

`THERM_AUTORESTART_EN` ビットを 0 に設定した場合、サーマル・シャットダウンからの回復は手動モードとなります。手動モードでは、ダイ温度がサーマル・シャットダウン・スレッシュホルドを超えると、ステータス・インジケータがセットされ（サーマル・シャットダウン）、アンプ出力は自動的にディスエーブルされます。ダイ温度が過熱警告スレッシュホルド（これからヒステリシスを引いた値）を下回ると、ステータス・インジケータがセットされ（過熱警告終了）、デバイスはソフトウェア・シャットダウン（`EN = 0`）に移行します。デバイスは、ホストが手動で（グローバル・イネーブル `EN` で）再イネーブルするまで、その状態を維持します。

`THERM_AUTORESTART_EN` ビットを 1 に設定した場合、サーマル・シャットダウンからの回復は自動モードとなります。自動モードでは、ダイ温度がサーマル・シャットダウン・スレッシュホルドを超えると、ステータス・インジケータがセットされ（サーマル・シャットダウン）、アンプ出力は自動的にディスエーブルされます。ダイ温度が過熱警告スレッシュホルド（これからヒステリシスを引いた値）を下回ると、ステータス・インジケータがセットされ（過熱警告終了）、アンプは自動的に再イネーブルされます。自動モードでのサーマル・シャットダウンと回復の間、グローバル・イネーブル（`EN = 1`）が変更されることはありません。

デバイス・レジスタ・マップの説明

デバイス制御ビットは、読出し（R）、書込み（W）、または読書き（RW）の 3 つの基本タイプのいずれかです。

読出し専用ビット・フィールド（R）は、デバイスの内部状態を示すために使用され、ホストからは直接変更できません。これらのレジスタへの書込みは無効です。

書込み専用ビット・フィールド（W）は、1 ビットの押しボタン型制御です。これらのビット・フィールドに 1 を書き込むと、アクション（ソフトウェア・リセット、割込みクリアなど）が実行されます。0 を書き込んでも効果はなく、リードバックは常に 0 を返します。

読書きビット・フィールド（RW）は、ホストによる読出しと書込みの両方が可能で、最後に書き込まれた値がリードバックで返されます。

予備ビット・フィールドは、デバイスのプログラムまたは制御には使用されません。予備ビット・フィールドを含むレジスタに書き込む際は、予備ビット・フィールドのセグメントには必ず 0 を書き込んでください。

MAX98388 と MAX98389 のレジスタ・デフォルト設定の違い

レジスタ・マップは、MAX98388 におけるデフォルトのパワーオン・リセット（PoR）設定を示しています。MAX98389 では、1 つのレジスタのデフォルト設定が異なるだけです。レジスタ 0x2092 の SPK_AMP_MODE ビットが、デフォルトで MAX98388 では 1 セル・モード（ロー）、MAX98389 では 2 セル・モード（ハイ）になります。パワーアップ時またはリセット後にこのレジスタを読むことで、システムにインストールされているデバイスのバージョンを知ることができます。

制御ビットの書込みアクセス制限

特に読出し制限はなく、I²C 制御インターフェースがアクティブであれば、いつでもどのビット・フィールドもリードバックできます。しかし、書込み制限はあり、書込み可能なビット・フィールドは、2 つの書込みアクセス・サブタイプのいずれかに分類されます。

1 つ目の書込みアクセス・サブタイプは、ダイナミックです。ダイナミック・ビット・フィールドは、実質的に書込みアクセス制限がなく、I²C 制御インターフェースがアクティブであればデバイスがどのような状態にあっても安全に変更（書込み）ができます。2 つ目のアクセス・サブタイプは、制限付きです。制限付きビット・フィールドは、関連する機能ブロックがパワーダウンしている時のみ変更（書込み）する必要があります。書込みアクセスがグローバル・イネーブルに制限されている場合（EN 制限）、制限付きビット・フィールドは、デバイスがソフトウェア・シャットダウンの時のみ変更（書込み）する必要があります。

ビット・フィールドの種類と書込みアクセスのサブタイプは、全てのビット・フィールドについてレジスタの詳細を説明する表に記載されています。制限付きサブタイプを持ったビット・フィールドでは全て、依存関係も「RES」列に示されています。

本デバイスで使用される全てのデバイス・レジスタ・タイプ、アクセス・サブタイプ、および制限依存関係についての詳細が記載されています。書込みアクセス制限では、システムがその制限タイプを持つビット・フィールドを変更（書込み）しようとする前に満たすべき特定のデバイス条件（および対応するビット・フィールド設定）が記載されています。

表 11. 制御ビットの種類と書込みアクセス制限

REGISTER TYPE	WRITE ACCESS	WRITE ACCESS RESTRICTIONS		"RES" SYMBOL
		DESCRIPTION	CONDITION	
Read	Read-Only	None	—	—
Write or Write/Read	Dynamic	None	—	—
	Restricted	Device Held in Software Shutdown	EN = 0	EN
		Write Access Locked by the Hardware Unless Device is in Software Shutdown	EN = 0	ENL
		PCM Interface Disabled	PCM_TX_EN = 0 and PCM_RX_EN = 0	PCM
		Speaker Channel Disabled	SPK_EN = 0	SPK
		I/V Feedback Channels Disabled	IVFB_I_EN = 0 and IVFB_V_EN	IVFB
		Brownout Protection ALC Disabled	ALC_EN = 0	ALC

レジスタ・マップ

レジスタ・マップ

ADDRESS	NAME	MSB							LSB
Reset									
0x2000	Software Reset[7:0]	–	–	–	–	–	–	–	RST
Device Status Registers									
0x2001	Device Status Raw 1[7:0]	THERM_SHDN_RAW	THERMWARN_BGN_RAW	THERMWARN_END_RAW	SPKMON_ERR_RAW	CLK_ERR_RAW	PWRDN_DONE_RAW	PWRUP_DONE_RAW	OTP_FAIL_RAW
0x2002	Device Status Raw 2[7:0]	–	–	BR_ALC_MUTE_RAW	BR_ALC_ACTIVE_RAW	BR_ALC_THRESH_RAW	PVDD_UVLO_SHDN_RAW	SPK_OVC_RAW	SPK_CLIP_RAW
0x2004	Device Status State 1[7:0]	THERM_SHDN_STATE	THERMWARN_BGN_STATE	THERMWARN_END_STATE	SPKMON_ERR_STATE	CLK_ERR_STATE	PWRDN_DONE_STATE	PWRUP_DONE_STATE	OTP_FAIL_STATE
0x2005	Device Status State 2[7:0]	–	–	BR_ALC_MUTE_STATE	BR_ALC_ACTIVE_STATE	BR_ALC_THRESH_STATE	PVDD_UVLO_SHDN_STATE	SPK_OVC_STATE	SPK_CLIP_STATE
Thermal Protection									
0x2020	Thermal Warning Threshold[7:0]	–	–	–	–	THERMWARN_THRESH[1:0]		THERMSHDN_THRESH[1:0]	
Error Monitor									
0x2031	Speaker Mon Threshold[7:0]	SPKMON_THRESH[7:0]							
0x2032	Speaker Mon Load Select[7:0]	–	SPKMON_LOAD[6:0]						

ADDRESS	NAME	MSB							LSB
0x2033	Speaker Mon Duration[7:0]	–	–	–	–	SPKMON_DURATION[3:0]			
0x2037	Error Monitor Control[7:0]	–	–	–	–	–	–	SPKMON_EN	CMON_EN
PCM Registers									
0x2040	PCM Mode Config[7:0]	PCM_CHANSZ[1:0]		PCM_FORMAT[2:0]			PCM_TX_INTERLEAVE	PCM_CHANNELS	PCM_TX_EXTRA_HIZ
0x2041	PCM Clock Setup[7:0]	–	–	–	PCM_BCLK_EDGE	PCM_BSEL[3:0]			
0x2042	PCM Sample Rate Setup[7:0]	IV_SR[3:0]				PCM_SR[3:0]			
0x2044	PCM Tx Control 1[7:0]	–	–	PCM_VMON_SLOT[5:0]					
0x2045	PCM Tx Control 2[7:0]	–	–	PCM_IMON_SLOT[5:0]					
0x2050	PCM Tx HiZ Control 1[7:0]	PCM_TX_SLOT_HIZ[63:56]							
0x2051	PCM Tx HiZ Control 2[7:0]	PCM_TX_SLOT_HIZ[55:48]							

ADDRESS	NAME	MSB							LSB
0x2052	PCM Tx HiZ Control 3[7:0]	PCM_TX_SLOT_HIZ[47:40]							
0x2053	PCM Tx HiZ Control 4[7:0]	PCM_TX_SLOT_HIZ[39:32]							
0x2054	PCM Tx HiZ Control 5[7:0]	PCM_TX_SLOT_HIZ[31:24]							
0x2055	PCM Tx HiZ Control 6[7:0]	PCM_TX_SLOT_HIZ[23:16]							
0x2056	PCM Tx HiZ Control 7[7:0]	PCM_TX_SLOT_HIZ[15:8]							
0x2057	PCM Tx HiZ Control 8[7:0]	PCM_TX_SLOT_HIZ[7:0]							
0x2058	PCM RX Source 1[7:0]	–	–	–	–	–	–	PCM_DMMIX_CFG[1:0]	
0x2059	PCM RX Source 2[7:0]	PCM_DMMIX_CH1_SOURCE[3:0]				PCM_DMMIX_CH0_SOURCE[3:0]			
0x205C	PCM Tx Drive Strength[7:0]	–	–	–	–	–	–	PCM_DOUT_DRV[1:0]	
0x205D	PCM Tx Source Enables[7:0]	–	–	–	–	–	–	PCM_IM_ON_EN	PCM_VMON_EN

ADDRESS	NAME	MSB							LSB
0x205E	PCM Rx Enable[7:0]	–	–	–	–	–	–	–	PCM_RX_EN
0x205F	PCM Tx Enable[7:0]	–	–	–	–	–	–	–	PCM_TX_EN
Speaker Channel Control									
0x2090	Speaker Channel Volume Control[7:0]	–	SPK_VOL[6:0]						
0x2091	Speaker Channel Configuration[7:0]	–	–	–	SPK_VOL_RMPDN_BYPASS	SPK_VOL_RMPUP_BYPASS	SPK_INVERT	SPK_DITH_EN	SPK_DCBLK_EN
0x2092	Speaker Amplifier Output Configuration[7:0]	–	–	–	SPK_DAC_MODE	SPK_AMP_MODE	SPK_GAIN[2:0]		
0x2093	Speaker Amplifier SSM Configuration[7:0]	–	–	–	–	–	SPK_AMP_SSM_MOD[1:0]		SPK_AMP_SSM_EN
0x2094	Speaker Amplifier Edge Rate Control[7:0]	–	–	–	–	SPK_AMP_FALL_SR[1:0]		SPK_AMP_RISE_SR[1:0]	
0x209E	Speaker Channel Pink Noise Enable[7:0]	–	–	–	–	–	–	–	SPK_PINK_NOISE_EN

ADDRESS	NAME	MSB							LSB
0x209F	Speaker Channel and Amp Enable[7:0]	–	–	–	–	–	–	–	SPK_EN
IV Data Channel Control									
0x20A0	IV Data DSP Control[7:0]	–	–	–	IVFB_DITH_EN	IVFB_I_IN_VERT_EN	IVFB_V_I_NVERT_EN	IVFB_I_DCBLK_EN	IVFB_V_DCBLK_EN
0x20A7	IV Data Enables[7:0]	–	–	–	–	–	–	IVFB_I_EN	IVFB_V_EN
Brownout Protection ALC									
0x20E0	Brownout Protection ALC Threshold[7:0]	–	–	–	–	ALC_TH[3:0]			
0x20E1	Brownout Protection ALC Rates[7:0]	ALC_ATK_RATE[3:0]				ALC_RLS_RATE[3:0]			
0x20E2	Brownout Protection ALC Attenuation[7:0]	–	–	–	–	ALC_MAX_ATTEN[3:0]			
0x20E3	Brownout Protection ALC Release[7:0]	–	–	–	–	–	ALC_RLS_DBT[2:0]		
0x20E4	Brownout Protection ALC Mute[7:0]	–	–	ALC_UNMUTE_RAMP_EN	ALC_MUTE_RAMP_EN	ALC_MUTE_DELAY[2:0]			ALC_MUTE_EN

ADDRESS	NAME	MSB							LSB
0x20EE	Brownout Protection ALC Infinite Hold Release[7:0]	–	–	–	–	–	–	–	ALC_RLS_TGR
0x20EF	Brownout Protection ALC Enable[7:0]	–	–	–	–	–	–	–	ALC_EN
System Configuration									
0x210E	AutoRestart Behavior[7:0]	–	–	–	–	CLOCK_A UTOREST ART_EN	OVC_RET RY_EN	THERM _AUTOR ESTART _EN	PVDD_UVL O_AUTORE START_EN
0x210F	Global Enable[7:0]	–	–	–	–	–	–	–	EN
Device and Revision ID									
0x22FF	Revision ID[7:0]	REV_ID[7:0]							

レジスタの詳細

ソフトウェア・リセット (0x2000)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	RST
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write Only

ビットフィールド	ビット	RES	説明	デコード
RST	0	–	このビット・フィールドは、ソフトウェア・リセット・イベントをトリガするのに使用します。1を書き込むとデバイスはリセットされ、制御レジスタはパワーオン・リセット状態に戻ります。0の書き込みは無効で、リードバックすると常時0を返します。	0: No action 1: Triggers a software reset event

デバイス・ステータス生 1 (0x2001)

BIT	7	6	5	4	3	2	1	0
Field	THERMSHDN_RAW	THERMWARN_BGN_RAW	THERMWARN_END_RAW	SPKMON_ERR_RAW	CLK_ERR_RAW	PWRDN_DONE_RAW	PWRUP_DONE_RAW	OTP_FAIL_RAW
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	RES	説明	デコード
THERMSHDN_RAW	7	–	サーマル・シャットダウンの生ステータス・ビット。	0x0: Die temperature is lower than the configured thermal-shutdown threshold. 0x1: Die temperature is greater than the configured thermal-shutdown threshold.
THERMWARN_BGN_RAW	6	–	過熱警告の生ステータス・ビット。	0x0: Die temperature is lower than the configured thermal-warning threshold. 0x1: Die temperature is greater than the configured thermal-warning threshold.
THERMWARN_END_RAW	5	–	過熱警告終了の生ステータス・ビット。	0x0: Die temperature has not dropped below the configured thermal-warning threshold (after exceeding it). 0x1: Die temperature has dropped below the configured thermal-warning threshold (after exceeding it).
SPKMON_ERR_RAW	4	–	スピーカ・アンプ出力でのDCレベル・モニタの生ビット。	0x0: DC level exceeding the configured threshold was not detected at the speaker amplifier output since the last state clear. 0x1: DC level exceeding the configured threshold was detected at the speaker amplifier output since the last state clear.
CLK_ERR_RAW	3	–	クロック・モニタ・エラーの生ビット。	0x0: BCLK was present during active-mode operation since the last state clear. 0x1: BCLK stopped during active-mode operation.
PWRDN_DONE_RAW	2	–	パワーダウン移行完了ステータスの生ビット。	0x0: Power-down transition from active state to software-shutdown state is not done (no transition or transition is in progress). 0x1: Power-down transition from active state to software-shutdown state done (transition completed).

ビットフィールド	ビット	RES	説明	デコード
PWRUP_DONE_RAW	1	–	パワーアップ移行完了ステータスの生ビット。	0x0: Power-up transition from software shutdown state to active state is not done (no transition or transition is in progress). 0x1: Power-up transition from software shutdown state to active state done (transition completed).
OTP_FAIL_RAW	0	–	OTP負荷フォールト・ステータスの生ビット。	0x0: OTP settings successfully loaded during initialization. 0x1: OTP settings failed to load during initialization.

デバイス・ステータス生 2 (0x2002)

BIT	7	6	5	4	3	2	1	0
Field	–	–	BR_ALC_MUTE_RAW	BR_ALC_ACTIVE_RAW	BR_ALC_THRESH_RAW	PVDD_UVLO_SHDN_RAW	SPK_OVC_RAW	SPK_CLIP_RAW
Reset	–	–	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	–	–	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	RES	説明	デコード
BR_ALC_MUTE_RAW	5	–	ブラウンアウト保護ALCミュートの生ステータス・ビット。ALCミュートを適用するとハイにアサートされ、ALCミュートを無効化するとアサート解除されます。	0x0: Brownout protection ALC is not muting the speaker channel (ALC mute is not active or ramp is not complete). 0x1: Brownout protection ALC is muting the speaker channel (ALC mute is active and ramp down is complete).
BR_ALC_ACTIVE_RAW	4	–	ブラウンアウト保護ALCアクティブの生ステータス・ビット。設定したALCスレッシュホールドをPVDDが下回り、ALCがアクティブになるとハイにアサートされます。PVDDの電圧レベルが回復し（スレッシュホールドを上回り）、適用されたALC減衰が完全にリリースされた後にアサート解除されます。	0x0: Brownout protection ALC is not actively attenuating or muting the speaker channel (ALC is inactive or release is complete). 0x1: Brownout protection ALC is actively attenuating or muting the speaker channel (ALC is active or release is not complete).
BR_ALC_THRESH_RAW	3	–	ブラウンアウト保護ALCでのPVDD電圧スレッシュホールドの生ステータス・ビット。設定されたALCスレッシュホールドをPVDDが下回るとハイにアサートされ、PVDD電圧レベルが回復する（スレッシュホールドを上回る）とアサート解除されます。	0x0: PVDD voltage level is currently above the configured brownout ALC threshold. 0x1: PVDD voltage level is currently below the configured brownout ALC threshold.
PVDD_UVLO_SHDN_RAW	2	–	PVDD低電圧ロックアウト・エラーの生ステータス・ビット。	0x0: PVDD UVLO has not triggered during active-state operation. 0x1: PVDD UVLO has triggered during active-state operation.

ビットフィールド	ビット	RES	説明	デコード
SPK_OVC_RAW	1	–	スピーカ・アンプ出力での過電流モニタの生ビット。	0x0: Speaker amplifier output overcurrent event is not detected. 0x1: Speaker amplifier output overcurrent event detected.
SPK_CLIP_RAW	0	–	スピーカ・アンプ出力でのクリッピング・モニタの生ビット。	0x0: Speaker amplifier output clipping event is not detected. 0x1: Speaker amplifier output clipping event is detected.

デバイス・ステータス状態 1 (0x2004)

BIT	7	6	5	4	3	2	1	0
Field	THERMSHDN_STATE	THERMWARNBGN_STATE	THERMWARNEEND_STATE	SPKMON_ERR_STATE	CLK_ERR_STATE	PWRDN_DONE_STATE	PWRUP_DONE_STATE	OTP_FAIL_STATE
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read, Ext	Read, Ext	Read, Ext	Read, Ext	Read, Ext	Read, Ext	Read, Ext	Read, Ext

ビットフィールド	ビット	RES	説明	デコード
THERMSHDN_STATE	7	–	サーマル・シャットダウン・ステータスの状態ビット。	0x0: Die temperature has not exceeded the configured thermal-shutdown threshold since the last state clear. 0x1: Die temperature has exceeded the configured thermal-shutdown threshold since the last state clear.
THERMWARNBGN_STATE	6	–	過熱警告ステータスの状態ビット。	0x0: Die temperature has not exceeded the configured thermal-warning threshold since the last state clear. 0x1: Die temperature has exceeded the configured thermal-warning threshold since the last state clear.
THERMWARNEEND_STATE	5	–	過熱警告終了ステータスの状態ビット。	0x0: Die temperature has either not exceeded or remains above the configured thermal-warning threshold since the last state clear. 0x1: Die temperature has dropped back below the configured thermal-warning threshold (after previously exceeding it) since the last state clear.
SPKMON_ERR_STATE	4	–	スピーカ・アンプ出力でのDCレベル・モニタの状態ビット。	0x0: DC level exceeding the configured threshold was detected at the speaker amplifier output. 0x1: DC level exceeding the configured threshold detected at the speaker amplifier output.
CLK_ERR_STATE	3	–	クロック・モニタ・エラーの状態ビット。	0x0: BCLK was present during active-mode operation since the last state clear. 0x1: BCLK was stopped during active-mode operation since the last state clear.

ビットフィールド	ビット	RES	説明	デコード
PWRDN_DONE_STATE	2	–	パワーダウン移行完了の状態ビット。	0x0: Power-down transition from active state to software-shutdown state was not completed (no transition or transition is in progress) since the last state clear. 0x1: Power-down transition from active state to software-shutdown state was completed since the last state clear.
PWRUP_DONE_STATE	1	–	パワーアップ移行完了の状態ビット。	0x0: Power-up transition from software-shutdown state to active state was not completed (no transition or transition is in progress) since the last state clear. 0x1: Power-up transition from software-shutdown state to active state was completed since the last state clear.
OTP_FAIL_STATE	0	–	OTP負荷フォールト・ステータスの状態ビット。	0x0: OTP settings were successfully loaded during initializations since the last state clear. 0x1: OTP settings failed to load during an initialization since the last state clear.

デバイス・ステータス状態 2 (0x2005)

BIT	7	6	5	4	3	2	1	0
Field	–	–	BR_ALC_MUTE_STATE	BR_ALC_ACTIVE_STATE	BR_ALC_THRESH_STATE	PVDD_UVLO_SHDN_STATE	SPK_OVC_STATE	SPK_CLIP_STATE
Reset	–	–	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	–	–	Read, Ext	Read, Ext	Read, Ext	Read, Ext	Read, Ext	Read, Ext

ビットフィールド	ビット	RES	説明	デコード
BR_ALC_MUTE_STATE	5	–	PVDDブラウンアウト保護ALCでのミュート・ステータスの状態ビット。	0x0: Brownout protection ALC did not fully mute the speaker channel since the last state clear. 0x1: Brownout protection ALC did fully mute the speaker channel since the last state clear.
BR_ALC_ACTIVE_STATE	4	–	PVDDブラウンアウト保護ALCでのアクティブ・ステータスの状態ビット。	0x0: Brownout protection ALC did not actively attenuate the speaker channel since the last state clear. 0x1: Brownout protection ALC did actively attenuate the speaker channel since the last state clear.
BR_ALC_THRESH_STATE	3	–	PVDDブラウンアウト保護ALCでのスレッシュホールド・ステータスの状態ビット。	0x0: PVDD voltage did not rise above the configured brownout ALC threshold since the last state clear. 0x1: PVDD voltage did rise above the configured brownout ALC threshold since the last state clear.
PVDD_UVLO_SHDN_STATE	2	–	PVDD UVLOエラーの状態ビット。	0x0: PVDD UVLO was not triggered during normal operation since the last state clear. 0x1: PVDD UVLO was triggered during normal operation since the last state clear.

ビットフィールド	ビット	RES	説明	デコード
SPK_OVC_STATE	1	–	スピーカ・アンプ出力での過電流モニタの状態ビット。	0x0: Speaker amplifier output overcurrent event was not detected since the last state clear. 0x1: Speaker amplifier output overcurrent event detected since the last state clear.
SPK_CLIP_STATE	0	–	スピーカ・アンプ出力でのクリッピング・モニタの状態ビット。	0x0: Speaker amplifier output clipping event not detected since the last state clear. 0x1: Speaker amplifier output clipping event detected since the last state clear.

過熱警告のスレッシュホールド (0x2020)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	THERMWARN_THRESH [1:0]		THERMSHDN_THRESH [1:0]	
Reset	–	–	–	–	0b10		0b10	
Access Type	–	–	–	–	Write, Read		Write, Read	

ビットフィールド	ビット	RES	説明	デコード
THERMWARN_THRESH	3:2	EN	過熱警告の初期スレッシュホールド温度を設定します。	0x00: 95°C 0x01: 105°C 0x02: 115°C 0x03: 125°C
THERMSHDN_THRESH	1:0	EN	過熱警告の最終スレッシュホールド温度を設定します。	0x00: 135°C 0x01: 145°C 0x02: 155°C 0x03: 165°C

スピーカ・モニタのスレッシュホールド (0x2031)

BIT	7	6	5	4	3	2	1	0
Field	SPKMON_THRESH[7:0]							
Reset	0x58							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明
SPKMON_THRESH	7:0	EN	スピーカ出力モニタ電圧のスレッシュホールドを設定します。スレッシュホールドの計算は、電流検出チャンネルがアクティブかどうかで異なります。電流検出チャンネルをアクティブにした場合、スピーカ出力モニタのスレッシュホールドは次のように直接選択されます（そして、測定出力レベルと比較されます）。 スレッシュホールド（電圧） = SPKMON_THRESH × 0.02924V 電流検出チャンネルがディスエーブルの場合、スレッシュホールドは出力フルスケール電圧のパーセンテージとして計算されます。ただし、このモードでは、PVDD電圧の変化に応じてフルスケールのレベルが変化するため、最悪のPVDD条件（一般に、あるシステムで可能な最大のPVDD）に基づいてスレッシュホールドを選択する必要があります。 スレッシュホールド（電圧） = (SPKMON_THRESH / 256) × PVDD電圧

スピーカ・モニタの負荷選択 (0x2032)

BIT	7	6	5	4	3	2	1	0
Field	–	SPKMON_LOAD[6:0]						
Reset	–	0b0001000						
Access Type	–	Write, Read						

ビットフィールド	ビット	RES	説明	デコード
SPKMON_LOAD	6:0	EN	電流検出チャンネルがイネーブルの場合、スピーカ出力モニタで使用するスピーカ負荷抵抗（公称値）を選択します。測定出力電流と選択した負荷抵抗値は、出力モニタが使用する出力電圧レベル（選択した電圧スレッシュホールドに対する相対値）を計算するのに使用されます。これは、電流検出チャンネルをディスエーブルしている場合は影響しません。	0x0: 2.00Ω 0x1: 2.25Ω 0x2 to 0x5: ... (0.25Ω Steps) 0x6: 3.50Ω 0x7: 3.75Ω 0x8: 4.00Ω (Default) 0x9: 4.25Ω 0xA: 4.50Ω 0xB to 0x15: ... (0.25Ω Steps) 0x16: 7.50Ω 0x17: 7.75Ω 0x18: 8.00Ω 0x19: 8.25Ω 0x1A: 8.50Ω 0x1B to 0x7C: ... (0.25Ω Steps) 0x7D: 33.25Ω 0x7E: 33.50Ω 0x7F: 33.75Ω

スピーカ・モニタの持続時間 (0x2033)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	SPKMON_DURATION[3:0]			
Reset	–	–	–	–	0x2			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	RES	説明	デコード
SPKMON_DURATION	3:0	EN	この持続時間を超えて、スピーカ出力モニタが、選択したスレッシュホールド以上の出力レベルを連続して検出した時、スピーカ出力モニタ・エラーをアサートします。	0x0: 10ms 0x1: 25ms 0x2: 50ms 0x3: 75ms 0x4: 100ms 0x5: 200ms 0x6: 300ms 0x7: 400ms 0x8: 500ms 0x9: 600ms 0xA: 700ms 0xB: 800ms 0xC: 900ms 0xD: 1000ms 0xE: 1100ms 0xF: 1200ms

エラー・モニタの制御 (0x2037)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	SPKMON_EN	CMON_EN
Reset	–	–	–	–	–	–	0b0	0b1
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
SPKMON_EN	1	ENL	内部のスピーカ出力保護モニタを有効化します。	0x0: Disable internal speaker output monitor. 0x1: Enable internal speaker output monitor.
CMON_EN	0	ENL	クロック・モニタを有効化します。有効化すると、ビット・クロック入力 (BCLK)、フレーム・クロック入力 (LRCLK)、およびいくつかの内部クロック・パスの全てでクロック・アクティビティがモニタされます。	0x0: Disable the clock monitor. 0x1: Enable the clock monitor.

PCM モードの設定 (0x2040)

BIT	7	6	5	4	3	2	1	0
Field	PCM_CHANSZ[1:0]		PCM_FORMAT[2:0]			PCM_TX_IN TERLEAVE	PCM_CHAN SEL	PCM_TX_E XTRA_HIZ
Reset	0b11		0b000			0b0	0b0	0b0
Access Type	Write, Read		Write, Read			Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
PCM_CHANSZ	7:6	ENL	各チャンネルに対してPCMデータのワード・サイズを設定します。	00: Reserved 01: 16-bit 10: 24-bit 11: 32-bit
PCM_FORMAT	5:3	ENL	PCMデータのフォーマットを選択します。	0x0: I ² S Mode 0x1: Left-justified 0x2: Reserved 0x3: TDM Mode 0 (0 BCLK delay from LRCLK) 0x4: TDM Mode 1 (1 BCLK delay from LRCLK) 0x5: TDM Mode 2 (2 BCLK delay from LRCLK) 0x6 to 0x7: Reserved

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_INTERLEAVE	2	ENL	同一チャンネルに割り当てられたI/Vデータを、PCMデータ出力（DOUT）でフレーム・インターリーブするかどうかを制御します。	0x0: Disable Interleave mode. 0x1: Enable Interleave mode.
PCM_CHANSEL	1	ENL	新しいフレームを開始させるLRCKエッジを選択します（チャンネル0またはスロット0）。	0: I ² S and LJ mode: Falling LRCLK edge starts a new frame. In TDM modes: Rising LRCLK edge starts a new frame. 1: In I ² S and LJ mode: Rising LRCLK edge starts a new frame. In TDM modes: Falling LRCLK edge starts a new frame.
PCM_TX_EXTRA_HIZ	0	ENL	BCLKの余分なサイクルの間、DOUTをゼロまたはHiZのいずれで駆動するかを選択します。	0x0: Transmit zero on DOUT during extra BCLK cycles. 0x1: Transmit Hi-Z on DOUT during extra BCLK cycles.

PCM クロックのセットアップ (0x2041)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	PCM_BCLK EDGE	PCM_BSEL[3:0]			
Reset	–	–	–	0b0	0x4			
Access Type	–	–	–	Write, Read	Write, Read			

ビットフィールド	ビット	RES	説明	デコード
PCM_BCLKEDGE	4	ENL	アクティブなBCLKエッジを選択します。	0: Input data captured and output data valid on rising edge of BCLK. 1: Input data captured and output data valid on falling edge of BCLK.
PCM_BSEL	3:0	ENL	PCMインターフェースで必要とされるLRCLKあたりのBCLK数を選択します。	0x0 to 0x1: Reserved 0x2: 32 0x3: 48 0x4: 64 0x5: 96 0x6: 128 0x7: 192 0x8: 256 0x9: 384 0xA: 512 0xB: 320 0xC to 0xF: Reserved

PCM サンプル・レートのセットアップ (0x2042)

BIT	7	6	5	4	3	2	1	0
Field	IV_SR[3:0]				PCM_SR[3:0]			
Reset	0x8				0x8			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	RES	説明	デコード
IV_SR	7:4	ENL	I/Vデータ出力チャンネルのサンプル・レートを設定します。	0x0: 8kHz 0x1: 11.025kHz 0x2: 12kHz 0x3: 16kHz 0x4: 22.05kHz 0x5: 24kHz 0x6: 32kHz 0x7: 44.1kHz 0x8: 48kHz 0x9: 88.2kHz 0xA: 96kHz 0xB to 0xF: Reserved
PCM_SR	3:0	ENL	PCMインターフェースとスピーカ再生チャンネルのサンプル・レートを設定します。これは、必要とされる LRCLKの周波数に対応します。	0x0: 8kHz 0x1: 11.025kHz 0x2: 12kHz 0x3: 16kHz 0x4: 22.05kHz 0x5: 24kHz 0x6: 32kHz 0x7: 44.1kHz 0x8: 48kHz 0x9: 88.2kHz 0xA: 96kHz 0xB to 0xF: Reserved

PCM Tx の制御 1 (0x2044)

BIT	7	6	5	4	3	2	1	0
Field	–	–	PCM_VMON_SLOT[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	RES	説明	デコード
PCM_VMON_SLOT	5:0	PCM	電圧帰還チャンネルにおける出力データのデータ出力 (DOUT) スロットを選択します。TDM以外のモードでは、スロット0とスロット1のみが有効です。	0x0: Slot 00/01 0x1: Slot 01/02 0x2: Slot 02/03 0x22 to 0x3D: ... 0x3E: Slot 62/63 0x3F: Reserved

PCM Tx の制御 2 (0x2045)

BIT	7	6	5	4	3	2	1	0
Field	–	–	PCM_IMON_SLOT[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	RES	説明	デコード
PCM_IMON_SLOT	5:0	PCM	電流検出ADCチャンネルにおける出力データのデータ出力 (DOUT) スロットを選択します。TDM以外のモードでは、スロット0とスロット1のみが有効です。	0x0: Slot 00/01 0x1: Slot 01/02 0x2: Slot 02/03 0x22 to 0x3D: ... 0x3E: Slot 62/63 0x3F: Reserved

PCM Tx の HiZ 制御 1 (0x2050)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[63:56]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 2 (0x2051)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[55:48]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 3 (0x2052)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[47:40]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 4 (0x2053)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[39:32]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 5 (0x2054)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[31:24]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 6 (0x2055)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[23:16]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 7 (0x2056)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[15:8]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM Tx の HiZ 制御 8 (0x2057)

BIT	7	6	5	4	3	2	1	0
Field	PCM_TX_SLOT_HIZ[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_SLOT_HIZ	7:0	PCM	未使用のPCM送信データ出力スロットで、Hi-Zまたは0のいずれを送信するかを設定します。この設定は、出力データ・スロットが未使用の場合にのみ該当し、出力データ・ソースがそのスロットに割り当てられ、出力データ・ソースが有効とされている場合には無視されます。	0: Output zero (logic-low) on the output slot if unused. 1: Output high impedance (Hi-Z) on the output slot if unused.

PCM RX のソース 1 (0x2058)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	PCM_DMMIX_CFG[1:0]	
Reset	–	–	–	–	–	–	0b00	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	RES	説明	デコード
PCM_DMMIX_CFG	1:0	PCM	モノラル・ミキサー回路の動作を決定します。	0x0: Output of mono mixer is Channel 0. 0x1: Output of mono mixer is Channel 1. 0x2: Output of mono mixer is (Channel 0 + Channel 1)/2. 0x3: Reserved

PCM RX のソース 2 (0x2059)

BIT	7	6	5	4	3	2	1	0
Field	PCM_DMMIX_CH1_SOURCE[3:0]				PCM_DMMIX_CH0_SOURCE[3:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	RES	説明	デコード
PCM_DMMIX_CH1_SOURCE	7:4	PCM	デジタル・モノラル・ミキサーのチャンネル1にルーティングされるPCMデータ入力チャンネルを選択します。	0x0: PCM Input Channel 0 0x1: PCM Input Channel 1 0x2: PCM Input Channel 2 ...: ... 0xE: PCM Input Channel 14 0xF: PCM Input Channel 15
PCM_DMMIX_CH0_SOURCE	3:0	PCM	デジタル・モノラル・ミキサーのチャンネル0にルーティングされるPCMデータ入力チャンネルを選択します。	0x0: PCM Input Channel 0 0x1: PCM Input Channel 1 0x2: PCM Input Channel 2 ...: ... 0xE: PCM Input Channel 14 0xF: PCM Input Channel 15

PCM Tx の駆動強度 (0x205C)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	PCM_DOUT_DRV[1:0]	
Reset	–	–	–	–	–	–	0b01	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	RES	説明	デコード
PCM_DOUT_DRV	1:0	PCM	DOUT端子の出力駆動強度を設定します。	0x0: Reduced drive strength. 0x1: Normal drive strength. 0x2: High drive strength. 0x3: Maximum drive strength.

PCM Tx のソース・イネーブル (0x205D)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	PCM_IMON_EN	PCM_VMON_EN
Reset	–	–	–	–	–	–	0b0	0b0
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
PCM_IMON_EN	1	TXEN	割り当てられたデータ出力 (DOUT) スロットでの電流検出ADCチャンネル出力データの送信を有効化します。	0x0: Disable current sense ADC data transmit. 0x1: Enable current sense ADC data transmit.

ビットフィールド	ビット	RES	説明	デコード
PCM_VMON_EN	0	TXEN	割り当てられたデータ出力 (DOUT) スロットでの電圧帰還チャンネル出力データの送信を有効化します。	0x0: Disable voltage feedback data transmit. 0x1: Disable voltage feedback data transmit.

PCM Rx イネーブル (0x205E)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	PCM_RX_EN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	RES	説明	デコード
PCM_RX_EN	0	–	スピーカ再生チャンネルのデータ入力を有効化します。	0: PCM data input disabled. 1: PCM data input enabled.

PCM Tx イネーブル (0x205F)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	PCM_TX_EN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	RES	説明	デコード
PCM_TX_EN	0	–	PCMインターフェースのデータ出力 (DOUT) を有効化します。	0x0: PCM Tx disabled. 0x1: PCM Tx enabled.

スピーカ・チャンネルの音量制御 (0x2090)

BIT	7	6	5	4	3	2	1	0
Field	–	SPK_VOL[6:0]						
Reset	–	0b0000000						
Access Type	–	Write, Read						

ビットフィールド	ビット	RES	説明	デコード
SPK_VOL	6:0	—	スピーカ・アンプ・チャンネルのデジタル音量レベルを設定します。	0x00: 0dB 0x01: -0.5dB 0x02: -1.0dB ...: (-0.5dB steps) 0x7C: -62.0dB 0x7D: -62.5dB 0x7E: -63dB 0x7F: Mute

スピーカ・チャンネルの設定 (0x2091)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	SPK_VOL_R MPDN_BY PASS	SPK_VOL_R MPUP_BY PASS	SPK_INVER T	SPK_DITH_ EN	SPK_DCBL K_EN
Reset	—	—	—	0b0	0b0	0b0	0b1	0b0
Access Type	—	—	—	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
SPK_VOL_RMPDN_ BYPASS	4	SPK	シャットダウン時およびミュート時に、スピーカ・アンプ・チャンネルの音量を内部でランプダウンさせるかどうかを制御します。	0: Volume ramp enabled 1: Volume ramp bypassed
SPK_VOL_RMPUP_ BYPASS	3	SPK	スタートアップ時およびミュート解除時に、スピーカ・アンプ・チャンネルの音量を内部でランプアップさせるかどうかを制御します。	0: Volume ramp enabled 1: Volume ramp bypassed
SPK_INVERT	2	SPK	スピーカ・アンプのチャンネル出力を反転させます。	0: Output is normal. 1: Output is inverted.
SPK_DITH_EN	1	SPK	スピーカ・アンプのチャンネルデータにディザを適用するかどうかを選択します。	0: Dither disabled. 1: Dither enabled.
SPK_DCBLK_EN	0	SPK	スピーカ・アンプ・チャンネルでDCブロッキング・フィルタを有効化します。	0: DC blocking filter disabled. 1: DC blocking filter enabled.

スピーカ・アンプ出力の設定 (0x2092)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	SPK_DAC_ MODE	SPK_AMP_ MODE	SPK_GAIN[2:0]		
Reset	—	—	—	0b0	0b0	0b011		
Access Type	—	—	—	Write, Read	Write, Read	Write, Read		

ビットフィールド	ビット	RES	説明	デコード
SPK_DAC_MODE	4	—	スピーカ・アンプのチャンネルDACを、低消費電力モードまたは高性能モードのいずれで動作させるかを設定します。	0x0: DAC operates in low-power mode. 0x1: DAC operates in high-performance mode.
SPK_AMP_MODE	3	SPK	スピーカ・アンプを、1セル・モードまたは2セル／ブースト・モードのいずれで動作させるかを選択します。選択したスピーカ・アンプの動作モードにより、必要とされるPVDDの電源範囲は異なります。MAX98388のデフォルトは1セル・モード（ここではデフォルト値として示しています）で、MAX98389のデフォルトは2セル・モードです。	0x0: Single-cell mode (default for MAX98388). 0x1: Two-cell/boosted mode (default for MAX98389).
SPK_GAIN	2:0	SPK	スピーカ・チャンネル・アンプ（無負荷）の最大ピーク出力電圧レベル（ V_{MPO} ）を実効値電圧で設定します。各設定におけるピーク出力電圧レベルは、選択するスピーカ・アンプ動作モード（SPK_AMP_MODE）に依存します。dBの値は、ベースラインでのスピーカ・パスDACのフルスケール出力レベルである0.5dBVを基準としたゲインです。	0x00: Single-cell mode: 0.75V _{RMS} (−3dB) Two-cell mode: 1.50V _{RMS} (+3dB) 0x01: Single-cell mode: 1.06V _{RMS} (0dB) Two-cell mode: 2.11V _{RMS} (+6dB) 0x02: Single-cell Mode: 1.50V _{RMS} (+3dB) Two-cell mode: 2.99V _{RMS} (+9dB) 0x03: Single-cell Mode: 2.11V _{RMS} (+6dB) Two-cell mode: 4.22V _{RMS} (+12dB) 0x04: Single-cell Mode: 2.99V _{RMS} (+9dB) Two-cell mode: 5.96V _{RMS} (+15dB) 0x05: Single-cell Mode: 4.22V _{RMS} (+12dB) Two-cell mode: 8.41V _{RMS} (+18dB) 0x06-0x07: Reserved

スピーカ・アンプ SSM の設定 (0x2093)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	SPK_AMP_SSM_MOD[1:0]		SPK_AMP_SSM_EN
Reset	—	—	—	—	—	0b00		0b1
Access Type	—	—	—	—	—	Write, Read		Write, Read

ビットフィールド	ビット	RES	説明	デコード
SPK_AMP_SSM_MOD	2:1	SPK	スピーカ・アンプのスペクトラム拡散変調比を選択します。	0x0: ±1.5% 0x1: ±3.0% 0x2: ±4.5% 0x3: ±6.0%
SPK_AMP_SSM_EN	0	SPK	スピーカ・アンプのスペクトラム拡散変調を有効化します。	0x0: SSM disabled. 0x1: SSM enabled.

スピーカ・アンプのエッジ・レート制御 (0x2094)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	SPK_AMP_FALL_SR[1:0]		SPK_AMP_RISE_SR[1:0]	
Reset	—	—	—	—	0x3		0x3	
Access Type	—	—	—	—	Write, Read		Write, Read	

ビットフィールド	ビット	RES	説明	デコード
SPK_AMP_FALL_SR	3:2	SPK	スピーカ・アンプにおける立下がりエッジのスルー・レート制御。	0x0: Normal slew rate. 0x1: Reduced slew rate. 0x2: Maximum slew rate. 0x3: Increased slew rate.
SPK_AMP_RISE_SR	1:0	SPK	スピーカ・アンプにおける立上がりエッジのスルー・レート制御。	0x0: Normal slew rate. 0x1: Reduced slew rate. 0x2: Maximum slew rate. 0x3: Increased slew rate.

スピーカ・チャンネルのピンク・ノイズ・イネーブル (0x209E)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	SPK_PINK_NOISE_EN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	RES	説明	デコード
SPK_PINK_NOISE_EN	0	ENL	スピーカ・チャンネルを、(DINからの入力データの代わりに) 内部で生成されたピンク・ノイズを (アクティブ状態時に) 出力するように再設定します。このモードは、ソフトウェア・シャットダウン状態から抜け出す前に有効化する必要があります。パワーアップ状態への遷移時に、有効なビット・クロック (BCLK) とフレーム・クロック (LRCLK) を必要とします。アクティブな状態で有効化すると、クロックをディスエーブルにすることが可能で、アンプはピンク・ノイズを出力し続けます。	0x0: Pink noise output mode disabled (normal operation). 0x1: Pink noise output mode enabled.

スピーカ・チャンネルおよびアンプ・イネーブル (0x209F)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	SPK_EN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	RES	説明	デコード
SPK_EN	0	—	スピーカ・アンプ・チャンネル・イネーブル。ハイに設定すると、グローバル・イネーブルをセットした場合はいつでもスピーカ・アンプ・チャンネルがイネーブルになります。	0x0: Speaker amplifier channel disabled (Regardless of global enable setting). 0x1: Speaker amplifier channel enabled (When global enable is also set).

IV データ DSP の制御 (0x20A0)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	IVFB_DITH_EN	IVFB_I_INVERT_EN	IVFB_V_INVERT_EN	IVFB_I_DCBLK_EN	IVFB_V_DCBLK_EN
Reset	—	—	—	0b1	0b0	0b0	0b0	0b0
Access Type	—	—	—	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
IVFB_DITH_EN	4	IVFB	I/Vデータ・チャンネルにディザを適用するかどうかを選択します。	0x0: Dither disabled. 0x1: Dither enabled.
IVFB_I_INVERT_EN	3	IVFB	電流帰還チャンネルを反転させます。	0x0: Channel is not inverted. 0x1: Channel is inverted.
IVFB_V_INVERT_EN	2	IVFB	電圧帰還チャンネルを反転させます。	0x0: Channel is not inverted. 0x1: Channel is inverted.
IVFB_I_DCBLK_EN	1	IVFB	電流帰還チャンネルでDCブロッキング・フィルタをイネーブルにします。	0x0: DC blocker disabled. 0x1: DC blocker enabled.
IVFB_V_DCBLK_EN	0	IVFB	電圧帰還チャンネルでDCブロッキング・フィルタをイネーブルにします。	0x0: DC blocker disabled. 0x1: DC blocker enabled.

IV データイネーブル (0x20A7)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	IVFB_I_EN	IVFB_V_EN
Reset	—	—	—	—	—	—	0b0	0b0
Access Type	—	—	—	—	—	—	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
IVFB_I_EN	1	—	スピーカ電流検出ADCチャンネルをイネーブルにします。このビットを1に設定した場合、デバイスをアクティブ状態 (EN = 1) にすると電流検出ADCチャンネルがパワーアップします。	0x0: Current sense ADC channel is disabled. 0x1: Current sense ADC channel is enabled.

ビットフィールド	ビット	RES	説明	デコード
IVFB_V_EN	0	–	スピーカの電圧帰還チャンネルをイネーブルにします。このビットを1に設定した場合、デバイスをアクティブ状態（EN = 1）にすると電圧帰還チャンネルがパワーアップします。	0x0: Voltage feedback channel is disabled. 0x1: Voltage feedback channel is enabled.

ブラウンアウト保護 ALC のスレッシュホールド (0x20E0)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	ALC_TH[3:0]			
Reset	–	–	–	–	0x4			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	RES	説明	デコード
ALC_TH	3:0	ALC	ブラウンアウトALCのPVDD立下がり電圧スレッシュホールド（アタック・スレッシュホールド）を選択します。選択するスピーカ・アンプ・モード（SPK_AMP_MODE）により、スレッシュホールド設定とステップ・サイズが変化します。スレッシュホールド設定間のステップ・サイズは、1セル・モードでは75mV、2セル・モードまたはブースト・モードでは150mVとなります。 フォーマット：1セル・モードのスレッシュホールド/2セルまたはブースト・モードのスレッシュホールド。	0x0: 3.625V / 7.25V 0x1: 3.550V / 7.10V 0x2: 3.475V / 6.95V 0x3: 3.400V / 6.80V 0x4: 3.325V / 6.65V 0x5: 3.250V / 6.50V 0x6: 3.175V / 6.35V 0x7: 3.100V / 6.20V 0x8: 3.025V / 6.05V 0x9: 2.950V / 5.90V 0xA: 2.875V / 5.75V 0xB: 2.800V / 5.60V 0xC: 2.725V / 5.45V 0xD: 2.650V / 5.30V 0xE: 2.575V / 5.15V 0xF: 2.500V / 5.00V

ブラウンアウト保護 ALC のレート (0x20E1)

BIT	7	6	5	4	3	2	1	0
Field	ALC_ATK_RATE[3:0]				ALC_RLS_RATE[3:0]			
Reset	0x2				0x0			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	RES	説明	デコード
ALC_ATK_RATE	7:4	ALC	ALCのアタック・レートを選択します。	0x0: Instant 0x1: 10μs / dB 0x2: 20μs / dB 0x3: 40μs / dB 0x4: 80μs / dB 0x5: 160μs / dB 0x6: 320μs / dB 0x7: 640μs / dB 0x8: 1.28ms / dB 0x9: 2.56ms / dB 0xA: 5.12ms / dB 0xB: 10.24ms / dB 0xC: 20.48ms / dB 0xD: 40.96ms / dB 0xE: 81.92ms / dB 0xF: 163.84ms / dB

ビットフィールド	ビット	RES	説明	デコード
ALC_RLS_RATE	3:0	ALC	ALCのリリース・レートを選択します。	0x0: 20 μ s / dB 0x1: 40 μ s / dB 0x2: 80 μ s / dB 0x3: 160 μ s / dB 0x4: 320 μ s / dB 0x5: 640 μ s / dB 0x6: 1.28ms / dB 0x7: 2.56ms / dB 0x8: 5.12ms / dB 0x9: 10.24ms / dB 0xA: 20.48ms / dB 0xB: 40.96ms / dB 0xC: 81.92ms / dB 0xD: 163.84ms / dB 0xE: 327.68ms / dB 0xF: 655.36ms / dB

ブラウンアウト保護 ALC の減衰 (0x20E2)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	ALC_MAX_ATTEN[3:0]			
Reset	–	–	–	–	0x6			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	RES	説明	デコード
ALC_MAX_ATTEN	3:0	ALC	ALCアタックの最大減衰を選択します。	0x0: 0dBFS 0x1: –1dBFS 0x2: –2dBFS 0x3: –3dBFS 0x4: –4dBFS 0x5: –5dBFS 0x6: –6dBFS 0x7: –7dBFS 0x8: –8dBFS 0x9: –9dBFS 0xA: –10dBFS 0xB: –11dBFS 0xC: –12dBFS 0xD: –13dBFS 0xE: –14dBFS 0xF: –15dBFS

ブラウンアウト保護 ALC のリリース (0x20E3)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	ALC_RLS_DBT[2:0]		
Reset	–	–	–	–	–	0b010		
Access Type	–	–	–	–	–	Write, Read		

ビットフィールド	ビット	RES	説明	デコード
ALC_RLS_DBT	2:0	ALC	ALCリリースのバウンス防止時間を選択します。	0x0: 0.01ms 0x1: 0.1ms 0x2: 1ms 0x3: 10ms 0x4: 100ms 0x5: 250ms 0x6: 500ms 0x7: Infinite Hold

ブラウンアウト保護 ALC のミュート (0x20E4)

BIT	7	6	5	4	3	2	1	0
Field	–	–	ALC_UNMUTE_RAMP_EN	ALC_MUTE_RAMP_EN	ALC_MUTE_DELAY[2:0]			ALC_MUTE_EN
Reset	–	–	0b1	0b1	0b001			0b1
Access Type	–	–	Write, Read	Write, Read	Write, Read			Write, Read

ビットフィールド	ビット	RES	説明	デコード
ALC_UNMUTE_RAMP_EN	5	ALC	ALCミュート解除遷移の音量ランプを有効化します。ALCミュート解除ランプを有効化した場合、ミュート解除のランプアップに20μs/dBのリリース・レートが使用されます。	0x0: ALC does not ramp the volume level when unmuting. 0x1: ALC ramps the volume level when unmuting.
ALC_MUTE_RAMP_EN	4	ALC	ALCミュート遷移に音量ランプを使用するかどうかを選択します。ALCミュート・ランプを有効化した場合、ミュートのランプダウンに20μs/dBのアタック・レートが使用されます。	0x0: ALC does not ramp the volume level when muting. 0x1: ALC ramps the volume level when muting.
ALC_MUTE_DELAY	3:1	ALC	ALCミュート（有効化した場合）の開始までの遅延時間を選択します。	0x0: 0.01ms 0x1: 0.05ms 0x2: 0.1ms 0x3: 0.5ms 0x4: 1ms 0x5: 5ms 0x6: 25ms 0x7: 250ms
ALC_MUTE_EN	0	ALC	ALCがスピーカ・チャンネルをミュートできるかどうかを選択します。	0x0: ALC cannot mute the speaker channel. 0x1: ALC can mute the speaker channel.

ブラウンアウト保護 ALC の無限継続リリース (0x20EE)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	ALC_RLS_TGR
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write Only

ビットフィールド	ビット	RES	説明	デコード
ALC_RLS_TGR	0	–	無限継続 (ALC_RLS_DBT) を有効化した場合に、ブラウンアウト ALC の音量減衰とミュートを手動でリリースするのに使用します。	0x0: Self-clearing and always read back as '0'. 0x1: If infinite hold is enabled, write a '1' to begin the release phase. This has no effect if it is attempted while PVDD is still below the ALC threshold.

ブラウンアウト保護 ALC イネーブル (0x20EF)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	ALC_EN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	RES	説明	デコード
ALC_EN	0	EN	ブラウンアウト保護 ALC の有効化／無効化を選択します。	0: ALC is disabled. 1: ALC is enabled.

自動再起動の動作 (0x210E)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	CLOCK_AU TORESTART T_EN	OVC_RETR Y_EN	THERM_AU TORESTART T_EN	PVDD_UVL O_AUTORE START_EN
Reset	–	–	–	–	0b0	0b0	0b0	0b0
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	RES	説明	デコード
CLOCK_AUTORESTART_EN	3	EN	クロック・モニタ・エラーでデバイスがディスエーブルされた後、クロックが有効になった時に自動的に再生を再開するかどうかを制御します。	0x0: Device does not automatically restart after a valid bit clock (BCLK) is reapplied. 0x1: Device automatically restarts after a valid bit clock (BCLK) is reapplied.
OVC_RETRY_EN	2	EN	OVC フォールト状態後にスピーカ・アンプを自動的に再イネーブルするかどうかを制御します。	0x0: Overcurrent recovery is in manual retry mode. 0x1: Overcurrent recover is in automatic retry mode.
THERM_AUTORESTART_EN	1	EN	ダイ温度がサーマル・シャットダウンから回復した時、デバイスが自動的にアクティブ状態に戻るかどうかを制御します。	0x0: Thermal shutdown recovery is in manual mode. 0x1: Thermal shutdown recovery is in auto mode.

ビットフィールド	ビット	RES	説明	デコード
PVDD_UVLO_AUTOREST ART_EN	0	EN	PVDDがUVLOイベントから回復した時、デバイスが自動的にアクティブ状態に戻るかどうかを制御します。	0: PVDD UVLO recovery is in manual mode. 1: PVDD UVLO recovery is in automatic mode.

グローバル・イネーブル (0x210F)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	EN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read, Ext

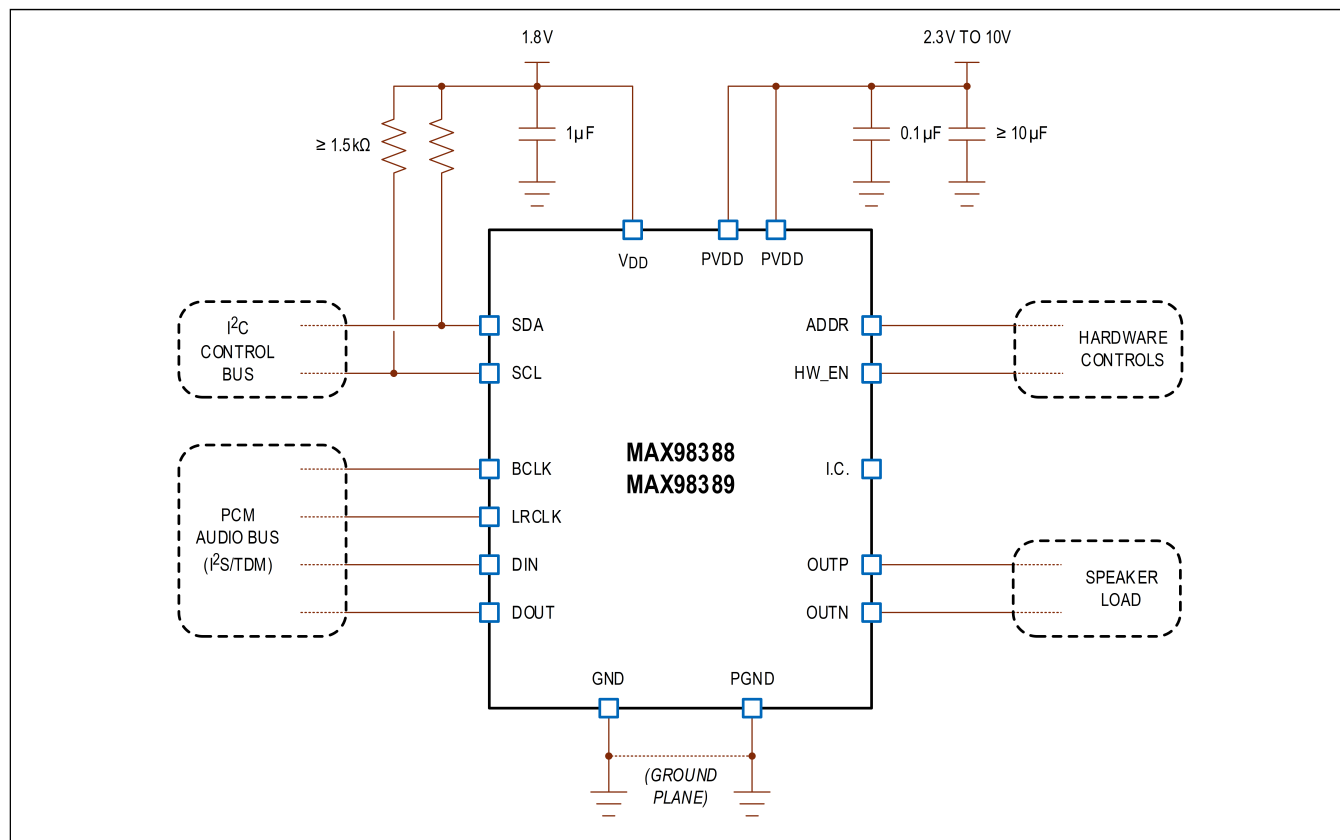
ビットフィールド	ビット	RES	説明	デコード
EN	0	–	全ブロックをディスエーブルまたはイネーブルにし、I ² Cインターフェースと制御レジスタを除く全てのロジックをリセットします。	0: Device powered down. 1: Device enabled.

リビジョン ID (0x22FF)

BIT	7	6	5	4	3	2	1	0
Field	REV_ID[7:0]							
Reset	0x41							
Access Type	Read Only							

ビットフィールド	ビット	RES	説明	デコード
REV_ID	7:0	–	デバイスのリビジョン。デバイスのハードウェア改訂ごとに更新されます。	0x41: Device revision number.

代表的なアプリケーション回路



オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX98388EWE+	-40°C to +85°C	16 WLP
MAX98388EWE+T	-40°C to +85°C	16 WLP
MAX98389EWE+	-40°C to +85°C	16 WLP
MAX98389EWE+T	-40°C to +85°C	16 WLP

+ 鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。
T = テープ&リール。

チップ情報

プロセス : BiCMOS

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/23	市場投入のためのリリース	—