

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年6月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年6月13日

製品名：MAX98363

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：31 ページ、トーン発生器の説明項、下から5行目

**【誤】**

「・・・サンプル・レートから 12kHz~250kHz の範囲で・・・」

**【正】**

「・・・サンプル・レートから 250Hz~12kHz の範囲で・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年6月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年6月13日

製品名：MAX98363

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：47ページ、一番上の表内、SPKMON\_ERR\_STATE のデコード欄の説明

**【誤】**

x0: No rising edge of SPKMON\_RAW  
since last SPKMON\_CLR.

0x1: Rising edge of SPKMON\_RAW  
detected since last SPKMON\_CLR.

**【正】**

x0: No rising edge of SPKMON\_RAW  
since last SPKMON\_ERR\_CLR.

0x1: Rising edge of SPKMON\_RAW  
detected since last SPKMON\_ERR\_CLR.



## MAX98363

小型でコスト効率の高い SoundWire 対応  
D 級アンプ

## 概要

MAX98363 は、業界をリードする AB 級のオーディオ性能を D 級の効率で実現する、小型で低コストの SoundWire® 入力 D 級モノラル・アンプです。このデバイスは、内蔵トーン発生器、割込み制御機能、選択可能な SoundWire データ出力 PHY のスルータイム設定値を備えています。新しいピン配置により、高価なパッド内ビアを用いる必要性がなく、コスト効率の高いウェーハレベル・パッケージ (WLP) を使用できます。

MAX98363 は、オーディオ・データおよび制御データ用に MIPI SoundWire v1.2 対応のデジタル・インターフェースを使用できる、SoundWire パリフェラル・デバイスです。このデジタル・インターフェースは柔軟性が非常に高く、様々な入力クロック周波数に対応できます。また、SoundWire データ出力 PHY のスルータイム制御が選択可能であるため、広範な容量性バス負荷での EMI を最小限に抑えることができます。デジタル・インターフェースは 1.8V の公称電圧源で動作し、この電圧は外部から供給することも、内部 LDO で生成することもできます。

内蔵のトーン発生器には様々な周波数オプションがあり、工場内でのテストやシステム起動時のシステム・ブートアップ音に対応できます。アドレス・ピンは外部設定が可能であるため、最大 5 個の固有 SoundWire アドレスをデバイス番号ごとに割り当てることができます。MAX98363A/B は、内部 LDO から供給された DVDDIO で動作し、1 つのデータ・レーンで最大 10 個の MAX98363 SoundWire パリフェラル・デバイスをサポートします。MAX98363C/D は、外部から供給された DVDDIO で動作し、1 つのデータ・レーンで最大 10 個の MAX98363 SoundWire パリフェラル・デバイスをサポートします。

能動的な放射制限、エッジ・レート制限、オーバーシュート制御回路によって EMI が大幅に低減されています。フィルタレスのスペクトラム拡散変調方式により、従来の D 級デバイスに見られた出力フィルタリングが不要となり、ソリューションの部品点数を減らすことができます。

このデバイスは、 $-40^{\circ}\text{C}$ ~ $+85^{\circ}\text{C}$  の温度範囲で仕様規定されています。

## アプリケーション

- ノートブック・コンピュータ
- タブレット
- IoT デバイス
- ゲーミング・デバイス (オーディオおよびハプティクス)
- スマート・スピーカ
- スマートフォン
- 単一リチウムイオン電池/5V デバイス

MIPI SoundWire は MIPI Alliance, Inc の登録商標です。

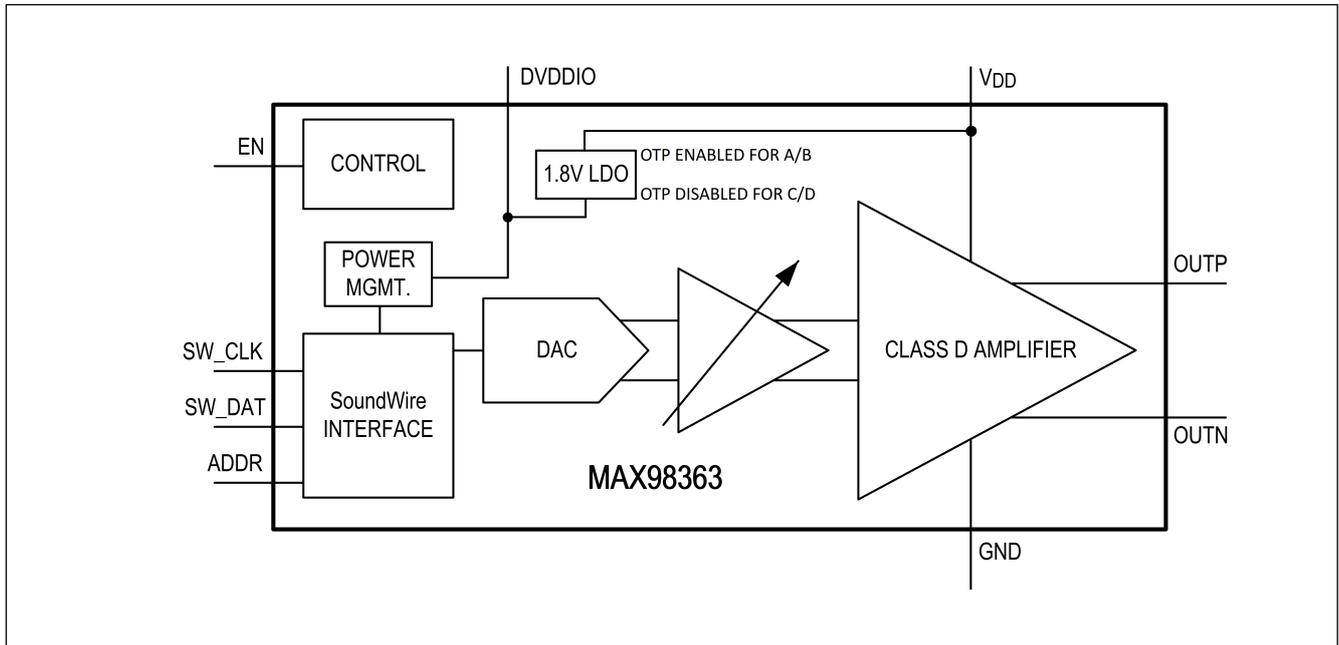
Bluetooth は Bluetooth SIG Inc の登録商標です。

オーダー情報はデータシート末尾に記載されています。

## 特長と利点

- 単一の電源 (2.5V~5.5V) で動作可能 (MAX98363A/B)
- 出力電力: 3.2W (5V で 4Ω に供給、THD+N = 10%)
- 外部 DVDDIO 使用時の自己消費電力: 12.3mW
- MIPI SoundWire v1.2 に準拠
- SoundWire データ出力のスルー・レートがプログラムブルであるため EMI を最小限に抑えることが可能
- 92% の効率 ( $R_L = 8\Omega$ 、THD+N = 10%)
- 12.8 $\mu\text{V}_{\text{RMS}}$  の出力ノイズ
- 108.5dB のダイナミック・レンジ
- 0.014% の低 THD+N (1kHz 時)
- 高度なエッジ・レート制御によりフィルタレスの D 級出力を実現
- 82dB の PSRR (217Hz)
- RF の影響を受けにくいことによる GSM 無線通信からの TDMA ノイズ耐性
- D 級のスイッチング周波数を 5% にトリミングすることで EMI の計画性を向上
- 強力なクリック/ポップ抑制回路
- 堅牢な短絡および過熱保護
- 工場内テスト用にトーン発生器を内蔵
- 省スペース・パッケージでの提供: 9 バンプ WLP (1.528mm × 1.528mm、0.4mm ピッチ)

## 簡略化したブロック図



## 目次

概要.....	1
アプリケーション.....	1
特長と利点.....	1
簡略化したブロック図.....	2
絶対最大定格.....	7
パッケージ情報.....	7
9 WLP.....	7
電気的特性.....	7
標準動作特性.....	15
ピン配置.....	24
9 WLP.....	24
端子説明.....	24
機能ブロック図.....	25
詳細ブロック図.....	25
詳細.....	26
デバイス状態の制御.....	26
ハードウェア・シャットダウン状態.....	26
ソフトウェア・シャットダウン状態.....	26
アクティブ状態.....	26
SoundWire バス・リセット.....	27
SoundWire レジスタ・リセット.....	27
UVLO モード.....	27
SoundWire ペリフェラル・インターフェース.....	27
SoundWire ペリフェラル・デバイスの識別.....	27
SoundWire クロック設定.....	28
SoundWire ペリフェラル制御ポート設定.....	28
SoundWire デバイス・データ・ポート (DP) 設定.....	28
SoundWire クロックの停止.....	29
割込み.....	29
割込みビット・フィールドの構成.....	29
割込み出力設定.....	30
割込み源.....	30
ゲインの選択.....	30
DC ブロッキング・フィルタ.....	31
DAC デジタル・フィルタ.....	31
トーン発生器.....	31
D 級アンプ.....	31
D 級出力短絡保護.....	31
スピーカ・モニタ.....	31

## 目次 (続き)

クロック・モニタ .....	31
ターンオンとターンオフ時のボリューム・ランピング .....	32
クリック/ポップ抑制 .....	32
超低 EMI フィルタレス出力段 .....	32
レジスタ・マップ .....	33
レジスタ・マップ .....	33
レジスタの詳細 .....	35
代表的なアプリケーション回路 .....	53
内部 DVDDIO LDO を使用する代表的なアプリケーション回路 .....	53
外部 DVDDIO 電源を使用する代表的なアプリケーション回路 .....	54
オーダー情報 .....	54
改訂履歴 .....	55

図一覧

図 1. SoundWire 入力のタイミング図 .....	13
図 2. SoundWire 出力のタイミング図 .....	14

## 表一覧

表 1. MAX98363 の各バージョン .....	26
表 2. SoundWire ペリフェラル・デバイスの識別 .....	27
表 3. SoundWire ペリフェラル・デバイス固有 ID の設定 .....	27
表 4. オーディオ用にサポートされる SW_CLK クロック周波数 .....	28
表 5. SoundWire ペリフェラル制御ポート (SCP) オプション .....	28
表 6. SoundWire ペリフェラル・インターフェースのデータ・ポート割当て .....	29
表 7. データ・ポート 1 のオプション .....	29
表 8. 割込み源 .....	30
表 9. ゲイン選択ごとの最大ピーク出力電圧 .....	30

## 絶対最大定格

V <sub>DD</sub> ~GND .....	-0.3V~+6V	OUTP が OUTN に短絡している時間 .....	連続
DVDDIO~GND .....	-0.3V~2.2V	連続消費電力 (T <sub>A</sub> = +70°C) WLP (+70°C を超えると 13.7mW/°C でディレーティング) .....	1096mW
SW_DAT, SW_CLK~GND .....	-0.3V~V <sub>DVDDIO</sub> + 0.3V	動作温度範囲 .....	-40°C~+85°C
OUTP, OUTN, EN, ADDR~GND .....	-0.3V~V <sub>DD</sub> + 0.3V	保存温度範囲 .....	-65°C~+150°C
OUTP または OUTN が GND または V <sub>DD</sub> に短絡している時間 .....	連続	ハンダ処理温度 (リフロー) .....	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## パッケージ情報

## 9 WLP

Package code	W91S1+1
Outline Number	21-100615A
Land Pattern Number	Refer to Application Note 1891
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction to Ambient (θ <sub>JA</sub> )	49°C/W
Junction to Case (θ <sub>JC</sub> )	N/A

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages) で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[www.maxim-ic.com/thermal-tutorial](http://www.maxim-ic.com/thermal-tutorial) を参照してください。

## 電気的特性

(V<sub>DD</sub> = 5V、V<sub>DVDDIO</sub> = 1.8V (MAX98363C/D)、V<sub>GND</sub> = 0V、Z<sub>SPK</sub> = ∞ (OUTP と OUTN の間)、SPK\_GAIN = +12dB、AC 測定帯域幅 = 20Hz~20kHz、f<sub>S</sub> = 48kHz、T<sub>A</sub> = T<sub>MIN</sub>~T<sub>MAX</sub>、特に指定のない限り代表値は T<sub>A</sub> = +25°C での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
DVDDIO Power-Supply Voltage Range	V <sub>DVDDIO</sub>	MAX98363C/D, guaranteed by PSRR test	1.7		1.9	V
V <sub>DD</sub> Undervoltage Lockout	V <sub>DD_UVLO</sub>		1.7	2.2	2.4	V
V <sub>DD</sub> Power-Supply Voltage Range	V <sub>DD</sub>	Guaranteed by PSRR test	2.5		5.5	V
DVDDIO Output Voltage	V <sub>DVDDIO_LDO</sub>	MAX98363A/B, V <sub>DD</sub> = 2.5V to 5.5V	1.76		1.87	V
POWER CONSUMPTION						
Total Quiescent Power Consumption	P <sub>Q</sub>	T <sub>A</sub> = +25°C, V <sub>DD</sub> = 3.7V, V <sub>DVDDIO</sub> = 1.8V, MAX98363C/D		9.3	11	mW
		T <sub>A</sub> = +25°C, MAX98363C/D		12.3	14	
		T <sub>A</sub> = +25°C, MAX98363A/B		18.4	21	
		T <sub>A</sub> = +25°C, V <sub>DD</sub> = 3.7V, MAX98363A/B		13	15	
V <sub>DD</sub> Quiescent Current	I <sub>Q_VDD</sub>	T <sub>A</sub> = +25°C, MAX98363C/D		1.8	2	mA

## 電气的特性 (続き)

( $V_{DD} = 5V$ 、 $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ 、 $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $f_s = 48kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、特に指定のない限り代表値は  $T_A = +25^\circ C$  での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DVDDIO Quiescent Current	$I_{Q\_DVDDIO}$	$T_A = +25^\circ C$ , MAX98363C/D		1.9	2.2	mA
$V_{DD}$ Software Shutdown Supply Current	$I_{VDD\_SHDN\_SW}$	$EN = 1.8V$ , $T_A = +25^\circ C$ , SW_CLK toggling, MAX98363C/D		15	21	$\mu A$
DVDDIO Software Shutdown Current	$I_{DVDDIO\_SHDN\_SW}$	$EN = 1.8V$ , $DVDDIO = 1.8V$ , $T_A = +25^\circ C$ , SW_CLK toggling, MAX98363C/D		315	375	$\mu A$
$V_{DD}$ Software Shutdown Supply Current	$I_{VDD\_SHDN\_SW}$	$EN = 1.8V$ , $T_A = +25^\circ C$ , all SW pins at 0V, MAX98363A/B		220	260	$\mu A$
$V_{DD}$ Hardware Shutdown Current	$I_{VDD\_SHDN\_HW}$	$EN = 0V$ , $T_A = +25^\circ C$		0.4	1	$\mu A$
DVDDIO Hardware Shutdown Current	$I_{DVDDIO\_SHDN\_HW}$	$EN = 0V$ , $T_A = +25^\circ C$ , MAX98363C/D		0.014	1	$\mu A$
<b>THERMAL PROTECTION</b>						
Thermal Shutdown Temperature				150		$^\circ C$
Thermal Shutdown Recovery Hysteresis				18		$^\circ C$
<b>TURN-ON/OFF TIME</b>						
Turn-On Time	$t_{ON}$	Time from software shutdown to full-gain audio out, volume ramping disabled, $f_s = 48kHz$		1.5	1.7	ms
		Time from software shutdown to full-gain audio out, volume ramping enabled		5	6.2	
Turn-Off Time	$t_{OFF}$	Time from full-gain audio out to mute		0.1		ms
<b>CLASS D AMPLIFIER</b>						
Output Offset Voltage	$V_{OS}$	$T_A = +25^\circ C$	-1	$\pm 0.1$	+1	mV
Click-and-Pop Level	$K_{CP}$	Peak voltage, A-weighted, 32 samples per second, digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , into software shutdown		-82		dBV
		Peak voltage, A-weighted, 32 samples per second, digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , out of software shutdown		-71		

## 電気的特性 (続き)

( $V_{DD} = 5V$ 、 $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ 、 $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $f_s = 48kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、特に指定のない限り代表値は  $T_A = +25^\circ C$  での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Rejection Ratio	PSRR	$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = \infty$ , DC, $V_{DD} = 2.5V$ to $5.5V$	66	83		dB
		$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , $f = 217Hz$ , $200mV_{PP}$ ripple		82		
		$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , $f = 1kHz$ , $200mV_{PP}$ ripple		82		
		$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , $f = 10kHz$ , $200mV_{PP}$ ripple		65		
DVDDIO Power-Supply Rejection Ratio	PSRR	$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = \infty$ , DC, $V_{DVDDIO} = 1.7V$ to $1.9V$ , MAX98363C/D	95	100		dB
		$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , $f = 217Hz$ , $100mV_{PP}$ ripple, MAX98363C/D		100		
		$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , $f = 1kHz$ , $100mV_{PP}$ ripple, MAX98363C/D		100		
		$T_A = +25^\circ C$ , digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ , $f = 10kHz$ , $100mV_{PP}$ ripple, MAX98363C/D		99		
Output Power	$P_{OUT}$	THD+N $\leq 10\%$ , $Z_{SPK} = 4\Omega + 33\mu H$		3.2		W
		THD+N $\leq 10\%$ , $Z_{SPK} = 8\Omega + 33\mu H$		1.8		
		THD+N $\leq 10\%$ , $Z_{SPK} = 8\Omega + 33\mu H$ , $V_{DD} = 3.7V$		0.93		
		THD+N $\leq 1\%$ , $Z_{SPK} = 4\Omega + 33\mu H$		2.5		
		THD+N $\leq 1\%$ , $Z_{SPK} = 8\Omega + 33\mu H$		1.4		
		THD+N $\leq 1\%$ , $Z_{SPK} = 8\Omega + 33\mu H$ , $V_{DD} = 3.7V$		0.77		
Total Harmonic Distortion + Noise	THD+N	$f = 1kHz$ , $P_{OUT} = 1W$ , $T_A = +25^\circ C$ , $Z_{SPK} = 4\Omega + 33\mu H$		0.024		%
		$f = 1kHz$ , $P_{OUT} = 0.7W$ , $T_A = +25^\circ C$ , $Z_{SPK} = 8\Omega + 33\mu H$		0.014	0.028	
Dynamic Range	DR	A-weighted, $Z_{SPK} = 8\Omega + 33\mu H$ , $-60dB$ 1kHz output signal, normalized to full-scale (THD+N = 1%), 24- or 32-bit data		108.5		dB
Output Noise	$e_{Nd}$	A-weighted, 24-bit or 32-bit data		12.8		$\mu V_{RMS}$

## 電気的特性 (続き)

( $V_{DD} = 5V$ 、 $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ 、 $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $f_s = 48kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、特に指定のない限り代表値は  $T_A = +25^\circ C$  での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Gain (Relative to a 0.49dBV Reference Level)	$A_V$	SPK_GAIN = 0x5 (+12dB)	11.4	12	12.6	dB
		SPK_GAIN = 0x4 (+9dB)	8.4	9	9.6	
		SPK_GAIN = 0x3 (+6dB)	5.4	6	6.6	
		SPK_GAIN = 0x2 (+3dB)	2.4	3	3.6	
		SPK_GAIN = 0x0 (-3dB)	-3.6	-3	-2.4	
Output Current Limit	$I_{LIM}$		2.15	2.6		A
Output Current Limit Autorestart Time				20		ms
Efficiency	$\eta$	$Z_{SPK} = 8\Omega + 33\mu H$ , THD+N = 10%, $f = 1kHz$		92		%
Frequency Response			-0.2		+0.3	dB
Class D Switching Frequency	$f_{SW}$		285	300	315	kHz
Spread-Spectrum Bandwidth	$f_{SSM}$	$V_{DD} = 2.5V$ to 5.5V		$\pm 4$		kHz
Output Stage On-Resistance	$R_{ON}$	PMOS + NMOS (Full H-Bridge), $T_A = +25^\circ C$		345		m $\Omega$
Maximum Device-to-Device Phase Error		Output phase shift between multiple devices from 20Hz to 20kHz across all sample rates		1.5		deg
Minimum Load Resistance	$R_L$			3.2		$\Omega$
DAC DIGITAL FILTER ( $f_s < 50kHz$ )						
Passband	$f_{PLP}$	Ripple $< \delta_P$	$0.452 \times f_s$			Hz
		Droop $< 3dB$	$0.457 \times f_s$			
Passband Ripple	$\delta_P$	$f < f_{PLP}$ , referenced to signal level at 1kHz	-0.1		+0.1	dB
Stopband	$f_{SLP}$	Attenuation $> \delta_S$			$0.49 \times f_s$	Hz
Stopband Attenuation	$\delta_S$	$f > f_{SLP}$	75			dB
Group Delay		$f = f_{PLP}$		9.5		samples
DAC DIGITAL FILTERS/AUDIO MODE FOR LOWPASS FILTER ( $f_s > 50kHz$ )						
Passband	$f_{PLP}$	Ripple $< \delta_P$ , $88.2kHz \leq f_s \leq 96kHz$	$0.227 \times f_s$			Hz
		Droop $< 3dB$ , $88.2kHz \leq f_s \leq 96kHz$	$0.314 \times f_s$			
	$f_{PLP}$	Ripple $< \delta_P$ , $176.4kHz \leq f_s \leq 192kHz$	$0.1135 \times f_s$			
		Droop $< -3dB$ cutoff, $176.4kHz \leq f_s \leq 192kHz$	$0.232 \times f_s$			

## 電气的特性 (続き)

( $V_{DD} = 5V$ 、 $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ 、 $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $f_s = 48kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、特に指定のない限り代表値は  $T_A = +25^\circ C$  での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Passband Ripple	$\delta_P$	$f < f_{PLP}$ , referenced to signal level at 1kHz	-0.25		+0.25	dB
Stopband	$f_{SLP}$	Attenuation $> \delta_S$			$0.495 \times f_s$	Hz
Stopband Attenuation	$\delta_S$	$f < f_{SLP}$	75			dB
DAC DIGITAL FILTERS/DIGITAL DC BLOCKING FILTER						
DC Attenuation			80			dB
DC Blocking Filter -3dB Cutoff Frequency	$f_c$	For $f_s = 8kHz, 16kHz, 32kHz, 48kHz, 96kHz$ and 192kHz		1.872		Hz
		For $f_s = 44.1kHz, 88.2kHz$		1.72		
EN PIN SPECIFICATIONS						
Input High Voltage	$V_{IH}$	EN	1.0			V
Input Low Voltage	$V_{IL}$	EN			0.24	V
Input Hysteresis	$V_{HYS}$	EN		34		mV
EN Leakage Current	$I_{EN\_LKG}$		-1		+1	$\mu A$
ADDR PIN COMPARATOR TRIP POINTS						
Connect to GND	$V\_ADDR\_TRI\_P2$	Unique ID = 0x0 (MAX98363A/C), 0x5 (MAX98363B/D)	0		$0.1 \times V_{DD}$	V
Float	$V\_ADDR\_TRI\_P1$	Unique ID = 0x1 (MAX98363A/B), 0x6 (MAX98363C/D)	$0.4 \times V_{DD}$		$0.6 \times V_{DD}$	V
Connected to $V_{DD}$	$V\_ADDR\_TRI\_P3$	Unique ID = 0x2 (MAX98363A/B), 0x7 (MAX98363C/D)	$0.9 \times V_{DD}$		$V_{DD}$	V
100k $\Omega$ to $V_{DD}$	$V\_ADDR\_TRI\_P4$	Unique ID = 0x3 (MAX98363A/B), 0x8 (MAX98363C/D)	$0.65 \times V_{DD}$		$0.85 \times V_{DD}$	V
100k $\Omega$ to GND	$V\_ADDR\_TRI\_P5$	Unique ID = 0x4 (MAX98363A/B), 0x9 (MAX98363C/D)	$0.15 \times V_{DD}$		$0.35 \times V_{DD}$	V
Input Leakage Current	IIH, IIL	$V_{ADDR} = 0V, V_{DD} = 5.5V, T_A = +25^\circ C$	-1		+1	$\mu A$
DIGITAL I/O CHARACTERISTICS / SoundWire INTERFACE (SW_CLK, SW_DAT)						
Clock Input Threshold for Rising (Positive) Edges	$V\_TP\_Clock\_1V8$		$0.5 \times V_{DVDDIO}$		$0.65 \times V_{DVDDIO}$	V
Clock Input Threshold for Falling (Negative) Edges	$V\_TN\_Clock\_1V8$		$0.35 \times V_{DVDDIO}$		$0.5 \times V_{DVDDIO}$	V
Clock Threshold Hysteresis	$V\_Hys\_Clock\_1V8$	(Note 2)	$0.10 \times V_{DVDDIO}$			V
Data Input—Voltage High	$V\_IHmin\_Data\_1V8$		$0.65 \times V_{DVDDIO}$			V
Data Input—Voltage Low	$V\_ILmax\_Data\_1V8$				$0.35 \times V_{DVDDIO}$	V

## 電気的特性 (続き)

( $V_{DD} = 5V$ 、 $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ 、 $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $f_s = 48kHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、特に指定のない限り代表値は  $T_A = +25^\circ C$  での値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Input—Hysteresis	$V_{Hys\_Data\_1V8}$	(Note 2)	$0.10 \times V_{DVDDIO}$			V
Input Leakage Current			-3		+3	$\mu A$
Maximum Input Capacitance	$C_{IN}$			5		pF
Data Output—Voltage High	$V_{OH\_Data\_1V8}$		$0.65 \times V_{DVDDIO}$			V
Data Output—Voltage Low	$V_{OL\_Data\_1V8}$				$0.35 \times V_{DVDDIO}$	V
DIGITAL I/O CHARACTERISTICS / SoundWire INTERFACE TIMING CHARACTERISTICS						
SoundWire Clock Frequency	$f\_Clock$				12.7	MHz
SoundWire Clock Input Duty Cycle	$DC\_In\_Clock$		45		55	%
Data Output Slew Time	$t\_Slew\_Data\_1V8$	SlewTime_Ctrl = 0x00 & 0x01, $t_r = 0.2 \times \bar{V}_{DVDDIO}$ to $0.8 \times V_{DVDDIO}$		3.3		ns
		SlewTime_Ctrl = 0x2, $t_r = 0.2 \times \bar{V}_{DVDDIO}$ to $0.8 \times V_{DVDDIO}$		5.6		
		SlewTime_Ctrl = 0x3, $t_r = 0.2 \times \bar{V}_{DVDDIO}$ to $0.8 \times V_{DVDDIO}$		10.3		
Minimum Data Input Setup Time	$t\_lSetup\_min\_Data\_1V8$				0	ns
Minimum Data Input Hold Time	$t\_lHold\_min\_Data\_1V8$				4	ns
Data Output Disable Time	$t\_DZ\_Data\_1V8$				4	ns
Data Output Enable Time	$t\_ZD\_Data$		7.9			ns
Minimum Time for Data Output to Remain Stable	$t\_OH\_Data$		6.7			ns
Clock Edge to Valid Data Output	$t\_OV\_Data$	$10pF \leq C_{BUS\_DATA} \leq 60pF$			27.6	ns
Clock Edge to Valid Data Output	$t\_OV\_Data$	$10pF \leq C_{BUS\_DATA} \leq 100pF$			31.6	ns

Note 1: 限界値は、 $T_A = +25^\circ C$  で 100%テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。

Note 2: 最小および最大の限界値は、設計およびデバイス特性データの統計解析により裏付けられています。この仕様は製造テストによる裏付けはありません。

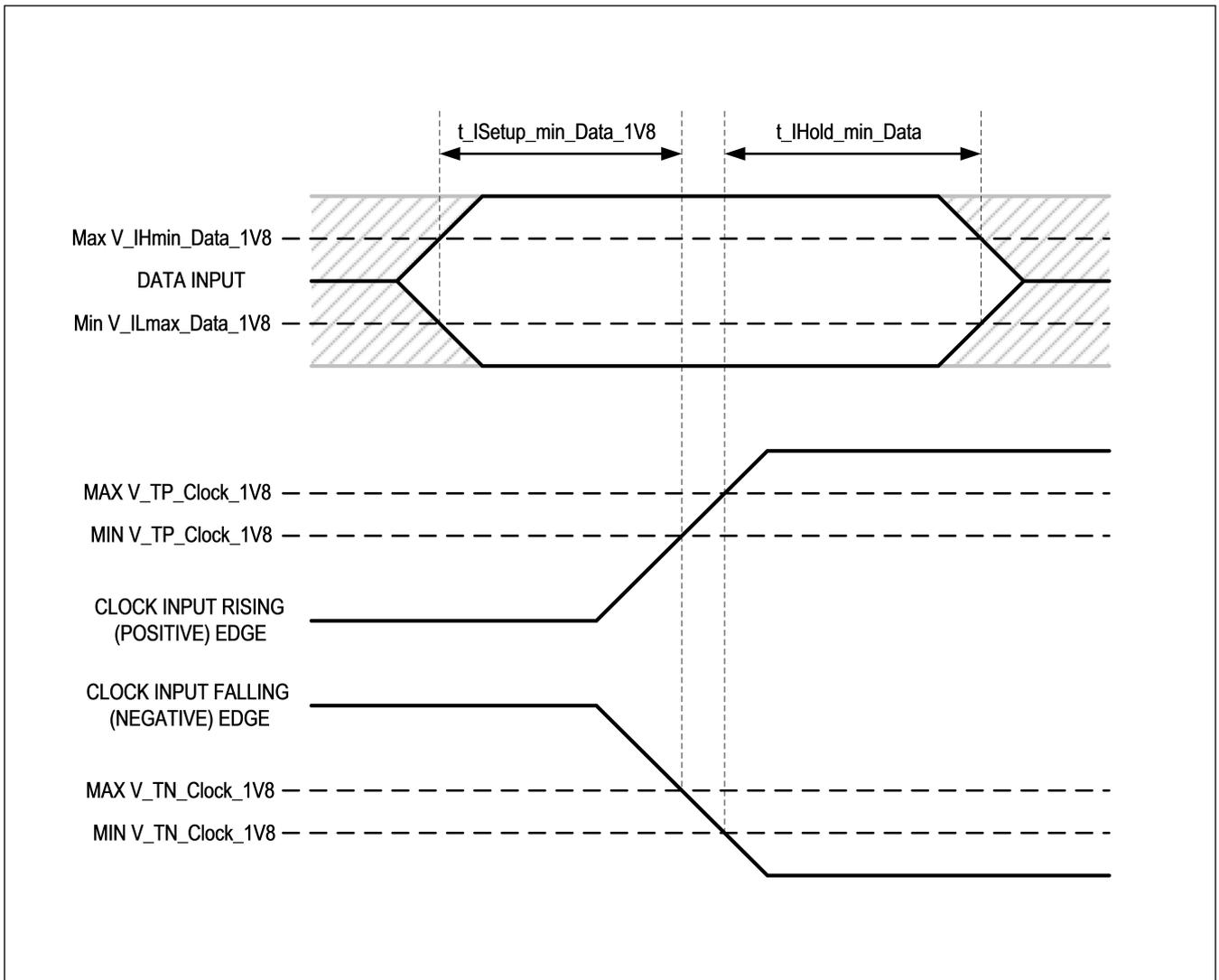


図 1. SoundWire 入力のタイミング図

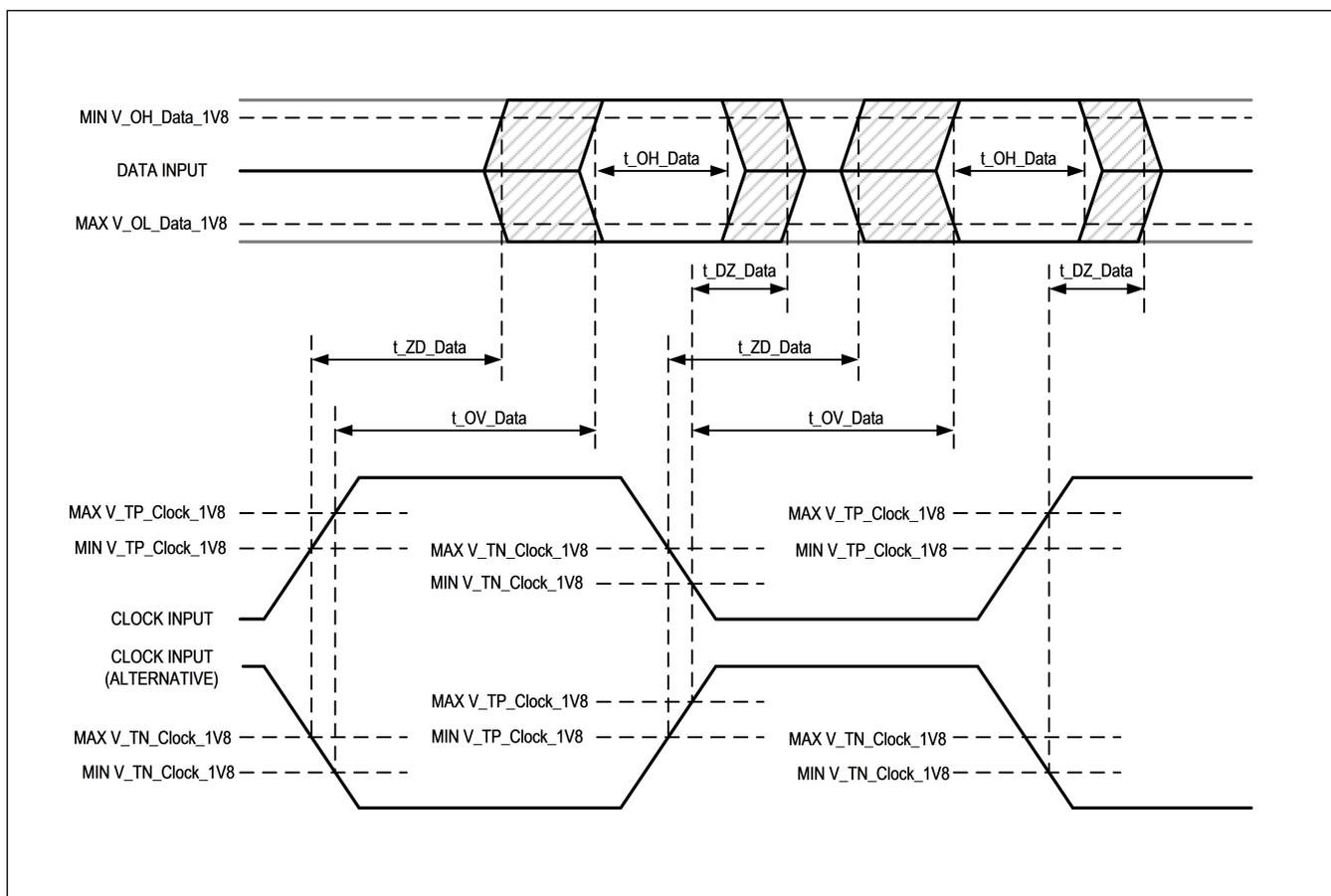
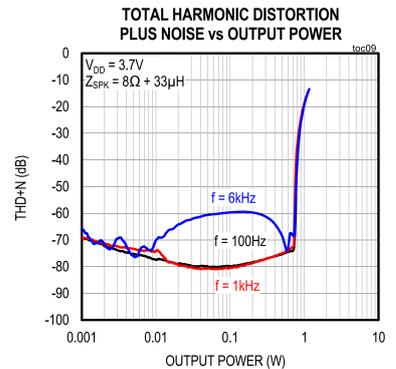
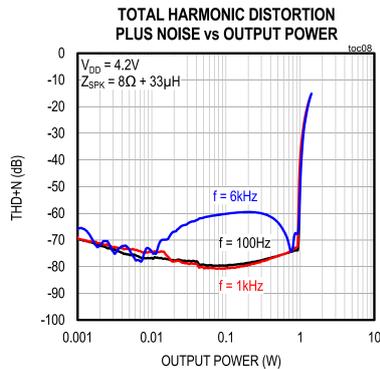
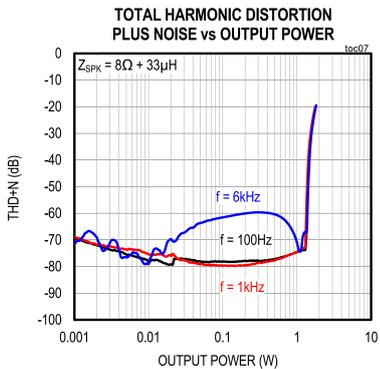
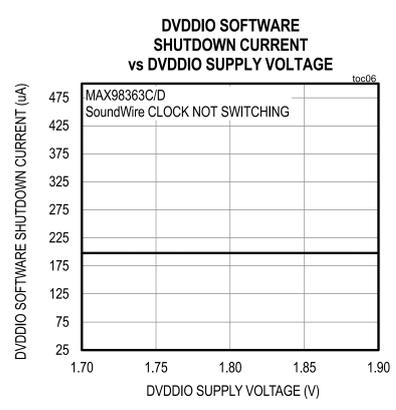
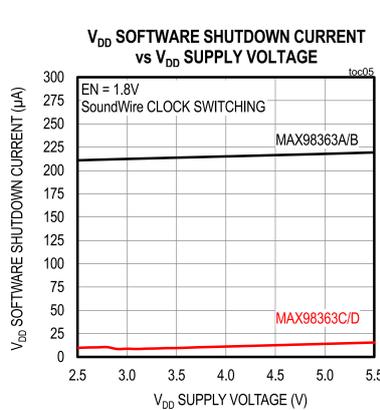
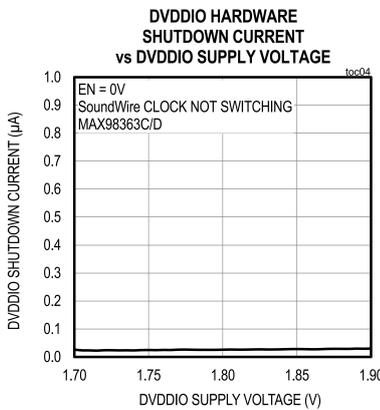
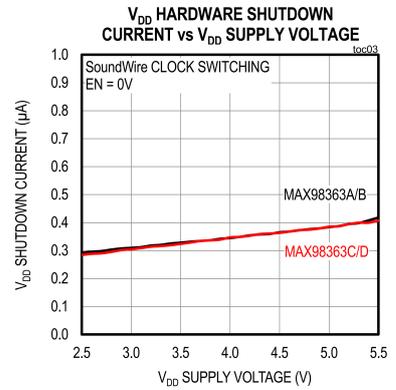
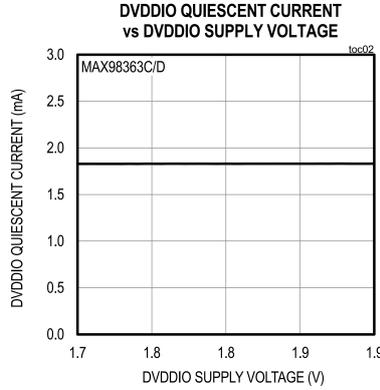
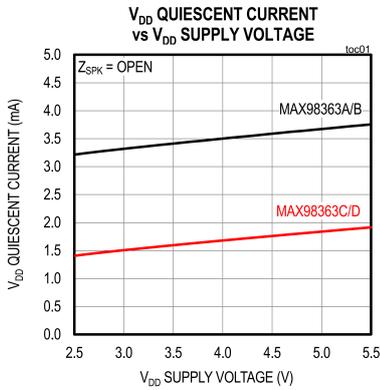


図 2. SoundWire 出力のタイミング図

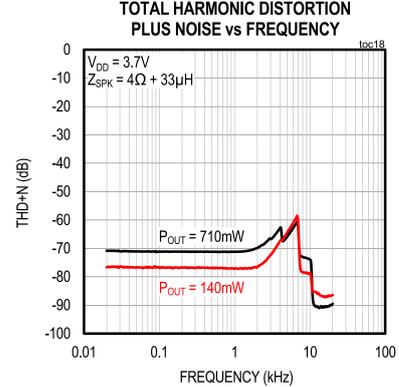
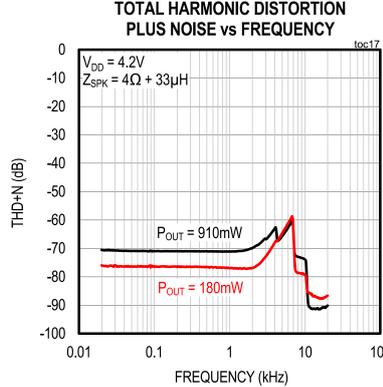
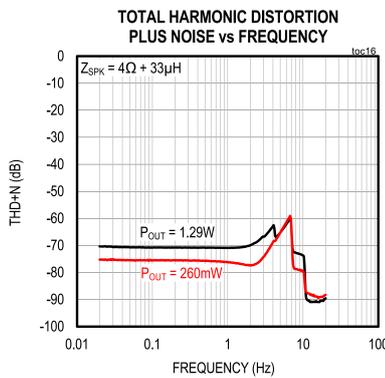
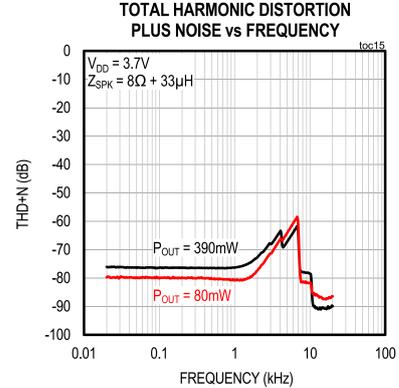
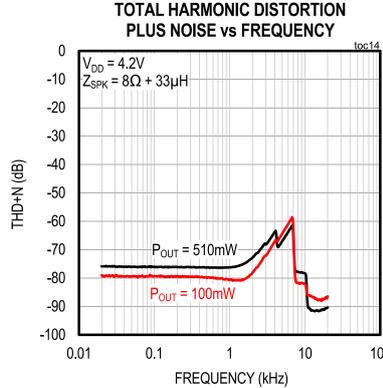
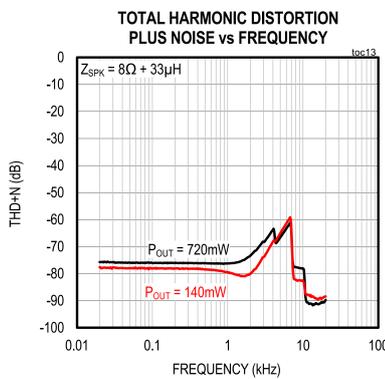
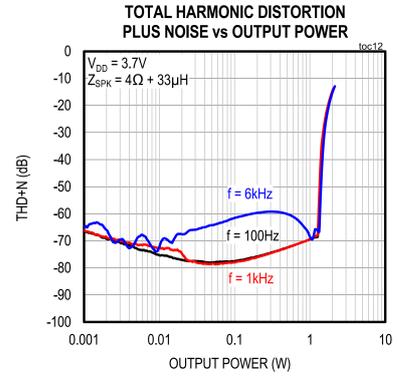
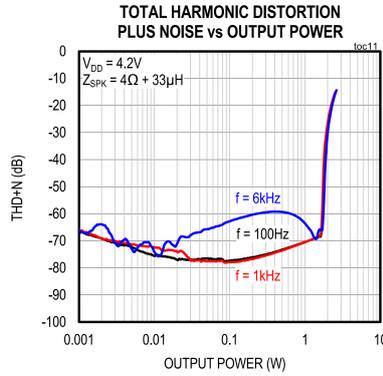
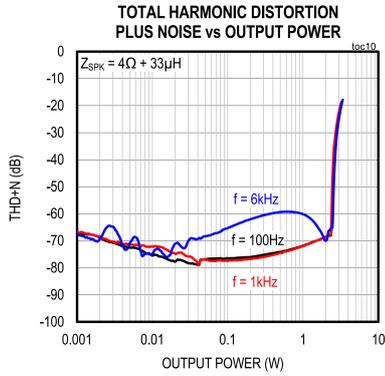
標準動作特性

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



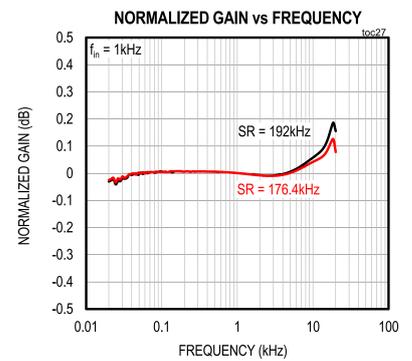
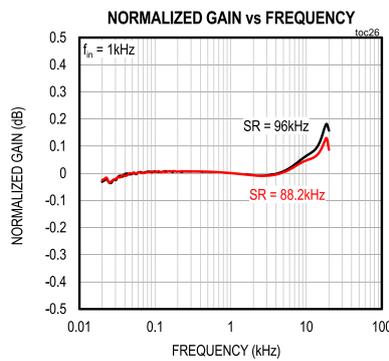
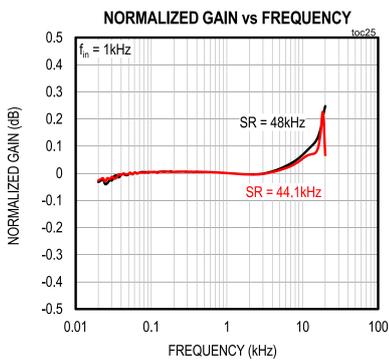
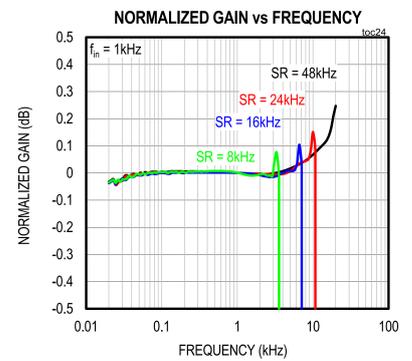
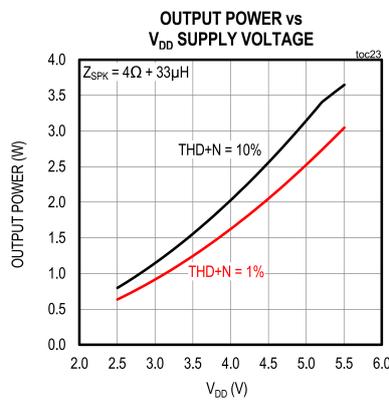
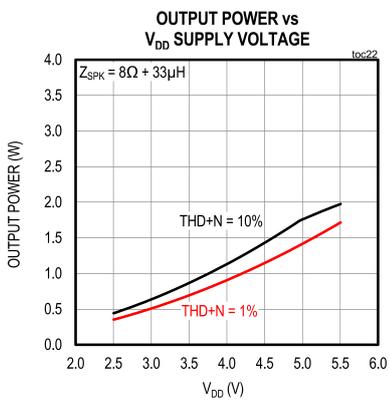
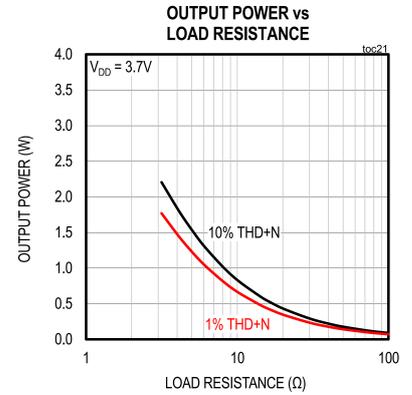
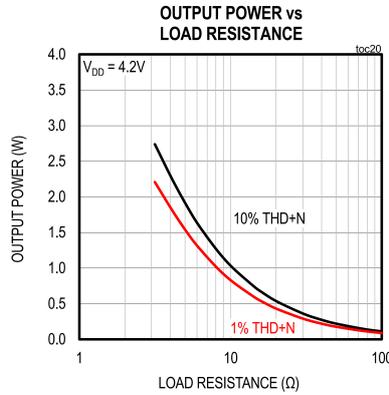
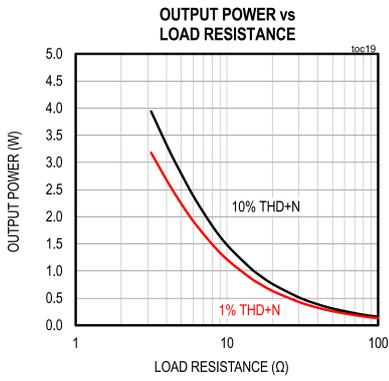
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



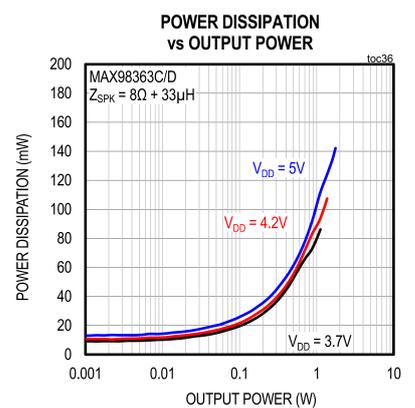
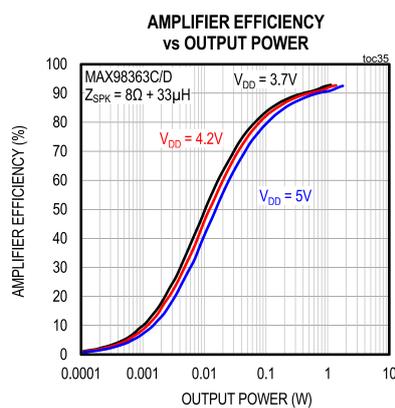
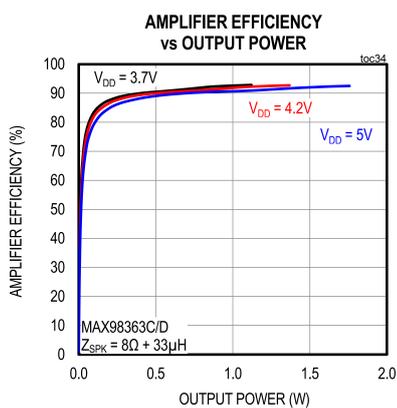
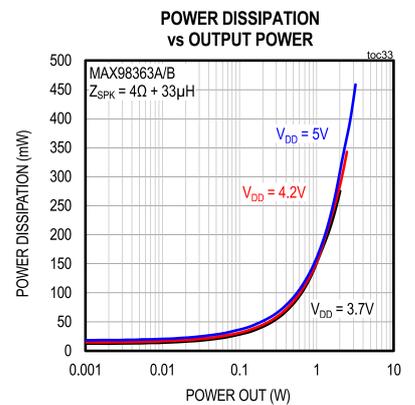
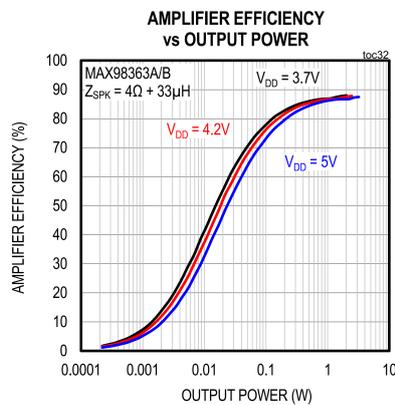
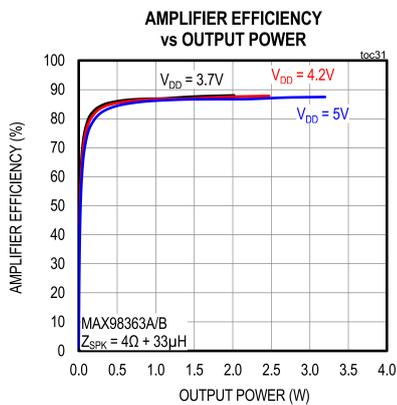
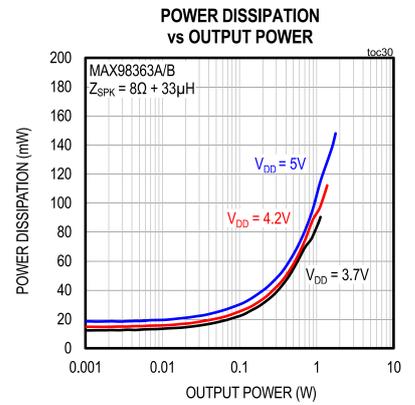
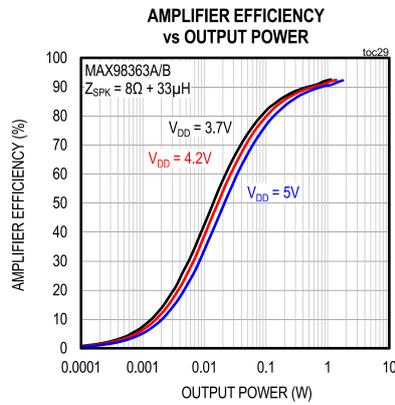
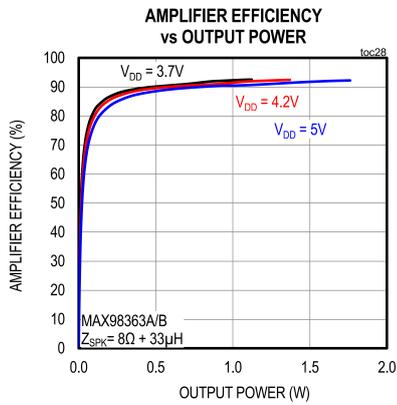
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



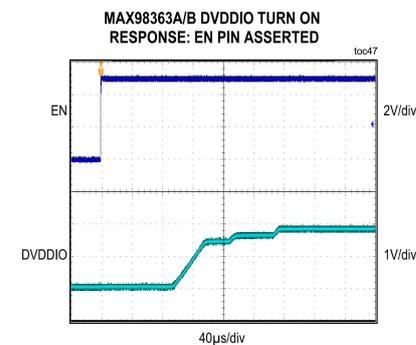
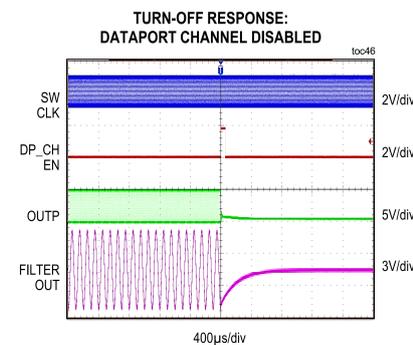
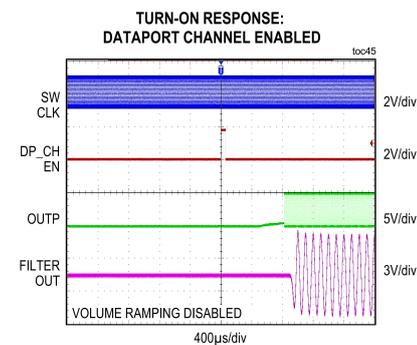
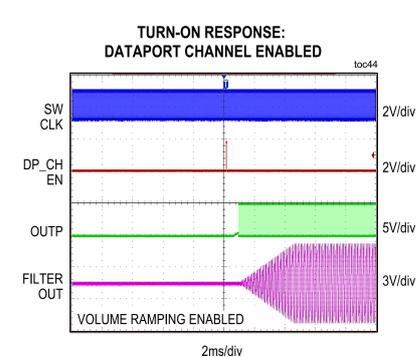
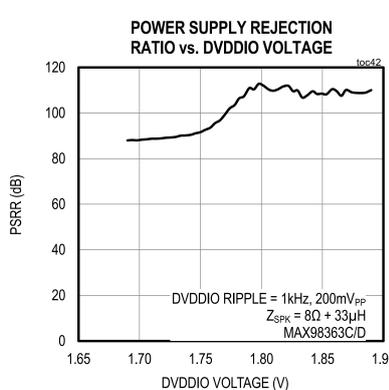
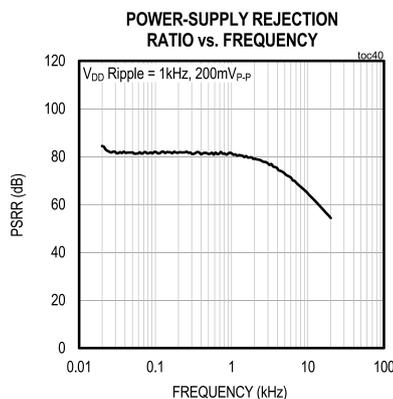
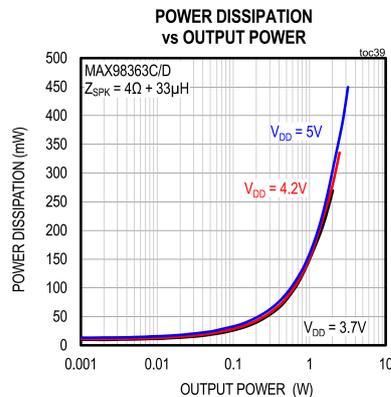
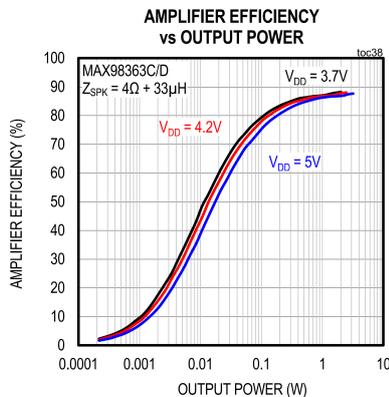
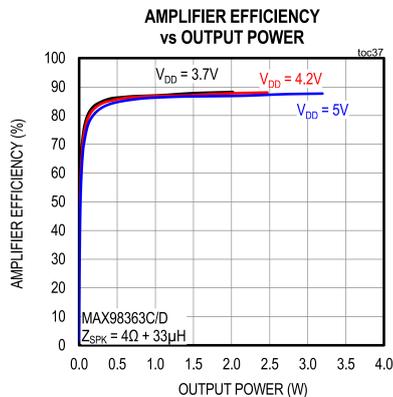
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



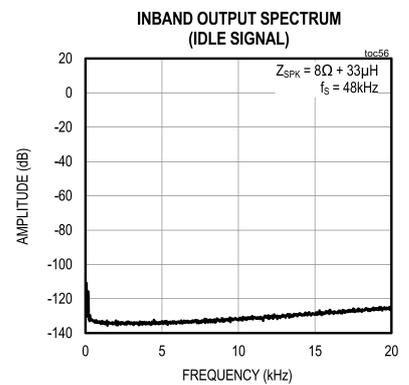
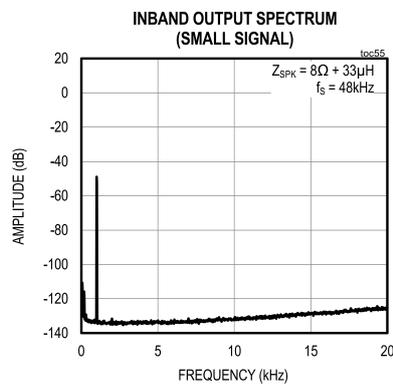
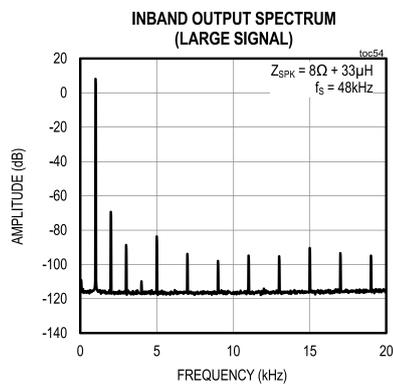
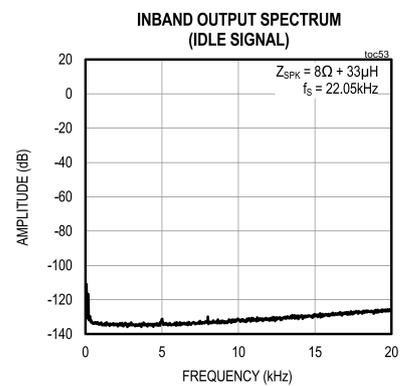
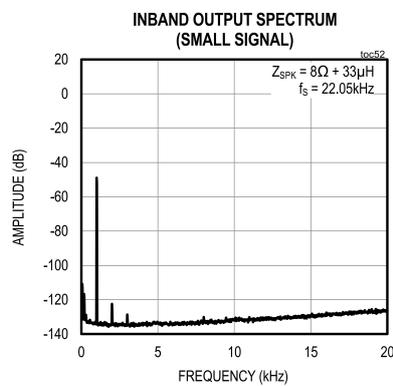
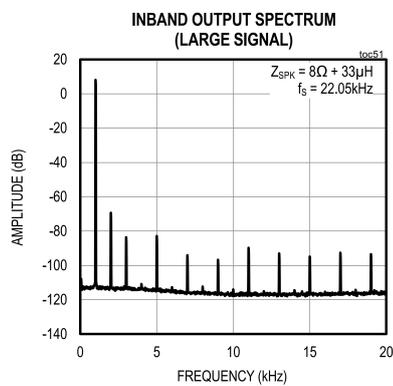
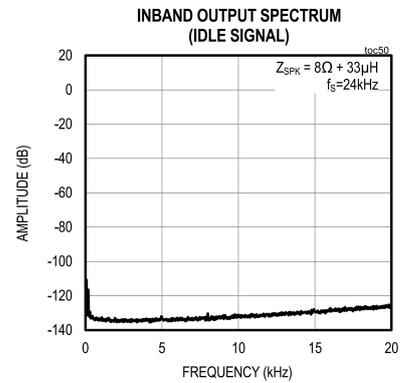
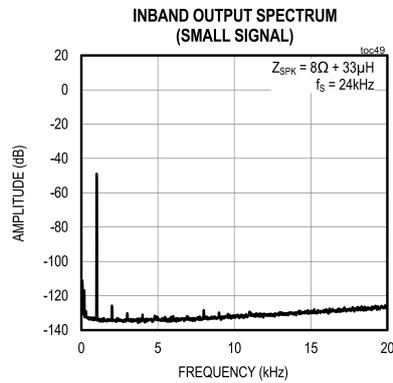
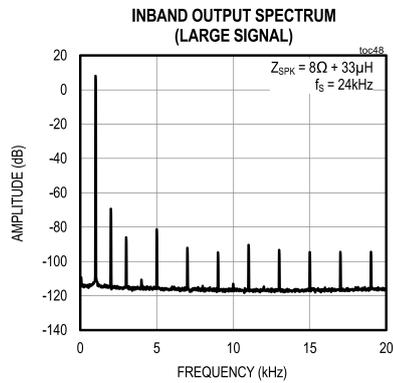
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ , AC 測定帯域幅 = 20Hz~20kHz,  $T_A = T_{MIN} \sim T_{MAX}$ ,  $f_s = 48kHz$ , 24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



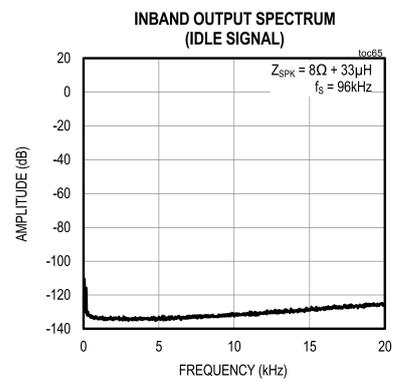
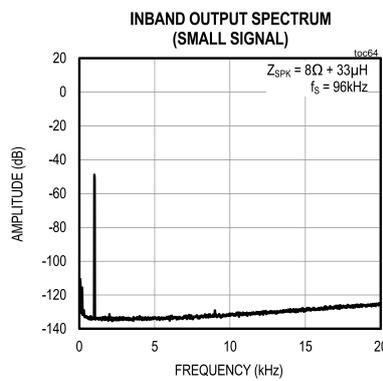
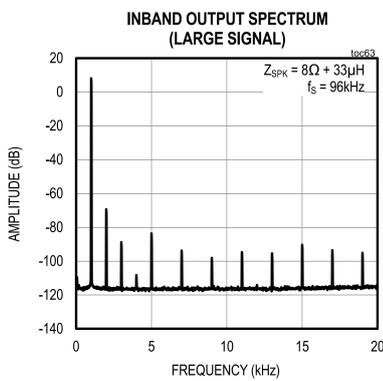
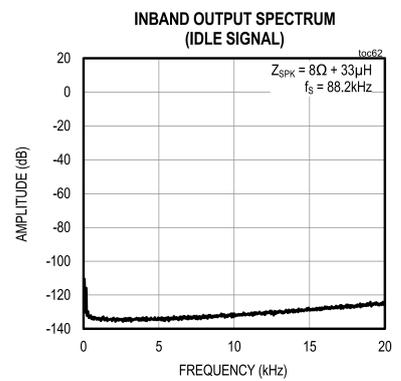
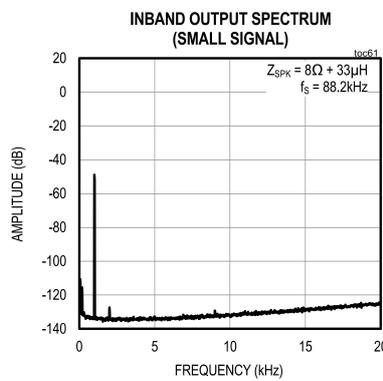
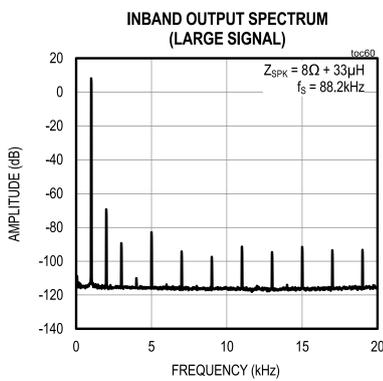
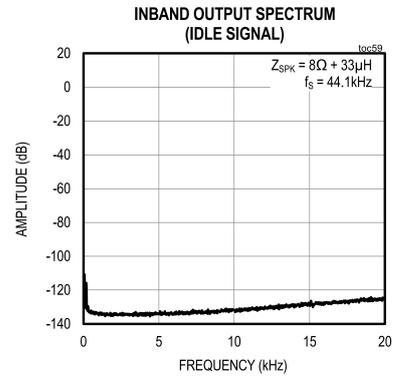
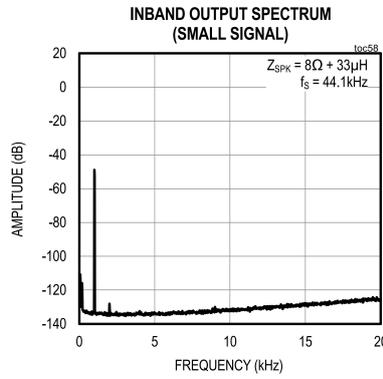
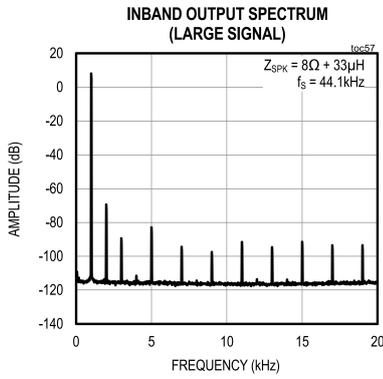
## 標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



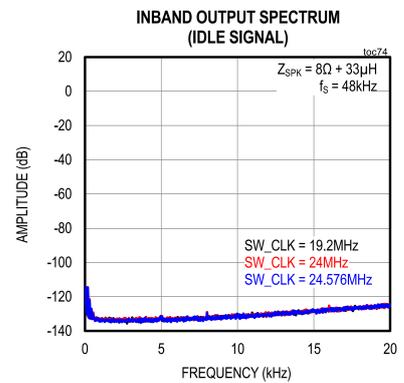
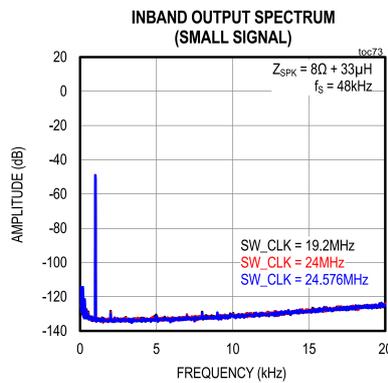
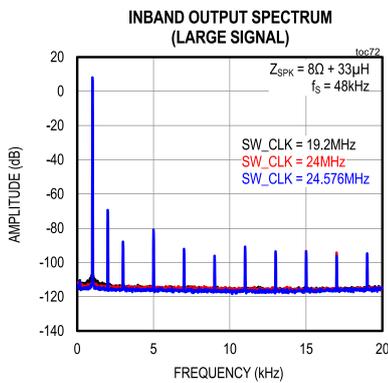
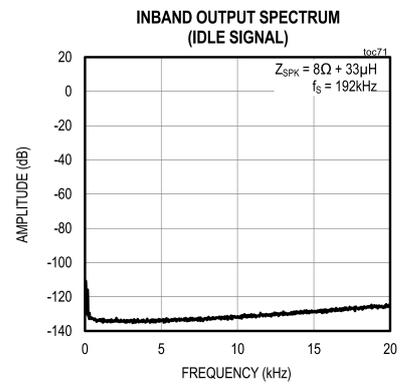
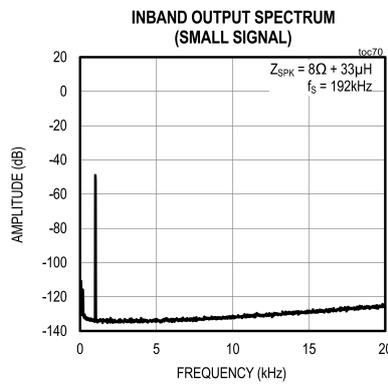
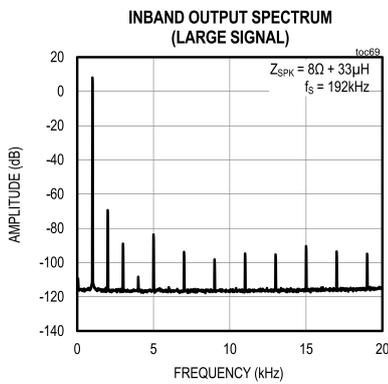
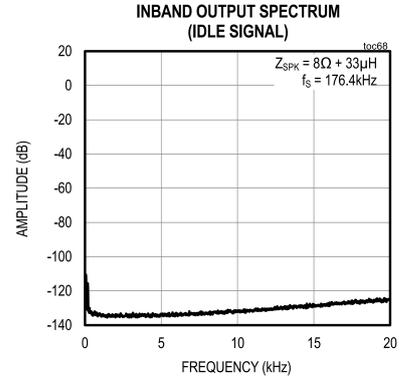
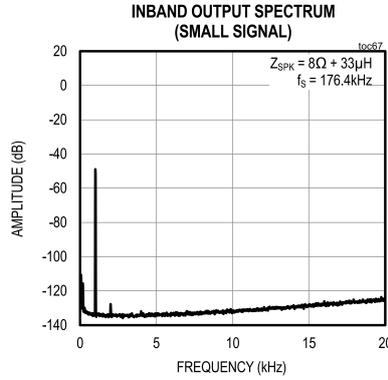
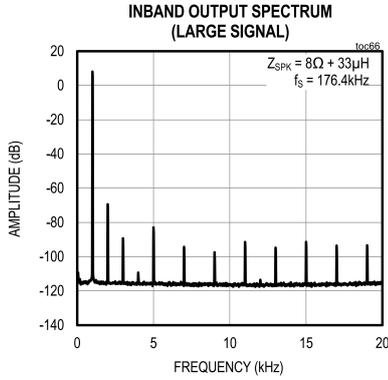
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



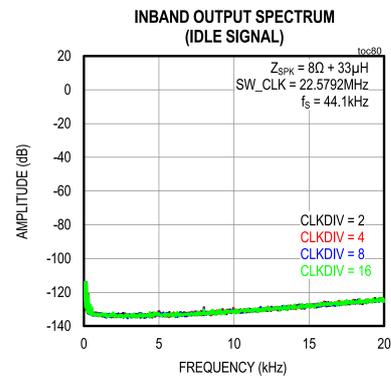
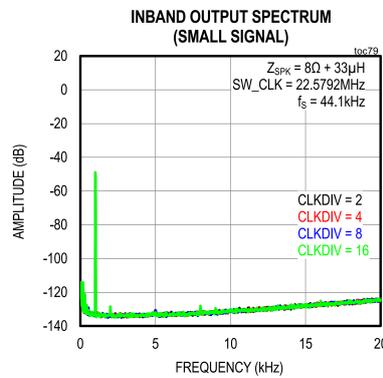
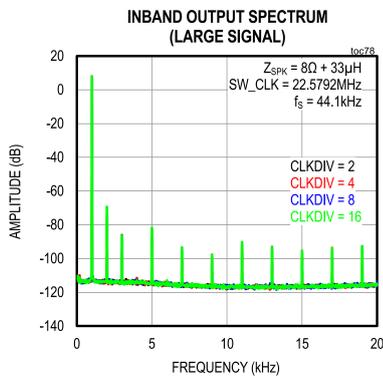
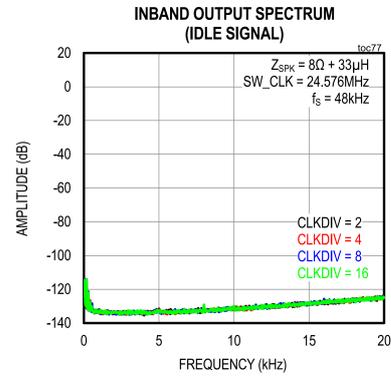
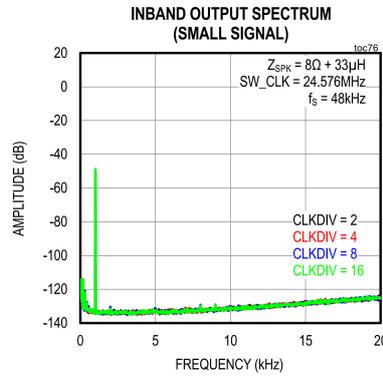
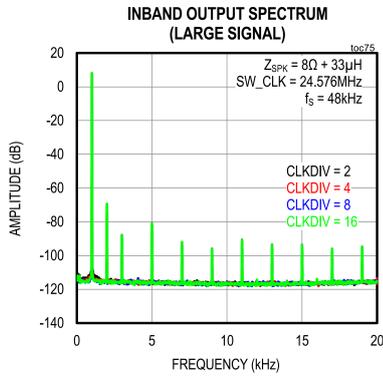
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



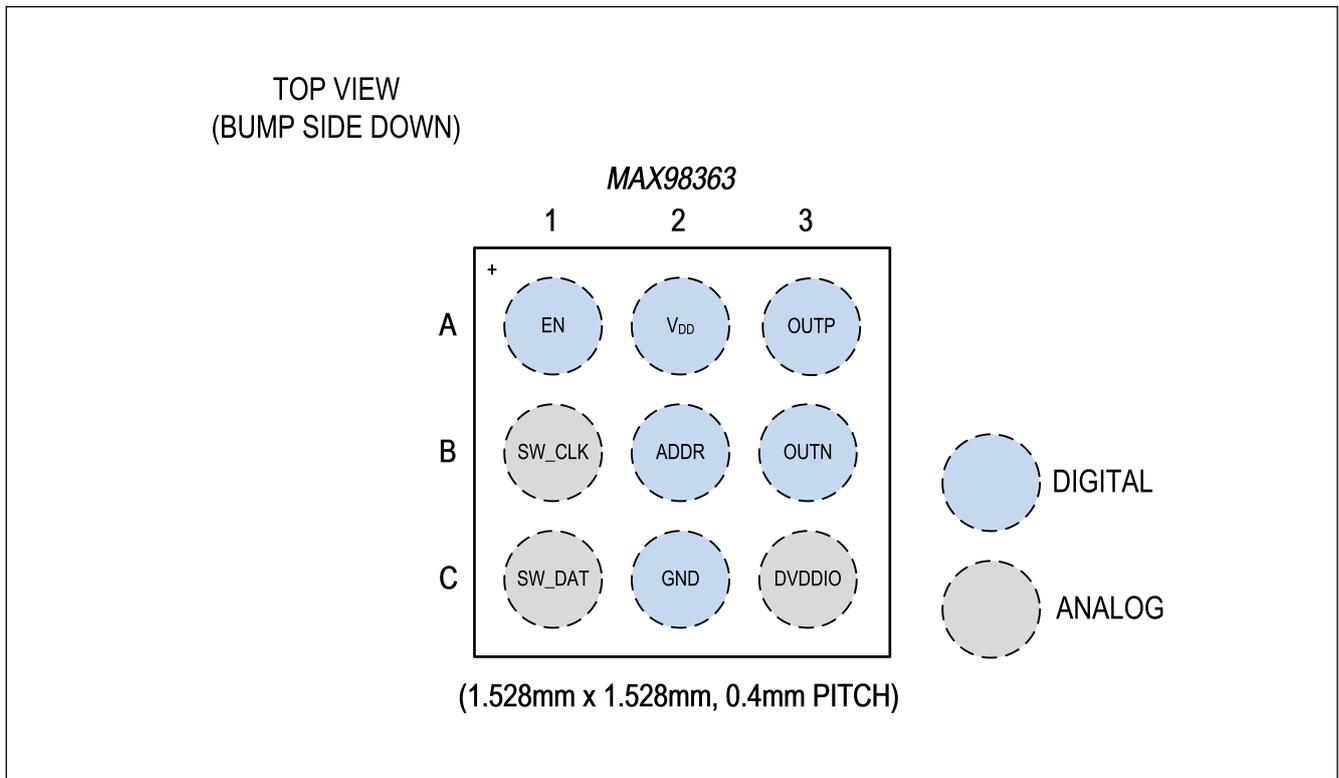
標準動作特性 (続き)

( $V_{DD} = 5V$ ,  $V_{DVDDIO} = 1.8V$  (MAX98363C/D)、 $V_{GND} = 0V$ ,  $Z_{SPK} = \infty$  (OUTP と OUTN の間)、 $SPK\_GAIN = +12dB$ 、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_s = 48kHz$ 、24 ビット・データ。代表値は  $T_A = +25^\circ C$  での値)



## ピン配置

## 9 WLP



## 端子説明

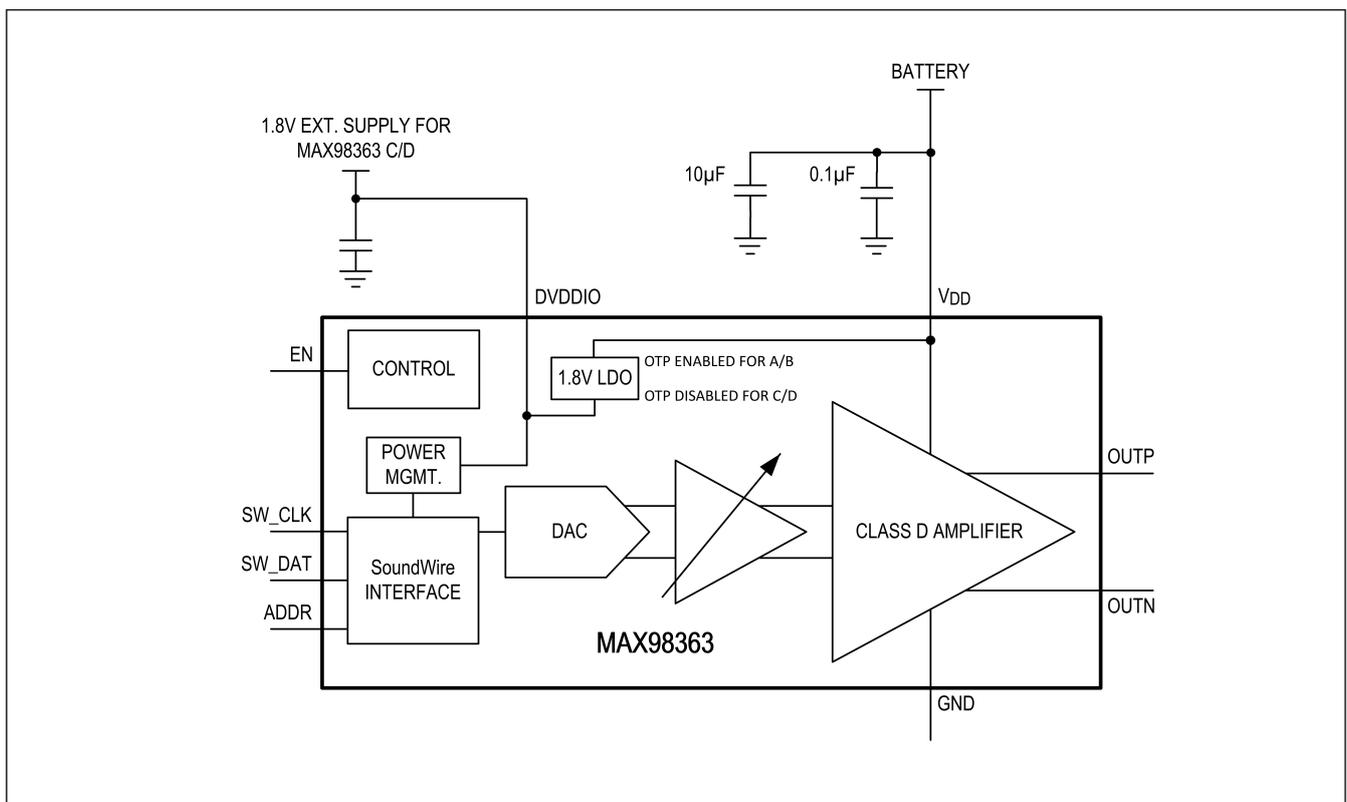
ピン	名称	説明	リファレンス電源	タイプ
A2	V <sub>DD</sub>	アンプ電源入力。0.1 $\mu$ F と 10 $\mu$ F のコンデンサをできるだけ近くに配置して GND にバイパスします。	—	Supply
C3	DVDDIO	MAX98363A/B : デジタル・インターフェース電源用に内部でレギュレーションされた LDO 出力。ピンのできるだけ近い位置に 2.2 $\mu$ F のコンデンサを配置して、GND にバイパスします。 MAX98363C/D : デジタル・インターフェース電源入力。ピンのできるだけ近い位置に 0.1 $\mu$ F のコンデンサを配置して、GND にバイパスします。	V <sub>DD</sub>	Supply
A1	EN	ハードウェア・イネーブル・ピン。EN をローにするとデバイスはシャットダウン・モードになります。V <sub>DD</sub> がある場合には、EN ピンをフロート状態のままにしておくことはできません。	V <sub>DD</sub>	Digital Input
A3	OUTP	正の D 級アンプ出力。	V <sub>DD</sub>	Analog Output
B1	SW_CLK	SoundWire クロック入力ピン。3M $\Omega$ の抵抗を使用して内部で GND にプルダウンされています。	DVDDIO	Digital Input
B2	ADDR	SoundWire デバイス・アドレス選択ピン。ADDR を EN ピンと併用することで、デバイス番号ごとに 5 個の SoundWire デバイス・アドレスの 1 つを選択できます。	V <sub>DD</sub>	Digital Input

## 端子説明 (続き)

ピン	名称	説明	リファレンス電源	タイプ
B3	OUTN	負 D 級アンプ出力。	V <sub>DD</sub>	Analog Output
C1	SW_DAT	SoundWire データ入力ピン。3M $\Omega$ の抵抗を使用して内部で GND にプルダウンされています。	DVDDIO	Digital Input
C2	GND	グラウンド。	—	Supply

## 機能ブロック図

## 詳細ブロック図



## 詳細

MAX98363A/B/C/D は、MIPI SoundWire v1.2 対応の D 級パワー・アンプです。MAX98363 の SoundWire インターフェースは、クロック入力 (SW\_CLK) および双方向データ入出力 (SW\_DATA) からなる共有 2 線式バスを通じて行われる、オーディオ・データおよび制御データの両方の伝送が可能です。デバイス設定を行うために、SoundWire マネージャは、一般的な制御レジスタと SoundWire ペリフェラル・インターフェース・レジスタのどちらにもアクセスできます。各 SoundWire ペリフェラル・デバイスは、デバイスの固有 ID セットによりバス上のコントローラが特定します。MAX98363A/C では、ADDR ピンの接続により固有 ID が 0x0~0x4 に設定されるのに対し、MAX98363B/D では、ADDR ピンの接続により固有 ID は 0x5~0x9 に設定されます。全体として、最大 10 個の MAX98363 デバイスを 1 つの SoundWire データ・レーンに接続できます。表 1 に、各 MAX98363 バージョンとそれらの相違点を示します。

表 1. MAX98363 の各バージョン

VERSION	V <sub>DVDDIO</sub>	UNIQUE ID RANGE (SET BY ADDR PIN)
MAX98363A	Supplied by internal 1.8V LDO	0x0 to 0x4
MAX98363B	Supplied by internal 1.8V LDO	0x5 to 0x9
MAX98363C	Requires external 1.8V	0x0 to 0x4
MAX98363D	Requires external 1.8V	0x5 to 0x9

## デバイス状態の制御

このデバイスは、ハードウェア制御とソフトウェア制御の両方の組み合わせが可能で、これらを使用してデバイスを低消費電力状態にしたり、デバイスを初期パワーオン・リセット (PoR) 状態に戻したりできます。

### ハードウェア・シャットダウン状態

最初にデバイスをパワーアップした場合、またはハードウェア・リセット・イベント後は、デバイスは常にハードウェア・シャットダウン状態に初期化されます。ハードウェア・シャットダウン時は、デバイスは消費電力が最小の状態に設定されます。ハードウェア・シャットダウンになると、デバイスは全体としてリセット状態になります。その結果、SoundWire 制御インターフェースはディスエーブルになり、すべてのデバイス・レジスタは PoR 状態に戻されます。ハードウェア・シャットダウンが終了するとデバイスは初期化され、次いでソフトウェア・シャットダウン状態になります。

ハードウェア・イネーブル入力 (EN) がローにアサートされると、デバイスはハードウェア・シャットダウン状態になります。また、デバイスは、V<sub>DD</sub> 電源がその UVLO スレッシュホールド未満になると常にハードウェア・シャットダウン状態になります。

デバイスがハードウェア・シャットダウンを終了するのは、V<sub>DD</sub> が UVLO スレッシュホールドを超え、ハードウェア・イネーブル入力 (EN) がハイにアサートされた場合のみです。すべての条件が満たされると、デバイスは自動的にハードウェア・シャットダウンを終了し、ソフトウェア・シャットダウン状態になります。

### ソフトウェア・シャットダウン状態

ハードウェア・シャットダウン状態を終了した後、あるいは、アクティブ状態を終了した後、デバイスはソフトウェア・シャットダウン状態になります。ソフトウェア・シャットダウン状態では、デバイスのすべてのレジスタ (SoundWire および一般制御) を無制限にプログラムでき、またプログラムされたすべてのレジスタ状態は保持されます。

DP1\_Channel\_En レジスタのイネーブル・チャンネル 1 ビットを用いると、デバイスをアクティブ状態にすることや、アクティブ状態からソフトウェア・シャットダウン状態にすることができます。EN ピンがハイに設定されると、デバイスはハードウェア・シャットダウン状態からソフトウェア・シャットダウン状態に遷移します。

デバイスがアクティブ状態でチャンネル・イネーブル・ビット・フィールドが 0 に設定されている場合は、デバイスはソフトウェア・シャットダウン状態に遷移します。更に、バス・リセットが発行された場合は常にデバイスはハードウェア・シャットダウン状態になりますが、EN ピンがハイに設定されている場合は、デバイスは自動的にソフトウェア・シャットダウン状態に入ります。

ソフトウェア・シャットダウン状態の場合、事前に EN ピンをローに設定すると V<sub>DD</sub> 電源 (外部供給する場合はこれに加えて DVDDIO 電源) を安全にパワーダウンできます。イネーブル・チャンネル 1 ビットの状態に関わらず、V<sub>DD</sub> が UVLO スレッシュホールドを超えるまでデバイスはソフトウェア・シャットダウン状態からアクティブ状態に遷移することはできません。

### アクティブ状態

有効なクロックがデバイスに印加され、DP1 チャンネル・イネーブルのチャンネル・イネーブル・ビット・フィールドがセットされると、デバイスはソフトウェア・シャットダウン状態からアクティブ状態になります。アクティブ状態では、イネーブルされたすべてのデバイス・ブロックがアクティブになり、スピーカ出力がアサートされます。アクティブ状態の場合、SPK\_VOL のみが安全にプログラムできます。

アクティブ状態との間の遷移でフォルトのない唯一のものは、イネーブル・チャンネル・ビット・フィールドを通じて開始される遷移です。アクティブ状態との間のその他の遷移はすべて、フォルト・イベントの結果生じるもので、これらの遷移がアクティブな再生時に発生した場合は可聴グリッチの原因となる可能性があります。

### SoundWire バス・リセット

SoundWire バス・リセット・コマンドは、SoundWire バスで符号化ロジック 1 からなる 4096 個の連続ビット・スロットのシーケンスで、すべてのデバイス・レジスタ（SoundWire ペリフェラル設定レジスタを含む）をデフォルトの PoR 値にリセットします。

### SoundWire レジスタ・リセット

SCP\_Ctrl レジスタの SoundWire レジスタ・ビット・フィールド ForceReset を使用すると、MAX98363 の SoundWire ペリフェラル設定レジスタをデフォルトの PoR 値にリセットできます。ForceReset ビット・フィールドは書き込み専用で、このビットを読み出しても常にゼロが返されます。ForceReset ビット・フィールドにロジックローを書き込んでも無効です。

### UVLO モード

EN=1 で V<sub>DD</sub> 電源が UVLO スレッシュホールド未満の場合、デバイスは UVLO モードになります。このモードでは内部パワーアップ検出回路の一部に給電するため、シャットダウン・モードに比べわずかに高い電力を消費します。V<sub>DD</sub> 電源が回復し UVLO スレッシュホールドを超えると、デバイスはソフトウェア・シャットダウン状態に遷移します。

### SoundWire ペリフェラル・インターフェース

SoundWire ペリフェラル・インターフェースは、クロック入力 (SW\_CLK) および双方向データ入出力 (SW\_DATA) からなる共有 2 線式バスを通じて行われる、オーディオ・データおよび制御データの両方の伝送が可能です。デバイス設定を行うために、SoundWire マネージャは、一般的な制御レジスタと SoundWire ペリフェラル・インターフェース・レジスタのどちらにもアクセスできます。SoundWire ペリフェラル・インターフェースは、イネーブルされたすべてのデバイス・ステータス割込みを受け取り、処理のために SoundWire マネージャに伝送します。

### SoundWire ペリフェラル・デバイスの識別

SoundWire ペリフェラル・インターフェースには、48 ビット値 (SCP\_DevId\_0~SCP\_DevId\_5 のレジスタの Device\_Id[47:0]) があり、これを SoundWire マネージャが読み出して、接続されている SoundWire ペリフェラル・デバイスを識別できます。SoundWire ペリフェラル・デバイスの識別ビット・フィールドには、表 2 に示すように複数のセグメントがあります。すべてのセグメントは、ペリフェラル・デバイス固有の ID を除き固定されています。4 ビットの SoundWire ペリフェラル・デバイス固有 ID はピン設定可能で、与えられた製品番号に対し 5 通りの組み合わせがあります。製品番号とピン設定可能性を組み合わせることで、最大 10 通りの固有 ID の組み合わせが可能です。デバイス固有 ID を選択するには、表 3 に示すように ADDR ピンを接続します。

表 2. SoundWire ペリフェラル・デバイスの識別

REGISTER	BIT FIELD SEGMENT	DESCRIPTION	VALUE
SCP_DevId_0	Device_Id[47:44]	SoundWire version number	0x3
	Device_Id[43:40]	Peripheral-device unique ID decoded from pin	0x0 to 0x9
SCP_DevId_1 and SCP_DevId_2	Device_Id[39:24]	MIPI assigned manufacturer ID	0x019F
SCP_DevId_3 and SCP_DevId_4	Device_Id[23:8]	Audio part number	0x8363
SCP_DevId_5	Device_Id[7:0]	Class-MIPI reserved	0x00

表 3. SoundWire ペリフェラル・デバイス固有 ID の設定

PART NUMBER	ADDR PIN	DEVICE UNIQUE ID
MAX98363A/C	GND	0x0
MAX98363A/C	Unconnected	0x1
MAX98363A/C	V <sub>DD</sub>	0x2
MAX98363A/C	100kΩ pull-up to V <sub>DD</sub>	0x3
MAX98363A/C	100kΩ pull-up to GND	0x4

表 3. SoundWire ペリフェラル・デバイス固有 ID の設定 (続き)

MAX98363B/D	GND	0x5
MAX98363B/D	Unconnected	0x6
MAX98363B/D	V <sub>DD</sub>	0x7
MAX98363B/D	100kΩ pull-up to V <sub>DD</sub>	0x8
MAX98363B/D	100kΩ pull-up to GND	0x9

## SoundWire クロック設定

SoundWire ペリフェラル・インターフェースは、有効な任意の SoundWire クロック周波数 (SoundWire 仕様の v1.2 で仕様規定) で動作し、また、デバイス・プログラミングをサポートします。外部からの SoundWire クロックも内部クロック生成のソース・クロックとなります。そのため、デバイスのオーディオ・パスとデータ・パスが動作するには、外部の SoundWire クロック周波数が、表 4 に示す 19 個のサポート周波数のいずれかと一致する必要があります。これらのレートは、5 通りの基本レートの整数 (2/4/8/16) 倍です。サポートされる外部クロック・レートを基本クロック周波数の関数として表 4 に示します。

表 4. オーディオ用にサポートされる SW\_CLK クロック周波数

CLOCK SCALE	CLOCK BASE FREQUENCY RATES (MHz)				
	19.2	22.5792	24	24.576	32
1	—	—	—	—	—
2	9.6	11.2896	12	12.288	—
4	4.8	5.6448	6	6.144	8
8	2.4	2.8224	3	3.072	4
16	1.2	1.4112	1.5	1.536	2

## SoundWire ペリフェラル制御ポート設定

デバイスの SCP は、表 5 に示すオプションに対応できます。SCP 設定ビット・フィールドは、アドレス 0x0040~アドレス 0x0080 の SoundWire ペリフェラル・インターフェース・レジスタにあります。レジスタとビット・フィールドの詳細な説明は、MIPI SoundWire v1.2 の仕様書全体を参照してください。

表 5. SoundWire ペリフェラル制御ポート (SCP) オプション

PERIPHERAL CONTROL PORT OPTION	IMPLEMENTATION
Implementation Defined Interrupt 1	Yes
Clock Stop Mode 1	Yes
Clock Stop Prepare State Machine	Simplified
Clock Stop Async Wake Up	No
Address Paging	No
Multi-Lane	No
Bridging	No
High PHY	No
Test Mode	No
Broadcast Read Response	Command_Ignored

## SoundWire デバイス・データ・ポート (DP) 設定

SoundWire ペリフェラル・インターフェースにはデータ・ポートが 1 つあります。スピーカ・パスは、すべてのデータ・フロー・モード (アイソクロナス、トランスミッタ制御、レシーバー制御、全非同期) に対応します。データ・ポートのテスト・モード (通常、PRBS、静的 0、静的 1) が使用できます。

パッシブなペリフェラル・デバイス (デバイスは SoundWire に付随しているがすべてのデータ・ポートが非活性化) として動作する場合、インターフェースは消費電力を最小限に抑えるよう最適化され、活性化する必要のあるロジック・セルのみがスイッチングします。デバイスがソフトウェア・シャットダウン状態の間、SoundWire マネージャは、ペリフェラル・デバイスのインターフェース・データ・ポートをイネーブルおよびディスエーブルする必要があるだけです。

提供されるデータ・ポートは、表 7 に示すオプションのサブセットに対応します。データ・ポート制御ビット・フィールドは、アドレス 0x0100~アドレス 0x01FF の SoundWire ペリフェラル・インターフェース・レジスタにあります。レジスタとビット・フィールドの詳細な説明は、MIPI SoundWire v1.2 の仕様書全体を参照してください。

表 6. SoundWire ペリフェラル・インターフェースのデータ・ポート割当て

NUMBER	DIRECTION	TYPE	CHANNELS	MAX WORD LENGTH	PURPOSE
Data Port 1	Rx (Input)	Full	1	32 bits	Data input for the speaker path

表 7. データ・ポート 1 のオプション

DATA-PORT OPTIONS	IMPLEMENTATION
Implementation Defined Interrupt 1	No
Implementation Defined Interrupt 2	No
Implementation Defined Interrupt 3	No
Flow Mode Support	Yes
Extended Buffer Operating Modes for Flow Control	No
Block Group Support	No
Prepare State Machine	Simplified

## SoundWire クロックの停止

MAX98363 は、MIPI SoundWire v1.2 の仕様で定義されている簡略化されたペリフェラル・クロック停止準備 (Simplified Peripheral Clock Stop Prepare) に対応します。SoundWire レジスタ・マップの ClockStop\_Prepare ビット・フィールドが 1 に設定されます。その結果、ホストによるクロック停止イベントより前に DP\_EN = 1 となっている場合、そのクロック停止イベントが成立した後、デバイスはバスから自動的に切り離されます。SoundWire マネージャがクロック停止イベントより前に DP\_EN = 0 に設定した場合は、デバイスは SoundWire のレジスタ値とデバイス値を保持します。

クロック停止イベントによるスピーカ出力での可聴グリッチを防止するために、クロック停止イベントの開始前に SoundWire マネージャでデバイスをソフトウェア・シャットダウンにすること (DP\_EN = 0) を推奨します。

## 割込み

このデバイスは、ステータス割込みを個別にイネーブルし、オンチップで発生したイベントについてホストにフィードバックすることが可能です。SoundWire の実装時に定義されている割込みレポートが SoundWire コントロール・レジスタでイネーブルされている場合、個別にイネーブルされたデバイス割込みはすべて、ホストに対しその割込みを処理する要求をトリガします。

## 割込みビット・フィールドの構成

実装時に定義された各割込み源には、デバイス・レジスタ・マップに 5 個のビット・フィールド・コンポーネントがあります。各コンポーネントの機能を以下に説明します。また各ソースに対応するビット・フィールドは付加された末尾文字 (カッコ内に表示) で特定できます。

### 生ステータス (RAW)

各割込み源には、割込み源の生ステータスをリアルタイムで示す読出し専用ビットがあります。

### 状態 (STATE)

各割込み源の関連する生ステータス・ビットには、立上がりエッジが生じるたびに常にセットされる読出し専用状態ビットがあります。この状態ビットは、ソース・イネーブル・ビットの設定とは無関係にセットされます。

### フラグ (FLAG)

各割込み源には、読出し専用のフラグ・ビットがあります。ソース・イネーブル・ビットがセットされるとこのフラグ・ビットがセットされ、ソース状態ビットがセットされるといつでも割込みを生成できます。

### イネーブル (EN)

各割込み源には動的な読出し/書込みイネーブル・ビットがあります。イネーブル・ビットがセットされると関連するフラグ・ビットがセットされ、ソース状態ビットがセットされるといつでも割込みを生成できます。

## クリア (CLR)

各割り込み源には動的な書き込み専用クリア・ビットがあります。クリア・ビットに 1 を書き込むと関連する状態ビットとフラグ・ビットが 0 にリセットされます。クリア・ビットに 0 を書き込んで何の影響もありません。

## 割り込み出力設定

すべてのデバイス割り込みフラグ・ビットは論理和が取られ、SoundWire デバイス・レジスタ・マップ (SCP\_IntStat\_1) のデータ・ポート割り込みステータス・ビットを設定する信号が生成されます。SCP\_IntStat\_1 が設定されると、デバイスの SoundWire コントローラは PREQ コマンドを送信して SoundWire マネージャにアラートを発します。次いでホストは PING コマンドを発行して割り込み処理要求を送出しているペリフェラル・デバイスを特定し、デバイスの割り込みを処理します。

## 割り込み源

表 8. 割り込み源

割り込み源	ビット・フィールド	説明
サーマル・シャットダウン・イベント	THERMSHDN_*	サーマル・シャットダウン・スレッショルド温度を超えたことを示します。
OTP 負荷フェール・イベント	OTP_FAIL_*	ハードウェア・シャットダウンの終了時に実行中の OTP 負荷ルーチンが完了できなかったことを示します。OTP 負荷ルーチンが失敗すると、デバイスはソフトウェア・シャットダウン状態を維持します。
スピーカ過電流イベント	SPK_OVC_*	スピーカ・アンプの電流制限値を超過したことを示します。
内部 CLK エラー	CLK_ERR_*	デバイスの内部クロックにクロック停止エラーが生じたことを示します。
スピーカ・アンプ・モニタ・エラー	SPKMON_ERR_*	アンプの出力がハイまたはローにスタックされるエラーが発生したことを示します。
パワーアップ完了イベント	PWRUP_DONE_*	デバイスがアクティブ状態になり音声を再生する準備ができていることを示します。
パワーダウン完了イベント	PWRDN_DONE_*	デバイスが順調なパワーアップ状態からソフトウェア・シャットダウン状態になったことを示します。

Note: これらのビット・フィールドはコンポーネントの末尾文字を付けずに示しています。例えば、OTP\_FAIL\_\*は、OTP\_FAIL\_RAW、OTP\_FAIL\_STATE、OTP\_FAIL\_FLAG、OTP\_FAIL\_EN、OTP\_FAIL\_CLR を意味します。すべての割り込み源にはこれら 5 個のコンポーネントのビット・フィールドがあります。

## ゲインの選択

MAX98363 ではゲインの選択をプログラムすることが可能で、この機能を利用すると、必要とする最大出力レベルに合わせてスピーカ出力信号の振幅をスケールリングできます。選択したゲインは、スピーカ・パスの DAC 出力に適用されます。スピーカ・パスにある DAC のフルスケール出力は 3.58dBV<sub>PK</sub> (代表値) です。ゲイン・ステップは-3dB~+12dB の範囲を+3dB 刻みでプログラム可能です。表 9 に、選択した SPK\_GAIN 設定に対する最大ピーク出力レベルを示します。

表 9. ゲイン選択ごとの最大ピーク出力電圧

SPK_GAIN SETTING	ANALOG GAIN (dB)	MAXIMUM PEAK OUTPUT VOLTAGE (V <sub>PK</sub> )
0x0	-3	1.07 (0.59dBV <sub>PK</sub> )
0x1	0	1.51 (3.58dBV <sub>PK</sub> )
0x2	+3	2.13 (6.57dBV <sub>PK</sub> )
0x3	+6	3.01 (9.57dBV <sub>PK</sub> )
0x4	+9	4.26 (12.59dBV <sub>PK</sub> )
0x5	+12	6.01 (15.58dBV <sub>PK</sub> )

## DC ブロッキング・フィルタ

デジタル・オーディオ・インターフェースには、 $-3\text{dB}$  カットオフが  $f_c$  の DC ブロッキング・フィルタが内蔵されています（電氣的特性の表を参照）。

## DAC デジタル・フィルタ

DAC には、使用するサンプル・レートに基づき自動的に設定されるデジタル・ローパス・フィルタが備わっています。このフィルタにより、エイリアシングやその他の高周波ノイズの影響を排除できます。電氣的特性の表の DAC デジタル・フィルタのセクションを参照してください。

## トーン発生器

このデバイスには、イネーブルされる（TONE\_EN ビット・フィールドを使用）と SoundWire インターフェース・オーディオ入力をスピーカ再生パスへの入力源に置き換える、トーン発生器が内蔵されています。このトーン発生器には、SoundWire クロック設定のセクションで説明したように、オーディオ用に有効な SW\_CLK レートが必要です。

トーン発生器の出力は、サイン波トーンまたは DC トーンを発生するよう設定されています（TONE\_CONFIG ビット・フィールドを使用）。

トーン発生器は、基本クロック・レートに基づくサンプル・レートで動作し、この  $48\text{kHz}$  のサンプル・レートの整数分周であるサイン波トーンを生成できます。整数分周の範囲は  $4\sim 192$  で、これにより  $48\text{kHz}$  のサンプル・レートから  $12\text{kHz}\sim 250\text{Hz}$  の範囲のサイン波トーンを生成します。トーン発生器の出力であるサイン波トーンの振幅はフルスケールですが、アンプ出力はスピーカのボリューム（SPK\_VOL）と再生パスのゲイン制御（SPK\_GAIN）を用いて調整できます。

トーン発生器の DC 出力レベルは、固定することもプログラマブルとすることもできます（TONE\_CONFIG で設定）。手早く設定ができるよう、ゼロ・コード、正のハーフスケール、負のハーフスケールの固定 DC 出力レベルが用意されています。

## D 級アンプ

フィルタのない D 級アンプは AB 級アンプに比べてはるかに高い効率を実現します。D 級アンプの高効率は、出力段トランジスタのスイッチング動作によるものです。D 級出力段で生じる電力損失の主な原因は、MOSFET のオン抵抗と自己消費電流のオーバーヘッドによる I<sup>2</sup>R 損失です。

## D 級出力短絡保護

D 級アンプの出力電流制限値（ $I_{LIM}$ ）を超えた場合（電氣的特性の表を参照）、出力は約  $20\text{ms}$  の間ディスエーブルされます。20ms が経過すると出力は再度イネーブルされます。それでもフォルト状態が存在する場合、フォルト状態が解除されるまで、出力はディスエーブルと再イネーブルを繰り返します。

## スピーカ・モニタ

MAX98363 は、出力の DC による損傷からスピーカを保護するためのスピーカ・モニタを備えています。このスピーカ・モニタはデフォルトでイネーブルされており、SPKMON\_EN ビットをゼロに設定することでディスエーブルできます。この回路は、アンプの PWM 信号をモニタし、この信号が設定されたスピーカ・モニタ・スレッショルド（SPKMON\_THRESH で設定）を設定された時間（SPKMON\_DURATION で設定）超過した場合に、アンプ出力をシャットダウンします。更に、デバイスは SPKMON\_ERR 割込みも生成します。

このスピーカ・モニタ回路はアンプの PWM 信号を使用しており、DC 信号の場合、アンプはスレッショルドを上回る信号を正確に検出します。ただし、DC オフセットのあるサイン波の場合は、サイン信号からゼロがもたらされるために、回路が検出する平均 DC は低下します。この場合、スピーカ・モニタ・スレッショルド（SPKMON\_THRESH で設定）やスピーカ・モニタ動作時間（SPKMON\_DURATION）を調整することで、信号に存在する DC からスピーカを保護できます。

## クロック・モニタ

MAX98363 は、デバイスの内部クロック動作における不具合を検出するクロック・モニタを備えています。これらの内部クロックは、外部の SoundWire クロック（SW\_CLK）から抽出されます。フォルトが原因で SW\_CLK ピンのクロック信号が MIPI SoundWire v1.2 の仕様に記載された適切なクロック停止手順を取らずに停止した場合、クロック・モニタは  $42\mu\text{s}$ （基本レート =  $19.2\text{MHz}/24.576\text{MHz}/16\text{MHz}$ ）または  $46\mu\text{s}$ （基本レート =  $22.5792\text{MHz}$ ）後に自動的にデバイスをソフトウェア・シャットダウン状態（DP\_EN\_CH1 = 0）にし、内部クロック・エラー割込み（CLK\_ERR\*）を生成します。クロック・モニタは、CMON\_EN ビット・フィールドでイネーブルされ、デバイスがアクティブ状態の場合に動作します。

## ターンオンとターンオフ時のボリューム・ランピング

MAX98363 には、スピーカ・パスの起動時にスピーカ出力振幅のランピングを制御する、ボリューム・ランプアップ制御機能があります。このボリューム・ランプアップは、[SPK\\_VOL\\_RMPUP\\_BYPASS](#) ビット・フィールドでバイパスすることができ、それによりターンオン時間を短縮できます。ボリューム・ランプダウンは常にイネーブルされており、ボリュームを下げる時や出力をミュートに設定する場合に出力をランプダウンします。ボリューム・ランプダウンはデバイスのターンオフ時間には影響しません。詳細については[電気的特性](#)の表を参照してください。

## クリック／ポップ抑制

スピーカ・アンプには、アナログ・デバイセズの包括的なクリック／ポップ抑制機能が備わっています。ターンオン時、クリック／ポップ抑制回路はデバイス内部における可聴域のトランジェント・ソースを低減します。シャットダウンまたはスタンバイ状態に入ると、差動スピーカ出力が同時に高インピーダンスになります。

最高のクリック／ポップ性能を得るには、[DP1\\_ChannelEN](#) がローになった後、[電気的特性](#)の表に示されているターンオフの時間中、[SW\\_CLK](#) および  $V_{DD}$  が有効のままであることが必要です。

## 超低 EMI フィルタレス出力段

従来の D 級アンプは、EN55022B 電磁干渉 (EMI) 規制規格を満たすために、外付けの LC フィルタやシールドを使用する必要があります。アナログ・デバイセズのアクティブ・エミッション・リミット機能、エッジ・レート制御回路、スペクトラム拡散変調により、高効率を維持しながら EMI 放射を低減できます。

アナログ・デバイセズのスペクトラム拡散変調モードは、広帯域のスペクトル成分を平坦化させると共に、独自技術により、スイッチング周期のサイクル間変動がオーディオ再生や効率を劣化させないようにします。このデバイスのスペクトラム拡散変調器は、中心周波数 ( $f_{sw}$ ) を中心として  $f_{SSM}$  だけ、スイッチング周波数をランダムに変化させます。10MHz 以上の広帯域スペクトルは、EMI の観点からするとノイズのように振る舞います。

## レジスタ・マップ

## レジスタ・マップ

ADDRESS	NAME	MSB							LSB	
SoundWire Peripheral Control										
0x0040	SCP_IntStat_1 [7:0]	-	-	-	-	-	IntStat ImpDefl	IntStat BusClash	IntStat Parity	
0x0041	SCP_IntMask_1 [7:0]	-	-	-	-	-	IntMask ImpDefl	IntMask Bus Clash	IntMask Parity	
0x0044	SCP_Ctrl[7:0]	Force Reset	Current Bank	-	-	-	-	ClockStopNow	ClockStopNotFinished	
0x0045	SCP_SystemCtrl [7:0]	-	-	-	-	-	-	-	ClockStopPrepare	
0x0046	SCP_DevNumber [7:0]	-	-	Group_Id[1:0]		Device Number[3:0]				
0x004D	SCP_BusClockBase[7:0]	-	-	-	-	-	Base Clock Freq[2:0]			
0x0050	SCP_DevId_0 [7:0]	Device_ID[47:40]								
0x0051	SCP_DevId_1 [7:0]	Device_ID[39:32]								
0x0052	SCP_DevId_2 [7:0]	Device_ID[31:24]								
0x0053	SCP_DevId_3 [7:0]	Device_ID[23:16]								
0x0054	SCP_DevId_4 [7:0]	Device_ID[15:8]								
0x0055	SCP_DevId_5 [7:0]	Device_ID[7:0]								
0x0060	SCP_FrameCtrl_Bank0[7:0]	RowControl_Bank0[4:0]					ColumnControl_Bank0[2:0]			
0x0062	Clock Scale Bank0[7:0]	-	-	-	-	ClockScale[3:0]				
0x0070	SCP_FrameCtrl_Bank1[7:0]	RowControl_Bank1[4:0]					ColumnControl_Bank1[2:0]			
0x0072	Clock Scale Bank1[7:0]	-	-	-	-	ClockScale[3:0]				
0x0080	SCP_PhyOutCtrl_0[7:0]	SlewTime_Ctrl_0[1:0]		-	-	-	-	-	-	
Data Port 1 Registers										
0x0100	DP1_IntStat[7:0]	-	-	-	-	-	-	IntStat Port Ready	IntStat Test Fail	
0x0101	DP1_IntMask [7:0]	-	-	-	-	-	-	IntMask Port Ready	IntMask Test Fail	
0x0102	DP1_PortCtrl[7:0]	-	-	PortDirection	NextInvert Bank	PortDataMode[1:0]		PortFlowMode[1:0]		
0x0103	DP1_BlockCtrl [7:0]	-	-	-	WordLength[4:0]					
0x0104	DP1_PrepareStatus[7:0]	-	-	-	-	-	-	-	N-Finished Channel 1	

ADDRESS	NAME	MSB							LSB
0x0105	DP1_PrepareCtrl [7:0]	-	-	-	-	-	-	-	Prepare Channel 1
Data Port 1- Bank 0 Registers									
0x0120	DP1_ChannelEn [7:0]	-	-	-	-	-	-	-	Enable Channel 1
0x0122	DP1_SampleCtrl1 [7:0]	SampleIntervalLow[7:0]							
0x0123	DP1_SampleCtrl2 [7:0]	SampleIntervalHigh[7:0]							
0x0124	DP1_OffsetCtrl1 [7:0]	Offset1[7:0]							
0x0125	DP1_OffsetCtrl2 [7:0]	Offset2[7:0]							
0x0126	DP1_HCtrl[7:0]	HStart[3:0]				HStop[3:0]			
0x0127	DP1_BlockCtrl3 [7:0]	-	-	-	-	-	-	-	BlockPacking Mode
Data Port 1- Bank 1 Registers									
0x0130	DP1_ChannelEn [7:0]	-	-	-	-	-	-	-	Enable Channel 1
0x0132	DP1_SampleCtrl1 [7:0]	SampleIntervalLow[7:0]							
0x0133	DP1_SampleCtrl2 [7:0]	SampleIntervalHigh[7:0]							
0x0134	DP1_OffsetCtrl1 [7:0]	Offset1[7:0]							
0x0135	DP1_OffsetCtrl2 [7:0]	Offset2[7:0]							
0x0136	DP1_HCtrl[7:0]	HStart[3:0]				HStop[3:0]			
0x0137	DP1_BlockCtrl3 [7:0]	-	-	-	-	-	-	-	BlockPacking Mode
Interrupt Registers									
0x2001	Interrupt Raw [7:0]	THERM SHDN_ RAW	PWRDN _DONE_ _RAW	PWRUP _DONE_ _RAW	-	CLK_ER R_RAW	SPKMO N_ERR_ _RAW	SPK_OV C_RAW	OTP_FAI L_RAW
0x2003	Interrupt State [7:0]	THERM SHDN_ STATE	PWRDN _DONE_ _STATE	PWRUP _DONE_ _STATE	-	CLK_ER R_STAT E	SPKMO N_ERR_ _STATE	SPK_OV C_STAT E	OTP_FAI L_STAT E
0x2005	Interrupt Flag[7:0]	THERM SHDN_ FLAG	PWRDN _DONE_ _FLAG	PWRUP _DONE_ _FLAG	-	CLK_ER R_FLAG	SPKMO N_ERR_ _FLAG	SPK_OV C_FLAG	OTP_FAI L_FLAG
0x2007	Interrupt Enable [7:0]	THERM SHDN_ EN	PWRDN _DONE_ _EN	PWRUP _DONE_ _EN	-	CLK_ER R_EN	SPKMO N_ERR_ _EN	SPK_OV C_EN	OTP_FAI L_EN
0x2009	Interrupt Clear [7:0]	THERM SHDN_ CLR	PWRDN _DONE_ _CLR	PWRUP _DONE_ _CLR	-	CLK_ER R_CLR	SPKMO N_ERR_ _CLR	SPK_OV C_CLR	OTP_FAI L_CLR
Error Monitor									
0x2021	Error Monitor Control[7:0]	-	-	-	-	SPKMO N_EN	-	-	CMON_EN
0x2022	Speaker Mon Threshold[7:0]	SPKMON_THRESH[7:0]							

ADDRESS	NAME	MSB							LSB
0x2023	Speaker Mon Duration[7:0]	-	-	-	-	SPKMON_DURATION[3:0]			
Tone Generator Control									
0x2030	Tone Generator and DC Config[7:0]	-	-	-	-	TONE_CONFIG[3:0]			
0x203F	Tone Generator Enable[7:0]	-	-	-	-	-	-	-	TONE_EN
Speaker Path Control									
0x2040	AMP volume control[7:0]	-	SPK_VOL[6:0]						
0x2041	AMP Path Gain [7:0]	-	-	-	-	-	SPK_GAIN[2:0]		
0x2042	AMP DSP Config [7:0]	-	-	-	RSVD	SPK_VO L_RMPU P_BYPA SS	RSVD	RSVD	RSVD
Device and Revision ID									
0x21FF	Revision ID[7:0]	REV_ID[7:0]							

## レジスタの詳細

## SCP\_IntStat\_1 (0x0040)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	IntStat ImpDef1	IntStat Bus Clash	IntStat Parity
Reset	-	-	-	-	-	0x0	0x0	0x0
Access Type	-	-	-	-	-	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明
IntStat ImpDef1	2	MIPI SoundWire仕様v1.2を参照。
IntStat Bus Clash	1	MIPI SoundWire仕様v1.2を参照。
IntStat Parity	0	MIPI SoundWire仕様v1.2を参照。

## SCP\_IntMask\_1 (0x0041)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	IntMask ImpDef1	IntMask Bus Clash	IntMask Parity
Reset	-	-	-	-	-			
Access Type	-	-	-	-	-	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明
IntMask ImpDef1	2	MIPI SoundWire仕様v1.2を参照。
IntMask Bus Clash	1	MIPI SoundWire仕様v1.2を参照。
IntMask Parity	0	MIPI SoundWire仕様v1.2を参照。

## SCP\_Ctrl (0x0044)

BIT	7	6	5	4	3	2	1	0
Field	ForceReset	CurrentBank	-	-	-	-	ClockStop Now	ClockStop_NotFinished
Reset	0b0	0x0	-	-	-	-	0b0	0x0
Access Type	Write Only	Read Only	-	-	-	-	Write Only	Read Only

ビット・フィールド	ビット	説明	デコード
ForceReset	7	このビット・フィールドは、SoundWireリセット・イベントをトリガするのに使用します。	0: No action. 1: Triggers a software reset event.
CurrentBank	6	MIPI SoundWire仕様v1.2を参照。	
ClockStop Now	1	MIPI SoundWire仕様v1.2を参照。	0: No action. 1: Triggers a software reset event.
ClockStop_NotFinished	0	MIPI SoundWire仕様v1.2を参照。	

## SCP\_SystemCtrl (0x0045)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	ClockStop Prepare
Reset	-	-	-	-	-	-	-	0x1
Access Type	-	-	-	-	-	-	-	Write, Read

ビット・フィールド	ビット	説明
ClockStop Prepare	0	MIPI SoundWire仕様v1.2を参照。

## SCP\_DevNumber (0x0046)

BIT	7	6	5	4	3	2	1	0
Field	-	-	Group_Id[1:0]		Device Number[3:0]			
Reset	-	-	0x0		0x0			
Access Type	-	-	Write, Read		Write, Read			

ビット・フィールド	ビット	説明	デコード
Group_Id	5:4		00: No group membership, device responds to programmed device numbers from 1 to 11, or device address 15 (all devices on the bus). 01: Device responds to programmed device number (from 1 to 11), group 12 i.e., all peripherals with device address 12, or device address 15 (all devices on the bus). 10: Device responds to programmed device number (from 1 to 11), group 13 i.e., all peripherals with device address 13, or device address 15 (all devices on the bus). 11: Reserved.

ビット・フィールド	ビット	説明	デコード
Device Number	3:0	MIPI SoundWire仕様v1.2を参照。	

**SCP BusClock Base (0x004D)**

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	Base Clock Freq[2:0]		
Reset	–	–	–	–	–	0x0		
Access Type	–	–	–	–	–	Write, Read		

ビット・フィールド	ビット	説明	デコード
Base Clock Freq	2:0		0x0: Unknown, manager is explicitly not informing the peripheral of the bus clock frequency. 0x1: Base clock frequency = 19.2MHz, relates to 48kHz sample frequencies. 0x2: Base clock frequency = 24MHz, relates to 48kHz sample frequencies. 0x3: Base clock frequency = 24.576MHz, relates to 48kHz sample frequencies. 0x4: Base clock frequency = 22.5792MHz, relates to 44.1kHz sample frequencies. 0x5: Base clock frequency = 32MHz, relates to Bluetooth® frequencies. 0x6: Reserved. 0x7: Implementation-defined frequency. Not supported frequency listed in DisCo data for the device.

**SCP\_Devid\_0 (0x0050)**

BIT	7	6	5	4	3	2	1	0
Field	Device_ID[47:40]							
Reset	0x30							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
Device_ID	7:0		0x30: Unique ID set for the MAX98363A/C with ADDR = GND. 0x31: Unique ID set for the MAX98363A/C with ADDR = Float. 0x32: Unique ID set for the MAX98363A/C with ADDR = V <sub>DD</sub> . 0x33: Unique ID set for the MAX98363A/C with ADDR = 100kΩ pull-up to V <sub>DD</sub> . 0x34: Unique ID set for the MAX98363A/C with ADDR = 100kΩ pull-up to GND. 0x35: Unique ID set for the MAX98363B/D with ADDR = GND. 0x36: Unique ID set for the MAX98363B/D with ADDR = Float. 0x37: Unique ID set for the MAX98363B/D with ADDR = V <sub>DD</sub> . 0x38: Unique ID set for the MAX98363B/D with ADDR = 100kΩ pull-up to V <sub>DD</sub> . 0x39: Unique ID set for the MAX98363B/D with ADDR = 100kΩ pull-up to GND.

**SCP\_Devid\_1 (0x0051)**

BIT	7	6	5	4	3	2	1	0
Field	Device_ID[39:32]							
Reset	0x01							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
Device_ID	7:0		0x01: MIPI assigned manufacturer ID MSB.

**SCP\_Devid\_2 (0x0052)**

BIT	7	6	5	4	3	2	1	0
Field	Device_ID[31:24]							
Reset	0x9F							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
Device_ID	7:0		0x9F: MIPI assigned manufacturer ID LSB.

**SCP\_Devid\_3 (0x0053)**

BIT	7	6	5	4	3	2	1	0
Field	Device_ID[23:16]							
Reset	0x83							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
Device_ID	7:0		0x83: Manufacturer part number (MSB).

## SCP\_Devid\_4 (0x0054)

BIT	7	6	5	4	3	2	1	0
Field	Device_ID[15:8]							
Reset	0x63							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
Device_ID	7:0		0x63: Manufacturer part number (LSB).

## SCP\_Devid\_5 (0x0055)

BIT	7	6	5	4	3	2	1	0
Field	Device_ID[7:0]							
Reset	0x0							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
Device_ID	7:0		0x0: Class MIPI reserved.

## SCP\_FrameCtrl\_Bank0 (0x0060)

BIT	7	6	5	4	3	2	1	0
Field	RowControl_Bank0[4:0]					ColumnControl_Bank0[2:0]		
Reset	0x0					0x0		
Access Type	Write, Read					Write, Read		

ビット・フィールド	ビット	説明
RowControl_Bank0	7:3	MIPI SoundWire仕様v1.2を参照。
ColumnControl_Bank0	2:0	MIPI SoundWire仕様v1.2を参照。

## Clock Scale Bank0 (0x0062)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	Clock Scale[3:0]			
Reset	-	-	-	-	0x0			
Access Type	-	-	-	-	Write, Read			

ビット・フィールド	ビット	説明	デコード
Clock Scale	3:0		0x0: Reserved. 0x1: Reserved. 0x2: Scaling factor = 2. 0x3: Scaling factor = 4. 0x4: Scaling factor = 8. 0x5: Scaling factor = 16. 0x6: Scaling factor = 32. 0x7-0xF: Reserved.

**SCP\_FrameCtrl\_Bank1 (0x0070)**

BIT	7	6	5	4	3	2	1	0
Field	RowControl_Bank1[4:0]				ColumnControl_Bank1[2:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビット・フィールド	ビット	説明
RowControl_Bank1	7:3	MIPI SoundWire仕様v1.2を参照。
ColumnControl_Bank1	2:0	MIPI SoundWire仕様v1.2を参照。

**Clock Scale Bank1 (0x0072)**

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	Clock Scale[3:0]			
Reset	–	–	–	–	0x0			
Access Type	–	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
Clock Scale	3:0		0x0: Reserved. 0x1: Reserved. 0x2: Scaling Factor = 2. 0x3: Scaling Factor = 4. 0x4: Scaling Factor = 8. 0x5: Scaling Factor = 16. 0x6: Scaling Factor = 32. 0x7-0xF: Reserved.

**SCP\_PhyOutCtrl\_0 (0x0080)**

BIT	7	6	5	4	3	2	1	0
Field	SlewTime_Ctrl_0[1:0]		–	–	–	–	–	–
Reset	0x0		–	–	–	–	–	–
Access Type	Write Only		–	–	–	–	–	–

ビット・フィールド	ビット	説明	デコード
SlewTime_Ctrl_0	7:6	SW_DAT出力ドライバのスルー・レート制御レジスタ。	0x0: Slew time controlled indirectly by selecting output drive strength. 0x1: Short slew time/fast edge. 0x2: Medium slew time. 0x3: Long slew time/slow edge.

## DP1\_IntStat (0x0100)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	IntStat Port Ready	IntStat Test Fail
Reset	–	–	–	–	–	–	0x0	0x0
Access Type	–	–	–	–	–	–	Read Only	Read Only

ビット・フィールド	ビット	説明
IntStat Port Ready	1	MIPI SoundWire仕様v1.2を参照。
IntStat Test Fail	0	MIPI SoundWire仕様v1.2を参照。

## DP1\_IntMask (0x0101)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	IntMask Port Ready	IntMask Test Fail
Reset	–	–	–	–	–	–		
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビット・フィールド	ビット	説明
IntMask Port Ready	1	MIPI SoundWire仕様v1.2を参照。
IntMask Test Fail	0	MIPI SoundWire仕様v1.2を参照。

## DP1\_PortCtrl (0x0102)

BIT	7	6	5	4	3	2	1	0
Field	–	–	Port Direction	Next InvertBank	PortDataMode[1:0]		PortFlowMode[1:0]	
Reset	–	–	0x1	0x0	0x0		0x0	
Access Type	–	–	Read Only	Write, Read	Write, Read		Write, Read	

ビット・フィールド	ビット	説明
Port Direction	5	MIPI SoundWire仕様v1.2を参照。
Next InvertBank	4	MIPI SoundWire仕様v1.2を参照。
PortDataMode	3:2	MIPI SoundWire仕様v1.2を参照。
PortFlowMode	1:0	MIPI SoundWire仕様v1.2を参照。

## DP1\_BlockCtrl (0x0103)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	WordLength[4:0]				
Reset	–	–	–	0x0				
Access Type	–	–	–	Write, Read				

ビット・フィールド	ビット	説明
WordLength	4:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_PrepareStatus (0x0104)**

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	N-Finished Channel 1
Reset	-	-	-	-	-	-	-	0x0
Access Type	-	-	-	-	-	-	-	Read Only

ビット・フィールド	ビット	説明
N-Finished Channel 1	0	MIPI SoundWire仕様v1.2を参照。

**DP1\_PrepareCtrl (0x0105)**

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	Prepare Channel 1
Reset	-	-	-	-	-	-	-	0x1
Access Type	-	-	-	-	-	-	-	Read Only

ビット・フィールド	ビット	説明
Prepare Channel 1	0	MIPI SoundWire仕様v1.2を参照。

**DP1\_ChannelEn (0x0120)**

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	Enable Channel 1
Reset	-	-	-	-	-	-	-	0x0
Access Type	-	-	-	-	-	-	-	Write, Read

ビット・フィールド	ビット	説明
Enable Channel 1	0	MIPI SoundWire仕様v1.2を参照。

**DP1\_SampleCtrl1 (0x0122)**

BIT	7	6	5	4	3	2	1	0
Field	SampleIntervalLow[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
SampleIntervalLow	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_SampleCtrl2 (0x0123)**

BIT	7	6	5	4	3	2	1	0
Field	SampleIntervalHigh[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
SampleIntervalHigh	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_OffsetCtrl1 (0x0124)**

BIT	7	6	5	4	3	2	1	0
Field	Offset1[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
Offset1	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_OffsetCtrl2 (0x0125)**

BIT	7	6	5	4	3	2	1	0
Field	Offset2[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
Offset2	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_HCtrl (0x0126)**

BIT	7	6	5	4	3	2	1	0
Field	HStart[3:0]				HStop[3:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビット・フィールド	ビット	説明
HStart	7:4	MIPI SoundWire仕様v1.2を参照。
HStop	3:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_BlockCtrl3 (0x0127)**

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	BlockPacking Mode
Reset	–	–	–	–	–	–	–	0x0
Access Type	–	–	–	–	–	–	–	Write, Read

ビット・フィールド	ビット	説明
BlockPacking Mode	0	MIPI SoundWire仕様v1.2を参照。

**DP1\_ChannelEn (0x0130)**

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	Enable Channel 1
Reset	–	–	–	–	–	–	–	0x0
Access Type	–	–	–	–	–	–	–	Write, Read

ビット・フィールド	ビット	説明
Enable Channel 1	0	MIPI SoundWire仕様v1.2を参照。

**DP1\_SampleCtrl1 (0x0132)**

BIT	7	6	5	4	3	2	1	0
Field	SampleIntervalLow[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
SampleIntervalLow	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_SampleCtrl2 (0x0133)**

BIT	7	6	5	4	3	2	1	0
Field	SampleIntervalHigh[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
SampleIntervalHigh	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_OffsetCtrl1 (0x0134)**

BIT	7	6	5	4	3	2	1	0
Field	Offset1[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
Offset1	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_OffsetCtrl2 (0x0135)**

BIT	7	6	5	4	3	2	1	0
Field	Offset2[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
Offset2	7:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_HCtrl (0x0136)**

BIT	7	6	5	4	3	2	1	0
Field	HStart[3:0]				HStop[3:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビット・フィールド	ビット	説明
HStart	7:4	MIPI SoundWire仕様v1.2を参照。
HStop	3:0	MIPI SoundWire仕様v1.2を参照。

**DP1\_BlockCtrl3 (0x0137)**

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	BlockPacking Mode
Reset	-	-	-	-	-	-	-	0x0
Access Type	-	-	-	-	-	-	-	Write, Read

ビット・フィールド	ビット	説明
BlockPacking Mode	0	MIPI SoundWire仕様v1.2を参照。

## Interrupt Raw (0x2001)

BIT	7	6	5	4	3	2	1	0
Field	THERMSH DN_RAW	PWRDN_D ONE_RAW	PWRUP_D ONE_RAW	–	CLK_ERR_ RAW	SPKMON_ ERR_RAW	SPK_OVC_ RAW	OTP_FAIL_ RAW
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0x0
Access Type	Read Only	Read Only	Read Only	–	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
THERMSHDN_RAW	7	デバイスがサーマル・シャットダウン状態かどうかを示す生の値。	0x0: Die temperature is lower than thermal shutdown setting level. 0x1: Die temperature is greater than thermal shutdown setting level.
PWRDN_DONE_RAW	6	パワーダウン完了を示す生の値。	0x0: Device is not reporting a power-down into software shutdown event. 0x1: Device is reporting a power-down into software shutdown event.
PWRUP_DONE_RAW	5	パワーアップ完了を示す生の値。	0x0: Device is not reporting a power-up event. 0x1: Device is reporting a power-up into the active state.
CLK_ERR_RAW	3	クロック・モニタ・エラー・インジケータの生の値。	0x0: No clock error is reported. 0x1: Clock error is reported.
SPKMON_ERR_RAW	2	アンプ出力でのDCレベル検出を示すスピーカ・モニタ・エラーの生の値。	0x0: DC level is not presented, or lower than the setting threshold level. 0x1: DC level is greater than the setting threshold level.
SPK_OVC_RAW	1	スピーカ過電流制限の生の値。	0x0: Speaker overcurrent limit is not detected. 0x1: Speaker overcurrent limit is detected.
OTP_FAIL_RAW	0	OTP負荷の結果。	0x0: OTP loading successful. 0x1: OTP loading failed CRC check.

## Interrupt State (0x2003)

BIT	7	6	5	4	3	2	1	0
Field	THERMSH DN_STATE	PWRDN_D ONE_STAT E	PWRUP_D ONE_STAT E	–	CLK_ERR_ STATE	SPKMON_ ERR_STAT E	SPK_OVC_ STATE	OTP_FAIL_ STATE
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0x0
Access Type	Read Only	Read Only	Read Only	–	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
THERMSHDN_STATE	7	マスク不可能割込み状態。THERMSHDN_CLRによってクリア。	0x0: No rising edge of THERMSHDN_RAW. 0x1: Rising edge of THERMSHDN_RAW since last THERMSHDN_CLR.
PWRDN_DONE_STATE	6	マスク不可能割込み状態。PWRDN_DONE_CLRによってクリア。	0x0: No rising edge of PWRDN_DONE_RAW since last PWRDN_DONE_CLR. 0x1: Rising edge of PWRDN_DONE_RAW detected since last PWRDN_DONE_CLR.

ビット・フィールド	ビット	説明	デコード
PWRUP_DONE_STATE	5	マスク不可能割込み状態。PWRUP_DONE_CLRによってクリア。	0x0: No rising edge of PWRUP_DONE_RAW since last PWRUP_DONE_CLR. 0x1: Rising edge of PWRUP_DONE_RAW detected since last PWRUP_DONE_CLR.
CLK_ERR_STATE	3	マスク不可能割込み状態。CLK_ERR_CLRによってクリア。	0x0: No rising edge of CLK_ERR_RAW since last CLK_ERR_CLR. 0x1: Rising edge of CLK_ERR_RAW detected since last CLK_ERR_CLR.
SPKMON_ERR_STATE	2	マスク不可能割込み状態。SPKMON_ERR_CLRによってクリア。	0x0: No rising edge of SPKMON_RAW since last SPKMON_CLR. 0x1: Rising edge of SPKMON_RAW detected since last SPKMON_CLR.
SPK_OVC_STATE	1	マスク不可能割込み状態。SPK_OVC_CLRによってクリア。	0x0: No rising edge of SPK_OVC_RAW since last SPK_OVC_CLR. 0x1: Rising edge of SPK_OVC_RAW detected since last SPK_OVC_CLR.
OTP_FAIL_STATE	0	OTP負荷の結果。	0x0: OTP loading successful. 0x1: OTP loading failed CRC check.

## Interrupt Flag (0x2005)

BIT	7	6	5	4	3	2	1	0
Field	THERMSHDN_FLAG	PWRDN_DONE_FLAG	PWRUP_DONE_FLAG	–	CLK_ERR_FLAG	SPKMON_ERR_FLAG	SPK_OVC_FLAG	OTP_FAIL_FLAG
Reset	0x0	0x0	0x0	–	0x0	0x0	0b0	
Access Type	Read Only	Read Only	Read Only	–	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
THERMSHDN_FLAG	7	サーマル・シャットダウン開始イベントのマスク可能割込みフラグ。THERMSHDN_ENでマスク、THERMSHDN_CLRでクリア。割込みはフラグ・ビットの立上がりエッジでSoundWireバスに送出されます。	0x0: No rising edge of THERMSHDN_RAW since last THERMSHDN_CLR or THERMSHDN_EN is low. 0x1: THERMSHDN_EN is high and rising edge of THERMSHDN_RAW since last THERMSHDN_CLR.
PWRDN_DONE_FLAG	6	デバイスのパワーダウン完了イベントのマスク可能割込みフラグ。PWRDN_DONE_ENでマスク、PWRDN_DONE_CLRでクリア。割込みはフラグ・ビットの立上がりエッジでSoundWireバスに生成されます。	0x0: No rising edge of PWRDN_DONE_RAW since last PWRDN_DONE_CLR or PWRDN_DONE_EN is low. 0x1: PWRDN_DONE_EN is high and rising edge of PWRDN_DONE_RAW since last PWRDN_DONE_CLR.
PWRUP_DONE_FLAG	5	デバイスのパワーアップ完了イベントのマスク可能割込みフラグ。PWRUP_DONE_ENでマスク、PWRUP_DONE_CLRでクリア。割込みはフラグ・ビットの立上がりエッジで生成されます。	0x0: No rising edge of PWRUP_DONE_RAW since last PWRUP_DONE_CLR or PWRUP_DONE_EN is low. 0x1: PWRUP_DONE_EN is high and rising edge of PWRUP_DONE_RAW since last PWRUP_DONE_CLR.
CLK_ERR_FLAG	3	SoundWireクロックおよび内部クロック・エラー・イベントのマスク可能割込みフラグ。CLK_ERR_ENでマスク、CLK_ERR_CLRでクリア。割込みはフラグ・ビットの立上がりエッジで生成されます。	0x0: No rising edge of CLK_ERR_RAW since last CLK_ERR_CLR or CLK_ERR_EN is low. 0x1: CLK_ERR_EN high and rising edge of CLK_ERR_RAW since last CLK_ERR_CLR.

ビット・フィールド	ビット	説明	デコード
SPKMON_ERR_FLAG	2	内部スピーカ・データ・モニタ・エラー・イベントのマスク可能割込みフラグ。SPKMON_ERR_ENでマスク、SPKMON_ERR_CLRでクリア。割込みはフラグ・ビットの立上がりエッジで生成されます。	0x0: No rising edge of SPKMON_ERR_RAW since last SPKMON_ERR_CLR or SPKMON_ERR_EN is low. 0x1: SPKMON_ERR_EN high and rising edge of SPKMON_ERR_RAW since last SPKMON_ERR_CLR.
SPK_OVC_FLAG	1	スピーカ過電流イベントのマスク可能割込みフラグ。SPK_OVC_ENでマスク、SPK_OVC_CLRでクリア。割込みはフラグ・ビットの立上がりエッジで生成されます。	0x0: No rising edge of SPK_OVC_RAW since last SPK_OVC_CLR or SPK_OVC_EN is low. 0x1: SPK_OVC_EN is high and rising edge of SPK_OVC_RAW since last SPK_OVC_CLR.
OTP_FAIL_FLAG	0	OTP負荷ルーチン失敗イベントのマスク可能割込みフラグ。OTP_FAIL_ENでマスク、OTP_FAIL_CLRでクリア。割込みはフラグ・ビットの立上がりエッジで生成されます。	0x0: No rising edge of OTP_FAIL_RAW since last OTP_FAIL_CLR or OTP_FAIL_EN is low. 0x1: OTP_FAIL_EN is high and rising edge of OTP_FAIL_RAW since last OTP_FAIL_CLR.

## Interrupt Enable (0x2007)

BIT	7	6	5	4	3	2	1	0
Field	THERMSH DN_EN	PWRDN_D ONE_EN	PWRUP_D ONE_EN	–	CLK_ERR_ EN	SPKMON_ ERR_EN	SPK_OVC_ EN	OTP_FAIL_ EN
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
THERMSHDN_EN	7	THERMSHDN_FLAGのイネーブル（マスク解除）制御。	0x0: THERMSHDN_FLAG cannot go high. 0x1: THERMSHDN_FLAG goes high if there is a rising edge on THERMSHDN_RAW since last THERMSHDN_CLR.
PWRDN_DONE_EN	6	PWRDN_DONE_FLAGのイネーブル（マスク解除）制御。	0: PWRDN_DONE_FLAG cannot go high. 1: PWRDN_DONE_FLAG goes high if there is a rising edge on PWRDN_DONE_RAW since last PWRDN_DONE_CLR.
PWRUP_DONE_EN	5	PWRUP_DONE_FLAGのイネーブル（マスク解除）制御。	0: PWRUP_DONE_FLAG cannot go high. 1: PWRUP_DONE_FLAG goes high if there is a rising edge on PWRUP_DONE_RAW since last PWRUP_DONE_CLR.
CLK_ERR_EN	3	CLK_ERR_FLAGのイネーブル（マスク解除）制御。	0x0: CLK_ERR_FLAG cannot be high. 0x1: CLK_ERR_FLAG goes high if there is a rising edge on CLK_ERR_RAW since last CLK_ERR_CLR.
SPKMON_ERR_EN	2	SPKMON_ERR_FLAGのイネーブル（マスク解除）制御。	0x0: SPKMON_ERR_FLAG cannot go high. 0x1: SPKMON_ERR_FLAG goes high if there is a rising edge on SPKMON_ERR_RAW since last SPKMON_ERR_CLR.
SPK_OVC_EN	1	SPK_OVC_FLAGのイネーブル（マスク解除）制御。	0x0: SPK_OVC_FLAG cannot go high. 0x1: SPK_OVC_FLAG goes high if there is a rising edge on SPK_OVC_RAW since last SPK_OVC_CLR.
OTP_FAIL_EN	0	OTP_FAIL_FLAGのイネーブル（マスク解除）制御。	0: OTP_FAIL_FLAG cannot go high. 1: OTP_FAIL_FLAG goes high if there is a rising edge on OTP_FAIL_RAW since last OTP_FAIL_CLR.

## Interrupt Clear (0x2009)

BIT	7	6	5	4	3	2	1	0
Field	THERMSH DN_CLR	PWRDN_D ONE_CLR	PWRUP_D ONE_CLR	–	CLK_ERR_ CLR	SPKMON_ ERR_CLR	SPK_OVC_ CLR	OTP_FAIL_ CLR
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0x0
Access Type	Write Only	Write Only	Write Only	–	Write Only	Write Only	Write Only	Write Only

ビット・フィールド	ビット	説明	デコード
THERMSHDN_CLR	7	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears THERMSHDN_STATE and THERMSHDN_FLAG interrupt bit.
PWRDN_DONE_CLR	6	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears PWRDN_DONE_STATE and PWRDN_DONE_FLAG interrupt bit.
PWRUP_DONE_CLR	5	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears PWRUP_DONE_STATE and PWRUP_DONE_FLAG interrupt bit.
CLK_ERR_CLR	3	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears CLK_ERR_STATE and CLK_ERR_FLAG interrupt bit.
SPKMON_ERR_CLR	2	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears SPKMON_ERR_STATE and SPKMON_ERR_FLAG interrupt bit.
SPK_OVC_CLR	1	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears SPK_OVC_STATE and SPK_OVC_FLAG interrupt bit.
OTP_FAIL_CLR	0	関連するSTATEビットとFLAGビットをクリア。	0x0: Writing zero has no effect. 0x1: Clears OTP_FAIL_STATE and OTP_FAIL_FLAG interrupt bit.

## Error Monitor Control (0x2021)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	SPKMON_ EN	–	–	CMON_EN
Reset	–	–	–	–	0x0	–	–	0x1
Access Type	–	–	–	–	Write, Read	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
SPKMON_EN	3	内蔵のスピーカ保護モニタをイネーブルします。	0x0: Disable internal speaker data monitor. 0x1: Enable internal speaker data monitor.
CMON_EN	0	クロック・モニタをイネーブルして、内部クロックをモニタしクロック・エラーを検出します。	0x0: Disable. 0x1: Enable.

**Speaker Mon Threshold (0x2022)**

BIT	7	6	5	4	3	2	1	0
Field	SPKMON_THRESH[7:0]							
Reset	0x58							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
SPKMON_THRESH	7:0	<p>スピーカ・パワーのスレッシュホールドを設定します。回路で回復される信号電力が DMON_DURATION より長い時間このスレッシュホールドを超えた場合、スピーカ・モニタ・エラーがアサートされます。スレッシュホールドはフルスケール (FS) の%で計算されます。FSはレールに達する出力電圧です。</p> <p>電圧のスレッシュホールドは、レジスタ設定値から次の式を用いて計算できます。</p> <p>スレッシュホールド (電圧) = (SPKMON_THRESH/128) × D級電源電圧</p>

**Speaker Mon Duration (0x2023)**

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	SPKMON_DURATION[3:0]			
Reset	–	–	–	–	0x2			
Access Type	–	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
SPKMON_DURATION	3:0	<p>スピーカ・モニタ・エラーをアサートするまでに、スレッシュホールドを超える電力をスピーカ・モニタが連続して検出する時間を設定します。</p>	<p>Value: Decode</p> <p>0x0: 8ms.</p> <p>0x1: 20ms.</p> <p>0x2: 40ms.</p> <p>0x3: 60ms.</p> <p>0x4: 80ms.</p> <p>0x5: 160ms.</p> <p>0x6: 240ms.</p> <p>0x7: 320ms.</p> <p>0x8: 400ms.</p> <p>0x9: 480ms.</p> <p>0xA: 560ms.</p> <p>0xB: 640ms.</p> <p>0xC: 720ms.</p> <p>0xD: 800ms.</p> <p>0xE: 880ms.</p> <p>0xF: 960ms.</p>

**Tone Generator and DC Config (0x2030)**

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	TONE_CONFIG[3:0]			
Reset	–	–	–	–	0x0			
Access Type	–	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
TONE_CONFIG	3:0	トーン発生器の出力信号のタイプを設定します。信号振幅はフルスケールに設定されます。	0x00: Reserved. 0x01: DC = 0x0000 = 0. 0x02: DC = +full Scale/2. 0x03: DC = -fullScale/2. 0x04: 1kHz tone at 48kHz sample rate. 0x05: 12kHz tone at 48kHz sample rate. 0x06: 8kHz tone at 48kHz sample rate. 0x07: 6kHz tone at 48kHz sample rate. 0x08: 4kHz tone at 48kHz sample rate. 0x09: 3kHz tone at 48kHz sample rate. 0x0A: 2kHz tone at 48kHz sample rate. 0x0B: 1.5kHz tone at 48kHz sample rate. 0x0C: Reserved. 0x0D: 500Hz tone at 48kHz sample rate. 0x0E: 250Hz tone at 48kHz sample rate. 0x0E: Reserved.

**Tone Generator Enable (0x203F)**

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	TONE_EN
Reset	-	-	-	-	-	-	-	0x0
Access Type	-	-	-	-	-	-	-	Write, Read

ビット・フィールド	ビット	説明
TONE_EN	0	トーン発生器をイネーブルします。イネーブルされると、SoundWireインターフェースがスピーカ・アンプ・パスへの入力として置き換えられます。

**AMP volume control (0x2040)**

BIT	7	6	5	4	3	2	1	0
Field	-	SPK_VOL[6:0]						
Reset	-	0x0						
Access Type	-	Write, Read						

ビット・フィールド	ビット	説明	デコード
SPK_VOL	6:0	スピーカ・アンプ・パスのデジタル・ボリューム・レベルを設定します。	0x00: 0dB. 0x01: -0.5dB. 0x02: -1.0dB. ...: (-0.5dB steps). 0x7C: -62.0dB. 0x7D: -62.5dB. 0x7E: -63dB. 0x7F: Mute.

## AMP Path Gain (0x2041)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	SPK_GAIN[2:0]		
Reset	–	–	–	–	–	0x5		
Access Type	–	–	–	–	–	Write, Read		

ビット・フィールド	ビット	説明	デコード
SPK_GAIN	2:0	スピーカ・パス（無負荷）の最大ピーク出力電圧レベル（ $V_{MPO}$ ）を設定します。 dB単位の値は、ベースラインでのスピーカ・パスDACのフルスケール出力レベルである1.51V <sub>p</sub> （3.68dBV）を基準としています。	0x00: 1.07V <sub>p</sub> (–3dB). 0x01: 1.51V <sub>p</sub> (0dB). 0x02: 2.13V <sub>p</sub> (3dB). 0x03: 3.01V <sub>p</sub> (6dB). 0x04: 4.26V <sub>p</sub> (9dB). 0x05: 6.01V <sub>p</sub> (12dB). 0x06-0x07: Reserved.

## AMP DSP Config (0x2042)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	RSVD	SPK_VOL_RMPUP_BY_PASS	RSVD	RSVD	RSVD
Reset	–	–	–	0b0	0b0	0b0	0b1	0b1
Access Type	–	–	–		Write, Read			

ビット・フィールド	ビット	説明	デコード
SPK_VOL_RMPUP_BYPASS	3	起動時およびボリューム変更時にスピーカ・アンプ・パスのボリュームが内部でランプアップされるかどうかを制御します。	0: Volume ramp enabled. 1: Volume ramp bypassed.

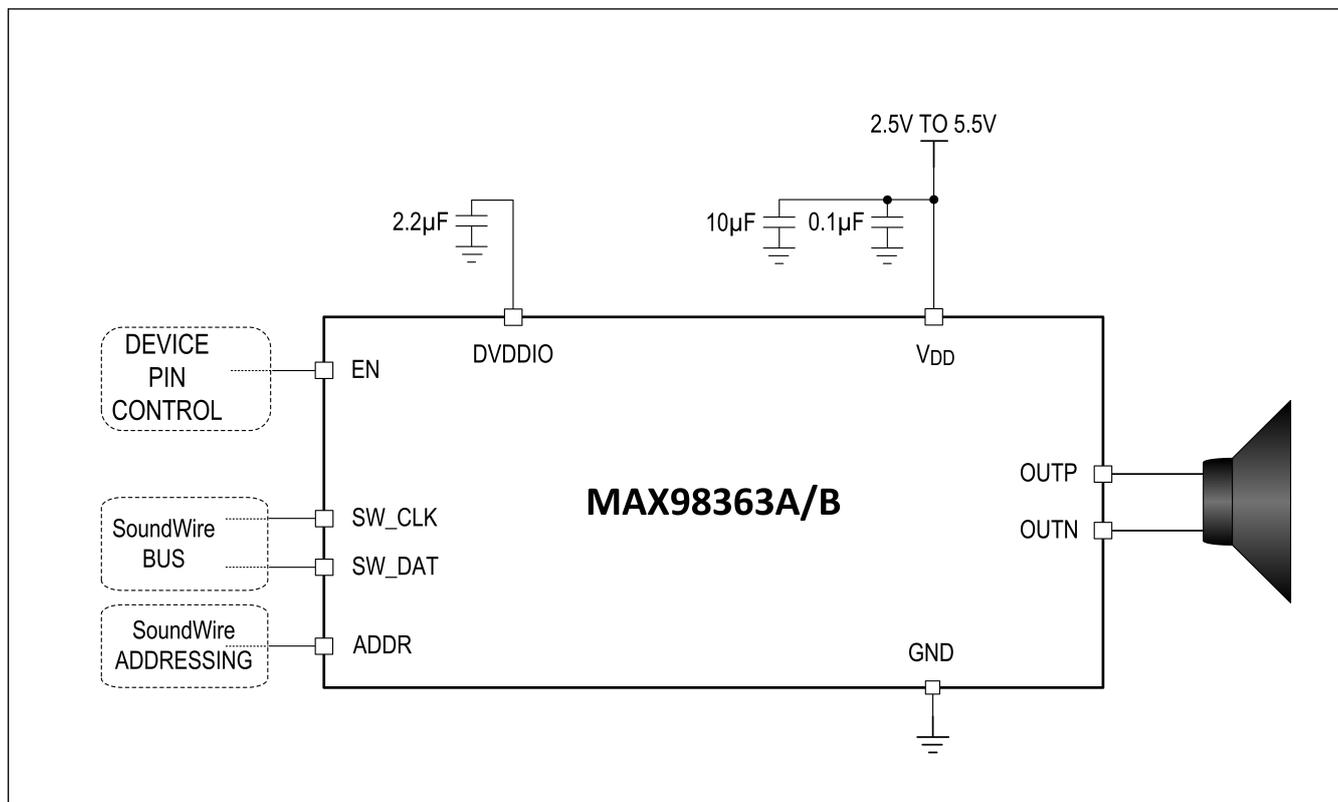
## Revision ID (0x21FF)

BIT	7	6	5	4	3	2	1	0
Field	REV_ID[7:0]							
Reset	0x42							
Access Type	Read Only							

ビット・フィールド	ビット	説明	デコード
REV_ID	7:0	デバイスのリビジョン。デバイスのリビジョンごとに更新されます。	0x42: Device revision.

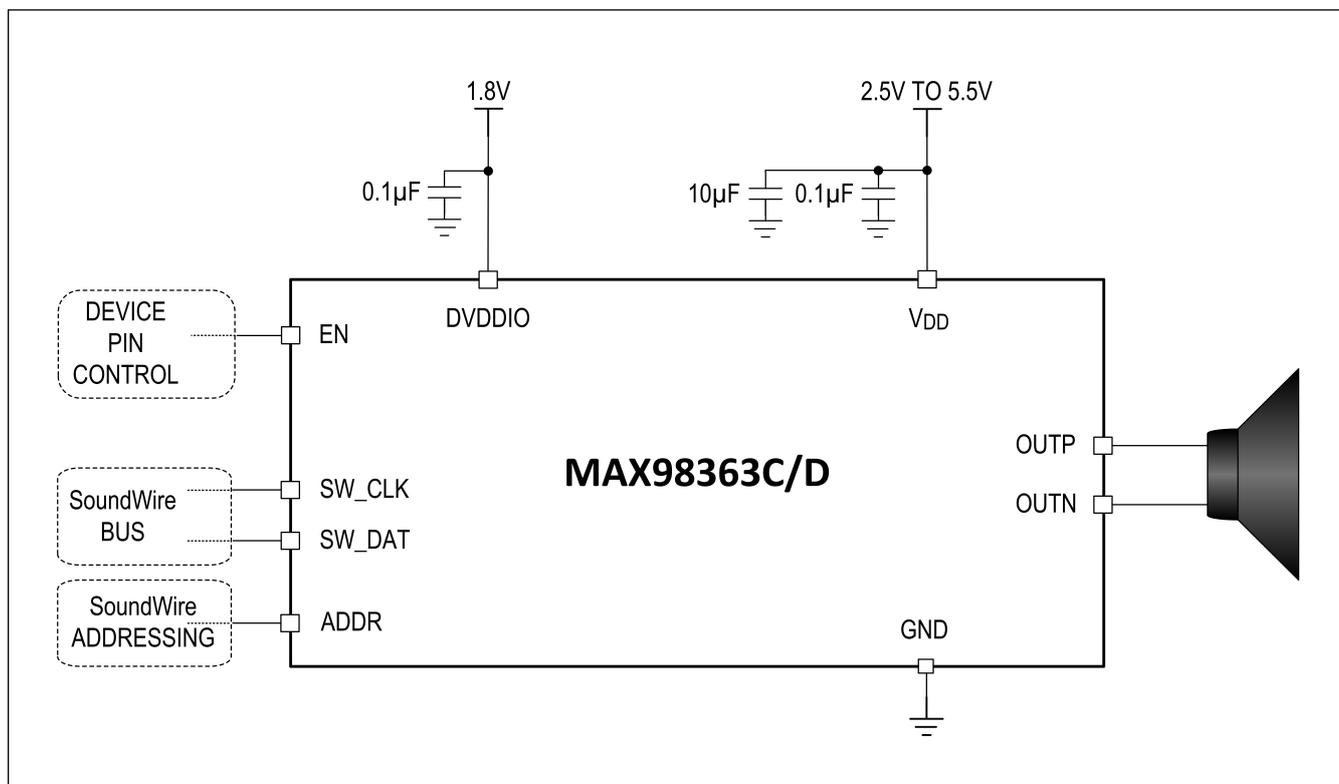
## 代表的なアプリケーション回路

内部 DVDDIO LDO を使用する代表的なアプリケーション回路



## 代表的なアプリケーション回路 (続き)

外部 DVDDIO 電源を使用する代表的なアプリケーション回路



## オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE	TOP MARKING
MAX98363AEWL+	-40°C to +85°C	9 WLP	ALX
MAX98363AEWL+T	-40°C to +85°C	9 WLP	ALX
MAX98363BEWL+	-40°C to +85°C	9 WLP	ALY
MAX98363BEWL+T	-40°C to +85°C	9 WLP	ALY
MAX98363CEWL+	-40°C to +85°C	9 WLP	AMF
MAX98363CEWL+T	-40°C to +85°C	9 WLP	AMF
MAX98363DEWL+	-40°C to +85°C	9 WLP	AME
MAX98363DEWL+T	-40°C to +85°C	9 WLP	AME

+は鉛 (Pb) フリー/ROHS 準拠のパッケージを表します。  
T = テープ&リール。

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	12/22	初版発行	—