

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年3月28日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月28日

製品名：MAX30002

対象となるデータシートのリビジョン(Rev)：Rev.1

訂正箇所：36 ページ、表 25. CNFG\_BIOZ (0x18) レジスタの機能 (続き)、D[13:12]の  
説明欄

## 【誤】

注：表 39 を参照してください。

## 【正】

注：表 26 を参照してください。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年3月28日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月28日

製品名：MAX30002

対象となるデータシートのリビジョン(Rev)：Rev.1

訂正箇所：36 ページ、表 25. CNFG\_BIOZ (0x18) レジスタの機能 (続き)、D[6:4]の説明欄

**【誤】**

許容される CGMAG 設定と FCGEN 選択の一覧は、以下の表 40 と表 41 を参照してください。

**【正】**

許容される CGMAG 設定と FCGEN 選択の一覧は、以下の表 27 と表 28 を参照してください。



## 超低消費電力、シングル・チャンネル集積型 生体インピーダンス (BioZ) AFE

MAX30002

### 概要

MAX30002 は、ウェアラブル・アプリケーション用のフル機能生体インピーダンス (BioZ) アナログ・フロント・エンド (AFE) ソリューションです。このデバイスは、医療およびフィットネス・アプリケーション用に高い性能を発揮し、また、超低消費電力であるため長いバッテリー寿命を実現します。MAX30002 は、呼吸測定が可能な単一の生体インピーダンス・チャンネルです。

この生体インピーダンス・チャンネルは ESD 保護、EMI フィルタ、内部リード・バイアス機能、DC リードオフ検出機能、スタンバイ・モード時の超低消費電力リードオン検出機能、および内蔵セルフテスト用に設定可能な抵抗性負荷を備えています。ソフト・パワーアップ・シーケンスによって、大きいトランジェントが電極に流入することを防止できます。このチャンネルは、高い入力インピーダンス、低ノイズ、高 CMRR、プログラマブル利得、各種ローパス/ハイパス・フィルタ・オプション、および高分解能 A/D コンバータも備えています。この生体インピーダンス・チャンネルはプログラマブルな電流ドライブを内蔵し、コモン電極との組み合わせで動作し、2個または4個の電極での測定が可能な柔軟性を備えています。また、このチャンネルは AC リードオフ検出機能も備えています。

MAX30002 は 30 バンプのウェーハ・レベル・パッケージ (WLP) で提供され、0°C~+70°C の商用温度範囲で動作します。

### アプリケーション

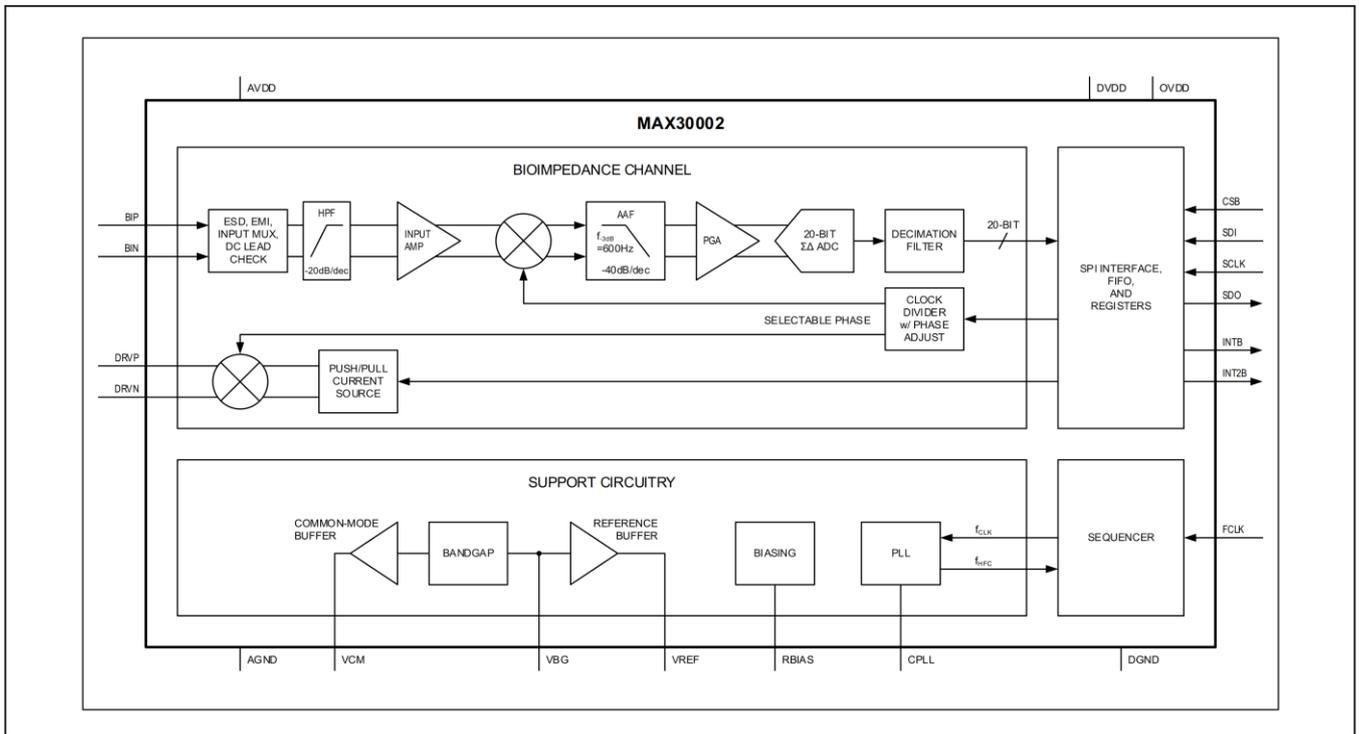
- 入院患者/在宅患者モニタリング用シングルリード・ワイヤレス・パッチ
- 呼吸および水分量モニタ
- インピーダンス・ベースの心拍数検出

### 機能と利点

- 高分解能データ・コンバータを備えた BioZ AFE
  - BiOZ に適した 17 ビットの ENOB と 1.1 $\mu$ V<sub>P-P</sub> のノイズ性能
- 広い 90mV<sub>P-P</sub> の AC ダイナミック・レンジによって、動きのある場合や電極が直接接触している場合の飽和を防止
- 競合ソリューションと比べてバッテリー寿命を延長
  - 158 $\mu$ W (電源電圧 1.1V 時)
- リードオン割込み機能によって、有効なリード状態が検出されるまで  $\mu$ C をディープ・スリープ・モードに維持することが可能
  - リードオン検出電流: 0.63 $\mu$ A (代表値)
- 高精度のため、より生理学的なデータ抽出が可能
- 8 ワード FIFO によって、MCU を 256ms の間パワーダウン状態にしたままで完全なデータ収集が可能
- 高速 SPI インターフェース
- シャットダウン電流: 0.58 $\mu$ A (代表値)

オーダー情報はデータシート末尾に記載されています。

## 機能図



## 絶対最大定格

AVDD~AGND .....	-0.3V~+2.0V
DVDD~DGND .....	-0.3V~+2.0V
AVDD~DVDD .....	-0.3V~+0.3V
OVDD~DGND .....	-0.3V~+3.6V
AGND~DGND .....	-0.3V~+0.3V
CSB, SCLK, SDI, FCLK~DGND .....	-0.3V~+3.6V
SDO, INTB, INT2B~	
DGND .....	-0.3V~ (3.6V または OVDD + 0.3V) の低い方 他の全てのピン~
AGND .....	-0.3V~ (2.0V または AVDD + 0.3V) の低い方 いずれかのピンへの最大電流 .....
	±50mA

連続消費電力 (T<sub>A</sub> = +70°C)

30 バンプ WLP

(70°C 以上では 24.3mW/°C でディレーティング) ... 1945.5mW

動作温度範囲 .....

0°C~+70°C

ジャンクション温度 .....

+150°C

保存温度範囲 .....

-65°C~+150°C

リード温度 (ハンダ処理、10 秒) .....

+300°C

はんだ処理温度 (リフロー) .....

+260°C

パッケージ熱特性 (Note 1)

WLP

ジャンクションから周囲までの熱抵抗 (θ<sub>JA</sub>) .....

44°C/W

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

Note 1: パッケージの熱抵抗は、JEDEC 仕様書 JESD51-7 に記載されている方法で、4 層基板を用いて求めています。パッケージの熱的考察の詳細については、[www.maximintegrated.com/thermal-tutorial](http://www.maximintegrated.com/thermal-tutorial) を参照してください。

電気的特性

(特に指定のない限り、V<sub>DVDD</sub> = V<sub>AVDD</sub> = +1.1V~+2.0V、V<sub>OVDD</sub> = +1.65V~+3.6V、f<sub>FCLK</sub> = 32.768kHz、LN\_BIOZ = 1、T<sub>A</sub> = T<sub>MIN</sub>~T<sub>MAX</sub>。代表値は、V<sub>DVDD</sub> = V<sub>AVDD</sub> = +1.8V、V<sub>OVDD</sub> = +2.5V、T<sub>A</sub> = +25°C における値。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BIOIMPEDANCE (BIOZ) CHANNEL						
Signal Generator Resolution		Square wave generator		1		Bits
DRVP/N Injected Full-Scale Current		Programmable, see BIOZ_CGMAG[2:0]		8 to 96		μA <sub>PK</sub>
DRVP/N Injected Current Accuracy		Internal bias resistor, see EXT_RBIA5	-30		+30	%
		External bias resistor (0.1%, 10ppm, 324kΩ)	-10		+10	
DRVP/N Injected Current Power Supply Rejection				<±1		%/V
DRVP/N Injected Current Temperature Coefficient		External bias resistor, 32μA <sub>P-P</sub> , 0 to 70°C (0.1%, 10ppm, 324kΩ)		50		ppm/°C
DRVP/N Compliance Voltage		V <sub>DRVP</sub> - V <sub>DRVN</sub>		±(V <sub>AVDD</sub> - 0.5)		V <sub>P-P</sub>
Current Injection Frequency		Programmable, see BIOZ_FCGEN[3:0]		0.125 to 131.072		kHz
AC Differential Input Range		Shift from nominal gain < 1% (V <sub>AVDD</sub> = 1.1V)		25		mV
		Shift from nominal gain < 1% (V <sub>AVDD</sub> = 1.8V)		90		
BioZ Channel Gain		Programmable, see BIOZ_GAIN[1:0]		10 to 80		V/V
ADC Sample Rate		Programmable, see BIOZ_RATE		24.98 to 64		sps

analog.com.jp

Analog Devices | 3

## 電気的特性 (続き)

(特に指定のない限り、 $V_{DVDD} = V_{AVDD} = +1.1V \sim +2.0V$ 、 $V_{OVDD} = +1.65V \sim +3.6V$ 、 $f_{CLK} = 32.768kHz$ 、 $LN\_BIOZ = 1$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。代表値は、 $V_{DVDD} = V_{AVDD} = +1.8V$ 、 $V_{OVDD} = +2.5V$ 、 $T_A = +25^\circ C$ における値。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC Resolution				20		Bits
Input Referred Noise (BIP, BIN)		BW = 0.05 to 4Hz, Gain = 20x		0.16		$\mu V_{RMS}$
		BW = 0.05 to 4Hz, Gain = 20x		1.1		$\mu V_{P-P}$
Impedance Resolution		DC to 4Hz, $32\mu A_{P-P}$ , 40kHz, Gain = 20x, $R_{BODY} = 680\Omega$		40		$m\Omega_{P-P}$
Input Analog High Pass Filter		Programmable, see BIOZ_AHPF[2:0]		125 to 7200		Hz
Demodulation Phase Range		Programmable, see BIOZ_PHOFF[3:0]		0-168.75		°
Demodulation Phase Resolution				11.25		°
Output Digital Low Pass Filter		DLPF[1:0] = 01		4		Hz
		DLPF[1:0] = 10		8		
		DLPF[1:0] = 11		16		
Output Digital High Pass Filter		DHPF[1:0] = 01		0.05		Hz
		DHPF[1:0] = 1x		0.5		
BIOIMPEDANCE (BIOZ) INPUT MUX						
DC Lead Off Check		IMAG[2:0] = 001		5		nA
		IMAG[2:0] = 010		10		
		IMAG[2:0] = 011		20		
		IMAG[2:0] = 100		50		
		IMAG[2:0] = 101		100		
DC Lead Off Comparator Low Threshold		VTH[1:0] = 11 (Note 4)		$V_{MID} - 0.50$		V
		VTH[1:0] = 10 (Note 5)		$V_{MID} - 0.45$		
		VTH[1:0] = 01 (Note 6)		$V_{MID} - 0.40$		
		VTH[1:0] = 00		$V_{MID} - 0.30$		
DC Lead Off Comparator High Threshold		VTH[1:0] = 11 (Note 4)		$V_{MID} + 0.50$		V
		VTH[1:0] = 10 (Note 5)		$V_{MID} + 0.45$		
		VTH[1:0] = 01 (Note 6)		$V_{MID} + 0.40$		
		VTH[1:0] = 00		$V_{MID} + 0.30$		
Lead Bias Impedance		Lead bias enabled, RBIASV[1:0] = 00		50		$M\Omega$
		Lead bias enabled, RBIASV[1:0] = 01		100		
		Lead bias enabled, RBIASV[1:0] = 10		200		
Lead Bias Voltage	$V_{MID}$	Lead bias enabled		$V_{AVDD} / 2.15$		V

## 電気的特性 (続き)

(特に指定のない限り、 $V_{DVDD} = V_{AVDD} = +1.1V \sim +2.0V$ 、 $V_{OVDD} = +1.65V \sim +3.6V$ 、 $f_{CLK} = 32.768kHz$ 、 $LN\_BIOZ = 1$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。代表値は、 $V_{DVDD} = V_{AVDD} = +1.8V$ 、 $V_{OVDD} = +2.5V$ 、 $T_A = +25^\circ C$  における値。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resistive Load Nominal Value	$R_{VAL}$	Programmable, see BMUX_RNOM[2:0]		0.625 to 5.0		k $\Omega$
Resistive Load Modulation Value	$R_{MOD}$	Programmable, see BMUX_RMOD[2:0]		15 to 2960		m $\Omega$
Resistive Load Modulation Frequency	$F_{MOD}$	Programmable, see BMUX_FBIST[1:0]		0.625 to 4.0		Hz
INTERNAL REFERENCE/Common-MODE						
$V_{BG}$ Output Voltage	$V_{BG}$			0.650		V
$V_{BG}$ Output Impedance				100		k $\Omega$
External $V_{BG}$ Compensation Capacitor	$C_{BG}$		1			$\mu F$
$V_{REF}$ Output Voltage	$V_{REF}$	$T_A = +25^\circ C$	0.995	1.000	1.005	V
$V_{REF}$ Temperature Coefficient	$TC_{REF}$	$T_A = 0^\circ C$ to $+70^\circ C$		10		ppm/ $^\circ C$
$V_{REF}$ Buffer Line Regulation				330		$\mu V/V$
$V_{REF}$ Buffer Load Regulation		$I_{LOAD} = 0$ to $100\mu A$		25		$\mu V/\mu A$
External $V_{REF}$ Compensation Capacitor	$C_{REF}$		1	10		$\mu F$
VCM Output Voltage	$V_{CM}$			0.650		V
External $V_{CM}$ Compensation Capacitor	$C_{CM}$		1	10		$\mu F$
DIGITAL INPUTS (SDI, SCLK, CSB, FCLK)						
Input-Voltage High	$V_{IH}$		$0.7 \times V_{OVDD}$			V
Input-Voltage Low	$V_{IL}$		$0.3 \times V_{OVDD}$			V
Input Hysteresis	$V_{HYS}$		$0.05 \times V_{OVDD}$			V
Input Capacitance	$C_{IN}$		10			pF
Input Current	$I_{IN}$		-1		+1	$\mu A$
DIGITAL OUTPUTS (SDO, INTB, INT2B)						
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 1mA$	$V_{OVDD} - 0.4$			V
Output Voltage Low	$V_{OL}$	$I_{SINK} = 1mA$	0.4			V
Three-State Leakage Current			-1		+1	$\mu A$
Three-State Output Capacitance			15			pF

## 電气的特性 (続き)

(特に指定のない限り、 $V_{DVDD} = V_{AVDD} = +1.1V \sim +2.0V$ 、 $V_{OVDD} = +1.65V \sim +3.6V$ 、 $f_{CLK} = 32.768kHz$ 、 $LN\_BIOZ = 1$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。代表値は、 $V_{DVDD} = V_{AVDD} = +1.8V$ 、 $V_{OVDD} = +2.5V$ 、 $T_A = +25^\circ C$  における値。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SUPPLY</b>						
Analog Supply Voltage	$V_{AVDD}$	Connect AVDD to DVDD	1.1		2.0	V
Digital Supply Voltage	$V_{DVDD}$	Connect DVDD to AVDD	1.1		2.0	V
Interface Supply Voltage	$V_{OVDD}$	Power for I/O drivers only	1.65		3.6	V
Supply Current	$I_{AVDD} + I_{DVDD}$	BioZ channel, LN_BIOZ = 0 CGMAG[2:0] = 011	$V_{AVDD} = V_{DVDD} = +1.1V$	144		$\mu A$
			$V_{AVDD} = V_{DVDD} = +1.8V$	163		
			$V_{AVDD} = V_{DVDD} = +2.0V$	170	190	
		BioZ channel, LN_BIOZ = 1 CGMAG[2:0] = 011	$V_{AVDD} = V_{DVDD} = +1.1V$	158		
			$V_{AVDD} = V_{DVDD} = +1.8V$	178		
			$V_{AVDD} = V_{DVDD} = +2.0V$	185	205	
		ULP Lead On Detect	$T_A = +70^\circ C$	1.3		
$T_A = +25^\circ C$	0.63		2.5			
Interface Supply Current	$I_{OVDD}$	$V_{OVDD} = +1.65V$ , BioZ channel at 64sps (Note 7)		0.1		$\mu A$
		$V_{OVDD} = 3.6V$ , BioZ channel at 64sps (Note 7)		0.2	1.1	
Shutdown Current	$I_{SAVDD} + I_{SDVDD}$	$V_{AVDD} = V_{DVDD} = 2.0V$	$T_A = +70^\circ C$	1.3		$\mu A$
			$T_A = +25^\circ C$	0.58	2.5	
	$I_{SOVDD}$	$V_{OVDD} = 3.6V$ , $V_{AVDD} = V_{DVDD} = 2.0V$			1.1	
<b>TIMING CHARACTERISTICS (NOTE 3)</b>						
SCLK Frequency	$f_{SCLK}$		0		12	MHz
SCLK Period	$t_{CP}$		83			ns
SCLK Pulse Width High	$t_{CH}$		15			ns
SCLK Pulse Width Low	$t_{CL}$		15			ns
CSB Fall to SCLK Rise Setup Time	$t_{CSS0}$	To 1st SCLK rising edge (RE)	15			ns
CSB Fall to SCLK Rise Hold Time	$t_{CSH0}$	Applies to inactive RE preceding 1st RE	0			ns
CSB Rise to SCLK Rise Hold Time	$t_{CSH1}$	Applies to 32nd RE, executed write	10			ns
CSB Rise to SCLK Rise	$t_{CSA}$	Applies to 32nd RE, aborted write sequence	15			ns

## 電気的特性 (続き)

(特に指定のない限り、 $V_{DVDD} = V_{AVDD} = +1.1V \sim +2.0V$ 、 $V_{OVDD} = +1.65V \sim +3.6V$ 、 $f_{FCLK} = 32.768kHz$ 、 $LN\_BIOZ = 1$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。代表値は、 $V_{DVDD} = V_{AVDD} = +1.8V$ 、 $V_{OVDD} = +2.5V$ 、 $T_A = +25^\circ C$ における値。) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Rise to CSB Fall	$t_{CSF}$	Applies to 32nd RE	100			ns
CSB Pulse-Width High	$t_{CSPW}$		20			ns
SDI-to-SCLK Rise Setup Time	$t_{DS}$		8			ns
SDI to SCLK Rise Hold Time	$t_{DH}$		8			ns
SCLK Fall to SDO Transition	$t_{DOT}$	$C_{LOAD} = 20pF$			40	ns
		$C_{LOAD} = 20pF$ , $V_{AVDD} = V_{DVDD} \geq 1.8V$ , $V_{OVDD} \geq 2.5V$			20	ns
SCLK Fall to SDO Hold	$t_{DOH}$	$C_{LOAD} = 20pF$	2			ns
CSB Fall to SDO Fall	$t_{DOE}$	Enable time, $C_{LOAD} = 20pF$			30	ns
CSB Rise to SDO Hi-Z	$t_{DOZ}$	Disable time			35	ns
FCLK Frequency	$f_{FCLK}$	External reference clock		32.768		kHz
FCLK Period	$t_{FP}$			30.52		$\mu s$
FCLK Pulse-Width High	$t_{FH}$	50% duty cycle assumed		15.26		$\mu s$
FCLK Pulse-Width Low	$t_{FL}$	50% duty cycle assumed		15.26		$\mu s$

Note 2: 全てのデバイスは、製造時に  $T_A = +25^\circ C$  で 100% テストされています。動作温度範囲および関連する電源電圧範囲における仕様は、設計および特性評価により確保されています。

Note 3: 設計および特性評価により確保。製造時にはテストしていません。

Note 4:  $V_{AVDD} = V_{DVDD} \geq 1.65V$  の場合にのみこの設定を使用してください。

Note 5:  $V_{AVDD} = V_{DVDD} \geq 1.55V$  の場合にのみこの設定を使用してください。

Note 6:  $V_{AVDD} = V_{DVDD} \geq 1.45V$  の場合にのみこの設定を使用してください。

Note 7:  $f_{SCLK} = 4MHz$ 、バースト・モード、 $BFIT[2:0] = 111$ 、 $C_{SDO} = C_{INTB} = 50pF$ 。

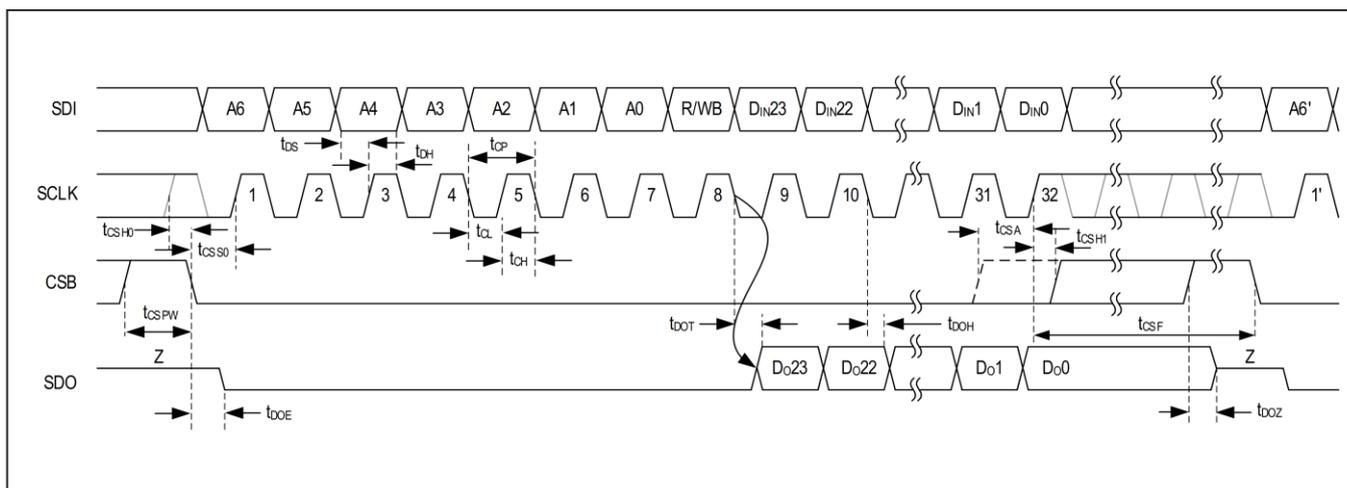


図 1a. SPI タイミング図

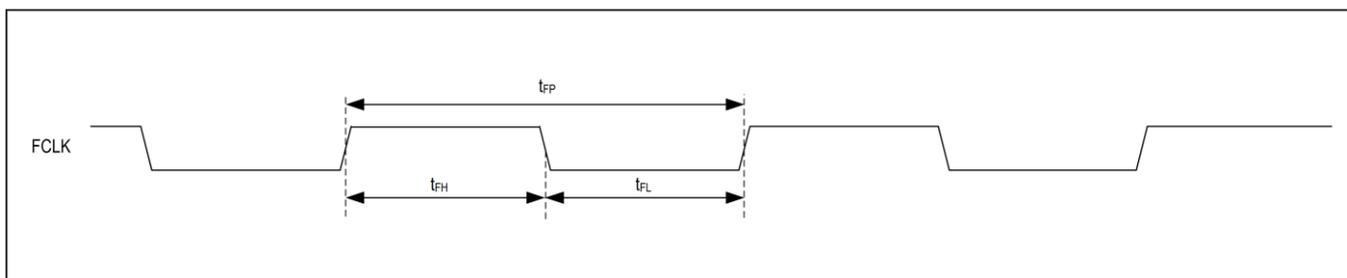
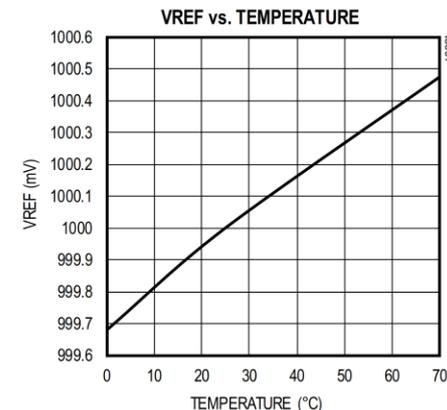
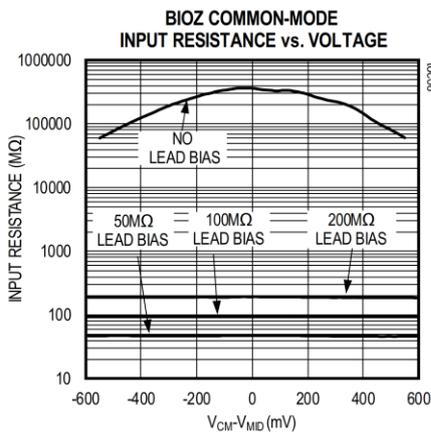
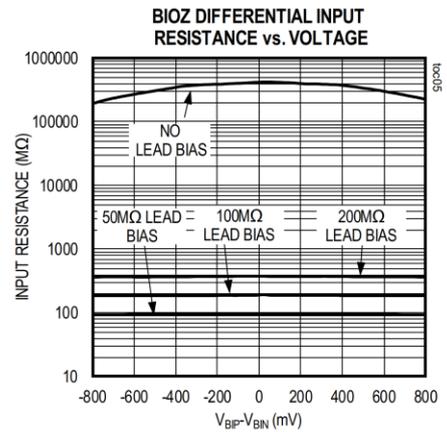
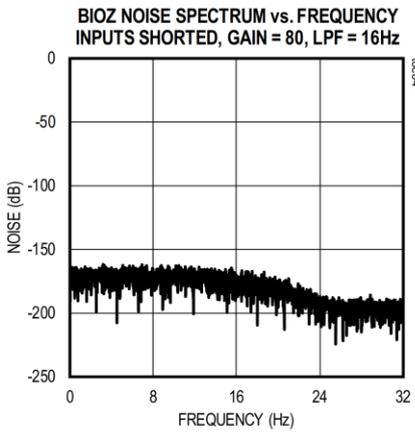
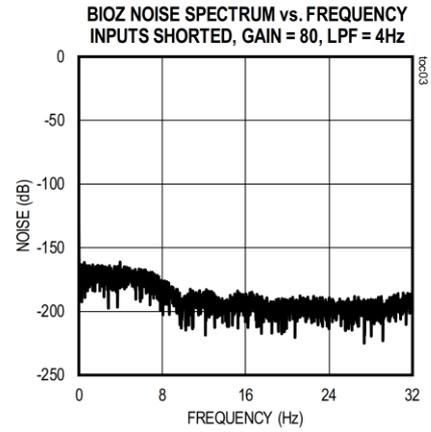
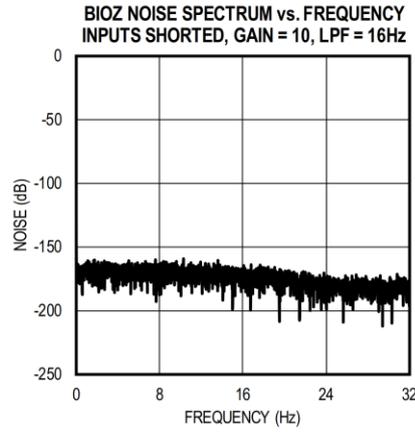
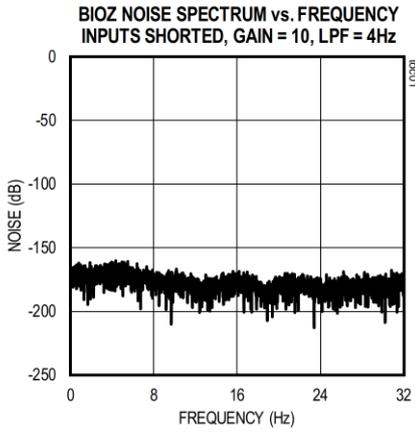


図 1b. FCLK タイミング図

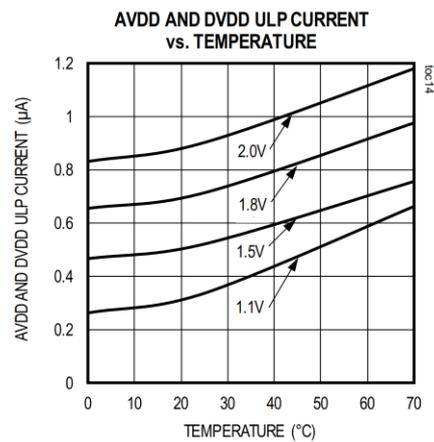
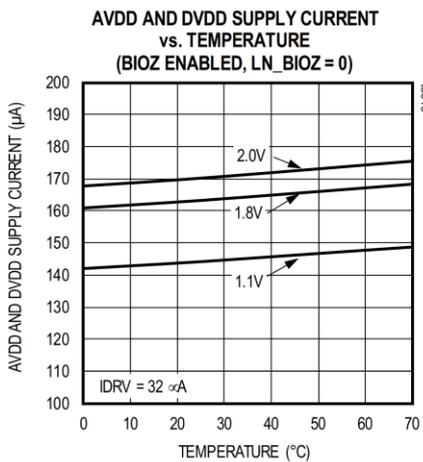
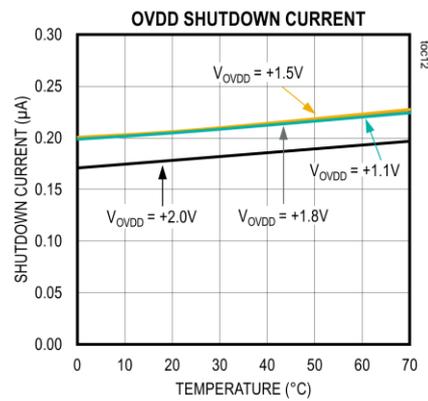
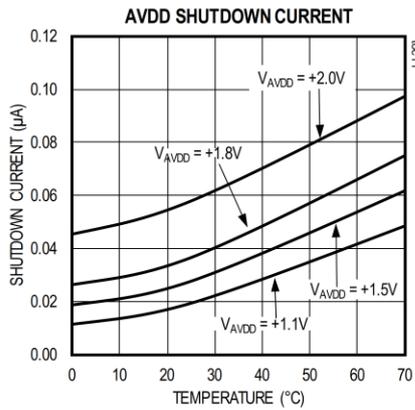
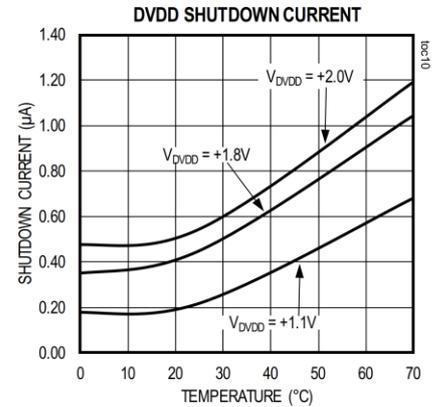
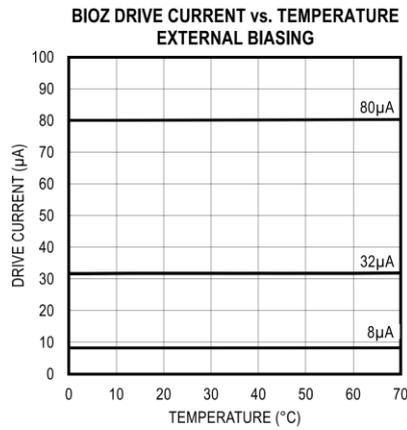
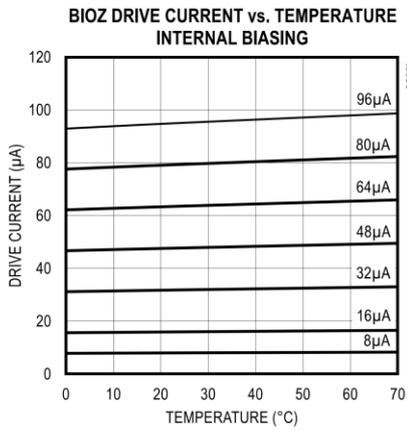
標準動作特性

(特に指定のない限り、 $V_{DVDD} = V_{AVDD} = 1.8V$ 、 $V_{OVDD} = 2.5V$ 、 $T_A = +25^\circ C$ 。)

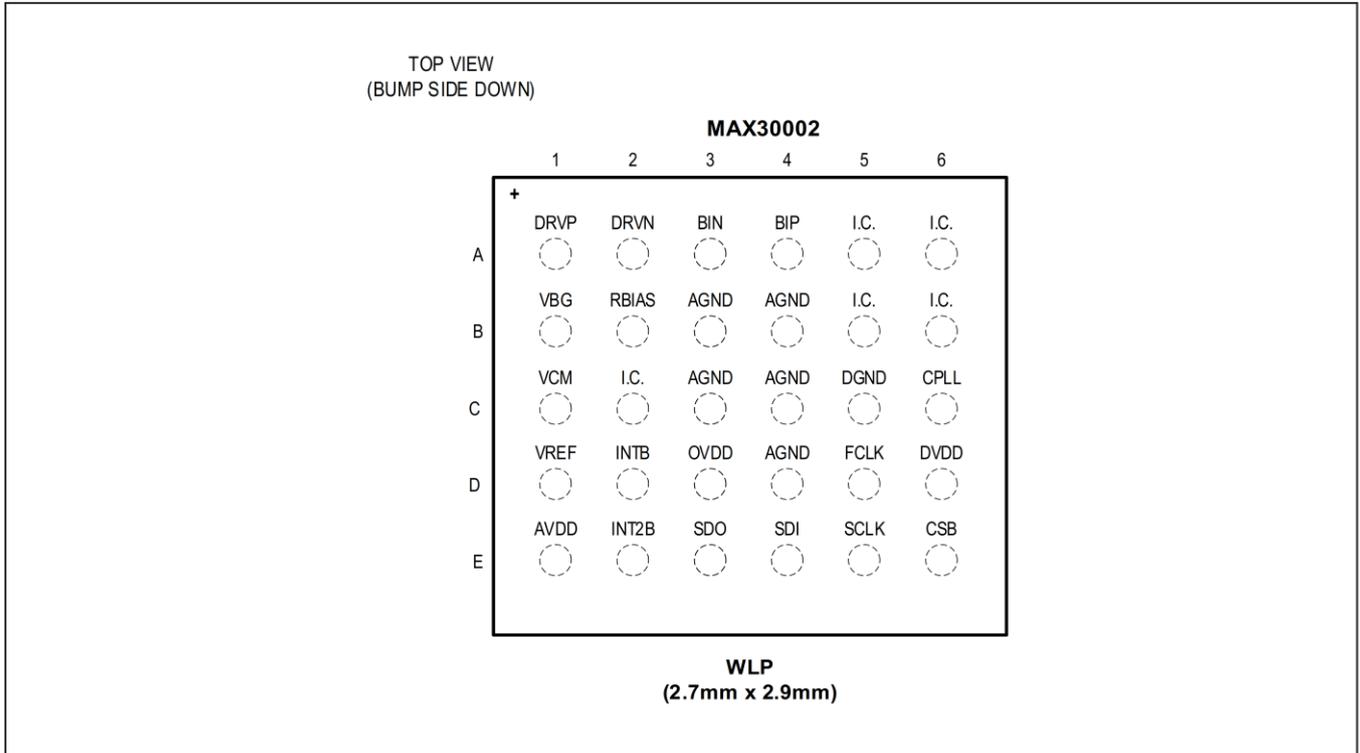


標準動作特性 (続き)

(特に指定のない限り、 $V_{DVDD} = V_{AVDD} = 1.8V$ 、 $V_{OVDD} = 2.5V$ 、 $T_A = +25^{\circ}C$ 。)



## ピン配置



## 端子説明

バンプ	名称	説明
WLP		
A1	DRVP	生体インピーダンス励起用の正出力電流源。ピンと電極の間に直列コンデンサが必要です。
A2	DRVN	生体インピーダンス励起用の負出力電流源。ピンと電極の間に直列コンデンサが必要です。
A3	BIN	生体インピーダンス負入力。
A4	BIP	生体インピーダンス正入力。
A5, A6, B5, B6, C2	I.C.	内部で接続。AGND に接続してください。
B1	VBG	バンドギャップ・ノイズ・フィルタ出力。VBG と AGND の間に 1.0μF X7R のセラミック・コンデンサを接続してください。
B2	RBIAS	外付け抵抗バイアス。RBIAS と AGND の間に低温度係数の抵抗を接続してください。外部バイアス発生器を使用しない場合、RBIAS をフロート状態のままにしておくことができます。
B3, B4, C3, C4, D4	AGND	アナログ電源およびリファレンスのグラウンド。プリント回路基板のグラウンド・プレーンに接続してください。
C1	VCM	コモンモード・バッファ出力。VCM と AGND の間に 10μF X5R のセラミック・コンデンサを接続してください。

## 端子説明 (続き)

パンプ	名称	説明
WLP		
C5	DGND	デジタル・コア・ドライバと I/O パッド・ドライバの両方のデジタル・グラウンド。AGND プレーンへ接続することを推奨します。
C6	CPLL	PLL ループ・フィルタ入力。CPLL と AGND の間に 1nF C0G のセラミック・コンデンサを接続してください。
D1	VREF	ADC リファレンス・バッファ出力。V <sub>REF</sub> と AGND の間に 10μF X7R のセラミック・コンデンサを接続してください。
D2	INTB	割込み出力。INTB はアクティブ・ローのステータス出力です。外部デバイスの割込みに使用できます。INTB はディスエーブル時にはスリーステートになります。
D3	OVDD	ロジック・インターフェースの電源電圧。
D5	FCLK	32.768kHz クロック入力。FCLK は内部シグマ・デルタ・コンバータとデシメータのサンプリングを制御し、全ての内部クロックを供給します。
D6	DVDD	デジタル・コアの電源電圧。AVDD に接続してください。
E1	AVDD	アナログ・コアの電源電圧。DVDD に接続してください。
E2	INT2B	割込み 2 出力。INT2B はアクティブ・ローのステータス出力です。外部デバイスの割込みに使用できます。INT2B はディスエーブル時にはスリーステートになります。
E3	SDO	シリアル・データ出力。CSB がローの場合、SDO は SCLK の立下がりエッジで状態が変化します。CSB がハイの場合、SDO はスリーステートになります。
E4	SDI	シリアル・データ入力。CSB がローの場合、SDI は SCLK の立上がりエッジでデバイスにサンプリングされます。
E5	SCLK	シリアル・クロック入力。CSB がローの場合、シリアル・インターフェースのデータをクロック入力/出力します。
E6	CSB	アクティブ・ローのチップ・セレクト入力。シリアル・インターフェースをイネーブルします。

## 詳細

## ESD 保護

BIP, BIN, DRVP, DRVN	IEC 61000-4-2 Contact Discharge (Note 8)	±8	kV
	IEC 61000-4-2 Air-Gap Discharge (Note 8)	±15	
	HMM (Human Metal Model)	±8	
All Other Pins	JEDEC JESD22-A114 HBM Transient Pulse	±2.5	kV

Note 8: ESD テストは、8kV のサージ電圧に耐えるように設計された 1kΩ の直列抵抗で行っています。

## BioZ チャンネル

図 2 は、ADC を除いた、BioZ チャンネルのブロック図を示しています。このチャンネルは、入力 MUX、プログラマブル・アナログ・ハイパス・フィルタ、計装アンプ、ミキサー、アンチエイリアシング・フィルタ、プログラマブル・ゲイン・アンプから構成されています。MUX には、ESD 保護、EMI フィルタ処理、リード・バイアス、リードオフ・チェック、超低消費電力のリードオン・チェックなどの機能が備わっています。このアナログ・チャンネルの出力は、20 ビットのシグマ・デルタ ADC を駆動します。

## 入力 MUX

図 3 に示す BioZ 入力 MUX には、ESD および EMI 保護機能、DC リードオフ検出電流源およびコンパレータ、リードオン検出機能、直列絶縁スイッチ、リード・バイアス、自己テスト用の内蔵プログラマブル抵抗負荷が統合されています。

## EMI フィルタ処理と ESD 保護

BIP および BIN 入力の EMI フィルタ処理は、シングル・ポール、ローパス、差動、およびコモンモードのフィルタで構成されており、ポールは約 32MHz にあります。また、BIP および BIN 入力には、ESD イベントから入力を保護するための入力クランプもあります。DRVP および DRVN 出力も、ESD 保護機能を備えています。

- IEC61000-4-2 ESD で規定された接触放電方式にて±8kV。
- IEC61000-4-2 ESD で規定された気中放電方式にて±15kV。
- ±8kV HMM

IEC61000-4-2 ESD 保護を行うために、BIP、BIN、DRVP、DRVN において、該当するサージ電圧に耐える定格の 1kΩ 以上の直列抵抗を使用してください。

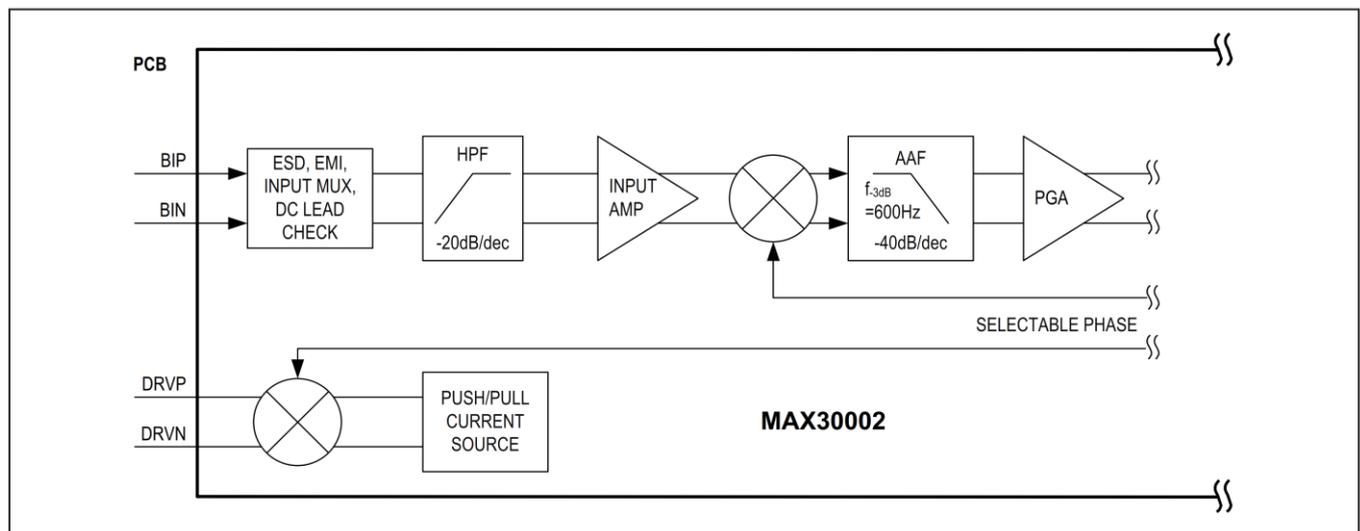


図 2. BioZ チャンネルの入力アンプ、ミキサー、PGA (ADC と電流ドライブ出力を除く)

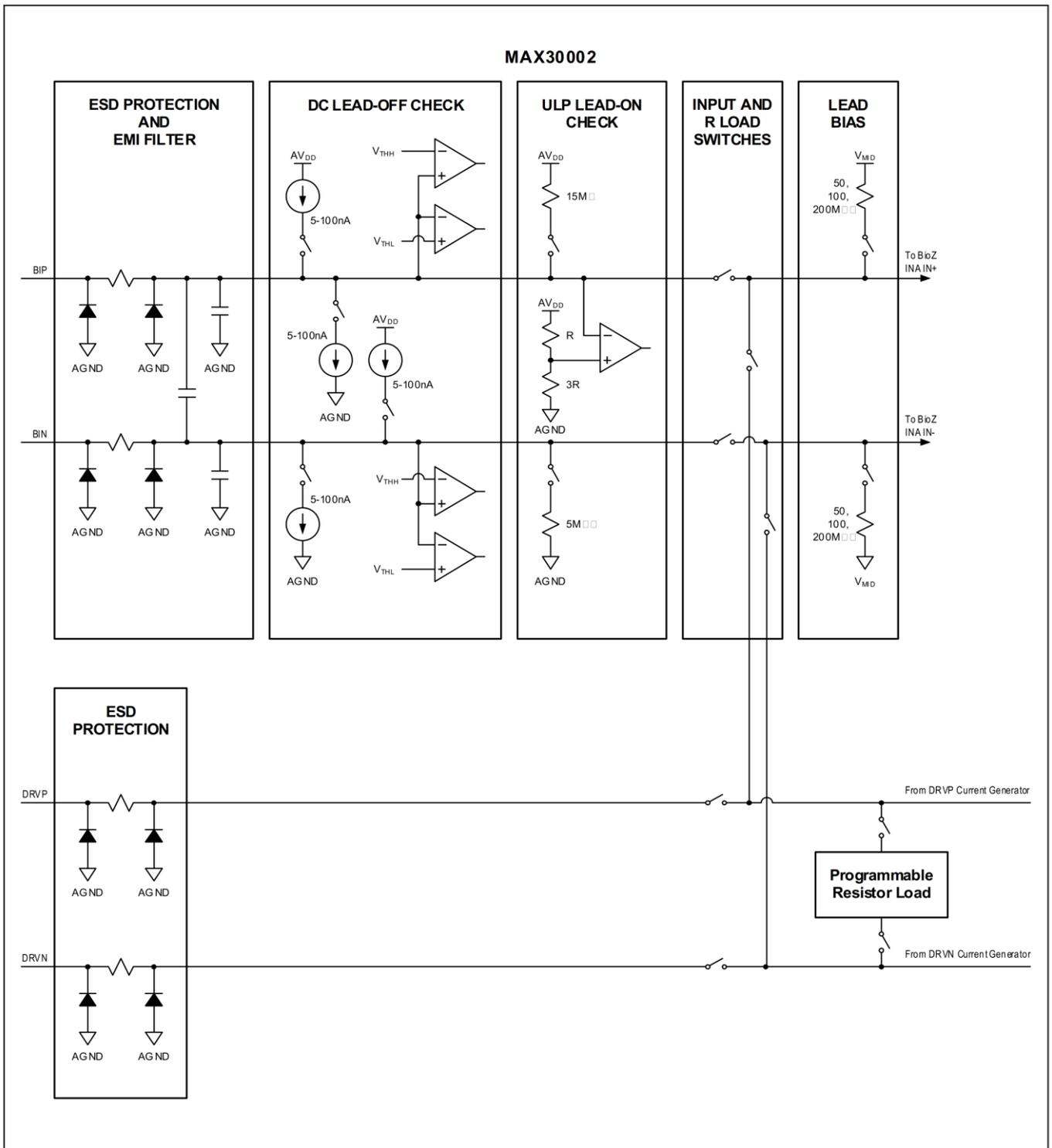


図 3. BioZ の入力 MUX

## リードオフ検出と ULP リードオン検出

MAX30002 は、デジタル閾値およびアナログ閾値の比較により、2 電極および 4 電極構成のリードオフ・シナリオを検出する機能を提供しています。BioZ チャンネルのリードオフを検出する方法は 3 つあります。DRV<sub>P</sub> ピンと DRV<sub>N</sub> ピンの電流発生器には、これらのピンの電圧が動作範囲外になったことを検出するコンプライアンス・モニタがあります。CNFG\_BIOZ (0x18) レジスタの CGMON ビットでこの機能を有効化すると、STATUS (0x01) レジスタの BCGMON、BCGMP、BCGMN の各ビットによって、DRV<sub>P</sub> ピンと DRV<sub>N</sub> ピンがコンプライアンス違反となったことが示されます。BIP ピンと BIN ピンには、プログラマブルな DC 電流をシンクまたはソースする DC リードオフ回路と、この状態を検出するためのプログラマブルな閾値を持つウィンドウ・コンパレータがあります。BioZ ADC の出力を監視するデジタル AC リードオフ検出機能があり、設定可能な不足電圧と過電圧のレベルがデジタルで比較されます。CNFG\_GEN

(0x10) レジスタの EN\_BLOFF ビットでこの機能を有効化し、MNGR\_DYN (0x05) レジスタの BLOFF\_HI\_IT[7:0] および BLOFF\_LO\_IT[7:0] ビットで検出用のデジタル閾値を設定します。検出を行うためのリードオフ条件とレジスタ設定については表 1 を参照してください。また、DC リードオフ検出が不要な場合は、0nA の設定を  $V_{MID} \pm 300mV$  の閾値と併用して、INA の入力コンプライアンスをモニタできます。

ULP リードオン検出は、BIN を  $5M\Omega$  以上のプルダウン抵抗でローにプルダウンし、BIP を  $15M\Omega$  以上のプルアップ抵抗でハイにプルアップすることで動作します。低消費電力コンパレータは、両方の電極が身体に接触した時に、予め設定された閾値よりも BIP が低くなったかどうかを判断します。BIP と BIN の間のインピーダンスが  $40M\Omega$  未満になると、LONINT ステータス・ビットがアサートされ、INTB または INT2B ピンで割込みがイネーブルされている場合、 $\mu C$  にリードオン状態を警告します。

表 1. BioZ リードオフ検出の設定

CONFIGURATION	CONDITION	DRV <sub>P</sub> /N	BIP/N	MEASURED SIGNAL	REGISTER SETTING TO DETECT
Two-Electrode (Shared DRV/BI)	1 Electrode Off	Rail to Rail	Rail to Rail	Rail to Rail (Saturated Inputs)	CNFG_GEN (0x10), EN_BLOFF[1:0] = 10 or 11 MNGR_DYN (0x05), BLOFF_HI_IT[7:0]
Four-Electrode (Force/Sense)	1 DRV Electrode Off, Large Body Coupling	Rail to Rail	Normal	$\frac{1}{2}$ Signal	CNFG_BIOZ (0x18), CGMON = 1
	1 DRV Electrode Off Small Body Coupling	Rail to Rail	Rail to Rail	Rail to Rail (Saturated Inputs)	CNFG_GEN (0x10), EN_BLOFF[1:0] = 10 or 11 MNGR_DYN (0x05), BLOFF_HI_IT[7:0]
	1 BI (sense) Electrode Off	Normal	Floating	$\frac{1}{2}$ Signal	CNFG_GEN (0x10), EN_DCLOFF = 10
	Both BIP/N (sense) Electrodes Off	Normal	Floating	No Signal	CNFG_GEN (0x10), EN_BLOFF[1:0] = 01 or 11 MNGR_DYN (0x05), BLOFF_LO_IT[7:0]
	1 DRV and 1 BI Electrode Off	Rail to Rail	Wide Swing, Dependent on Body Coupling	Rail to Rail	CNFG_GEN (0x10), EN_BLOFF[1:0] = 10 or 11 MNGR_DYN (0x05), BLOFF_HI_IT[7:0]

## リード・バイアス

MAX30002は、BIPおよびBINのDC入力コモンモード電圧範囲を  $V_{AVDD} = 1.1V$  で  $V_{MID} \pm 150mV$ 、または  $V_{AVDD} = 1.8V$  で  $V_{MID} \pm 550mV$  (代表値) に制限しています。この範囲は、外部/内部のいずれのリード・バイアスによっても維持できます。

内部のDCリード・バイアスは、電極を駆動する  $V_{MID}$  に接続された  $50M\Omega$ 、 $100M\Omega$ 、または  $200M\Omega$  の選択可能な抵抗器で構成され、電極を BioZ チャンネルの入力コモンモード条件内で駆動し、接続された身体を適切なコモンモード電圧レベルに駆動することが可能です。設定を選択するには、CNFG\_GEN (0x10) レジスタの EN\_RBIAS[1:0]、RBIASV[1:0]、RBIASP、RBIASN ビットを参照してください。

オプションで、コモンモード電圧  $V_{CM}$  を身体バイアスとして使用して身体をコモンモード電圧に駆動できます。この場合、IEC 60601-1 : 2005 の 8.7.3 に従い、 $V_{CM}$  を  $200k\Omega$  以上の抵抗を介して身体上の別電極に接続し、身体に流れる電流を制限します。このようにした場合、 $V_{MID}$  への内部リード・バイアス抵抗はディスエーブルできます。

## プログラマブル抵抗負荷

DRVVP/DRVN ピンのプログラマブル抵抗負荷により、電流発生器 (CG) と BioZ チャンネル全体のセルフテストが可能です。実装の詳細については、図 4 を参照してください。

公称抵抗値は、 $5k\Omega \sim 625\Omega$  の間で変化させることができます。変調抵抗器は、選択した変調率で負荷抵抗を  $R_{NOM} \sim (R_{NOM} - R_{MOD})$  の間で切り替えるために使用します。変調抵抗器は公称抵抗値に依存し、最大の公称抵抗値 ( $5k\Omega$ ) で  $247.5m\Omega \sim 2.96\Omega$ 、最小の公称抵抗値 ( $625\Omega$ ) で  $15.3m\Omega \sim 46.3m\Omega$  の分解能があります。公称抵抗値と変調抵抗値の完全なリストについては、表 2 を参照してください。変調率は  $62.5mHz \sim 4Hz$  の間で設定できます。

変調率と抵抗値の設定を選択するには、CNFG\_BMUX レジスタ (0x17) を参照してください。

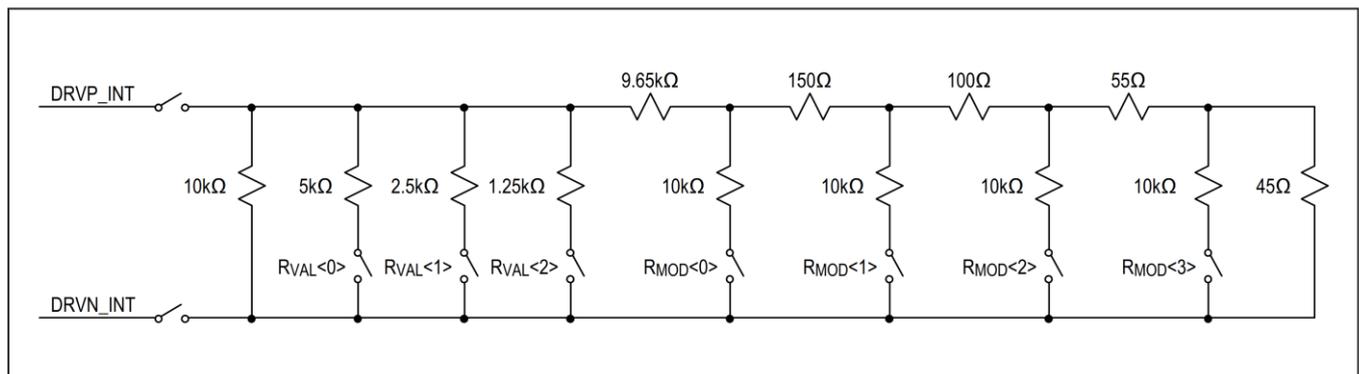


図 4. プログラマブル抵抗負荷の回路

表 2. プログラマブル抵抗負荷値の値

R <sub>NOM</sub> (Ω)	R <sub>MOD</sub> (mΩ)	R <sub>VAL</sub>			R <sub>MOD</sub>			
		<2>	<1>	<0>	<3>	<2>	<1>	<0>
5000.000	–	0	0	0	0	0	0	0
	2960.7	0	0	0	0	0	0	1
	980.6	0	0	0	0	0	1	0
	247.5	0	0	0	0	1	0	0
2500.000	–	0	0	1	0	0	0	0
	740.4	0	0	1	0	0	0	1
	245.2	0	0	1	0	0	1	0
	61.9	0	0	1	0	1	0	0
1666.667	–	0	1	0	0	0	0	0
	329.1	0	1	0	0	0	0	1
	109.0	0	1	0	0	0	1	0
	27.5	0	1	0	0	1	0	0
1250.000	–	0	1	1	0	0	0	0
	185.1	0	1	1	0	0	0	1
	61.3	0	1	1	0	0	1	0
1000.000	–	1	0	0	0	0	0	0
	118.5	1	0	0	0	0	0	1
	39.2	1	0	0	0	0	1	0
833.333	–	1	0	1	0	0	0	0
	82.3	1	0	1	0	0	0	1
	27.2	1	0	1	0	0	1	0
714.286	–	1	1	0	0	0	0	0
	60.5	1	1	0	0	0	0	1
	20.0	1	1	0	0	0	1	0
625.000	–	1	1	1	0	0	0	0
	46.3	1	1	1	0	0	0	1
	15.3	1	1	1	0	0	1	0

## 電流発生器

電流発生器は方形波変調差動電流を供給し、この電流が DRVP ピンと DRVN ピンを介して身体に AC 注入され、BIP ピンと BIN ピンを介して生体インピーダンスが差動で検出されます。一般的な湿式および乾式電極のインピーダンスに対して、2 電極および 4 電極の構成をサポートしています。

電流振幅は  $8\mu\text{A}_{\text{PK}} \sim 96\mu\text{A}_{\text{PK}}$ 、電流注入周波数は 125Hz ~ 131.072kHz の範囲から (2 のべき乗刻みで) 選択可能です。設定方法は、CNFG\_BIOZ レジスタ (0x18) を参照してください。

電流注入周波数でのネットワーク・インピーダンスに基づき、BIP および BIN ピンの電流振幅が 90mV<sub>P-P</sub> を超えないように選択する必要があります。DRVP と DRVN はどちらも、それぞれの電極との間に、47nF の DC ブロッキング・コンデンサが必要です。また、電流発生器には位相オフセット調整機能があり、入力ミキサーに対して駆動電流変調器を遅延させます。位相は、 $f_{\text{MSTR}}$  までの注入周波数に対して、 $0^\circ \sim 168.75^\circ$  の間で  $11.25^\circ$  刻みで調整できます。位相分解能は、注入周波数が  $2 \times f_{\text{MSTR}}$  の場合は  $22.5^\circ$  に、 $4 \times f_{\text{MSTR}}$  の場合は  $45^\circ$  に減少します。詳細は CNFG\_BIOZ (0x18) を参照してください。

## BioZ サンプルのオームへの変換

BioZ サンプルは 20 ビットの左詰め 2 の補数フォーマットで記録されます。符号付絶対値フォーマットに変換した後、BioZ は次式で計算されます。

$$\text{BioZ} (\Omega) = \text{ADC} \times V_{\text{REF}} / (2^{19} \times \text{BIOZ\_CGMAG} \times \text{BIOZ\_GAIN})$$

ADC は符号付絶対値フォーマット、 $V_{\text{REF}}$  は 1V (代表値、電気的特性のセクションを参照)、BIOZ\_CGMAG は  $8 \sim 96 \times 10^{-6} \text{A}$ 、BIOZ\_GAIN は 10V/V、20V/V、40V/V、80V/V のいずれかです。BIOZ\_CGMAG と BIOZ\_GAIN は、CNFG\_BIOZ (0x18) で設定します。

## 電流選択と分解能の計算例 1 (2 端子、共通保護あり)

適切な電流の選択は、まず注入周波数でのネットワーク・インピーダンスの抵抗成分を計算することによって行います。最も厳しい条件での電極インピーダンスを使用する必要があります。

図 5 で、電流注入周波数を 80kHz とした場合、ネットワーク・インピーダンスの抵抗成分は次のようになります。

$$R_{\text{BODY}} + 2R_{\text{P1}} + 2R_{\text{P2}} + 2R_{\text{S}} + \text{Re} \left\{ \frac{2R_{\text{E}}}{1 + j\omega R_{\text{E}} C_{\text{E}}} \right\} = 2.7\text{k}\Omega$$

ここで、 $R_{\text{BODY}} = 100\Omega$ 、 $R_{\text{P1}} = 1\text{k}\Omega$ 、 $R_{\text{P2}} = 200\Omega$ 、 $R_{\text{S}} = 100\Omega$ 、 $R_{\text{E}} = 1\text{M}\Omega$ 、 $C_{\text{E}} = 5\text{nF}$  です。最大電流注入量は、最大 AC 入力差

動範囲(90mV<sub>PK</sub>)をネットワーク・インピーダンス (2.7k $\Omega$ ) で割った値、つまり 33.3 $\mu\text{A}_{\text{PK}}$  です。最も近い選択可能な低い方の値は 32 $\mu\text{A}_{\text{PK}}$  です。

電流注入値とチャンネル帯域幅 (デジタル LPF の選択については、CNFG\_BIOZ (0x18) を参照) が決まれば、求めるインピーダンスは適切な入力換算ノイズを電流注入値で割ることによって算出できます。例えば、帯域幅が 4Hz の場合、ゲイン 20V/V の入力換算ノイズは 0.16 $\mu\text{V}_{\text{RMS}}$ 、つまり 1.1 $\mu\text{V}_{\text{P-P}}$  です。したがって、求めるインピーダンスは、1.1 $\mu\text{V}_{\text{P-P}}/32\mu\text{A}_{\text{PK}} = 34\text{m}\Omega_{\text{P-P}}$ 、つまり 5 $\text{m}\Omega_{\text{RMS}}$  となります。

## 電流の選択と分解能の計算例 2 (4 端子)

適切な電流の選択は、まず注入周波数でのネットワーク・インピーダンスの抵抗成分を計算することによって行います。最も厳しい条件での電極インピーダンスを使用する必要があります。

図 6 で、電流注入周波数を 80kHz とした場合、ネットワーク・インピーダンスの抵抗成分は次のようになります。

$$R_{\text{BODY}} + 2R_{\text{DP1}} + 2R_{\text{DP2}} + 2R_{\text{S}} + \text{Re} \left\{ \frac{2R_{\text{E}}}{1 + j\omega R_{\text{E}} C_{\text{E}}} \right\} = 2.7\text{k}\Omega$$

ここで、 $R_{\text{BODY}} = 100\Omega$ 、 $R_{\text{DP1}} = 1\text{k}\Omega$ 、 $R_{\text{DP2}} = 200\Omega$ 、 $R_{\text{S}} = 100\Omega$ 、 $R_{\text{E}} = 1\text{M}\Omega$ 、 $C_{\text{E}} = 5\text{nF}$  です。最大電流注入量は、最大 DRVP/N コンプライアンス電圧 ( $V_{\text{DD}} = 1.1\text{V}$  の場合は  $V_{\text{DD}} - 0.5\text{V} = 0.6\text{V}$ ) をネットワーク・インピーダンス (2.7k $\Omega$ ) で割った値、つまり 222.2 $\mu\text{A}_{\text{PK}}$  です。最も近い選択可能な低い方の値は 96 $\mu\text{A}_{\text{PK}}$  です。

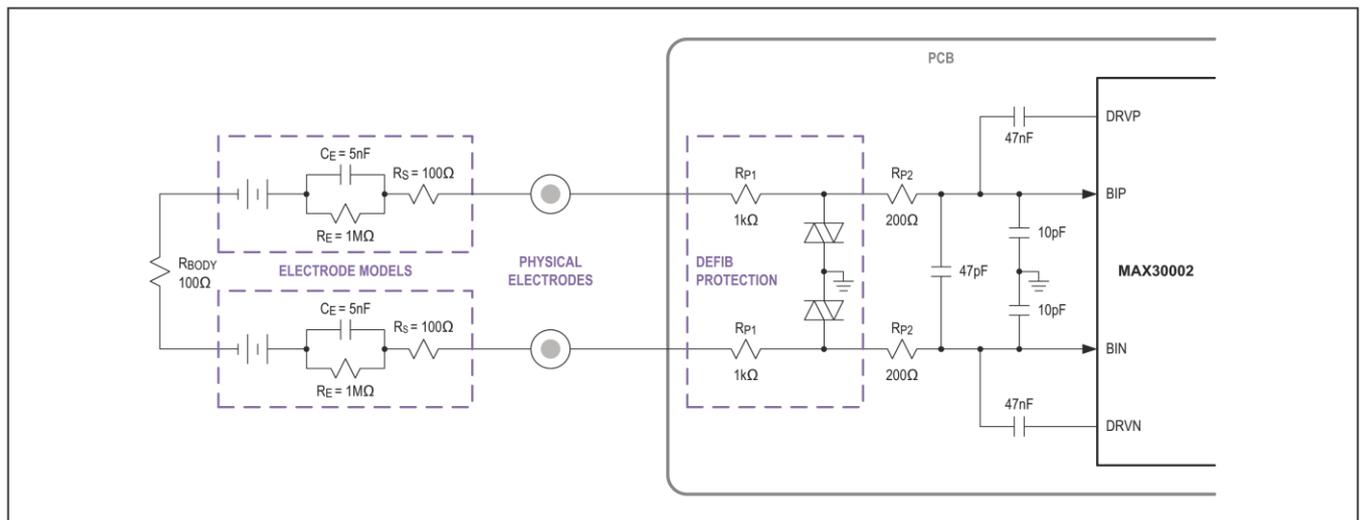


図 5. 構成例 - 2 端子、共通保護あり

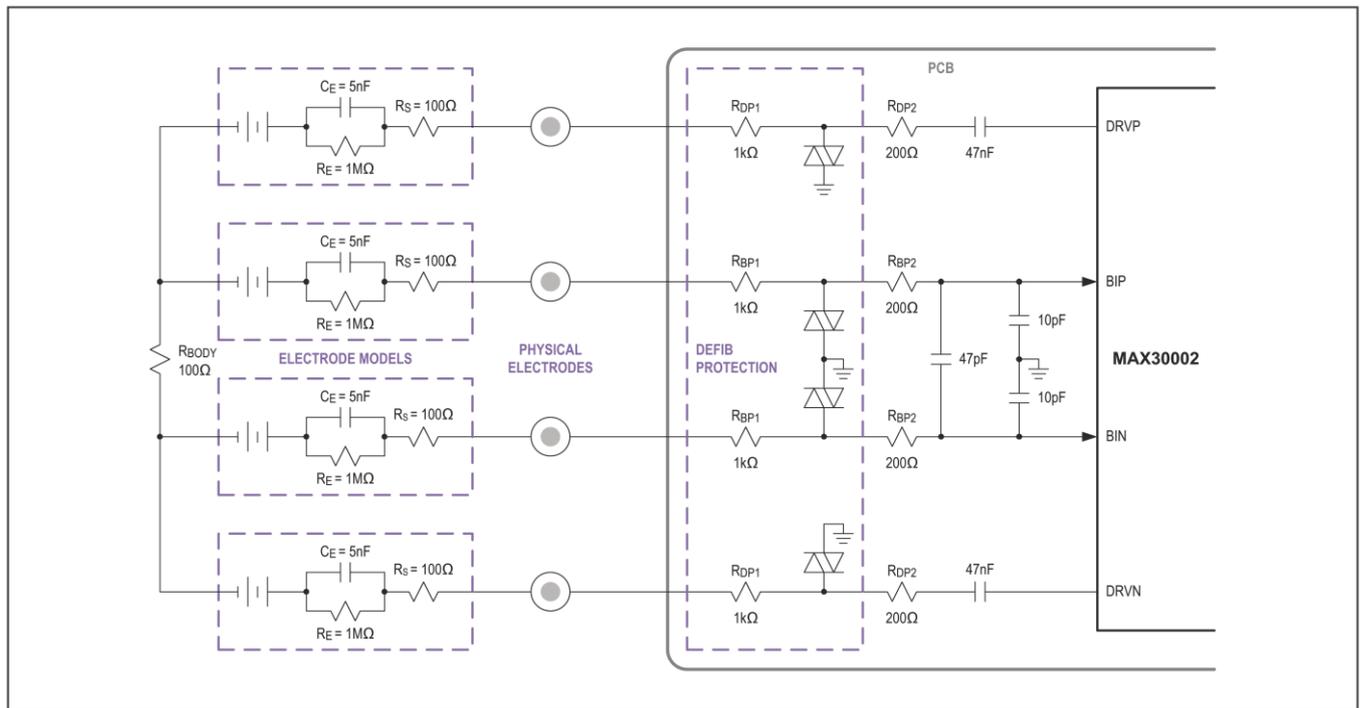


図 6. 構成例 - 4 端子

電流注入値とチャンネル帯域幅（デジタル LPF の選択については、CNFG\_BIOZ (0x18) を参照）が決まれば、求めるインピーダンスは適切な入力換算ノイズを電流注入値で割ることによって算出できます。例えば、帯域幅が 4Hz の場合、ゲイン 40V/V の入力換算ノイズは  $0.12\mu\text{V}_{\text{RMS}}$ 、つまり  $0.78\mu\text{V}_{\text{P-P}}$  です。したがって、求めるインピーダンスは、 $0.78\mu\text{V}_{\text{P-P}}/96\mu\text{A}_{\text{PK}} = 8\text{m}\Omega_{\text{P-P}}$ 、つまり  $1.2\text{m}\Omega_{\text{RMS}}$  となります。

## フィルタ・セクション

フィルタ・セクションは、ADC のサンプリング・レートを最終的なデータ・レートに変換する FIR デシメーション・フィルタと、その後段に、HPF と LPF をそれぞれ実装するためのプログラマブルな IIR フィルタおよび FIR フィルタで構成されています。

ハイパス・フィルタのオプションには、0.05Hz または 0.5Hz のコーナ周波数と DC カップリング用にパス・スルーの設定が可能な 4 次 IIR パターワース・フィルタがあります。ローパス・フィルタのオプションには、12 タップのリニア位相（群遅延が一定）の FIR フィルタがあり、コーナ周波数は 4Hz、8Hz、または 16Hz を選択できます。フィルタの設定については、CNFG\_BIOZ レジスタ (0x18) を参照してください。表 3 に、各 ADC データ・レートの BioZ 遅延（サンプル数と時間を単位）を示します。

## ノイズの測定

表 4 に、BioZ 入力を基準とした MAX30002 の BioZ チャンネルのノイズ性能を示します。

## リファレンスとコモンモード・バッファ

MAX30002 はリファレンス電圧を内部で生成します。バンドギャップ出力 ( $V_{\text{BG}}$ ) ピンには  $1.0\mu\text{F}$  の外付けコンデンサを AGND に接続する必要があり、リファレンス出力 ( $V_{\text{REF}}$ ) ピンには、補償とノイズ・フィルタ処理のために  $10\mu\text{F}$  の外付けコンデンサを AGND に接続する必要があります。

コモンモード・バッファは、内部ブロックのコモンモード電圧を駆動するのに使用される  $650\text{mV}$  をバッファするために提供されています。補償とノイズ・フィルタ処理のため、 $V_{\text{CM}}$  と AGND の間には  $10\mu\text{F}$  のコンデンサを外付けしてください。オプションで、コモンモード電圧  $V_{\text{CM}}$  を身体バイアスとして使用して身体をコモンモード電圧に駆動できます。この場合、IEC 60601-1 : 2005 の 8.7.3 に従い、 $V_{\text{CM}}$  を  $200\text{k}\Omega$  以上の抵抗を介して身体上の別電極に接続し、身体に流れる電流を制限します。このようにした場合、入力信号がコモンモード入力範囲内に収まれば、 $V_{\text{MD}}$  への内部リード・バイアス抵抗はディスエーブルにできます。

表 3. BioZ 遅延 (サンプル数と時間を単位) と BioZ のデータ・レートおよびデシメーションの関係

BIOZ CHANNEL SETTINGS			LATENCY			
INPUT SAMPLE RATE (Hz)	OUTPUT DATA RATE (sps)	DECIMATION RATIO	WITHOUT LPF (INPUT SAMPLES)	WITH LPF (INPUT SAMPLES)	WITHOUT LPF(ms)	WITH LPF (ms)
32,768	64	512	3,397	6,469	103.668	197.418
32,000	62.5	512	3,397	6,469	106.156	202.156
32,000	50	640	5,189	9,029	162.156	282.156
31,968	49.95	640	5,189	9,029	162.319	282.439
32,768	32	1,024	7,557	13,701	230.621	418.121
32,000	31.25	1,024	7,557	13,701	236.156	428.156
32,000	25	1,280	9,605	17,285	300.156	540.156
31,968	24.975	1,280	9,605	17,285	300.457	540.697

表 4. BioZ チャンネルのノイズ性能

GAIN	BANDWIDTH	NOISE		SNR	ENOB
		$\mu\text{V}_{\text{RMS}}$	$\mu\text{V}_{\text{P-P}}$		
10	4	0.23	1.55	101.6	16.6
	8	0.28	1.87	100.0	16.3
	16	0.35	2.34	98.0	16.0
20	4	0.16	1.10	104.9	17.1
	8	0.19	1.27	103.4	16.9
	16	0.26	1.68	100.9	16.5
40	4	0.12	0.78	107.6	17.6
	8	0.16	1.07	104.9	17.1
	16	0.22	1.48	102.0	16.7
80	4	0.11	0.72	108.3	17.7
	8	0.15	1.01	105.3	17.2
	16	0.21	1.42	102.4	16.7

SNR (S/N 比) =  $20\log(V_{\text{IN}}(\text{RMS})/V_{\text{N}}(\text{RMS}))$ 、ENOB =  $(\text{SNR} - 1.76)/6.02$

$V_{\text{INP-P}} = 100\text{mV}$ 、 $V_{\text{INRMS}} = 35.4\text{mV}$  (ゲインが 10V/V の場合)。ゲインを高く設定した場合は、それに応じて入力振幅が減少します。

## SPI インターフェースの概要

### 32 ビット・ノーマル・モードの読出し／書込み シーケンス

MAX30002 のインターフェースは、SPI/QSPI/Micro-wire/DSP に対応しています。SPI インターフェースの動作を図 1a に示します。データは、SCLK の立上がりエッジで MAX30002 にストロープされます。デバイスは、CSB のロー・インターバルでフレーム化された 32 サイクルの SPI 命令によって設定およびアクセスが行われます。SPI 動作の内容は、1 バイトのコマンド・ワード (7 ビット・アドレスと読出し／書込みモード・インジケータ、すなわち A[6:0]+R $\bar{W}$ で構成) と 3 バイトのデータ・ワードで構成されています。MAX30002 は、CPOL = 0/CPHA = 0 および CPOL = 1/CPHA = 1 の動作モードに対応しています。

書込みモード動作は、利用可能な最初の 4 バイトのデータを用いて、32 番目の SCLK の立上がりエッジで実行されます。書込みモードでは、SCLK の 32 番目の立上がりエッジ以降に供給されたデータは全て無視されます。次の書込みを行うには、CSB のアサートを解除してから、次の書込みコマンド用にローにアサートする必要があります。コマンド・シーケンスを中断するには、CSB の立上がりエッジが SCLK の更新 (32 番目) の立上がりエッジより前で、t<sub>CSA</sub> の条件を満たす必要があります。

読出しモード動作では、8 番目の SCLK 立上がりエッジで要求されたデータにアクセスし、次の SCLK 立下がりエッジで要求されたデータの MSB を提示して、9 番目の SCLK 立上がりエッジで  $\mu\text{C}$  がデータの MSB をサンプリングできるようにします。設定、ステータス、FIFO データは全て、通常動作モードでのリードバック・シーケンスで利用できます。通常の読出しシーケンスで 32 個を超える SCLK の立上がりエッジが供給されると、余分なエッジは無視され、デバイスはゼロをリードバックします。

STATUS レジスタまたは BIOZ FIFO メモリにアクセスする場合、全ての割込み更新が行われ、内部 FIFO の読出しポインタが 30 番目の SCLK 立上がりエッジに反応してインクリメントされて、内部同期動作が行われます。ファイル終端 (EOF) サンプル、無効 (空のサンプル) を検出する手段や、ノーマル・モードのリードバック動作を効率的に使用および管理するためのその他の補助手段については、FIFO 内で使用されるデータ・タグ構造を参照してください。

### バースト・モードの読出しシーケンス

MAX30002 は、データ転送の効率を向上させるために、バースト・モードで BIOZ FIFO メモリをリードバックするコマンドを提供しています。バースト・モードでは、通常の読出しシーケンス・レジスタのアドレスとは異なるレジスタ・アドレスを使用します。最初の 32 SCLK サイクルは、通常動作モードの説明と全く同じように動作します。 $\mu\text{C}$  が 32 番目の立上がりエッジ以降に SCLK エッジを供給し続けると、次の利用可能な FIFO ワードの MSB が次の SCLK 立下がりエッジで提示され、 $\mu\text{C}$  は 33 番目の SCLK 立上がりエッジで次のワードの MSB をサンプリングできるようになります。影響を受ける全ての割込みや FIFO リード・ポインタは、(30+n $\times$ 24) 番目の SCLK 立上がりエッジに反応してインクリメントされます (n は 0 から始まる整数)。

(例: 3 ワードのバースト・モード転送の場合、30 番目、54 番目、78 番目の SCLK 立上がりエッジ)。

この動作モードは、FIFO に有効なデータがある限り、24 サイクルのサブ・フレームごとに継続されます。ファイル終端 (EOF) サンプル、無効 (空のサンプル) を検出する手段や、バースト・モードのリードバック動作を効率的に使用および管理するためのその他の補助手段については、各 FIFO 内で使用されるデータ・タグ構造を参照してください。

書込みモードでは、バースト・モードに相当するものではありません。

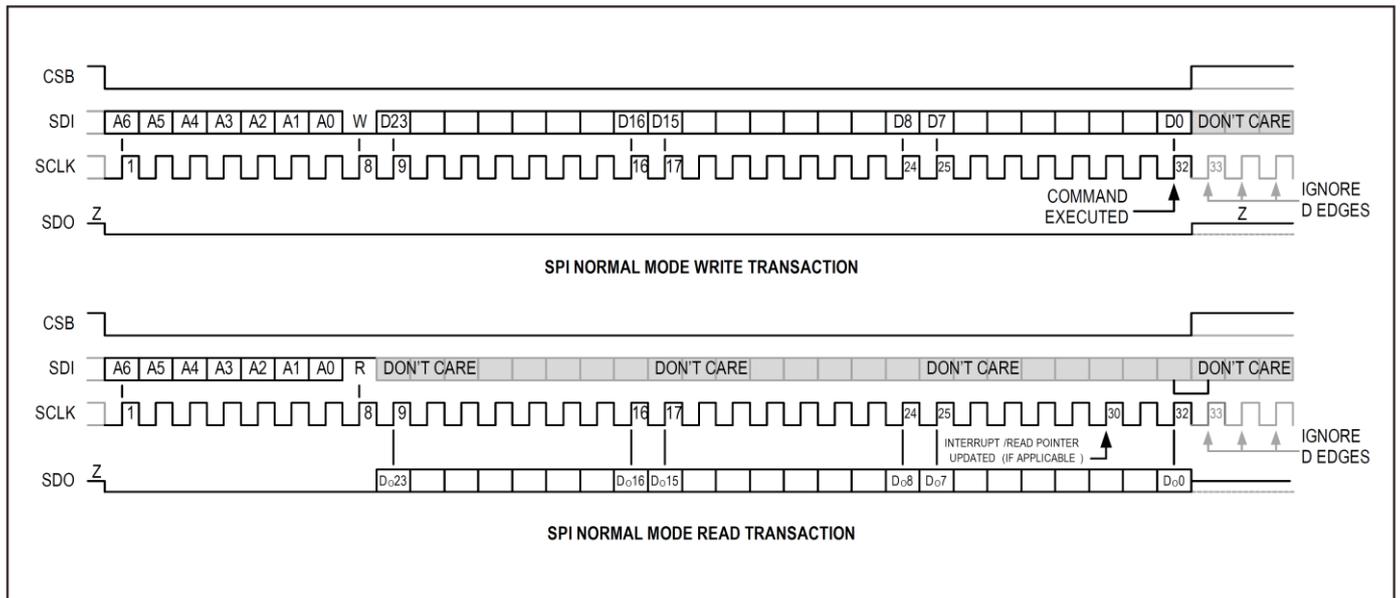


図 7. SPI ノーマル・モードのトランザクション図

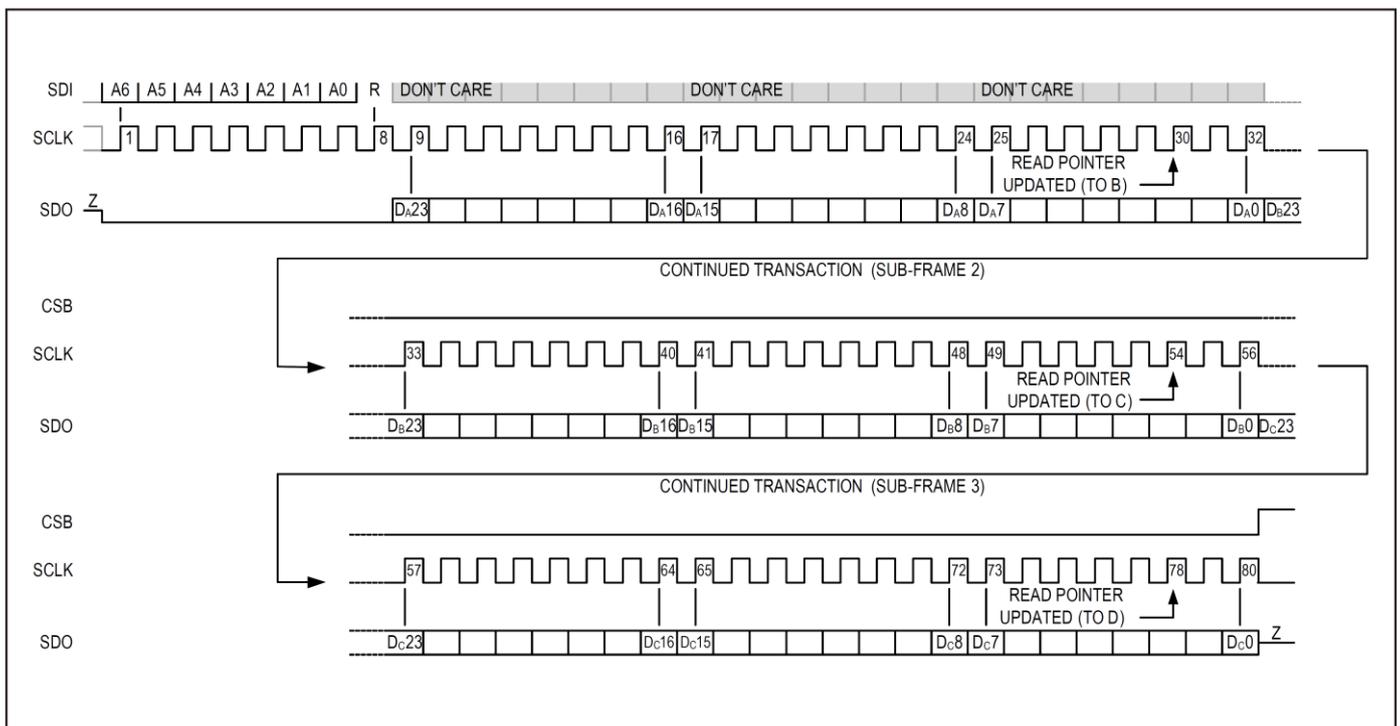


図 8. SPI ノーマル・モードの読出しトランザクション図

## ユーザ・コマンドとレジスタ・マップ

REG [6:0]	NAME	R/W MODE	DATA INDEX							
			23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x00	NO-OP	R/W	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x
0x01	STATUS	R	x	x	x	DCLO FFINT	BINT	BOVF	BOVER	BUNDR
			BCGMON	x	x	x	LONINT	x	SAMP	PLLINT
			x	x	BCGMP	BCGMN	LDOFF_PH	LDOFF_PL	LDOFF_NH	LDOFF_NL
0x02	EN_INT	R/W	x	x	x	EN_DCLOFFINT	EN_BINT	EN_BOVF	EN_BOVER	EN_BUNDR
			0x03	EN_INT2	EN_BCGMON	x	x	EN_LONINT	x	EN_SAMP
0x04	MNGR_INT	R/W	x	x	x	x	x	INTB_TYPE[1:0]		
			x	x	x	x	x	BFFT[2:0]		x
			x	x	x	x	CLR_PEDGE	CLR_SAMP	SAMP_IT[1:0]	
0x05	MNGR_DYN	R/W	x	x	x	x	x	x	x	x
			BLOFF_HI_IT[7:0]							
0x08	SW_RST	W	Data Required for Execution = 0x000000							
0x09	SYNCH	W	Data Required for Execution = 0x000000							
0x0A	FIFO_RST	W	Data Required for Execution = 0x000000							
0x0F	INFO	R	0	1	0	1	REV_ID[3:0]			
			x	x	1	0	x	x	x	x
			x	x	x	x	x	x	x	x
0x10	CNFG_GEN	R/W	EN_ULP_LON[1:0]		FMSTR[1:0]		x	EN_BIOZ	x	x
			EN_BLOFF[1:0]		EN_DCLOFF[1:0]		IPOL	IMAG[2:0]		
			VTH[1:0]		EN_RBIAS[1:0]		RBIASV[1:0]		RBIASP	RBIASN
0x17	CNFG_BMUX	R/W	x	x	OPENP	OPENN	CALP_SEL[1:0]		CALN_SEL[1:0]	
			x	x	CG_MODE[1:0]		EN_BIST	RNOM[2:0]		
			x	RMOD[2:0]			x	x	FBIST[1:0]	
0x18	CNFG_BIOZ	R/W	RATE	AHPF[2:0]		EXT_RBIAS	LN_BIOZ	GAIN[1:0]		
			DHPF[1:0]		DLPF[1:0]		FCGEN[3:0]			
			CGMON	CGMAG[2:0]		PHOFF[3:0]				
0x22	BIOZ_FIFO_BURST	R+	BIOZ FIFO Burst Mode Read Back				See FIFO Description for details			
0x23	BIOZ_FIFO	R	BIOZ FIFO Normal Mode Read Back				See FIFO Description for details			
0x7F	NO-OP	R/W	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x	x/x/x

Note: R/W Mode R+はバースト・モードを示します。

x = ドント・ケア。

## レジスタの説明

## NO\_OP (0x00 および 0x7F) レジスタ

無操作 (NO\_OP) レジスタは、デバイスに内部的な影響を与えない読み出し/書き込みレジスタです。これらのレジスタが読み出された場合、DOUT は SPI トランザクションの間ゼロのままです。これらのレジスタに書き込もうとすると、無視され、内部動作には影響を与えません。

## STATUS (0x01) レジスタ

STATUS は読み出し専用レジスタで、現在のデバイス状態を総合的に把握できます。最初の 2 バイトは全ての割込みビットの状態を示します (EN\_INT (0x02) または EN\_INT2 (0x03) レジスタで割込みが有効化されているかどうかに関わらず)。全ての割込みビットはアクティブ・ハイです。最後のバイトには、他の割込みビットに関連する状態の詳細なステータス情報が含まれます。

表 5. STATUS (0x01) レジスタのマッピング

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x01	STATUS	R	x	x	x	DCLOFFINT	BINT	BOVF	BOVER	BUNDR
			BCGMON	x	x	x	LONINT	x	SAMP	PLLINT
			x	x	BCGMP	BCGMN	LDOFF_PH	LDOFF_PL	LDOFF_NH	LDOFF_NL

表 6. Status (0x01) レジスタの意味

インデックス	名称	意味
D[20]	DCLOFFINT	DC リードオフ検出割込み。MAX30002 が、BioZ が 90ms 以上リードオフ状態 (CNFG_GEN で選択) であると判定したことを示します。リードオフ状態が続く限りアクティブのまま、その後、STATUS のリードバック (32 番目の SCLK) でクリアされるまで保持されます。
D[19]	BINT	BIOZ FIFO 割込み。BIOZ レコードが、BIOZ FIFO 割込み閾値 (BFIT) の条件を満たし、リードバック可能であることを示します。BFIT 条件の解除に必要な程度に BIOZ FIFO がリードバックされるまでアクティブのままです。
D[18]	BOVF	BIOZ FIFO オーバーフロー。BIOZ FIFO がオーバーフローし、データ・レコードが破壊されたことを示します。FIFO リセット (推奨) または SYNCH 動作が行われるまでアクティブのままです。
D[17]	BOVER	BIOZ オーバーレンジ。BIOZ 出力の大きさが BIOZ 上限閾値 (BLOFF_HI_IT) を少なくとも 100ms 超えたことを示します。2 電極および 4 電極の BIOZ リードオフ検出での使用を推奨します。状態が続く限りアクティブのまま、その後、STATUS リードバック (32 番目の SCLK) でクリアされるまで保持されます。
D[16]	BUNDR	BIOZ アンダーレンジ。BIOZ 出力振幅が、少なくとも 1.7 秒間、BIOZ の下限閾値 (BLOFF_LO_IT) を超えたことを示します。4 電極の BIOZ リードオフ検出での使用を推奨します。状態が続く限りアクティブのまま、その後、STATUS リードバック (32 番目の SCLK) でクリアされるまで保持されます。
D[15]	BCGMON	BIOZ 電流発生器モニタ。DRV_P または DRV_N の電流発生器が、少なくとも 128ms の間リードオフ状態であったことを示します。4 電極の BIOZ リードオフ検出での使用を推奨します。状態が続く限りアクティブのまま、その後、STATUS リードバック (32 番目の SCLK) でクリアされるまで保持されます。

表 6. Status (0x01) レジスタの意味 (続き)

インデックス	名称	意味
D[11]	LONINT	超低消費電力 (ULP) リードオン検出割込み。MAX30002 がリードオン状態 (CNFG_GEN で選択) であると判定したことを示します。 LONINT は、CNFG_GEN レジスタの EN_ULP_LON[1:0] を 01 または 10 のいずれかに設定するとアサートされ、ULP リードオン検出モードが有効化されていることを示します。ULP リードオン検出モードがアクティブになった後は、STATUS レジスタを一度読み出して LONINT をクリアし、リードオン検出を有効化する必要があります。 LONINT は、リードオン状態が継続する間アクティブのまま、その後 STATUS のリードバック (32 番目の SCLK) でクリアされるまで保持されます。
D[9]	SAMP	サンプル同期パルス。BioZ ベースレート・サンプリング・インスタントで発せられ、 $\mu\text{C}$ が他の周辺動作やデータのモニタや同期を補助するために使用されます。一般に、専用割込みとして使用することを推奨します。 周波数は SAMP_IT[1:0] で選択します。詳細は MNGR_INT を参照してください。 クリア動作は CLR_SAMP で指定します。詳しくは MNGR_INT を参照してください。
D[8]	PLLINT	PLL ロック解除割込み。PLL が位相ロックを実現していない、または喪失したことを示します。PLLINT は、PLL がパワーアップしてアクティブな状態の時 (BIOZ チャンネルが有効化された時) にのみアサートされます。PLL ロック解除状態が続く間はアサートされ、その後 STATUS リードバック (32 番目の SCLK) でクリアされるまで保持されます。
D[5]	BCGMP	BIOZ 電流発生器モニタの正出力。DRVP 電流発生器が少なくとも 128ms の間リードオフ状態であったことを示します。これは厳密には割込みビットではなく、詳細なステータス・ビットであり、BCGMON 割込みビットに対応しています。
D[4]	BCGMN	BIOZ 電流発生器モニタの負出力。DRVN 電流発生器が少なくとも 128ms の間リードオフ状態であったことを示します。これは厳密には割込みビットではなく、詳細なステータス・ビットであり、BCGMON 割込みビットに対応しています。
D[3]	LDOFF_PH	DC リードオフ検出の詳細ステータス。各ビットは、MAX30002 が (CNFG_GEN で選択された) 以下の内容を判定したことを示します： BIP が上限閾値 ( $V_{\text{THH}}$ ) を上回ったこと、BIP が下限閾値 ( $V_{\text{THL}}$ ) を下回ったこと、BIN が上限閾値 ( $V_{\text{THH}}$ ) を上回ったこと、BIN が下限閾値 ( $V_{\text{THL}}$ ) を下回ったこと。 リードオフ検出がアクティブでリードオフ状態が続く限りアクティブとなり、その後、STATUS のリードバック (32 番目の SCLK) によりクリアされるまで保持されます。LDOFF_PH~LDOFF_NL は詳細ステータス・ビットで、DCLOFFINT と同時にアサートされます。
D[2]	LDOFF_PL	
D[1]	LDOFF_NH	
D[0]	LDOFF_NL	

## EN\_INT (0x02) および EN\_INT2 (0x03) レジスタ

EN\_INT と EN\_INT2 は、それぞれ INTB 出力と INT2B 出力の動作を制御するリード/ライト・レジスタです。最初の 2 バイトは、どの割込み入力ビットが割込み出力の OR 項に含まれているかを示しています (例: EN\_INT レジスタの 1 は、対応する入力ビットが INTB 割込み出力の OR 項に含まれていることを示します)。割込みビットの詳細な説明については、STATUS レジスタを参照してください。全ての EN\_INT ビットのパワーオン・リセット時の状態は 0 です (INT によって無視されます)。

EN\_INT と EN\_INT2 は、持続的な割込み条件をマスクして、持続的な条件が解決されるまで他の割込み駆動動作を実行するのに使用することもできます。

INTB\_TYPE[1:0]により、INTB 出力を CMOS にするか NMOS のオープンドレイン・モードをするかを選択できます。オープンドレイン・モードを使用する場合、内部 125kΩ プルアップ抵抗のオプションも提供されます。

INTB と INT2B は全てアクティブ・ロー (INTB ローはデバイスが μC によるサービスを必要とすることを示す) ですが、オープンドレイン・モードでは、INTB ラインを他のデバイスと共有し、ワイヤード OR 構成とすることが可能です。

一般に、INT2B は、SAMP や RRINT でのセルフ・クリアなど、特定のアプリケーションで使用される特殊または専用の割込みをサポートする際に使用することを推奨します。

表 7. EN\_INT (0x02) および EN\_INT2 (0x03) レジスタのマッピング

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x02 0x03	EN_INT EN_INT2	R/W	x	x	x	EN_DCLOFFINT	EN_BINT	EN_BOVF	EN_BOVER	EN_BUNDR
			EN_BCGMON	x	x	x	EN_LONINT	x	EN_SAMP	EN_PLLINT
			x	x	x	x	x	x	INTB_TYPE[1:0]	

表 8. EN\_INT (0x02 および 0x03) レジスタの意味

インデックス	名称	デフォルト	機能
D[23:8]	EN_DCLOFFINT EN_BINT EN_BOVF EN_BOVER EN_BUNDR EN_BCGMON EN_LONINT EN_SAMP EN_PLLINT	0x0000	STATUS[23:8]の割込みビットに対する割込みイネーブル。 0 = 個々の割込みビットは、割込み OR 項に含まれない 1 = 個々の割込みビットは、割込み OR 項に含まれる
D[1:0]	INTB_TYPE[1:0]	11	INTB ポート・タイプ (EN_INT 選択) 00 = ディスエーブル (ハイ・インピーダンス) 01 = CMOS ドライバ 10 = オープンドレイン NMOS ドライバ 11 = オープンドレイン NMOS ドライバ、内部 125kΩ プルアップ抵抗付き
		11	INT2B ポート・タイプ (EN_INT2 選択) 00 = ディスエーブル (ハイ・インピーダンス) 01 = CMOS ドライバ 10 = オープンドレイン nMOS ドライバ 11 = オープンドレイン nMOS ドライバ、内部 125kΩ プルアップ抵抗付き

**MNGR\_INT (0x04)**

MNGR\_INT は、BIOZ FIFO の状態に応じて設定可能な割込みビットの動作を管理するリード/ライト・レジスタです (詳細は STATUS レジスタと BIOZ FIFO の説明を参照)。

表 9. MNGR\_INT (0x04) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x04	MNGR_INT	R/W	x	x	x	x	x	BFIT[2:0]		
			x	x	x	x	x	x	x	
			x	CLR_FAST	x	x	x	CLR_SAMP	SAMP_IT[1:0]	

表 10. MNGR\_INT (0x04) レジスタの機能

インデックス	名称	デフォルト	機能
D[18:16]	BFIT[2:0]	011	BIOZ FIFO 割込み閾値 (FIFO の未読レコード数に基づいて BINT を発行)。 000~111 = それぞれ 1~8 (すなわち、未読レコード数が BFIT[2:0]+1)
D[2]	CLR_SAMP	1	サンプル同期パルス (SAMP) クリアの動作。 0 = STATUS レジスタ・リードバック時に SAMP をクリア (デバッグ/評価時のみ推奨)。 1 = 1 データ・レート・サイクルの約 4 分の 1 後に SAMP をセルフ・クリア。
D[1:0]	SAMP_IT[1:0]	00	サンプル同期パルス (SAMP) の周波数 00 = サンプル・インスタントごとに発行 01 = 2 番目のサンプル・インスタントごとに発行 10 = 4 番目のサンプル・インスタントごとに発行 11 = 16 番目のサンプル・インスタントごとに発行

**MNGR\_DYN (0x05)**

MNGR\_DYN はデバイス内の汎用/ダイナミック・モードの設定を管理するリード/ライト・レジスタです。このレジスタには、BIOZ AC リードオフ検出の割込み閾値が含まれます (詳細は CNFG\_GEN を参照)。多くの CNFG レジスタとは異なり、ダイナミック・モードの変更は FIFO 動作に影響を与えず、SYNCH 動作を必要としません (ただし、影響を受ける回路はセトリングに時間を要するため、セトリング間隔中に FIFO 出力電圧情報が無効化または破壊される可能性があります)。

表 11. MNGR\_DYN (0x05) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0	
0x05	MNGR_DYN	R/W	x	x	x	x	x	x	x	x	
			BLOFF_HI_IT[7:0]								
			BLOFF_LO_IT[7:0]								

表 12. MNGR\_DYN (0x05) レジスタの機能

インデックス	名称	デフォルト	機能
D[15:8]	BLOFF_HI_IT[7:0]	0xFF	BIOZ AC リードオフのオーバーレンジ閾値 EN_BLOFF[1:0] = 1x で、BIOZ 測定 of ADC 出力が 128ms 以上 $\pm 2048 * \text{BLOFF\_HI\_IT}$ で定義される対称閾値を超えた場合、BOVER 割込みビットがアサートされます。 例えば、デフォルト値 (BLOFF_IT = 0xFF) は、BIOZ 出力の上限閾値が 0x7F800、つまりフルスケール範囲の約 99.6%、および BIOZ 出力の下限閾値が 0x80800、つまりフルスケール範囲の約 0.4% で、LSB の重み $\approx 0.4\%$ に相当します。
D[7:0]	BLOFF_LO_IT[7:0]	0xFF	BIOZ AC リードオフのアンダーレンジ閾値 EN_BLOFF[1:0] = 1x で、BIOZ 測定出力が 128ms 以上 $\pm 32 * \text{BLOFF\_LO\_IT}$ で定義される対称閾値を超えた場合、BUNDR 割込みビットがアサートされます。

**SW\_RST (0x08)**

SW\_RST (ソフトウェア・リセット) は書き込み専用のレジスタ/コマンドで、SPI SW\_RST トランザクションの終了時 (すなわち 32 番目の SCLK 立上がりエッジ) で MAX30002 を元のデフォルト状態にリセットします。DIN[23:0] = 0x000000 の場合にのみ実行されます。SW\_RST の効果は、デバイスの電源を一度切った後で入れ直した場合と同じです。

表 13. SW\_RST (0x08) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x08	SW_RST	W	D[23:16] = 0x00							
			D[15:8] = 0x00							
			D[7:0] = 0x00							

**SYNCH (0x09)**

SYNCH (同期) は書き込み専用のレジスタ/コマンドで、SPI SYNCH トランザクション終了後の内部 MSTR クロック・エッジ (すなわち 32 番目の SCLK 立上がりエッジ) から新しい BIOZ の操作と記録を開始します。DIN[23:0] = 0x000000 の場合にのみ実行されます。SYNCH は、FIFO メモリと DSP フィルタ (ミッドスケールまで) のリセットとクリアを行い、FIFO レコードの「タイム・ゼロ」を効果的に設定できるようにします。構成設定には影響しません。CNFG\_GEN の設定を変更した場合は、PLL がロックするまで待ってから同期をとるようにすると最良の結果が得られます。

デバイスの初期パワーアップ後、記録動作を開始する前に完全に設定する必要があります。同様に、CNFG\_GEN または CNFG\_BIOZ レジスタを変更すると、BIOZ レコードに不連続性が生じ、FIFO に記録されるタイム・ステップのサイズも変更される可能性があります。SYNCH コマンドは、このような乱れの後で動作をクリーンに再開する手段を提供します。

FIFO のオーバーフローが発生し、記録の一部が失われた場合、SYNCH コマンドを用いて回復し、記録を再開させることを推奨します (データの欠落の問題を回避できます)。

表 14. SYNCH (0x09) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x09	SYNCH	W	D[23:16] = 0x00							
			D[15:8] = 0x00							
			D[7:0] = 0x00							

**FIFO\_RST (0x0A)**

FIFO\_RST (FIFO リセット) は書き込み専用のレジスタ/コマンドで、FIFO メモリをリセットすることにより新しい BIOZ 記録を開始し、次に利用可能な BIOZ データの記録を再開します。DIN[23:0]=0x000000 の場合のみ実行されます。SYNCH コマンドと異なり、アクティブな BIOZ 回路の動作は FIFO\_RST によって影響を受けないため、セトリング/リカバリのトランジェントは発生しません。FIFO\_RST は、FIFO のオーバーフロー状態からの素早い回復にも使用できます。

表 15. FIFO\_RST (0x0A) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x0A	FIFO_RST	W	D[23:16] = 0x00							
			D[15:8] = 0x00							
			D[7:0] = 0x00							

**INFO (0x0F)**

INFO は、MAX30002 についての情報を提供する読み出し専用レジスタです。最初のニブルには、インターフェースの検証に役立つ交互のビット・パターンが含まれます。2 番目のニブルには、リビジョン ID が含まれます。3 番目のニブルには、製品 ID 情報が含まれます。

注：内部の初期化手順のため、このコマンドがパワーサイクル・イベントまたは SW\_RST イベントの後に最初に実行された場合、有効なデータを読み出すことはできません。

表 16. INFO (0x0F) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x0F	INFO	R	0	1	0	1	REV_ID[3:0]			
			x	x	1	0	x	x	x	x
			x	x	x	x	x	x	x	x

表 17. INFO (0x0F) レジスタの意味

INDEX	NAME	MEANING
D[19:16]	REV_ID[3:0]	Revision ID

**CNFG\_GEN (0x10)**

CNFG\_GEN はリード/ライト・レジスタで、一般的な設定、特に全ての内部タイミング動作のマスタ・クロック・レートを制御します。CNFG\_GEN を変更すると、BIOZ レコードに不連続性が生じ、FIFO に記録されるタイム・ステップのサイズも変更される可能性があります。SYNCH コマンドは、設定変更に伴う内部同期の回復に使用できます。EN\_BIOZ がロジック・ローの場合、デバイスは 2 つの超低消費電力モードのいずれか (EN\_ULP\_LON で指定) になることに注意してください。

表 18. CNFG\_GEN (0x10) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x10	CNFG_GEN	R/W	EN_ULP_LON[1:0]		FMSTR[1:0]		x	EN_BIOZ	x	x
			EN_BLOFF[1:0]		EN_DCLOFF[1:0]		IPOL	IMAG[2:0]		
			VTH[1:0]		EN_RBIAS[1:0]		RBIASV[1:0]		RBIASP	RBIASN

表 19. CNFG\_GEN (0x10) レジスタの機能

インデックス	名称	デフォルト	機能
D[23:22]	EN_ULP_LON [1:0]	00	超低消費電力リードオン検出イネーブル 00 = ULP リードオン検出を無効化 01 = 予備。使用不可。 10 = ULP リードオン検出を有効化 11 = 予備。使用不可。 ULP モードは、BioZ チャンネルをパワーダウンまたは無効化した時にのみ有効です。
D[21:20]	FMSTR[1:0]	00	マスタ・クロック周波数。マスタ・クロック周波数 (FMSTR) を選択します。これは、BioZ のタイミング特性も決定します。FCLK から生成され、常に 32.768kHz となります。 00 = F <sub>MSTR</sub> = 32768Hz 01 = F <sub>MSTR</sub> = 32000Hz 10 = F <sub>MSTR</sub> = 32000Hz 11 = F <sub>MSTR</sub> = 31968.78Hz
D[18]	EN_BIOZ	0	BIOZ チャンネル・イネーブル 0 = BIOZ チャンネルを無効化 1 = BIOZ チャンネルを有効化
D[15:14]	EN_BLOFF[1:0]	00	BIOZ デジタル・リードオフ検出イネーブル 00 = デジタル・リードオフ検出を無効化 01 = リードオフ・アンダーレンジ検出、4 電極 BIOZ アプリケーション 10 = リードオフ・オーバーレンジ検出、2 電極および 4 電極の BIOZ アプリケーション 11 = リードオフ・オーバー&アンダーレンジ検出、4 電極 BIOZ アプリケーション AC 方式であり、アクティブな BIOZ チャンネルを必要とし、BOVER と BUNDR の割込み動作を有効化します。CNFG_BIOZ で設定する BIOZ 励起電流と MNGR_DYN で設定するデジタル閾値を使用します。
D[13:12]	EN_DCLOFF	00	DC リードオフ検出イネーブル 00 = DC リードオフ検出を無効化 01 = 予備。使用不可。 10 = DCLOFF 検出を BIP/N ピンに適用 11 = 予備。使用不可。 DC 方式であり、アクティブに選択したチャンネルを必要とし、DCLOFF 割込みとステータス・ビットの動作を有効化します。 下記の電流源とコンパレータ閾値を使用します。
D[11]	DCLOFF_IPOL	0	DC リードオフ電流の極性 (電流源が有効化/接続されている場合) 0 = BIP -プルアップ BIN -プルダウン 1 = BIP -プルダウン BIN -プルアップ
D[10:8]	IMAG[2:0]	000	DC リードオフ電流の大きさの選択 000 = 0nA (電流源を無効化および切断) 001 = 5nA 010 = 10nA 011 = 20nA 100 = 50nA 101 = 100nA 110 = 予備。使用不可。 111 = 予備。使用不可。

表 19. CNFG\_GEN (0x10) レジスタの機能 (続き)

インデックス	名称	デフォルト	機能
D[7:6]	VTH[1:0]	00	DC リードオフ電圧閾値の選択 00 = $V_{MID} \pm 300mV$ 01 = $V_{MID} \pm 400mV$ 10 = $V_{MID} \pm 450mV$ 11 = $V_{MID} \pm 500mV$
D[5:4]	EN_RBIAS[1:0]	00	抵抗リード・バイアス・モードの有効化および選択 00 = 抵抗バイアスを無効化 01 = 予備。使用不可。 10 = EN_BIOZ も有効化した場合、BioZ 抵抗バイアスを有効化 11 = 予備。使用不可。 EN_RBIAS[1:0]を有効化すると同時にその前に EN_BIOZ がアサートされない場合、 EN_RBIAS[1:0]は 00 に設定されたままになります。
D[3:2]	RBIASV[1:0]	01	抵抗バイアス・モード値の選択 00 = $R_{BIAS} = 50M\Omega$ 01 = $R_{BIAS} = 100M\Omega$ 10 = $R_{BIAS} = 200M\Omega$ 11 = 予備。使用不可。
D[1]	RBIASP	0	正入力抵抗バイアスを有効化 0 = BIP は $V_{MID}$ に抵抗を介して接続されない 1 = BIP は抵抗 (RBIASV で選択) を介して $V_{MID}$ に接続される
D[0]	RBIASN	0	負入力抵抗バイアスを有効化 0 = BIN は $V_{MID}$ に抵抗を介して接続されない 1 = BIN は抵抗 (RBIASV で選択) を介して $V_{MID}$ に接続される

表 20 に、FMSTR の各種設定によって実現できる BIOZ データ・レートと、CNFG\_BIOZ レジスタでの RATE 設定ビットを示します。FMSTR は、CAL 波形発生器のタイミング分解能も決定することに注意してください。

表 20. マスタ周波数の概要表

FMSTR [1:0]	MASTER FREQUENCY ( $f_{MSTR}$ ) (Hz)	BIOZ DATA RATES (B_RATE) (sps)
00	32,768	0 = 64 1 = 32
01	32,000	0 = 62.50 1 = 31.25
10	32,000	0 = 50 1 = 25
11	31,968	0 = 49.95 1 = 24.98

**CNFG\_BMUX (0x17)**

CNFG\_BMUX はリード/ライト・レジスタで、BIOZ チャンネルに関連する入力マルチプレクサの動作、構成、機能を設定します。

表 21. CNFG\_BMUX (0x17) レジスタのマッピング

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
0x17	CNFG_BMUX	R/W	x	x	OPENP	OPENN	CALP_SEL[1:0]		CALN_SEL[1:0]	
			x	x	CG_MODE[1:0]			EN_BIST	RNOM[2:0]	
			x	RMOD[2:0]				x	x	FBIST[1:0]

表 22. CNFG\_BMUX (0x17) レジスタの機能

インデックス	名称	デフォルト	機能
D[21]	OPENP	1	BIP 入力スイッチをオープン (多くの場合テストやキャリブレーションに使用) 0 = BIP を内部で BIOZ チャンネルに接続 1 = BIP を内部で BIOZ チャンネルから絶縁
D[20]	OPENN	1	BIN 入力スイッチをオープン (テストやキャリブレーションによく使用) 0 = BIN を内部で BIOZ チャンネルに接続 1 = BIN を内部で BIOZ チャンネルから絶縁
D[19:18]	CALP_SEL[1:0]	00	BIP キャリブレーションの選択 00 = キャリブレーション信号なし 01 = 入力を VMID に接続 10 = 予備。使用不可。 11 = 予備。使用不可。
D[17:16]	CALN_SEL[1:0]	00	BIN キャリブレーションの選択 00 = キャリブレーション信号なし 01 = 入力を VMID に接続 10 = 予備。使用不可。 11 = 予備。使用不可。
D[13:12]	CG_MODE[1:0]	00	BIOZ 電流発生器のモード選択 00 = チョッピングしない電流源、ローパス・フィルタあり (高ノイズ、優れた 50/60Hz 除去、BioZ アプリケーションに推奨) 01 = チョッピングした電流源、ローパス・フィルタなし (低ノイズ、50/60Hz 除去なし、デジタル LPF を使用する BioZ アプリケーション、 例えばバッテリー駆動の BioZ アプリケーションに推奨) 10 = チョッピングした電流源、ローパス・フィルタあり (低ノイズ、優れた 50/60Hz 除去) 11 = チョッピングした電流源、抵抗性 CM 設定あり (駆動電流が 32μA を超える使用は非推奨) (低ノイズ、優れた 50/60Hz 除去、低入力インピーダンス)
D[11]	EN_BIST	0	BIOZ 変調抵抗内蔵自己診断 (RMOD BIST) モード・イネーブル 0 = RMOD BIST を無効化 1 = RMOD BIST を有効化 身体の干渉を避けるため、このモードでは BIP/N スイッチはオープンにします。有効化すると、DRV/N 絶縁スイッチがオープンになり、DRV/N-to-BIP/N 内部スイッチが作動します。また、200MΩ モードでは、BIOZ 入力にリード・バイアス抵抗が挿入されません。

表 22. CNFG\_BMUX (0x17) レジスタの機能 (続き)

インデックス	名称	デフォルト	機能
D[10:8]	RNOM[2:0]	000	BIOZ RMOD BIST 公称抵抗値の選択 詳細は RMOD BIST の設定表を参照してください。
D[6:4]	RMOD[2:0]	100	BIOZ RMOD BIST 変調抵抗値の選択 (詳細は RMOD BIST の設定表を参照ください。) 000 = 変調抵抗値 0 001 = 変調抵抗値 1 010 = 変調抵抗値 2 011 = 予備、使用不可 1xx = 全ての SWMOD スイッチをオープン - 変調なし (DC 値 = RNOM)
D[1:0]	FBIST[1:0]	00	BIOZ RMOD BIST 周波数の選択 キャリブレーション源周波数の選択 (FCAL) 00 = $f_{MSTR}/2^{13}$ (約 4Hz) 01 = $f_{MSTR}/2^{15}$ (約 1Hz) 10 = $f_{MSTR}/2^{17}$ (約 1/4Hz) 11 = $f_{MSTR}/2^{19}$ (約 1/16Hz) 実際の周波数は FMSTR の選択により決定され (詳細は CNFG_GEN を参照)、おおよそその周波数は 32,768Hz のクロック (FMSTR[1:0]=00) を基準にします。全ての選択で、50%のデューティ・サイクルを使用します。

表 23. CNFG\_BMUX (0x17) RMOD BIST の設定

RNOM[2:0]	RMOD[2:0]	NOMINAL RESISTANCE ( $\Omega$ )	MODULATED RESISTANCE (m $\Omega$ )
000	000	5000	2960.7
	001		980.6
	010		247.5
	1xx		Unmodulated
001	000	2500	740.4
	001		245.2
	010		61.9
	1xx		Unmodulated
010	000	1667	329.1
	001		109.0
	010		27.5
	1xx		Unmodulated

表 23. CNFG\_BMUX (0x17) RMOD BIST の設定 (続き)

RNOM[2:0]	RMOD[2:0]	NOMINAL RESISTANCE ( $\Omega$ )	MODULATED RESISTANCE ( $m\Omega$ )
011	000	1250	185.1
	001		61.3
	1xx		Unmodulated
100	000	1000	118.5
	001		39.2
	1xx		Unmodulated
101	000	833	82.3
	001		27.2
	1xx		Unmodulated
110	000	714	60.5
	001		20.0
	1xx		Unmodulated
111	000	625	46.3
	001		15.3
	1xx		Unmodulated

**CNFG\_BIOZ (0x18)**

CNFG\_BIOZ はリード/ライト・レジスタで、関連する変調電流発生器など、BIOZ チャンネルの動作、構成、機能を設定します。CNFG\_BIOZ を変更すると、BIOZ レコードに不連続性が生じ、BIOZ FIFO に記録されるタイム・ステップのサイズに変更が生じる可能性があります。SYNCH コマンドは、設定変更に伴う内部同期の回復に使用できます。

表 24. CNFG\_BIOZ (0x18) レジスタのマップ

REG	NAME	R/W	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0	
0x18	CNFG_BIOZ	R/W	RATE	AHPF[2:0]			EXT_RBIAS	LN_BIOZ	GAIN[1:0]		
			DHPF[1:0]	DLPF[1:0]			FCGEN[3:0]				
			CGMON	CGMAG[2:0]			PHOFF[3:0]				

表 25. CNFG\_BIOZ (0x18) レジスタの機能

インデックス	名称	デフォルト	機能
D[23]	RATE	0	BIOZ データ・レート (FMSTR の選択にも依存します。CNFG_GEN を参照。)
			FMSTR = 00: $f_{MSTR} = 32,768\text{Hz}$ 0 = 64sps 1 = 32sps
			FMSTR = 01: $f_{MSTR} = 32,000\text{Hz}$ 0 = 62.50sps 1 = 31.25sps
			FMSTR = 10: $f_{MSTR} = 32,000\text{Hz}$ 0 = 50sps 1 = 25sps
			FMSTR = 11: $f_{MSTR} = 31,968\text{Hz}$ 0 = 49.95sps 1 = 24.98sps
D[22:20]	AHPF[2:0]	010	BIOZ チャンネル・アナログ・ハイパス・フィルタのカットオフ周波数とバイパス 000 = 125Hz 001 = 300Hz 010 = 800Hz 011 = 2000Hz 100 = 3700Hz 101 = 7200Hz 11x = バイパス AHPF
D[19]	EXT_RBIAS	0	外付け抵抗バイアス・イネーブル 0 = 内部バイアス発生器を使用 1 = 外部バイアス発生器を使用 注: 外部抵抗バイアスを使用すると、製品内の全てのバイアスの温度係数が向上しますが、主な利点は BIOZ 電流発生器の大きさが制御しやすくなることです。有効化した場合、RBIAS と GND の間に外付け抵抗を挿入する必要があり、実現される温度係数は、内部バンドギャップと外付け抵抗を組み合わせた性能によって決定されます。
D[18]	LN_BIOZ	0	BIOZ チャンネル計装アンプ (INA) のパワー・モード 0 = BIOZ INA は低消費電力モード 1 = BIOZ INA は低ノイズ・モード
D[17:16]	GAIN[1:0]	00	BIOZ チャンネル・ゲインの設定 00 = 10V/V 01 = 20V/V 10 = 40V/V 11 = 80V/V
D[15:14]	DHPF[1:0]	00	BIOZ チャンネル・デジタル・ハイパス・フィルタのカットオフ周波数 00 = バイパス (DC) 01 = 0.05Hz 1x = 0.50Hz

表 25. CNFG\_BIOZ (0x18) レジスタの機能 (続き)

インデックス	名称	デフォルト	機能
D[13:12]	DLPF[1:0]	01	BIOZ チャンネル・デジタル・ローパス・フィルタのカットオフ周波数 00 = バイパス (デシメーションのみ、FIR フィルタなし) 01 = 4Hz 10 = 8Hz 11 = 16Hz (BIOZ レートを 64、62.5、50、49.95sps に選択した時のみ有効) 注: 表 39 を参照してください。サポートされていない DLPF 設定を指定した場合、4Hz の設定 (DLPF[1:0] = 01) が内部で使用されます。CNFG_BIOZ レジスタは書き込まれた値を保持し続けますが、リードバックした時に有効な内部値を返します。
D[11:8]	FCGEN[3:0]	1000	BIOZ 電流発生器の変調周波数 0000 = $4 \cdot f_{MSTR}$ (約 128000Hz) 1000 = $f_{MSTR}/64$ (約 500Hz) 0001 $\approx 2 \cdot f_{MSTR}$ (約 80000Hz) 1001 = $f_{MSTR}/128$ (約 250Hz) 0010 $\approx f_{MSTR}$ (約 40000Hz) 101x = $f_{MSTR}/256$ (約 125Hz) 0011 $\approx f_{MSTR}/2$ (約 18000Hz) 11xx = $f_{MSTR}/256$ (約 125Hz) 0100 = $f_{MSTR}/4$ (約 8000Hz) 0101 = $f_{MSTR}/8$ (約 4000Hz) 0110 = $f_{MSTR}/16$ (約 2000Hz) 0111 = $f_{MSTR}/32$ (約 1000Hz) 実際の周波数は FMSTR の選択により決定されます。詳細は CNFG_GEN レジスタおよび下の表を参照してください。
D[7]	CGMON	0	BIOZ 電流発生器モニタ 0 = 電流発生器モニタを無効化 1 = 電流発生器モニタを有効化。BIOZ チャンネルと電流発生器をアクティブにすることが必要。BCGMON の割込みおよびステータス・ビットの動作を有効化します。電流源のコンプライアンス・レベルをモニタし、4 電極の BIOZ アプリケーションで DRVP/DRVN のリードオフ状態を検出するのに有用です。
D[6:4]	CGMAG[2:0]	000	BIOZ 電流発生器の大きさ 000 = オフ (DRVP および DRVN はフロート状態、電流発生器はオフ) 001 = 8 $\mu$ A 010 = 16 $\mu$ A 011 = 32 $\mu$ A 100 = 48 $\mu$ A 101 = 64 $\mu$ A 110 = 80 $\mu$ A 111 = 96 $\mu$ A 許容される CGMAG 設定と FCGEN 選択の一覧は、以下の表 40 と表 41 を参照してください。
D[3:0]	PHOFF[3:0]	0000	BIOZ 電流発生器変調の位相オフセット 位相の分解能およびオフセットは、FCGEN 設定によって異なります。 FCGEN[3:0] $\geq$ 0010 : 位相オフセット = PHOFF[3:0] * 11.25° (0 ~ 168.75°) FCGEN[3:0] = 0001 : 位相オフセット = PHOFF[3:1] * 22.50° (0 ~ 157.50°) FCGEN[3:0] = 0000 : 位相オフセット = PHOFF[3:2] * 45.00° (0 ~ 135.00°)

表 26. 対応する RATE および DLPF のオプション

CNFG_GEN FMSTR[1:0]	RATE Sample Rate	DLPF[1:0] / Digital LPF Cut Off			
		00	01	10	11
00 = 32,768Hz	0 = 64sps	Bypass	4.096Hz	8.192Hz	16.384Hz
	1 = 32sps				4.096Hz
01 = 32,000Hz	0 = 62.5sps	Bypass	4.0Hz	8.0Hz	16.0Hz
	1 = 31.25sps				4.0Hz
10 = 32,000Hz	0 = 50sps	Bypass	4.0Hz	8.0Hz	16.0Hz
	1 = 25sps				4.0Hz
11 = 31,968Hz	0 = 49.95sps	Bypass	3.996Hz	7.992Hz	15.984Hz
	1 = 25.98sps				3.996Hz

Note: グレーで示された組み合わせは対応せず、示されたデフォルト設定に内部でマッピングされます。

表 27. 実際の BIOZ 電流発生器変調器の周波数と FMSTR[1:0] の選択の関係

FCGEN[3:0]	BIOZ Current Generator Modulation Frequency (Hz)			
	FMSTR[1:0] = 00 $f_{MSTR} = 32,768\text{Hz}$	FMSTR[1:0] = 01 $f_{MSTR} = 32,000\text{Hz}$	FMSTR[1:0] = 10 $f_{MSTR} = 32,000\text{Hz}$	FMSTR[1:0] = 11 $f_{MSTR} = 31,968\text{Hz}$
0000	131,072	128,000	128,000	127,872
0001	81,920	80,000	80,000	81,920
0010	40,960	40,000	40,000	40,960
0011	18,204	17,780	17,780	18,204
0100	8,192	8,000	8,000	7,992
0101	4,096	4,000	4,000	3,996
0110	2,048	2,000	2,000	1,998
0111	1,024	1,000	1,000	999
1000	512	500	500	500
1001	256	250	250	250
101x, 11xx	128	125	125	125

表 28. 許容される CGMAG オプションと FCGEN の選択の関係

FCGEN[3:0]	APPROXIMATE CURRENT GENERATOR MODULATION FREQUENCY (Hz)	CGMAG[2:0] OPTIONS ALLOWED	CURRENT GENERATOR MAGNITUDE OPTIONS ALLOWED ( $\mu A_{P.P}$ )
0000	128,000	All	All
0001	80,000		
0010	40,000		
0011	18,000		
0100	8,000		
0101	4,000	All except 111	All except 96
0110	2,000	000, 001, 010, 011	Off, 8, 16, 32
0111	1,000	000, 001, 010	Off, 8, 16
1000	500	000, 001	Off, 8
1001	250		
101x, 11xx	125		

## FIFO メモリの説明

デバイスは、BIOZ 情報用の読出し専用 FIFO メモリを提供します。この FIFO メモリの動作については、以降のセクションで詳しく説明します。

表 29 に、FIFO メモリ内のアクセス方法とデータ構造を示します。

表 29. FIFO メモリ・アクセスとデータ構造の概要

REG	FIFO AND MODE	DATA STRUCTURE (D[23:0])																					
		23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
0x22	BIOZ Burst	BIOZ Sample Voltage Data [19:0]																			0	BTAG [2:0]	
0x23	BIOZ	BIOZ Sample Voltage Data [19:0]																			0	BTAG [2:0]	

**BIOZ FIFO メモリ (8 ワード × 24 ビット)**

BIOZ FIFO メモリは、8 ワード (それぞれが 24 ビットの情報を含む) で構成される標準的な循環型 FIFO です。BIOZ FIFO は、内部の読出しポインタと書込みポインタによって独立に管理されます。リード・ポインタは、ノーマル・モードのリードバック・トランザクションでは 32 番目の SCLK の立上がりエッジに応答して更新され、バースト・モードのトランザクションでは (32+n×24) 番目の SCLK の立上がりエッジ (n=0~最大 31) に応答して更新されます。FIFO サンプルは、いったん読出しとマークされると、再度アクセスすることはできません。

書込みポインタは内部で管理されています。データ管理を容易にし、μC のオーバーヘッドを軽減するために、デバイスはユーザ・プログラマブルな BIOZ FIFO 割込み閾値 (BFIT[2:0]) を備え、BIOZ 割込みビット (BINT) を管理します。この閾値は 1~8 の値で設定可能で、BINT ビットがアサートされるまでに必要な未読の BIOZ FIFO エントリ数を示し、BIOZ FIFO にリードバック可能な大量のデータがあることを μC に警告します (詳細は、MNGR\_INT (0x04) を参照)。

書込みポインタが FIFO アレイ全体を進んで読出しポインタに追いついた場合 (μC が FIFO データを読出し/管理できないことによる)、FIFO のオーバーフローが発生して、データが破壊されます。BOVF STATUS および tag ビットはこの状態を示し、測定を続行する前に、SYNCH または FIFO\_RST コマンドを用いて

FIFO をクリアする必要があります。ただし、オーバーフローが発生すると、サンプル数が減少し、タイミング情報が失われるため、適切に設計されたアプリケーションでは発生することはありません。

データ破損を防ぐため、最後の有効な FIFO ワードを超えて読出しを行わないようにしてください。

**BIOZ FIFO のデータ構造**

ワードのデータ部分には、要求されたサンプリング・レートで測定された 20 ビットの BIOZ 電圧情報が左詰め 2 の補数フォーマットで含まれています。1 つのビットは 0 に設定され、残りの 3 ビットのデータには重要なデータ・タグ情報が含まれています (詳細は表 30 を参照)。サンプルのデータ部分を符号付き絶対値フォーマットに変換した後、BioZ が次式で計算されます。

$$\text{BioZ } (\Omega) = \text{ADC} \times V_{\text{REF}} / (2^{19} \times \text{BIOZ\_CGMAG} \times \text{BIOZ\_GAIN})$$

ここで、

ADC = 符号付絶対値フォーマットでの ADC カウント、  
V<sub>REF</sub> = 1V (代表値、電氣的特性のセクションを参照)、  
BIOZ\_CGMAG = 8~96 × 10<sup>-6</sup>A、BIOZ\_GAIN は 10V/V、  
20V/V、40V/V、80V/V のいずれかです。BIOZ\_CGMAG と  
BIOZ\_GAIN は、CNFG\_BIOZ (0x18) で設定します。

表 30. BIOZ FIFO BIOZ データ・タグ (BTAG[2:0] = D[2:0])

BTAG [2:0]	説明	推奨されるユーザ・アクション	データ有効	時間有効
000	Valid Sample	BIOZ レコードにサンプルを記録し、タイム・ステップをインクリメントします。BIOZ FIFO からのデータ読出しを継続します。	Yes	Yes
001	Over/Under Range Sample	BIOZ レコードにサンプルを記録し、タイム・ステップをインクリメントします。データが有効であるか、リードオフ状態であるかを判定します。BIOZ FIFO からのデータ読出しを継続します。	?	Yes
010	Last Valid Sample (EOF)	BIOZ レコードにサンプルを記録し、タイム・ステップをインクリメントします。サンプル数が増えるまで BIOZ FIFO の読出しを一時停止します。	Yes	Yes
011	Last Over/Under Range Sample (EOF)	BIOZ レコードにサンプルを記録し、タイム・ステップをインクリメントします。データが有効であるか、リードオフ状態であるかを判定します。サンプル数が増えるまで BIOZ FIFO の読出しを一時停止します。	?	Yes
10x	Unused	-	-	-
110	FIFO Empty (exception)	タイム・ベースをインクリメントせずに、このサンプルを破棄します。サンプル数が増えるまで BIOZ FIFO の読出しを一時停止します。	No	No
111	FIFO Overflow (exception)	タイム・ベースをインクリメントせずに、このサンプルを破棄します。必要に応じて、FIFO_RST コマンドを発行して FIFO をクリアするか、再度 SYNCH を行います。全ての FIFO で、これに伴う停止と再開に注意してください。	No	No

### BIOZ データ・タグ (BTAG)

サンプルの最後の 3 ビットは、データ転送の管理を支援するデータ・タグ (BTAG[2:0] = D[2:0]) として使用されます。BTAG 構造の詳細は次のとおりです。

**有効:** BTAG = 000 は、このサンプルの BIOZ データが BIOZ レコードの有効な電圧とタイム・ステップの両方を表していることを示します。

**オーバーレンジまたはアンダーレンジ:** BTAG = 001 は、このサンプルの BIOZ データが選択した範囲の閾値 (MNGR\_DYN および CNFG\_GEN を参照) に違反し、サンプルの電圧情報が有効かリードオフ状態を示しているかを評価する必要があることを示しています。電圧データは無効でも、この種のサンプルは BIOZ レコードの有効なタイム・ステップを表していることに注意してください。

**有効な EOF:** BTAG = 010 は、このサンプルの BIOZ データが BIOZ レコードの有効な電圧とタイム・ステップの両方を表し、BIOZ FIFO で現在利用できる最後のサンプル (End-of-File, EOF) であることを示します。 $\mu\text{C}$  は、BIOZ FIFO に更にデータを要求する前に、更なるサンプルが利用可能になるまで待機する必要があります。

**オーバーレンジまたはアンダーレンジの EOF:** BTAG = 011 は、このサンプルの BIOZ データが選択した範囲の閾値 (MNGR\_DYN および CNFG\_GEN を参照) に違反し、サンプルの電圧情報が有効かリードオフ状態を示しているかを評価する必要があることを示しています。電圧データは無効でも、この種のサンプルは BIOZ レコードの有効なタイム・ステップを表していることに注意してください。これは、BIOZ FIFO で現在利用可能な最後のサンプルでもあります (End-of-File, EOF)。 $\mu\text{C}$  は、BIOZ FIFO に更にデータを要求する前に、更なるサンプルが利用可能になるまで待機する必要があります。

**エンプティ:** 空の FIFO からのリードバック・データには BTAG = 110 が付加されます。このタグが存在した場合、この FIFO データが有効なサンプルまたはタイム・ステップを表していないことを警告しています。ただし、 $\mu\text{C}$  が適切に処理すれば、空のタグが発生しても、連続した FIFO レコードの整合性が損なわれることはありません。このタグは、リードバック要求が時期尚早であったか、不要であったかを示すにすぎません。

**オーバーフロー:** BTAG = 111 は、FIFO がオーバーフローし、サンプル・レコードに中断やデータの欠落があったことを示します。BIOZ オーバーフロー (BOVF) ビットは STATUS レジスタにも含まれています。このような状況を解決するには FIFO\_RESET が必要で、効果的に FIFO をクリアし、今後有効なサンプリングが確保されます。

### アプリケーション情報

#### 外部フィルタ

BioZ フィルタは、アプリケーションで使用する駆動周波数によって異なります。差動モードのコーナ周波数は、最大駆動周波数より数十倍高い周波数に設定します。コモンモードのコーナ周波数は、差動モードのコーナ周波数より高くし、AM ラジオ帯域より低く設定します。

#### 身体バイアス電極

ECG、BioZ チャンネルのコモンモード入力範囲へのコンプライアンスは、内部リード・バイアスを使用するか、第 3 の電極を追加して身体を  $V_{\text{CM}}$  に駆動することで実現します。身体バイアス駆動電極は、電極インピーダンスが高いアプリケーションや 50/60Hz のカップリングが高いアプリケーションでの性能を向上させます。また、 $V_{\text{CM}}$  駆動にすると、内部リード・バイアスが無効になるため、入力インピーダンスも改善されます。

## 代表的なアプリケーション回路

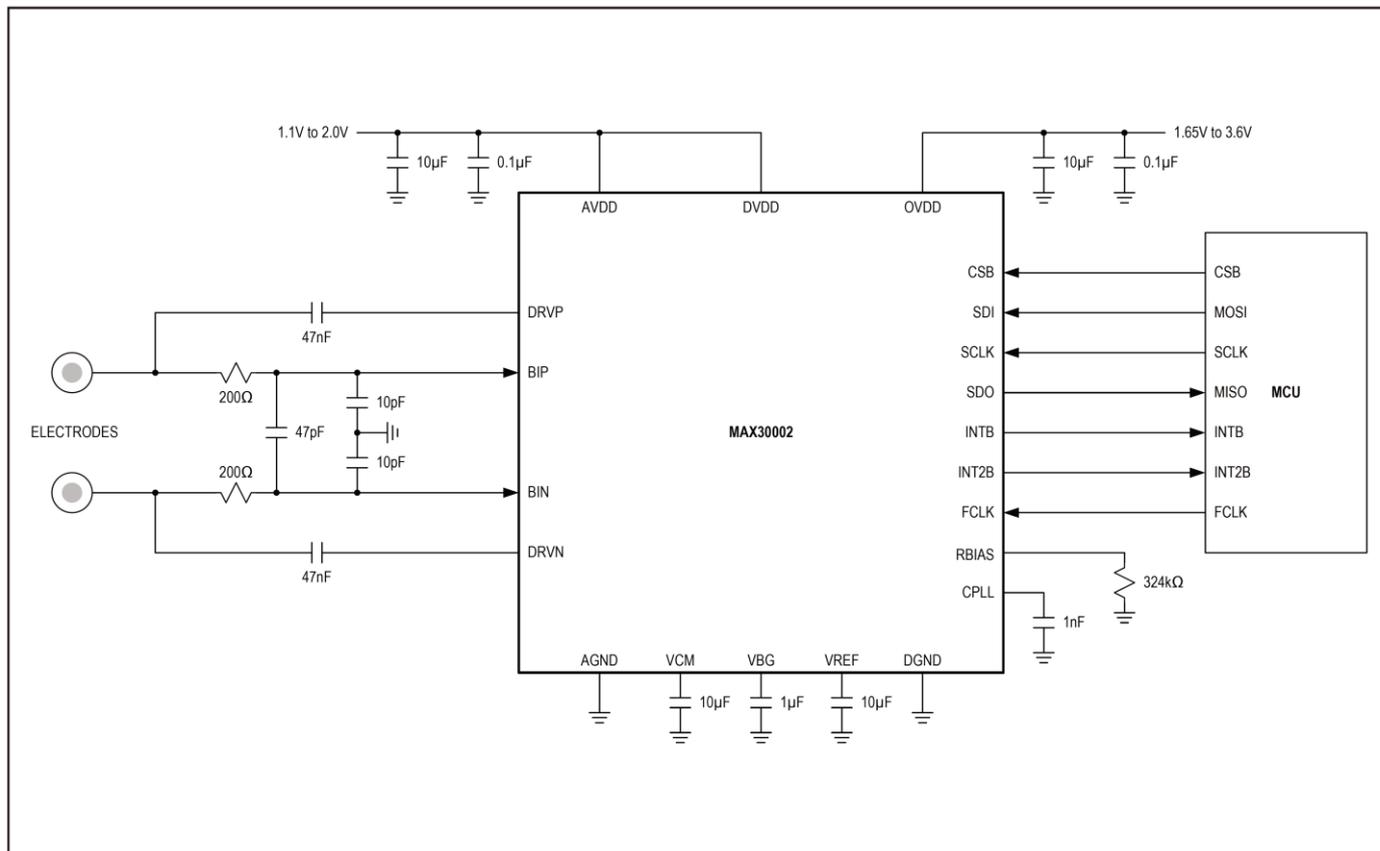


図 9.2 電極呼吸モニタの代表的なアプリケーション回路

## アプリケーション構成図

図 10 は、2 つの電極を用いて呼吸をモニタする臨床アプリケーションの例で、オプションで共有除細動保護回路を設けることができます。物理的な電極の電気的特性を説明するために、電極のモデルを示しています。

## 4 電極呼吸モニタのアプリケーション

図 11 は、4 つの電極を使用し、オプションで除細動保護回路を使用する呼吸モニタリングの臨床応用の例です。物理的な電極の電気的特性を説明するために、電極のモデルを示しています。

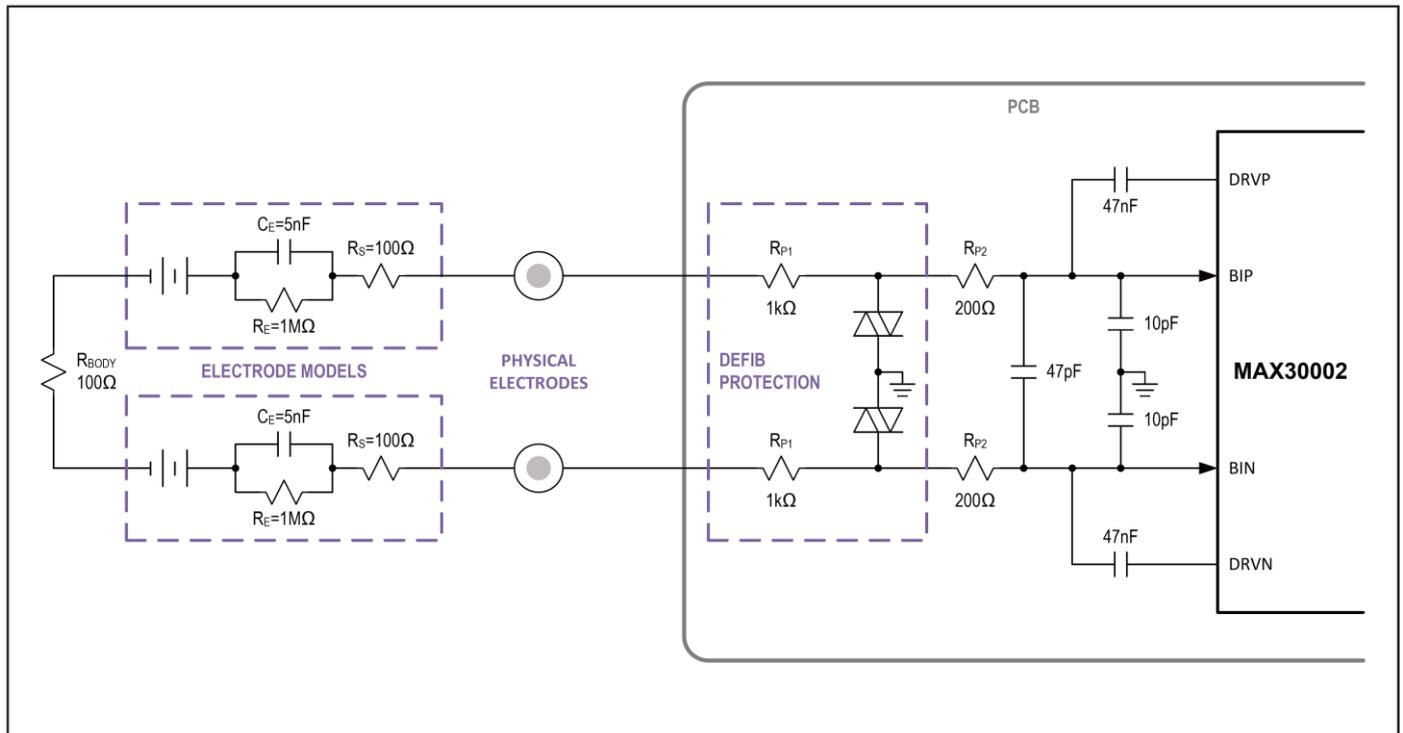


図 10.2 電極呼吸モニタとオプションの共通除細動保護

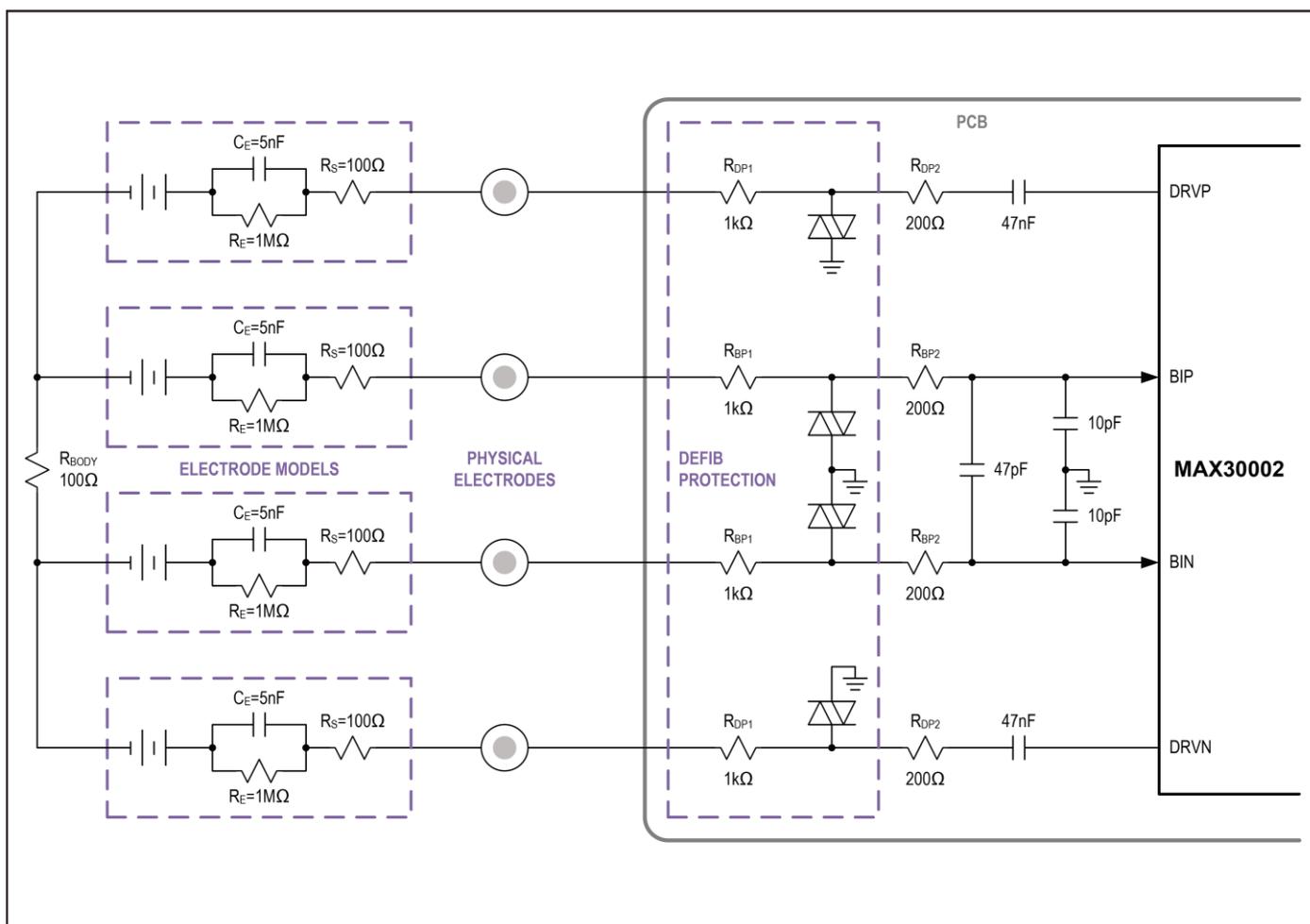


図 11.4 電極呼吸モニタとオプションの除細動保護

## オーダー情報

PART	TEMP RANGE	PIN-PACKAGE
MAX30002CWV+	0°C to +70°C	30WLP
MAX30002CWV+T	0°C to +70°C	30WLP

+は鉛 (Pb) フリー/ROHS 準拠のパッケージを表します。

T=テープ&リール。

## チップ情報

プロセス : CMOS

## パッケージ情報

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages) で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

PACKAGE TYPE	PACKAGE CODE	OUTLINE NO.	LAND PATTERN NO.
30 WLP	W302L2+1	<a href="#">21-100074</a>	Refer to Application Note 1891

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	3/18	初期リリース	—
1	1/23	機能と利点、概要、絶対最大定格、パッケージ熱特性、電気的特性を更新。図 1a、TOC 08、TOC 09、TOC12 を置き換え。ピン配置、端子説明、詳細、BioZ チャンネル、入力 MUX、EMI フィルタ処理と ESD 保護を更新。ESD 保護を追加。リードオフ検出と ULP リードオン検出、リード・バイアス、プログラマブル抵抗性負荷、電流発生器を更新。BIOZ サンプルのオームへの変換、電流選択と分解能の計算例 1 (共通保護付き 2 端子)、電流選択と分解能の計算例 2 (4 端子)、リファレンスおよびコモンモード・バッファ、表 5、表 8、表 13、表 14、表 15、BIOZ FIFO データ構造を追加。アプリケーション情報を追加。オーダー情報の表、パッケージ情報の表を更新。	1, 3–8, 10–13, 15–19, 24, 26, 28, 29, 39, 40, 43