



DC/DC 内蔵のサージ保護付き IO-Link トランシーバ

MAX22514

製品のハイライト

- 高度な設定可能性と内蔵化
 - IO-Link デバイスとマスタ・アプリケーション
 - COM1、COM2、COM3 のデータレート
 - 200mA の高効率 DC/DC 降圧レギュレータを内蔵
 - 200µA/2mA/5mA の電流シンク/ソース
 - C/Q レシーバは 5V TTL 用に設定可能
 - 高度に設定可能なドライバ過負荷処理
 - 選択可能な 4 つのドライバ・スルー・レート
 - SPI の設定とモニタリング
 - 温度センサーを内蔵
 - 設定可能な C/Q ドライバ: PNP モード、NPN モード、PP モード
- 内蔵した保護機能で堅固なシステムを実現
 - ±1kV/500Ω のサージ保護を内蔵
 - スペクトラム拡散 DC/DC
 - 逆極性保護
 - グリッチ・フィルタでバースト耐性を向上
 - ホットプラグ保護
- 小型センサー設計用に最適化済み
 - IO-Link 通信用の正確なオシレータ
 - 2.4Ω (標準) のドライバ・オン抵抗で低消費電力を実現
 - 1.2MHz の DC/DC スイッチング・レート
 - 3.3V および 5V のリニア・レギュレータを内蔵
 - WLP (2.5mm × 2.6mm) と TQFN (4mm × 5mm) の小型パッケージで提供

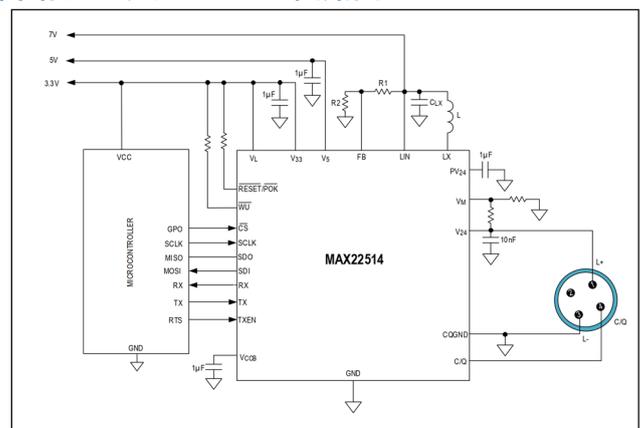
主なアプリケーション

- IO-Link、産業用センサー、アクチュエータなどのデバイス
MAX22514 は、設定および診断を行うための SPI インターフェースを備えています。高いレベルの内蔵化 (2 つのリニア・レギュレータ、DC/DC 降圧レギュレータ、内蔵のサージ保護機能を組み込み、併せて低消費電力および小型パッケージを実現) により、MAX22514 は多くの異なる産業用および IO-Link 用の小型センサー・アプリケーションで用いるために最適化されています。

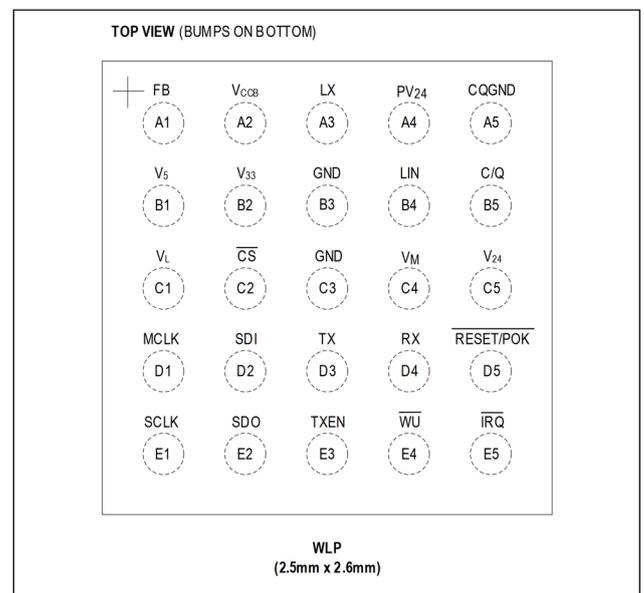
IO-Link マスタ・トランシーバ

MAX22514 は、IO-Link デバイスと IO-Link マスタ・アプリケーションの両方に使用可能です。SPI インターフェースを使用する目的は設定可能性を広げることと診断を行うことであり、トランシーバは COM1、COM2、COM3 の IO-Link データレートで動作可能です。MAX22514 は、必要な 5mA のプルダウン/プルアップ電流を C/Q ラインで実現し、ウェイクアップ・パルスを生成するように設定可能です。

簡略アプリケーション回路図



ピン配置



その他のデバイス用途例を参照してください。

型番はデータシート末尾に記載されています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

絶対最大定格

特に指定のない限り、すべての電圧は GND 基準です。

V ₂₄ (連続)	-36V~+36V
V ₂₄ (ピーク、100μs)	-52V~+65V
PV ₂₄ (連続)	-0.3V~+36V
PV ₂₄ (ピーク、100μs)	MAX(-0.3V, V ₂₄ - 52V)~ MIN(+52V, V ₂₄ + 52V)
LX	-0.3V~(PV ₂₄ + 0.3V)
LIN (連続)	MAX(-0.3V, V ₅ - 0.3V)~+36V
LIN (ピーク、100μs)	MAX(-0.3V, V ₅ - 0.3V)~+52V
C/Q (連続)	MAX(-36V, V ₂₄ - 36V)~ MIN(+36V, V ₂₄ + 36V)
C/Q (ピーク、100μs)	MAX(-52V, V ₂₄ - 60V)~ MIN(+52V, V ₂₄ + 60V)
V _M , FB, V _{CCB} , $\overline{\text{RESET/POK}}$	-0.3V~+6V
V ₅ , V _L	-0.3V~+6V
V ₃₃	-0.3V~(V ₅ + 0.3V)
ロジック入力	
$\overline{\text{CS}}$, SCLK, SDI, TX, TXEN	-0.3V~(V _L + 0.3V)
ロジック出力	

SDO, RX, MCLK	-0.3V~(V _L + 0.3V)
$\overline{\text{IRQ}}$, $\overline{\text{WU}}$	-0.3V~+6V
CQGND	-0.3V~+0.3V
V ₂₄ , LX, GND、または CQGND への連続電流	±1A
PV ₂₄ への連続電流	±200mA
PV ₂₄ (100μs) へのピーク電流	±1A
C/Q への連続電流	±500mA
その他のピンへの連続電流	±50mA
連続消費電力	
24 ピン TQFN (T _A = 70°C、+70°C を超えると 28.6mW/°C で ディレーティング)	2285.7mW
25 バンプ WLP (T _A = 70°C、+70°C を超えると 22.74mW/°C で ディレーティング)	1819mW
動作温度範囲	-40°C~+125°C
最高ジャンクション温度	+150°C
保存温度範囲	-40°C~+150°C
はんだ処理温度 (リフロー)	
(TQFN に限りはんだ処理 10 秒)	+300°C
パンプ・リフロー温度	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

24 TQFN	
Package Code	T2445+2C
Outline Number	21-0201
Land Pattern Number	90-0083
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ _{JA})	35°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	1.8°C/W
25 WLP	
Package Code	W252V2+1
Outline Number	21-100546
Land Pattern Number	Refer to App Note 1891
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ _{JA})	43.98°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	N/A

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maximintegrated.com/packages を参照してください。

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、www.maximintegrated.com/thermal-tutorial で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

電气的特性

(特に指定のない限り、 $V_{24}=8V\sim 36V$ 、 $V_5=4.5V\sim 5.5V$ 、 $V_L=2.5V\sim 5.5V$ 、 $V_{CQ\text{GND}}=V_{\text{GND}}=0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24}=24V$ 、 $V_5=5V$ 、 $V_L=3.3V$ 、 $T_A=+25^\circ\text{C}$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DC CHARACTERISTICS							
POWER SUPPLY							
V_{24} Supply Voltage	V_{24}			8		36	V
V_{24} Undervoltage Lockout Threshold	$V_{24\text{UVLO}}$	V_{24} rising		7	7.5	8	V
		V_{24} falling		6.3	7	7.6	
V_{24} Undervoltage Lockout Threshold Hysteresis	$V_{24\text{UVLO_HYST}}$				500		mV
V_{24} Supply Current	I_{24}	No load on C/Q, V_5 powered externally, DC-DC disabled, MCLK disabled	C/Q disabled, V_{33} enabled		0.04	0.075	mA
			C/Q in push-pull, and is high or low		0.32	0.45	
		V_5 powered externally, DC-DC enabled, MCLK enabled	C/Q in push-pull and is high or low		1.95		
V_5 Supply Voltage	V_5	V_5 supplied externally		4.5		5.5	V
V_5 Undervoltage Lockout Threshold	$V_{5\text{UVLO}}$	V_5 rising		3.98		4.26	V
		V_5 falling		3.92		4.19	
V_5 Supply Current	I_5	V_5 powered externally, DC-DC disabled, MCLK disabled, V_{33} enabled, no load on V_{33}	C/Q disabled		0.85	1.1	mA
			C/Q in push-pull mode, no load on C/Q		1.13	1.5	
		V_5 powered externally, DC-DC disabled, MCLK enabled and set to 29.48MHz, C/Q in push-pull and is high or low			3.0		
V_L Logic Level Supply Voltage	V_L			2.5		5.5	V
V_L Undervoltage Threshold	$V_{L\text{UVLO}}$			0.45		1.35	V
V_L Logic Level Supply Current	I_L	All logic inputs at GND or V_L , no load on any logic outputs, MCLK disabled			3	10	μA

(特に指定のない限り、 $V_{24}=8V\sim 36V$ 、 $V_5=4.5V\sim 5.5V$ 、 $V_L=2.5V\sim 5.5V$ 、 $V_{COGND}=V_{GND}=0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24}=24V$ 、 $V_5=5V$ 、 $V_L=3.3V$ 、 $T_A=+25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC-DC SWITCHING REGULATOR						
Input Voltage Range	V_{24_DC}	V_{24} is the input to the DC-DC	8		36	V
DC-DC Turn-on Delay	t_{DC_ON}	Delay from V_{24} crossing V_{24UVLO} threshold until the DC-DC regulator finishes soft-start. RESET rises		10.2		ms
Switching Frequency	f_{DC_H}	BUCKSS = 0	1.198	1.229	1.260	MHz
	f_{DC_HSPRD}	BUCKSS = 1		1.229		
Spread Spectrum	Δf_{DC_SPRD}	FREQ = high, BUCKSS = 1		± 10		%
Feedback (FB) Regulation Voltage	V_{DC_FB}			0.9		V
Output Voltage Accuracy	ACC_{DCFB}		-1.5	0	+1.5	%
Feedback (FB) OK Threshold	V_{DC_FBOK}	Voltage rising	92	95	98	% V_{DC_FB}
Feedback (FB) Low Threshold	$V_{DC_FBTHLOW}$		61	65	70	% V_{DC_FB}
LX On-Resistance (High Side)	R_{DC_HS}	From PV_{24} to LX, LX is sinking current (Note 2)		2.2	3.9	Ω
LX On-Resistance (Low Side)	R_{DC_LS}	From LX to GND (Note 2)		1.3	2.8	Ω
Active Diode On-Resistance	R_{DC_ACT}	DC current (Note 2)		3	5.5	Ω
Maximum Peak Current into Active Diode	I_{DC_ACTMAX}		300			mA
Maximum LX Current Ripple	ΔI_{DC_LX}			100		%
High-Side Peak Current Limit	I_{DC_HSLIM}		+350	+400	+440	mA
Low-Side Current Limit	I_{DC_LSMAX}		-240	-200	-150	mA
DC-DC Autoretry Period	$T_{DCRETRY}$			30.6		ms
External Capacitance on PV_{24}	C_{DC_PV24}		1			μF
LX leakage	I_{LX_LKG}	$0V < V_{LX} < 36V$	-1		+1	μA
FB Input Bias	I_{FB_LKG}	$0 \leq V_{FB} \leq 1V$, $T_A = 25^\circ C$	-100		+100	nA
LX Minimum On-Time	t_{LX_MINON}	(Note 2)		64	92	ns
LX Minimum Off-Time	t_{LX_MINOFF}	(Note 2)		32	60	ns
V_{CCB} LINEAR REGULATOR (V_{CCB})						

(特に指定のない限り、 $V_{24} = 8V \sim 36V$ 、 $V_5 = 4.5V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{CQ\text{GND}} = V_{\text{GND}} = 0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ\text{C}$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CCB} Output Voltage	V_{CCB}	$8V \leq V_{\text{PV}24} \leq 36V$, $0\text{mA} \leq I_{\text{LOAD}} \leq 15\text{mA}$		4.75	5	5.25	V
V_{CCB} Current Limit	$I_{\text{CCB_MAX}}$	$V_{\text{PV}24} = 8V$		30	55	90	mA
5V LINEAR REGULATOR (V_5)							
LIN Input Supply Voltage	V_{LIN}			6		36	V
V_5 Output Voltage	V_5	$6V \leq V_{\text{LIN}} \leq 36V$, no load on V_5		4.75	5	5.25	V
V_5 Load Regulation	$\Delta V_{5\text{LDR}}$	$V_{\text{LIN}} = 24V$, $1\text{mA} < I_{\text{LOAD}} < 50\text{mA}$			0.85	2.4	%
V_5 Line Regulation	$\Delta V_{5\text{LNR}}$	$6V \leq V_{\text{LIN}} \leq 36V$, $I_{\text{LOAD}} = 1\text{mA}$			0.02	0.2	mV/V
V_5 Load Capacitance	C_{V5}	External capacitance on V_5		1			μF
3.3V LINEAR REGULATOR (V_{33})							
V_{33} Output Voltage	V_{33}	No load		3.1	3.3	3.5	V
V_{33} Load Regulation	ΔV_{33_LR}	$1\text{mA} < I_{\text{LOAD}} < 50\text{mA}$		0	0.18	1.2	%
V_{33} Load Capacitance	C_{V33}	External capacitance on V_{33}		1			μF
C/Q DRIVER							
C/Q Driver High-Side On-Resistance	R_{CQOH}	(Note 2)	High-side enabled, $\text{CL}[1:0] = 11$, $I_{\text{LOAD}} = +150\text{mA}$		2.4	4.4	Ω
C/Q Driver Low-Side On-Resistance	R_{CQOL}	(Note 2)	Low-side enabled, $\text{CL}[1:0] = 11$, $I_{\text{LOAD}} = -150\text{mA}$		2.0	4.0	Ω
C/Q Driver Current Limit	I_{CQCL}	$V_{\text{DROP}} = 3V$ (Note 3)	$\text{CL}[1:0] = 00$	50	57	65	mA
			$\text{CL}[1:0] = 01$	100	114	130	
			$\text{CL}[1:0] = 10$	200	230	260	
			$\text{CL}[1:0] = 11$	250	290	325	
			$\text{WUGEN} = 1$	500			
C/Q Output Reverse Current	$I_{\text{REV_CQ}}$	$\text{CQ_EN} = 1$, $\text{CQ_PP} = 1$, $\text{CQ_PD} = 0$, $\text{CQ_PU} = 0$, $V_{\text{C/Q}} = (V_{24} + 5V)$ or $(V_{\text{GND}} - 5V)$		-90		+375	μA
C/Q Leakage Current	$I_{\text{LEAK_CQ}}$	$\text{CQ_EN} = 0$, $\text{CQ_PD} = 0$, $\text{CQ_PU} = 0$, $\text{RX_DIS} = 0$, $V_{24} = 24V$, $(V_{24} - 36V) \leq V_{\text{C/Q}} \leq 36V$		-35		+60	μA
C/Q CURRENT SINKS AND SOURCES							
C/Q Weak Pull-Down Current	I_{CQPD}	$V_{\text{C/Q}} > 5V$, $\text{CQ_EN} = 0$, $\text{RX_DIS} = 1$, CQ_PD		-240	-200	-160	μA

(特に指定のない限り、 $V_{24}=8V\sim 36V$ 、 $V_5=4.5V\sim 5.5V$ 、 $V_L=2.5V\sim 5.5V$ 、 $V_{CQ\text{GND}}=V_{\text{GND}}=0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24}=24V$ 、 $V_5=5V$ 、 $V_L=3.3V$ 、 $T_A=+25^\circ\text{C}$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		= 1, CQ_PU = 0, CQPUD2MA = 0, CQPUD5MA = 0					
C/Q Weak Pull-Up Current	I_{CQPU}	$V_{\text{C/Q}} = (V_{24} - 5V)$, CQ_EN = 0, RX_DIS = 1, CQ_PD = 0, CQ_PU = 1, CQPUD2MA = 0, CQPUD5MA = 0		+160	+200	+240	μA
C/Q 2mA Pull-Down Current	I_{CQPD2}	$V_{\text{C/Q}} > 5V$, CQ_EN = 0, RX_DIS = 1, CQ_PD = 1, CQ_PU = 0, CQPUD2MA = 1, CQPUD5MA = 0		-2.6	-2.2	-2.0	mA
C/Q 2mA Pull-Up Current	I_{CQPU2}	$V_{\text{C/Q}} = (V_{24} - 5V)$, CQ_EN = 0, RX_DIS = 1, CQ_PD = 0, CQ_PU = 1, CQPUD2MA = 1, CQPUD5MA = 0		+2.0	+2.2	+2.6	mA
C/Q 5mA Pull-Down Current	I_{CQPD5}	$V_{\text{C/Q}} > 5V$, CQ_EN = 0, RX_DIS = 1, CQ_PD = 1, CQ_PU = 0, CQPUD2MA = 0, CQPUD5MA = 1		-6.5	-5.5	-5.0	mA
C/Q 5mA Pull-Up Current	I_{CQPU5}	$V_{\text{C/Q}} = (V_{24} - 5V)$, CQ_EN = 0, RX_DIS = 1, CQ_PD = 0, CQ_PU = 1, CQPUD2MA = 0, CQPUD5MA = 1		+5.0	+5.5	+6.5	mA
C/Q RECEIVER							
C/Q Input Voltage Range	V_{CQIN}	For valid RX logic		$V_{24} - 36V$		36	V
C/Q Input Threshold High	V_{CQTH}	TXEN = low and/or CQ_EN = 0, RXDIS = 0	$V_{24} \geq 18V$	11		12.5	V
			$V_{24} < 18V$	54.4		78.8	$\%V_{24}$
C/Q Input Threshold Low	V_{CQTL}	TXEN = low and/or CQ_EN = 0, RXDIS = 0	$V_{24} \geq 18V$	9		10.5	V
			$V_{24} < 18V$	45		66.9	$\%V_{24}$
C/Q Input Hysteresis	V_{CQHYS}	TXEN = low and/or CQ_EN = 0, RXDIS = 0	$V_{24} \geq 18V$		2		V
			$V_{24} < 18V$		11		$\%V_{24}$
C/Q Input Threshold High (TTL Mode)	V_{CQHTTL}	TXEN = low and/or CQ_EN = 0, RXDIS = 0, RXTTL = 1	Rising	2.1		3.45	V
			Falling	1.1		1.85	
C/Q Input Hysteresis (TTL Mode)	V_{CQHYSTTL}	TXEN = low and/or CQ_EN = 0, RXDIS = 0, RXTTL = 1			1.3		V
C/Q Input Capacitance	$C_{\text{IN,CQ}}$	Driver disabled, CQ_PD = 0, CQ_PU = 0, f = 100kHz			35		pF
VOLTAGE MONITOR INPUT (V_M)							
V_M Voltage Range	V_M			0		5.5	V

(特に指定のない限り、 $V_{24} = 8V \sim 36V$ 、 $V_5 = 4.5V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{COGND} = V_{GND} = 0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _M Threshold Voltage	V _{TH_M}	Rising	0.873	0.9	0.927	V
		Falling	0.832	0.858	0.883	
V _M Input Current	I _M		-1		+1	μA
RESET AND POWER-OK (RESET/POK)						
RESET/POK Input Voltage Low	V _{RSTIL}		0.4			V
RESET/POK Input Voltage High	V _{RSTIH}				1.3	V
RESET/POK Output Voltage Low	V _{POKLOW}	I _{LOAD} = -5mA			0.4	V
RESET/POK High Impedance Leakage Current	I _{RST_OD}	RESET/POK not asserted	-1		+1	μA
LOGIC INPUTS (CS, SCLK, SDI, SDO, TX, TXEN)						
Logic Input Voltage Low Threshold	V _{IL}				0.31 x V _L	V
Logic Input Voltage High Threshold	V _{IH}		0.68 x V _L			V
Logic Input Leakage Current	I _{LEAK}	Logic input = GND or V _L	-1		+1	μA
LOGIC OUTPUTS (WU, IRQ, SDO, RX, MCLK)						
Logic Output Voltage Low	V _{OL}	IRQ, WU, SDO, RX, MCLK, I _{LOAD} = -5mA			0.4	V
Logic Output Voltage High	V _{OH}	SDO, RX, MCLK, I _{LOAD} = +5mA	V _L - 0.4			V
Open-Drain High Impedance Leakage Current	I _{LK_OD}	IRQ and WU, not asserted	-1		+1	μA
SDO Leakage Current	I _{LK_SDO}	CS = high	-1		+1	μA
RX Leakage Current	I _{LK_RX}	RX = GND or V _L	-1		+1	μA
THERMAL CHARACTERISTICS						
C/Q Driver Shutdown Temperature	T _{SHUT_DRV}	Driver temperature rising, C/Q driver fault bit is set and driver is disabled		+160		°C
C/Q Driver Shutdown Hysteresis	T _{SHUT_DHYS}	Driver temperature falling, driver is automatically reenabled, TSHOFFEN = 0		15		°C
IC Thermal Warning Threshold	T _{WRN}	Die temperature rising, THERMW and THERMWINT bits are set		+150		°C
IC Thermal Warning Threshold Hysteresis	T _{WRN_HYS}	Die temperature falling, THERMW bit is cleared		20		°C

(特に指定のない限り、 $V_{24} = 8V \sim 36V$ 、 $V_5 = 4.5V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{COGND} = V_{GND} = 0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
IC Thermal Shutdown Threshold	T_{SHUT_IC}	Die temperature rising, THSHUTD bit set		+170		$^\circ C$	
IC Thermal Shutdown Hysteresis	T_{SHUT_ICHYS}	Die temperature falling, THSHUTD bit is cleared		20		$^\circ C$	
INTERNAL THERMAL SENSOR							
Programmable Thermal Warning Threshold Range	T_{WRN_RNG}	Typical range	-15		+174	$^\circ C$	
Programmable Thermal Warning Threshold Step	T_{WRN_LSB}	1 LSB		3		$^\circ C$	
Thermal ADC Resolution	T_{WRN_RES}			6		bit	
Thermal ADC Accuracy	ΔT_{PREC_25C}	$T_J = 27^\circ C$ (Note 2)	-8	0	+8	$^\circ C$	
	ΔT_{PREC_85C}	$T_J = 84^\circ C$		2			
	ΔT_{PREC_124C}	$T_J = 126^\circ C$ (Note 2)	-7	3	+12		
Thermal ADC Conversion Time	t_{ADC_CONV}			450		μs	
AC ELECTRICAL CHARACTERISTICS							
C/Q DRIVER							
Driver Low-to-High Propagation Delay	t_{PDLH_PP}	CQLOSLEW[1:0] = 00, Figure 1	Push-pull or PNP mode	0.6	0.8	μs	
	t_{PDLH_OC}	CQLOSLEW[1:0] = 00, Figure 1	NPN mode	1.8			
Driver High-to-Low Propagation Delay	t_{PDHL_PP}	CQLOSLEW[1:0] = 00, Figure 1	Push-pull or NPN mode	0.7	0.9	μs	
	t_{PDHL_OC}	CQLOSLEW[1:0] = 00, Figure 1	PNP mode	2			
Driver Skew	t_{SKEW}	$ t_{PDLH} - t_{PDHL} $, CQLOSLEW[1:0] = 00	-0.2		+0.2	μs	
Driver Rise Time	t_{RISE}	Push-pull or PNP mode, $V_{24(max)} = 30V$, Figure 1	CQLOSLEW[1:0] = 00	0.2	0.37	0.565	μs
			CQLOSLEW[1:0] = 01	0.4	0.67	1.035	
			CQLOSLEW[1:0] = 10	0.8	1.56	2.55	
			CQLOSLEW[1:0] = 11	2.4	6.0	11.2	
Driver Fall Time	t_{FALL}	Push-pull or NPN mode, $V_{24(max)} = 30V$, Figure 1	CQLOSLEW[1:0] = 00	0.2	0.38	0.565	μs
			CQLOSLEW[1:0] = 01	0.45	0.76	1.08	

(特に指定のない限り、 $V_{24}=8V\sim 36V$ 、 $V_5=4.5V\sim 5.5V$ 、 $V_L=2.5V\sim 5.5V$ 、 $V_{COGND}=V_{GND}=0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24}=24V$ 、 $V_5=5V$ 、 $V_L=3.3V$ 、 $T_A=+25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
		CQLOSLEW[1:0] = 10	1.2	1.87	2.7		
		CQLOSLEW[1:0] = 11	5	9	14		
C/Q Driver Enable Time High	t_{ENH}	Push-pull or PNP mode, Figure 2		0.59	0.935	μs	
C/Q Driver Enable Time Low	t_{ENL}	Push-pull or NPN mode, Figure 3		0.45	0.7	μs	
C/Q Driver Disable Time High	t_{DISH}	Push-pull or PNP mode, Figure 2 (Note 2)		1.6	2.2	μs	
C/Q Driver Disable Time Low	t_{DISL}	Push-pull or NPN mode, Figure 3 (Note 2)		1.3	2.4	μs	
C/Q RECEIVER							
C/Q Receiver Low-to-High Propagation Delay	t_{PRH_CQ}	Figure 4	RXFILTER = 1	0.825	1.22	1.6	μs
			RXFILTER = 0	0.24	0.28	0.43	
C/Q Receiver High-to-Low Propagation Delay	t_{PRH_CQ}	Figure 4	RXFILTER = 1	0.75	1.11	1.5	μs
			RXFILTER = 0	0.15	0.25	0.305	
WAKE-UP DETECTION (Figure 5)							
Wake-Up Input Minimum Pulse Width	t_{WUMIN}		62.2	64	65.8	μs	
Wake-Up Input Maximum Pulse Width	t_{WUMAX}		106	109	112	μs	
WU Output Low Time	t_{WUL}	Valid wake-up condition on C/Q	150	200	250	μs	
WAKE-UP GENERATION (Figure 6)							
Setup Time before Wake-Up	t_{SU_SU}			80		μs	
Wake-up Pulse Duration	t_{WUGEN}	Wake-up pulse has the opposite polarity of the existing C/Q level	77.8	80	82.2	μs	
On-Time after Wake-Up	t_{ON_WU}	C/Q driver enabled with original polarity after t_{WU}		2		μs	
High Impedance Time after Wake-Up	t_{DIS_WU}	C/Q driver is high impedance after t_{ON_WU}		418		μs	
MCLK CLOCK							
MCLK Frequency	f_{MCLK}	CLKDIV[2:0] = 000	3.594	3.686	3.779	MHz	
		CLKDIV[2:0] = 001	7.189	7.373	7.557		
		CLKDIV[2:0] = 010	14.38	14.74	15.11		
		CLKDIV[2:0] = 011	28.75	29.49	30.23		
		CLKDIV[2:0] = 100	1.797	1.843	1.889		

(特に指定のない限り、 $V_{24}=8V\sim 36V$ 、 $V_5=4.5V\sim 5.5V$ 、 $V_L=2.5V\sim 5.5V$ 、 $V_{COGND}=V_{GND}=0V$ 、すべてのロジック入力は V_L または GND 、標準値は $V_{24}=24V$ 、 $V_5=5V$ 、 $V_L=3.3V$ 、 $T_A=+25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI TIMING (CS, SCLK, SDI, SDO) (Figure 7)						
Maximum SCLK Frequency	f_{SPL_MAX}				12	MHz
SCLK Clock Period	t_{CH+CL}		35			ns
SCLK Pulse Width High	t_{CH}		5			ns
SCLK Pulse Width Low	t_{CL}		30			ns
CS Fall to SCLK Rise Time	t_{CSS}		7			ns
SCLK Rise to CS Rise Hold Time	t_{CSH}		0			ns
SDI Hold Time	t_{DH}		3			ns
SDI Setup Time	t_{DS}		3			ns
SDO Output Data Propagation Delay	t_{DO}				23	ns
SDO Rise and Fall Times	t_{FT}			0.7		ns
Minimum CS Pulse	t_{CSW}			15		ns
EMC TOLERANCE						
ESD Protection (V_{24} , C/Q Pins)		IEC 61000-4-2 Contact Discharge		± 2.5		kV
ESD Protection (All Other Pins)		Human Body Model		± 1.5		kV
Surge Protection (V_{24} , C/Q Pins)	V_{SRG}	500 Ω 8/20 μs surge to ground		± 1.2		kV

Note 1 : すべてのデバイスは $T_A=25^\circ C$ で 100% 出荷テストを行っています。全温度範囲での制限値は設計により確認されています。

Note 2 : 出荷テストの対象外です。設計により性能を確保しています。

Note 3 : V_{DROP} は、ローサイド・ドライバの電流制限値を測定する場合にはドライバ出力から GND の間の電圧 ($V_{DRIVER}-V_{GND}$) として、ハイサイドの電流制限値を測定する場合には ($V_{24}-V_{DRIVER}$) として測定します。

タイミング図

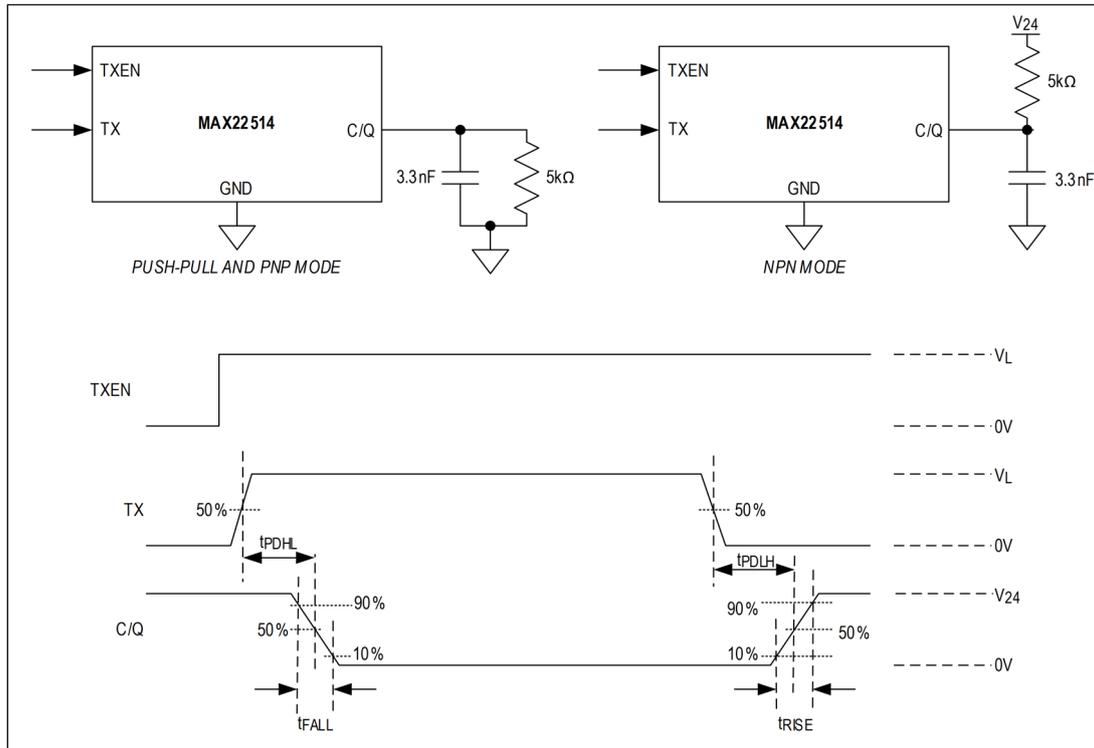


図 1. C/Q ドライバの伝搬遅延

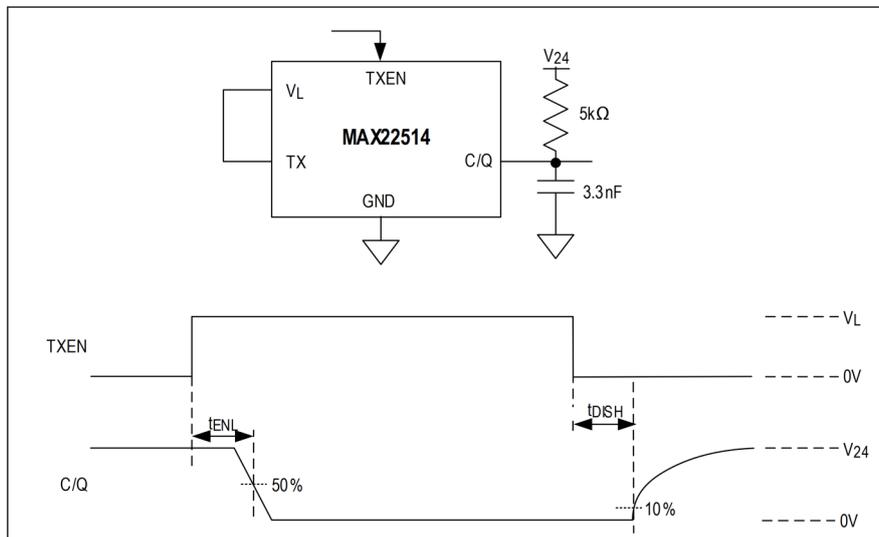


図 2. C/Q ドライバのイネーブル・ローとディスエーブル・ハイのタイミング

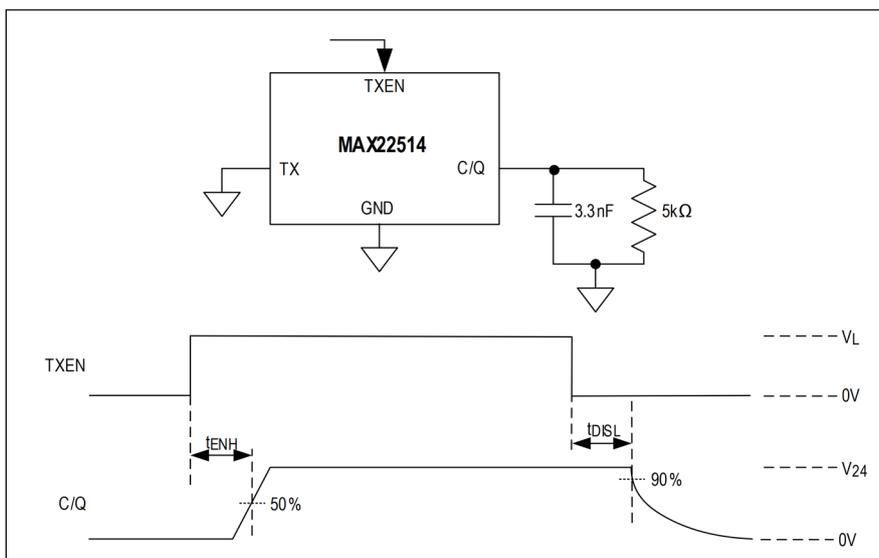


図 3. C/Q ドライバのイネーブル・ハイとディスエーブル・ローのタイミング

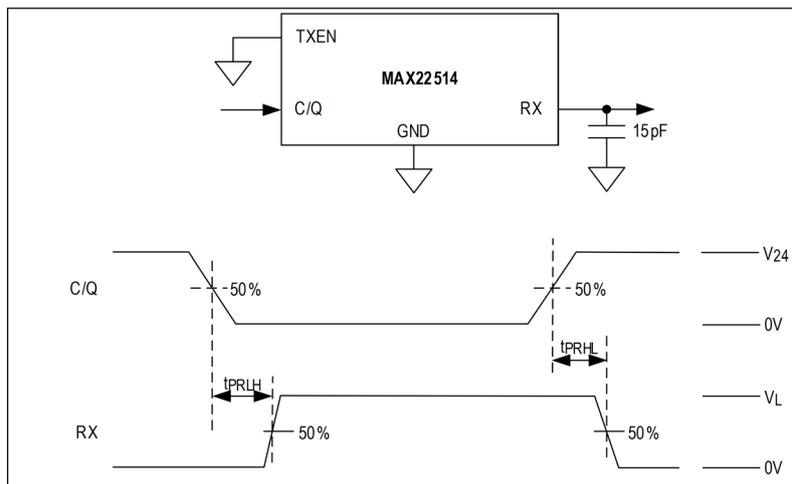


図 4. C/Q レシーバのタイミング

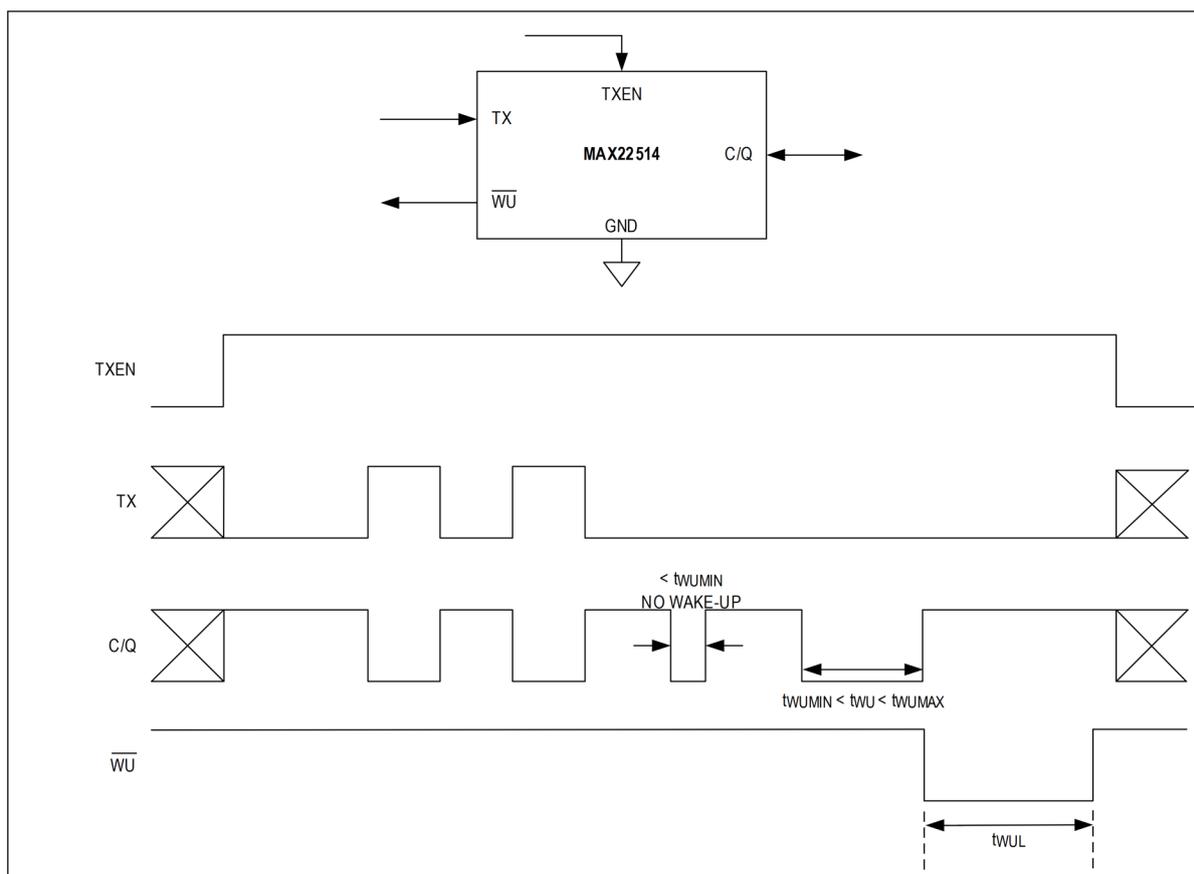


図 5. ウェイクアップ検出のタイミング

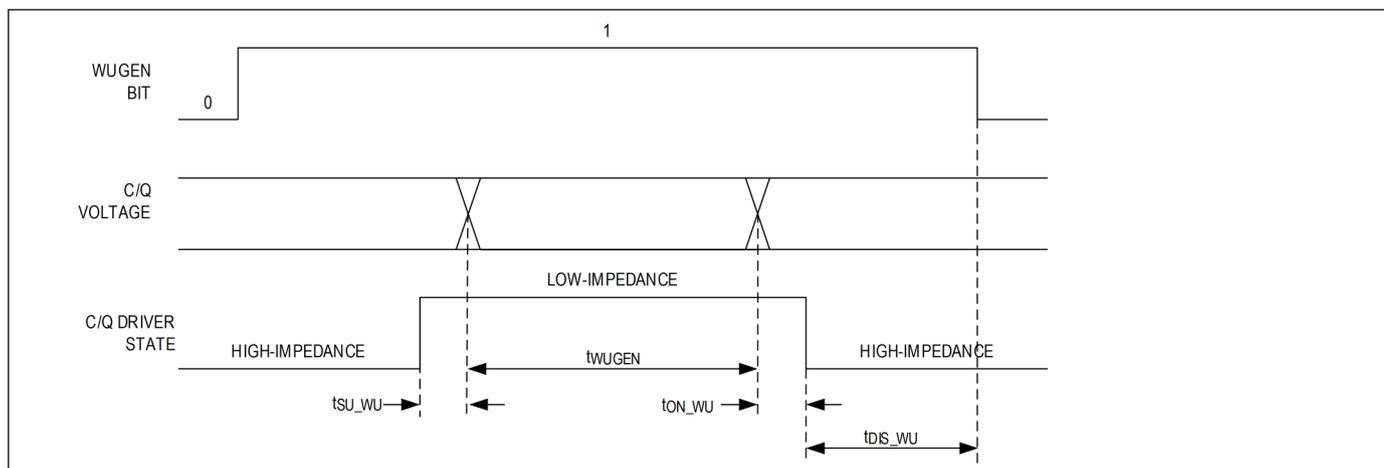


図 6. ウェイクアップの生成

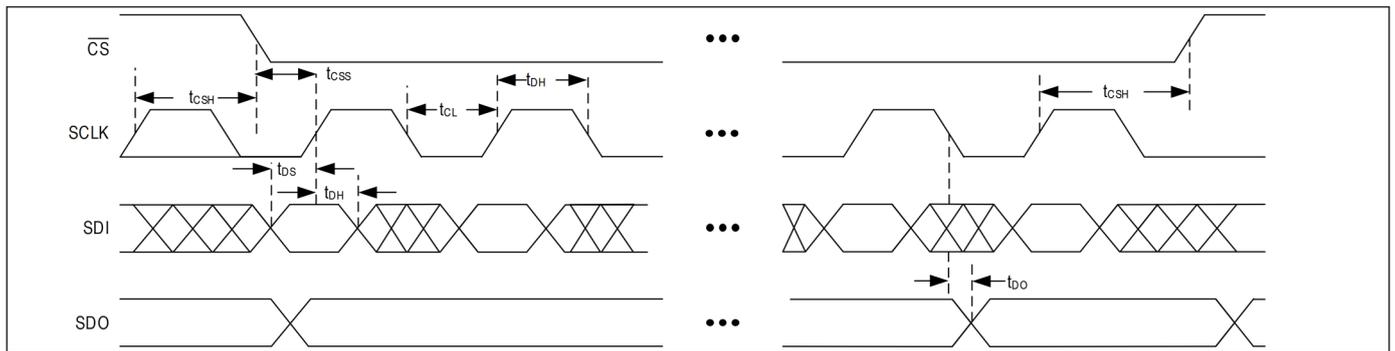
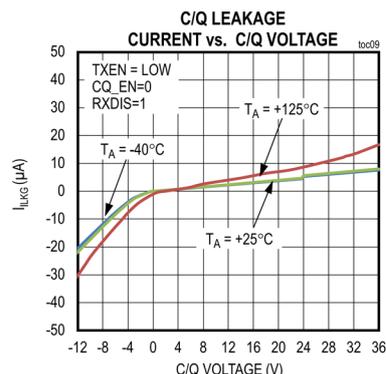
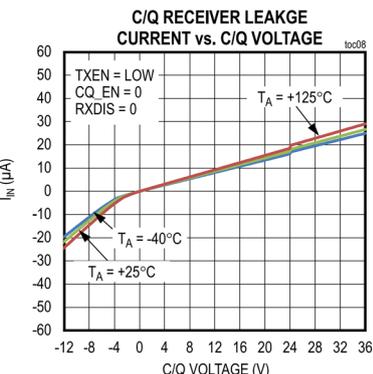
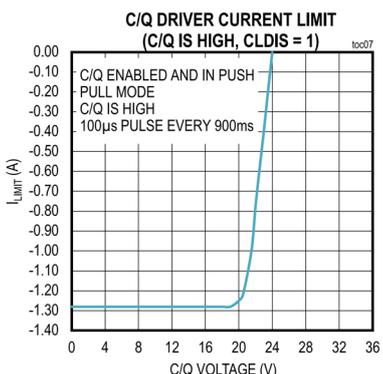
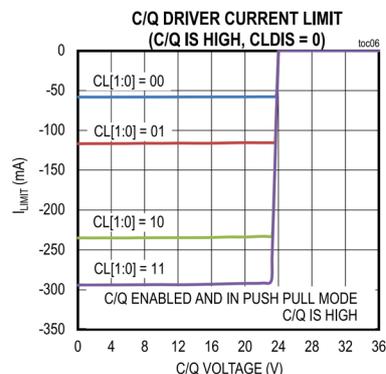
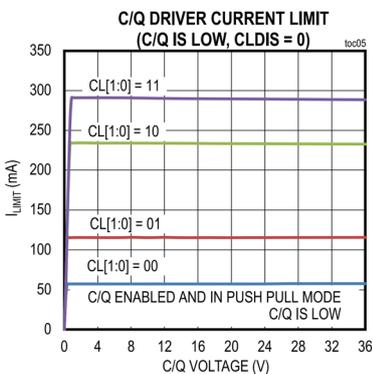
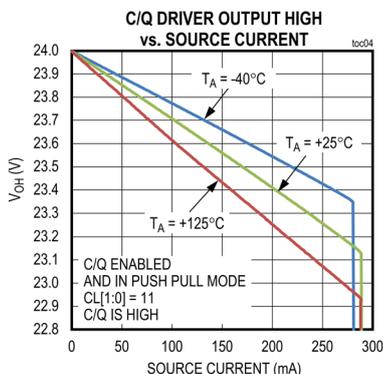
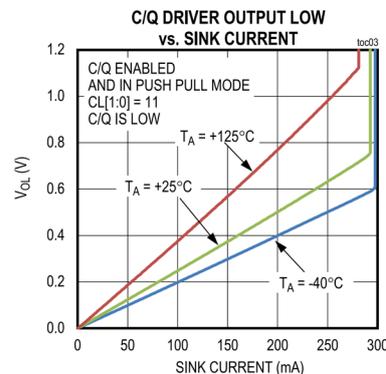
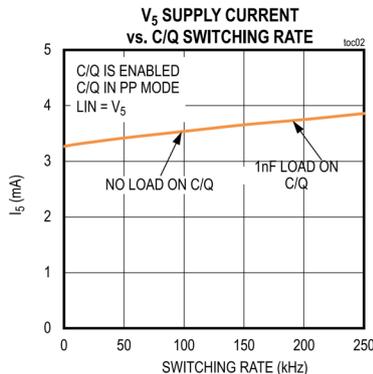
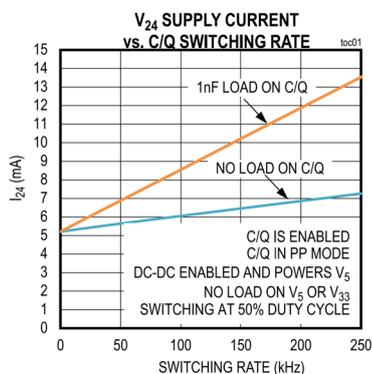


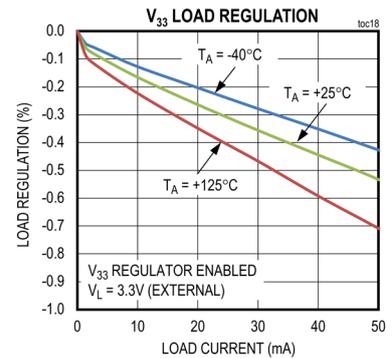
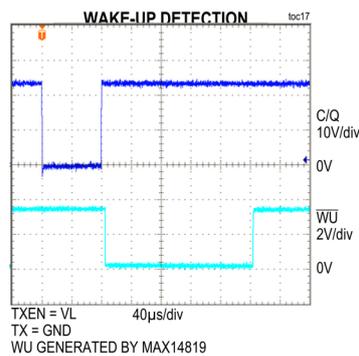
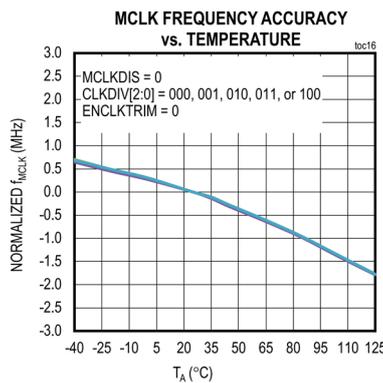
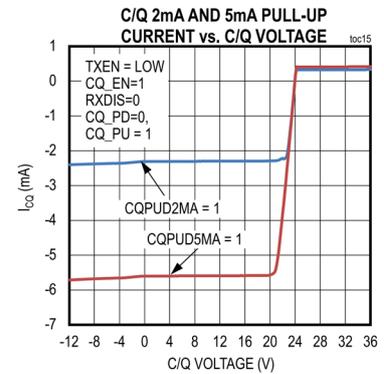
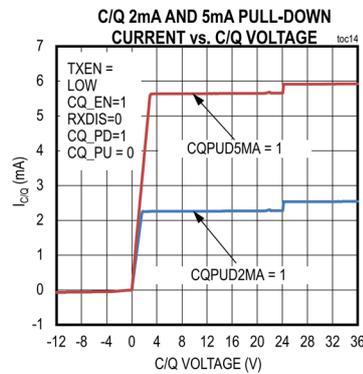
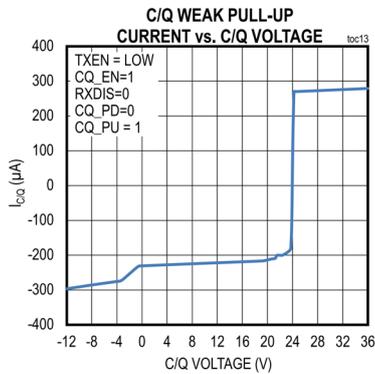
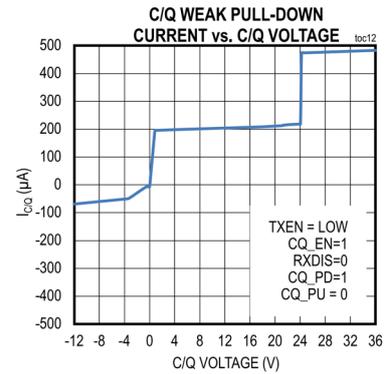
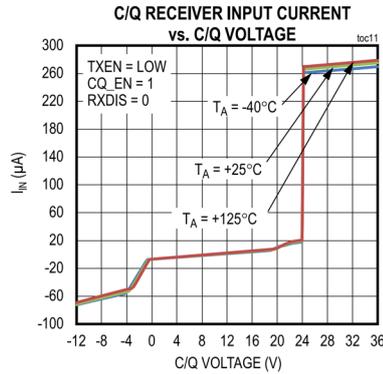
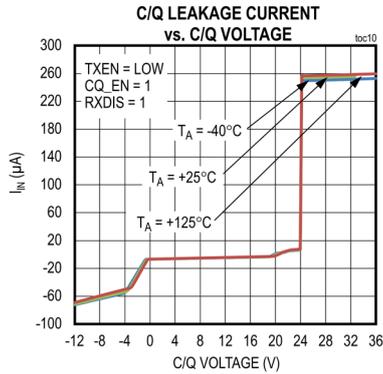
図 7. SPI のタイミング図

標準動作特性

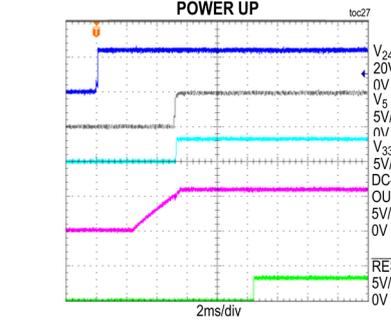
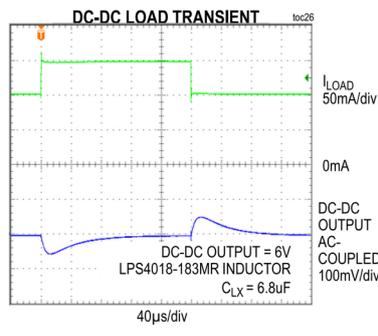
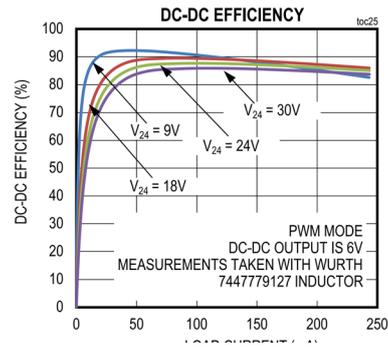
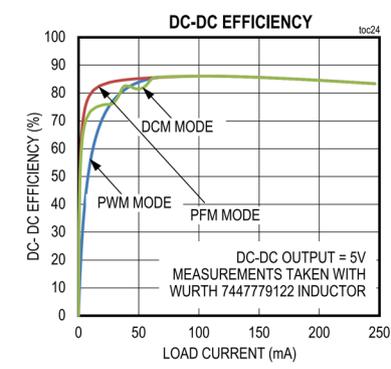
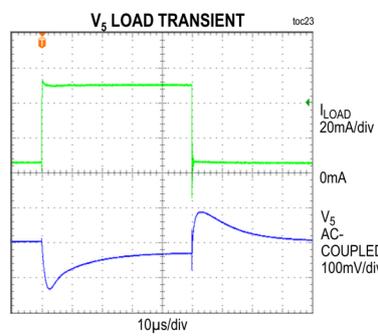
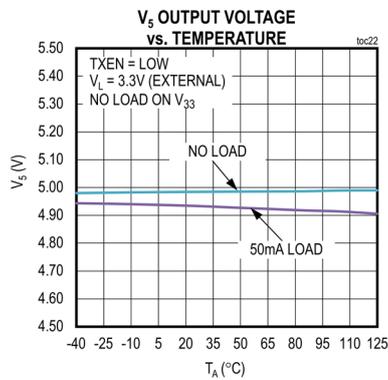
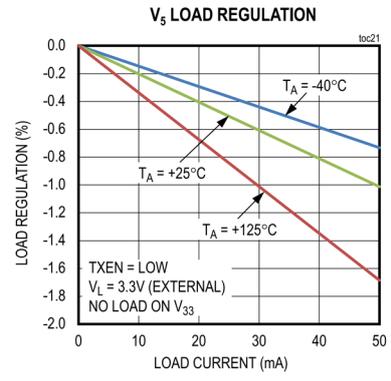
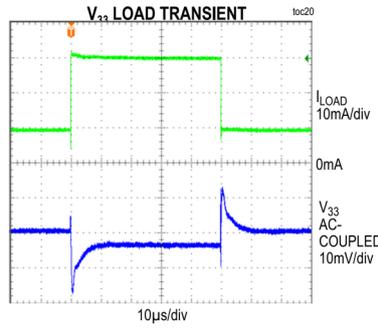
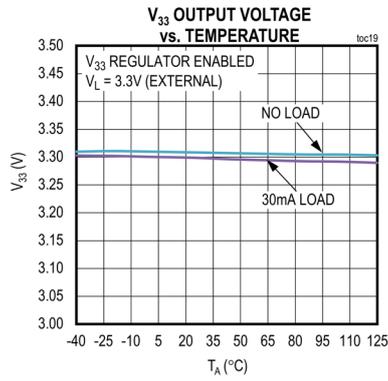
特に指定のない限り、 $V_{24} = 24V$ 、DC/DC レギュレータを有効にして LIN に接続、 $V_L = V_{33}$ 、 $T_A = +25^\circ C$ 。



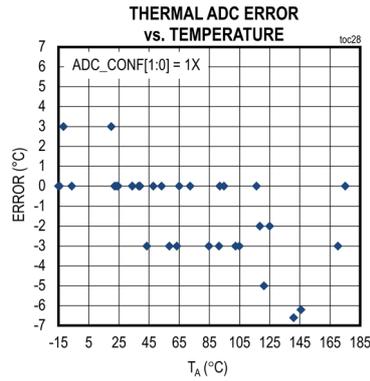
特に指定のない限り、 $V_{24} = 24V$ 、DC/DC レギュレータを有効にして LIN に接続、 $V_L = V_{33}$ 、 $T_A = +25^\circ C$ 。



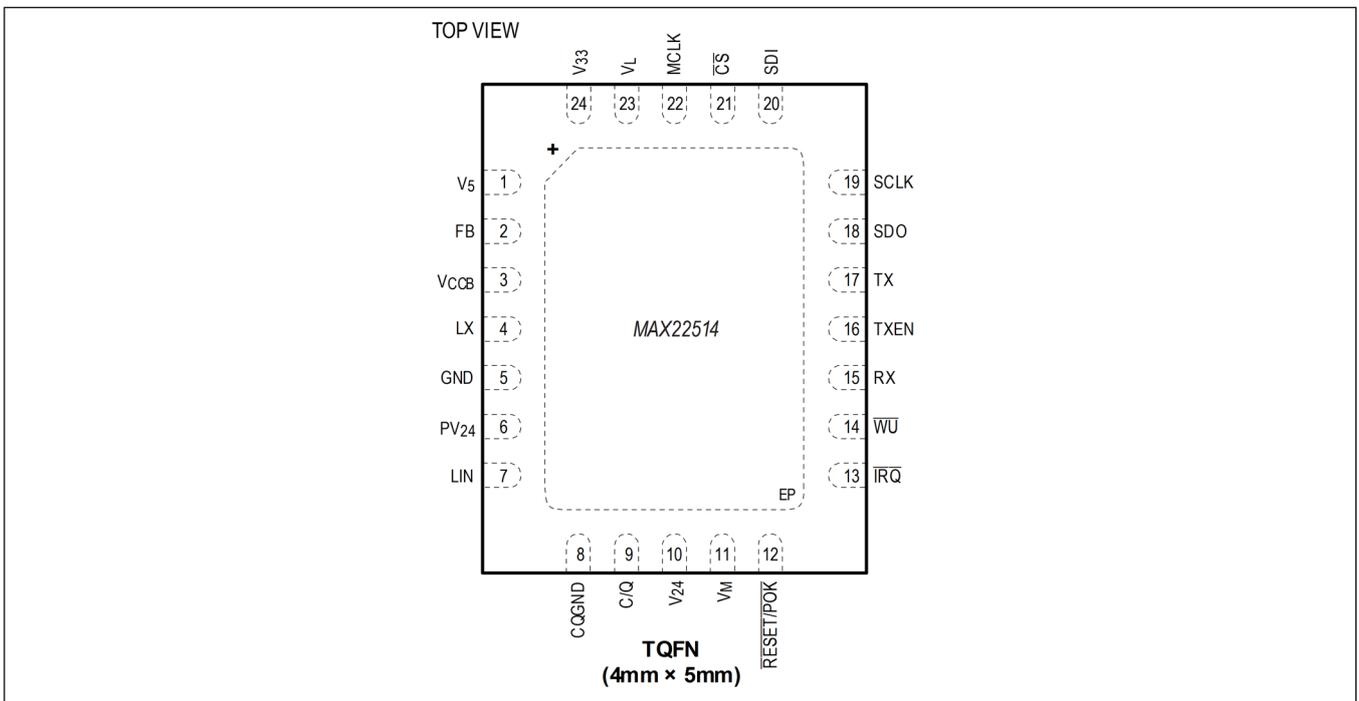
特に指定のない限り、 $V_{24} = 24V$ 、DC/DC レギュレータを有効にして LIN に接続、 $V_L = V_{33}$ 、 $T_A = +25^\circ C$ 。



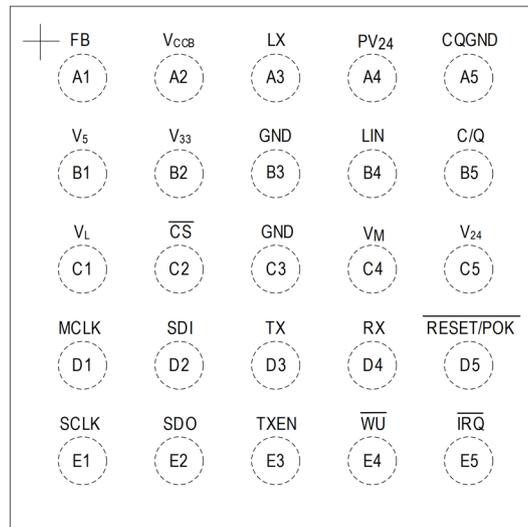
特に指定のない限り、 $V_{24} = 24V$ 、DC/DC レギュレータを有効にして LIN に接続、 $V_L = V_{33}$ 、 $T_A = +25^\circ C$ 。



ピン配置



TOP VIEW (BUMPS ON BOTTOM)



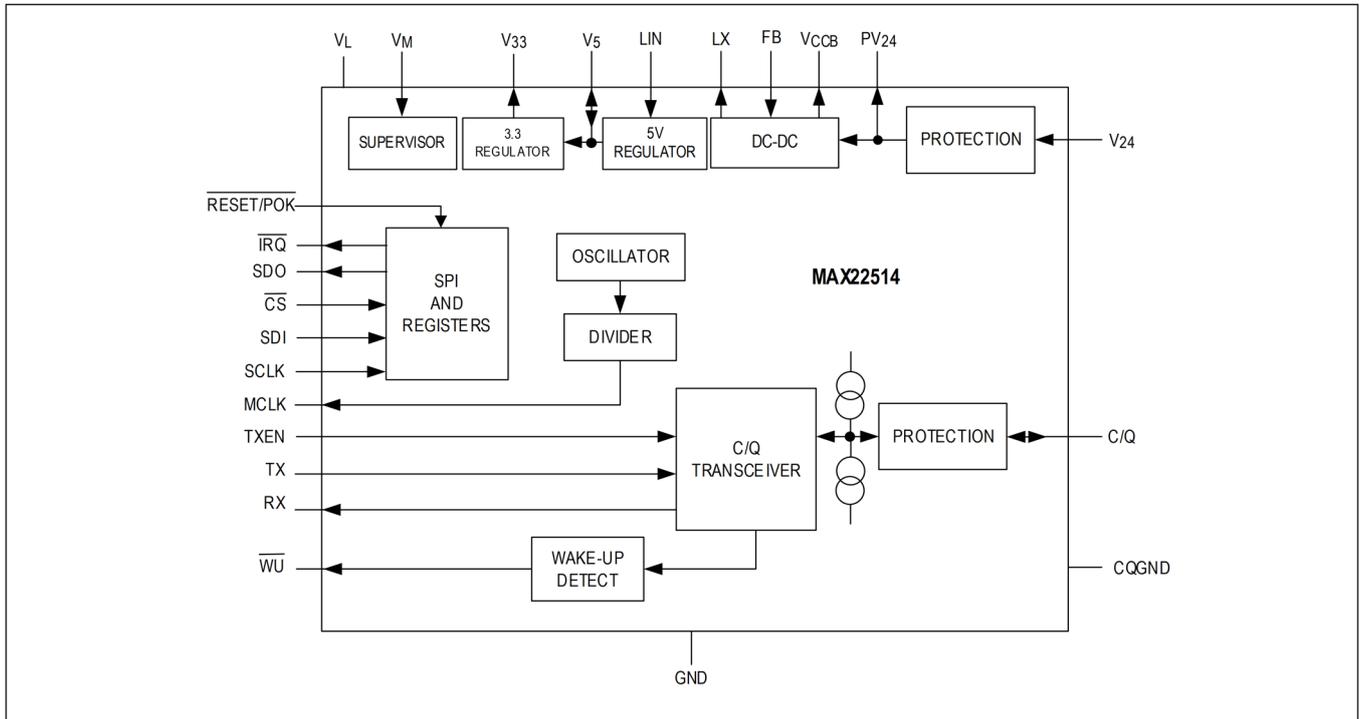
WLP
(2.5mm x 2.6mm)

端子説明

ピン		名称	説明
TQFN	WLP		
電源			
3	A2	V_{CCB}	内蔵の 5V 電源レギュレータ出力。できるだけデバイスに近づけて配置した $1\mu\text{F}$ のコンデンサで、 V_{CCB} を GND にバイパスします。 V_{CCB} は最大 5mA の外部負荷を供給できます。
6	A4	PV_{24}	アクティブ・ダイオード出力と DC/DC 入力。できるだけデバイスに近づけて配置した $1\mu\text{F}$ の外付けコンデンサで、 PV_{24} をバイパスします。
7	B4	LIN	5V リニア・レギュレータ入力。LIN は DC/DC 回路の出力、 PV_{24} 電源、または 6V~36V の外部電源に接続します。LIN は $1\mu\text{F}$ のコンデンサで GND にバイパスします。5V リニア・レギュレータを無効にするには、LIN を V_5 に接続します。
1	B1	V_5	5V リニア・レギュレータ出力/電源入力。 V_5 は内蔵した 5V リニア・レギュレータの出力です。できるだけデバイスに近づけて配置した $1\mu\text{F}$ のコンデンサで、 V_5 を GND にバイパスします。5V リニア・レギュレータを無効にするには、LIN を V_5 に接続します。通常動作では、 V_5 に 5V が必要です。5V レギュレータが無効の場合、 V_5 に外部 5V 電源を印加します。
10	C5	V_{24}	電源電圧入力。 V_{24} は、IO-Link コネクタの L+端子または外部電源に接続します。できるだけデバイスに近づけて配置した $10\mu\text{F}$ のコンデンサで、 V_{24} を GND にバイパスします。
8	A5	CQGND	C/Q ドライバの IO-Link グラウンド CQGND は IO-Link コネクタの L-端子と GND に接続します。詳細については、 レイアウトとグラウンディング のセクションを参照してください。
23	C1	V_L	ロジック電源入力。できるだけデバイスに近づけて配置した $1\mu\text{F}$ のコンデンサで、 V_L を GND にバイパスします。 V_L で、すべてのロジック信号の論理レベルを設定します。 V_L は、 V_{33} 、 V_5 、または 2.5V~5.5V の外部電圧に接続します。
5	B3, C3	GND	グラウンド。GND は CQGND に接続します。詳細については、 レイアウトとグラウンディング のセクションを参照してください。
24	B2	V_{33}	3.3V リニア・レギュレータ出力。できるだけデバイスに近づけて配置した $1\mu\text{F}$ のコンデンサで、 V_{33} を GND にバイパスします。
EP	-	EP	露出パッド。EP は GND に接続します。詳細については、 レイアウトとグラウンディング のセクションを参照してください。
DC/DC レギュレータ			
4	A3	LX	内蔵した DC/DC コンバータのスイッチング出力。LX と出力コンデンサの間にインダクタを接続し、DC/DC 回路を用いて電圧を生成します。詳細については、 DC/DC 部品の選択 のセクションを参照してください。
2	A1	FB	DC/DC 降圧レギュレータのフィードバック入力。FB は、DC/DC の出力と GND の間にある抵抗分圧器のタップに接続します。DC/DC 出力を 2.5V~12V に設定するための推奨部品の値については表 4 を参照してください。DC/DC を使わない場合は、FB を V_{CCB} に接続します。
24V ラインのインターフェース			
9	B5	C/Q	IO-Link トランシーバーの入出力 C/Q ドライバは起動時に無効です。C/Q ドライバを有効にするには、CQ_EN を 1 に、TXEN をハイに設定します。
制御インターフェース			
11	C4	V_M	電圧モニタ入力。モニタする電源電圧（例えば、 V_{24} または PV_{24} ）と GND の間に抵抗分圧器を接続して、モニタする電源電圧のパワー OK 閾値電圧を定めます。詳細については、 電圧モニタ入力 (VM) のセクションを参照してください。

12	D5	$\overline{\text{RESET/POK}}$	<p>デュアル機能としてのアクティブロー・リセット入力とオープンドレインのパワーOK (POK) 出力。MAX22514 をリセット・モードに設定するには、$\overline{\text{RESET/POK}}$ をローに駆動します。$\overline{\text{RESET/POK}}$ をローに駆動すると、C/Q 出力が無効になり、すべてのレジスタがデフォルト値にリセットされます。</p> <p>MAX22514 は、V_{24}、V_5、または DC/DC 出力電圧のいずれかがその低電圧ロックアウト (UVLO) 閾値を下回ると、$\overline{\text{RESET/POK}}$ をローにアサートします。DC/DC レギュレータが無効の場合は、V_5 だけがモニタされます。</p> <p>MAX22514 は、電源がその UVLO 閾値を超えた 4ms (標準) 後に、$\overline{\text{RESET/POK}}$ をデアサートします。</p> <p>通常動作の場合、10kΩ (標準) の抵抗を用いて $\overline{\text{RESET/POK}}$ を V_{CCB} または V_L に接続します。</p>
14	E4	WU	オープンドレインによる IO-Link ウェイクアップ要求出力。有効な IO-Link ウェイクアップ・パルスが C/Q ラインで検出されると、WU は 200 μs (標準) の間だけローにアサートされます。
13	E5	IRQ	アクティブローのオープンドレインによる割り込み要求出力。あるビットを INTERRUPT レジスタに設定すると、IRQ はローにアサートされます。詳細については、 レジスタの詳細のセクション を参照してください。
18	E2	SDO	シリアル・データ出力。MAX22514 の SDO は、SPI マスタの MISO 入力に接続します。SDO は、CS がハイのときにハイ・インピーダンスになります。
19	E1	SCLK	シリアル・クロック入力。
20	D2	SDI	シリアル・データ入力。MAX22514 の SDI は、SPI マスタの MOSI 出力に接続します。
21	C2	CS	SPI のチップセレクト入力。CS をローに駆動すると、読み出し/書き込みサイクルが始まります。このサイクルは、CS をハイに駆動すると終了します。
UART インターフェース			
15	D4	RX	C/Q レシーバのロジック出力。RX の論理状態は、デフォルトでは C/Q の論理状態と反対です。RX を C/Q と同じ論理状態に設定するには、CQCONFIG レジスタの INVCQ ビットを設定します。IO-Link 通信の場合、RX は UART の RX 入力に接続します。
16	E3	TXEN	C/Q ドライバのイネーブル・ロジック入力。C/Q ドライバを有効にするには、TXEN をハイに駆動し、CQCONFIG レジスタの CQ_EN ビットを設定します。C/Q ドライバを無効にするには、TXEN をローに駆動します。IO-Link 通信の場合、TXEN はマイクロコントローラの RTS 出力に接続します。
17	D3	TX	C/Q ドライバのロジック入力。TX の論理状態は、デフォルトでは C/Q の論理状態と反対です。TX を C/Q と同じ論理状態に設定するには、CQCONFIG レジスタの INVCQ ビットを設定します。IO-Link 通信の場合、TX は UART の TX 出力に接続します。
クロック出力			
22	D1	MCLK	マイクロコントローラのクロック出力。MCLK 周波数の設定は、CLKCONFIG レジスタの CLKDIV ビットを設定することにより行います。MCLK は、比較と微調整のために外部マイクロコントローラに接続します。MCLK 周波数はデフォルトでは 3.686MHz (標準) ですが、これを無効にすることも、3.686MHz、7.373MHz、14.74MHz、29.49MHz、または 1.843MHz にプログラムすることも可能です。

機能図



詳細

IO-Link トランシーバーである MAX22514 には高電圧機能が内蔵されており、例えば、24V ライン・ドライバが 1 つあり、内蔵 DC/DC 降圧レギュレータ、5V と 3.3V のリニア・レギュレータも備えています。MAX22514 は、IO-Link デバイス、マスタ、産業用スイッチング・センサー・アプリケーションを対象としており、標準的な SPI インターフェースを使用した設定およびモニタが可能です。

24V インターフェース I/O (C/Q)

MAX22514 は、最大 36V の電圧で動作可能な IO-Link トランシーバー・インターフェースを備えています。これは工業規格の 24V インターフェースであり、C/Q 入出力、V24 電源、およびグラウンドを備えています。C/Q スwitchング・ドライバは、PNP モード、NPN モード、またはプッシュプル・モードにプログラム可能であり、プログラマブルな電流制限、スルー・レート、プルアップ/プルダウン電流を備え、COM1、COM2、COM3 の IO-Link データレートのすべてで動作します。

C/Q ドライバは、TXEN がハイで CQCONFIG レジスタの CQ_EN が 1 のときに有効になります。TX 入力をトグルして、C/Q 出力を切り替えます。あるいは、CONTROL レジスタの CQ_Q ビットを設定して、C/Q をハイまたはローに設定します。表 1 および表 2 を参照してください。C/Q は、デフォルトでは TX 入力の逆論理です。CQCONFIG レジスタの INV_CQ を 1 に設定して、TX、C/Q、RX の論理状態を揃えます。

表 1. C/Q ドライバ制御 (CQINV = 0)

INPUTS				C/Q OUTPUT		
CQ_EN	TXEN	TX	CQ_Q	NPN MODE	PNP MODE	PP MODE
0	X	X	X	C/Q Driver Disabled		
1	L	X	X	HIGH Z	HIGH Z	HIGH Z
	H	L	0	HIGH Z	HIGH	HIGH
			1	HIGH Z	HIGH	HIGH
		H	0	LOW	HIGH Z	LOW
1	HIGH Z		HIGH	HIGH		

X = ドント・ケア

表 2. C/Q レシーバの論理

INPUTS				OUTPUT
RXDIS	CQ_EN	CQINV	C/Q	RX
0	X	0	L	H
			H	L
		1	L	L
			H	H
1	X	X	X	HIGH Z

X = ドント・ケア

過電流制限

C/Q ドライバはプログラマブルな電流制限を備えています。電流制限の選択は、CURRLIM レジスタの CL[1:0] ビットを設定することにより行います。電流制限閾値は、50mA (最小)、100mA (最小)、200mA (最小)、250mA (最小) に設定できます。負荷が電流制限閾値の設定より多くの電流を取り出そうとした場合、C/Q ドライバは負荷電流をアクティブに制限するので、それより高い負荷電流は流れません。

CLDIS = 1 の設定でアクティブな電流制限が無効になり、その結果、負荷電流が高くなります。CLDIS = 1 の設定は、PNP モードに限って行われるべきものです。NPN モードまたはプッシュプル・モードでの CLDIS = 1 の設定は、デバイスを損傷させるおそれがあります。

オートリトライ

MAX22514 は、ドライバが過負荷状態のときに加熱および消費電力の管理と制限を行うオートリトライ機能を備えています。

オートリトライ機能を有効にするには、CURRLIM レジスタの AUTORETRYEN ビットを設定します (AUTORETRYEN=1)。オートリトライが有効の場合、MAX22514 は、選択したブランキング時間の間に電流制限閾値を超えた後、ドライバを無効にします。ドライバは、プログラムされた固定オフ時間の間は無効になり、その後、自動的に有効に戻ります。過電流状態が続いた場合、ドライバはブランキング時間の間はオンのままになり、その後無効に戻ります。このオートリトライの繰り返しは、過電流状態が解消されるまで続きます。

ブランキング時間と固定オフ時間の選択は、CURRLIM レジスタの CL_BL[1:0] ビットと TAR[1:0] ビットをそれぞれ設定することにより行います。

大きい容量性負荷または白熱ランプを充電する場合、ドライバが無効になる前に必要な負荷を充電できるように、選択したオートリトライのブランキング時間が十分に長いことを確認してください。

C/Q ドライバのサーマルシャットダウン

C/Q ドライバは、ドライバのジャンクション温度がドライバのサーマルシャットダウン温度である +160°C (標準) を超えたときにオフになります。INTERRUPT レジスタおよび STATUS レジスタの関連するドライバ・フォルト・ビット (CQFAULTINT、CQFAULT) を (それぞれ) 設定します。フォルトがマスクされていない場合 (IRQMASK レジスタの CQFAULTM が 0 の場合)、IRQ はプログラムされたブランキング時間の後にアサートされます。ブランキング時間を選択するには、CURRLIM レジスタの CL_BL[1:0] ビットを設定します。ドライバは、ドライバのジャンクション温度が 145°C (標準) を下回ると、自動的に有効に戻ります。

C/Q レシーバの閾値

IO-Link 規格には 18V~30V の電源による動作が定められていますが、現場の産業用コントローラやセンサーは、わずか 9V の電源電圧で動作するのが一般的です。MAX22514 は 8V~36V の電源電圧で動作します。V24 電源電圧が 18V を上回った場合、MAX22514 の C/Q レシーバは標準的な IO-Link レシーバの閾値に対応します。V24 が 18V を下回った場合、MAX22514 は C/Q レシーバの閾値をスケールリングして、最低電源電圧まで下がってもレシーバが機能できるようにします。

C/Q レシーバは、5V の TTL 信号レベルを検出するように設定することも可能です。C/Q レシーバの TTL 閾値を有効にするには、CQMASTER レジスタの RXTTL ビットを設定します (RXTTL=1)。RXTTL はデフォルトでは設定されていません。

C/Q の電流シンクと電流ソース

MAX22514 は、C/Q ラインで有効にできる 6 種類の異なるプルアップ/プルダウン電流ソース/シンクを備えており、それぞれ、200 μ A (標準) の弱いプルアップおよび/またはプルダウン電流、2mA (最小) のプルアップまたはプルダウン電流、5mA (最小) のプルアップまたはプルダウン電流です。CQCONFIG レジスタの CQ_PD ビットおよび CQ_PU ビットを設定し、かつ CQMASTER レジスタの CQPUD5MA ビットおよび CQPUD2MA ビットを設定することにより、C/Q の電流を設定して有効にします。表 3 を参照してください。

表 3. C/Q のプルアップ/プルダウン電流設定

CQ_PU	CQ_PD	CQPUD5MA	CQPUD2MA	C/Q OUTPUT
0	0	X	X	No pull-up or pull-down current enabled
0	1	0	0	Weak pull-down current enabled
		1	X	5mA pull-down current enabled
		0	1	2mA pull-down current enabled
1	0	0	0	Weak pull-up current enabled
		1	X	5mA pull-up current enabled
		0	1	2mA pull-up current enabled

X = ドント・ケア

ウェイクアップ検出

ウェイクアップ・イベントが発生するのは、IO-Link マスタが C/Q ドライバ・レベルの設定レベルとは反対のレベルを $80\mu\text{s}$ (標準) の間、C/Q ラインに課したときです。デバイスが C/Q においてウェイクアップ・パルスを検出した場合、WU は $200\mu\text{s}$ (標準) の間、ローのパルスを送ります (図 5)。

MAX22514 でのウェイクアップ検出は、デフォルトでは有効です。有効なウェイクアップ・イベントが検出され、かつ割込みが無効ではない場合 (IRQMASK レジスタの WUM が 0)、MAX22514 は割込みを生成し、IRQ をアサートします。

ウェイクアップ検出を無効にするには、CONTROL レジスタの WUDIS ビットを設定します。WUDIS = 1 にすると、ウェイクアップ・パルスが検出されても WUINT ビットは設定されません。

MAX22514 は、大きい容量性負荷またはランプ負荷を駆動した結果として起こることがある誤ったウェイクアップ・イベントを自動的に無視します。この場合、充電の時定数は約 $80\mu\text{s}$ です。C/Q ドライバの論理状態が変わると、プログラムされたブランキング時間の期間中にウェイクアップ・イベントは検出されません。

ウェイクアップ・パルスの生成

MAX22514 は、IO-Link マスタのウェイクアップ・パルスを生成できます。トランシーバーにウェイクアップ・パルスを生成する準備をさせるために、C/Q ドライバを受信モード (TXEN がロー) に設定し、TX 入力をハイに設定します。ウェイクアップ・パルスを生成するには、CQMASTER レジスタの WUGEN ビットを設定します。

WUGEN = 1 の場合、MAX22514 は C/Q レシーバで電圧レベルをサンプリングします。次にデバイスは、C/Q ドライバを有効にして、C/Q ラインを $80\mu\text{s}$ (標準) の間、サンプリングした電圧とは反対の極性にします。ウェイクアップ・パルスの期間後も、ドライバは有効のままであり、ラインは元の極性に戻るよう駆動されます。ウェイクアップ遅延後のオン時間 ($t_{\text{ON_WU}}$) が過ぎると、ドライバはハイ・インピーダンスに設定されます。MAX22514 は TX と TXEN における信号を無視し続け、ウェイクアップ遅延後のハイ・インピーダンス時間 ($t_{\text{DIS_WU}}$) の間、ドライバをハイ・インピーダンス状態に保持し、その後、マイクロコントローラは EstablishCOM IO-Link 通信シーケンスを開始できます。図 6 を参照してください。

MAX22514 がウェイクアップ・パルスを生成している間に、電流制限値は自動的に 500mA 以上に設定され、C/Q スルー・レートは自動的に最高レートに設定されます。レジスタ設定値はウェイクアップ生成中には変更されず、プログラムされた電流制限およびスルー・レートの設定値は、ウェイクアップ・パルスが生成された後に正常に機能します。これらの設定値は、ウェイクアップが生成された後にプログラムし直す必要はありません。

V_{CCB} 出力

V_{CCB} は、V₂₄ または V₅ で駆動する内蔵レギュレータの出力です。V_{CCB} が V₂₄ で駆動するのは、V₅ 電圧が 3.92V (最小) を超えるまでです。その後、V_{CCB} は V₅ で駆動します。V₅ が上昇していくと、V_{CCB} は、V₅ がその定常状態電圧に達するまで、5V 未満に低下する可能性があります。V_{CCB} は、小さい (10mA 以下の) 外部負荷を駆動するのに使用できます。

リセット入力/パワーOK 出力 (RESET/P_{OK})

RESET/P_{OK} ピンは、デュアル機能を備えたオープンドレイン・ロジックの入出力であり、リセット入力およびパワーOK (P_{OK}) 出力として機能します。

MAX22514 をリセット・モードにするには、RESET/P_{OK} をローに駆動します。RESET/P_{OK} をローに駆動すると、C/Q ドライバは無効になり、レジスタはデフォルトの状態にリセットされます。RESET/P_{OK} がローの間は、シリアル・バス通信が利用可能です。レジスタで DC/DC が無効になっている場合 (BUCKDIS = 1)、デバイスは、RESET/P_{OK} が解除されて電源がすべて有効になった 4ms (標準) 後に、RESET/P_{OK} をデアサートします。DC/DC が有効になっている場合、RESET/P_{OK} は解除されるとすぐにデアサートされます。

MAX22514 は、V₂₄ または V₅ の電圧がそれぞれの UVLO 閾値を下回った場合、あるいは DC/DC 出力電圧が設定電圧の 95% (標準) を下回った場合、RESET/P_{OK} をローにアサートします。RESET/P_{OK} がローになると、C/Q ドライバは無効になり、レジスタはデフォルトの状態にリセットされます。RESET/P_{OK} がローの間は、シリアル・バス通信が利用可能です。MAX22514 は、すべての電源が有効になった 4ms (標準) 後に、RESET/P_{OK} をデアサートします。

通常動作では、RESET/P_{OK} と V_L または V_{CCB} の間にプルアップ抵抗を接続します。RESET/P_{OK} をマイクロコントローラのリセット入力に接続して、これをリセット信号として使用します。

電圧モニタ入力 (VM)

MAX22514 は、フレキシブルな電圧コンパレータを備えています。このコンパレータは、V_M 入力で電圧をモニタします。V_M 入力電圧が 858mV (標準) の閾値を下回った場合、INTERRUPT レジスタの VMINT ビットが設定され、マスクされていないならば IRQ がアサートされます (IRQMASK レジスタの VMINTM は 0)。V_M 電圧がコンパレータ閾値を下回っている間に INTERRUPT レジスタが読出された場合、VMINT 割込みビットはクリアされないことに注意してください。このビットは、INTERRUPT 読出し中に VM 電圧が閾値電圧を超えた場合に限りクリアされます。

V_M は、V₂₄、PV₂₄、または他のいずれかのピンにおける電圧を監視するのに使用できます。

例えば、PV₂₄ をモニタするためには、PV₂₄ と V_M と GND の間に抵抗分圧器を使用して、PV₂₄ 電圧の最小閾値を設定します (図 8)。モニタする電圧のパワーOK 閾値 (V_{POK}) は次のように計算します。

$$V_{POK} = V_{TH_M} \times [(R_1 + R_2) / R_2]$$

V_M が 5.5V の最大電圧を超えないように抵抗値を選択します。

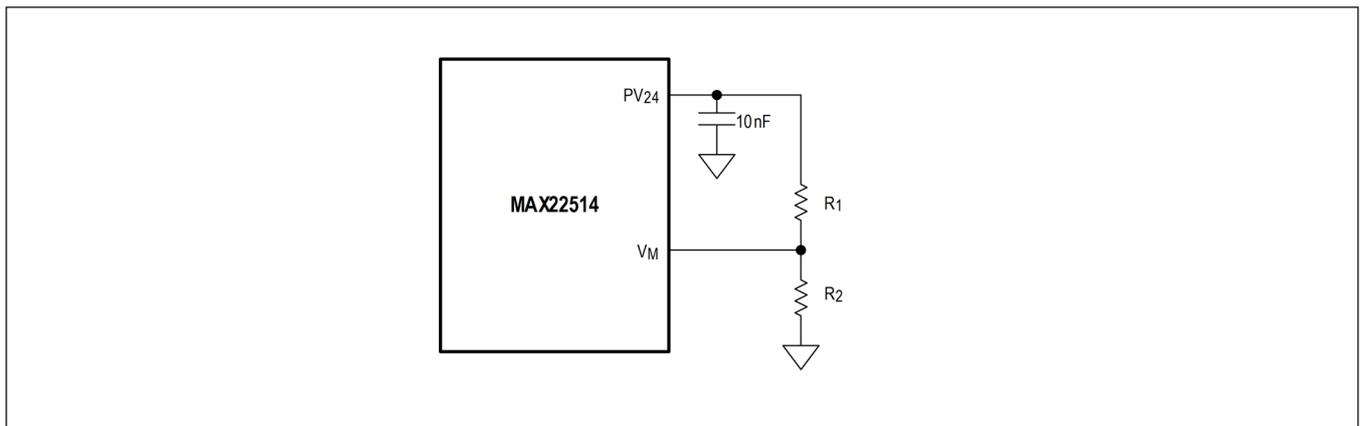


図 8. VM 入力を使用した PV₂₄ 電源のモニタ

内蔵 DC/DC レギュレータ

概要

MAX22514 は、アクティブ・ダイオードによる逆保護、電流過負荷保護、ソフトスタート、スペクトラム拡散動作、調整可能な出力電圧を備えた高効率の同期式 DC/DC 降圧レギュレータを内蔵しています。DC/DC レギュレータは、通常動作時に 1.229MHz (標準) の固定周波数で動作します。このレギュレータは、通常動作時にパルス幅変調 (PWM) モード、パルス周波数変調 (PFM) モード、または不連続導通モード (DCM) で動作するように設定できます。動作モードの選択は、MODE レジスタの BUCKDCM または BUCKPFM のモード・ビットを設定することにより行います。レギュレータはデフォルトでは有効ですが、シリアル・インターフェースを使って無効にできません。DC/DC レギュレータは、電源の逆接続に対処するために、PV₂₄ 電圧から電力供給を受けます。1μF のコンデンサで PV₂₄ を GND にバイパスして、DC/DC の適切な動作を確保します。

起動およびソフトスタート

MAX22514 の DC/DC 降圧レギュレータは、デバイスの起動時に出力電圧を徐々に上げるソフトスタートを備えています。V₂₄ 電圧が 7.5V (標準) の UVLO 閾値を超えると、DC/DC レギュレータはオンになり、DCM モードで動作します。DCM モードでは、出力電圧が未通電状態でもプリバイアス状態でも、DC/DC 出力のソフトスタートが可能になります。内部回路は、V₂₄ 電圧が UVLO 閾値を超えてから 3.3ms (標準) 以内に出力電圧を設定電圧の 95%まで徐々に上昇させて、ソフトスタート・シーケンスを終了します。ソフトスタートが終了すると、レギュレータは DCM モードから通常動作作用に選択されたモードに切り替わります。デフォルトでは、通常動作は PWM モードです。DC/DC レギュレータの別の動作モードを選択するには、MODE レジスタの BUCKPFM ビットおよび/または BUCKDCM ビットを設定します。

最大 DC/DC 出力電流

DC/DC 降圧レギュレータを内蔵した MAX22514 は、最大 200mA（標準）の負荷を供給できます。V₂₄ と PV₂₄ の間に内蔵した逆保護用のアクティブ・ダイオードは、DC/DC 入力を供給するために 200mA の平均電流能力を備えています。特定の条件下では、V₂₄ 電源と PV₂₄ の間に内蔵したアクティブ・ダイオードによって、効率が低下するか、または最大負荷電流が減少する可能性があります。アクティブ・ダイオードを流れる電流が 300mA を超えるような負荷電流の場合、V₂₄ と PV₂₄ の間にショットキー・ダイオードを接続して、内蔵アクティブ・ダイオードをバイパスします。ショットキー・ダイオードを使用する場合、ホットプラグ・イベントを乗り切るために、V₂₄ に TVS またはバリスタが必要となることがあります。

動作モードの選択

パルス幅変調モード

パルス幅変調モード（PWM）の DC/DC レギュレータは、出力電力条件に応じてパルスのデューティサイクルを調整しながら、固定周波数でスイッチングします。DC/DC レギュレータの最大デューティサイクルは 100% 近くになります。PWM モードでは、スイッチング・ノイズのフィルタ除去が容易です。MAX22514 の DC/DC レギュレータは、デフォルトでは PWM モードで動作します（MODE レジスタの BUCKDCM と BUCKPFM が両方とも 0）。

パルス周波数変調モード

パルス周波数変調モード（PFM）では、DC/DC コンバータは、少なくとも 200mA（標準）になるように設定されたピーク電流で LX をスイッチングします。LX は、出力電圧が設定値の 103% を超えるとスイッチングを停止し、DC/DC 出力電圧が設定値の 101% に低下すると再びスイッチングを開始します。PFM モードではスイッチング周波数が変化するので、PFM モードでスイッチング・ノイズをフィルタ除去するのは難しくなり、その結果、出力に乗るリップルが高くなるのが一般的です。PFM モードでは、低負荷を駆動するときに効率が最も高くなります。DC/DC レギュレータで PFM モードを有効にするには、MODE レジスタの BUCKPFM を 1 に、BUCKDCM を 0 にそれぞれ設定します。

不連続導通モード

不連続導通モード（DCM）では、DC/DC レギュレータのインダクタ電流が各スイッチング・サイクル中に短時間ゼロになることがあります。このモードでは、出力電圧は、入力電圧、DC/DC レギュレータのインダクタンス、スイッチング周波数、負荷に依存します。軽負荷条件下では、低出力リップルおよび高効率を目的に DCM モードを使用します。MAX22514 の DC/DC レギュレータは、ソフトスタート時に DCM モードで動作します。通常動作用に DCM 機能を有効にするには、MODE レジスタの BUCKDCM を 1 に設定します（この場合、BUCKPFM ビットは無視されます）。

DC/DC の有効化／無効化

MAX22514 に内蔵された DC/DC 降圧レギュレータは、デフォルトでは有効ですが、シリアル・インターフェースを使って無効にできません。DC/DC を無効にするには、MODE レジスタの BUCKDIS ビットを設定します。DC/DC レギュレータを使用しない場合は、LX を未接続のままにして FB を VCCB に接続します。

DC/DC 部品の選択

出力電圧の設定

DC/DC レギュレータの出力電圧は、2.5V～12V の範囲でプログラム可能です。出力電圧の設定は、出力から FB の間の抵抗分圧器を GND に接続することにより行います（図 9）。

出力電圧は次式を使用して計算します。

$$R_1 = R_2 \times (V_{\text{OUT}} / 0.9 - 1)$$

R₁ || R₂ ≤ 46kΩ であることを確認し、最高の精度を得るために ±1% の抵抗を使用します。

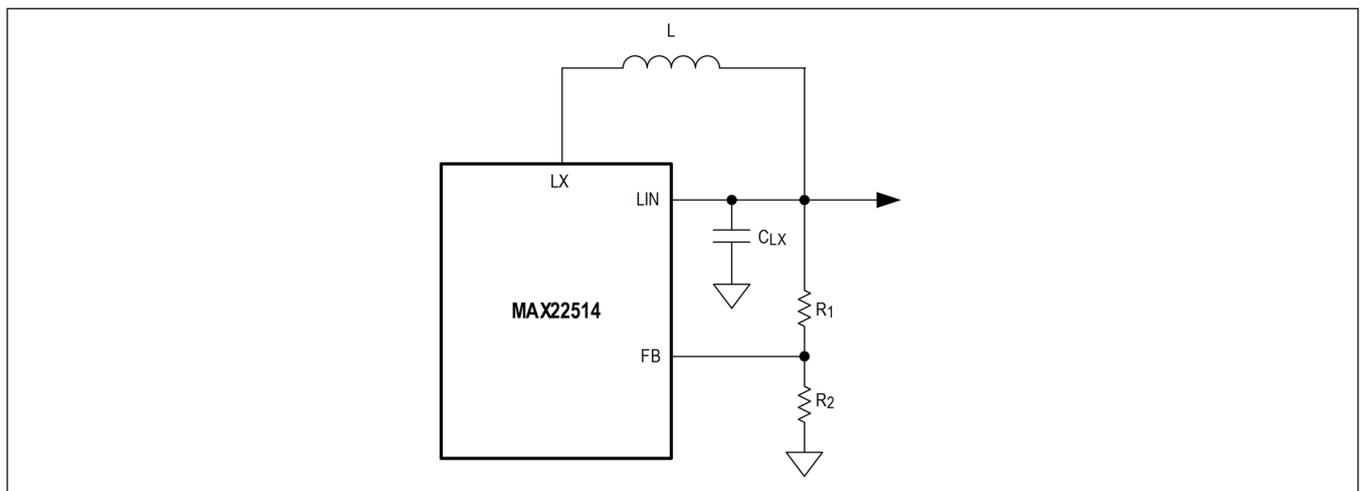


図 9. DC/DC 出力電圧の設定

抵抗 R_1 は、負荷ステップにおける負荷レギュレーションを制御し、DC/DC レギュレータの安定性を確保するために出力コンデンサの値にも影響を与えることができます。表 4 を参照して、一般的な DC/DC 出力電圧の設定値に対する R_1 および R_2 の値を確認してください。

インダクタの選択

インダクタは、できるだけ DC 抵抗が小さく、決められた寸法に収まり、なおかつ低損失のものを選ぶ必要があります。飽和電流 (I_{SAT}) は、440mA の最大電流制限値未満で飽和が発生することがないように、十分に高くなければなりません。負荷状態が低くなるほど、使用できるインダクタは小さくなります。

出力コンデンサ

MAX22514 の DC/DC レギュレータと共に使用するには、X7R グレードの小型セラミック・コンデンサで十分なため、これを推奨します。出力コンデンサには 2 つの機能があり、1 つはデバイスから発生する方形波を出力インダクタと共にフィルタ除去すること、もう 1 つはデバイスの内部制御ループを安定させることです。コンデンサの選択は、動作条件と R_1 の値によって決まり、DC/DC レギュレータの安定性に影響を与える可能性があります。

代表的な外付け部品

表 4 は、DC/DC 降圧レギュレータに推奨される部品の値を様々な代表的な動作条件について示しています（簡略アプリケーション回路図を参照）。この表に記載した推奨値は、50% の負荷電流ステップに対して $\pm 3\%$ 未満の負荷レギュレーション、かつ使用するインダクタンスは最小値という条件で設計されています。C-V 特性から、インダクタンスには $\pm 30\%$ の許容誤差、容量には $\pm 20\%$ の許容誤差が見込まれています。

表 4. 代表的な DC/DC 部品の選択

V24 (V)		OUTPUT VOLTAGE (V)	MAXIMUM OUTPUT CURRENT (mA)	L [μ H]	MINIMUM C_{LX} OUTPUT CAPACITANCE [μ F]	MAXIMUM C_{LX} OUTPUT CAPACITANCE [μ F]	R1 [k Ω]	R2 [k Ω]
MIN	MAX							
8	36	3.3	200	15	4.7	27	226	84.5
8	36	5	200	22	3.3	17	348	75
8	36	6	200	27	3.3	14	412	73.2
9	36	7	190	33	2.7	12	499	73.2
10	36	8	190	33	2.2	11	562	71.5
10	36	9	170	33	1.8	9	634	69.8
12	36	10	180	39	1.8	8	698	69.8
12	36	11	160	39	1.5	8	768	68.1
14	36	12	180	39	1.2	7	845	68.1

DC/DC スペクトラム拡散

DC/DC レギュレータは、他の信号やタイミングを生成するのに使われるメインのオンボード・オシレータと同期した内部クロックを使用します。EMC の放射ピークを低減するために、および/または DC/DC スイッチング回路とアナログ回路の間の干渉を低減するために、MAX22514 は DC/DC クロック用に選択可能なスペクトラム拡散機能を備えています。DC/DC クロックは、有効になると、 $\pm 10\%$ (標準) の最大周波数偏移でランダムに変動します。

デフォルトでは、DC/DC スペクトラム拡散は無効です。DC/DC のスペクトラム拡散を有効にするには、MODE レジスタの BUCKSS ビットを設定します。

DC/DC の保護と診断

DC/DC の過電流保護と暴走保護

DC/DC レギュレータは、電流過負荷状態時にレギュレータを保護して暴走を回避するための回路を内蔵しています。ハイサイド電流が 400mA (標準) のハイサイド・ピーク電流制限値 (I_{DC_HSLIM}) を超えると、ハイサイド・スイッチは無効になります。同様に、ローサイド電流が 200mA (標準) のローサイド電流制限値 (I_{DC_LSMAX}) を超えると、ローサイド・スイッチはオフになり、LX はスイッチングが再び始まる次のクロック・サイクルまでフローティング状態になります。

HICCUP モード (オートリトライ)

DC/DC レギュレータは、出力でのフォルト状態を防ぐために、オートリトライ・シーケンス (HICCUP モード) を備えています。ソフトスタート後に、DC/DC レギュレータの出力電圧が設定閾値の 70%を下回った場合、レギュレータは 22ms (標準) の間無効になり、STATUS2 レジスタの BUCKFAULT ビットが設定されます。オートリトライ期間の後に、DC/DC はソフトスタートを使用して再起動します。

出力でフォルト状態が続いている場合、DC/DC は無効になり、オートリトライ・シーケンスが再び始まります。出力電圧が予定電圧の 95%まで上がると、DC/DC は HICCUP モードを終了して通常通り動作します。

DC/DC の電源診断機能

STATUS2 レジスタの BUCKFAULT ビットおよび BUCKOK ビットは、DC/DC 出力の状態を示します。これらのビットは、動作中のレギュレータをモニタするのに使用します。

BUCKOK ビットは、出力電圧が設定電圧の 95%を超えてレギュレータが通常通り動作している場合に設定されます。DC/DC 出力電圧が設定電圧の 95%を下回ると、RESET/POK がアサートされ、BUCKOK ビットは 0 になります。

BUCKFAULT ビットは、レギュレータがフォルト状態のときに設定されます。フォルト状態としては、電流過負荷、出力電圧が設定閾値の 70%を下回った場合、および/またはレギュレータが HICCUP モードで動作している場合が挙げられます。BUCKFAULT ビットは、レギュレータが通常動作に戻ると自動的にクリアされます。

内蔵の温度検出機能

MAX22514 は通常動作時にダイ温度をモニタします。この温度は、SPI インターフェースを介して読出すことができ、温度が設定閾値を超えると高温警告を発するように設定できます。この閾値はユーザ・プログラマブルです。

MAX22514 は、デフォルトの温度警告についても、プログラマブルな温度警告方法を使用する場合も、同じ温度検出回路を使用してダイ温度をモニタします。デフォルトの温度警告システムの特徴は、精度が低くても応答時間が速いことです。プログラマブルな温度の ADC には精度が高いという特徴がありますが、機能の働きが遅くなります。

高温警告は、THADC_CFG レジスタの ADC_CONF ビットを設定することにより、完全に無効にできます。

高温警告

熱による損傷を防ぐために、MAX22514 は動作時にダイ温度をモニタします。MAX22514 はダイ温度を 2 種類の異なる閾値と比較します。1つは警告閾値で、もう1つはサーマルシャットダウン閾値です。デフォルトでは、高温警告閾値は 150°C です。

プログラマブルな温度警告

プログラマブルな温度警告閾値を有効にするには、THADC_CFG レジスタの ADC_CONF[1:0] ビットを 01 に設定します。警告の閾値をプログラムするには、THADC_THD レジスタの THWRN[5:0] ビットを設定します。THWRN[5:0] ビット内のビットは 2 進コードで表され、1LSB = 3°C であり、-15°C (標準) で THWARN = 0 になります。表 5 を参照してください。

表 5. 温度の ADC 変換

Die temperature (°C)	THWARN[5:0]
0	000101 (5d)
27	001110 (14d)
84	100001 (33d)
126	101111 (47d)

INTERRUPT レジスタの THERMWINT ビットと STATUS レジスタの TEMPW ビットは、ダイ温度が温度警告閾値を超えると設定されます。マスクされていない (IRQMASK レジスタの THERMWM が 0 である) 場合、THERMWINT ビットが設定されたときに IRQ がアサートされます。THERMWINT は INTERRUPT レジスタが読出されるとクリアされますが、THERMW は温度が温度警告閾値のヒステリシス幅より低くなるまでクリアされません。プログラマブルな警告閾値モードでは、ヒステリシスが利用できません。

温度の ADC

THAD_CNG レジスタの ADC_CONF[1:0] ビットを 10 または 11 に設定すると、ADC の温度モニタリングが有効になり、ダイ温度が SPI インターフェースで読出せるようになります。

温度の ADC 測定を開始するには、THADC_CFG レジスタの ADC_START ビットを設定します。手動による ADC 温度測定が 450µs (標準) 経過後に完了すると、ADC_START ビットはクリアされ、THADC_RES レジスタの ADC_EOC ビットが設定されます。測定結果は、THADC_RES レジスタの THVAL[5:0] ビットに格納されます。測定値は 2 進コードで表され、1LSB = 3°C (標準) であり、-15°C (標準) で THVAL = 0 になります。温度の ADC 測定は、-15°C ~ 174°C に及びます。表 5 を参照してください。

手動による ADC 温度モニタリングが有効の場合は、温度警告機能が無効になります。STATUS レジスタの THERMW ビットを無視し、IRQMASK レジスタの THERMWM を 1 に設定することで温度警告割込み (INTERRUPT レジスタの THERMWINT) をマスクします。

保護

逆極性保護

MAX22514 は、V₂₄、C/Q、および GND ピンにおける逆極性による誤配線に対して内部で保護されています。これらのピンのどの組み合わせも、-36V ~ +36V の範囲内の DC 電圧に接続できます。これらの電圧に短絡すると、500µA 未満の電流が流れます。どのピン同士の間の最大電圧も、絶対最大定格を超えないように注意してください。

サーマルシャットダウン

MAX22514 は、平均ダイ温度が +170°C (標準) のサーマルシャットダウン閾値を超えるとサーマルシャットダウンに入ります。C/Q ドライバ、DC/DC レギュレータ、V₅ および V₃₃ レギュレータは、デバイスがサーマルシャットダウン状態のときに無効になります。MAX22514 は、平均ダイ温度が 20°C (標準) のサーマルシャットダウン・ヒステリシス幅より低くなるとサーマルシャットダウンを終了します。サーマルシャットダウンは、利用する高温警告の方法に関係なく存在し、無効にすることはできません。

レジスタ破損のチェック

MAX22514 は、すべてのレジスタ・ビットを継続的にチェックします。レジスタが破損するのは、外的イベント（例えば、ESD 放電など）によって値が変化したときです。破損したレジスタ・ビットが検出されると、STATUS レジスタの CORR_REG ビットが設定され、INTERRUPT レジスタの NOTREADY ビットが設定され、MAX22514 が IRQ 出力をアサートします。C/Q ドライバは、NOTREADY ビットが設定されると無効になります。

マイクロコントローラは、CORR_REG ビットが設定された後に、すべてのレジスタを正しい値に書き換えなければなりません。CORR_REG ビットは、シリアル・インターフェース制御レジスタがそのプリイベント・サイクルの値に書き換えられたときに自動的にクリアされます。CORR_REG ビットがクリアされると、INTERRUPT レジスタを読み出して NOTREADY ビットをクリアし、IRQ をデアサートします。

SPI コントローラ・インターフェース

MAX22514 は、最大 12MHz の速度で全 2 重 SPI 通信に対応しています。マスタは、MAX22514 と通信するために、SPI モード 0（クロック極性 CPOL = 0 およびクロック位相 CPHA = 0）でクロックとデータ信号を生成しなければなりません。SPI インターフェースが利用できないのは、 V_S が 4.26V を下回ったとき、または V_L が 2.5V を下回ったときです。

図 10 は単一周期の WPI 書き込みコマンドを示しており、図 11 は単一周期の SPI 読み出しコマンドを示しています。

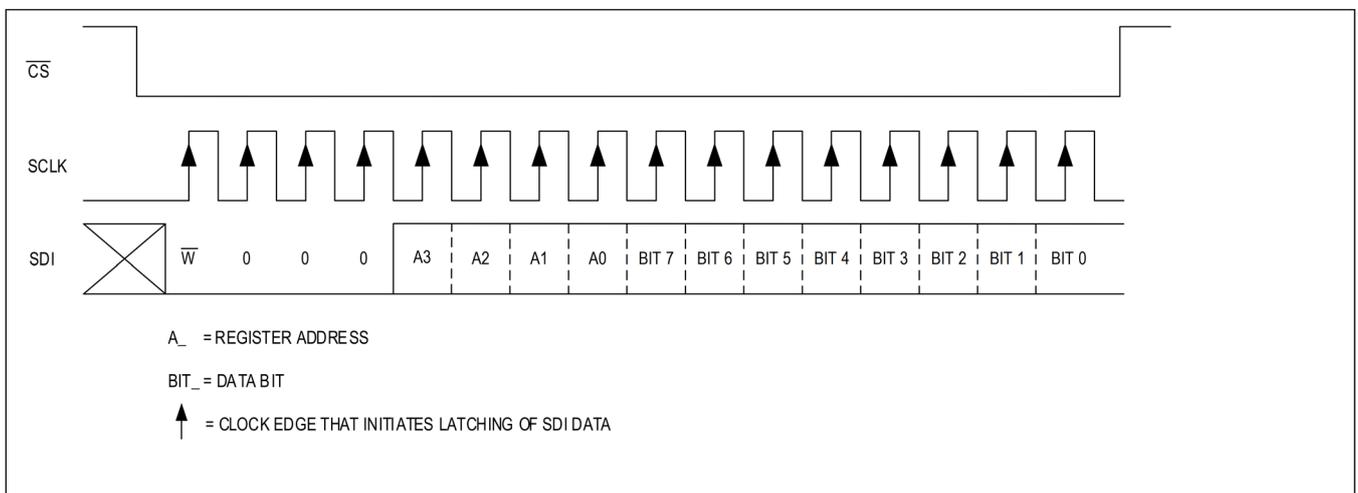


図 10. SPI の書き込みバイト

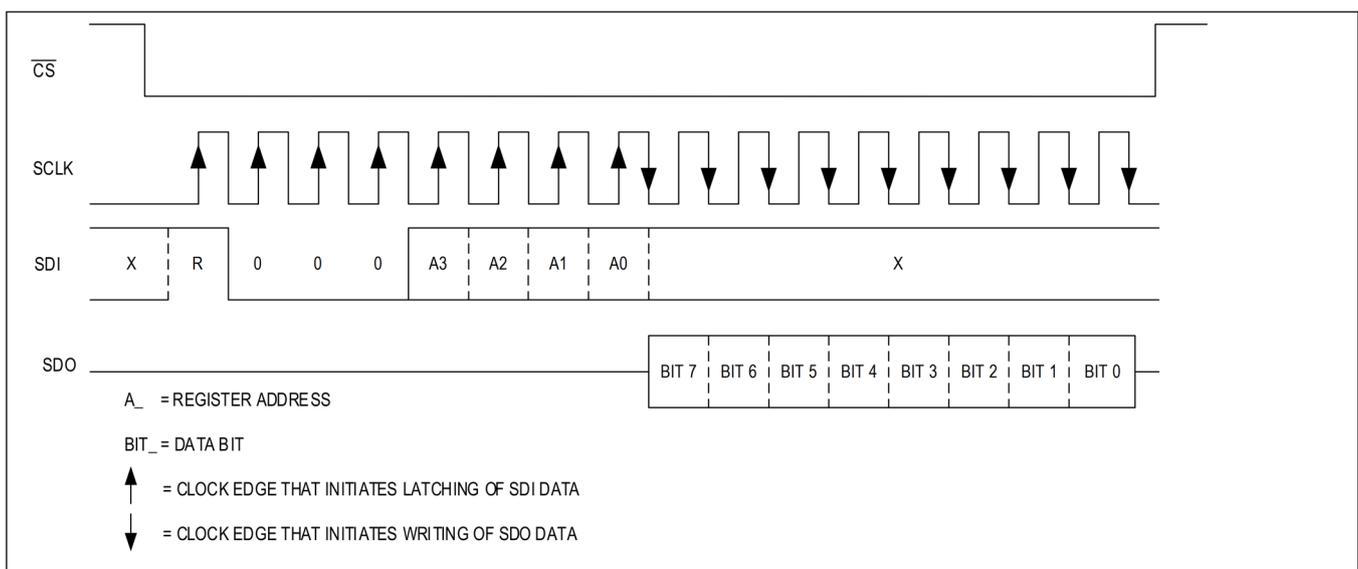


図 11. SPI の読み出しバイト

レジスタ・マップ

レジスタ・マップ

ADDRESS	NAME	MSB							LSB
SPI User									
0x00	INTERRUPT[7:0]	NOTREADY	WUINT	THADCINT	CQFAULTINT	VMINT	UV24INT	-	THERMWINT
0x01	IRQMASK[7:0]	-	WUM	THADCM	CQFAULTM	VMINTM	UV24M	-	THERMWM
0x02	STATUS[7:0]	CQLVL	-	-	CQFAULT	VMWARN	UV24	-	THERMW
0x03	STATUS2[7:0]	CORR_REG	-	-	-	-	-	BUCKFAULT	BUCKOK
0x04	MODE[7:0]	RST	-	-	-	BUCKDCM	BUCKPFM	BUCKSS	BUCKDIS
0x05	CURRLIM[7:0]	CL[1:0]		CLDIS	CL_BL[1:0]		TAR[1:0]		AUTORETRYEN
0x06	CONTROL[7:0]	LDO33DIS	WUDIS	-	-	RXDIS	RXFILTER	-	CQ_Q
0x07	CQCONFIG[7:0]	CQLOSLEW[1:0]		CQ_PD	CQ_PU	CQ_NPN	CQ_PP	INVCQ	CQ_EN
0x09	CLKCONFIG[7:0]	ENCKTRIM	-	-	-	CLKDIV[2:0]			MCLKDIS
0x0A	CKTRIM[7:0]	-	-	CKTRIM[5:0]					
0x0B	CQMASTER[7:0]	WUGEN	-	-	RXTTL	-	-	CQPUD5MA	CQPUD2MA
0x0C	CHIPID[7:0]	CHIPID[7:0]							
0x0D	THADC_CFG[7:0]	ADC_START	-	-	-	-	-	ADC_CONF[1:0]	
0x0E	THADC_THD[7:0]	-	-	THWRN[5:0]					
0x0F	THADC_RES[7:0]	ADC_EOC	-	THVAL[5:0]					

レジスタの詳細

INTERRUPT (0x0)

INTERRUPT レジスタのビットのいずれかが設定され、かつ割込みがマスクされていない場合、IRQ 出力がアサートされます。フォルト状態が解消されると、INTERRUPT レジスタを読み出してビットをクリアし、IRQ をデアサートします。

BIT	7	6	5	4	3	2	1	0
Field	NOTREADY	WUINT	THADCINT	CQFAULTINT	VMINT	UV24INT	-	THERMWINT
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All	Read Clears All	Read, Ext	Read, Ext	Read, Ext	Read Clears All	Read, Ext

ビットフィールド	ビット	説明
NOTREADY	7	0 = MAX22514 は通常通り動作しています。 1 = 前回の INTERRUPT レジスタ読み出し以降に次の状態のいずれかが発生しました。 <ul style="list-style-type: none"> • V_5 電源電圧がその UVLO を下回り、レジスタがリセットされました。 • 電源投入が行われ、レジスタがリセットされました。 • 少なくとも 1 つのレジスタが外部イベント (POR ではない) によって破損しました。 NOTREADY 割込みがマスクできません。
WUINT	6	0 = ウェイクアップ状態が検出されません。 1 = IO-Link ウェイクアップ状態が、前回の INTERRUPT レジスタ読み出し以降に C/Q ラインで検出されました。
THADCINT	5	0 = 温度変換が未完了です。 1 = 前回の INTERRUPT レジスタ読み出し以降に温度の ADC 変換が完了しました。
CQFAULTINT	4	0 = C/Q ドライバが通常通り動作しています。 1 = 前回の INTERRUPT レジスタ読み出し以降に C/Q ドライバで過電流/過負荷状態です。 CQFAULT は、INTERRUPT レジスタが読み出されたときに過負荷状態が解消されている場合に限りクリアされることに注意してください。
VMINT	3	0 = V_M が 900mV (標準) を超えています。 1 = V_M 電圧が 858mV (標準) を下回っています。 V_M はレベルの影響を受けやすくなっています。VMINT は、 V_M 電圧が INTERRUPT 読み出し時に 900mV の閾値より高い場合に限りクリアされます。
UV24INT	2	0 = V_{24} が 7.5V (標準) の低電圧閾値 (UVLO) を超えています。 1 = V_{24} 電圧が 7V (標準) の低電圧閾値を下回っています。 V_{24} はレベルの影響を受けやすくなっています。UV24INT は、 V_{24} 電圧が INTERRUPT 読み出し時に 7.5V (標準) の閾値より高い場合に限りクリアされます。
-	1	未使用
THERMWINT	0	0 = ダイ温度が警告温度閾値を超えていません。 1 = ダイ温度が前回の INTERRUPT レジスタ読み出し以降に警告温度閾値を超えました。 THWINT は、INTERRUPT レジスタが読み出されたときにダイ温度が警告閾値を下回っている場合に限りクリアされます。 このビットは、手動の ADC 温度変換が有効の場合には無視する必要があります。

IRQMASK (0x1)

選択したイベントまたはフォルト通知を無視するには、IRQMASK レジスタのビットを設定します。INTERRUPT レジスタのマスク・ビットのいずれかが設定されると、IRQ はアサートされません。INTERRUPT レジスタのビットは、IRQMASK レジスタのビットに影響されることなく、関連するイベントまたはフォルト通知が発生したときに設定されます。

BIT	7	6	5	4	3	2	1	0
Field	-	WUM	THADCM	CQFAULTM	VMINTM	UV24M	-	THERMWM
Reset	-	0b0	0x0	0b0	0b0	0b0	0b0	0b0
Access Type	-	Write, Read						

ビットフィールド	ビット	説明
WUM	6	0 = INTERRUPT レジスタの WUINT ビットが設定されていると IRQ がアサートされます。 1 = INTERRUPT レジスタの WUINT ビットが設定されていると IRQ がアサートされません。
THADCM	5	0 = INTERRUPT レジスタの THADCINT ビットが設定されていると IRQ がアサートされます。 1 = INTERRUPT レジスタの THADCINT ビットが設定されていると IRQ がアサートされません。
CQFAULTM	4	0 = INTERRUPT レジスタの CQFAULT ビットが設定されていると IRQ がアサートされます。 1 = INTERRUPT レジスタの CQFAULT ビットが設定されていると IRQ がアサートされません。
VMINTM	3	0 = INTERRUPT レジスタの VMINT ビットが設定されていると IRQ がアサートされます。 1 = INTERRUPT レジスタの VMINT ビットが設定されていると IRQ がアサートされません。
UV24M	2	0 = INTERRUPT レジスタの UV24INT ビットが設定されていると IRQ がアサートされます。 1 = INTERRUPT レジスタの UV24INT ビットがマスクされていると IRQ がアサートされません。
-	1	未使用
THERMWM	0	0 = INTERRUPT レジスタの THERMWINT ビットが設定されていると IRQ がアサートされます。 1 = INTERRUPT レジスタの THERMWINT ビットが設定されていると IRQ がアサートされません。 手動の ADC 温度変換が有効の場合 (ADC_CONF[1:0] = 10 または 11)、このビットを設定します。

STATUS (0x2)

STATUS レジスタのビットで、MAX22514 の現在のステータスを示します。STATUS レジスタのビットは、イベント発生時に設定またはクリアされ、レジスタ読み出し時にはクリアされません。

BIT	7	6	5	4	3	2	1	0

Field	CQLVL	-	-	CQFAULT	VMWARN	UV24	-	THERMW
Reset	0b0	-	-	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	-	-	Read Only				

ビットフィールド	ビット	説明
CQLVL	7	0 = C/Q がハイです。 1 = C/Q がローです。
CQFAULT	4	0 = C/Q ドライバにフォルトはありません。 1 = C/Q ドライバに過電流フォルトまたは熱過負荷フォルトがあります。
VMWARN	3	0 = V_M が 900mV (標準) 閾値を超えています。 1 = V_M が 858mV (標準) 閾値を下回っています。
UV24	2	0 = V_{24} が 7.5V (標準) の立上がり低電圧ロックアウト (UVLO) 閾値を超えています。 1 = V_{24} が 7V (標準) の立下がり UVLO 閾値を下回っています。
-	1	未使用
THERMW	0	0 = ダイ温度が 130°C (標準、立下がり) の警告閾値温度を下回っています。 1 = ダイ温度が 150°C (標準、立上がり) の警告閾値温度を超えています。 手動の ADC 温度変換が有効の場合 (ADC_CONF[1:0] = 10 または 11)、このビットは無視する必要があります。

STATUS2 (0x3)

STATUS2 レジスタのビットで、MAX22514 のレジスタと DC/DC レギュレータ動作の現在のステータスを示します。STATUS2 レジスタのビットは、イベント発生時に設定またはクリアされ、レジスタ読み出し時にはクリアされません。

BIT	7	6	5	4	3	2	1	0
Field	CORR_REG	-	-	-	-	-	BUCKFAULT	BUCKOK
Reset	0b0	-	-	-	-	-	0b0	0b1
Access Type	Read Only	-	-	-	-	-	Read Only	Read Only

ビットフィールド	ビット	説明
CORR_REG	7	0 = すべてのレジスタ値に誤りはありません。 1 = レジスタ値が破損しています。CORR_REG = 1 の場合、C/Q が無効になり、RX がハイ・インピーダンスになります。 V_{33} および DC/DC も強制的にオンとなり、MCLK での信号が有効になって 3.686MHz (標準) でスイッチングします。
BUCKFAULT	1	0 = DC/DC は通常通り動作しています。フォルト状態はありません。 1 = DC/DC レギュレータにフォルト状態があります。フォルト状態としては、出力過電流/過負荷、出力電圧が設定電圧の 70% を下回っている、およびレギュレータが HICCUP モードの場合が挙げられます。
BUCKOK	0	0 = DC/DC レギュレータは準備が整っていないか、またはフォルト状態を含んでいます。 1 = DC/DC レギュレータは定常状態で通常通り動作しており、使用準備が整っています。

MODE (0x4)

BIT	7	6	5	4	3	2	1	0
Field	RST	–	–	–	BUCKDCM	BUCKPFM	BUCKSS	BUCKDIS
Reset	0b0	–	–	–	0b0	0b0	0b0	0b0
Access Type	Write Only Clears All	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
RST	7	0 = レジスタはリセット状態ではありません。 1 = すべてのレジスタをそれぞれデフォルト状態に設定します。RST で自動的にクリアされます。
BUCKDCM	3	0 = DC/DC レギュレータは、ソフトスタートの完了後に PFM モード (BUCKPFM = 1) または PWM モード (BUCKPFM = 0) で動作します。BUCKPFM ビットの設定を参照してください。 1 = DC/DC レギュレータは、ソフトスタートの完了後に DCM モードで動作します。
BUCKPFM	2	0 = DC/DC レギュレータは PWM モード (BUCKDCM = 0) または DCM モード (BUCKDCM = 1) で動作します。 1 = DC/DC レギュレータは PFM モードで動作します。
BUCKSS	1	0 = DC/DC レギュレータでスペクトラム拡散動作が有効ではありません。 1 = DC/DC レギュレータでスペクトラム拡散動作が有効です。
BUCKDIS	0	0 = DC/DC レギュレータが有効です。 1 = DC/DC レギュレータが無効です。

CURRLIM (0x5)

BIT	7	6	5	4	3	2	1	0
Field	CL[1:0]		CLDIS	CL_BL[1:0]		TAR[1:0]		AUTORETRY EN
Reset	0b00		0b0	0b00		0b00		0b0
Access Type	Write, Read		Write, Read	Write, Read		Write, Read		Write, Read

ビットフィールド	ビット	説明
CL	7:6	CL[1:0]ビットでは、CLDIS = 0 のときに C/Q ドライバのアクティブな電流制限レベルを設定します。 00 = 50mA (最小) の電流制限値 01 = 100mA (最小) の電流制限値 10 = 200mA (最小) の電流制限値 11 = 250mA (最小) の電流制限値
CLDIS	5	0 = C/Q ドライバの電流制限値が有効です。電流制限値は CL[1:0]ビットで設定します。C/Q の立上がり/立下がりスルー・レートは、CQLOSLEW ビットで設定します。 1 = C/Q ドライバの電流制限値が無効です。C/Q の立上がり/立下がりスルー・レートは 380ns (標準) に設定されます。
CL_BL	4:3	C/Q ドライバのブランキング時間をプログラムするには、CL_BL[1:0]を設定します。 00 = 175 μ s (標準) 01 = 500 μ s (標準) 10 = 1ms (標準) 11 = 5ms (標準)
TAR	2:1	フォルトが発生してオートリトライ機能が有効 (AUTORETRYEN = 1) になった後の C/Q ドライバの固定オフ時間を選択するには、TAR[1:0]ビットを設定します。 00 = 50ms (標準) 01 = 100ms (標準) 10 = 200ms (標準) 11 = 500ms (標準) ドライバは、固定オフ遅延後に自動的に有効に戻ります。
AUTORETRYEN	0	0 = C/Q ドライバでオートリトライが無効です。 1 = C/Q ドライバでオートリトライが有効です。ドライバにフォルトが発生すると、ドライバは選択した固定オフ時間の間だけ無効になり、その後自動的に有効に戻ります。

CONTROL (0x6)

BIT	7	6	5	4	3	2	1	0
Field	LDO33DIS	WUDIS	–	–	RXDIS	RXFILTER	–	CQ_Q
Reset	0b0	0b0	–	–	0b0	0b0	–	0b0
Access Type	Write, Read	Write, Read	–	–	Write, Read	Write, Read	–	Write, Read

ビットフィールド	ビット	説明
LDO33DIS	7	0 = V ₃₃ リニア・レギュレータが有効です。 1 = V ₃₃ リニア・レギュレータが無効です。

ビットフィールド	ビット	説明
WUDIS	6	0 = IO-Link のウェイクアップ検出が有効です。 1 = IO-Link のウェイクアップ検出が無効です。
RXDIS	3	0 = RX ロジック出力が有効です。 1 = RX ロジック出力が無効です。RX がハイ・インピーダンスです。RXDIS = 1 の場合、C/Q 入力電流は減少します。
RXFILTER	2	0 = C/Q レシーバで 1 μ s (標準) のグリッチ・フィルタが無効です。 1 = C/Q レシーバで 1 μ s (標準) のグリッチ・フィルタが有効です。
CQ_Q	0	C/Q ドライバの出力を制御するには、CQ_Q ビットを使用します。詳細については表 1 を参照してください。

CQCONFIG (0x7)

BIT	7	6	5	4	3	2	1	0
Field	CQLOSLEW[1:0]		CQ_PD	CQ_PU	CQ_NPN	CQ_PP	INVCQ	CQ_EN
Reset	0b00		0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明
CQLOSLEW	7:6	C/Q ドライバで標準的な立上がり／立下がりスルー・レートをプログラムするには、CQLOSLEW[1:0] ビットを設定します。 00 = 380ns (標準) 01 = 700ns (標準) 10 = 1.7 μ s (標準) 11 = 7.5 μ s (標準) CLDIS ビットが設定されている場合、CQLOSLEW は無視されます。
CQ_PD	5	0 = C/Q ドライバのプルダウン電流が無効です。 1 = C/Q ドライバのプルダウン電流を有効にします。 詳細については表 3 を参照してください。
CQ_PU	4	0 = C/Q ドライバのプルアップ電流が無効です。 1 = C/Q ドライバのプルアップ電流を有効にします。 詳細については表 3 を参照してください。
CQ_NPN	3	0 = C/Q ドライバは PNP モード (CQ_PP = 0) またはプッシュプル・モード (CQ_PP = 1) です。 1 = C/Q ドライバは NPN モード (CQ_PP = 0) またはプッシュプル・モード (CQ_PP = 1) です。
CQ_PP	2	0 = C/Q ドライバは PNP モード (CQ_NPN = 0) または NPN モード (CQ_NPN = 1) です。 1 = C/Q ドライバはプッシュプル・モードです。

ビットフィールド	ビット	説明
INVCQ	1	0 = C/Q ロジックは TX および RX に対して反転しています。 1 = C/Q ロジックは TX および RX と同じです。
CQ_EN	0	0 = C/Q ドライバは無効です。 1 = C/Q ドライバは有効です。

CLKCONFIG (0x9)

BIT	7	6	5	4	3	2	1	0
Field	ENCKTRIM	–	–	–	CLKDIV[2:0]			MCLKDIS
Reset	0b0	–	–	–	0b000			0b0
Access Type	Write, Read	–	–	–	Write, Read			Write, Read

ビットフィールド	ビット	説明
ENCKTRIM	7	0 = MCLK 周波数の微調整が無効です。 1 = MCLK 周波数の微調整が有効です。CKTRIM レジスタを参照してください。
CLKDIV	3:1	内部クロック分周比と MCLK スイッチング周波数を選択するには、CLKDIV[1:0]ビットを設定します。 000 = MCLK 周波数は 3.686MHz (標準) (デフォルト) 001 = MCLK 周波数は 7.373MHz (標準) 010 = MCLK 周波数は 14.74MHz (標準) 011 = MCLK 周波数は 29.49MHz (標準) 100 = MCLK 周波数は 1.843MHz (標準) MCLK は起動時に 3.686MHz (標準) でスイッチングします。
MCLKDIS	0	0 = MCLK が有効です。 1 = MCLK が無効です。MCLK は無効時にハイになります。

CKTRIM (0xA)

BIT	7	6	5	4	3	2	1	0
Field	–	–	CKTRIM[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
CKTRIM	5:0	内部で生成されたクロック周波数を微調整するには、CKTRIM[5:0]ビットを使用します。 ビットは2進コードで表され、0を中心に-32の-5%から+31の+6.7%までです。

CQMASTER (0xB)

BIT	7	6	5	4	3	2	1	0
Field	WUGEN	-	-	RXTTL	-	-	CQPUD5MA	CQPUD2MA
Reset	0x0	-	-	0x0	-	-	0x0	0x0
Access Type	Write, Read	-	-	Write, Read	-	-	Write, Read	Write, Read

ビットフィールド	ビット	説明
WUGEN	7	0 = C/Q でウェイクアップ・パルスは生成されません。 1 = C/Q で 80 μ s (標準) のウェイクアップ・パルスを生成します。 C/Q をプッシュプル・モードにプログラムして、CQ_EN を 0、TXEN をローに設定してから WUGEN を 1 に設定します。 WUGEN は、ウェイクアップ・パルスの生成後に自動的にリセットされます。
RXTTL	4	0 = IO-Link レシーバの閾値が C/Q レシーバに有効です。 1 = TTL レシーバの閾値が C/Q レシーバに有効です。
CQPUD5MA	1	0 = C/Q の 5mA (最小) 電流が無効です。 1 = C/Q ドライバの 5mA (最小) 電流を有効にします。
CQPUD2MA	0	0 = C/Q の 2mA (最小) 電流が無効です。 1 = C/Q ドライバの 2mA (最小) 電流を有効にします。

CHIPID (0xC)

BIT	7	6	5	4	3	2	1	0
Field	CHIPID[7:0]							
Reset	0x13							
Access Type	Read Only							

ビットフィールド	ビット	説明
CHIPID	7:0	CHIPID レジスタで MAX22514 のリビジョンを識別します。

THADC_CFG (0xD)

BIT	7	6	5	4	3	2	1	0
Field	ADC_START	–	–	–	–	–	ADC_CONF[1:0]	
Reset	0b0	–	–	–	–	–	0b00	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明
ADC_START	7	<p>0 = 手動による温度の ADC 変換は行いません。 1 = 手動による温度の ADC 変換を新たに開始します。</p> <p>手動による温度の ADC 変換を有効にするには、ADC_CONF[1:0]を 10 または 11 に設定します。変換が完了すると、温度変換の結果が THADC_RES レジスタに格納されます。</p> <p>手動による ADC 変換が完了すると、このビットは自動的にクリアされます。</p>
ADC_CONF	1:0	<p>00 = 内蔵/デフォルトの温度警告閾値および応答時間が有効です。 01 = プログラマブルな温度警告閾値が有効です。 1x = 手動による温度の ADC が有効です。このモードでは温度警告が無効です。</p>

THADC_THD (0xE)

BIT	7	6	5	4	3	2	1	0
Field	–	–	THWRN[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
THWRN	5:0	<p>プログラマブルな温度警告閾値を有効にするには、ADC_CONF[1:0]を 01 に設定します。</p> <p>温度警告閾値を設定するには、THWRN[5:0]ビットをプログラムします。スケーリングは、THADC_RES レジスタの THVAL[5:0]ビットの場合と同じです。</p> <p>ダイ温度がこの閾値を超えたときに、THERMWINT ビットと THERMW ビットが設定されます。プログラマブルな温度警告閾値が有効の場合、ヒステリシスはありません。</p>

THADC_RES (0xF)

BIT	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

Field	ADC_EOC	–	THVAL[5:0]
Reset	0b0	–	0b000000
Access Type	Read Only	–	Write, Read

ビットフィールド	ビット	説明
ADC_EOC	7	手動による温度の ADC 変換を有効にするには、ADC_CONF[1:0]ビットを 10 または 11 に設定します。 0 = 温度の ADC 変換が完了して、温度の最新の ADC 変換値が THVAL[5:0]ビットに保持されます。 1 = 温度の ADC 変換が実行中です。THVAL[5:0]ビットの値は無効です。
THVAL	5:0	このレジスタは、最新の温度変換の結果を保持します。ビットは 2 進コードで表され、1LSB = 3°C であり、-15°C（標準）で THVAL = 0 になります。表 5 を参照してください。

アプリケーション情報

MCLK によるマイクロコントローラのクロッキング

MCLK 出力は、マイクロコントローラ/IO-Link の UART クロッキングに使用できるクロックを生成します。

MCLK 出力の周波数選択は、CLKCONFIG レジスタの CLKDIV[2:0] ビットを設定することにより行います。利用可能な MCLK 周波数は、1.843MHz (標準)、3.686MHz (標準)、7.373MHz (標準)、14.74MHz (標準)、および 29.49MHz (標準) です。MCLK 周波数は、CLKCONFIG レジスタの ENCKTRIM ビットを 1 に設定し、かつ CKTRIM レジスタの CKTRIM ビットを書込むことにより、細かく調整できます。CKTRIM ビットは、内部で生成されたクロック周波数を微調整するのに使用します。ビットは 2 進コードで表され、0 を中心に -32 の -5% から +31 の +6.7% までです。

MCLK はデフォルトでは起動時に有効であり、スイッチング周波数は 3.686MHz (標準) です。MCLK の電圧出力レベルは、VL ロジック電源を基準としています。

EMC 保護

MAX22514 は、C/Q ピンおよび V₂₄ ピンにおける 8μs/20μs サージに対して ±1kV/500Ω のサージ保護を内蔵しています。より高いレベルのサージ保護および ESD 保護に対応するには、外付け TVS ダイオードが必要です。TVS ダイオードのピーク・クランプ電圧が絶対最大電圧定格の範囲内であることを確認してください。

消費電力と熱に関する考慮事項

MAX22514 の総消費電力が絶対最大定格の制限を超えていないことを確認してください。MAX22514 の総消費電力は、次式を用いて計算します。

$$P_{\text{TOTAL}} = P_Q + P_{V_5} + P_{V_{33}} + P_{C/Q}$$

ここで、

P_Q = MAX22514 で生成された静止電力、

$P_{C/Q}$ = C/Q ドライバで生成された電力、

$P_{V_{33}}$ および P_{V_5} = 内蔵リニア・レギュレータにより生成された電力

MAX22514 で消費される静止電力は、次のように計算します。

$$P_Q = [I_{24} \times V_{24}(\text{max})] + [I_5 \times V_5]$$

C/Q ドライバで消費される電力は、次のように計算します。

$$P_{C/Q} = I_{C/Q}(\text{max})^2 \times R_{\text{ON}}$$

$I_{C/Q}$ は C/Q ドライバにより駆動される負荷電流であり、 R_{ON} はドライバのオン抵抗です。

5V リニア・レギュレータ (V_5) で消費される電力は、次のように計算します。

$$P_{V_5} = (V_{\text{LIN}} - V_5) \times I_{5\text{LOAD}}$$

$I_{5\text{LOAD}}$ には、 V_5 レギュレータと 3.3V レギュレータの負荷電流が両方とも含まれています。

3.3V リニア・レギュレータ (V_{33}) で消費される電力は、次のように計算します。

$$P_{V_{33}} = 1.7V \times I_{33\text{LOAD}}$$

$I_{33\text{LOAD}}$ は 3.3V レギュレータの負荷です。

レイアウトとグラウンディング

MAX22514 のレイアウトは、すべての部品が正常かつ干渉を最小限にして動作できるようにするために重要です。

MAX22514 は、次の 2 つのグラウンド・ピンを備えています。GND と CQGND です。

すべての電源ピン (V₅、V_L、および PV₂₄) は GND ピンにバイパスし、グラウンド・プレーンに直接接続します。バイパス・コンデンサは、できるだけ IC に近づけて配置する必要があります。

V₂₄、C/Q、および CQGND のピンは、IO-Link コネクタに直接接続します。バイパス・コンデンサおよびこのライン上の他の部品はすべて、CQGND に直接接続します。CQGND を IC のグラウンド層に (TQFN では露出パッドに、または WLP パッケージのパッド D8 の下に) 接続します。

DC/DC 降圧レギュレータの部品ループはできるだけ小さく保ちます。フィードバック抵抗分圧器がインダクタから離れていることを確認してください。DC/DC 出力コンデンサのグラウンド端子は、複数のビアを用いてグラウンド・プレーンに接続します。

図 12 は、レイアウトとグラウンディング接続の一例を示しています。

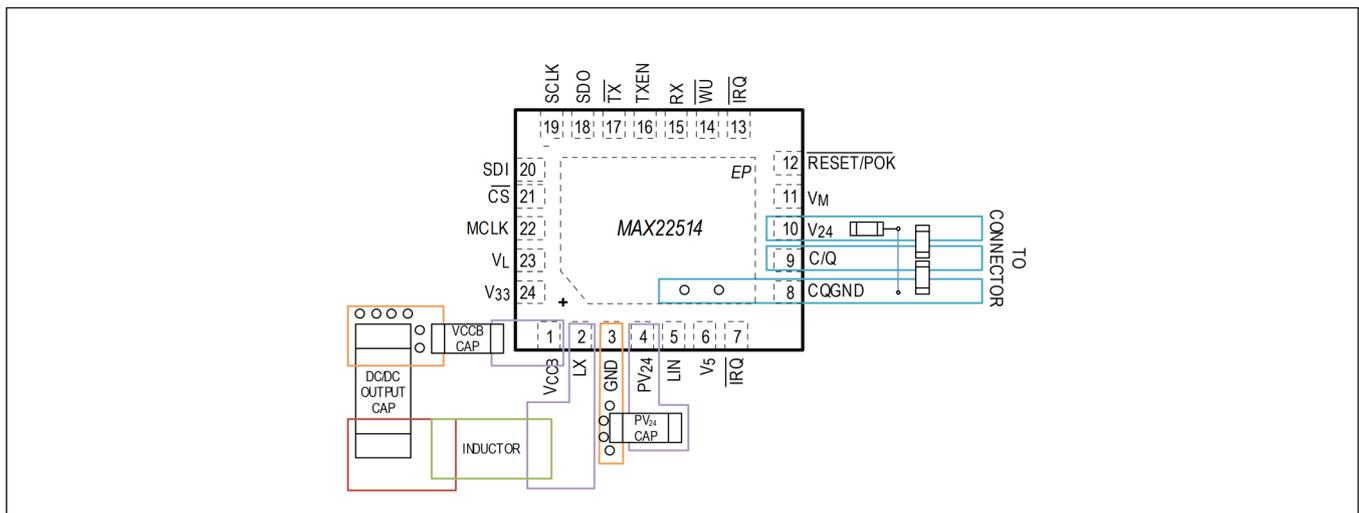


図 12. グラウンディング方式の例 (TQFN パッケージ)

型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE	BALL PITCH
MAX22514ATG+	-40°C to +125°C	24 TQFN-EP*	—
MAX22514ATG+T	-40°C to +125°C	24 TQFN-EP*	—
MAX22514AWA+	-40°C to +125°C	25 WLP	0.5
MAX22514AWA+T	-40°C to +125°C	25 WLP	0.5

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。

T = テープ&リール。

*EP = 露出パッド。

チップ情報

プロセス : BiCMOS

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/21	市場投入のためのリリース	-
1	2/22	表 4 を改訂	27

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年6月11日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年6月11日

製品名：MAX22514

対象となるデータシートのリビジョン(Rev)：Rev.1

訂正箇所：39頁、上から3個目の表、CLKDIVの項の説明欄

【誤】

「内部クロック分周比と MCLK スイッチング周波数を選択するには、CLKDIV[1:0]ビットを設定します。」という説明文の下線部分。

【正】

「内部クロック分周比と MCLK スイッチング周波数を選択するには、CLKDIV[2:0]ビットを設定します。」が正しい説明です。