デュアル出力 8A、3MHz、2.7V～16V 降圧スイッチング・レギュレータ

MAX20828T

概要

MAX20828T は全機能を内蔵したデュアル出力、高効率の降圧 DC-DC スイッチング・レギュレータです。このレギュレータは 2.7V～16V の入力電源で動作し、各出力を 0.5V～5.8V の範囲でレギュレーションし、出力ごとに 8A の負荷電流を供給できます。2 系統の出力を並列に接続して、最大 16A の負荷電流を供給できる単一出力の 2 相レギュレータとしても使用できます。

このデバイスのスイッチング周波数は 500kHz～3.0MHz の範囲で設定可能で、ソリューション・サイズと性能の観点で設計を最適化できます。

MAX20828T は固定周波数の内部補償された電流モード制御を使用します。2 つのスイッチング・レギュレータは 180º の位相差で動作します。MAX20828T では、動的な負荷過渡応答性能を改善する高度変調方式（AMS）が選択可能です。軽負荷時の効率を改善する不連続電流モード（DCM）も選択できます。動作と機能の設定は、PGM_端子とグランドの間にピン・ストラップ抵抗を接続することにより選択できます。

MAX20828T は、1.8V の LDO 出力を内蔵しており、ゲート駆動（V_{CC}）および内部回路（AVDD）に電力を供給します。このデバイスにはオプションの LDO 入力端子（LDOIN）があり、2.5V～5.5V のバイアス入力電源に接続することにより効率を最適化できます。

MAX20828T は、正負両方向の過電流保護、出力過電圧保護、過熱保護など複数の保護機能を備えており、堅牢な設計ができます。

MAX20828T はコンパクトな 3.5mm × 4.6mm の FC2QFN パッケージで提供され、−40ºC～+125ºC のジャンクション温度で動作します。MAX20828T は MAX20808/MAX20808T および MAX20812/MAX20812T とフットプリント互換です。

アプリケーション

- データ・センター電源
- 通信機器
- ネットワーク機器
- サーバーおよびストレージ
- POL（Point of Load）電圧レギュレータ

特長と利点

- 少ない部品数で高電力密度を実現
  - デュアル出力または 2 相動作を選択可能
  - バイアス生成用の内蔵 LDO による単一電源動作
  - オプションの 2.5V～5.5V 外付けバイアスで高効率化
  - 小型 3.5mm × 4.6mm、21 ピン FC2QFN パッケージ
  - 内部補償
- 広い動作範囲
  - 入力電圧範囲：2.7V～16V
  - 出力電圧範囲：0.5V～5.8V
  - スイッチング周波数を 500kHz～3MHz に設定可能
  - ジャンクション温度範囲：−40ºC～+125ºC
  - 3 つのピン・ストラップ設定ピンで様々な構成を選択可能
  - 各出力に対し独立のイネーブルとパワー・グッド
- 最適な性能と効率
  - ピーク効率 92.5%
    （V_{DDH} = 12V、V_{OUT} = 1.8V、f_{SW} = 1MHz）
  - 180º の位相差のインターリーブ動作
  - 負荷過渡応答を改善する AMS を選択可能
  - 軽負荷時の効率を改善する DCM を選択可能
  - 2 相動作時のアクティブな電流バランス

DESCRIPTION	CURRENT RATING* (DUAL-PHASE) (A)	INPUT VOLTAGE (V)	OUTPUT VOLTAGE (V_{OUT1} = V_{OUT2}) (V)
Electrical Rating	16	2.7 to 16	0.5 to 5.8
Thermal Rating T_A = 85°C, no air flow	14	12	0.8
Thermal Rating T_A = 55°C, 200LFM air flow	16	12	3.3

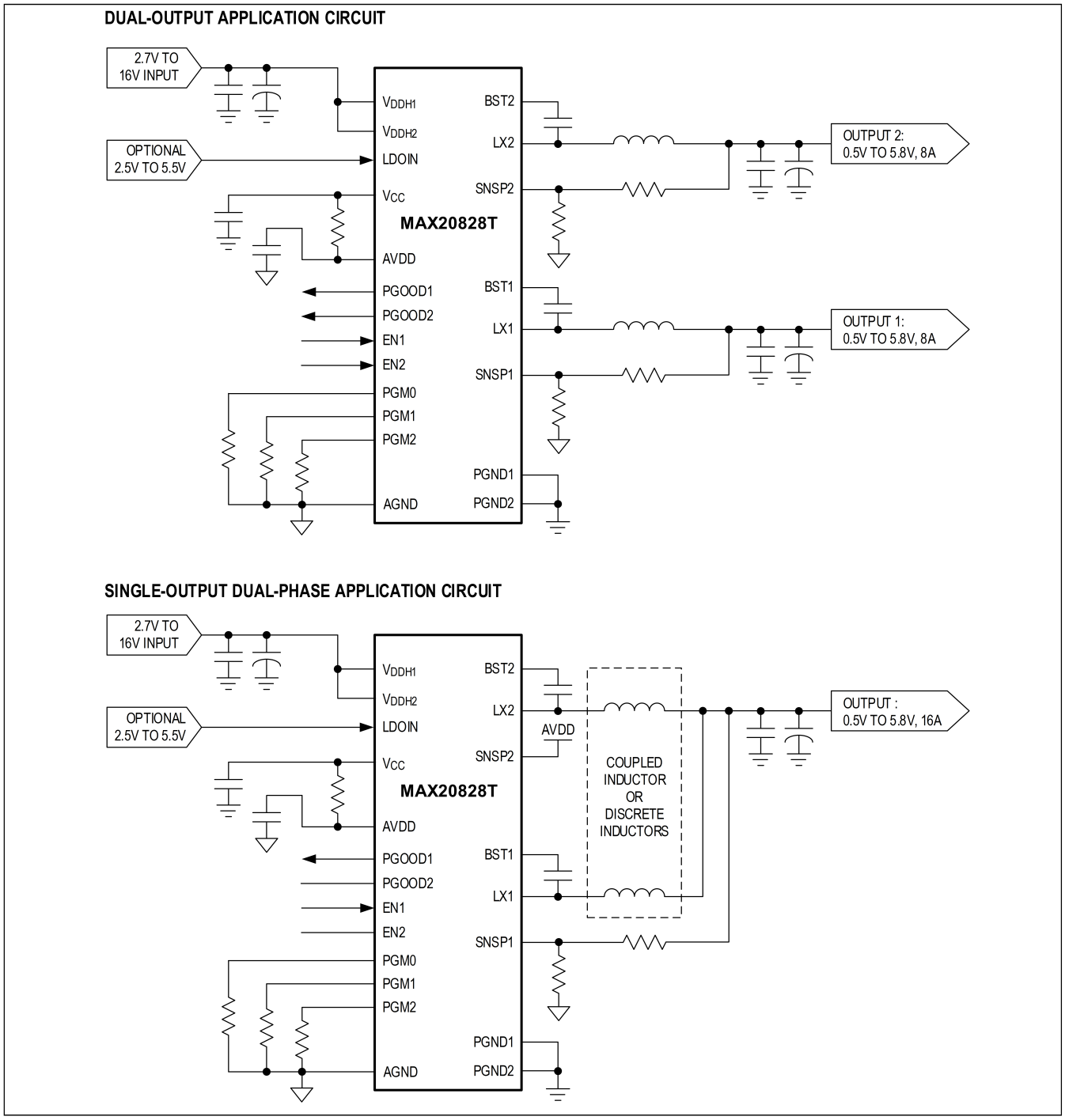
**最高 T_J = +125ºC。個々の動作条件については、標準動作特性に記載の Safe Operating Area（SOA）曲線を参照してください。*

オーダー情報はデータシート末尾に記載されています。

19-101421; Rev 0; 6/22

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300

簡略化された MAX20828T のアプリケーション回路



絶対最大定格

V_{DDH1}、V_{DDH2}～PGND (Note 1) ..... −0.3V～+19V
LX1、LX2～PGND (DC) ..... −0.3V～+19V
LX1、LX2～PGND (AC) (Note 2) ..... −10V～+23V
V_{DDH1}～LX1 (DC) (Note 1) ..... −0.3V～+19V
V_{DDH1}～LX1 (AC) (Note 2) ..... −10V～+19V
V_{DDH2}～LX2 (DC) (Note 1) ..... −0.3V～+19V
V_{DDH2}～LX2 (AC) (Note 2) ..... −10V～+19V
BST1、BST2～PGND (DC) ..... −0.3V～+21.5V
BST1、BST2～PGND (AC) (Note 2) ..... −7V～+25.5V
BST1～LX1 ..... −0.3V～+2.5V
BST2～LX2 ..... −0.3V～+2.5V
PGND～AGND ..... −0.3V～+0.3V
V_{CC}～PGND ..... −0.3V～+2.5V
AVDD～AGND ..... −0.3V～+2.5V
EN1、EN2～AGND ..... −0.3V～+4V
PGOOD1、PGOOD2～AGND ..... −0.3V～+4V
SNSP1、SNSP2～AGND ..... −0.3V～AVDD+0.3V
LDOIN～AGND ..... −0.3V～+6V
PGM0、PGM1, PGM2～AGND ..... −0.3V～AVDD+0.3V
ピーク LX_電流 ..... −14A～+23A
ジャンクション温度(T_J) (Note 3) ..... +150°C
保存温度範囲 ..... −65°C～+150°C
ピーク・リフロー温度（鉛フリー） ..... +260°C

Note 1： 誘導電圧スパイクが絶対最大制限値を越えないよう、入力高周波（HF）コンデンサを $V_{DDH_}$端子から 40mil 以内に配置することが必要です。
Note 2： AC の制限値は 25ns です。
Note 3： 動作ジャンクション温度の推奨範囲は−40ºC～+125ºC です。このデバイスは、+105ºC のジャンクション温度で出力あたりの電流が 8A という条件で 65K 時間の連続動作が確保されています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

21 FC2QFN

Part Number	MAX20828T (Closed Top)
Package code	F213A4F+2
Outline Number	21-100513
Land Pattern Number	90-100184
Thermal Resistance	
Junction-to-Ambient Thermal Resistance (θ_{JA}) JEDEC	43.9°C/W
Junction-to-Ambient Thermal Resistance (θ_{JA}) on MAX20828TEVKIT#	20°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	10.1°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「−」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

電気的特性

（標準アプリケーション回路を参照。特に指定のない限り V_{DDH1} = V_{DDH2} = 12V、V_{LDOIN} = 3.3V、T_A = T_J = −40ºC～+125ºC。仕様については T_A = +32ºC の条件で出荷テストを行っています。動作温度範囲における制限値は設計および特性評価により確保されています。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLY						
Input Voltage Range	V_{DDH}		2.7		16	V
Input Supply Current	I_{VDDH}	V_{LDOIN} = 3.3V, EN_ = AGND		0.1		mA
		V_{LDOIN} = AVDD, EN_ = AGND		2.2		
Linear Regulator Input Voltage	V_{LDOIN}		2.5		5.5	V
Linear Regulator Input Current	I_{LDOIN}	V_{LDOIN} = 3.3V, EN_ = AGND		2.6		mA
		V_{LDOIN} = 3.3V, EN_ = 1.8V, f_{SW} = 1MHz		22.1		
Internal LDO Regulated Output	V_{CC}		1.71		1.95	V
Linear Regulator Current Limit		V_{LDOIN} = AVDD	80			mA
		V_{LDOIN} = 3.3V	100			
		V_{CC} < 1.6V		20		
AVDD Undervoltage Lockout	$AVDD_{UVLO}$	Rising	1.65	1.67	1.70	V
AVDD Undervoltage Lockout Hysteresis				55		mV
$V_{DDH\_}$ Undervoltage Lockout	V_{DDH_UVLO}	Rising	2.4	2.5	2.6	V
$V_{DDH\_}$ Undervoltage Lockout Hysteresis				100		mV
LDOIN Undervoltage Lockout	V_{LDOIN_UVLO}		2.2	2.3	2.4	V
LDOIN Undervoltage Lockout Hysteresis	V_{LDOIN_UVLO}			100		mV
OUTPUT VOLTAGE RANGE AND ACCURACY						
Feedback Voltage	$V_{SNSP\_}$		0.495	0.500	0.505	V
		T_A = T_J = 0°C to +85°C	0.497	0.500	0.503	
Voltage Sense Leakage Current	$I_{SNSP\_}$	T_A = T_J = +25°C			1	µA
SWITCHING FREQUENCY						
Switching Frequency	$f_{SW\_}$			500		kHz
				750		
				1000		
				1500		
				2000		
				3000		
Switching Frequency Accuracy			−10		+10	%
Phase Shift Between Two Outputs/Phases		f_{SW1} = f_{SW2}		180		°

（標準アプリケーション回路を参照。特に指定のない限り V_{DDH1} = V_{DDH2} = 12V、V_{LDOIN} = 3.3V、T_A = T_J = −40ºC～+125ºC。仕様については T_A = +32ºC の条件で出荷テストを行っています。動作温度範囲における制限値は設計および特性評価により確保されています。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Controllable On-Time		I_{OUT} = 0A (Note 4)		32	40	ns
		I_{OUT} = 1A (Note 4)		27	37	
Minimum Controllable Off-Time		I_{OUT} = 0A (Note 4)		100	110	ns
ENABLE AND STARTUP						
Initialization Time	t_{INIT}			800		µs
EN_Threshold		Rising	0.9			V
		Falling			0.6	
EN_Filtering Delay	$t_{EN\_RISING\_DELAY}$	Rising		200		µs
	$t_{EN\_FALLING\_DELAY}$	Falling		2		
Soft-Start Time	t_{SS}			3		ms
POWER GOOD AND FAULT PROTECTIONS						
PGOOD_ Output Low		I_{PGOOD} = 4mA			0.4	V
Output Undervoltage (UV) Threshold			−16	−13	−10	%
Output UV Deglitch Delay				4		µs
Output Overvoltage Protection (OVP) Threshold			10	13	16	%
Output OVP Deglitch Delay				2		µs
Positive Overcurrent Protection (POCP) Threshold	POCP	Inductor Peak Current, POCP = 11.5A	10.4	11.5	12.6	A
		Inductor Peak Current, POCP = 7.7A	6.93	7.70	8.47	
POCP Deglitch Delay				36		ns
Fast Positive Overcurrent Protection (FPOCP) Threshold	FPOCP		13.2	15.5	17.8	A
Negative Overcurrent Protection (NOCP) Threshold to POCP Threshold Ratio	NOCP	With respect to POCP threshold (typ)		−66		%
NOCP Accuracy			−20		+20	%
BST UVLO Threshold	V_{BST}	Rising	1.47	1.57	1.63	V
BST UVLO Threshold Hysteresis				60		mV
Overtemperature Protection (OTP) Rising Threshold	OTP			155		°C
OTP Accuracy				6		%
OTP Hysteresis				20		°C
Hiccup Protection Time	t_{HICCUP}			20		ms

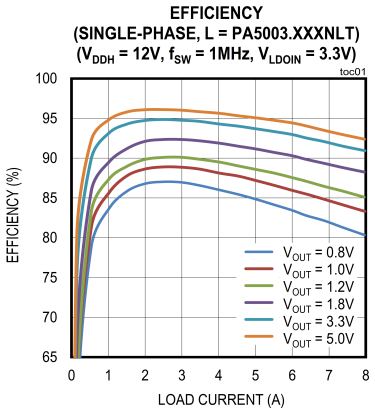
（標準アプリケーション回路を参照。特に指定のない限り $V_{DDH1} = V_{DDH2} = 12V$、$V_{LDOIN} = 3.3V$、$T_A = T_J = -40ºC$～$+125ºC$。仕様については $T_A = +32ºC$ の条件で出荷テストを行っています。動作温度範囲における制限値は設計および特性評価により確保されています。）

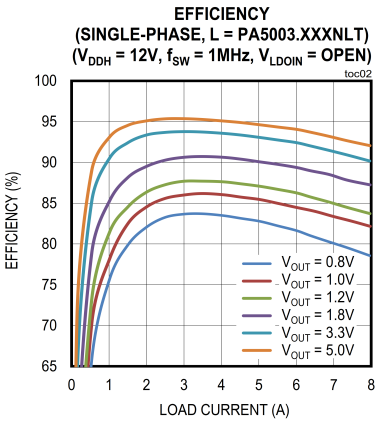
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DCM OPERATION MODE						
DCM Comparator Threshold to Enter DCM		POCP = 11.5A, Inductor Valley Current		−440		mA
		POCP = 7.7A, Inductor Valley Current		−310		
DCM Comparator Threshold to Exit DCM		Inductor Valley Current		100		mA
PROGRAMMING PINS						
PGM_ Pin Resistor Range	$R_{PGM\_}$		0.095		115	kΩ
PGM_ Resistor Accuracy			−1		+1	%

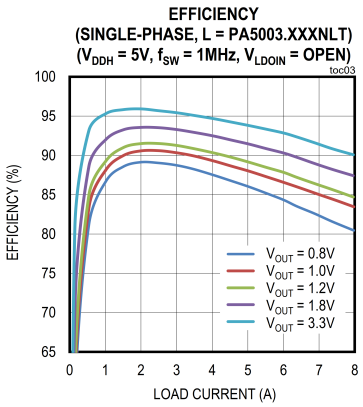
Note 4： 設計により性能を確保。

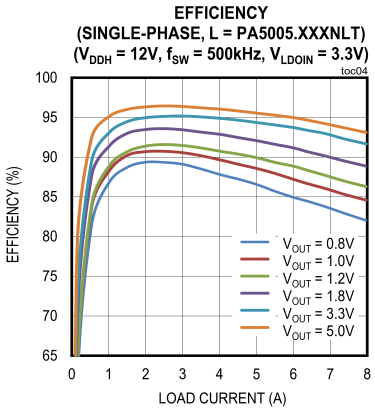
標準動作特性

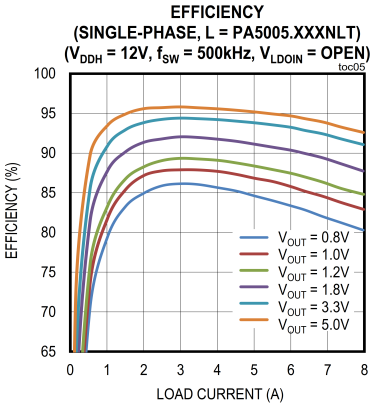
（標準アプリケーション回路を参照。特に指定のない限り $V_{DDH} = 12V$、MAX20828TEVKIT#を使用してテスト、$T_A = +25ºC$。）

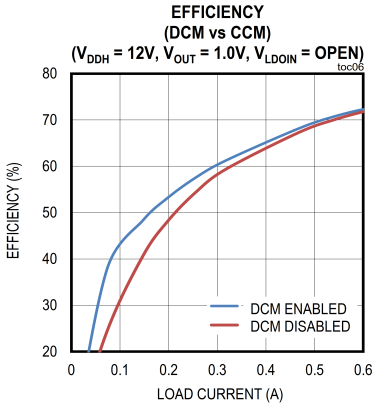




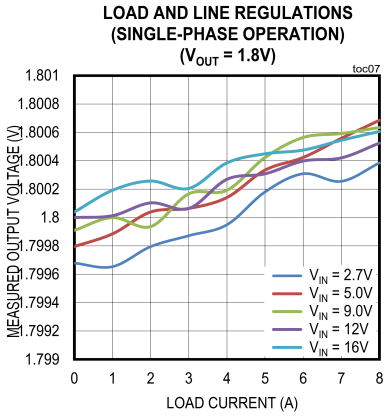


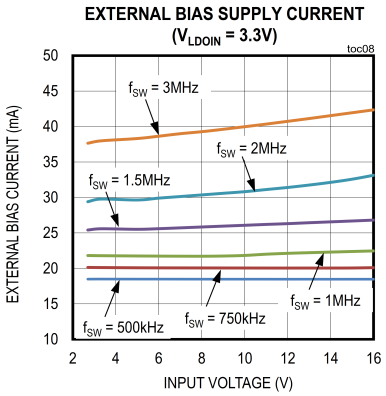


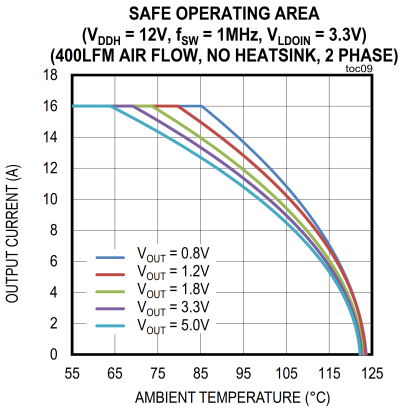


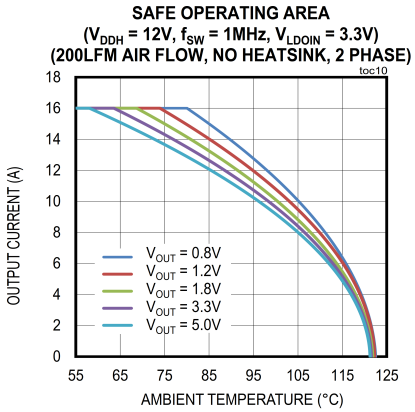


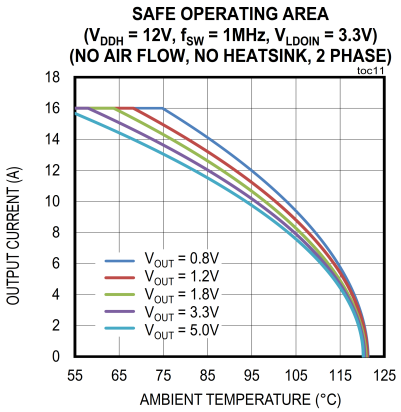
（標準アプリケーション回路を参照。特に指定のない限り V_{DDH} = 12V、MAX20828TEVKIT#を使用してテスト、T_A = +25ºC。）

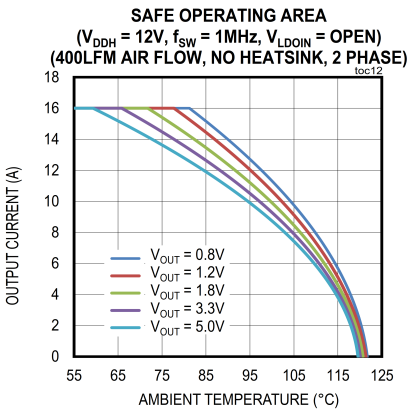


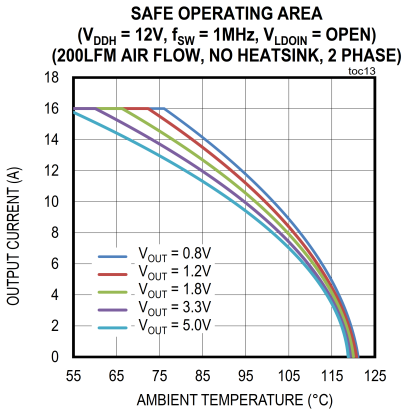


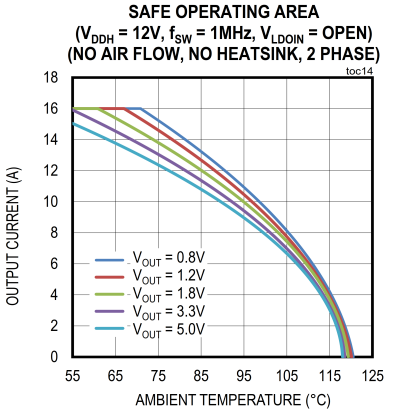


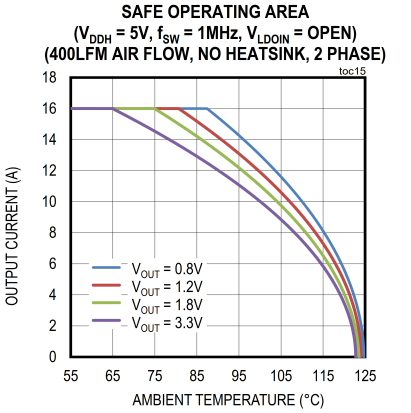




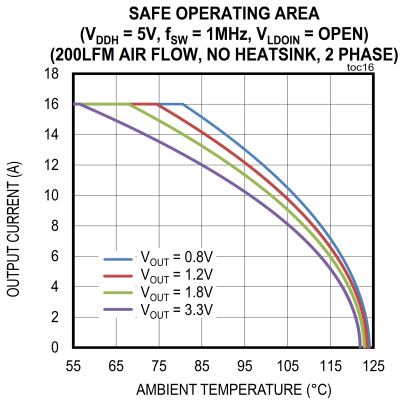


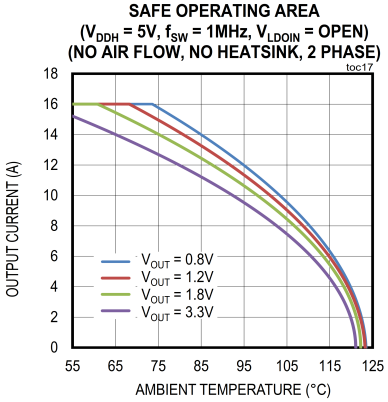


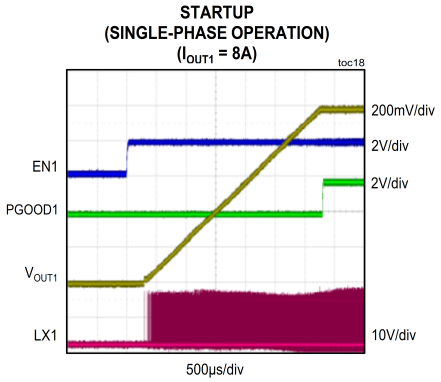


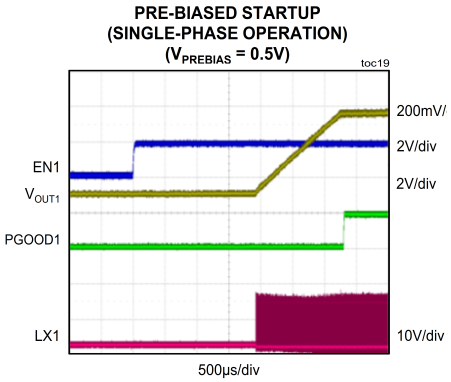


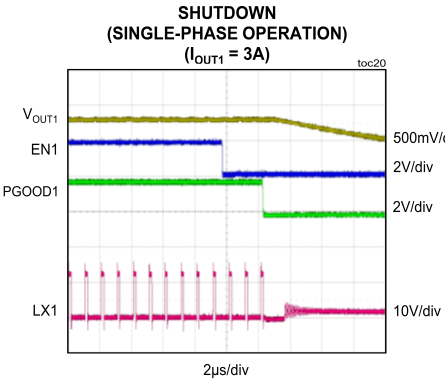
（標準アプリケーション回路を参照。特に指定のない限り V_{DDH} = 12V、MAX20828TEVKIT#を使用してテスト、T_A = +25ºC。）

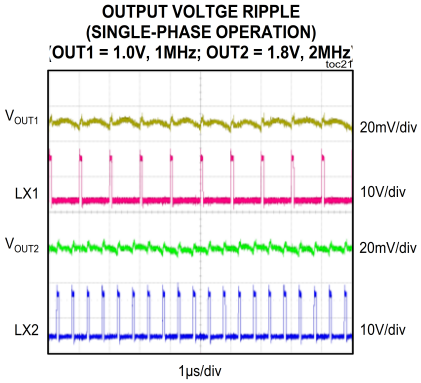


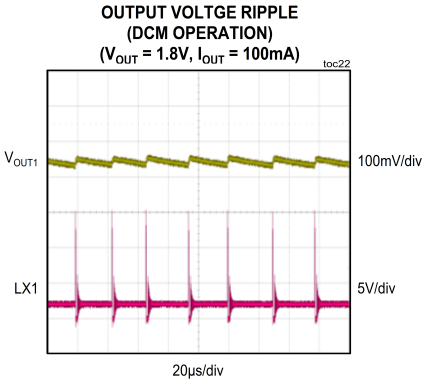


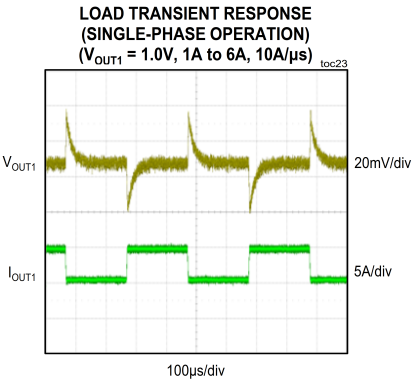


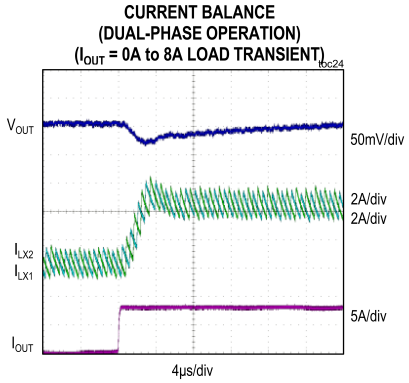




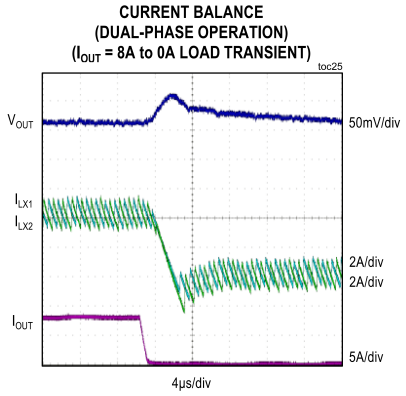


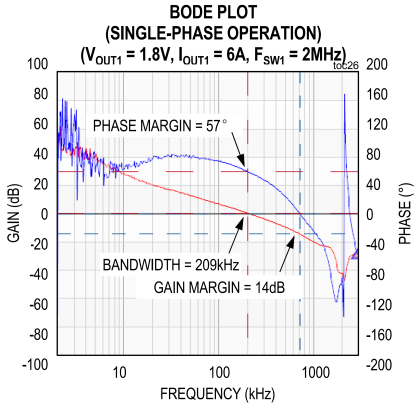


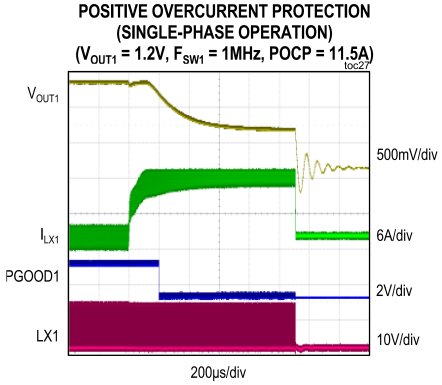


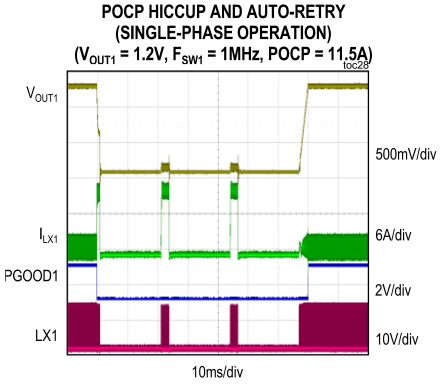


（標準アプリケーション回路を参照。特に指定のない限り V_{DDH} = 12V、MAX20828TEVKIT#を使用してテスト、T_A = +25ºC。）

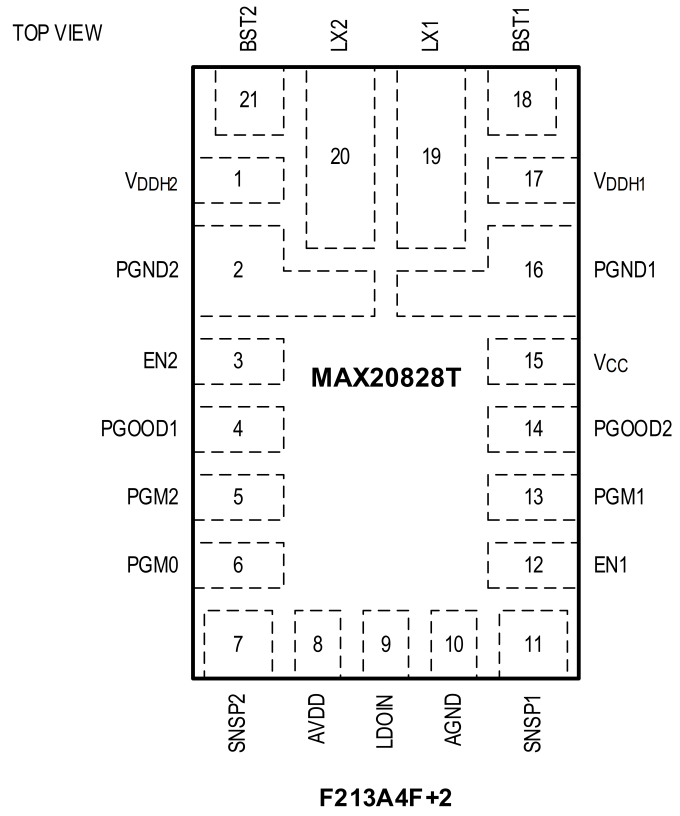








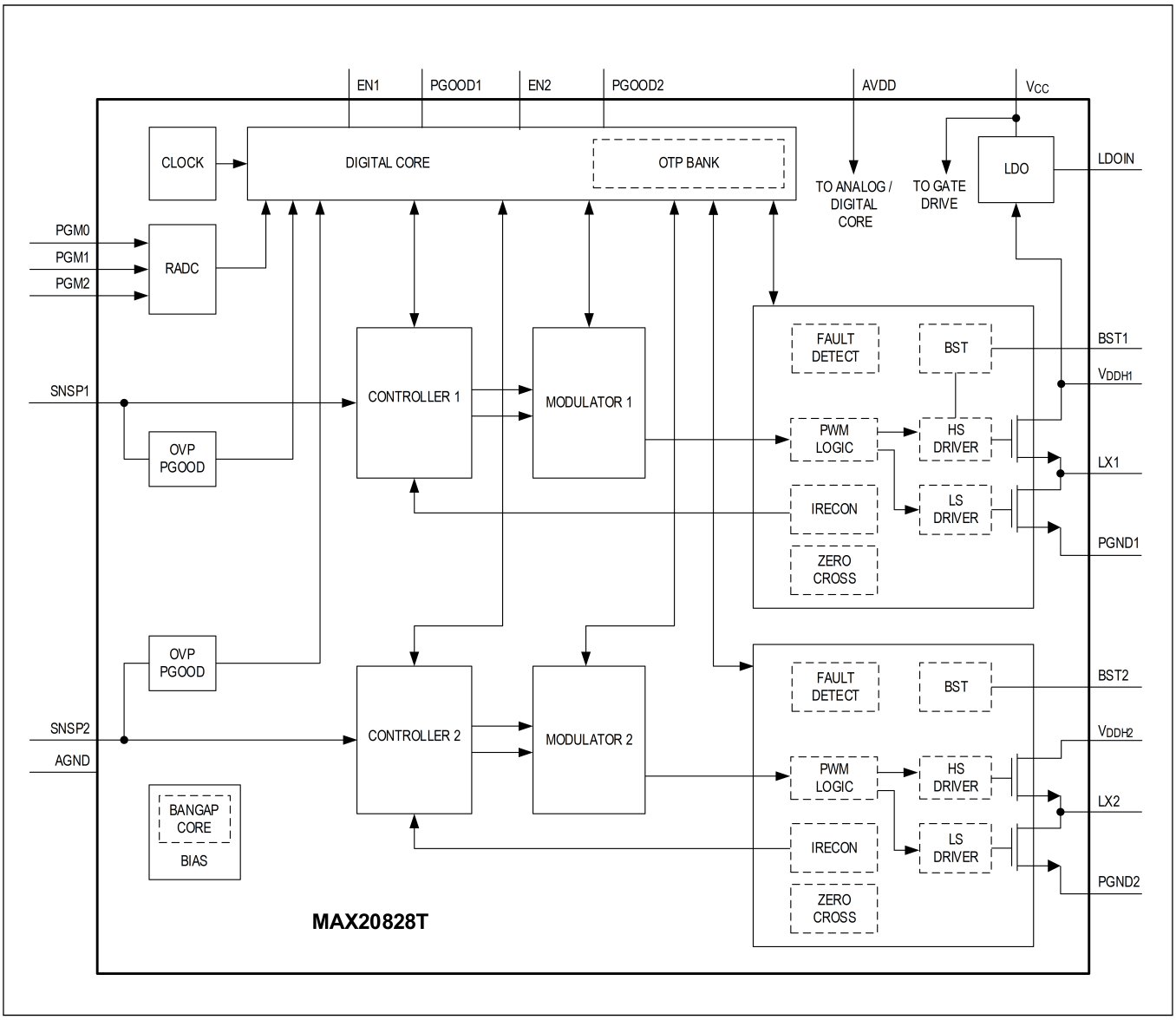
ピン配置


TOP VIEW
BST2
LX2
LX1
BST1
21
20
19
18
VDDH2
1
17
VDDH1
PGND2
2
16
PGND1
EN2
3
MAX20828T
15
VCC
PGOOD1
4
14
PGOOD2
PGM2
5
13
PGM1
PGM0
6
12
EN1
7
8
9
10
11
SNSP2
AVDD
LDOIN
AGND
SNSP1
F213A4F+2

端子説明

ピン	名称	説明
1	V_{DDH2}	出力 2 のレギュレータ入力電源。V_{DDH1} と V_{DDH2} は PCB 上で相互に接続します。
2	PGND2	電源グランド。PGND1 と PGND2 は PCB 上で相互に接続します。
3	EN2	出力 2 の出力イネーブル。
4	PGOOD1	出力 1 のオープン・ドレイン・パワー・グッド出力。
5	PGM2	プログラム入力。設定抵抗を介してこの端子をグランドに接続します。
6	PGM0	プログラム入力。設定抵抗を介してこの端子をグランドに接続します。
7	SNSP2	出力 2 の電圧検出帰還端子。SNSP2 と V_{OUT2} を負荷ポイントで接続します。出力と SNSP2 の間に抵抗分圧器を挿入すると、0.5V の固定リファレンス電圧を基準とした出力のレギュレーションができます。SNSP2 を AVDD に接続すると、2 相動作が選択されます。
8	AVDD	アナログ回路用 1.8V 電源。AVDD と V_{CC} の間に 2.2Ω～4.7Ω の抵抗を接続します。AVDD と AGND の間に 1µF 以上のセラミック・コンデンサを接続します。
9	LDOIN	オプションの 2.5V～5.5V LDO 入力電源。この端子は AVDD と GND のいずれかに接続するか、使用しない場合はフロート状態のままにします。
10	AGND	アナログ・グランド。
11	SNSP1	出力 1 の電圧検出帰還端子。SNSP1 と V_{OUT1} を負荷ポイントで接続します。出力と SNSP1 の間に抵抗分圧器を挿入すると、0.5V の固定リファレンス電圧を基準とした出力のレギュレーションができます。
12	EN1	出力 1 の出力イネーブル。
13	PGM1	プログラム入力。設定抵抗を介してこの端子をグランドに接続します。
14	PGOOD2	出力 2 のオープン・ドレイン・パワー・グッド出力
15	V_{CC}	内蔵 1.8V LDO の出力。V_{CC} と PGND の間に 2.2µF 以上のセラミック・コンデンサを接続します。
16	PGND1	電源グランド。PGND1 と PGND2 は PCB 上で相互に接続します。
17	V_{DDH1}	出力 1 のレギュレータ入力電源。V_{DDH1} と V_{DDH2} は PCB 上で相互に接続します。
18	BST1	出力 1 のブートストラップ端子。BST1 と LX1 の間に 0.22µF のセラミック・コンデンサを接続します。
19	LX1	出力 1 のスイッチ・ノード。LX1 は出力インダクタに直接接続します。
20	LX2	出力 2 のスイッチ・ノード。LX2 は出力インダクタに直接接続します。
21	BST2	出力 2 のブートストラップ端子。BST2 と LX2 の間に 0.22µF のセラミック・コンデンサを接続します。

ブロック図


EN1
PGOOD1
EN2
PGOOD2
AVDD
VCC
CLOCK
DIGITAL CORE
OTP BANK
TO ANALOG / DIGITAL CORE
TO GATE DRIVE
LDO
LDOIN
PGM0
PGM1
PGM2
RADC
SNSP1
OVP PGOOD
CONTROLLER 1
MODULATOR 1
FAULT DETECT
BST
BST1
VDDH1
PWM LOGIC
HS DRIVER
LX1
IRECON
LS DRIVER
PGND1
ZERO CROSS
OVP PGOOD
SNSP2
AGND
CONTROLLER 2
MODULATOR 2
FAULT DETECT
BST
BST2
VDDH2
PWM LOGIC
HS DRIVER
LX2
IRECON
LS DRIVER
PGND2
ZERO CROSS
BANGAP CORE
BIAS
MAX20828T

詳細

デュアル出力と 2 相動作の選択

MAX20828T はデフォルトではデュアル出力の降圧レギュレータとして構成されています。このデバイスには 2 つの出力用にそれぞれ独立の制御ループが備えられており、ループのパラメータを独立に選択できます。

MAX20828T は、SNSP2 端子を AVDD に接続することにより、1 出力の 2 相 16A コンバータとして構成することもできます。2 相動作の構成にした場合には、OUTPUT1 の制御ループのみが動作し、OUTPUT2 の制御ループはバイパスされます。2 相動作モードでは、EN1 と PGOOD1 がデバイスのイネーブルとパワー・グッド状態の提示に使用されます。EN2 と PGOOD2 は接続する必要がありません。

制御アーキテクチャ

固定周波数、ピーク電流モード制御ループ

MAX20828T の制御ループは、固定周波数、ピーク電流モード制御アーキテクチャに基づいています。簡略化した制御アーキテクチャを図 1 に示します。各ループには、エラー・アンプ段、内蔵電圧ループ補償ネットワーク、電流検出、内部スロープ補償、PWM が含まれ、PWM がパルス幅変調（PWM）の信号を発生させてハイサイドとローサイドの MOSFET を駆動します。このデバイスは 0.5V の固定リファレンス電圧（V_{REF}）を備えています。V_{REF} と検出された出力電圧の差分を初段のエラー・アンプで増幅します。その出力電圧（$V_{ERR\_}$）を電圧ループ補償ネットワークの入力として使用します。補償ネットワークの出力（$V_{COMP\_}$）は、電流検出信号（$V_{ISENSE\_}$）およびスロープ補償（$V_{RAMP\_}$）と共に、PWM コンパレータに供給されます。PWM コンパレータの出力は PWM 変調器への入力となります。ハイサイド MOSFET がオンになるタイミングは内部クロックに同期します。内部クロックは、固定周波数のクロック、あるいは AMS がイネーブルされていれば位相シフトクロックです。

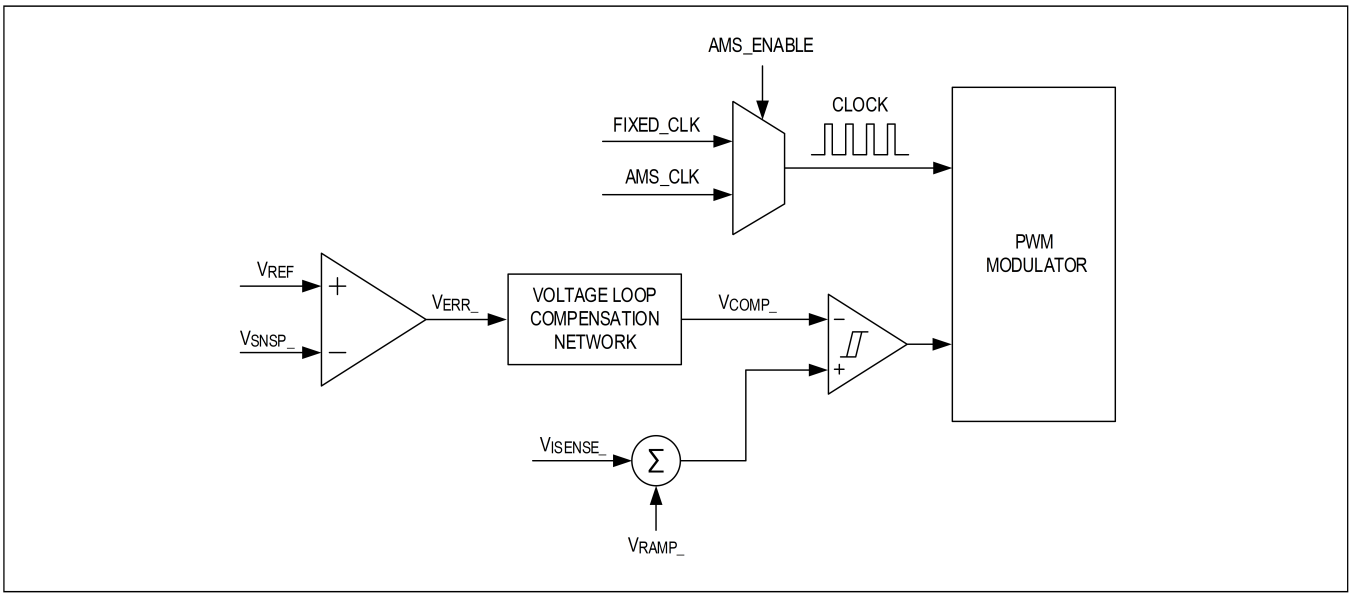


図 1. 簡略化した制御アーキテクチャ

高度変調方式（AMS）

MAX20828T では、動的な負荷過渡応答を改善する AMS が選択可能です。AMS には通常の固定周波数 PWM に対して多大なメリットがあります。AMS 機能を有効にすると、立上がりと立下がりの両エッジでの変調が可能で、大きな負荷過渡応答時のスイッチングの反応が高速になります。図 2 は、デバイスで AMS がイネーブルされたときの、一般的な立下がりエッジ変調に加えて立上がりエッジ変調を行う方式を示しています。この変調方式により、オンとオフの遅延を最小にできます。全インダクタ電流が非常に高速に増加するため、負荷の要求が満たされ、出力コンデンサから流れる電流を抑制できます。AMS をイネーブルすると、システムの閉ループ帯域幅を位相マージンを犠牲にすることなく拡張できます。その結果、出力容量は最小限に抑えることができます。

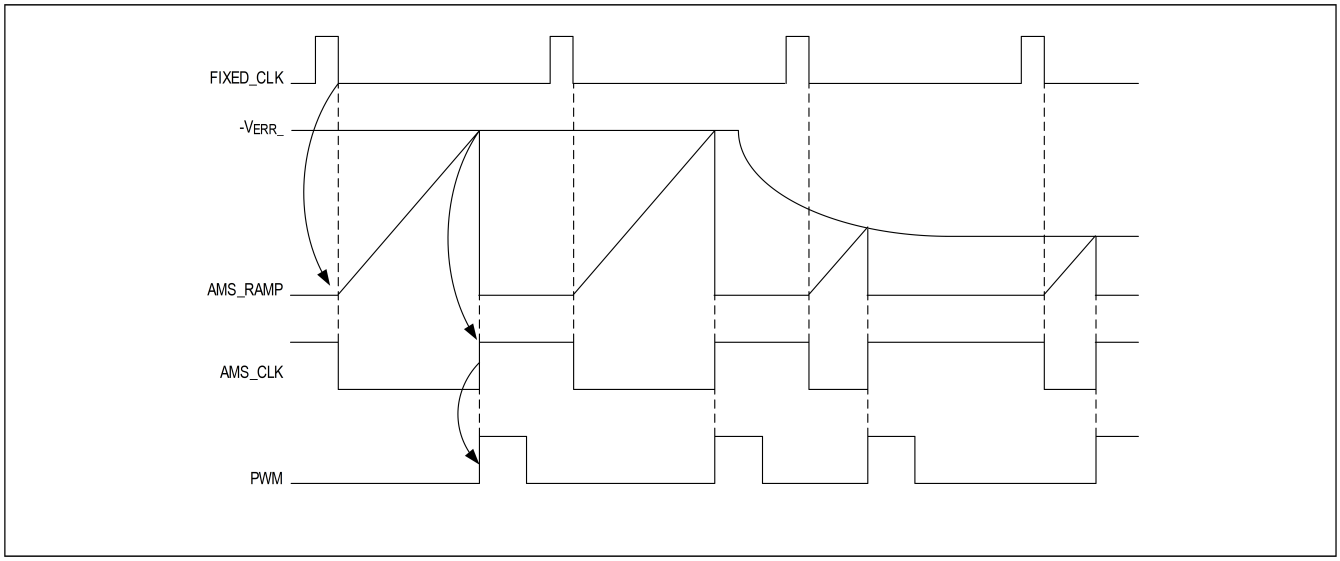


図 2. AMS の動作

不連続電流モードの動作

不連続電流モードの動作をイネーブルすると、軽負荷時の効率が改善されます。DCM で動作するためには、必要とする V_{OUT} より V_{DDH} が 2V 以上高いことが必要です。このデバイスは DCM 電流検出コンパレータを備えており、連続導通モード（CCM）での動作時にはインダクタの谷電流をモニタします。軽負荷時には、インダクタの谷電流が 48 サイクル連続で DCM コンパレータのスレッショルド未満になると、シームレスに DCM 動作に移行します。DCM 動作に入ると、負荷の低減に伴ってスイッチング周波数が低下します。MAX20828T は、インダクタの谷電流が 100mA よりも高くなると、直ちに CCM 動作に戻ります。

アクティブ電流バランス

MAX20828T は、2 相動作するよう設定されている場合、両相の間の動的な電流分担あるいはバランスの改善のため、アクティブに電流バランスを取りながら動作します。この機能は、負荷過渡応答時の電流バランスを、スイッチング周波数やその高調波に近い負荷ステップ周波数においても維持します。アクティブ電流バランス回路は、相間の電流不均衡を最小化するように、各相の電流制御信号を調整します。

内蔵リニア・レギュレータ

MAX20828T は 1.8V リニア・レギュレータを内蔵しています。デフォルトでは、V_{CC} の 1.8V の電圧には V_{DDH1} 端子から供給されます。効率を改善するためには、LDOIN 端子に外付けで 2.5V～5.5V のバイアス入力電源を供給し、V_{CC} の 1.8V 電圧が LDOIN 端子から変圧されるようにすることを推奨します。出力電圧が 2.5V～5.5V の範囲内である場合には、LDOIN 端子を出力電圧に接続することができます。オプションの LDOIN バイアス入力電源は、レギュレーション中いつでも印加や停止が可能で、レギュレーションに影響が及ぶことはありません。

V_{CC} 端子の 1.8V 電圧から、両方の出力の MOSFET ドライバに電流が供給されます。V_{CC} と PGND の間には、最小 2.2µF のデカップリング・コンデンサを接続する必要があります。デバイス内部のアナログ回路に電力を供給するため、AVDD 端子にも 1.8V 電源が必要です。AVDD と V_{CC} の間には 2.2Ω～4.7Ω の抵抗を接続することが必要です。AVDD と AGND の間には 1µF 以上のデカップリング・コンデンサの接続が必要です。

起動およびシャットダウン

起動およびシャットダウンのタイミングを図 3 に示します。AVDD 端子の電圧が UVLO の立上がりスレッショルドより高くなると、デバイスは初期化手続きを実施します。PGM_端子の設定抵抗が読み込まれます。初期化が完了すると、デバイスは V_{DDH} UVLO と EN_の状態を検出します。この両方が立上がりスレッショルドを上回っていれば、ソフトスタートが開始し、スイッチングがイネーブルされます。イネーブルされた出力の出力電圧のランプアップが開始します。ソフトスタートの立上がり時間は 3ms です。フォルトが発生しなければ、ソフトスタートの立上がりが完了した後、オープンドレインの PGOOD_端子がロー保持状態から開放されます。このデバイスは、出力をプリバイアスをかけた状態でのスムーズな起動が可能です。

動作中、V_{DDH} UVLO と EN_のいずれかがスレッショルドを下回ると、スイッチングが即座に停止します。PGOOD_端子がローにドライブされます。出力電圧は負荷電流によって放電されます。

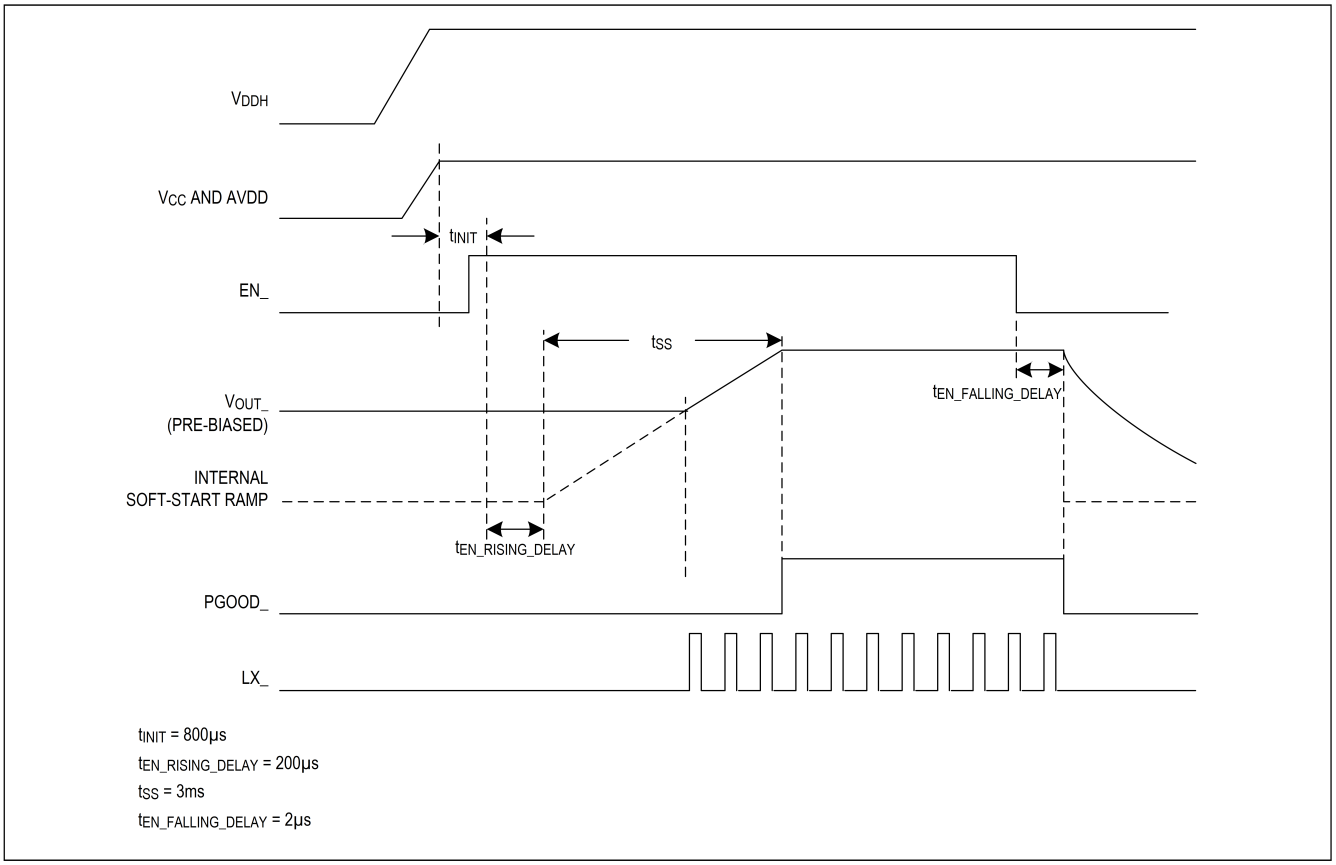


図 3. 起動およびシャットダウンのタイミング

フォルト処理

入力低電圧ロックアウト（V_{DDH} UVLO）

MAX20828T は UVLO 回路により内部で V_{DDH} をモニタします。入力電源電圧が UVLO スレッショルドを下回ると、スイッチングを停止し PGOOD_端子をローにドライブします。V_{DDH} UVLO のステータスがクリアされると 20ms のヒカップ保護時間経過後にリスタートします。起動シーケンスについては、起動およびシャットダウンのセクションを参照してください。

出力過電圧保護（OVP）

ソフトスタート時の上昇が完了すると、過電圧状態に備えて SNSP_の帰還電圧がモニタされます。OVP デグリッチ・フィルタ遅延時間より長く帰還電圧が OVP スレッショルドを超えていれば、スイッチングを停止し PGOOD_端子をローにドライブします。OVP のステータスがクリアされると 20ms のヒカップ保護時間経過後にリスタートします。一方の出力の OVP が他方の出力の動作に影響を与えることはありません。

正方向過電流保護（POCP）

このデバイスのピーク電流モード制御アーキテクチャは、電流制限と短絡保護の機能を本来的に備えています。スイッチング中はインダクタ電流を連続的にモニタします。インダクタ・ピーク電流はサイクル単位で制限されます。スイッチング・サイクルごとに、インダクタ電流の検出値が POCP スレッショルドを超過すると、ハイサイド MOSFET をオフにし、ローサイド MOSFET をオンにして、インダクタ電流が出力電圧によって放電されるようにします。アップダウン・カウンタを使用して、スイッチング・サイクルごとの POCP イベントの連続発生数を累積します。このカウンタが 1024 を超えると、スイッチングを停止し PGOOD_端子をローにドライブします。20ms のヒカップ保護時間が経過すると、リスタートします。一方の出力の POCP が他方の出力の動作に影響を与えることはありません。

MAX20828T の POCP スレッショルドは 2 つ（11.5A と 7.7A）あり、PGM1 端子と PGM2 端子で出力ごとに選択できます（ピン・ストラップによるプログラマビリティのセクションを参照）。POCP デグリッチ遅延があるため、アプリケーションのユース・ケースによっては、実際の POCP スレッショルドは更に高く設定する必要があります（出力インダクタの選択のセクションを参照）。

負方向過電流保護（NOCP）

インダクタの谷電流に対して、負方向の過電流保護機能も備えています。NOCP スレッショルドは POCP スレッショルドの−66%です。スイッチング・サイクルごとに、インダクタ電流の検出値が NOCP スレッショルドを超過すると、180ns の固定時間の間ローサイド MOSFET をオフにし、ハイサイド MOSFET をオンにして、インダクタ電流が入力電圧によって充電されるようにします。POCP と同様に、アップダウン・カウンタを使用して NOCP イベントの連続発生数を累積します。このカウンタが 1024 を超えると、スイッチングを停止し PGOOD_端子をローにドライブします。20ms のヒカップ保護時間が経過すると、リスタートします。一方の出力の NOCP が他方の出力の動作に影響を与えることはありません。

過熱保護（OTP）

過熱保護のスレッショルドは+155ºC で、20ºC のヒステリシスがあります。動作中にジャンクション温度が OTP スレッショルドに達すると、スイッチングを停止し PGOOD_端子をローにドライブします。OTP ステータスがクリアされると、リスタートします。

ピン・ストラップによるプログラマビリティ

MAX20828T には 3 つの設定用端子（PGM0、PGM1、PGM2）があり、一部の主要設定を設定できます。ピン・ストラップ抵抗は PGM_端子と AGND の間に接続し、その値は起動時の初期化中に読み取られます。PGM0 では、両方の出力に適用される共通設定（AMS、DCM、スイッチング周波数）を選択します。デュアル出力動作の設定の場合、PGM1 では出力 1 についての POCP と内部補償パラメータを選択し、PGM2 では出力 2 についての POCP と内部補償パラメータを選択します。2 相動作の設定の場合には、POCP と内部補償パラメータの設定は PGM1 のみで選択されます。制御ループの性能を最適化するための補償パラメータの設定方法については、内部補償の選択のセクションを参照してください。

表 1. PGM0 によるスイッチング周波数、AMS、DCM の選択

PGM0 CODES	R_{PGM0} (Ω)	AMS	DCM	f_{SW1} (kHz)	f_{SW2} (kHz)
0	95.3	Disable	Disable	500	500
1	200			500	1000
2	309			750	750
3	422			750	1500
4	536			1000	500
5	649			1000	1000
6	768			1000	2000
7	909			1500	750
8	1050			1500	1500
9	1210			2000	1000
10	1400			2000	2000
11	1620			3000	3000
12	1870	Enable		500	500
13	2150			500	1000
14	2490			750	750
15	2870			750	1500
16	3740			1000	500
17	8060			1000	1000
18	12400			1000	2000
19	16900			1500	750
20	21500			1500	1500

21	26100			2000	1000
22	30900			2000	2000
23	36500			3000	3000
24	42200		Enable	500	500
25	48700			500	1000
26	56200			750	750
27	64900			1000	500
28	75000			1000	1000
29	86600			1500	1500
30	100000			2000	2000
31	115000			3000	3000

表 2. PGM1 による出力 1 もしくは 2 相動作時の設定

PGM1 CODES	R_{PGM1} (Ω)	POCP1 (A)	VOLTAGE LOOP GAIN MULTIPLIER 1	SLOPE1 (μA)
0	95.3	11.5	0.4	1.5
1	200			2.6
2	309			3.7
3	422			6.0
4	536			7.0
5	649			8.0
6	768		0.7	1.5
7	909			2.6
8	1050			3.7
9	1210			6.0
10	1400			7.0
11	1620			8.0
12	1870		1	1.5
13	2150			2.6
14	2490			3.7
15	2870			6.0
16	3740			7.0
17	8060			8.0
18	12400		1.5	1.5
19	16900			2.6
20	21500			3.7
21	26100			6.0
22	30900			7.0
23	36500	7.7	0.4	1.5
24	42200			2.6
25	48700			7.0
26	56200		0.7	1.5
27	64900			2.6
28	75000			7.0
29	86600		1	1.5
30	100000			2.6
31	115000			7.0

表 3. PGM2 による出力 2 の設定

PGM2 CODES	R_{PGM2} (Ω)	POCP2 (A)	VOLTAGE LOOP GAIN MULTIPLIER 2	SLOPE2 (μA)
0	95.3	11.5	0.4	1.5
1	200			2.6
2	309			3.7
3	422			6.0
4	536			7.0
5	649			8.0
6	768		0.7	1.5
7	909			2.6
8	1050			3.7
9	1210			6.0
10	1400			7.0
11	1620			8.0
12	1870		1	1.5
13	2150			2.6
14	2490			3.7
15	2870			6.0
16	3740			7.0
17	8060			8.0
18	12400		1.5	1.5
19	16900			2.6
20	21500			3.7
21	26100			6.0
22	30900			7.0
23	36500	7.7	0.4	1.5
24	42200			2.6
25	48700			7.0
26	56200		0.7	1.5
27	64900			2.6
28	75000			7.0
29	86600		1	1.5
30	100000			2.6
31	115000			7.0

リファレンス設計手順

出力電圧の検出

MAX20828T には 0.5V リファレンス電圧が内蔵されています。目的の出力電圧が 0.5V より高い場合は、出力電圧の検出のために抵抗分圧器 R_{FB1} および R_{FB2} が必要です（標準アプリケーション回路を参照）。R_{FB2} の値が 5kΩ を超えないようにすることを推奨します。抵抗分圧器の比率は次式で与えられます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_{FB1}}{R_{FB2}}\right)$$

ここで、

V_{OUT} = 出力電圧
V_{REF} = 0.5V 固定リファレンス電圧
R_{FB1} = 抵抗分圧器の上側
R_{FB2} = 抵抗分圧器の下側

スイッチング周波数の選択

MAX20828T では、500kHz～3MHz の幅広いスイッチング周波数を選択できます。スイッチング周波数の選択を、アプリケーションに応じて最適化できます。ソリューション・サイズを優先するアプリケーションでは、出力 LC フィルタの値およびサイズを縮小できる高いスイッチング周波数が推奨されます。スイッチング損失を低減して効率と放熱性を優先したいアプリケーションでは、低いスイッチング周波数が推奨されます。周波数は、制御可能な最小のオン時間およびオフ時間の制限を破ることがないように選択します。推奨される最高スイッチング周波数は、次の式で計算されます。

$$f_{SWMAX} = MIN\left\{\frac{V_{OUT}}{t_{ONMIN} \times V_{DDHMAX}}, \frac{V_{DDHMIN} - V_{OUT}}{t_{OFFMIN} \times V_{DDHMIN}}\right\}$$

ここで、

f_{SWMAX} = 選択できる最高スイッチング周波数
V_{DDHMAX} = 最大入力電圧
V_{DDHMIN} = 最小入力電圧
t_{ONMIN} = 制御可能な最小オン時間
t_{OFFMIN} = 制御可能な最小オフ時間

システムへのノイズ混入のため、定常運転状態においても、通常 LX の立上がりと立下がりのエッジにはランダムなジッタ・ノイズが発生します。スイッチング周波数（f_{SW}）の選択は、このジッタを考慮し f_{SWMAX} より低くする必要があります。LX ジッタを改善するためには、小さいインダクタ値を選択し、電圧ループ・ゲインを下げてノイズ感度を最小化することが推奨されます。

出力インダクタの選択

出力インダクタは、電圧レギュレータの全体的なサイズ、コスト、効率に重要な影響を及ぼします。インダクタは一般的にシステム中で最大級の部品であるため、インダクタの値を最小化することはスペースの制約があるアプリケーションでは特に重要となります。インダクタの値を小さくすると、過渡応答が高速になり、過渡応答における許容範囲を維持するために必要な出力容量を抑制できます。

電流ループのノイズ耐性を改善するため、出力インダクタは通常、インダクタの電流リップルが最低 1.5A となるように選択します。インダクタの値は、次式を用いて計算できます。

$$L = \frac{V_{OUT}(V_{DDH} - V_{OUT})}{V_{DDH} \times I_{RIPPLE} \times f_{SW}}$$

ここで、

V_{DDH} = 入力電圧
I_{RIPPLE} = インダクタ電流リップルのピーク to ピーク値

インダクタはまた、選択した POCP スレッショルドで最大負荷電流の供給が確保できるように選択します。MAX20828T の POCP スレッショルドは 2 つ（11.5A と 7.7A）あり、PGM1 端子と PGM2 端子で出力ごとに選択できます（ピン・ストラップによるプログラマビリティのセクションを参照）。POCP コンパレータのトリップからハイサイド MOSFET のオフまでのデグリッチ遅延のため、アプリケーションの個々のユース・ケースに対し、POCP スレッショルドの調整値はインダクタ値、入力電圧、出力電圧を考慮して、次式で計算できます。

$$POCP_{ADJUST} = POCP + \frac{(V_{DDH} - V_{OUT}) \times t_{POCP}}{L}$$

ここで、

$POCP_{ADJUST}$ = POCP スレッショルドの調整値
POCP = 電気的特性の表で指定の POCP 値
t_{POCP} = POCP デグリッチ遅延（代表値 36ns）

通常動作中のピーク・インダクタ電流は、最小の POCP スレッショルド調整値を越えないよう、次式で確認する必要があります。

$$\frac{I_{OUTMAX}}{N} + \frac{I_{RIPPLE}}{2} < POCP_{ADJUST(MIN)}$$

ここで、

N = フェーズ数
I_{OUTMAX} = 最大負荷電流
$POCP_{ADJUST(MIN)}$ = POCP スレッショルドの最小値で計算した最小の POCP スレッショルド調整値

表 4 には、MAX20828T 評価キットで最適な性能を発揮すると確認された、使用に適したインダクタの製品番号を示しています。

表 4. 推奨インダクタ

COMPANY	VALUE (µH)	I_{SAT} (A)	R_{DC} (mΩ)	FOOTPRINT (mm)	HEIGHT (mm)	PART NUMBER
Pulse	0.33	28	3.2	5.5 × 5.3	2.9	PA5003.331NLT
Pulse	0.47	26	3.75	5.5 × 5.3	2.9	PA5003.471NLT
Pulse	0.56	22.2	4.05	5.5 × 5.3	2.9	PA5003.561NLT
Pulse	1.0	16.5	6.9	5.5 × 5.3	2.9	PA5003.102NLT
Pulse	2.2	10	13.2	5.5 × 5.3	2.9	PA5003.222NLT

出力コンデンサの選択

総合的に必要な出力容量を決定するために必要な主要条件の 1 つに出力電圧リップルがあります。出力電圧リップルの要求を満たすためには、最小出力容量は次の等式を満足することが必要です。

$$C_{OUT} \geq \frac{I_{RIPPLE}}{8 \times N \times f_{SW} \times (V_{OUTRIPPLE} - ESR \times I_{RIPPLE})}$$

ここで、

$V_{OUTRIPPLE}$ = 最大許容出力電圧リップル
ESR = 出力コンデンサの ESR

必要とされる出力容量の決定についてのもう 1 つの重要な条件は、負荷過渡応答における出力電圧オーバーシュートおよびアンダーシュートの最大許容値です。増加または減少の電流ステップに対して、最小必要出力容量は次式も満たすことが必要です。

$$C_{OUT} \geq MAX\left\{\frac{\left(\frac{\Delta I}{N} + \frac{I_{RIPPLE}}{2}\right)^2 \times L \times N}{2 \times \Delta V_{OUT} \times (V_{DDH} - V_{OUT})}, \frac{\left(\frac{\Delta I}{N} + \frac{I_{RIPPLE}}{2}\right)^2 \times L \times N}{2 \times \Delta V_{OUT} \times V_{OUT}}\right\}$$

ここで、

C_{OUT} = 出力容量
ΔI = 増加または減少の電流ステップ
ΔV_{OUT} = 最大許容出力電圧オーバーシュートもしくはアンダーシュート

入力コンデンサの選択

入力コンデンサの選択は、入力電圧リップル条件により決まります。MAX20828T の V_{DDH1} および V_{DDH2} 端子は PCB 上で相互に接続します。デュアル出力動作の設定の場合は、入力容量は 2 つの出力の間で共有されます。最小必要入力容量は次式によって見積もることができます。

$$C_{IN} \geq MAX\left\{\frac{I_{OUT1(MAX)} \times V_{OUT1}}{f_{SW1} \times V_{DDH} \times V_{INPP}}, \frac{I_{OUT2(MAX)} \times V_{OUT2}}{f_{SW2} \times V_{DDH} \times V_{INPP}}\right\}$$

ここで、

C_{IN} = 入力容量
$I_{OUT\_(MAX)}$ = OUTPUT_の最大出力電流
$V_{OUT\_}$ = OUTPUT_の出力電圧
$f_{SW\_}$ = OUTPUT_のスイッチング周波数
V_{INPP} = ピーク to ピーク入力電圧リップル

MAX20828T が 2 相動作に設定されている場合は、最大必要入力容量は次式によって見積もることができます。

$$C_{IN} \geq \frac{I_{OUT(MAX)} \times V_{OUT}}{2 \times f_{SW} \times V_{DDH} \times V_{INPP}}$$

最小必要入力容量の他に、高周波数のスイッチング・ノイズを抑制するために、各 $V_{DDH_}$端子の近くに 0.1µF および 1µF の高周波デカップリング・コンデンサを配置する必要があります。

内部補償の選択

電圧ループ・ゲイン

安定性を確保するために、電圧ループの帯域幅（BW）はスイッチング周波数の 1/5 より低くすることを推奨します。多層セラミック・チップ（MLCC）の出力コンデンサを使用するケースを考えます。このコンデンサは、対象とする周波数範囲内でほぼ理想的なインピーダンス特性をもち、等価直列抵抗（ESR）と等価（実効）直列インダクタンス（ESL）は無視できるレベルであるとします。電圧ループ帯域幅は、次式を使って見積もることができます。

$$BW = \frac{N \times \frac{R_{FB2}}{R_{FB2} + R_{FB1}} \times \frac{R_{VGA}}{10k\Omega}}{2\pi \times 20m\Omega \times C_{OUT}}$$

ここで、

R_{VGA} = 電圧ループ・ゲイン抵抗であり、PGM_端子の抵抗によって選択されるスイッチング周波数および電圧ループ・ゲイン倍率により決まります（表 5 を参照）。

表 5. 電圧ループ・ゲイン抵抗

SWITCHING FREQUENCY (kHz)	VOLTAGE LOOP GAIN MULTIPLIER	R_{VGA} (kΩ)
500	0.4	15.6
	0.7	27
	1	37
	1.5	52.2
750	0.4	22
	0.7	31
	1	44.5
	1.5	62.3
1000	0.4	22
	0.7	37
	1	52.2
	1.5	74.5
1500	0.4	27
	0.7	44.5
	1	62.3
	1.5	104.4
2000 or 3000	0.4	31
	0.7	52.2
	1	74.5
	1.5	104.4

スロープ補償

スロープ補償は、デューティ・サイクルが 50%よりも高いときに電流ループの安定性を確保するために適用されます。デューティ・サイクルが 50%より低いアプリケーションに対しても、電流ループのノイズ耐性を改善するためにスロープ補償を適用することを推奨します。スロープ補償の最小値と最大値は次の式で計算されます。

$$\frac{V_{OUT}}{L} \times C_{SLOPE} \times \frac{1.33\Omega}{27} \leq SLOPE \leq \frac{V_{IN} \times f_{SW} \times C_{SLOPE}}{V_{OUT}} \left[800mV - \left(\frac{I_{OUTMAX}}{N} + \frac{I_{RIPPLE}}{2}\right) \times \frac{1.33\Omega}{27}\right]$$

ここで、

C_{SLOPE} = 5pF

MAX20828T のスロープ補償オプションは、PGM1 端子と PGM2 端子に接続する抵抗値によって選択できます。デューティ・サイクルのジッタ低減と安定性向上のため、スロープ値を高くすることを推奨します。

代表的なリファレンス設計

リファレンス回路図の例については、標準アプリケーション回路を参照してください。一般的な出力電圧に対応したリファレンス設計の例を表 6 に示します。

表 6. リファレンス設計例

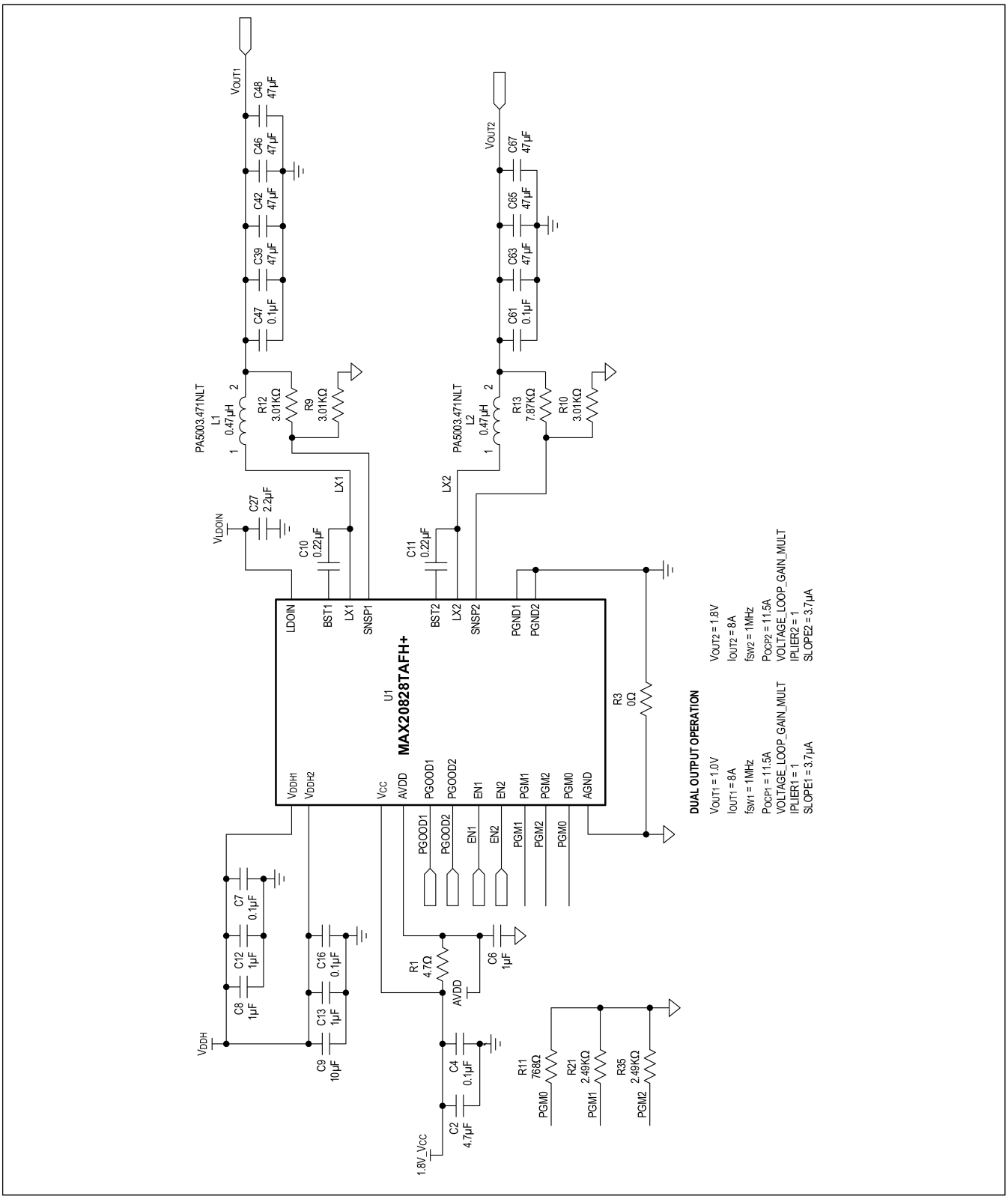
V_{OUT} (V)	I_{OUT} (A) (PER PHASE)	f_{SW} (kHz)	R_{FB1} (kΩ)	R_{FB2} (kΩ)	PGM0 (kΩ)	PGM1 OR PGM2 (kΩ)	L (µH)	C_{IN} (PER EACH $V_{DDH\_}$ PIN)	C_{OUT}
0.8	8	750	1.82	3.01	2.49	1.05	0.33	10µF +1µF +0.1µF	4 × 47µF
0.9	8	1000	2.40	3.01	8.06	1.05	0.33	10µF +1µF +0.1µF	4 × 47µF
1.0	8	1000	3.01	3.01	8.06	1.05	0.33	10µF +1µF +0.1µF	4 × 47µF
1.2	8	1000	4.22	3.01	8.06	1.05	0.47	10µF +1µF +0.1µF	4 × 47µF
1.8	6	1500	7.87	3.01	21.5	2.49	0.56	10µF +1µF +0.1µF	2 × 47µF
3.3	5	2000	16.9	3.01	30.9	2.15	1.0	10µF +1µF +0.1µF	2 × 47µF
5.0	4	2000	22.6	2.49	30.9	100	2.2	10µF +1µF +0.1µF	1 × 47µF

PCB レイアウト時のガイドライン

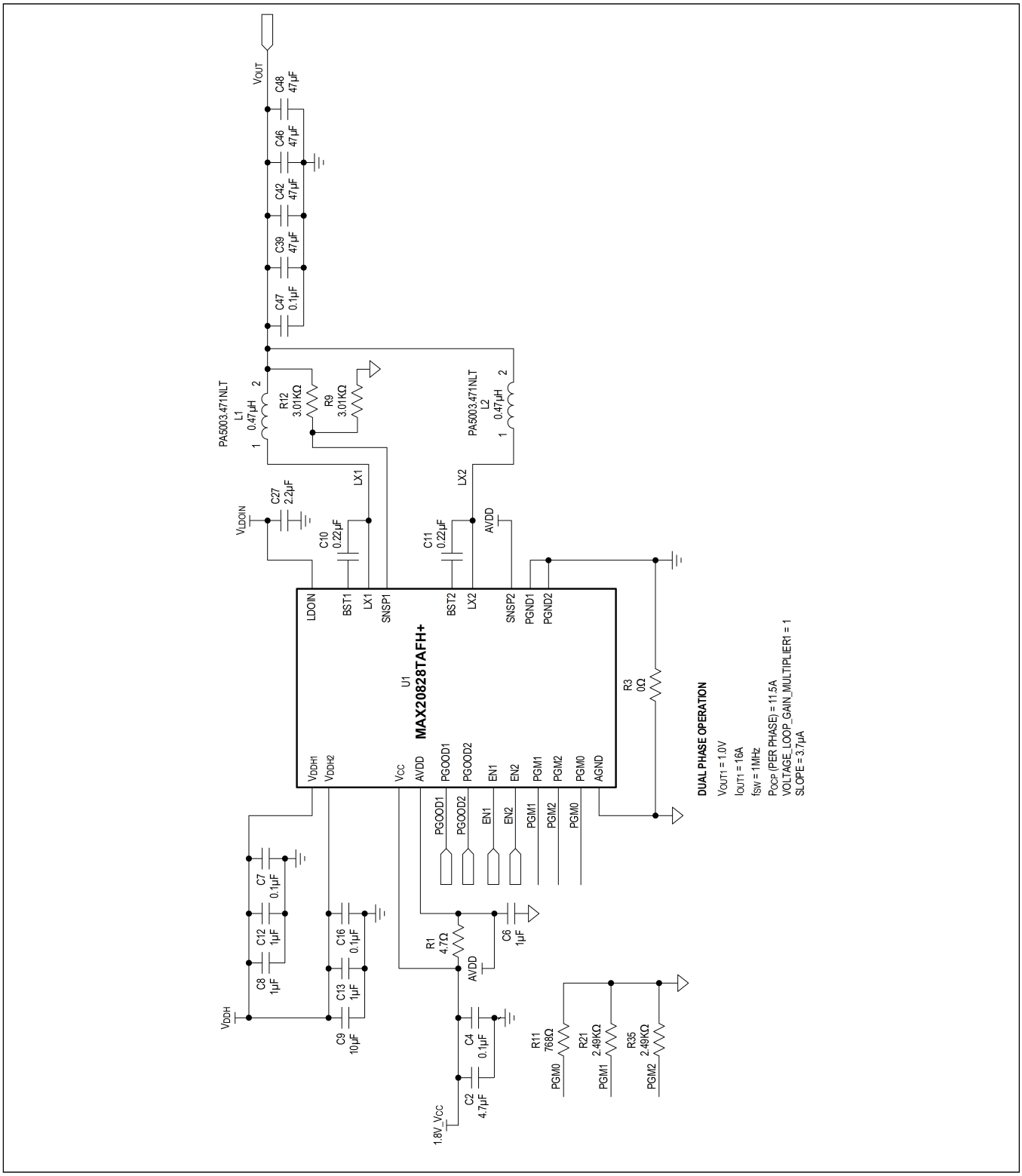
- 電気的観点と熱設計の観点から、PCB の両面の表層から 2 番目の層は電源グランド（PGND）プレーンとする必要があります。
- 入力デカップリング・コンデンサは IC にできるだけ接近させ、$V_{DDH_}$端子から 40mil 内になるよう配置します。
- V_{CC}デカップリング・コンデンサは PGND に接続し、V_{CC}端子にできるだけ近づけて配置します。
- アナログ・グランドの銅ポリゴンもしくは島を使用して、全てのアナログ制御信号のグランドを接続します。この「静寂な」アナログ・グランドの銅ポリゴンもしくは島は、AGND 端子の近くの単一接続点で PGND に接続します。アナログ・グランドはシールドや制御信号（PGM_や SNSP_）のグランド・リファレンスとしても使用できます。
- AVDD デカップリング・コンデンサは AGND に接続し、AVDD 端子にできるだけ近づけて配置します。
- 昇圧コンデンサは LX_端子と BST_端子にできるだけ近づけて、IC と同じ PCB 面に配置する必要があります。
- 帰還抵抗分圧器とオプションの外部補償ネットワークは、ノイズの注入を最小限とするため、IC に近接させて配置します。
- 電流検出ラインはグランド・プレーンでシールドし、スイッチング・ノードおよびインダクタから離して配置します。
- 全ての大電流のパターンには、放熱のためにも多数のビアを用いることを推奨します。
- 入力コンデンサと出力インダクタは IC の近くに配置し、これら部品へのパターンは、寄生インダクタンスと抵抗を最小限にするため、できるだけ短く太くします。

標準アプリケーション回路

デュアル出力動作



2 相動作


VOUT
C48 47µF
C46 47µF
C42 47µF
C39 47µF
C47 0.1µF
PA5003.471NLT
L1 0.47µH
R12 3.01KΩ
R9 3.01KΩ
PA5003.471NLT
L2 0.47µH
LX1
LX2
VLDOIN
C27 2.2µF
C10 0.22µF
C11 0.22µF
AVDD
LDOIN
BST1
LX1
SNSP1
BST2
LX2
SNSP2
PGND1
PGND2
U1
MAX20828TAFH+
VDDH1
VDDH2
VCC
AVDD
PGOOD1
PGOOD2
EN1
EN2
PGM1
PGM2
PGM0
AGND
R3 0Ω
DUAL PHASE OPERATION
VOUT1 = 1.0V
IOUT1 = 16A
fSW = 1MHz
POCP (PER PHASE) = 11.5A
VOLTAGE_LOOP_GAIN_MULTIPLIER1 = 1
SLOPE = 3.7µA
C7 0.1µF
C12 1µF
C8 1µF
VDDH
C16 0.1µF
C13 1µF
C9 10µF
R1 4.7Ω
C6 1µF
C4 0.1µF
C2 4.7µF
1.8V_VCC
R11 768Ω
R21 2.49KΩ
R35 2.49KΩ
PGM0
PGM1
PGM2

オーダー情報

PART NUMBER	TEMPERATURE RANGE	PIN-PACKAGE
MAX20828TAFH+	− 40°C to +125°C	21 FC2QFN (Closed Top)
MAX20828TAFH+T	− 40°C to +125°C	21 FC2QFN (Closed Top)

+は鉛（Pb）フリー／ROHS 準拠のパッケージであることを示します。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	06/22	市場投入のためのリリース	–