

MAX16602

概要

MAX16602 ICは、AIコアまたはIntel® VR13.HCサーバーCPUに給電するための、高密度で柔軟性に富んだスケーラブルなソリューションを提供します。このマキシムのコントローラICは、結合インダクタとスマート電力段ICを採用して、過渡応答を強化し静止電流を低く抑えた高効率のコア・レギュレータを実装しています。単相出力を追加できるため、単相スマート電力段を用いて、システム上にVSALレールを生成できます。この全機能を備えた回路は高効率(8+1)の多相同期整流式降圧コンバータであり、豊富なステータスとパラメータ計測機能を備えています。また、コントローラは、PWM並列接続もサポートしており、最大で16位相を制御できます。適切なスマート電力段ICを選択し、スケーラブルなPCB設計を行うことで、広範な電流定格のレギュレータを製造できます。

このICのアーキテクチャにより、設計の簡素化、部品点数の削減、高度な電力管理と遠隔測定が可能になり、全負荷範囲にわたって省エネ性が向上します。全負荷範囲で高効率を維持するために、自律型の位相シェディングが実装されています。

保護とシャットダウン用のレギュレータ・パラメータは、PMBus™プロトコルを用いたシリアル・インターフェースを介して設定およびモニタができます。電力段のフォールト、入出力電圧、入出力電流、入力電力、および各スマート電力段ICの温度は、シリアル・インターフェース経由で読み出すことができます。クリティカル・フォールト・リテンション機能により、パワー・デバイスのフォールト後の発熱を防止します。スマート電力段ICは、アナログ信号とデジタル信号でコントローラICと通信し、これらの信号もコントローラIC内のレジスタから読み出すことができます。プリセットとユーザ設定は、不揮発性メモリ(NVM)にプログラムします。MTPプログラマブルNVM回路は、フィールドでの変更が7回可能です。

3.3Vから1.8Vへの内蔵レギュレータは、MAX16602と1.8Vバイアス電源の電力段ICの両方をサポートします。SNS_PS_BIASをモニタすることにより、バイアスおよびシーケンスの柔軟な制御も可能です。

MAX16602は、56ピンの7mm × 7mm QFN/パッケージを採用しています。

オーダー情報はデータシートの末尾に記載されています。

Intelは、Intel Corporationの登録商標です。
PMBusは、SMIF, Inc.の商標です。

VR13.HCおよびAIコア・デュアル出力 電圧レギュレータ・チップセット

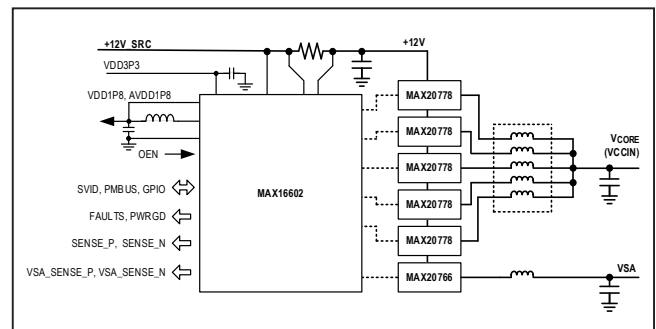
利点と特長

- 高電力密度および高効率
 - ・ スマート電力段のサポート:
MAX20778/A、MAX20779/A/B/C、
MAX20780、MAX20790、MAX16604
 - ・ トップクラスの効率(1.8V_{OUT}で95.6%のピーク効率)
 - ・ 入力電力モニタ内蔵
- PMBusを介した遠隔測定
 - ・ デジタル的にプログラマブルな設定
 - ・ 入力電圧、電流、電力のモニタ
 - ・ 電力段の温度モニタと通知
- 高度なパワー・マネージメント
 - ・ 自律型位相シェディング
 - ・ 直交電流リバランスによるトランジェント時の位相電流バランス調整
 - ・ 低静止電流 — 軽負荷時とスタンバイ時の効率を向上
- 保護機能
 - ・ 入力およびバイアス電源の低電圧保護
 - ・ 過電流保護
 - ・ クリティカル・フォールト・フラグ出力ピン

アプリケーション

- 大電流多相電圧レギュレータ
 - ・ AIコアおよびXPU
 - ・ VR13.HC CPUおよびメモリ
 - ・ グラフィック・プロセッサ
 - ・ ネットワーキングASIC
- サーバーおよびワークステーション
- 企業向け記憶装置
- 通信およびネットワーク装置用電源

標準動作回路



Absolute Maximum Ratings

AV_{DD1P8} to AGND -0.3V to +2.4V
 $DVDD1P8$ to DGND -0.3V to +2.4V
 V_{DD3P3} to DGND -0.3V to +4V
 SNS_PS_BIAS to DGND -0.3V to $V_{DD3P3} + 0.3V$
 $CORE_SENSE_P$ to AGND -0.3V to $AV_{DD1P8} + 0.3V$
 $PMBUS_A$, $PMBUS_D$,
 $PMBUS_C$ to DGND -0.3V to $V_{DD3P3} + 0.3V$
 $SVID_A$, $SVID_D$ to DGND -0.3V to $AV_{DD1P8} + 0.3V$
 $SVID_C$ to DGND -0.3V to +2.4V
 $GPIO_0$, $GPIO_1$,
 $GPIO_2$ to DGND (Note 1) -0.3V to $V_{DD3P3} + 0.3V$
 IC to DGND -0.3V to +7.5V
 OEN , $\overline{OVP}$, VR_HOT , $FAULT$ to DGND -0.3V to +4V
 $PWRGD_CORE$, VSA_PWRGD to DGND
..... -0.3V to $V_{DD3P3} + 0.3V$
 PIN_ALERT to DGND -0.3V to $V_{DD3P3} + 0.3V$
 $CORE_SENSE_N$ to AGND -0.3V to $AV_{DD1P8} + 0.3V$

VSA_SENSE_P , VSA_SENSE_N to AGND
..... -0.3V to $AV_{DD1P8} + 0.3V$
 $ADDR$, $PROG$ to AGND -0.3V to $AV_{DD1P8} + 0.3V$
 $PWM_<7:0>$, PWM_VSA , $TSENSE_<3:0>$,
 $TSENSE_VSA$ to DGND -0.3V to $V_{DVDD1P8} + 0.3V$
 $ISENSE_<7:0>$, $ISENSE_VSA$
to AGND -0.3V to $AV_{DD1P8} + 0.3V$
 VX to PGND -0.3V to $V_{DD3P3} + 0.3V$
 V_{IN} , SNS_IN_P , SNS_IN_N to AGND -0.3V to +13.7V
AGND to DGND -0.3V to +0.3V
PGND to DGND -0.3V to +0.3V
Junction Temperature (T_J) +150°C
Storage Temperature Range -65°C to +150°C
Peak Reflow Temperature Lead-Free +260°C

Note 1: Not higher than +2.4V if used for analog input functions.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Information

56 QFN	
Package Code	G5677+2
Outline Number	21-100073
Land Pattern Number	90-0455
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction to Ambient (θ_{JA})	29.5°C/W
Junction to Case (θ_{JC})	2.6°C/W

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/jp/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Electrical Characteristics

(Circuit of [Typical Application Circuit](#); $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All devices 100% tested at $T_A = +25^{\circ}C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SUPPLY VOLTAGES AND SUPPLY CURRENT							
Bias Supply Voltage Range	V _{AVDD1P8} , V _{DVDD1P8}			1.7		1.9	V
	V _{DD3P3}			3.0		3.6	V
1.8V Bias Supply Current	I _{AVDD1P8} + I _{DVDD1P8}	System operational				52	mA
V _{DD3P3} Bias Supply Current	I _{VDD3P3}	1.8V switcher off (V _X = 3.3V)				500	μA
OUTPUT-VOLTAGE RANGE AND ACCURACY							
Output-Voltage Range		5mV mode		CORE and VSA	0.25	1.52	V
		10mV mode		CORE only	0.5	2.3	V
DC Set-Point Tolerance	V _{OUT_VSA}	T _A = 0°C to +85°C		1.0V to 1.52V	-0.5	+0.5	%
				0.8V to 0.995V	-5	+5	mV
				0.25V to 0.795V	-8	+8	mV
	V _{OUT_CORE}	T _A = 0°C to +85°C		1.5V to 2.3V	-0.5	+0.5	%
				1V to 1.49V	-0.52	+0.52	%
				0.7V to 0.995V	-5	+5	mV
				0.5V to 0.695V	-8	+8	mV
				0.25V to 0.495V	-9	+9	mV
DC Load Line	R _{LOADLINE} Range 1	Range	0xD8[5] = 0, 0xD8[1] = 1, 0xD3[7] = 0, R _{DES} = 92Ω, LSB = 7.48μΩ		0.516	0.98	mΩ
		Accuracy	T _A = 0°C to +85°C		-2.3	+2.3	%
	R _{LOADLINE} Range 2	Range	0xD8[5] = 0, 0xD8[1] = 0, 0xD3[7] = 0, R _{DES} = 92Ω, LSB = 5.75μΩ		0.397	0.753	mΩ
		Accuracy	T _A = 0°C to +85°C		-2.3	+2.3	%
	R _{LOADLINE} Range 3	Range	0xD8[5] = 0, 0xD8[1] = 0, 0xD3[7] = 1, R _{DES} = 73.25Ω, LSB = 4.58μΩ		0.316	0.600	mΩ
		Accuracy	T _A = 0°C to +85°C		-2.3	+2.3	%
	R _{LOADLINE} Range 4	Range	0xD8[5] = 1, 0xD8[1] = 1, 0xD3[7] = 0, R _{DES} = 92Ω, LSB = 2.44μΩ		0.1735	0.325	mΩ
		Accuracy	T _A = 0°C to +85°C		-3	+3	%
	R _{LOADLINE} Range 5	Range	0xD8[5] = 1, 0xD8[1] = 0, 0xD3[7] = 1, R _{DES} = 73.25Ω, LSB = 1.43μΩ		0.108	0.197	mΩ
		Accuracy	T _A = 0°C to +85°C		-5	+5	%

Electrical Characteristics (continued)

(Circuit of [Typical Application Circuit](#); $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All devices 100% tested at $T_A = +25^{\circ}C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CORE_SENSE_P, VSA_SENSE_P Leakage Current	I _{CORE_SENSE_P} , I _{VSA_SENSE_P}	CORE_SENSE_P = 2.3V, CORE_SENSE_N = 0V, VSA_SENSE_P = 1.52V, VSA_SENSE_N = 0V, OEN = 0			90	μA
VID TRANSITION SLEW RATE						
CORE Slew-Rate Accuracy	CORE_SR (Note 2)	Slow, including soft-start (CORE_SR _{SLW} = CORE_SR _{FST} /4)	-5		+5	%
		Fast (CORE_SR _{FST} = 27mV/μs)	-5		+5	%
VSA Slew-Rate Accuracy	VSA_SR (Note 2)	Slow, including soft-start (VSA_SR _{SLW} = VSA_SR _{FST} /4)	-5		+5	%
		Fast (VSA_SR _{FST} = 10.7mV/μs)	-5		+5	%
SWITCHING FREQUENCY						
CORE Switching Frequency	f _{SW_CORE}	CORE switching-frequency range, 0.1667μs switching period step	300		857	kHz
		CORE switching-frequency accuracy	-10		+10	%
VSA Switching Frequency	f _{SW_VSA}	Low-switching frequency	599	667	735	kHz
		High-switching frequency	720	800	880	kHz
SUPPLY UVLO						
V _{DD1P8} UVLO	V _{DD1P8_UVLO}	V _{DD1P8} rising, 50mV (typ) hysteresis	1.62	1.64	1.66	V
V _{DD3P3} UVLO	V _{DD3P3_UVLO}	V _{DD3P3} rising, 50mV (typ) hysteresis	2.87	2.91	2.95	V
12V Input UVLO	V _{IN_UVLO}	V _{IN} rising, 1V (typ) hysteresis, 0xD9[5] = 0, 0xD9[3:0] = 0	9.6	10.1	10.5	V
		V _{IN} rising, 1V (typ) hysteresis 0xD9[5] = 1, 0xD9[3:0] = 0 V _{IN} divider RV _{IN_TOP} = 4.75kΩ, RV _{IN_BOT} = 19.6kΩ	9.7	10.2	10.6	V
SNS_PS_BIAS Undervoltage	V _{PS_BIAS_UV}	Power-stage supply undervoltage threshold rising; 60mV (typ) hysteresis	1.52	1.55	1.58	V
V _{IN_UVLO} Delay to Shutdown	td _{VIN_UVLO}			5		μs
SNS_PS_BIAS Undervoltage Delay to Shutdown	td _{SNS_PS_BIAS}			5		μs

Electrical Characteristics (continued)

(Circuit of [Typical Application Circuit](#); $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$. All devices 100% tested at $T_A = +25^\circ C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
OUTPUT OVERVOLTAGE AND UNDERVOLTAGE PROTECTION							
Output Overvoltage-Protection Threshold	V _{OVP_CORE} , V _{OVP_VSA}	Referred to VID setting, 10mV (typ) hysteresis	5mV mode	180	200	220	mV
			10mV mode, CORE only	230	250	270	mV
Fixed Umbrella Overvoltage-Protection Threshold	V _{UM_OVP_CORE} , V _{UM_OVP_VSA}	Referred to CORE_ SENSE_P, VSA_SENSE_P, 7mV (typ) hysteresis	5mV mode	2.41	2.50	2.59	V
			10mV mode, CORE only	2.41	2.50	2.59	V
Overvoltage to $\overline{OVP}$ Delay	t _{OV_DELAY}	Delay from V _{OUT} > V _{TH} to $\overline{OVP}$ asserted			700	ns	
OVERCURRENT PROTECTION							
OCP Timeout and Hiccup Mode On-Time	t _{OCP}				5	ms	
Hiccup Mode Off-Time	t _{HICCUP_OFF}				45	ms	
CORE Positive OCP Current-Limit Range per Phase	I _{POCP_CORE_PH}	0xD8[0] = 0, LSB = 2.76A ocp_code (0xD3[3:0]) from 0 to 11		27.58	57.94	A	
		0xD8[0] = 1, LSB = 5.52A ocp_code (0xD3[3:0]) from 0 to 11		55.16	115.18	A	
CORE Positive OCP System Current-Limit Range	I _{POCP_CORE}	0xD8[0] = 0, I _{POCP_C} = (27.58A + 2.76A x ocp_code) x n_ph 7 and 8 phase systems with ocp_code > 5 will be clamped at n_ph = 6		27.58	347.64	A	
		0xD8[0] = 1, I _{POCP_C} = (55.16A + 5.52A x ocp_code) x n_ph 7 and 8 phase systems with ocp_code > 5 will be clamped at n_ph = 6		55.16	695.28	A	
CORE Positive OCP Accuracy		Range 27.58A to 38.62A		-25	+25	%	
		Range 41.38A to 46.90A		-20	+20		
		Range 49.66A to 52.42A		-17	+17		
		Range 55.18A to 60.68A		-15	+15		
		Range 66.20A to 82.76A		-12.5	+12.5		
		Range 88.28A to 107.58A		-10	+10		
		Range 110.36A to 151.7A		-8	+8		
		Range 154.48A to 187.60A		-6	+6		
		Range 193.10A to 695.28A		-5	+5		
CORE Negative OCP Current-Limit Ratio to CORE Positive OCP Current Limit		0xD3[4] = 0, wrt POCP 0xD8[0] = 1		-33		%	
		0xD3[4] = 1, wrt POCP 0xD8[0] = 1		-16.66			

Electrical Characteristics (continued)

(Circuit of *Typical Application Circuit*; $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A/A$, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$. All devices 100% tested at $T_A = +25^\circ C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
CORE Negative OCP Accuracy		Range -9.18A to -11.94A		-35		+35	%
		Range -12.86A to -16.54A		-30		+30	
		Range -17.46A to -20.21A		-22		+22	
		Range -22.04A to -25.72A		-20		+20	
		Range -27.56A to -31.24A		-15		+15	
		Range -33.07A to -47.77A		-12.5		+12.5	
		Range -51.44A to -231.53A		-10		+10	
VSA Positive OCP Current-Limit Range	I _{POCP_VSA}	Four typical selections: 23.5A, 28A, 35A, 40A		23.5		40	A
VSA Negative OCP Current Limit to VSA Positive OCP Current Limit	I _{NOCP_VSA}	(Note 3)			-100		%
VSA OCP Current-Limit Accuracy		POCP and NOCP		-20		+20	%
APS THRESHOLD							
Fast Threshold Accuracy		APS threshold range: 8A to 70A		-12.5		+12.5	%
POWER GOOD (CORE and VSA)							
Power-Good Threshold, Deasserting	V _{PWRGD_CORE} , V _{PWRGD_VSA}	Referred to VID, 9mV (typ) hysteresis	5mV mode (CORE)	-240	-218	-196	mV
			5mV mode (VSA)	-257	-234	-211	mV
			10mV mode, CORE only	-330	-296	-270	mV
FAULT DETECTION							
Power-Stage Fault-Detector Threshold	V _{TS_TH}	TSENSE_ pin to GND			300		mV
Power-Stage Fault-Detector Propagation Delay	t _{TS/FAULT}	Delay from TSENSE to $\overline{\text{FAULT}}$			2		μs
OUTPUT PINS (PWM_, $\overline{\text{OVP}}$, $\overline{\text{FAULT}}$, PWRGD_CORE, PWRGD_VSA)							
PWM_ Output	V _{PWM_}	Logic-high voltage, I _{LOAD} = 2mA		1.5			V
		Logic-low voltage, I _{LOAD} = 2mA				0.13	V
Output-Low Voltage	V _{OL}	$\overline{\text{OVP}}$, $\overline{\text{FAULT}}$, PWRGD_CORE, PWRGD_VSA, I _{LOAD} = 4mA				0.4	V
Output-High Leakage Current	I _{LK}	$\overline{\text{OVP}}$, $\overline{\text{FAULT}}$, PWRGD_CORE, PWRGD_VSA; conditions = output in Hi-Z; pulled up to 3.6V				1	μA

Electrical Characteristics (continued)

(Circuit of *Typical Application Circuit*; $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All devices 100% tested at $T_A = +25^{\circ}C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUT ENABLE (OEN)						
OEN Thresholds	V _{IH}	Input logic-high	0.9			V
	V _{IL}	Input logic-low			0.6	V
OEN Filter	t _{FILTER}	Valid enable-signal pulse width		0.2		μs
		Valid shutdown-signal pulse width		0.2		μs
		Digital OEN toggle filtering		200		μs
PMBus INTERFACE						
PMBus Input Logic	V _{IH}	Input logic-high, PMBUS_C, PMBUS_D	2.1			V
	V _{IL}	Input logic-low, PMBUS_C, PMBUS_D			0.8	V
PMBus Output Logic	V _{PMBUS_OL}	Output low voltage, PMBUS_D, PMBUS_A, I _{LOAD} = 4mA			0.4	V
Maximum PMBus Operating Frequency	f _{PMBUS}			400		kHz
VR_HOT						
VR_HOT Accuracy		V _{TSENSE_} = 1.145V (VR_HOT threshold at 105°C)	-3		+3	°C
Temperature Zone Hysteresis				3		%
Output-Low Voltage	V _{OL}	VR_HOT, I _{LOAD} = 24mA			0.3	V
3.3V to 1.8V SWITCHING REGULATOR						
Set-Point Output Voltage	V _{DD1P8}	Switcher output voltage	1.8	1.85	1.9	V
Maximum Output Current	I _{VX_AVE}	L = 1.5μH, V _{XON_TIME} = 1.15μs		500		mA
Switcher VX On-Time Accuracy	V _{XON_TIME}	4 typical selections: 0.70μs, 1.15μs, 1.70μs, 2.26μs	-10		+10	%
TELEMETRY						
INPUT CURRENT SENSE						
ADC Resolution				10		bit
Differential Input Voltage Range	ΔV _{SNS_IN}	External current-sense mode			200	mV
		R _{SENSE} mode			57.5	mV
		R _{SENSE} mode, extended range			115	mV
Update Rate				64		μs

Electrical Characteristics (continued)

(Circuit of *Typical Application Circuit*; $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All devices 100% tested at $T_A = +25^{\circ}C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Accuracy		External current-sense mode	Gain	-0.8		+0.8	%
			Offset, LSB = 259.4μV	-4		+4	LSB
		RSENSE mode	Gain	-0.6		+0.6	%
			Offset, LSB = 68.66μV	-4		+4	LSB
		RSENSE mode, extended range	Gain	-0.6		0.6	%
			Offset, LSB = 129.7μV	-4		+4	LSB
PIN_ALERT Delay					32		μs
PIN_ALERT Output Low Voltage	V _{OL}	I _{LOAD} = 24mA				0.3	V
SYSTEM ADC							
Update Rate		Input voltage (Note 4)			16		ms
		Input current, phase-input current			16		ms
		CORE output voltage			8		ms
		CORE phase-output current			16		ms
		Temperature			16		ms
Resolution					10		bits
Accuracy		Temperature, T _A = 0°C to +85°C	Gain	-0.8		+0.8	%
			Offset	-4		+4	LSB
		Input voltage, T _A = 0°C to +85°C V _{IN} = 7V to 13V 0xD9[4] = 0	Gain	-0.9		+0.9	%
			Offset	-5		+5	LSB
		CORE output voltage, T _A = 0°C to +85°C	Gain	-0.9		+0.9	%
			Offset	-6		+6	LSB
		CORE phase-output current, T _A = 0°C to +85°C	Gain	-1.5		+1.5	%
			Offset	-4		+4	LSB
		PWM duty-cycle measurement T _A = 0°C to +85°C PWM duty cycle = 0% to 50%	Gain	-1		+1	%
			Offset	-4		+4	LSB

Electrical Characteristics (continued)

(Circuit of *Typical Application Circuit*, $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All devices 100% tested at $T_A = +25^{\circ}C$. Limits over temperature guaranteed by design.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
VIN_ADC							
Resolution				10		bits	
Accuracy		Input voltage, TA = 0°C to +85°C VIN = 7V to 13V 0xD9[4] = 1 (Note 4)	Gain, SNS_VIN tied to VIN	-0.9	+0.9		%
			Gain, SNS_VIN tied to external divider RVIN_TOP = 4.75kΩ, RVIN_BOT = 19.6kΩ	-0.9	+0.9		%
			Offset LSB = 15.625mV Referred to VIN	-5	+5		LSB
IOUT_ADC_CORE							
Intel 0x15 Update Rate				64		μs	
Resolution				9		bits	
Accuracy		0xE7[2:0] = 000 Range 0 to 603A TA = 0°C to +85°C	LSB	1.27		A	
			Gain	-1.0	+1.0		%
			Offset	-5.7	+5.7		A
		0xE7[2:0] = 001 Range 0 to 301A TA = 0°C to +85°C	LSB	637		mA	
			Gain	-1.35	+1.35		%
			Offset	-4	+4		A
		0xE7[2:0] = 010 Range 0 to 201A TA = 0°C to +85°C	LSB	425		mA	
			Gain	-1.35	+1.35		%
			Offset	-3.6	+3.6		A
		0xE7[2:0] = 011 Range 0 to 150A TA = 0°C to +85°C	LSB	318		mA	
			Gain	-1.35	+1.35		%
			Offset	-3.5	+3.5		A
		0xE7[2:0] = 100 Range 0 to 120A TA = 0°C to +85°C	LSB	255		mA	
			Gain	-1.35	+1.35		%
			Offset	-3.4	+3.4		A
IOUT_ADC_VSA							
Intel 0x15 Update Rate				64		μs	
Resolution				9		bits	
Accuracy		0xD1[4:3] = 01 Range 0 to 37.1A TA = 0°C to +85°C	Gain	78.125		mA	
			Offset	-1.0	+1.0		%
			Offset	-4.5	+4.5		LSB

Electrical Characteristics (continued)

(Circuit of [Typical Application Circuit](#), $V_{AVDD1P8} = V_{DVDD1P8} = 1.8V$, $V_{DD3P3} = 3.3V$, $V_{IN} = 12V$, $I_{SENSE_input} = 10\mu A$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All devices 100% tested at $T_A = +25^{\circ}C$. Limits over temperature guaranteed by design.)

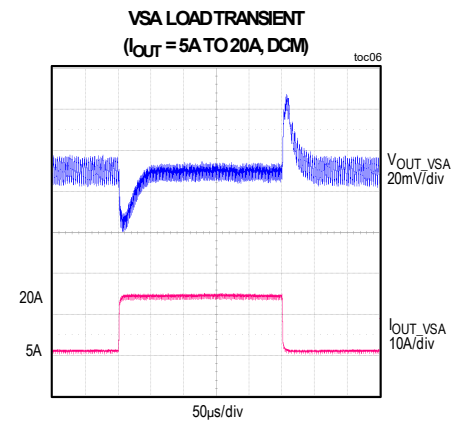
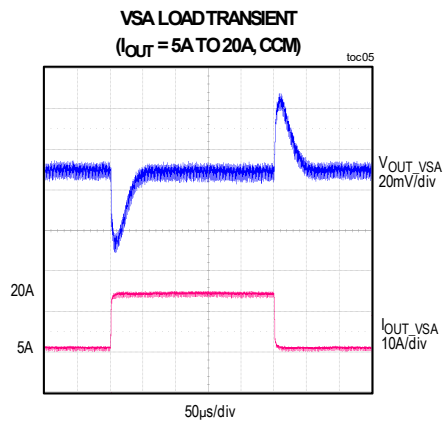
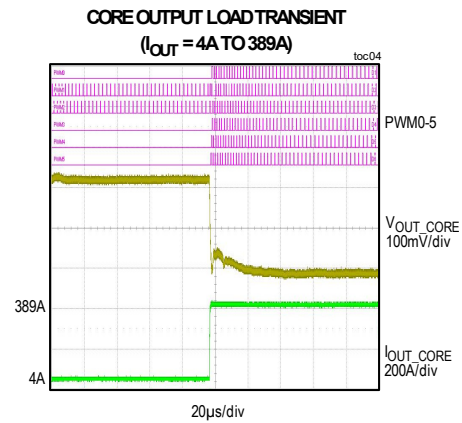
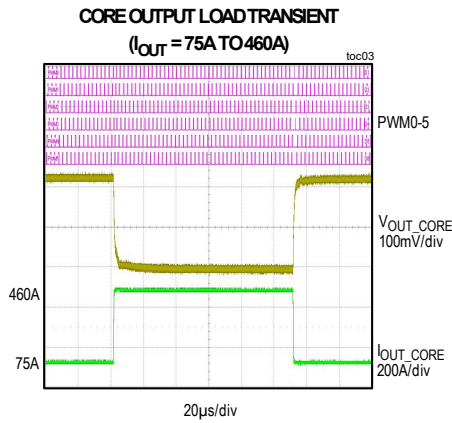
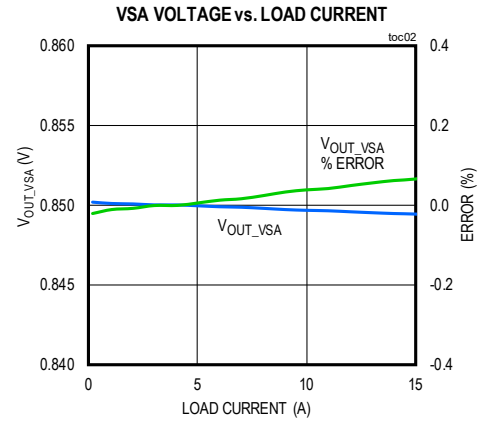
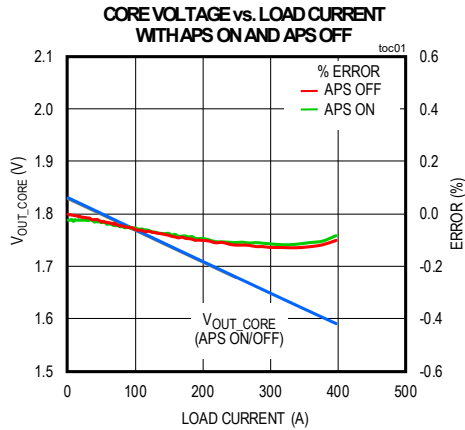
Note 2: Slew rate specification is guaranteed for the internal DAC. Performance of the output voltage of the regulator depends on the compensation and might be limited from the maximum bandwidth possible for the specific application.

Note 3: See the [VSA Overcurrent Protection](#) section to calculate actual threshold based on design parameters.

Note 4: The input voltage can be acquired by the system ADC if the PMBus command $0xD9[4] = 0$. It is otherwise acquired from a faster and dedicated VIN_ADC .

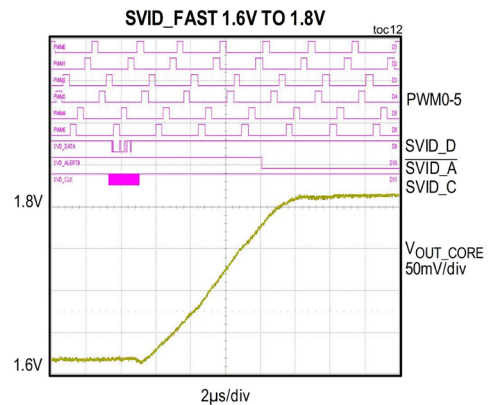
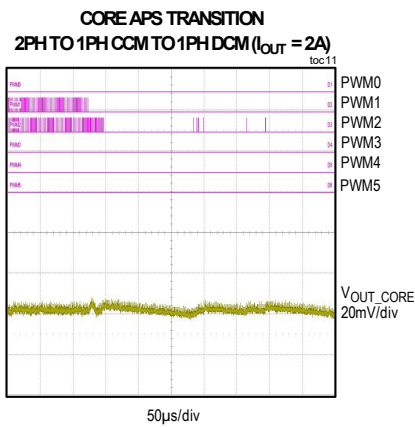
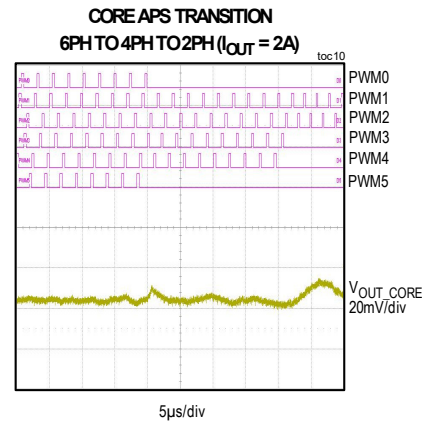
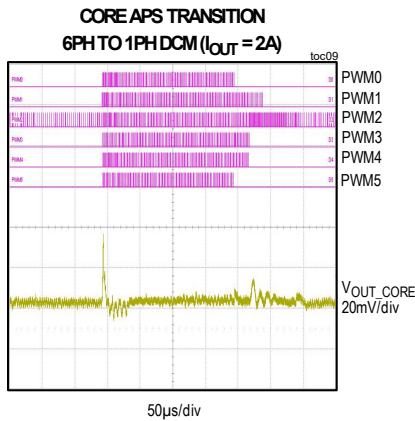
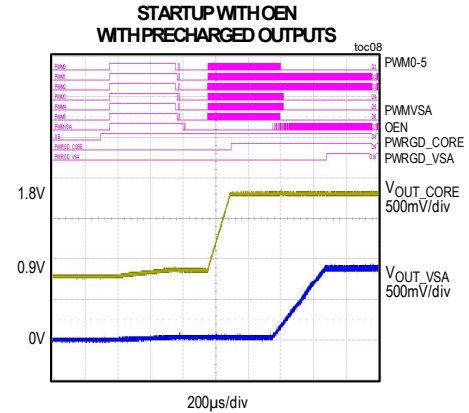
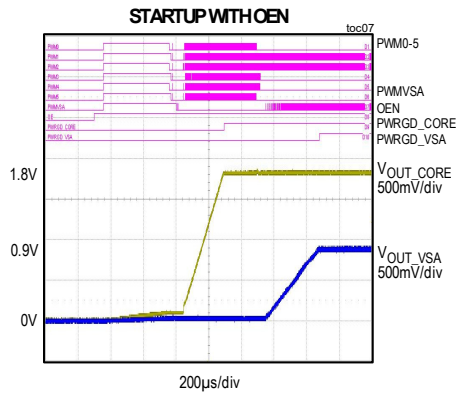
標準動作特性

($V_{IN} = 12V$, 6 + 1 phase configuration, $f_{SW} (CORE) = 500kHz$, inductor (CORE) = 100nH CL1208-6, inductor (VSA) = 180nH, $f_{SW} (VSA) = 660kHz$, $V_{VID} (CORE) = 1.8V$, $V_{VID} (VSA) = 0.85V$, $T_A = +25^\circ C$, unless otherwise noted.)



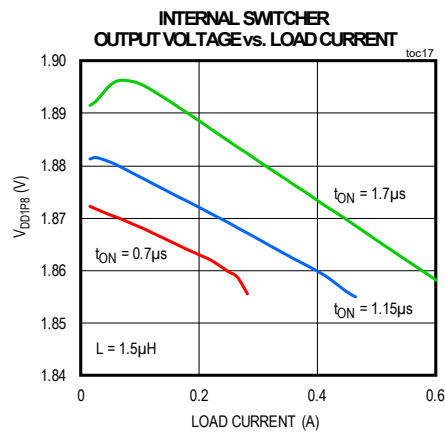
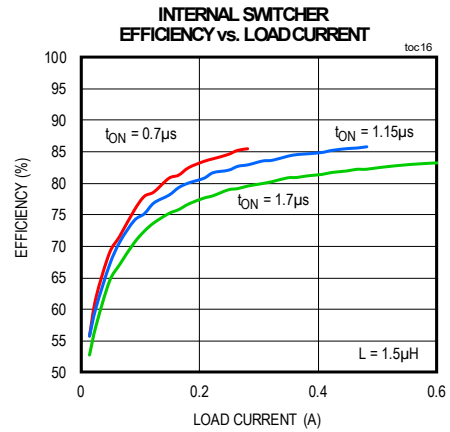
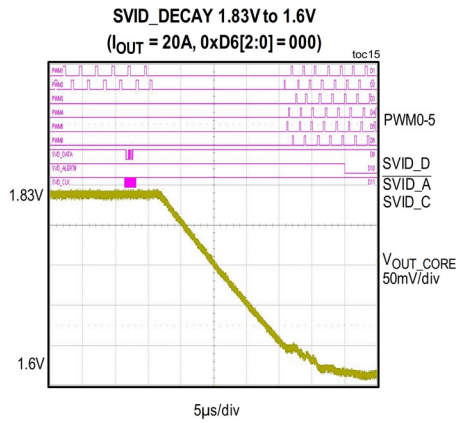
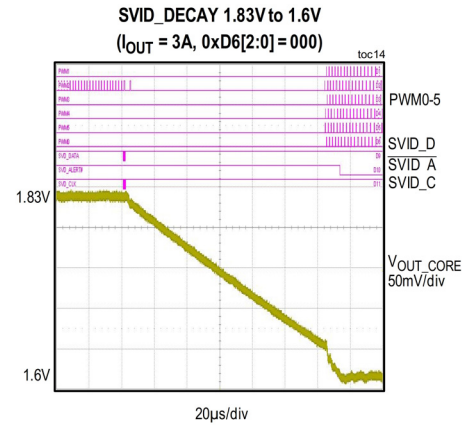
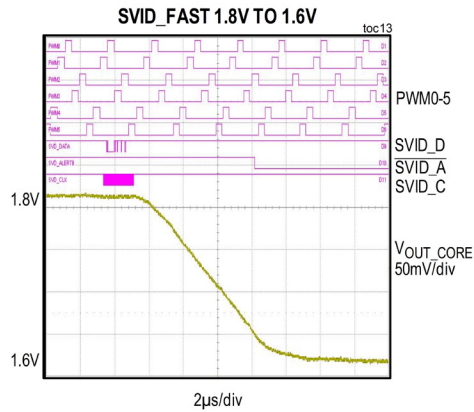
標準動作特性(続き)

($V_{IN} = 12V$, 6 + 1 phase configuration, $f_{SW} (CORE) = 500kHz$, inductor (CORE) = 100nH CL1208-6, inductor (VSA) = 180nH, $f_{SW} (VSA) = 660kHz$, $V_{VID} (CORE) = 1.8V$, $V_{VID} (VSA) = 0.85V$, $T_A = +25^\circ C$, unless otherwise noted.)

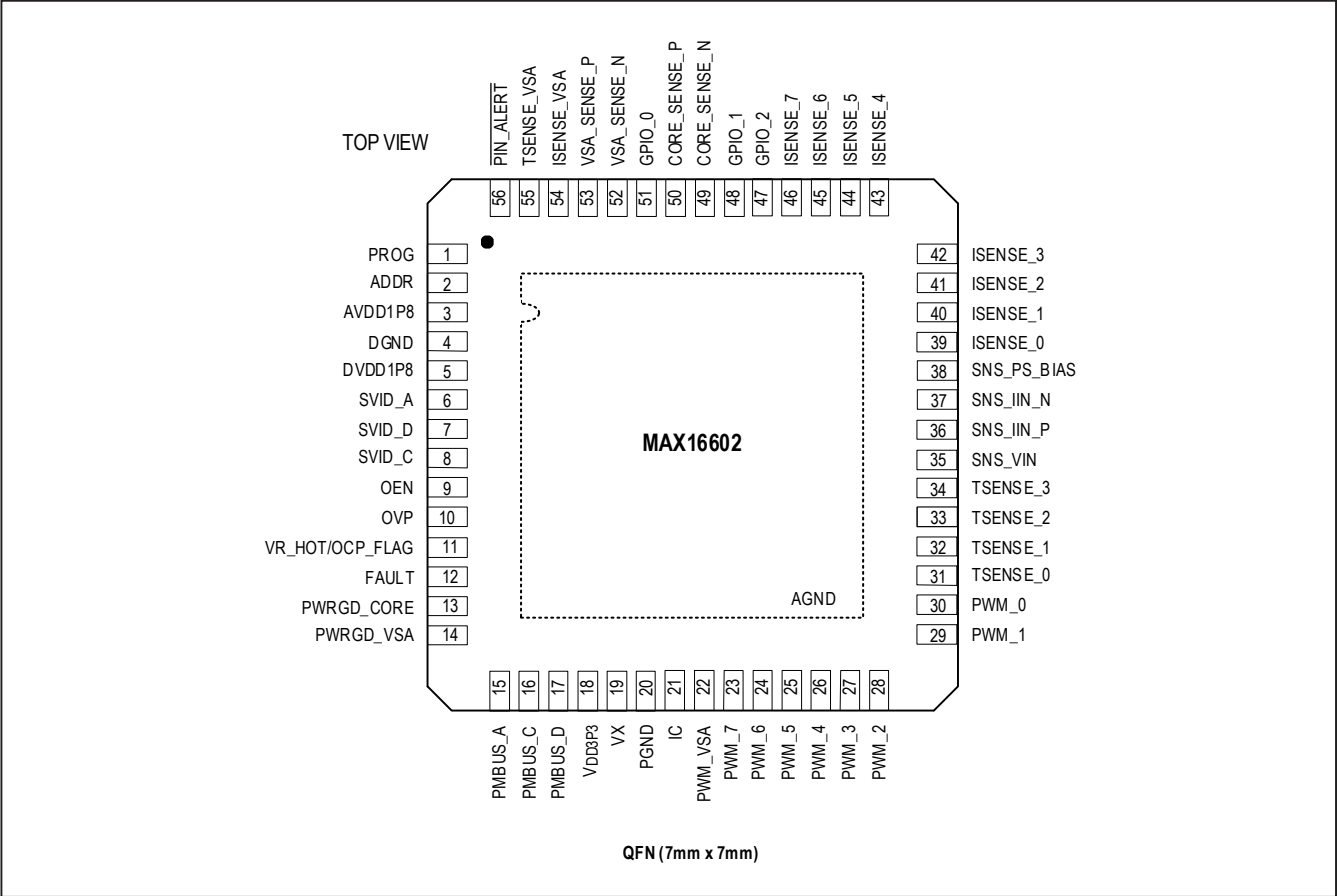


標準動作特性(続き)

($V_{IN} = 12V$, 6 + 1 phase configuration, $f_{SW} (CORE) = 500kHz$, inductor (CORE) = 100nH CL1208-6, inductor (VSA) = 180nH, $f_{SW} (VSA) = 660kHz$, $V_{VID} (CORE) = 1.8V$, $V_{VID} (VSA) = 0.85V$, $T_A = +25^\circ C$, unless otherwise noted.)



ピン配置



端子説明

端子番号	名称	説明
1	PROG	構成設定抵抗。精度1%の抵抗をグラウンドに接続して、アプリケーション・シナリオ(表5を参照)とPMBusのMSBアドレス(PMBusのMSB_PMBusビットで上書きしない場合)を設定します。
2	ADDR	アドレス設定抵抗。1%精度の抵抗をグラウンドに接続して、SVIDアドレスとPMBusのLSBアドレスを設定します(表5を参照)。
3	AV _{DD1P8}	バイアス電源ピン。4.7Ωの抵抗を介して、DVDD1P8または外部電源に接続します。2.2μF以上および0.1μFのコンデンサで、GNDの露出パッドとデカップリングします。
4	DGND	デジタル・グラウンド。ICに近接して配置した単一ビアでグラウンド・プレーンに接続します。
5	DVDD1P8	デジタル・バイアス電源ピン。内部の1.8Vスイッチング・レギュレータを使用する場合、チップ・インダクタの出力に接続し、それ以外は外部の1.8V電源に接続します。1μF以上および0.1μFのコンデンサで、GNDとデカップリングします。
6	SVID _A	SVIDのAlert#出力

端子説明(続き)

端子番号	名称	説明
7	SVID_D	SVIDのデータI/O
8	SVID_C	SVIDのクロック入力
9	OEN	電圧レギュレータの出力電圧イネーブル。OENをハイにプルアップすると、両出力がイネーブルになり、設定された昇圧電圧まで立ち上がります。OENをローにプルダウンすると、両出力は低速スルー・レートで0.5Vまで下降してから、電力段がIDDQ状態にセットされます。OENがローの場合、PMBusインターフェースはアクティブのままです。
10	$\overline{\text{OVP}}$	出力過電圧インジケータ。このアクティブ・ローのオープンドレイン出力は、1つまたは両方の出力がOVP閾値を超えたことを示します。
11	$\overline{\text{VR_HOT/OCP_FLAG}}$	過熱警告インジケータ。このアクティブ・ローのオープンドレイン出力は、電力段の温度の1つがアプリケーション・シナリオで設定された閾値を超え、SVIDレジスタTemp_Max(22h)で通知されたことを示します。シナリオの設定によっては、コントローラのOCPクランプをこのピンで示すようにすることもできます。
12	$\overline{\text{FAULT}}$	電圧レギュレータのフォールト・インジケータ。このアクティブ・ローのオープンドレイン出力は、VRフォールトが発生したことを示します(表2および表3を参照)。
13	PWRGD_CORE	COREのパワー・グッド信号。V _{CORE} 出力がレギュレーションの範囲内にあることを示すオープンドレイン出力です。
14	PWRGD_VSA	VSAのパワー・グッド信号。VSA出力がレギュレーションの範囲内にあることを示すオープンドレイン出力です。
15	$\overline{\text{PMBUS_A}}$	PMBusのAlert#出力
16	PMBUS_C	PMBusのクロック入力
17	PMBUS_D	PMBusのデータI/O
18	V _{DD3P3}	3.3V電源ピン。V _{DD3P3} は、内部1.8Vスイッチング・レギュレータの入力です。この入力には、10μFを2個と0.1μFのセラミック・コンデンサでバイパスします。V _{DD3P3} は、内蔵1.8Vスイッチング・レギュレータをディスエーブルにした場合でも、0.1μFのバイパス・コンデンサで3.3Vバイアス電源に接続する必要があります。
19	VX	内部1.8Vスイッチング・レギュレータのスイッチング・ノード。VXとDVDD1P8の間にチップ・インダクタを接続し、レギュレータの出力に最低22μFのセラミック・コンデンサを2個接続します。外部の1.8Vバイアス電源を使用する場合は、100Ωの抵抗でVXをV _{DD3P3} に接続して、1.8Vのスイッチング・レギュレータをディスエーブルします。
20	PGND	電源グラウンド。内部1.8Vスイッチング・レギュレータのリターン経路。
21	IC	内部で接続されているピン。これらのピンは未接続のままにしておきます。
22	PWM_VSA	VSAレギュレータの位相制御出力。VSA電力段の入力ピンに接続します。PWM_VSAをGNDに接続すると、VSAレギュレータはディスエーブルされます。

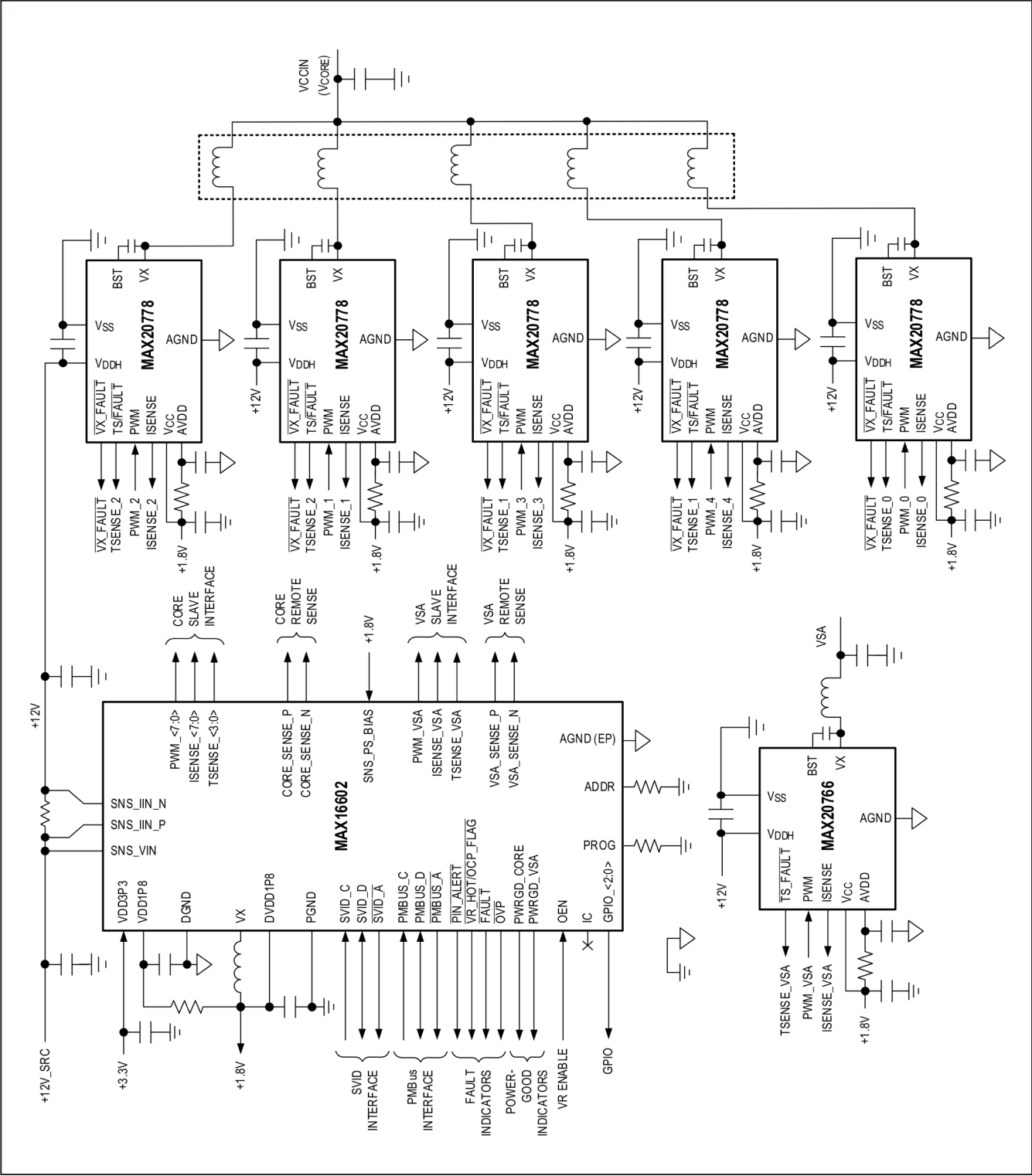
端子説明(続き)

端子番号	名称	説明			
23-30	PWM_<7:0>	V _{CORE} レギュレータの位相制御出力。PWM_<7:0>は、V _{CORE} 電力段のそれぞれ対応する入力ピンに接続します。電力段のペアを使用しない場合は、PWM_をGNDに接続します。			
		端子		名称	
		23		PWM_7	
		24		PWM_6	
		25		PWM_5	
		26		PWM_4	
		27		PWM_3	
		28		PWM_2	
		29		PWM_1	
		30		PWM_0	
31-34	TSENSE_<3:0>	V _{CORE} レギュレータの電力段からの温度センサーおよびフォールト入力。これらのピンは、適切なフィルタ回路を介して、電力段ICのTS/FAULT出力に接続します。V _{TSENSE_} は、通常動作時でのV _{CORE} レギュレータの各電力段または電力段ペアにおけるジャンクション温度のアナログ表示です。重大なフォールトが発生した場合、TSENSE_は電力段によってローにプルダウンされます。使用しない電力段では、TSENSE_を未接続のままにします。			
		端子		名称	位相接続
		31		TSENSE_0	0, 5
		32		TSENSE_1	3, 4
		33		TSENSE_2	1, 2
		34		TSENSE_3	6, 7
35	SNS_VIN	入力電圧検出。SNS_VINピンは、入力電圧の検出およびV _{IN_UVLO} 保護に使用します。13.7Vを超え17V未満のアプリケーションでは0xD9[5] = 1に設定し、RVIN_TOP = 4.75kΩ、RVIN_BOT = 19.6kΩの抵抗分圧器を用いてSNS_VINを入力に接続します。			
36	SNS_IIN_P	入力電力センサーの正入力。SNS_IIN_Pは、入力検出抵抗または入力電流モニタ信号の正端子にケルビン接続します。 使用しない場合は、V _{IN} またはPGNDに接続します。			
37	SNS_IIN_N	入力電力センサーの負入力。SNS_IIN_Nは、入力検出抵抗または入力電流モニタ信号の負端子にケルビン接続します。 使用しない場合はSNS_IIN_Pに接続します。			
38	SNS_PS_BIAS	電力段のバイアス・モニタ。電力段のバイアス電源をSNS_PS_BIASに接続すると、コントローラが電力段バイアスの低電圧フォールトをモニタできます。			

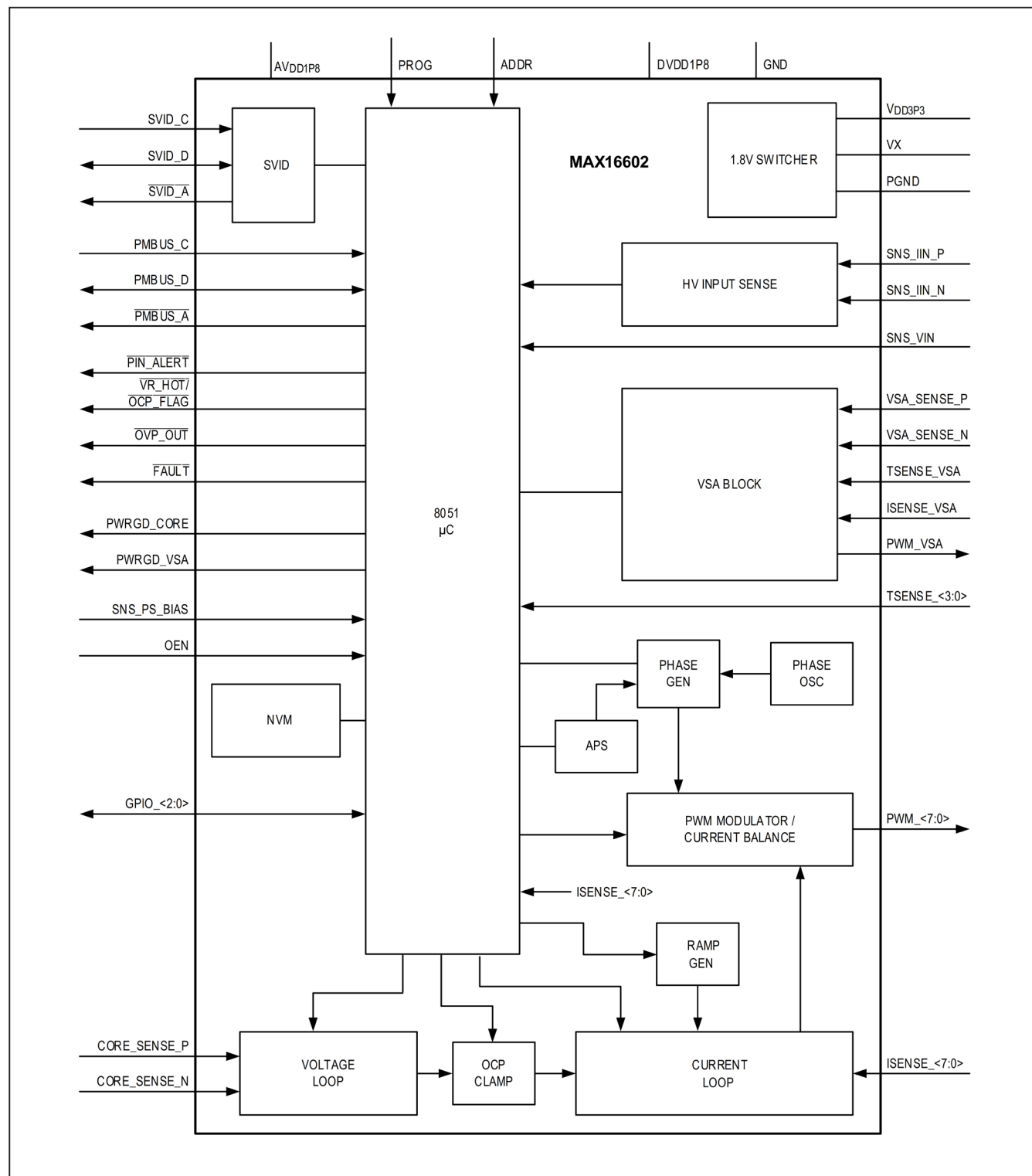
端子説明(続き)

端子番号	名称	説明
39-46	ISENSE_<7:0>	V _{CORE} レギュレータの電力段の電流検出入力。V _{CORE} レギュレータの電力段ICのISENSE_出力に接続します。使用しない電力段では、ISENSE_を未接続のままにします。
		端子
		名称
		39 ISENSE_0
		40 ISENSE_1
		41 ISENSE_2
		42 ISENSE_3
		43 ISENSE_4
		44 ISENSE_5
		45 ISENSE_6
		46 ISENSE_7
47-48, 51	GPIO_2, GPIO_1, GPIO_0	汎用I/O。それぞれのピンの機能は、選択するシナリオによって異なります。
		端子
		名称
		47 GPIO_2
		48 GPIO_1
		51 GPIO_0
49	CORE_SENSE_N	差動リモート検出の負入力(V _{CORE})。CORE_SENSE_Nは、負荷側でグラウンドにケルビン接続します。
50	CORE_SENSE_P	差動リモート検出の正入力(V _{CORE})。CORE_SENSE_Pは、負荷側でV _{CORE} にケルビン接続します。
52	VSA_SENSE_N	差動リモート検出の負入力(VSA)。負荷側でグラウンドにケルビン接続します。VSAを使用しない場合は、GNDに接続します。
53	VSA_SENSE_P	差動リモート検出の正入力(VSA)。負荷側でV _{VSA} にケルビン接続します。VSAを使用しない場合は、GNDに接続します。
54	ISENSE_VSA	VSAレギュレータ電力段ICの電流検出入力。VSAレギュレータ電力段ICのISENSE出力に接続します。電力段を配置しない場合は、ISENSEピンは未接続のままにします。
55	TSENSE_VSA	SAレギュレータ電力段からの温度センサーおよびフォールト入力。適切なフィルタ回路を介して、電力段ICのTS/FAULT出力に接続します。TSENSE_の電圧は、通常動作時でのVSA電力段におけるジャンクション温度のアナログ表示です。重大なフォールトが発生した場合、TSENSE_VSAは電力段によってローにプルダウンされます。
56	PIN_ALERT	入力電力アラート。P _{MAX} を超えたことを示すアクティブ・ローのオープンドレイン出力です。
57	AGND (EP)	グラウンド露出パッド。コントローラのグラウンド・プレーンおよび基板に内部で接続されています。DGNDピンの近くで基板のグラウンドに接続します。

標準アプリケーション回路



機能ブロック図



詳細

MAX16602コントローラICと最大8個のMAX20778/A、MAX20779/A、MAX20780、またはMAX20790のスマート電力段ICは、AIコアまたはIntel® VR13.HCプラットフォーム向け高集積、高性能の多相V_{CORE}電力変換ソリューションを提供します。また、コントローラはPWM並列接続もサポートしており、最大で16位相を制御できます。コントローラICは、PWM回路と位相制御回路、通知および制御用のPMBusインターフェース、およびSVIDインターフェースを備えています。また、スマート電力段ICには、上下のパワー・スイッチ、駆動ロジック、温度電流モニタ機能が備わっています。

標準アプリケーション回路は、MAX16602コントローラと、V_{CORE}用のMAX20778単相スマート電力段IC、およびVSA用のMAX20766スマート電力段の回路図を示しています。この制御アーキテクチャは、電力段ICのロスレス電流検出機能を利用して、シンプルな設計パラメータ、正確な負荷線設定、高精度な電流通知、高速フォールト保護を備えた優れた制御ループを提供します。また、電力段に内蔵されたパワー・スイッチにより、広範囲の出力電流で低スイッチング・ロスを実現しています。

コントローラICのV_{CORE}レギュレータは、最大8位相（並列接続時は16位相）の構成が可能です。使用しない位相はディスエーブルできるため（表4を参照）、1つの電気設計で出力電流の異なる複数のアプリケーションに使用できます。一般的なPCBレイアウトでは、低出力電流用に位相を配置せずにおくことができます。使用しない位相のTSENSEおよびISENSEピンは未接続のままにしておく必要があります。VSAをディスエーブルする場合も同様です。

主要なシステム・パラメータはPROGの設定抵抗によって設定しますが、これによりプリセットしたアプリケーション設定から1つを素早く選択できます。設定パラメータや自律型位相シェディング、OCPモードなどのその他の機能は、PMBusインターフェースによりデフォルト設定を基に調整できます。更に、PMBusインターフェースは、高度なモニタリングと通知機能を提供します。詳細については、[PMBusインターフェースの概要](#)のセクションを参照してください。

本ICは1.8Vレギュレータを内蔵しており、小型のインダクタを外付けするだけで済むため、必要な外部バイアス電源の総数を削減し、動作消費電力を低減できます。また、高精度な入力電力センサーを内蔵しているため、全体の実装が簡素化され、チップセットにより完全統合化されたVR13.HCソリューションを実現できます。

V_{CORE}の動作

制御アーキテクチャ

コントローラICには複数の増幅段と変調回路があり、電流に応じて各位相を制御します。図1に、コントローラ内部の増幅段と、位相制御信号の生成に使用される位相電流の情報を示します。図1に示す最初の増幅段(A1)は差動アンプで、リファレンス電圧と差動リモート検出電圧間の誤差の1.6倍に相当する出力が得られます。この差はR1とR2の適切な選択によりスケールリングされ、R_{DES}を介してエラー・アンプ(A3)に供給されます。

位相抵抗（図1のR_{PH1}、R_{PH2}など）は、電力段全てからのISENSE電流帰還信号をエラー・アンプ(A3)の反転入力に加算するのに使用されます。この電流は全負荷電流を表します。定常状態では、内部のR_{DES}抵抗に流れる電流は、ISENSE信号の合計に等しくなります。この回路により、R_{DES}に電圧降下を生じ、これによりA1およびA2のDCゲインに連動したアクティブな負荷線が設定されます。R_{DES}を流れる電流はコマンド指定の電流（1mA = 100A I_{OUT}）で定義され、制御ループはISENSE信号の合計をこの値に一致させるように強制します。このアーキテクチャは基本的に電流モードであるため、電流ループ補償の目的でゼロを設定することが可能です。このゼロは通常、電力段のLCフィルタに固有の二重ポールを補償するのに使用されます。これは、電流ループ・アンプのパラメータ（R_p、F_{z1}）を適切に設定することで実現できます。制御ループを安定させるために、上昇率／下降率(modRamp_opt)を様々な値に設定できます。適切な抵抗値の計算方法は、[設計手順](#)のセクションに記載されています。

FIGURE 1A. CORE VOLTAGE-CONTROL LOOP

[illegible]

ロスレス電流検出と負荷線の制御

MAX16602は、出力電流の全範囲にわたって、高精度の出力負荷線制御を提供します。[制御アーキテクチャ](#)のセクションで説明したように、出力電圧の調整は、スマート電力段からのロスレス電流検出信号を用いて行われ、この信号はコントローラにフィードバックされます。この電流検出は、インダクタの直流抵抗を用いる方法よりも優れており、電流信号を得るための温度補償やフィルタ処理が不要です。この信号は、パワー・デバイスを流れる電流に比例した電流として、それぞれの電力段から送り返されます。その結果、直流抵抗を用いた電流検出が不正確となることが知られている低電流においても、高精度に制御された負荷線が得られます。負荷線の設定は、電圧制御ループのエラー・アンプ(A2)のDCゲインをデジタル設定することにより行います。このゲインは、A1の固定ゲインおよび内部 R_{DES} 抵抗値と共に、所与の出力電圧誤差($V_{ID} - V_{OUT}$)に対して電流ループに指令される電流を決定します。A2アンプの後に積分器を追加することで、負荷線のドループはディセーブルされます。

内蔵1.8Vレギュレータ

コントローラ・デバイスは、コントローラおよびスマート電力段のデバイスにバイアス電流を供給する1.8Vスイッチング・レギュレータを内蔵しています。このレギュレータは、DCMモードで動作させ、入出力のフィードフォワードによるオン時間固定制御を使用することにより、高負荷電流と低負荷電流の両方で3.3V電源から効率的に電力変換を行うことが可能です。

V_{DD1P8} がリファレンス電圧1.8Vより低い場合、固定の上側PWMオン信号が開始し、上側FETがオンになります。これにより、電流は入力からインダクタを経由して出力フィルタ・コンデンサと負荷に流れます。固定のオン時間が終了すると、上側FETはオフになり、下側FETはインダクタ電流をゼロにするために短時間オンになります。その後、 V_{DD1P8} が

1.8Vを下回るまで上側、下側共にFETはオフを維持します。このレギュレータでは、平均出力電流制限保護機能を単純化するために、インダクタ電流がゼロになったときにのみ上側FETのオンを許可します。最大平均電流は、式1で計算できます。また、ソフトスタートは固定オン時間回路と固有の電流制限によって確保され、ピーク電流制限値は入出力のフィードフォワードによって調節されます。

式1

$$I_{VX_MAX(DC)} = \frac{(V_{DD3P3} - V_{DD1P8}) \times t_{ON}}{2L}$$

固定のオン時間はPROGのシナリオによって事前に設定されますが、PMBusレジスタ0xD6[7:6]で調整できます。固定オン時間の推奨設定値は1.15μsで、推奨インダクタ値は1.5μHです。

1.8Vレギュレータは最小限の外付け部品しか必要とせず、1つの出力インダクタ、2つの22μF MLCC出力コンデンサ、2つの入力コンデンサで済みます。外付けの補償回路や半導体は必要ありません。外部の1.8Vバイアスを使用する場合は、100Ωの抵抗を介してVXを V_{DD3P3} に接続することで、1.8Vレギュレータをディセーブルできます。

入力電力センサー

MAX16602は入力電力センサーを内蔵しており、VR13.HCソリューションを簡素化できます。低抵抗の外付け電流検出抵抗により、電流検出の精度を保持しながら電力損失を低減できます。また、電流検出アンプからの電流モニタ信号を使用することも可能です。入力電圧は V_{IN} 入力(ピン35)で検出されます。入力電流と入力電圧の遠隔測定は、PMBusを介して読み出すことができます。入力電力の遠隔測定は、PMBusまたはSVIDで読み出すことができます。

入力電流センサー

図2は、入力検出抵抗を使用した場合と電流検出アンプを内蔵した保護ICを使用した場合の構成の違いを示しています。

入力検出抵抗を使用する場合

目的の最大入力電流と最大フルスケール電圧から入力検出抵抗値を算出します。

式2:

$$IIN_RSENSE = \Delta V_{PROT_IN_MAX} / IIN_MAX$$

IIN_RSENSE の値は、GUIまたはPMBusレジスタ0xD4[15:13]で選択します。 $\Delta V_{PROT_IN_MAX}$ は、 IIN_RSENSE の選択に応じて50mVまたは100mVとします。

入力電流検出アンプを使用する場合

入力電流検出アンプを使用する場合は、GUIの IIN_RSENSE 選択肢またはPMBusレジスタ0xD4[15:13]で選択します。0xDE[6:0]の IIN_MAX_FS にフルスケール入力電流値を設定します。 IIN_MAX_FS の電流レベルで、 SNS_IIN_P から SNS_IIN_N の入力端子間に200mVのフルスケール電圧がかかるように外付け部品を選択します。

式3:

$$IIN_MAX_FS \times R_{SENSE} = 200mV / Current_Sense_Gain$$

ここで、 $Current_Sense_Gain$ は、電流検出アンプのゲイン(例: MAX40010Lの場合は12.5V/V)と抵抗分圧器のゲインの積です。入力の R_{SENSE} は、最大入力電流と、選択する電流検出アンプで推奨される入力電流信号に基づいて決定します。これにより、全負荷の精度を最大にできます。

システム起動

AV_{DD1P8} (ピン3)、 DV_{DD1P8} (ピン5)、 V_{DD3P3} (ピン18)がそれぞれの低電圧ロックアウト閾値を超えると、MAX16602がイネーブルになって初期化手順を開始し、約800μsで完了します。構成設定と設定抵抗値が有効かどうかを確認され、デコードされて、更に $CORE_SENSE_P$ および VSA_SENSE_P ピンがオープンかどうかを確認されます。コントローラに支障がない場合、 V_{IN} (ピン35)と SNS_P_BIAS (ピン38)がそれぞれの低電圧ロックアウト閾値を超えると、システムはハードウェア・イネーブル(OEN)信号に応答する準備が整います。OENがハイになった後、デバイスは位相検出シーケンスを開始します。他のフォールトが検出されない場合、電力段検出の完了後に出力上昇が開始します。

ハードウェア・イネーブルを受け取ると、SVIDバスがアクティブになり、レギュレータは V_{CORE} と VSA のレールを、PROGによって事前に設定された昇圧電圧まで低速の上昇率で立ち上げます。

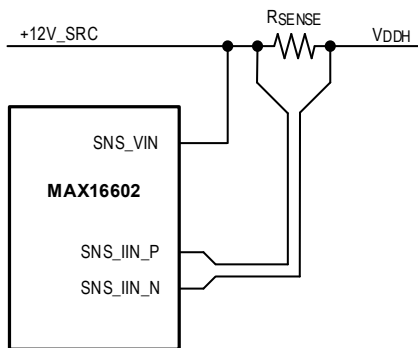


FIGURE 2A. CURRENT SENSE RESISTOR CONFIGURATION

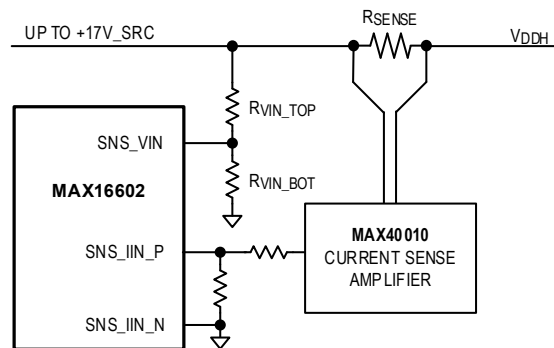


FIGURE 2B. CURRENT SENSE AMPLIFIER CONFIGURATION

図2. 入力電流検出オプション

PWRGD_COREとPWRGD_VSAの信号は、それぞれの出力がターゲットのVID電圧に到達した後にアサートされます。出力を昇圧電圧なしに設定している場合、有効なSetVIDコマンドを受信した後にのみレギュレーションが開始します。VBOOTがゼロでない起動シーケンスについては、[図3](#)を参照してください。

OENピンをローにしてレギュレータをディスエーブルした後は、正常な起動を確保するために少なくとも200μs(代表値)の間、デバイスは再起動しません。更に、スマート電力段が適切に動作するために十分な昇圧電源が確保されるよう、COREが起動する際には $(V_{CORE_SENSE_P} - V_{CORE_SENSE_N}) < 0.5V$ まで、VSAが起動する際には $(V_{VSA_SENSE_P} - V_{VSA_SENSE_N}) < 0.5V$ まで、レギュレーションが開始しないようになっています。

起動とシャットダウンに関する制約

MAX16602コントローラおよびサポートされるマキシムのスマート電力段には、次のような電源シーケンスの制約が適用されます。

パワーアップ

OEN、VDD1P8、VDD3P3、VINおよびSNS_PS_BIASの間には、シーケンス順の指定はありません。全ての条件が満たされ、最小オフ時間が経過し、更にCOREでは $(V_{CORE_SENSE_P} - V_{CORE_SENSE_N}) < 0.5V$ 、VSAでは $(V_{VSA_SENSE_P} - V_{VSA_SENSE_N}) < 0.5V$ のときにのみデバイスが起動します。

パワーダウン

OENには200ns(代表値)のデグリッチ・フィルタがあり、その時間より短いロー信号には応答しません。出力のランプ・ダウンを制御するためには、他の電源がランプ・ダウンを開始する前にOENが最初にローになる必要があります。OENで有効なロー信号が記録されると、レギュレータは少なくとも200μs(代表値)間、再起動しません。

スイッチング・モード

コントローラ・デバイスは、アクティブな位相数が設定可能な連続導通モード(CCM)で動作することも、電源管理設定(APSなど)やCPUが発行するSVIDコマンドに従う単相不連続導通モード(DCM)で動作することもできます。

DCMを有効にした場合、スイッチング周波数は負荷電流に正比例します。DCMオフセット電圧は、PMBus(dcm_offset_core、0xB3[6])で選択できます。DCMオフセット電圧を低く設定すると、出力電圧のリップルは低くなりますが、スイッチング周波数は高くなります。一般的に、スイッチング周波数が低いほど効率が向上します。

VIDと上昇率/下降率

MAX16602は、VID値と上昇率/下降率に関してVR13.HC仕様に準拠し、ディケイ・モードを含む必要な全てのSVIDコマンドを提供します。低速と高速の上昇率/下降率は、[Electrical Characteristics](#)の表に仕様規定されています。

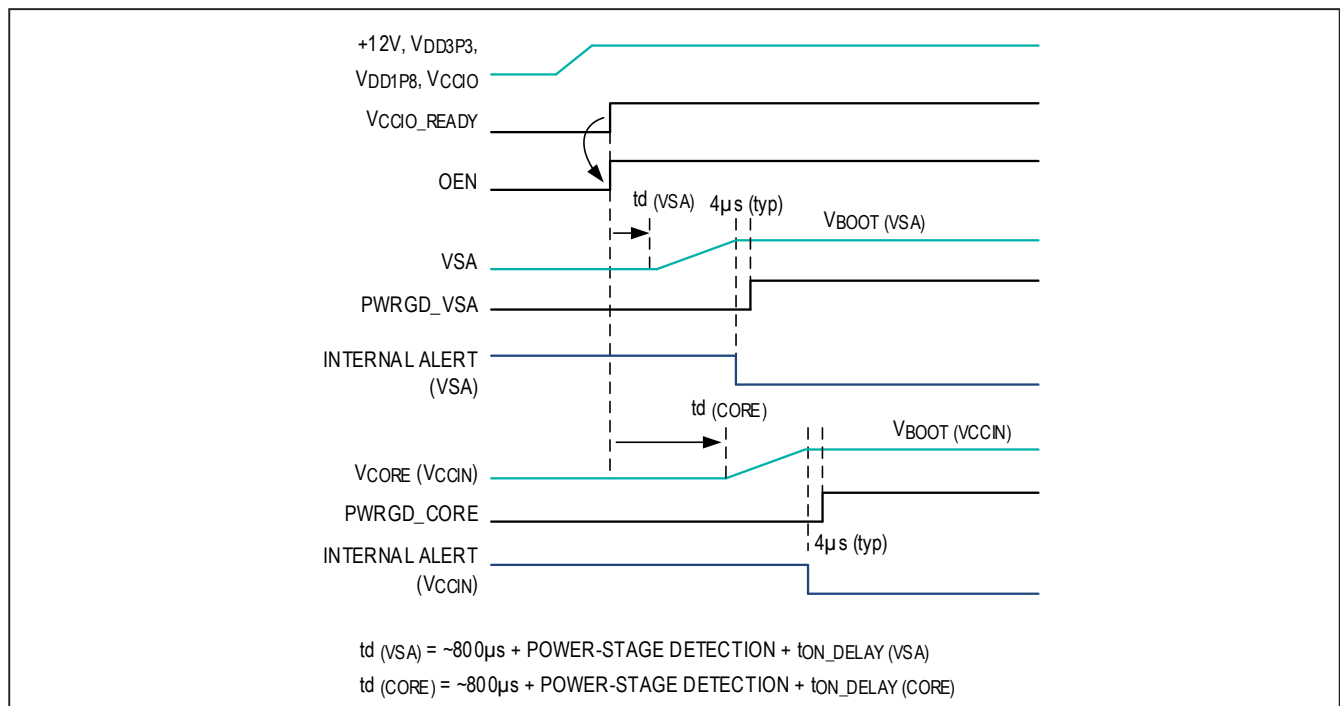


図3. V_{CORE} と V_{SA} の起動シーケンス

電源状態

本デバイスは、COREおよびVSA用にPS0、PS1、PS2、およびPS3コマンドをサポートしています。

自律型位相シェディング(APS)

MAX16602は、レギュレータの効率を最大化するために、アクティブな位相数の自律型位相シェディング(APS)制御が可能です。APS_PS0を有効にすると、アクティブな位相数は外部コマンドなしで負荷電流によって制御され、APS_PS1およびAuto_DCMの設定で許容される最小値まで低下させることが可能です。APS_PS1を無効にした場合、CPUからSetPS2コマンドが発行されない限り、レギュレータは少なくとも2相のCCMで動作します。Auto_DCMを有効にした場合、APS設定またはCPUが発行するSetPSで単相動作が許可されていると、レギュレータは軽負荷時に単相DCMで動作します。

APS機能では、次の2つの閾値を使用します。

- APS_Slowの閾値は、位相シェディング(低減)の決定に使用されます。
- APS_Fastの閾値は、位相追加の決定に使用されます。

負荷電流が増えてAPS_Fast閾値を超えると、デバイスは直ちに全位相を有効化します。デジタル化された出力電流が、最初の位相カウントの変化に対して少なくとも200μs間、APS_Slow閾値を下回ったままであれば、コントローラは位相数を低減します。その後の位相シェディングの決定は、20μsの遅延後に行われます。APS_FastとAPS_Slowの閾値は、PROGシナリオに従ってプリセットされますが、PMBusを用いて調整することもできます。

位相遷移のたびにスイッチング周波数が上がり、位相追加時には正のオフセットが加えられて出力電圧が規格内に収まるようになります。

表1. 適用される電源状態での動作モード

APSモード設定	状態	動作モード
APS_PS0	イネーブル	負荷状況およびAPS_PS1設定に応じた位相の低減
	ディスエーブル	多相CCM動作
APS_PS1	イネーブル	負荷状況やAuto_DCMの設定に応じた位相の低減
	ディスエーブル	2相CCM動作
Auto_DCM	イネーブル	軽負荷時の1相DCM動作
	ディスエーブル	軽負荷時の1相CCM動作

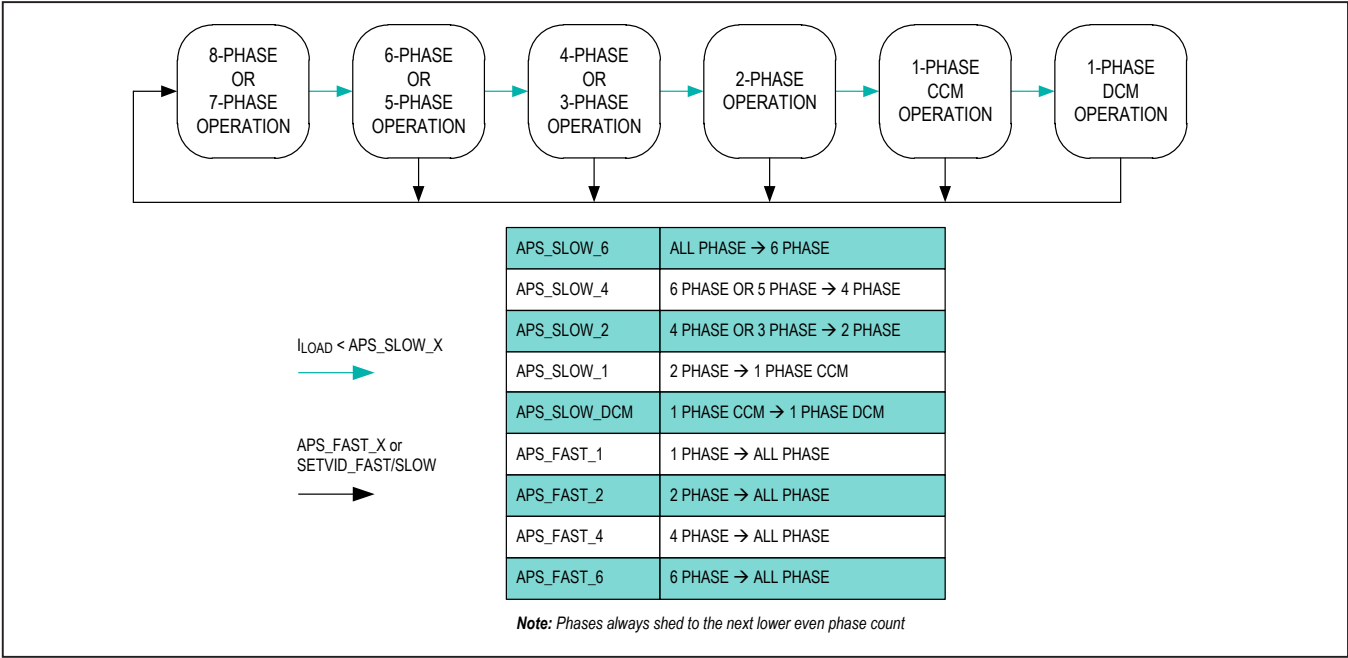


図4. APSの状態図(8相構成例)

高度変調方式 (AMS)

MAX16602は、過渡応答を向上するために、高度変調方式 (AMS) を搭載しています。AMSには、従来のPWM方式に比べ、大きな利点があります。AMS機能を有効にすることで、立上がりエッジと立下がりエッジの両方で変調を行うことができます。図5は、デバイスでAMSを有効にした場合に、従来の立下がりエッジ変調に立上がりエッジ変調が加えられた方式を示しています。この変調方式により、遅延時間が最小の位相のオン・オフが可能になります。負荷の要求に応じて、負荷が増加したときには複数の位相を同時にオンし、負荷が減少したときには即座にオフすることが可能です。インダクタの合計電流が急速に増加するため、負荷の要求が満たされ、出力コンデンサから流れる電流が減少します。AMSを有効にすると、位相マージンのペナルティなしにシステムのクローズドループ帯域幅を拡張できます。

電流ステアリング

コントローラICのアーキテクチャは電流ステアリング機能を搭載していて、スマート電力段デバイスによって異なる熱特性を補償することができます。この機能により、異なるスケールのスマート電力段ICを使用できます。電流ステアリングとは、ある位相の電流を他の位相とは異なる電流レベルで定常的に動作させることができるように、ある割合で電流を制御する方法です。この機能は、PMBusレジスタ0xB4で、各相の電流ステアリング率 (100%、95%、90%、85%) を変更して設定します。この制御アーキテクチャでは、定

常状態において、スケーリングされた各相の電流帰還電圧 ($\%I_{PH} \times R_{PH}$) が等しくなるように強制されます。これにより、任意のまたは複数の電力段の電流を正確に軽減し、電流バランスとトレードオフさせることで熱バランスを改善できます。式4は、合計出力電流と各相で設定されたステアリング率に応じて所定の位相に流れる直流電流を示しています。

式4

$$I_i = \frac{1}{\sum_{k=1}^{N_{PH}} \frac{1}{\text{Steering}\%_k}} \times I_{OUT}$$

直交電流リバランス (OCR)

コントローラ・デバイスは、異なる位相電流間の動的な電流の共有 (あるいはバランス) を改善する直交電流リバランス (OCR) 機能を実装しています。この機能は、負荷周波数がVRスイッチング周波数やその高調波付近であっても、負荷過渡応答時に電流バランスを維持します。

各デューティ・サイクル変調器のリファレンス電圧がOCRブロックによって調整され、合計電流に影響を与えることなく位相の不均衡を最小にします。OCRは、各位相の電流コマンドに各位相の電流だけでなく平均電流情報をも含めることで動作します。これにより、各位相電流が平均値から乖離することを防ぎます。ROCRは、PMBusレジスタの0xB4で設定されたOCRゲインを調整できます。

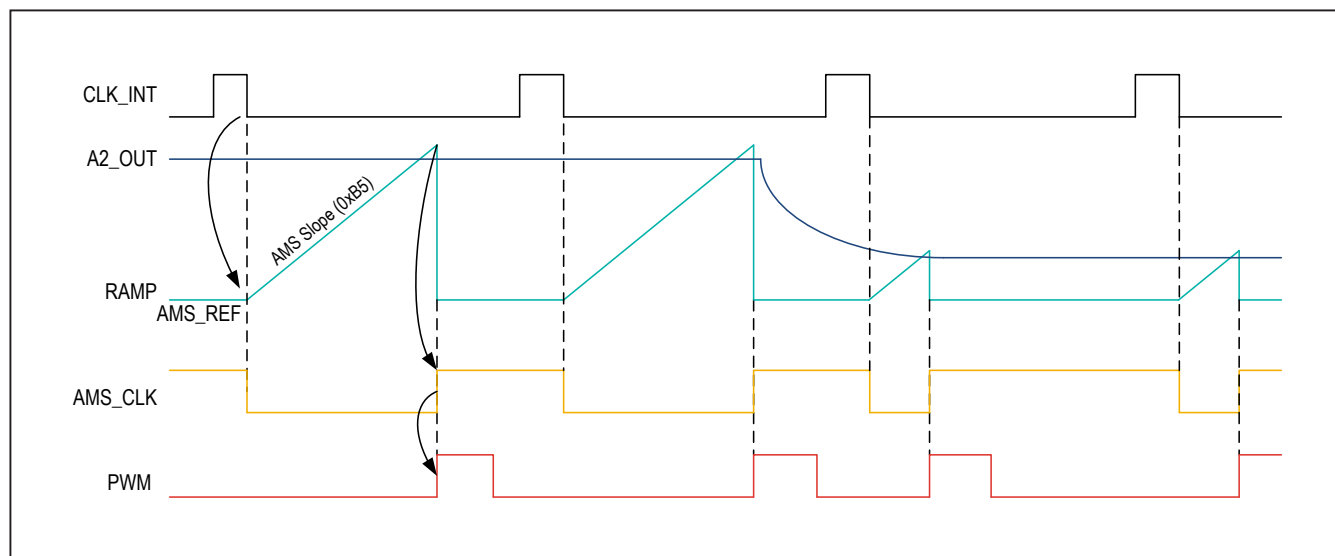


図5. AMSの動作

V_{CORE}の保護とモニタリング

コントローラICには、レギュレータの保護と出力電圧のモニタのために複数の回路が備わっています。

起動時のフォールト検出

MAX16602は、V_{DD1P8} UVLOの終了時、およびOENが立ち上がった後、様々なフォールト検出を実行します。

V_{DD1P8} UVLOの終了後、デバイスは次のフォールト・チェックを行います。

- ISENSEピンが電力段のAVDDと短絡しているか
- ADDRおよびPROG抵抗の値が有効であるか
- 正の検出ライン (CORE_SENSE_PとVSA_SENSE_P) がオープンであるか

OENの立上がり後、デバイスは以下のフォールト・チェックを実行します。

- 配置された電力段にTSENSEが接続されていないかどうか
- 電力段の位相制御出力 (電力段検出用のPWMピン、配置順、および同じ電力段デバイスでのPWMピンの短絡)
- 電力段のフォールト

これらのフォールトのいずれかが検出された場合、エラー・フラグが立ち、レギュレータは起動しません。フォールトはSTATUS_MONITORINGレジスタ0xF9に記録されます。

V_{CORE}パワー・グッド (PWRGD_CORE)

V_{CORE}パワー・グッド信号 (PWRGD_CORE) は、V_{CORE}が昇圧電圧または最後に指定されたSVIDコマンドにセトリングしたことを示すために使用されるアクティブ・ハイのオープンドレイン出力です。PWRGD_COREは、起動時のVID遷移が終了した後、一定の遅延時間を経てハイになります ([Electrical Characteristics](#)の表を参照)。PWRGD_COREは、VID遷移時にはデアサートされませんが、次のいずれかが発生した場合にはデアサートされます。

- 出力電圧が、何らかの理由で公称電圧に対する許容範囲内の閾値を下回った場合。
- 何らかのラッチ・フォールトが検出された場合。

過電流保護 (OCP)

過電流保護 (OCP) のデフォルト・レベルは、PROGで選択したシナリオによってロードされます。過電流閾値は、PMBusレジスタ0xD3[3:0]で10個の値から1つを選択して上書きできます。システムの過電流状態は、内部R_{DES}抵抗の電圧と選択したOCP閾値の電圧を比較することで検出されます。負 (シンク) の過電流保護 (NOCP) は、0xD8[0]での実際の設定に関係なく、0xD8[0] = 1における正の値の33%または16.66%のいずれかになります。NOCPは選択したシナリオによって設定され、PMBusレジスタ0xD3[4]で上書きできます。

過電流保護は内部R_{DES}の瞬間的な電圧降下に基づいているため、出力電圧のリップルを反映した小さなリップル電圧が存在する可能性があります。過電流フォールトは非ラッチ・フォールトであるため、クランプが5ms以上継続した場合にフォールト・ログに登録され、過負荷が連続した期間だけがフォールトとして記録されるようにしています。シナリオの設定によっては、コントローラのOCPクランプが作動したときに、コントローラがOCP_FLAGピンで示すようにすることも可能です。更に、ICCMAXを超えたことを示す警告フラグが、SVIDステータス・レジスタで利用可能です。

正のOCPでは、「CCM」モードと「ヒカップ」モードが利用できます。ヒカップOCPモードでは、OCP閾値を超えると、シャットダウンする前に5msの間、設定したOCP電流が流れ、45ms待ってから再始動します。このサイクルは、負荷電流が設定値を下回るまで継続します。CCM OCPモードでは、負荷電流がOCP値を下回るまで、システムは設定されたOCP電流を供給します。

OCPモードはPROGシナリオによって事前に設定されますが、PMBusレジスタ0xD2[7]で調整できます。

過電圧保護

コントローラICは、2つの独立した過電圧保護回路を搭載しています。1つは、出力電圧と設定した公称出力との差分を、出力OVP閾値と比較します ([Electrical Characteristics](#)の表を参照)。もう1つは、出力電圧とアンブレラOVP閾値とを比較します ([Electrical Characteristics](#)の表を参照)。どちらかがトリップした場合、OVPフォールトが登録され、OVPがアサートされ (FAULTではない)、PWRGD_COREとPWRGD_VSAがデアサートされて、レギュレーションが停止します。OVPフォールトは、1.8Vまたは3.3Vの電源レールをトリグルすることによってのみクリアできます。

低電圧ロックアウト (UVLO)

本デバイスは、1.8V、3.3V、およびV_{IN} (すなわちV_{DDH}) に低電圧ロックアウト (UVLO) 回路を備えています。UVLOの閾値は、[Electrical Characteristics](#)の表で定義されています。V_{IN}は直接モニタされます。いずれかの電源でUVLOイベントが検出されると、システムはレギュレーションを停止します。

UVLOイベントが、1.8Vまたは3.3Vレールが低電圧の閾値を下回ったことに起因する場合、それぞれの電源電圧が低電圧閾値より上昇すると、ICはPROGまたは最後のユーザ・シナリオからデフォルト設定を再び読み込み、OENがまだハイの場合は再起動します。UVLOイベントが、V_{IN}が低電圧閾値を下回ったことによるものである場合、設定はリセットされず、OENがまだハイである限り、V_{IN}が再び有効になったときにデバイスは再起動します。

電力段の温度警告 (VR_HOT)

電力段温度警告 (VR_HOT) は、いずれかの電力段の温度がシナリオで設定された閾値に達するとアサートされる、アクティブ・ローのオープンドレイン出力です。VR_HOTは、CPUがアクションを起こすための警告として意図されており、システムは通常どおりにレギュレーションを続行します。VR_HOTの閾値は+105°Cに固定されています。

スマート電力段は、パワー・デバイスを保護するために設計された追加の熱保護機能を備えています。これらの保護機能は、コントローラ内の警告および保護機能を妨害しないように設計されています。詳細については、それぞれの電力段のデータシートを参照してください。

フォールト・インジケータ出力 (FAULT)

フォールト・インジケータ出力 (FAULT) は、重大なフォールトが検出されたときにアサートされる、アクティブ・ローのオープンドレイン出力です。初期化時に、抵抗またはノードが範囲外かオープンであることが判明した場合に、この出力がアサートされます ([起動時のフォールト検出](#)を参照)。システムのレギュレーション中、スマート電力段のフォールトが継続的にモニタされ、コントローラのFAULTで通知されます。[表2](#)および[表3](#)を参照してください。

レギュレーション中にV_{CORE}のTSENSEまたはTSENSE_VSAピンのいずれかがローになると、ICはシャットダウンし、直ちにFAULTをローにプルダウンします。FAULTはローにラッチされたままとなり、V_{DD1P8}またはV_{DD3P3}を再投入することでのみクリアできます。

表2. レギュレーション時または起動時のコントローラ・フォールトの影響

PROTECTION FEATURE	OUTPUT SIGNAL(S) SHOWING FAULT	SYSTEM SHUTDOWN	SYSTEM LATCHED OFF	LOGGED IN FAULT LOG
Configuration Resistors Out of Range Detected at Startup	FAULT	System does not start	N/A	Yes
V _{CORE} Average-Output OCP (Hiccup)	PWRGD_CORE (if output drops below threshold) OCP_FLAG (if enabled)	Yes. Restart after 45ms	No	Yes (after 5ms)
V _{CORE} Average-Output OCP (CCM)	PWRGD_CORE (if output drops below threshold) OCP_FLAG (if enabled)	No	No	Yes (after 5ms)
VSA Average-Output OCP	PWRGD_VSA (if output drops below threshold)	Yes	Yes	Yes, if PWRGD_VSA deasserts
12V UVLO	PWRGD (when output drops below threshold)	Yes	No	Yes
Umbrella OVP, V _{CORE} , and VSA Rails	OVP, PWRGD_CORE, PWRGD_VSA	Yes	Yes	Yes
Output OVP, V _{CORE} , and VSA Rails	OVP, PWRGD_CORE, PWRGD_VSA	Yes	Yes	Yes
Output Undervoltage	PWRGD_CORE or PWRGD_VSA	No	No	No
V _{DD1P8} UVLO (1.8V)		Yes	No	No
V _{DD3P3} UVLO (3.3V)		Yes	No	No
Overtemperature Warning	VR_HOT	No	No	No
Overtemperature Fault	FAULT	Yes	Yes	Yes
SNS_PS_BIAS Undervoltage		Yes	No	No

表3. レギュレーション時または起動時の電力段フォールトの影響

POWER-STAGE FAULT	OUTPUT SIGNAL SHOWING FAULT	SYSTEM SHUTDOWN	SYSTEM LATCHED OFF	LOGGED IN FAULT LOG
Power-Stage Detection Faults at Startup (Power-Stage Population: PWM Open; PWM Shorted on Same Power-Stage; ISENSE Shorted to V_{DD} ; TSENSE Unconnected on Populated Power Stage)	$\overline{\text{FAULT}}$ (active-low)	System does not start	N/A	Yes
Power-Stage Faults at Startup	$\overline{\text{FAULT}}$ (active-low)	System does not start	N/A	Yes
Power-Stage Cycle-by-Cycle Clamp OCP (Sinking or Sourcing Current)	None	No	No	No
Power-Stage Cycle-by-Cycle Shutdown OCP (Sinking or Sourcing Current)	$\overline{\text{FAULT}}$ (active-low)	Yes	Yes	Yes
Power-Stage OTP Shutdown	$\overline{\text{FAULT}}$ (active-low)	Yes	Yes	Yes
Power-Stage Boost UVLO (Undervoltage Lockout on Boost Supply)	$\overline{\text{FAULT}}$ (active-low)	Yes	Yes	Yes
Power-Stage VX Short-to-Ground or V_{DDH}	$\overline{\text{FAULT}}$ (active-low)	Yes	Yes	Yes
Power-Stage V_{DDH} OVLO	$\overline{\text{FAULT}}$ (active-low)	Yes	Yes	Yes
Power-Stage V_{DDH} UVLO	None	Yes	No	Yes
Power-Stage V_{DD} UVLO	None	Yes	No	Yes

VSAの動作

VSA制御アーキテクチャ

VSA制御アーキテクチャは、V_{CORE}のアーキテクチャを簡略化したもので、ドループがありません(図6を参照)。上昇率/下降率は16種類、スイッチング周波数は2種類あり、PROGシナリオで事前に設定されますが、PMBusレジスタで調整できます。

VSAの出力動作

VSAの起動

VSAの起動動作については、V_{CORE}のセクションで説明しています。

VSAの電源状態

VSAレールは、PS0、PS2、PS3、およびディケイの電源状態をサポートしています。

DCMの動作

VSA回路には、V_{CORE}と同様に機能するプログラマブルな制御ループ・オフセットが搭載されています。オフセットはPROGシナリオで事前に設定されますが、PMBusレジスタ0xB3[6]で調整できます。

VSAシナリオのプログラマブル・パラメータ

スイッチング周波数と昇圧電圧は、PROGシナリオによって事前に設定されるパラメータの一部となっています。

VSAの保護とモニタリング

VSAのパワー・グッド

VSAの出力には独立したパワー・グッド信号があり、V_{CORE}のものと同様に動作します。

VSAの過電流保護

VSAの過電流保護は、サイクルごとのピーク電流クランプを採用しています。クランプは、R_{PH_VSA}の端子間電圧とリファレンス閾値を比較することで作動します。

正(ソーシング)のOCPが検出されると、PWM_VSAは次のスイッチング・サイクルまで(OCP状態が消失したと仮定して)ローに保持されます。また、負(シンク)の過電流保護も提供しています。負のOCPが検出された場合、PWM_VSAは一定のオン時間の間、ハイに駆動されます。

式5:

$$I_{LPK} = \frac{(V_{IN} - V_{OUT}) \times (t_{D_COMP} + t_{D_PS})}{L} + I_{POCP_VSA}$$

ここで、

t_{D_COMP}は、電流コンパレータの遅延時間です。

t_{D_PS}は、電力段のPWMからVXまでの遅延時間です。

I_{POCP_VSA}は、[Electrical Characteristics](#)に記載されています。

負のOCP閾値は通常、設定値より(絶対値で)低くなります。設計パラメータに応じたOCP閾値の推定値を算出するには、式6を参照してください。

式6:

$$NOCP = \frac{-25mV - Mod_{RR} \times \left(\frac{V_{OUT}}{V_{IN}} \times t_{SW} - t_1 \right)}{R_{PH}} \times K_1 - \frac{V_{IN} - V_{OUT}}{L} \times \left(\frac{V_{OUT}}{V_{IN}} \times t_{SW} - t_2 \right) + \frac{V_{IN} - V_{OUT}}{2L} \times \frac{V_{IN} - V_{OUT}}{V_{IN}} \times t_{SW}$$

ここで、

Mod_{RR} = レギュレータ変調器の上昇率/下降率

R_{PH} = 1500Ω(代表値)

K₁ = 電流検出ゲイン、10μA/A(代表値)

t₁ = 10ns(代表値)

t₂ = 60ns(代表値)

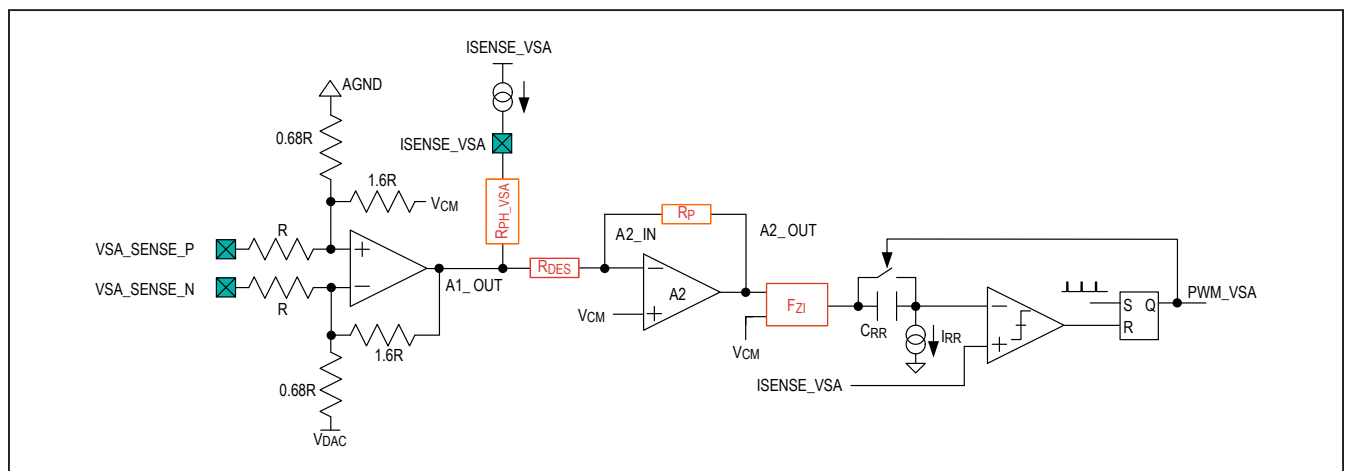


図6. VSAの制御ループ

VSAの過電圧保護

VSA出力は、公称電圧に追従する回路と、固定のアンブレラOVPを使用する回路の2つのOVP回路を備えています。OVPの動作は、V_{CORE}で説明したものと同様です。

設計手順

最適な位相数の決定

ICCMAXの値は、CPUの選択により決定します。ICCMAXとOCPのレジスタはシナリオによって設定されます。OCPは一般にICCMAXより20%高く設定します。負荷電流の条件と使用可能な領域に基づいて、使用するスマート電力段と目標の性能対コストにより必要な位相数を決定します。この目的のためには、スマート電力段のデータシートに記載されている効率曲線と定格電流を使用できます。

位相の配置順

MAX16602を特定の位相数に設定する場合は、注意が必要です。所定の位相数に対して、特定の位相ポジションを配置し、他の位相は非アクティブにする必要があります。位相を非アクティブにするには、非アクティブな位相の位相制御(PWM)ピンとグラウンドの間に1kΩの抵抗を接続します。使用しない位相のTSENSEおよびISENSEピンは未接続のままにします。表4は、配置するポジションとそれぞれの作動シーケンスを定義しています。

出力容量の計算

出力容量(C_{OUT})の値を決定する1つの基準として、無負荷遷移時の最大許容オーバーシュート(V_{OV_MAX})がありま

す。式7は、所定のオーバーシュート仕様を満たすために必要な出力容量の最小値を示しています。

式7:

$$\Delta Q_{OFF_LOAD} = \frac{I_{STEP}^2}{2} \times \left(\frac{L_{OUT}}{V_{OUT}} \frac{1}{N_{PH}} - \frac{1}{SLEW_RATE} \right)$$

$$\Rightarrow C_{OUT} > \frac{\Delta Q_{OFF_LOAD}}{I_{STEP} \times R_{LL} + V_{OV_MAX}}$$

また、C_{OUT}の最小条件は、電圧レギュレータで実現可能な最大帯域幅によって決まることもあります(式8を参照)。

式8:

$$F_{C_VOLTAGE_LOOP} = \frac{1}{2 \times \pi \times R_{LL} \times C_{OUT}}$$

$$\Rightarrow C_{OUT} > \frac{1}{2 \times \pi \times R_{LL} \times (0.4 \times f_{SW})}$$

許容オーバーシュートが制限因子となる6相の設計例を考えてみましょう。システムのインダクタンスが位相あたり100nH、出力が1.7V、最大電流ステップが200A、最大許容オーバーシュートが50mVとすると、理論的に必要な最小のC_{OUT}は約750μFとなります。F_{C_VOLTAGE_LOOP}条件では約900μFが必要となり、これが決定要因となります。少し高めの値を選択することで、部品のばらつきやバイアス電圧による実効的な静電容量損失に対して、設計上の余裕を持たせることができます。

表4. 位相配置とPWM*の作動シーケンス

NUMBER OF POPULATED PHASES	POWER-STAGE PAIR POSITIONS TO BE POPULATED BY LAYOUT	FIRING SEQUENCE
2	2, 1	2, 1
3	3, 1, 2	2, 1, 3
4	3, 4, 2, 1	2, 4, 1, 3
5	3, 4, 2, 1, 0	2, 4, 1, 0, 3
6	3, 4, 2, 1, 5, 0	2, 5, 4, 1, 0, 3
7	3, 4, 2, 1, 0, 5, 6	2, 5, 4, 6, 1, 0, 3
8	3, 4, 2, 1, 5, 0, 6, 7	2, 5, 4, 6, 1, 0, 3, 7

*PWMxのピン名で定義(例: ポジション2はPWM2で駆動)。

設定抵抗値の選択

システムの動作パラメータは、設定抵抗で設定します。ADDRはSVIDとPMBusのアドレスを選択し、PROGは事前に設定されるシナリオを選択します。正しい抵抗値と各抵抗で設定されるパラメータは、表5を参照してください。設定パラメータは、OENがローの間にPMBusで設定できます。これらの設定は、その後のOENTグルでリセットされることはありません。

デジタル・パラメータの設計手順

前世代のコントローラとは異なり、MAX16602はこれまで外付けしていた全ての制御ループ部品を統合しています。次のパラメータがデジタルで選択できるようになりました。

V_{CORE}レギュレータ

- スイッチング周波数(300kHz～857kHz)
- 負荷線(0.105mΩ～0.979mΩ)。範囲とステップの詳細は表6を参照してください。
- システムのOCP(30A～695A)。詳細は表7を参照してください。
- APSの高速閾値と低速閾値

- 変調器の上昇率／下降率(0.4V/μs～1.9V/μs、0.1V/μs LSB)
- AMSの上昇率／下降率(0.125V/μs～1.0625V/μs、0.0625V/μs LSB)
- 電流ループのゼロ(8.4kHz～45.5kHz)
- 電圧ループのゼロ(9.6kHz～159.2kHz)
(ドループなしの構成のみ)
- R_p (195Ω～3770Ω、65Ω LSB(下側レンジ)～162.5Ω LSB(上側レンジ))
- R_{OCR}(1.5kΩ～17kΩ、500Ω LSB)

V_{SAL}レギュレータ

- スイッチング周波数(660kHzまたは800kHz)
- 変調器の上昇率／下降率(0.4V/μs～1.9V/μs、0.1V/μs LSB)
- 制御ループのゼロ(8.4kHz～45.5kHz)
- R_p(1.04kΩ～5.07kΩ、130Ω LSB)

上記のパラメータは、PROGシナリオで事前に設定されますが、PMBusインターフェースで調整できます。デフォルトのシナリオは、いくつかの標準的なCPUに最適化された設定が含まれており、そのまま、あるいはわずかな調整で動作します。

表5. ADDRとPROGのテーブル

ADDR 1% RESISTOR (kΩ)	CODE	SVID ADDRESS (CORE/VSA)	PMBus LSB ADDRESS (CORE/VSA)
1.78	0	0/1	0/1
2.37	1	0/1	1/2
3.16	2	0/1	2/3
4.22	3	0/1	3/4
5.62	4	0/1	4/5
7.5	5	0/1	5/6
9.76	6	0/1	6/7
13	7	0/1	7/8
17.4	8	2/3	8/9
23.2	9	2/3	9/10
30.9	10	2/3	10/11
41.2	11	2/3	11/12
54.9	12	2/3	12/13
73.2	13	2/3	13/14
97.6	14	2/3	14/15
127	15	2/3	0/1

PROG 1% RESISTOR (kΩ)	CODE	SCENARIO
1.78	0	0
2.37	1	1
3.16	2	2
4.22	3	3
5.62	4	4
7.5	5	5
9.76	6	6
13	7	7
17.4	8	8
23.2	9	9
30.9	10	10
41.2	11	11
54.9	12	12
73.2	13	13
97.6	14	14
127	15	15

注:PMBusのMSBアドレスは、シナリオの設定に応じて110または101になります。MSB_PMBusビット(0xDE[7])を使用すると、MSBを110または101にオーバーライドして選択できます。

表6. 負荷線のレンジと分解能

LOW_RDES 0xD3[7]	VR13_LL 0xD8[1]	A2_HI_GAIN 0xD8[5]	R _{DES} (Ω)	DCLL_LSB (μΩ)	DCLL_MIN (mΩ)	DCLL_MAX (mΩ)
0	0	0	92	5.750	0.397	0.753
0	0	1	92	1.917	0.132	0.251
0	1	0	92	7.475	0.516	0.979
0	1	1	92	2.492	0.172	0.326
1	0	0	73.25	4.578	0.316	0.600
1	0	1	73.25	1.526	0.105	0.200
1	1	0	73.25	5.952	0.411	0.780
1	1	1	73.25	1.984	0.137	0.260

注: low_rdesは0に保持する必要があります。low_rdes = 1が必要なアプリケーションでは、MAX16601の使用をご検討ください。

表7. システムの過電流制限

ocp_hc 0xD8[0]	ocp_th 0xD3[3:0]	1-PH CONFIG	2-PH CONFIG	3-PH CONFIG	4-PH CONFIG	5-PH CONFIG	6-PH CONFIG	7-PH CONFIG	8-PH CONFIG
0	0000	28	55	83	110	138	165	193	221
0	0001	30	61	91	121	152	182	212	243
0	0010	33	66	99	132	166	199	232	265
0	0011	36	72	108	143	179	215	251	287
0	0100	39	77	116	154	193	232	270	309
0	0101	41	83	124	166	207	248	290	331
0	0110	44	88	132	177	221	265	265	265
0	0111	47	94	141	188	235	281	281	281
0	1000	50	99	149	199	248	298	298	298
0	1001	52	105	157	210	262	315	315	315
0	1010	55	110	166	221	276	331	331	331
0	1011	58	116	174	232	290	348	348	348
1	0000	55	110	165	221	276	331	386	441
1	0001	61	121	182	243	303	364	425	485
1	0010	66	132	199	265	331	397	463	530
1	0011	72	143	215	287	359	430	502	574
1	0100	77	154	232	309	386	463	541	618
1	0101	83	166	248	331	414	497	579	662
1	0110	88	177	265	353	441	530	530	530
1	0111	94	188	281	375	469	563	563	563
1	1000	99	199	298	397	497	596	596	596
1	1001	105	210	315	419	524	629	629	629
1	1010	110	221	331	441	552	662	662	662
1	1011	116	232	348	464	579	695	695	695

注: PMBusコマンド「200K_C_REPORT (0xD9[7])」を1に設定している場合、上の表のサポート電流が2倍になります。そのため、電流検出ゲインが5μA/Aの2つの電力段を並列にする必要があります。

表8. システムの過電流制限、 $R_{DES} = 73\Omega$

ocp_hc D8[0]	ocp_th D3[3:0]	1-PH CONFIG	2-PH CONFIG	3-PH CONFIG	4-PH CONFIG	5-PH CONFIG	6-PH CONFIG	7-PH CONFIG	8-PH CONFIG
0	0000	28	55	83	110	138	165	193	221
0	0001	30	61	91	121	152	182	212	243
0	0010	33	66	99	132	166	199	232	265
0	0011	36	72	108	143	179	215	251	N/S
0	0100	39	77	116	154	193	232	270	N/S
0	0101	41	83	124	166	207	248	N/S	N/S
0	0110	44	88	132	177	221	265	265	265
0	0111	47	94	141	188	235	N/S	N/S	N/S
0	1000	50	99	149	199	248	N/S	N/S	N/S
0	1001	52	105	157	210	262	N/S	N/S	N/S
0	1010	55	110	166	221	276	N/S	N/S	N/S
0	1011	58	116	174	232	N/S	N/S	N/S	N/S
1	0000	55	110	165	221	276	331	386	441
1	0001	61	121	182	243	303	364	425	485
1	0010	66	132	199	265	331	397	463	530
1	0011	72	143	215	287	359	430	502	N/S
1	0100	77	154	232	309	386	463	541	N/S
1	0101	83	166	248	331	414	497	N/S	N/S
1	0110	88	177	265	353	441	530	530	530
1	0111	94	188	281	375	469	N/S	N/S	N/S
1	1000	99	199	298	397	497	N/S	N/S	N/S
1	1001	105	210	315	419	524	N/S	N/S	N/S
1	1010	110	221	331	441	552	N/S	N/S	N/S
1	1011	116	232	348	464	N/S	N/S	N/S	N/S

N/S: 対応していないことを表します。電流制限がコモンモード電圧範囲を超えています。

注: PMBusコマンド「200K_C_REPORT(0xD9[7])」を1に設定している場合、上の表のサポート電流が2倍になります。そのため、電流検出ゲインが5μA/Aの2つの電力段を並列にする必要があります。

表9. MAX16602xのアプリケーション・シナリオ

SCENARIO #	PROJECT	IC REVISION
0	Test Scenario	MAX16602
1	Xilinx® Versal, 8 x MAX20778, 200A _{MAX}	—
2	Reserved	MAX16602
3	Reserved	MAX16602
4	Reserved	MAX16602
5	Reserved	MAX16602
6	—	—
7	—	—
8	8 x MAX20780, 0.85V, 320A _{MAX}	MAX16602
9	Broadcom®, 12 x MAX20780, 529A _{MAX}	MAX16602
10	12 x MAX20779, 460A _{MAX} Project	MAX16602
11	—	—
12	Reserved	MAX16602
13	8 x MAX20778, 0.9V, 320A _{MAX}	MAX16602
14	3 x MAX20778, 0.9V Project	MAX16602
15	8 x MAX20778, 0.9V Project	MAX16602

注:新しいリビジョンは後方互換性があり、以前のシナリオを含みます。

PMBusインターフェースの概要

MAX16602コントローラICは、高度なレギュレータのモニタリング機能と制御機能をサポートするシリアル・バス (PMBus) を搭載しています。このPMBusインターフェースは、SMBus 3.1仕様のサブセットをサポートしています。この仕様の詳細については、www.smbus.orgを参照してください。以下のSMBus 3.1機能がサポートされています (括弧内は該当する仕様のセクション番号)。

- 1つの外付け抵抗による静的なSMBusアドレス設定
- SMBusハイパワーDC仕様に準拠 (3.1.3)
- 以下のSMBusプロトコルをサポート。
 - ・ バイト/ワード書込み (5.5.4)
 - ・ バイト/ワード読出し (5.5.5)
 - ・ バイト送信 (5.5.2)
 - ・ バイト受信 (5.5.3)
 - ・ パケット・エラーのチェック機構をサポート (5.4)
 - ・ $\overline{\text{PMBUS_A}}$ ピンによるPMBALERT#信号の送出
- アドレス解決プロトコルはサポートしない (5.6)
- PMBus電力段のサポートのみ (MAX20778などのマキシムのスマート電力段とは異なる)

モニタリング機能

MAX16602のPMBusインターフェースを用いて、以下のモニタリング情報を得ることができます。

システム・レベル

- システム・フォールト・ログ (最大5つのシステム・フォールトを時系列で保存。フォールト・ログは、他のフォールトが記録される前にクリアしなければならない)
- SVIDログ (過去5つのSVIDコマンドとペイロードを時系列に保存し、経過時間も保存)
- PROG設定レジスタで設定されたパラメータ
- 過熱閾値
- メーカー・モジュールのID
- メーカー・モジュールの製品番号
- デバイスID
- デバイスのリビジョン
- 入力電圧

Broadcomは、Avago Technologiesの登録商標です。

Xilinxは、Xilinx, Inc.の登録商標です。

V_{CORE} レギュレータ

- 各電力段のフォールト・ステータス
- レギュレータのステータス
- マキシムのスマート電力段のデバイス数
- VIDコード (SVIDまたはPMBusで設定)
- ピーク電流 (シングル・バイト)
- 出力電流 (デュアル・バイト)
- 出力電圧 (デュアル・バイト)
- 位相出力電流
- 位相入力電流
- 入力電流
- 入力電源
- 最も高温の出力段の温度
- 位相温度
- 最大電圧コード (SVIDまたはPMBusで設定)
- VIDオフセット (SVIDまたはPMBusで設定)

V_{SAL}レギュレータ

- V_{SAL}レギュレータのステータス
- VIDコード (SVIDまたはPMBusで設定)
- 最大電圧コード (SVIDまたはPMBusで設定)
- VIDオフセット (SVIDまたはPMBusで設定)
- V_{SAL}電力段のフォールト・ステータス
- 温度モニタリング

ユーザ設定の保存

ユーザ設定は、不揮発性メモリ (NVM) にプログラムします。MTPプログラマブルNVMは、フィールドでの修正が8回可能です。NVMのプログラミングは室温で行って、メモリの適切なプログラミングを確保する必要があります。NVMをプログラミングする際は、以下の手順に従います。

- 1) バイアス電圧を印加し、OENをローに保持。
- 2) 全てのレジスタを目的の値に設定。
- 3) WRITE_PROTECTをディスエーブル。
- 4) STORE_USER_ALLを実行。
- 5) 必要に応じて、WRITE_PROTECTをイネーブル。

STORE_USER_ALLコマンドは、設定レジスタの全内容を不揮発性のユーザ・ストア・メモリの一致する位置にコピーするようMAX16602に指示します。ユーザ・ストアに書き込まれると、MAX16602は最新のユーザ・ストアの値でパワーアップします。これは、COREとV_{SAL}の両方のレジスタに適用されます。

STORE_USER_ALLは7回までの書込みに制限されています。このコマンドが最大カウントに達した場合、デバイスはコマンドをREJECTします。

保存した設定の読み込み

設定は、マキシムのGUIまたは同等の方法でテキスト・ファイルに保存できます。設定テキスト・ファイルは、編集して必要な変更を加えた後、同じICまたは異なるICに読み込ませることができます。設定テキスト・ファイルの読み込みは以下の手順で行います。

- 1) バイアス電圧を印加し、OENをローに保持。
- 2) WRITE_PROTECTをディスエーブル。
- 3) マキシムのGUIの[Load from File]ボタンをクリック。
- 4) 必要に応じて、WRITE_PROTECTをイネーブル。

読み込まれた設定は、STORE_USER_ALLコマンドを実行するまではNVMに永久的には保存されません。

制御機能

以下の制御機能は、PMBusインターフェースでオーバーライドできます。

- SVIDアドレスとPMBus LSBアドレスを除き、PROGおよびADDR設定レジスタで設定するパラメータ。

V_{CORE}レギュレータ

- 出力電圧 (V_{CORE}のリファレンス電圧を直接設定するDACコード設定、またはVIDコード)
- オーバークロック出力電圧
- V_{CORE}レギュレータをシャットダウンするためのOEN信号。レギュレータの再起動にも使用可能
- セット・ポイント設定
- VR_HOT (電力段温度) の閾値
- 最大出力電圧
- OCPモード

V_{SAL}レギュレータ

- 出力電圧 (V_{SAL}のリファレンス電圧を直接設定するDACコード設定、またはVIDコード)
- オーバークロック出力電圧
- V_{SAL}レギュレータをシャットダウンするためのOEN信号 (レギュレータの再起動にも使用可能)
- セット・ポイント設定
- 最大出力電圧

関連仕様

MAX16602は、以下の仕様に適合しています。

- Intel VR13.HC PWM仕様、rev 1.7
- Intel SVIDプロトコル仕様、rev 1.91
- PMBus仕様、rev 1.2

オーダー情報

PART	TEMP RANGE	PIN-PACKAGE
MAX16602GGN+	-40°C to +105°C	56 QFN-EP*
MAX16602GGN+T	-40°C to +105°C	56 QFN-EP*

+は鉛(Pb)フリー／RoHS準拠パッケージを表します。
*EP = 露出パッド。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	8/19	初版	—
1	4/20	利点と特長、ピン配置、端子説明、標準アプリケーション回路、V _{CORE} の動作、図3、V _{CORE} の保護とモニタリングを更新、Electrical Characteristicsの誤字および誤りを修正、表2、表3、表6、表7、表8を更新、表8の前に表を追加	1, 3, 4, 5, 7, 14, 16, 18, 23, 24, 28, 29, 33, 34



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min, maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。