

構成可能な出力アレイを備えたトリプル3A、超低ノイズ、高PSRRの超高速μModuleリニア・レギュレータ

特長

- トリプル3A出力を備えたμModule[®]リニア・レギュレータ
- 入力電圧: 0.6V~5.5V
- 設定可能な出力電圧: 0.5V~4.2V
- 超低RMSノイズ: 1.3μVRMS (10Hz~100kHz)
- 高周波PSRR: 51dB (1MHz時)
- 低ドロップアウト電圧: 45mV (3Aでの代表値)
- 超高速過渡応答
- ディスクリット・ソリューションより50%小型
- ライン、負荷、温度に対する出力電圧レギュレーション: ±1.5%
- 3Aでの高精度電流モニタの精度: ±2.4%
- (10μF以上の)セラミック出力コンデンサにより安定化
- 複数デバイスの並列化により大電流を供給
- PGフラグ、低電圧ロックアウト (Under Voltage Lock Out (UVLO))、過電流保護、過熱保護
- 150°C 定格品も提供
- 6mm × 12mm × 1.92mm BGAパッケージ

アプリケーション

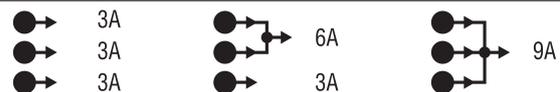
- RF電源: PLL、VCO、ミキサー、LNA、PA
- 高速/高精度データ・コンバータ
- FPGA、DSPおよびマイクロプロセッサの電源
- 高速サーバー、ストレージ・デバイス
- 医療機器、ヘルスケア機器
- 超低ノイズの計測器
- スwitchング電源用ポストレギュレーション

概要

LTM[®]4709は、高い電源電圧変動除去比(PSRR)、超低ノイズ、超高速過渡応答を実現する、低電圧、トリプル3AのμModuleリニア・レギュレータです。このμModuleレギュレータは、低ドロップアウト・リニア・レギュレータ(LDO)、コンデンサ、抵抗などで構成されています。LTM4709は、0.6V~5.5Vの入力電圧範囲で動作し、トリプル3Aチャンネルに対して、0.5V~4.2Vの出力電圧範囲をサポートし、代表的なドロップアウト電圧は45mVです。出力電圧は、0.5V~1.2Vでは50mV刻み、1.2V~1.8Vでは100mV刻みで、また、2V、2.5V、3V、3.3V、4.2Vの離散的なレベルで、デジタル的に設定可能です。高精度電流モニタは、電力量管理システムや電流制限のために電流を正確にモニタリングします。LTM4709は、RF通信、ノイズに敏感な計測器、スイッチング・レギュレータのポストレギュレーション、高性能FPGA、マイクロプロセッサに最適です。LTM4709の使用に必要なものは、入力、出力およびバイアス・セラミック・コンデンサのみです。

フォルト保護機能には、UVLO、パワー・グッド、過電流保護、過熱保護などがあります。LTM4709は、6mm × 12mm × 1.92mm、98ピンのBGAパッケージ(ボール・ピッチは0.8mm)で提供されます。

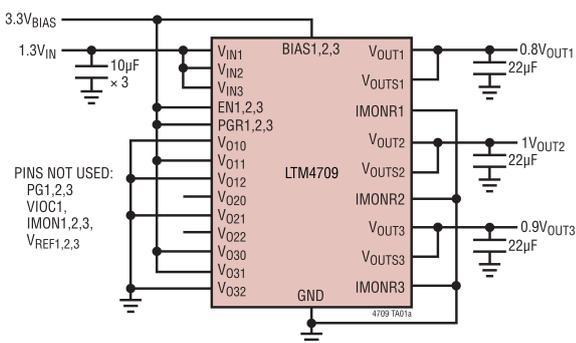
構成可能な出力アレイ



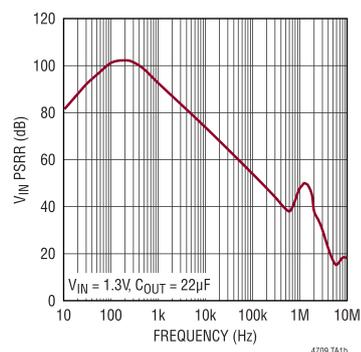
本紙記載の登録商標および商標は、全て各社の所有に属します。

標準的応用例

トリプル3AのμModuleレギュレータ



1V_{OUT}および3AでのV_{IN} PSRR



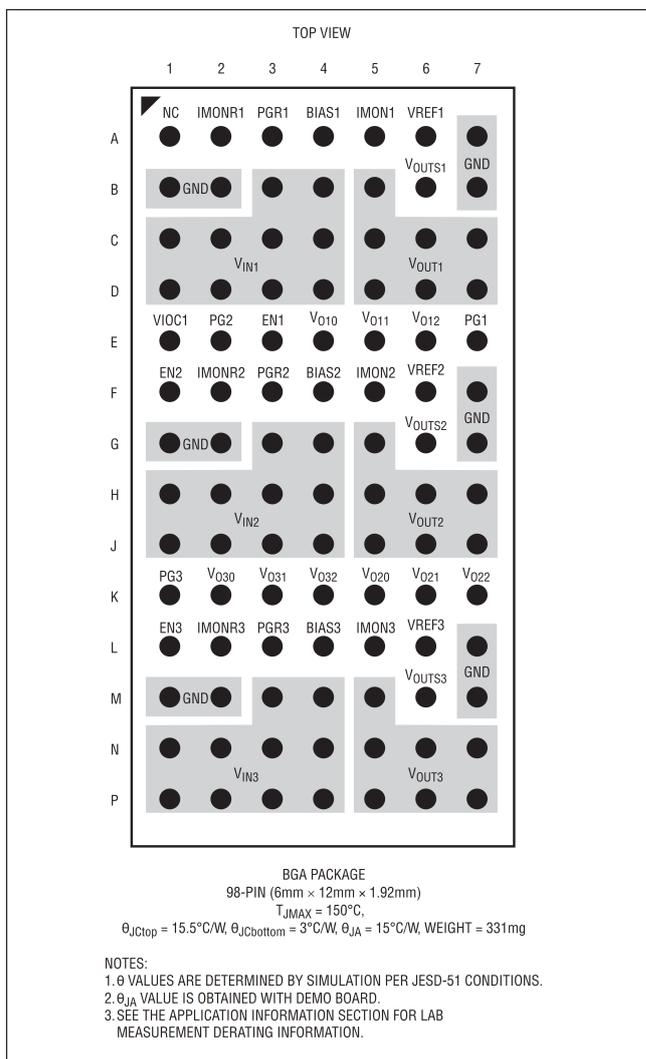
LTM4709

絶対最大定格

(Note 1)

V_{IN1} , V_{IN2} , V_{IN3}	-0.3V~6V
V_{OUT1} , V_{OUT2} , V_{OUT3}	-0.3V~6V
V_{OUTS1} , V_{OUTS2} , V_{OUTS3}	-0.3V~6V
BIAS1, BIAS2, BIAS3.....	-0.3V~6V
V_{O10} , V_{O11} , V_{O12} , V_{O20} , V_{O21} , V_{O22} , V_{O30} , V_{O31} , V_{O32}	-0.3V~5.5V
EN1, EN2, EN3	-0.3V~6V
IMON1, IMON2, IMON3, IMONR1, IMONR2, IMONR3.....	-0.3V~6V
PG1, PG2, PG3, PGR1, PGR2, PGR3, VIOC1	-0.3V~6V
V_{REF1} , V_{REF2} , V_{REF3}	-0.3V~6V
動作ジャンクション温度 (Note 2)	
Eグレード/Iグレード	-40°C~125°C
Hグレード.....	-40°C~150°C
保管温度範囲	-65°C~150°C
最大リフロー (パッケージ本体) 温度.....	260°C

ピン配置



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング		パッケージ・タイプ	MSLレーティング	温度範囲 (Note 2 参照)
		デバイス	仕上げ コード			
LTM4709EY#PBF	SAC305 (RoHS)	4709	e1	BGA	4	-40°C~125°C
LTM4709IY#PBF	SAC305 (RoHS)	4709	e1	BGA	4	-40°C~125°C
LTM4709HY#PBF	SAC305 (RoHS)	4709	e1	BGA	4	-40°C~150°C

・更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609によります。
・本製品では、セカンド・サイド・リフローを行うことは推奨しません。

・推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順
・LGAおよびBGAのパッケージ図面とトレイ図面

電気的特性

●は、全動作温度範囲に適用される仕様を示します。それ以外の仕様は、標準的応用例に従った、 $T_A = 25^\circ\text{C}$ (Note 2)、 $C_{OUT} = 10\mu\text{F}$ の値です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Input DC Voltage		● 0.6		5.5	V	
V_{BIAS}	BIAS Voltage	(Note 3)	● 2.375		5.5	V	
V_{OUT}	Regulated Output Voltage, Total Variation with Line and Load (Note 5)	$V_{OUT} = 0.5\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $0.70\text{V} \leq V_{IN} \leq 0.9\text{V}$ $V_{OUT} = 1.0\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $1.2\text{V} \leq V_{IN} \leq 1.4\text{V}$ $V_{OUT} = 1.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $1.4\text{V} \leq V_{IN} \leq 1.6\text{V}$ $V_{OUT} = 3.3\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $3.5\text{V} \leq V_{IN} \leq 3.7\text{V}$ $V_{OUT} = 4.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $4.4\text{V} \leq V_{IN} \leq 4.6\text{V}$	● 0.4925 ● 0.988 ● 1.182 3.2505 4.137	0.500 1.000 1.200 3.300 4.200	0.5075 1.012 1.218 3.3495 4.263	V V V V V	
$\Delta V_{OUT(LINE)}$	Line Regulation to V_{IN}	$V_{OUT} = 0.5\text{V}$, $V_{IN} = 0.7\text{V}$ to 5.5V , $V_{BIAS} = 2.375\text{V}$, $I_{OUT} = 10\text{mA}$ $V_{OUT} = 4.2\text{V}$, $V_{IN} = 4.4\text{V}$ to 5.5V , $V_{BIAS} = 5.5\text{V}$, $I_{OUT} = 10\text{mA}$	● ●		1.5 1.8	mV mV	
$\Delta V_{OUT(BIAS)}$	Line Regulation to V_{BIAS}	$V_{OUT} = 0.5\text{V}$, $V_{BIAS} = 2.375\text{V}$ to 5.5V , $V_{IN} = 0.7\text{V}$, $I_{OUT} = 10\text{mA}$ $V_{OUT} = 3.3\text{V}$, $V_{BIAS} = 4.5\text{V}$ to 5.5V , $V_{IN} = 3.5\text{V}$, $I_{OUT} = 10\text{mA}$	● ●		0.35 2.5	mV mV	
$\Delta V_{OUT(LOAD)}/V_{OUT}$	Load Regulation, $\Delta I_{OUT} = 10\text{mA}$ to 3A (Note 5)	$V_{BIAS} = 2.4\text{V}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$	●		0.26	%	
V_{DO}	Dropout Voltage, $V_{IN} = V_{OUT(PROG)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$ (Note 4)	$I_{OUT} = 1\text{A}$, $V_{IN} = V_{OUT} = 1.2\text{V}$ $I_{OUT} = 2\text{A}$, $V_{IN} = V_{OUT} = 1.2\text{V}$ $I_{OUT} = 3\text{A}$, $V_{IN} = V_{OUT} = 1.2\text{V}$	● ● ●	15 30 45	22 44 65	mV mV mV	
Minimum Load Current			●	10		mA	
I_{BIAS}	BIAS Pin Current $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$, $V_{BIAS} = 3.3\text{V}$	$I_{OUT} = 10\text{mA}$ $I_{OUT} = 3\text{A}$		4 5.5	6 7.4	mA mA	
$I_{BIAS(DROPOUT)}$	BIAS Pin Current in Dropout (Notes 4 and 5)	$V_{BIAS} = V_{OUT} + 1.2\text{V}$, $V_{IN} = V_{OUT} = 1.2\text{V}$, $I_{OUT} = 3\text{A}$ $V_{BIAS} = 5.5\text{V}$, $V_{IN} = V_{OUT} = 1.2\text{V}$, $I_{OUT} = 3\text{A}$	●	5.5 35	7.0 45	mA mA	
$I_{BIAS(SHUTDOWN)}$	BIAS Pin Shutdown Mode Current	$V_{BIAS} = 5.5\text{V}$, $EN = 0\text{V}$			10	μA	
I_{MON}	IMON Pin Output Current (Note 5)	$I_{OUT} = 3\text{A}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$ $I_{OUT} = 1\text{A}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$	● ●	0.98 313	1.0 333.3	1.02 353	mA μA
I_{OUT}/I_{MON}	I_{OUT}/I_{MON} Ratio (Note 5)	$I_{OUT} = 3\text{A}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$ $I_{OUT} = 1\text{A}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$	● ●	2970 2970	3000 3000	3030 3030	
$I_{MON(OFF)}$	IMON Shutdown Current	$V_{BIAS} = 5.0\text{V}$, $EN = 0\text{V}$			1	μA	
I_{LIM}	Programmable Current Limit (Note 5)	IMONR Connected to GND $R_{IMON} = 1\text{k}\Omega$ $R_{IMON} = 2\text{k}\Omega$	● ● ●	3.2 2.94 1.45	3.3 3.0 1.5	3.4 3.06 1.55	A A A
$V_{TH(PG)}$	V_{OUT} Threshold for Power Good	Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Rising Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Falling		91 88	93 90	95 92	% %
$V_{PG(LO)}$	Power Good V_{OL}	$I_{PG} = 200\mu\text{A}$ (Fault Condition)		42	100	mV	
$I_{PG(LK)}$	Power Good V_{OH} Leakage	$V_{PG} = V_{BIAS} = 5\text{V}$			1	μA	

電氣的特性

●は、全動作温度範囲に適用される仕様を示します。それ以外の仕様は、標準的応用例に従った、 $T_A = 25^\circ\text{C}$ (Note 2)、 $C_{OUT} = 10\mu\text{F}$ の値です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{REF(START-UP)}$	Fast Start-Up Ref Pin Current			2		mA
$V_{TH(START-UP)}$	Fast Start-Up Turn Off Threshold	Measured as Percentage of Final REF Pin Voltage	● 96	98.9	101.5	%
$UVLO$ (BIAS)	V_{BIAS} Undervoltage Lockout	$EN = V_{BIAS}$, $V_{IN} = 0.9\text{V}$, $V_{OUT} = 0.5\text{V}$, V_{BIAS} Rising	● 2.16	2.21	2.25	V
		$EN = V_{BIAS}$, $V_{IN} = 0.9\text{V}$, $V_{OUT} = 0.5\text{V}$, V_{BIAS} Falling	● 2.02	2.06	2.10	V
V_{IOC}	Input to Output Differential Voltage Control	V_{IOC} Amplifier Gain		1		V/V
		V_{IOC} Amplifier Offset	● 790	800	810	mV
		V_{IOC} Pin Source Current: $V_{BIAS} > V_{IOC} + 1\text{V}$	● 200			μA
		V_{IOC} Pin Sink Current: $V_{BIAS} > V_{IOC} + 1\text{V}$		20		μA
V_{OL}	Logic-0 State of V_{O10} , V_{O11} , V_{O12} , V_{O20} , V_{O21} , V_{O22} , V_{O30} , V_{O31} , V_{O32}				0.3	V
V_{OZ}	Logic-Hi-Z State of V_{O10} , V_{O11} , V_{O12} , V_{O20} , V_{O21} , V_{O22} , V_{O30} , V_{O31} , V_{O32}		● 0.95		1.15	V
V_{OH}	Logic-1 State of V_{O10} , V_{O11} , V_{O12} , V_{O20} , V_{O21} , V_{O22} , V_{O30} , V_{O31} , V_{O32}		● 1.9			V
I_{CTRL}	Pin Current of V_{O10} , V_{O11} , V_{O12} , V_{O20} , V_{O21} , V_{O22} , V_{O30} , V_{O31} , V_{O32}	Apply 2.5V to Output Control Pins			50	μA
V_{EN}	EN Pin Threshold	EN Rising, $V_{BIAS} = 2.375\text{V}$ Hysteresis	● 1.20	1.26 80	1.32	V mV
I_{EN}	EN Pin Current	$V_{EN} = 0\text{V}$, $V_{BIAS} = 5.5\text{V}$			± 1	μA
		$V_{EN} = 1.3\text{V}$, $V_{BIAS} = 5.5\text{V}$		0.1		μA
		$V_{EN} = 5.5\text{V}$, $V_{BIAS} = 0\text{V}$		10	20	μA

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4709は、 $T_J = T_A$ となるようなパルス負荷条件下でテストされています。LTM4709Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲での性能仕様を満たすよう設計されています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲でのLTM4709Eの仕様は、設計、特性評価、統計的プロセス制御との相関によって確保されています。LTM4709Hは、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲で、LTM4709Hは、 $-40^\circ\text{C} \sim 150^\circ\text{C}$ の動作ジャンクション温度範囲で、性能仕様を満たすよう設計されています。ジャンクション温度が高い場合は動作寿命が低下します。これらの仕様に適合する最大周囲温度は、基板レイアウト、定格パッケージの熱抵抗、その他の環境要因と関連した特定の動作条件によって決定されます。

Note 3: 適切な性能とレギュレーションを維持するには、BIAS電源電圧は、入力電圧 V_{IN} より高くする必要があります。出力電圧 V_{OUT} では、BIAS電圧は以下の条件を満たす必要があります。 $2.375\text{V} \leq V_{BIAS} \leq 5.5\text{V}$ かつ $V_{BIAS} \geq (V_{OUT} + 1.2\text{V})$ 。

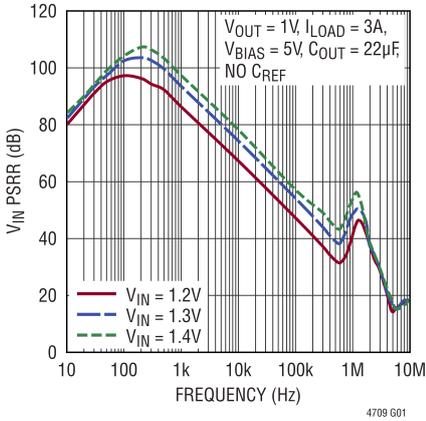
Note 4: ドロップアウト電圧 V_{DO} は、仕様規定されている出力電流における最小の入出力間電圧差です。ドロップアウトがあると、出力電圧は $V_{IN} - V_{DO}$ に等しくなります。

Note 5: 動作条件は、最大ジャンクション温度による制限を受けます。図7～図13の様々な V_{IN} 、 V_{OUT} 、 T_A に対する出力電流熱ディレーティング曲線を参照してください。安定化出力電圧の仕様は、入力電圧と出力電流の可能な組み合わせのすべてに適用されるわけではありません。最大出力電流で動作させる場合は、入力電圧範囲を $V_{IN} - V_{OUT} \leq 300\text{mV}$ に制限します。

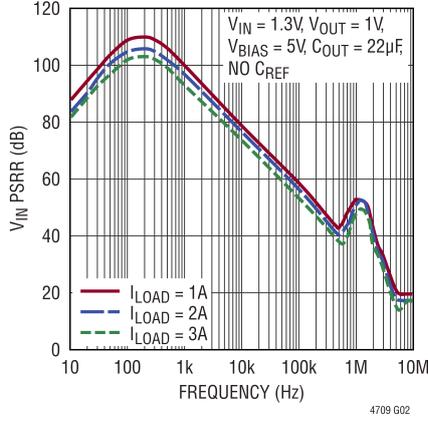
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

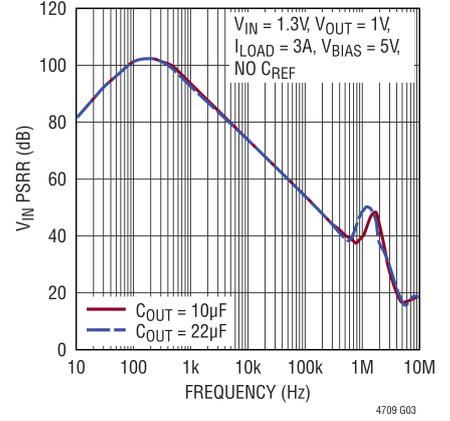
様々な $V_{IN} - V_{OUT}$ での V_{IN} PSRR



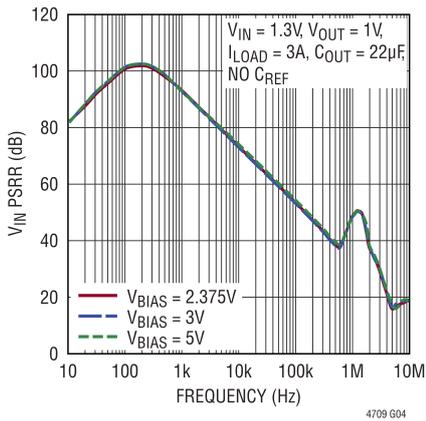
様々な負荷電流での V_{IN} PSRR



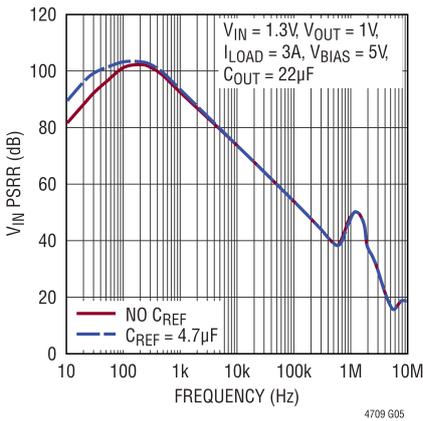
様々な C_{OUT} での V_{IN} PSRR



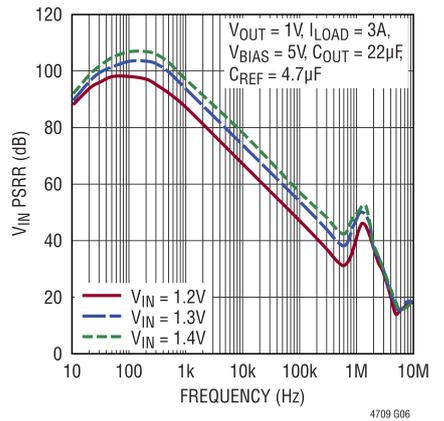
様々な V_{BIAS} での V_{IN} PSRR



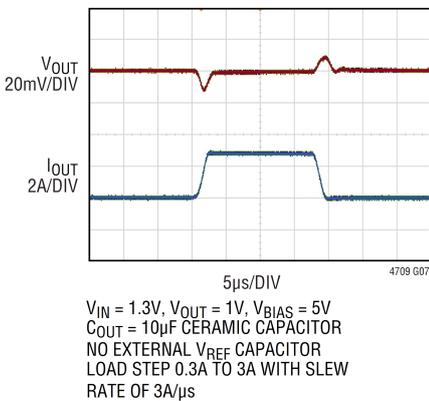
様々な C_{REF} での V_{IN} PSRR



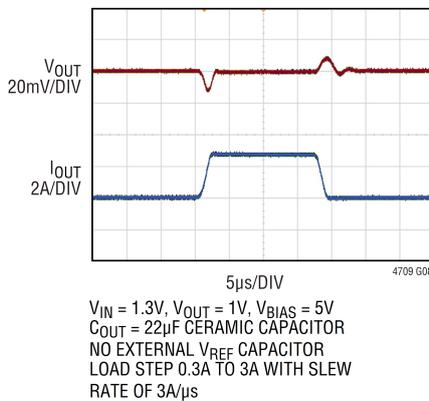
4.7µF C_{REF} と様々な $V_{IN} - V_{OUT}$ での V_{IN} PSRR



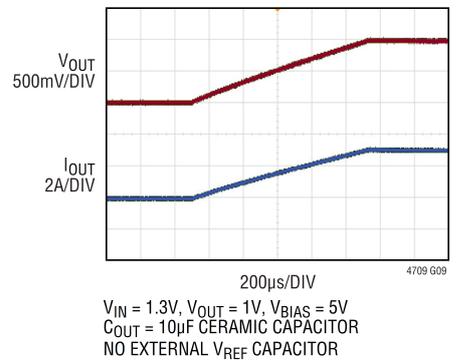
10µF C_{OUT} での負荷過渡応答



22µF C_{OUT} での負荷過渡応答



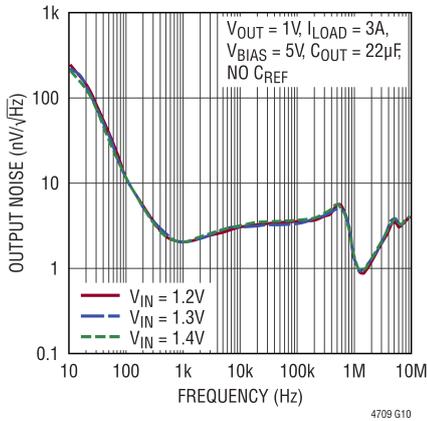
全負荷での起動



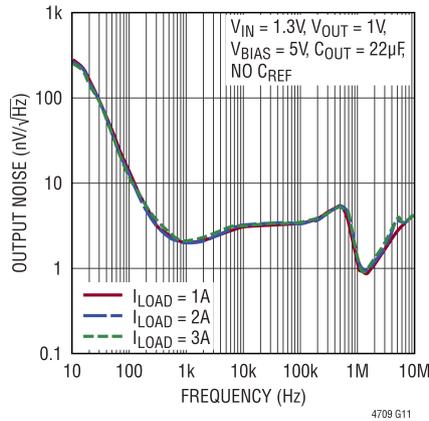
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

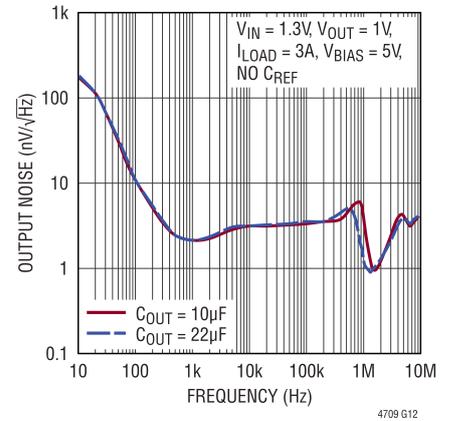
様々な $V_{IN} - V_{OUT}$ での
ノイズ・スペクトル密度



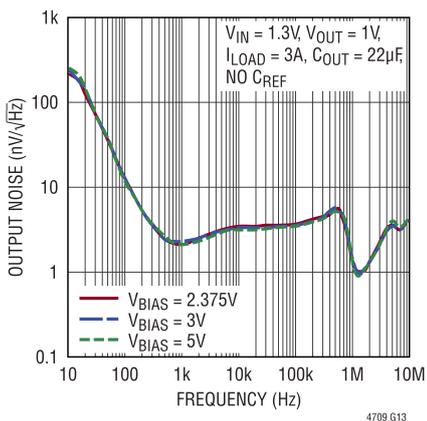
様々な負荷での
ノイズ・スペクトル密度



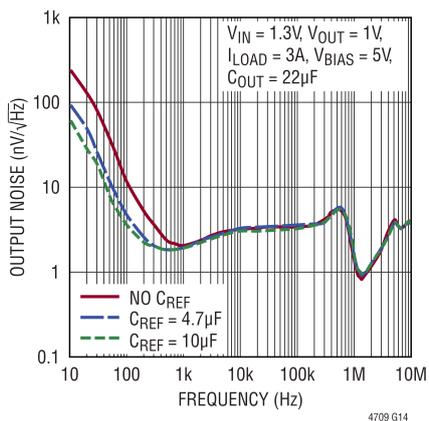
様々な C_{OUT} での
ノイズ・スペクトル密度



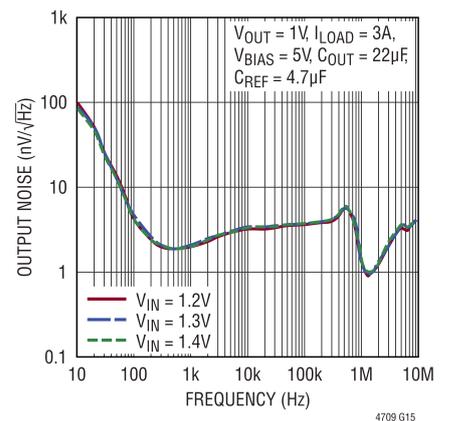
様々な V_{BIAS} での
ノイズ・スペクトル密度



様々な C_{REF} での
ノイズ・スペクトル密度



4.7μF C_{REF} と様々な $V_{IN} - V_{OUT}$ での
ノイズ・スペクトル密度



ピン機能

NC (ピン A1) : 未接続。このピンは接続しないでください。フローティング状態のままにします。

IMONR1、IMONR2、IMONR3 (ピン A2、F2、L2) : IMON に接続された電流制限抵抗。これらのピンと IMON ピンの間のモジュールには、精度 1% の 909Ω 抵抗が内蔵されています。これらのピンを GND に直接接続して、電流制限値を 3.3A に設定します。電流制限値を 3A より低く設定するには、IMON ピンの説明に基づいて抵抗を選択し、IMONR ピンをフローティング状態のままにして、IMON ピンと GND の間に抵抗を接続します。

PGR1、PGR2、PGR3 (ピン A3、F3、L3) : PG1、2、3 (ピン E7、E2、K1) に接続されたプルアップ抵抗。これらのピンと PG ピンの間のモジュールには、100kΩ 抵抗が内蔵されています。これらのピンを BIAS または任意のレールに直接接続して、PG ピンをプルアップします。

BIAS1、BIAS2、BIAS3 (ピン A4、F4、L4) : バイアス電源。これらのピンは、内部制御回路とパス・トランジスタのゲート駆動に電流を供給します。3 本のピンは、1 つにまとめて接続する場合もあります。適切な動作を確保するために、BIAS 電圧は次の条件を満たす必要があります。 $2.375V \leq V_{BIAS} \leq 5.5V$ かつ $1.2 + V_{OUT} \leq V_{BIAS}$ 。

IMON1、IMON2、IMON3 (ピン A5、F5、L5) : 出力電流モニタ。IMON ピンは、 $I_{OUT}/3000$ (代表値) に等しい電流を供給します。IMONR がフローティング状態の場合、これらのピンを抵抗を用いて GND に接続し、 I_{OUT} に比例した電圧を発生させます。これらのピンの電圧が 1V に達すると、電流制限がトリガされます。電流制限値は $3000/\text{抵抗値}$ に等しくなります。例えば、1.5kΩ の抵抗を用いて GND に接続した場合、これらのピンは電流制限値を 2A に設定します。

これらのピンは、精度 1% の 909Ω の抵抗を用いて IMONR ピンに内部接続されています。IMONR ピンを GND に直接接続すると、電流制限値を 3.3A に設定できます。

VREF1、VREF2、VREF3 (ピン A6、F6、L6) : リファレンス・フィルタ。これらのピンは、2.2μF のセラミック・コンデンサを用いて GND に内部接続されており、出力ノイズを低減し、リファレンスにソフトスタート機能を付与します。セラミック・コンデンサの追加は不要で、アプリケーション内でフローティング状態のままにできます。このピンにおける追加用コンデンサ C_{REF} はオプションです。1kHz 未満のノイズを下げる必要がある場合には、 C_{REF} を追加できます。大半のアプリケーションでは、 C_{REF} は不要です。

GND (ピン B1、B2、A7、B7、G1、G2、F7、G7、M1、M2、L7、M7) : グラウンド。適切な性能を確保するために、GND ピンはすべて PCB のグラウンドに接続します。

VIN1、VIN2、VIN3 (ピン B3、B4、C1~C4、D1~D4。ピン G3、G4、H1~H4、J1~J4。ピン M3、M4、N1~N4、P1~P4) : 入力電源。これらのピンは、大電流パス・トランジスタに給電します。VIN ピンは、1 つにまとめて接続することも、別々に接続することもできます。LTM4709 では、周波数に対して安定性を維持し、入力インピーダンスを低下させるために、VIN にデカップリング・コンデンサを接続する必要があります。大半のアプリケーションでは、4.7μF 以上の入力バイパス・コンデンサの使用を推奨します。デカップリング・コンデンサとこのピンの間の配線パターンによるインダクタンスを最小化して、性能を最適化します。低い $V_{IN} - V_{OUT}$ 電圧差で動作するアプリケーション、または大きな高速過渡ステップのあるアプリケーションでは、入力電源のドループを防ぐために、より高い入力容量が必要になる場合があります。

VOUT1、VOUT2、VOUT3 (ピン B5、C5~C7、D5~D7。ピン G5、H5~H7、J5~J7。ピン M5、N5~N7、P5~P7) : 出力。これらのピンは負荷に給電します。安定性の確保には、10μF 以上の出力容量が必要です。最高性能を発揮させるには、低 ESR の X5R または X7R 誘電体セラミック・コンデンサをこれらのピンと GND ピンの間に直接配置することを推奨します。大きな負荷ステップには、過渡要件を満たすためにより高い出力容量が必要になります。

VOUTS1、VOUTS2、VOUTS3 (ピン B6、G6、M6) : 出力のケルビン検出。これらのピンは、エラー・アンプへの反転入力です。最適なレギュレーションは、エラー・アンプをレギュレータの VOUT ピンに接続したときに得られます。一部のアプリケーションでは、レギュレータと負荷の間の PCB パターンの抵抗値が小さな電圧降下を引き起こし、負荷点で負荷レギュレーション・エラーを発生させます。電圧エラーを除去するには、これらのピンを負荷に直接接続します。

VI0C1 (ピン E1) : 入出力間制御用の電圧。このピンは、上流側の降圧レギュレータの制御に使用して、LTM4709 のチャンネル 1 に対して一定電圧を維持することにより、その消費電力を最小限に抑えることができます。このピンは、複数のチャンネルが並列の場合の制御にも使用できます。この機能の詳細については、[アプリケーション情報](#)のセクションを参照してください。

ピン機能

EN1、EN2、EN3 (ピン E3、F1、L1) : デバイス・イネーブル。これらのピンは、出力をイネーブル/ディスエーブルにします。ENピンをローにプルダウンすると、出力トランジスタと補助機能がディスエーブルになります。デジタル・ロジック・ポート、オープンコレクタNPN、またはオープンドレインのNチャンネルMOSFETのいずれかを、プルアップ抵抗でBIASに終端させて、ENピンを駆動します。プルアップ抵抗は200k Ω より小さいものにして、ENピンの V_{OH} 条件を満たす必要があります。ENピンは、使用しない場合、BIASに接続します。

VO10、VO11、VO12、VO20、VO21、VO22、VO30、VO31、VO32 (ピン E4、E5、E6、K5、K6、K7、K2、K3、K4) : 出力電圧の選択。これらのスリーステート・ピンを組み合わせると0.5V~4.2Vの公称出力電圧を選択します。入力ロジック・ロー閾値は、GNDを基準として300mVより低くなり、ロジック・ハイ閾値は1.9Vより高くなります。ロジックHi-Z状態は、0.95V~1.15Vの範囲で定義されます。

V_{OUT} と出力電圧の選択ピンの関係については、[アプリケーション情報のセクションの表1](#)を参照してください。

PG1、PG2、PG3 (ピン E7、E2、K1) : パワー・グッド。PGピンは、オープンドレインのNチャンネルMOSFET出力で、次のいずれかのフォルト・モードが検出される場合、ローにプルダウンされます。

- V_{OUT} が、 V_{OUT} の立上がりエッジで $V_{OUT(NOMINAL)}$ の93%より低い。
- V_{OUT} が、 V_{OUT} の立下がりエッジで $V_{OUT(NOMINAL)}$ の90%より低い。
- BIASピンの電圧が、その低電圧ロックアウト閾値より低い。
- ジャンクション温度が168°C(代表値)を超える。

これらのピンは、100k Ω 抵抗を用いて、PGR1、2、3(ピンA3、F3、L3)に内部接続されています。

ブロック図

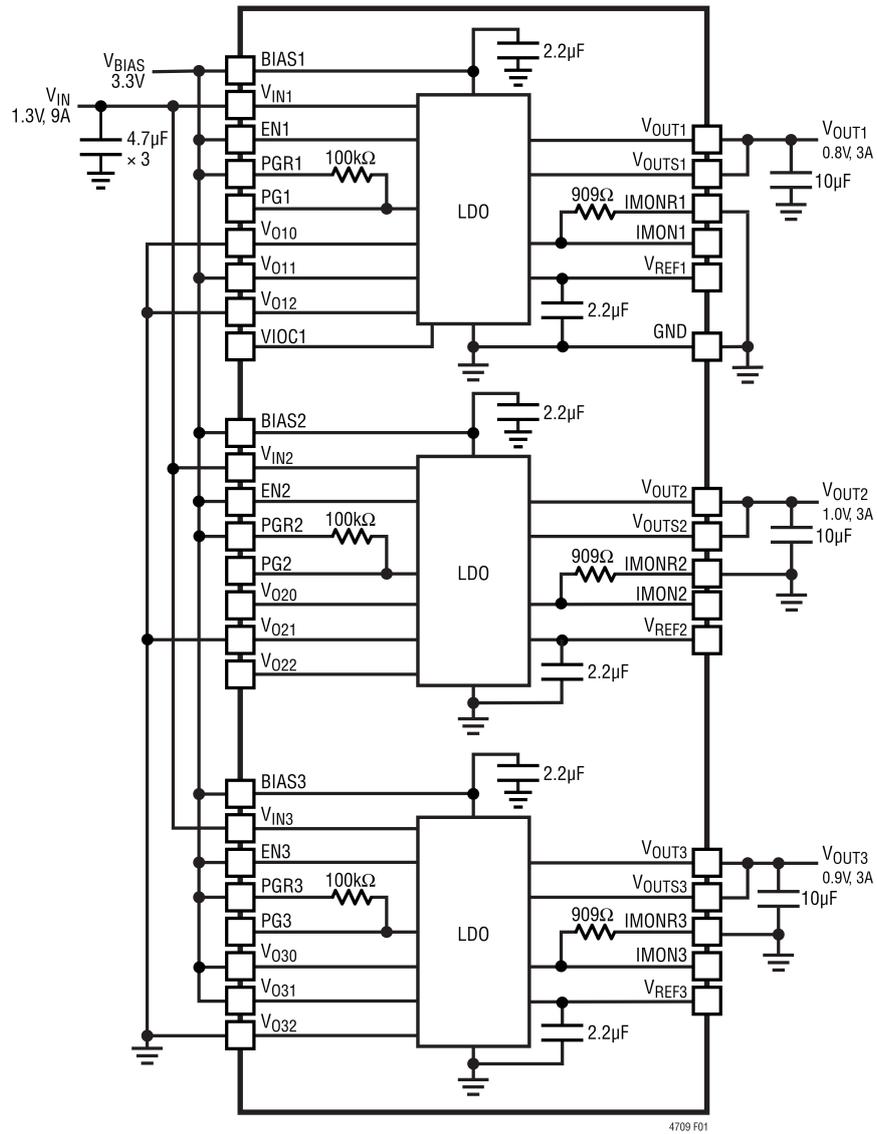


図 1. LTM4709のブロック図

動作

LTM4709は、高PSRR、超低ノイズ、超高速過渡応答を実現する、高密度、低電圧、トリプル3Aの μ Moduleリニア・レギュレータです。このデバイスは、最大9Aの出力電流を供給し、ドロップアウト電圧の代表値は45mVです。リファレンス・バイパス・コンデンサを用いずに1.3 μ V_{RMS} (BW = 10Hz~100kHz)の出力電圧ノイズが実現できます。1MHzでの電源電圧変動除去比(PSRR)は、全負荷時に51dBで、入出力間の電圧差は300mVです。LTM4709は広帯域幅であるため、必要な(10 μ F以上の)セラミック出力コンデンサが1つだけで超高速の過渡応答が得られ、バルク容量、PCB面積、コストが節減されます。LTM4709は、その電流レンジでの高周波PSRRと低周波RMSノイズについて業界最高の性能を有しており、コンパクトなサイズで9Aの出力電流と優れた熱性能が得られます。

新世代のFPGAおよびASICプロセッサでは、コア、ADC、DAC、低ノイズ・アンプ、トランシーバー・チャンネルの電源に対し厳しい要件が課せられています。これらのアプリケーションには、高速過渡応答と低ノイズを備えた電源が必要です。プロセッサの負荷は、ほぼ0アンペアから数アンペアに数百ナノ秒で変化することがあります。出力電圧の仕様では、特に1Vレンジにおいて、過渡応答について厳しい公差が必要です。電源電圧は、低ノイズと高帯域幅を備えて、低いビット誤り率を実現する必要があります。これらの要件から、低い入出力電圧で動作する高電流、高精度、超低ノイズ、超高速レギュレータが必要になります。

LTM4709は、高性能FPGA、マイクロプロセッサ、ノイズに敏感な電源、低い入出力電圧で動作する大電流アプリケーションに最適です。LTM4709の出力電圧は、0.5V~1.2Vで

は50mV刻み、1.2V~1.8Vでは100mV刻みで、また2V、2.5V、3V、3.3V、4.2Vの離散的なレベルで、デジタル的に選択可能です。LTM4709は、チャンネルあたり3Aでの精度が $\pm 2.4\%$ の高精度出力電流モニタを備えています。電流モニタ(IMON)ピンを抵抗を用いてGNDに終端すると、出力電流に比例した電圧が発生し、出力電流の測定が可能になります。

LTM4709は、このデバイスの入力に給電する上流側スイッチング・レギュレータの出力電圧を制御する独自の追跡機能を内蔵しています(図2と図3を参照)。この追跡機能は、上流スイッチング・レギュレータを駆動して、LTM4709全体で定電圧を維持します。この入出力間の電圧制御により、LTM4709の出力電圧の変更、効率の最大化、高いPSRR性能の維持が可能になります。

LTM4709のアーキテクチャは、内部Nチャンネル・パワーMOSFETをソース・フォロアとして駆動します。この構成により、非常に低いドロップアウトと、優れたPSRR性能を備えた超高速過渡応答が得られ、更に、PCBおよび外付け素子に対する大幅なコスト削減が実現可能になります。LTM4709の内部保護機能には、低電圧ロックアウト(UVLO)、電源フォールドバックによる高精度電流制限、サーマル・シャットダウンなどがあります。LTM4709は、6mm \times 12mm \times 1.92mmのコンパクトなサイズで提供されます。このデバイスは、出力電流9A、周囲温度25 $^{\circ}$ Cでジャンクション温度が70 $^{\circ}$ C未満の優れた熱性能を発揮します(図5参照)。高い周囲温度(>70 $^{\circ}$ C)が必要なアプリケーションでは、LTM4709の150 $^{\circ}$ C定格品が利用できます。

アプリケーション情報

LTM4709は、低電圧、超低ノイズ、超高速過渡応答のμModuleリニアレギュレータです。このデバイスは、最大でトリプル3Aを供給し、ドロップアウト電圧の代表値は45mVです。高帯域幅と高PSRRにより、入出力用に使用できる小型セラミック・コンデンサは1個ですむため、バルク容量、スペース、コストを節減できます。LTM4709は、高性能FPGA、マイクロプロセッサ、RF通信、ノイズに敏感な電源アプリケーションに最適なデバイスです。

出力電圧

出力電圧は、0.5V～1.2Vでは50mV刻み、1.2V～1.8Vでは100mV刻みで、また2V、2.5V、3V、3.3V、4.2Vの離散的なレベルで、デジタル的に選択可能です。出力電圧は、3レベルの入力ピンV_{O10}、V_{O11}、V_{O12}、V_{O20}、V_{O21}、V_{O22}、V_{O30}、V_{O31}、V_{O32}で設定します。表1に、これらのピンのハイ、ローまたはフローティング状態の設定に基づいた、3ビット・デジタル・ワードと出力電圧の関係を示します。入力ロジック・ロー状態は、GNDを基準にして300mV以下で確保され、ロジック・ハイ状態は1.9V以上で確保されます。ロジックHi-Z（入力フローティング）状態は、950mV～1.15Vの範囲で定義されます。これらのピンは、それらをBIAS_nにピン・ストラップするか、またはそれらをデジタル・ポートで駆動するかのいずれかによって、ハイに接続できます。フローティング状態のピンには、フローティング状態の場合か、Hi-Z出力機能を持つロジックを必要とする場合のいずれかがあります。これにより、必要に応じて出力電圧を動的に変化させることができます。

電圧リファレンス

電圧リファレンスV_{REF1}、2、3ピンは、抵抗に供給される内部電流リファレンスの電圧出力です。2.2μFのセラミック・コンデンサが、LTM4709内部のV_{REF}とGNDの間に内蔵されており、リファレンス電圧ノイズを低減し、デバイスがイネーブルになったときに出力をソフトスタートさせます。V_{REF}ピンは、他のチャンネルと並列接続する必要があるアプリケーションを除いて、DC負荷をかけないことが必要です。詳細については、より高い出力電流を得るためのデバイスの並列化のセクションを参照してください。

表1. V_{OUT}選択マトリクス

V _{OUT} (V)	V _{Ox0}	V _{Ox1}	V _{Ox2}
0.500	0	0	0
0.550	Z	0	0
0.600	1	0	0
0.650	0	Z	0
0.700	Z	Z	0
0.750	1	Z	0
0.800	0	1	0
0.850	Z	1	0
0.900	1	1	0
0.950	0	0	Z
1.000	Z	0	Z
1.050	1	0	Z
1.100	0	Z	Z
1.150	Z	Z	Z
1.200	1	Z	Z
1.300	0	1	Z
1.400	Z	1	Z
1.500	1	1	Z
1.600	0	0	1
1.700	Z	0	1
1.800	1	0	1
2.000	0	Z	1
2.500	Z	Z	1
3.000	1	Z	1
3.300	0	1	1
4.200	Z	1	1

Note: Xはチャンネルを表す1、2または3です。0=ロー、Z=Hi-Z(フローティング)、1=ハイ。

イネーブル

EN1、2、3ピンは、出力およびリファレンス・ピンをイネーブル/ディスエーブルにします。ENピンをローにプルダウンすると、レギュレータはシャットダウン・モードになります。シャットダウン・モードでは、静止電流が10μA未満に減少します。

ENピンは、デジタル・ロジック・ポート、オープンコレクタNPN、またはオーブンドレインNMOSのいずれかを、プルアップ抵抗でBIAS1、2、3に終端して、駆動させます。プルアップ抵抗は200kΩより小さいものにして、ENピンのV_{OH}条件を満たす必要があります。ENピンを使用しない場合はBIASに接続します。

アプリケーション情報

バイアス低電圧ロックアウト

内蔵の低電圧ロックアウト(UVLO)コンパレータがBIAS1、2、3ピンをモニタします。BIASがUVLO閾値を下回る場合、すべての機能がシャットダウンし、パス・トランジスタはオフになり、出力電流はゼロまで低下します。代表的なBIASピンのUVLO閾値は、BIASの立上がりエッジで2.21Vです。UVLO回路には、BIASの立下がりエッジで約150mVのヒステリシスが組み込まれています。

高効率リア・レギュレータ: 入出力間の電圧制御 (VIOC)

VIOC1ピンは、上流側スイッチング・コンバータの制御に使用して、LTM4709全体で定電圧を維持します。これにより、高PSRR性能を維持しながら効率が最大化されます。VIOC1ピンの電圧は、 $(V_{IN} - V_{OUT}) + 800\text{mV}$ です。ここで、 V_{IN} と V_{OUT} は、LTM4709のそれぞれ入力電圧と出力電圧です。図2にVIOCの基本動作を示します。上流側スイッチング・レギュレータの内部リファレンス電圧 V_{REFSW} が1V以上の場合、単にVIOC1ピンをスイッチング・レギュレータのフィードバック・ピン V_{FB} に接続します。これにより、LTM4709の入出力間の電圧差が、スイッチング・レギュレータの内部リファレンス電圧 V_{REFSW} から800mVを差し引いた値にレギュレーションされます。1つまたは複数のLTM4709の複数のチャンネルを並列化する場合、単にVIOC1ピンを上流側スイッチング・レギュレータのフィードバック・ピンに接続するだけで、並列化されたすべてのチャンネルで

VIOC機能が実現されます。LTM4709を別々の出力に使用する場合は、チャンネル1のみにVIOC機能があります。モジュールが別々の出力で動作している場合、チャンネル2とチャンネル3にはVIOC機能はありません。

VIOCバッファは、スイッチング・コンバータのフィードバック・ループの内側にありますが、VIOCバッファの高帯域幅を考慮に入れると、スイッチング・コンバータの周波数補償の調整は不要です。VIOCバッファによる位相遅れは通常、100kHzのような高い周波数では2°未満です。このため、VIOCバッファはトランスペアレントになり、スイッチング・コンバータの帯域幅(通常は100kHz以下)内で理想的なワイヤのように動作します。

例えば、帯域幅が100kHz未満で位相マージンが50°のスイッチング・コンバータの場合、VIOCバッファを使用しても、位相マージンの低下は2°以下です。このため、(VIOCピンを使用する)スイッチング・コンバータの位相マージンは、48°以上になります。VIOCバッファが、スイッチング・コンバータのフィードバック・ループ内にあることを考慮に入れると、VIOCピンの総静電容量は20pF以下である必要があります。

図3に示すように、入出力間の電圧差は、式1を用いて容易にプログラムでき、様々なアプリケーション・ニーズ(PSRRと消費電力の関係)に対応できます。

$$V_{IN1} - V_{OUT1} + 0.8\text{V} = V_{REFSW} \cdot \left(\frac{R1 + R2}{R1} \right) \quad (1)$$

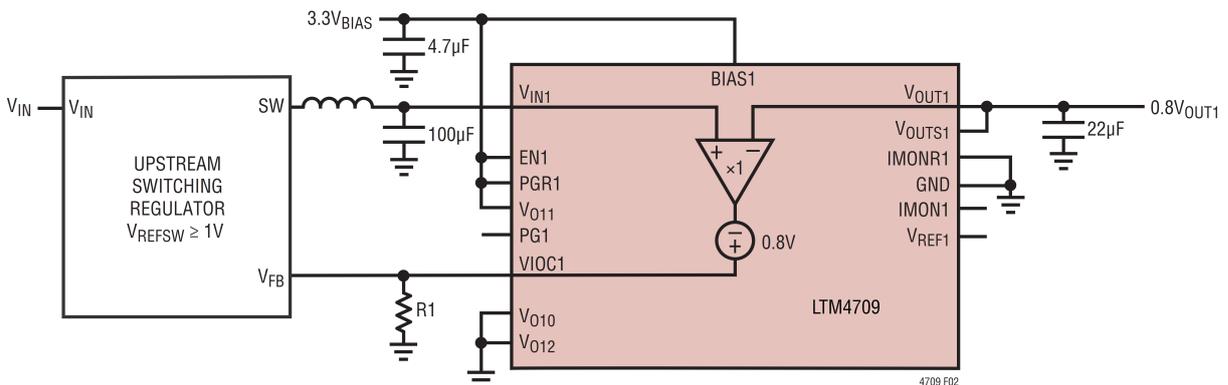


図2. 入出力間の電圧制御(VIOC)の基本動作

アプリケーション情報

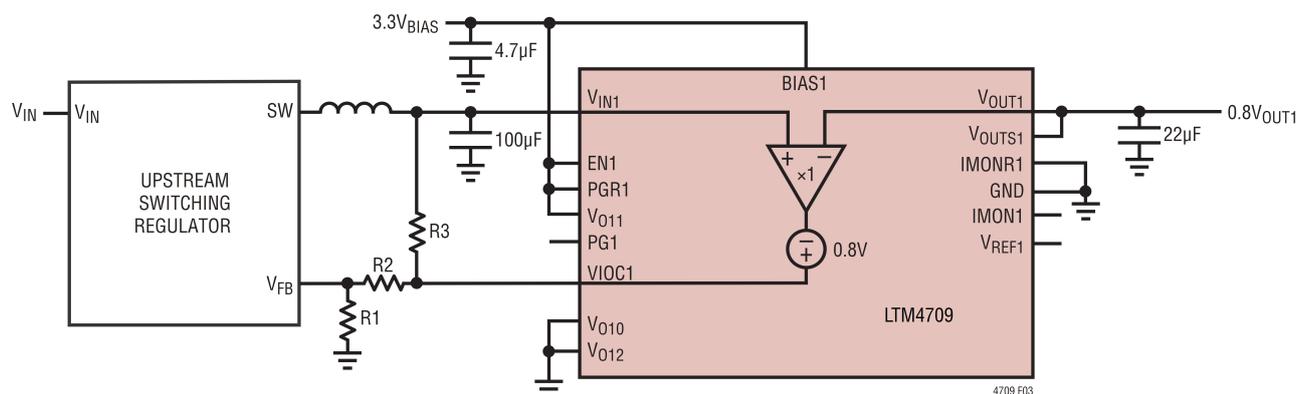


図3. 入出力間の電圧差のプログラミング

更に、LTM4709のENピンがGNDに短絡した場合、LTM4709の入力電圧がスイッチャの入力電圧まで上昇し、LTM4709の**絶対最大定格**を超える可能性があります。これを防止するために、VIO1とLTM4709の入力ピンとの間に抵抗R3を接続して、LTM4709の最大入力電圧 $V_{MAXLDOIN}$ を設定できます(式2を参照)。

$$V_{MAXLDOIN} = V_{REFSW} \cdot \left(\frac{R1 + R2 + R3}{R1} \right) \quad (2)$$

VIO1ピンは200µAを供給できます。R1とR3の値は、VIO1ピンが10µA以上を供給して、システムの安定性を確保できるように選択します。上流側スイッチング・レギュレータとVIOC機能付きのLTM4709を使用する標準的応用例については、[図17](#)を参照してください。

パワー・グット

PG1、2、3ピンは、オープンドレインのNMOS出力であり、ENがローの場合、または以下のいずれかのフォルト・モードが検出された場合は、能動的にローにプルダウンされます。

- V_{OUT} が、立上がりエッジで $V_{OUT(NOMINAL)}$ の93%より低い。
- V_{OUT} が、立下がりエッジで $V_{OUT(NOMINAL)}$ の90%より低い。
- BIASが、その低電圧ロックアウト閾値より低い。
- ジャンクション温度が168°C(代表値)を超える。

安定性と出力容量

LTM4709のフィードバック・ループには、安定性の確保のために10µF以上の出力容量が必要です。低ESRのX5RまたはX7Rセラミック・コンデンサは、LTM4709の V_{OUT} およびGNDピンの近くに取り付けることを推奨します。 V_{OUT} とGNDには幅広い銅プレーンを用いて、寄生インダクタンスを最小限に抑えます。可能な場合、モジュールを負荷に隣接して取り付けて、分布インダクタンスを最小限に抑え、負荷の過渡性能を最適化します。負荷の周囲にセラミック・コンデンサを追加配置することを推奨します。

FPGA、ASICプロセッサ、DSPの電源など、LTM4709が最も適している多くのアプリケーションでは通常、給電されるデバイス用の高周波デカップリング・コンデンサ・ネットワークが必要です。このネットワークは一般に、並列接続された多数の低価格セラミック・コンデンサで構成されています。並列接続した複数の低値コンデンサは、コンデンサの寄生インダクタンスを低減する好ましい周波数特性を示します。

セラミック・コンデンサは、温度および印加電圧に対する挙動が異なる様々な誘電体を用いて製造されています。最も一般的な誘電体は、EIA温度特性コードのZ5U、Y5V、X5R、X7Rで仕様規定されています。誘電体Z5UおよびY5Vは、小型パッケージで高い静電容量を付与するのに適していますが、[図4](#)に示すように、電圧係数と温度係数が大きい傾向があります。16V 10µFのコンデンサY5Vは、5Vのレギュレータと共に用いると、印加したDCバイアス電圧に対して、また動作温度範囲全体で、実効値を1µF~2µFという低い値にできます。誘電体X5RおよびX7Rは、特性の安定性が高く、出力コンデンサとしての使用に適しています。

アプリケーション情報

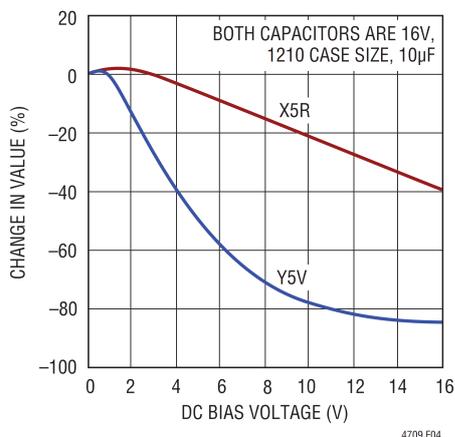


図4. セラミック・コンデンサのDCバイアス特性

誘電体X7Rは温度に対する安定性が良好であり、一方、X5Rはより安価で、より高い値が得られます。ただし、コンデンサX5RおよびX7Rを使用する場合には注意が必要です。コードX5RおよびX7Rは、動作温度範囲と最大静電容量の温度変化のみを規定しています。コンデンサX5RおよびX7RのDCバイアスによる静電容量の変化は、コンデンサY5VおよびZ5Uよりも良好ですが、コンデンサの諸元を適切なレベルより下げるにはまだ大きすぎる場合があります。コンデンサのDCバイアス特性は、素子のケース・サイズが大きくなるにつれて向上する傾向がありますが、動作電圧での静電容量の予測値を検証することが必要です。電圧係数と温度係数だけが問題の原因ではありません。セラミック・コンデンサの中には圧電応答を示すものがあります。圧電デバイスは、圧電マイクの動作と同様に、機械的応力によって端子間に電圧を発生させます。セラミック・コンデンサの場合、この応力はシステム内の振動または熱過渡現象によって引き起こされることがあります。

安定性と入力容量

LTM4709は、最小容量4.7µFのコンデンサがV_{IN}ピンに接続された状態で安定します。大負荷ステップ条件下での瞬時電圧降下を最小限に抑えるには、低ESRコンデンサを用います。トランジェント時の大きなV_{IN}ドループにより、レギュレータがドロップアウトに入り、それに対応した負荷過渡応答の低下が生じる可能性があります。

アプリケーションの要件によっては、入出力容量の増加が必要になることがあります。この回路は、電力を最小化するためにドロップアウトに近い状態で意図的に動作されるため、十分な入力容量が不可欠です。理想的には、V_{IN}に給電する電源の出力インピーダンスは、20mΩより小さくして、負荷ステップの大きな変化に対応する必要があります。

ワイヤを使用して、電源をLTM4709の入力(および、LTM4709のグラウンドと電源グラウンドの間)に接続する場合は、不安定なアプリケーションを回避するために大きな入力コンデンサが必要になります。これは、入力コンデンサと共にLCタンク回路を形成するワイヤのインダクタンスによるものであり、LTM4709が不安定になっているためではありません。自己インダクタンスは、その長さに正比例します。ルーティング・パターン幅は、その長さと比べて、自己インダクタンスに大きな影響を及ぼしません。例えば、1インチの18-AWG、幅0.04インチのルーティング・パターンの自己インダクタンスは28nHです。幅0.26インチの2-AWGパターンの自己インダクタンスは、18-AWGワイヤのインダクタンスの約半分です。配線パターンの全体的な自己インダクタンスは、2つの方法で低減できます。1つは、LTM4709に向かって流れる電流を2つの並列導体間で分割する方法です。この場合、ワイヤの間隔が広いほどインダクタンスは減少し、数インチ離すと最大で50%減少します。ワイヤを分割すると、2つの等しいインダクタが並列基本接続されます。ただし、互いに近接して配置される場合、相互インダクタンスが、ワイヤの自己インダクタンス全体に付加されます。インダクタンス全体を減少させる最も効果的な方法は、順方向導体とリターン導体(入力用のパターンとリターン・グラウンド用のパターン)を非常に近接して配置することです。この場合、0.05インチ離れた2本の18-AWGワイヤは、自己インダクタンス全体を、1本のパターンの約4分の1に減少させます。LTM4709が、同じ回路基板上のグラウンド・プレーンと電源プレーンの近くに取り付けられたバッテリーから給電されるのであれば、10µFの入力コンデンサで十分な安定性が得られます。ただし、LTM4709が遠くの電源から給電される場合は、低ESRで容量の大きい(220µF程度の)入力コンデンサを使用します。

バイアス要件

BIAS1、2、3ピンは、内部制御回路と、パス・トランジスタを駆動する出力段に電流を供給します。LTM4709内部のBIAS

アプリケーション情報

ピンとGNDの間には、2.2μFのバイパス・コンデンサが内蔵されているため、BIASピンにバイパス・コンデンサを接続する必要はありません。適切な動作を確保するために、BIAS電圧は次の条件を満たす必要があります。 $2.375V \leq V_{BIAS} \leq 5.5V$ かつ $V_{BIAS} \geq (V_{OUT} + 1.2V)$ 。 $V_{OUT} \leq 1.15V$ の場合、最小BIAS電圧は2.375Vに制限されます。

負荷レギュレーション

LTM4709は、 V_{OUTS1} 、2、3ピンがリモート負荷にケルビン接続されている場合に、寄生パッケージおよびPCBのI-R降下を補正します。LTM4709は中程度の出力ライン・インピーダンスを処理しますが、 V_{OUT} と C_{OUT} の間の過大なインピーダンスはフィードバック・ループで位相シフトを引き起こし、安定性に悪影響を及ぼします。

PCBレイアウト時の考慮事項

LTM4709の高帯域幅と高PSRRを考慮に入れると、LTM4709の高性能を十分に利用するためには、アプリケーション回路のPCBレイアウトには細心の注意を払う必要があります。図14に、このμModuleで最高性能を発揮するための推奨レイアウトを示します。詳細については、DC3211A評価用ボードのデモ・マニュアルを参照してください。

保護機能

LTM4709には、IMONRピンがGNDに接続されているときに、出力電流を通常3.3Aにクランプする内部電流制限機能があります。更に、LTM4709には、±2.4%の精度で設定可能な高精度電流制限機能もあります。周囲温度が十分に高い場合、ダイ・ジャンクション温度は、LTM4709の最大動作温度を超えることがあります。この場合、LTM4709は内部熱安全機能に依存します。概ね168°Cで、LTM4709のサーマル・シャットダウンがトリガされ、IC温度がその熱ヒステリシス(7°C)を下回るまで、出力がシャットダウンされます。

電流モニタと外部から設定可能な電流制限値

IMON1、2、3ピンの電流制限閾値電圧は1Vです。IMONとGNDの間に抵抗を接続すると、IMONピンから流れ出る最大電流が設定され、LTM4709の電流制限値が設定されます。IMONピンがフローティング状態のときに、IMONRピンをGNDに接続する場合は、電流制限値が3.3Aに直接設定

されます。電流制限値は3000/抵抗値に等しくなります。例えば、1.5kΩの抵抗を用いてGNDに接続すると、電流制限値は2Aに設定されます。IMONピンの電圧 V_{IMON} は、出力電流 I_{OUT} のモニタリングにも使用できます。IMONとGNDの間に抵抗Rを接続すると、出力電流 I_{OUT} は、式3で計算できます。

$$I_{OUT} = \frac{V_{IMON} \cdot 3000}{R} \quad (3)$$

より高い出力電流を得るためのデバイスの並列化

単一のLTM4709の複数の出力または複数のLTM4709を並列化して、より高い出力電流を得ることができます。並列化を実現するには、複数のデバイスの V_{IN} ピンと V_{REF} ピンを1つにまとめて接続します。LTM4709の出力は、小さなバラスト抵抗(2mΩ)を用いて、各チャンネルのフィードバック V_{OUTS} ピンを除いて、共通負荷に接続する必要があります。このバラスト抵抗は出力電流の分担を実現します。並列動作については、回路図(図17)を参照してください。

出力ノイズ

LTM4709には、ノイズ性能に関して多くの利点があります。従来のリニア電圧レギュレータには、いくつかのノイズ源があります。最も重要なノイズ源は、電圧リファレンス、エラー・アンプ、出力電圧の設定に使用される抵抗分圧ネットワークです。LTM4709の内部では、2.2μFのバイパス・コンデンサが V_{REF} とGNDの間に接続され、電圧リファレンスのノイズをフィルタで除去しています。その結果、エラー・アンプのノイズ(通常は10Hz~100kHzの周波数範囲で1.3μV_{RMS})だけで設定される低出力ノイズとなります。

高周波スパイクのフィルタリング

LTM4709をスイッチング・コンバータのポスト・レギュレーションに用いるアプリケーションの場合、その高いPSRRにより、スイッチャのスイッチング周波数(通常は100kHz~1MHz)に存在するあらゆるノイズが効果的に抑制されます。しかし、スイッチャの電源スイッチ遷移時間に関連したLTM4709の帯域幅を超える非常に高い周波数(数百MHz)のスパイクは、LTM4709をほぼそのまま通過します。出力コンデンサの目的には、これらのスパイクの吸収も含まれま

アプリケーション情報

すが、その等価直列インダクタンス(ESL)により、これらの周波数ではその能力が制限されます。フェライト・ビーズ、またはスイッチャの出力とLTM4709の入力との間の短い(例えば、0.5インチ)PCBパターンに付随したインダクタンスさえも、これらの非常に高い周波数のスパイクを抑制するLCフィルタとして機能できます。

高速起動

低1/fノイズが必要となる(すなわち、100Hz以下の周波数での)超低ノイズのアプリケーションでは、静電容量の大きい(最大22 μ F) V_{REF} ピン・コンデンサが必要です。これにより通常、レギュレータの起動時間が大幅に増加しますが、LTM4709は、起動中に V_{REF} ピン電流を約2mAまで増加させる高速起動回路を内蔵しています。22 μ Fのコンデンサの場合、起動時間が100msから5msに短縮されます。

2mAの電流源は、 V_{REF} が立上がりエッジで最終値の100%になるまで動作したままになり、 V_{OUT} が立下がりエッジで出力設定値の94%を下回ると再起動します。ただし、レギュレータが電流制限、サーマル・シャットダウン、またはUVLOの状態にある場合は除きます。

熱に関する考慮事項と出力電流のディレーティング

高い周囲温度で使用する場合、PCBレイアウトに注意を払って、LTM4709からPCBへ良好な熱伝達が確保できるようにする必要があります。 V_{IN} と V_{OUT} は、サーマル・ビアを用いて下側の大きな銅箔層に接続する必要があります。ダイ温度は、LTM4709の消費電力に、ジャンクションと周囲の間の熱抵抗を乗算して算出できます。

図5に、EVAL-LTM4709-BZ評価用ボードに実装されたLTM4709が、1.3V $_{IN}$ 、1V $_{OUT}$ 、9Aの負荷電流で、3つのチャンネルを並列化して動作中の熱画像を示します。モジュールの上部ケースの最高温度は66°Cであり、3つのチャンネルの電流は均衡がとれています。

内蔵の過熱保護機能が、LTM4709のジャンクション温度をモニタします。ジャンクション温度が168°Cに達すると、温度が7°C低下するまでLTM4709出力がシャットダウンされます。



図5. 熱画像:全負荷、3つのチャンネルを並列化(1.3V $_{IN}$ 、1V $_{OUT}$ 、9A)、ファンなし、 $T_A = 25^\circ\text{C}$

ピン配置のセクションに記載されている熱抵抗は、JESD51-12で定義されているパラメータと整合しており、有限要素解析(FEA)ソフトウェアのモデリング・ツールで使用することを目的としています。このツールでは、熱モデリング、シミュレーション、およびハードウェア・テスト基板に実装された μ Moduleパッケージで実行されたハードウェア評価との相関の結果を活用します。これらの熱係数を提供する理由は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information)に記載されています。

設計者の多くは、実験機器やデモ基板などのテスト手段を用いて、自らのアプリケーションでの様々な電氣的条件下および様々な環境上の動作条件下における μ Moduleレギュレータの熱性能を予想し、FEAによる作業を補完することがあります。FEAソフトウェアを使用しない場合、ピン配置のセクションに記載されている熱抵抗は、それ自体では、熱性能のガイダンスの提供には関係ありません。むしろ、ディレーティング曲線(図7~図13)が、アプリケーションの使用法に関する洞察とガイダンスが得られるような方法で使用でき、これを適宜変更して熱性能と個々のアプリケーションを関連付けることができます。

ピン配置のセクションには通常、JESD51-12で明示的に定義されている3つの熱係数が記載されています。これらの係数について、以下に引用または解説を行います。

1. θ_{JA} はジャンクションと周囲空気との熱抵抗であり、1立方フィートの密閉エンクロージャ内で測定された、自然対流によるジャンクションと周囲空気との熱抵抗で

アプリケーション情報

す。この環境は「静止空気」と呼ばれることもありますが、実際には自然対流により空気の移動が起きます。この値は、部品を4層のEVAL-LTM4709-BZ評価用ボードに実装した状態で求められます。

- $\theta_{JCbottom}$ はジャンクションと製品ケース底部の間の熱抵抗であり、素子の消費電力がすべてパッケージの底部を通るものとして求められます。標準的な μ Module レギュレータでは熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。結果として、この熱抵抗の値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。
- θ_{JCtop} はジャンクションと製品ケース上部の間の熱抵抗であり、素子の消費電力がすべてパッケージの上部を通るものとして求められます。標準的な μ Module レギュレータの電気接続部はパッケージの底部にあるため、熱の大半がジャンクションからパッケージの上部に流れるように動作するアプリケーションはまれです。結果として、この熱抵抗の値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。

図6に熱抵抗を図示します。青色の部分が μ Module レギュレータ内部の熱抵抗で、緑色の部分は μ Module 外部の熱抵抗です。

実際問題としては、JESD51-12によって定義された、またはピン配置のセクションに記載された3つの熱抵抗パラメータは、個々の値でも、それを組み合わせた値でも、 μ Module の通常の動作条件を再現または伝達しないことを明記してお

きます。例えば、通常の基板実装アプリケーションでは、デバイスの総電力損失(熱)の100%が μ Module の上部のみを通して、または底部のみを通して熱伝導することは決してありません。つまり、上記の規格がそれぞれ θ_{JCtop} と $\theta_{JCbottom}$ について定義しているようにはなりません。実際には、電力損失は、パッケージから両方向に熱として放散されます。ただし、ヒート・シンクと空気流がない場合、熱流の大部分は基板の方へ流れます。

LTM4709 モジュール内では、複数のパワー素子が電力を放散していることに留意してください。これは、素子またはダイの様々なジャンクションを基準とする熱抵抗が、パッケージの総電力損失に対して正確には線形ではないためです。モデリングのシンプルさを犠牲にすることなく、ただし実際状況も無視することなく、この問題を解決するため、以下に示すように、FEA ソフトウェアによるモデリングを環境制御チャンバーでの実験室テストと組み合わせることにより、このデータシートに示す熱抵抗値は合理的に定義および関連付けられています。(1)最初に、FEA ソフトウェアを用い、すべての正確な材料係数と電力損失源の的確な定義に基づいて、 μ Module および指定された PCB の物理的形狀を正確に作成します。(2)このモデルは、JESD51-12 に整合するソフトウェア定義の JEDEC 環境をシミュレートして、様々なインターフェースにおける電力損失の熱流および温度計測値を予測します。これにより、JEDEC で定義された熱抵抗値の計算が可能になります。(3)このモデルと FEA ソフトウェアを用いて、空気流のある場合とない場合の LTM4709 を評価します。(4)これらの熱抵抗値を求めて解析し、ソフトウェア・モデルで様々な動作条件をシミュレートした後に、シミュレートされたものと同じ電力損失で本デバイスを動作させなが

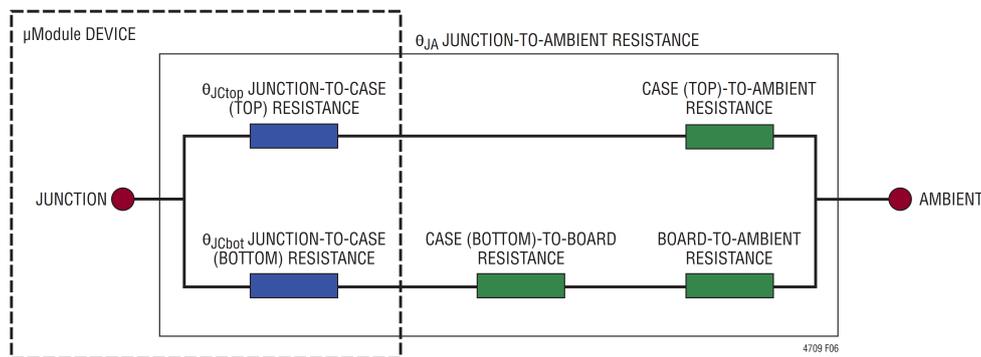


図6. JESD51-12「熱係数」の図示(JESD51-12「用語」を含む)

アプリケーション情報

ら、徹底的な実験室評価を行って、環境制御チャンバ内で熱電対を用いてシミュレートされた条件を再現します。このプロセスと適切な評価により、一連のデレレーティング曲線が得られます(図7～図13を参照)。

これらの実験室テストを実施し、LTM4709モデルへの関連付けを行ってから、電力損失のほぼ100%がジャンクションから基板を通して周囲空気に流れ、空気流または上部実装ヒート・シンクはないと仮定して、 θ_{JA} を求めます。

図7～図13に、負荷電流のデレレーティング曲線を示します。ジャンクション温度が(150°Cの最大ジャンクション温度からガード・バンド分の5°Cを差し引いた)145°Cより低い場合、周囲温度が上昇している間も最大負荷電流を達成できます。ジャンクション温度が145°Cになる周囲温度に達すると、負荷電流は低下して、周囲温度が140°Cまで上昇する間、ジャンクションを145°Cに維持します。デレレーティング曲

線は、3つのチャンネルを並列化し、全電流を全負荷9Aで開始し、周囲温度は25°Cとしてプロットされています。入出力間の電圧差は、200mV、250mV、300mV、400mV、500mV、600mV、700mVです。これらは、低めの出力電圧範囲と高めの出力電圧範囲を含むように選択されています。熱モデルは、温度制御チャンバ内のいくつかの温度測定と熱モデリング解析から導出されます。空気流のある場合とない場合について周囲温度が上昇する間、ジャンクション温度がモニタされます。この出力電流の低下により、周囲温度が増加すると共にモジュール内部の損失が低下します。表2に、空気流の有無別の等価熱抵抗を示します。LTpowerCADでは、EVAL-LTM4709-BZ評価用ボードに基づいた熱推定のための経験的熱モデルも提供しています。PCBは1.6mm厚の4層基板で、4層すべてに2オンスの銅箔を使用しています。PCBの寸法は114mm × 124mmです。

表2. 様々な $V_{IN} - V_{OUT}$ でのデレレーティング曲線

DERATING CURVE	$V_{IN} - V_{OUT}$ (V)	AIRFLOW (LFM)	HEAT SINK	θ_{JA} (°C/W)
Figure 7	0.2	0	None	15
Figure 8	0.25			
Figure 9	0.3			
Figure 10	0.4			
Figure 11	0.5			
Figure 12	0.6			
Figure 13	0.7			
Figure 7	0.2	200	None	13.5
Figure 8	0.25			
Figure 9	0.3			
Figure 10	0.4			
Figure 11	0.5			
Figure 12	0.6			
Figure 13	0.7			
Figure 7	0.2	400	None	13
Figure 8	0.25			
Figure 9	0.3			
Figure 10	0.4			
Figure 11	0.5			
Figure 12	0.6			
Figure 13	0.7			

アプリケーション情報

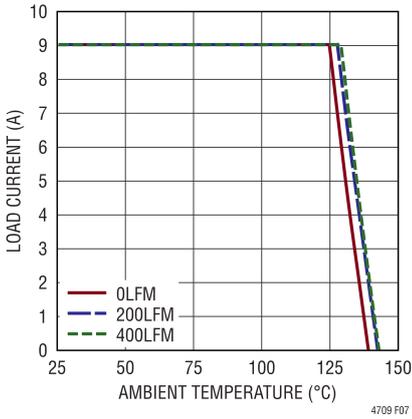


図7. 1.2V入力、1V出力での
ディレーティング曲線
(ヒート・シンクなし)

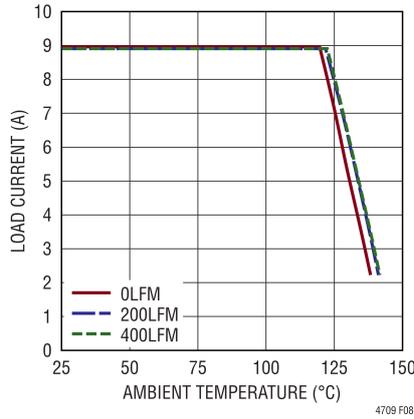


図8. 1.25V入力、1V出力での
ディレーティング曲線
(ヒート・シンクなし)

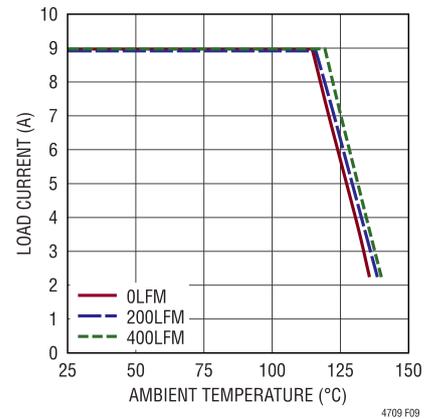


図9. 1.3V入力、1V出力での
ディレーティング曲線
(ヒート・シンクなし)

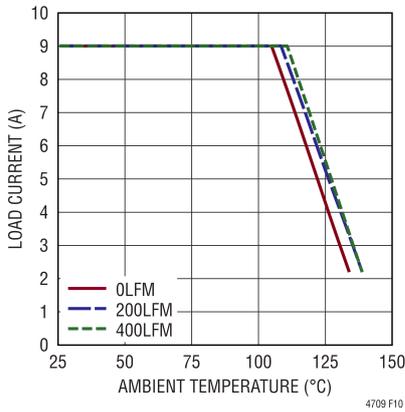


図10. 1.4V入力、1V出力での
ディレーティング曲線
(ヒート・シンクなし)

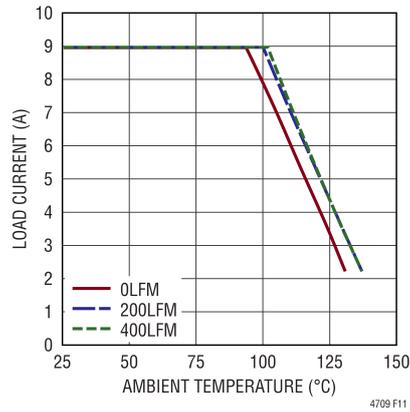


図11. 1.5V入力、1V出力での
ディレーティング曲線
(ヒート・シンクなし)

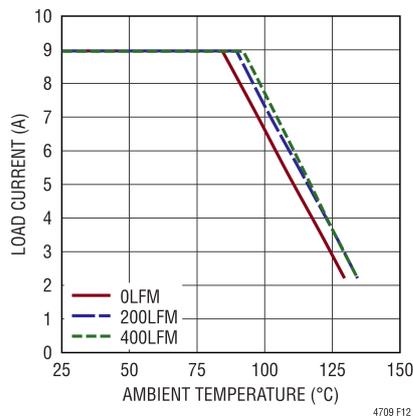


図12. 1.8V入力、1.2V出力での
ディレーティング曲線
(ヒート・シンクなし)

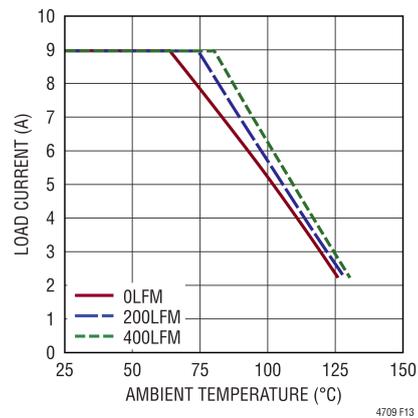


図13. 4.9V入力、4.2V出力での
ディレーティング曲線
(ヒート・シンクなし)

アプリケーション情報

表3. 出力電圧応答と素子の対応関係

C _{OUT}	VALUE	PART NUMBER
Murata	10μF, 6.3V, 1206, X7R	GRM31CR70J106K
Murata	22μF, 25V, 1206, X5R	GRM31CR61E226KE15L

V _{IN} (V)	V _{OUT} (V)	C _{OUT} CERAMIC (μF)	LOAD STEP (A)	LOAD STEP SLEW RATE (A/μs)	P-P DERIVATION (mV)	RECOVERY TIME (μs)
1.3	1	10	0.3 to 3	3	23	5
1.3	1	22	0.3 to 3	3	22	7

安全に関する考慮事項

μModule ICのLTM4709では、V_{IN}とV_{OUT}の間はガルバニック絶縁されていません。また、内部ヒューズもありません。必要に応じて、最大入力電流の2倍の定格を有する低速溶断ヒューズを用いて、各ユニットを致命的な故障から保護する必要があります。このデバイスにはサーマル・シャットダウンや短絡保護機能があります。

PCBレイアウトのチェックリスト/例

LTM4709は高集積化されているため、PCBのレイアウトは非常にシンプルで簡単になります。それでもなお、電気的性能と熱的性能を最適化するには、レイアウト上の配慮がある程度必要になります。

- V_{IN}、GNDおよびV_{OUT}を含む大電流経路には、PCBの大きい銅箔領域を使用します。これは、PCBの導通損失と熱ストレスを最小限に抑える助けとなります。
- V_{IN}ピン、GNDピンおよびV_{OUT}ピンの隣に高周波入出力セラミック・コンデンサを配置して、高周波ノイズを最小限に抑えます。
- 専用の電源グラウンド層をユニットの下に配置します。
- V_{IN}とV_{OUT}には複数のプレーンを用いて、適切な電圧フィルタリングを維持し、電力損失を低く保ちます。
- ビアの伝導損失を最小限に抑え、モジュールの熱ストレスを低減するため、最上層と他の電源層の接続には複数のビアを使用します。
- キャップやメッキが施されていない限り、パッドにはビアを直接載せないでください。

- すべての層の未使用領域はすべて、銅箔で覆います。銅箔で覆うと、熱ストレスの解放が促進されます。銅箔領域はGNDに接続します。

- 半田マスク定義の円形パッドを使用します。

図14に、推奨レイアウトの適切な例を示します。

低ノイズおよび高PSRR性能を最適化するための推奨レイアウトの詳細については、デモ基板DC3211Aのレイアウトを参照してください。

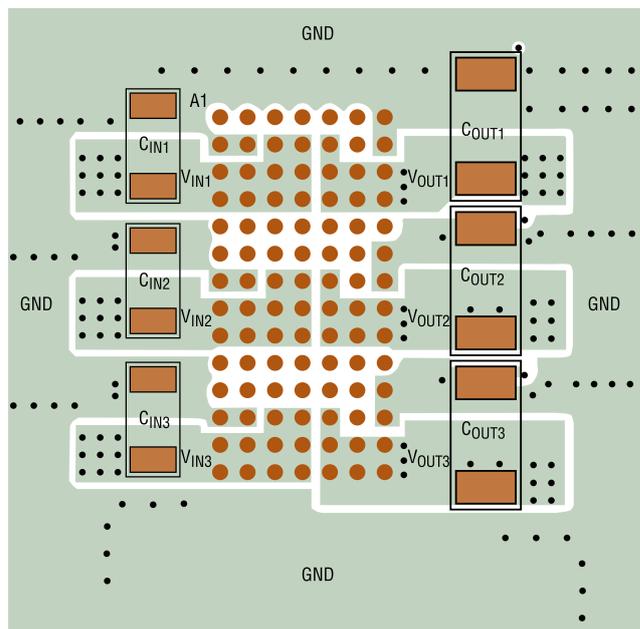


図14. PCBの推奨レイアウト

4709 F14

標準的応用例

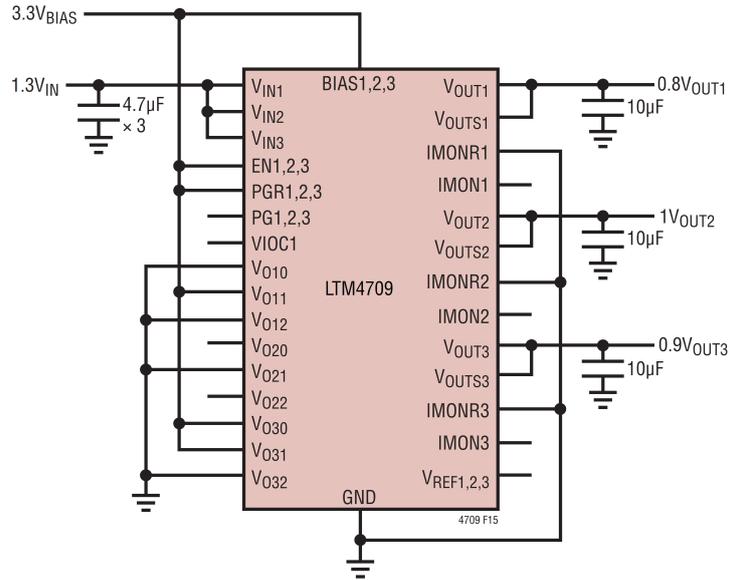


図15 トリプル3Aでの1.3V入力、0.8V、1V、0.9V出力(ソリューション・サイズは最小)

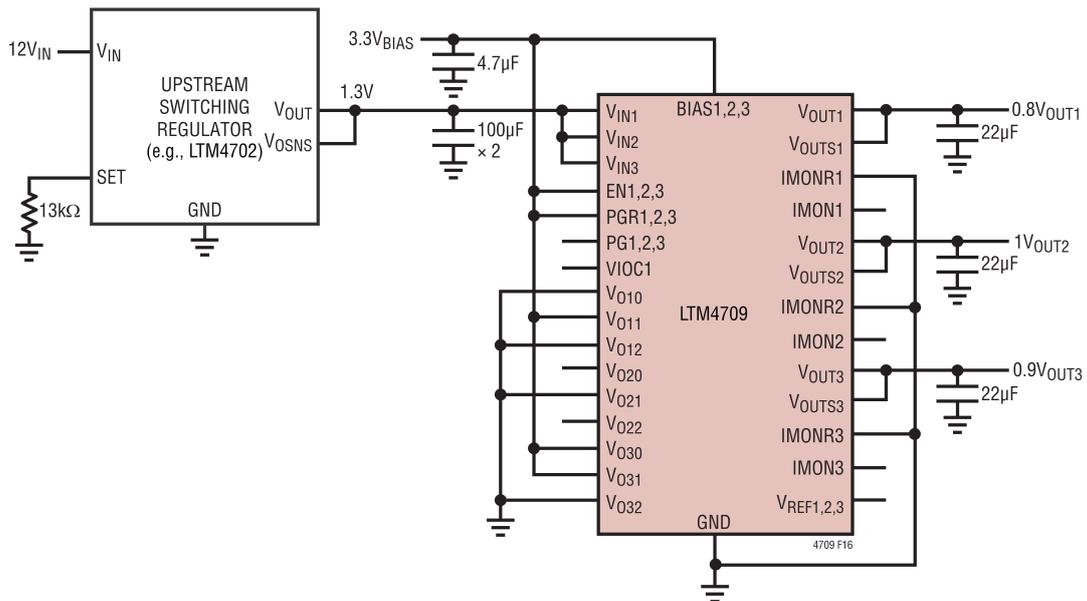


図16. トリプル2Aでの12Vスイッチング・レギュレータ入力、0.8V、1V、0.9V出力(PSRR性能を最適化)

標準的応用例

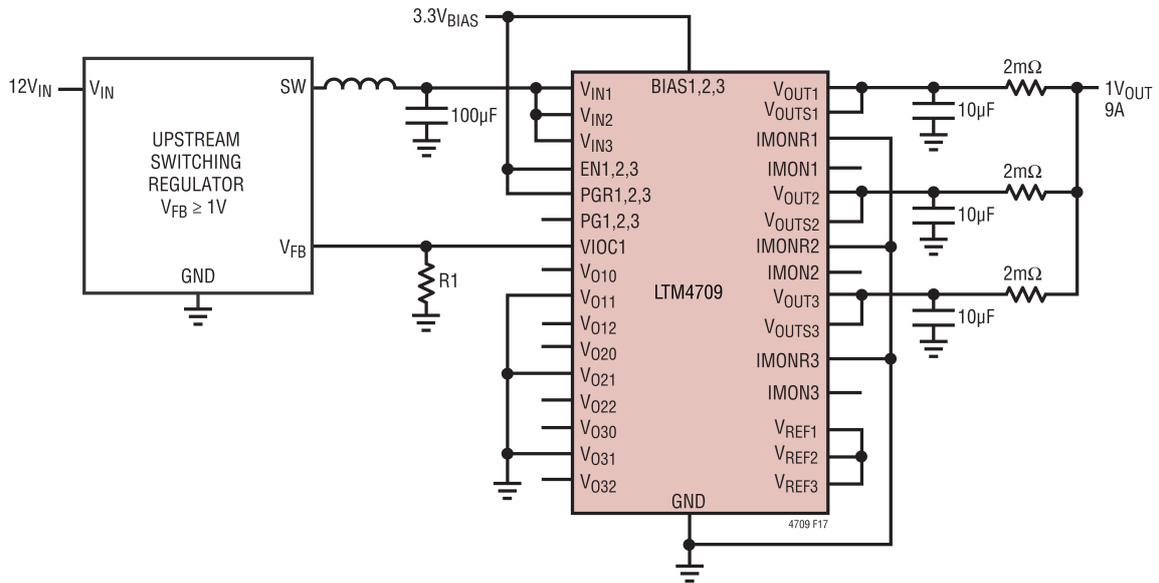


図 17. 1V_{OUT}、9A 動作のための複数チャンネルの並列化 (高効率化のために上流側スイッチング・レギュレータと VIOC を使用)

パッケージの説明



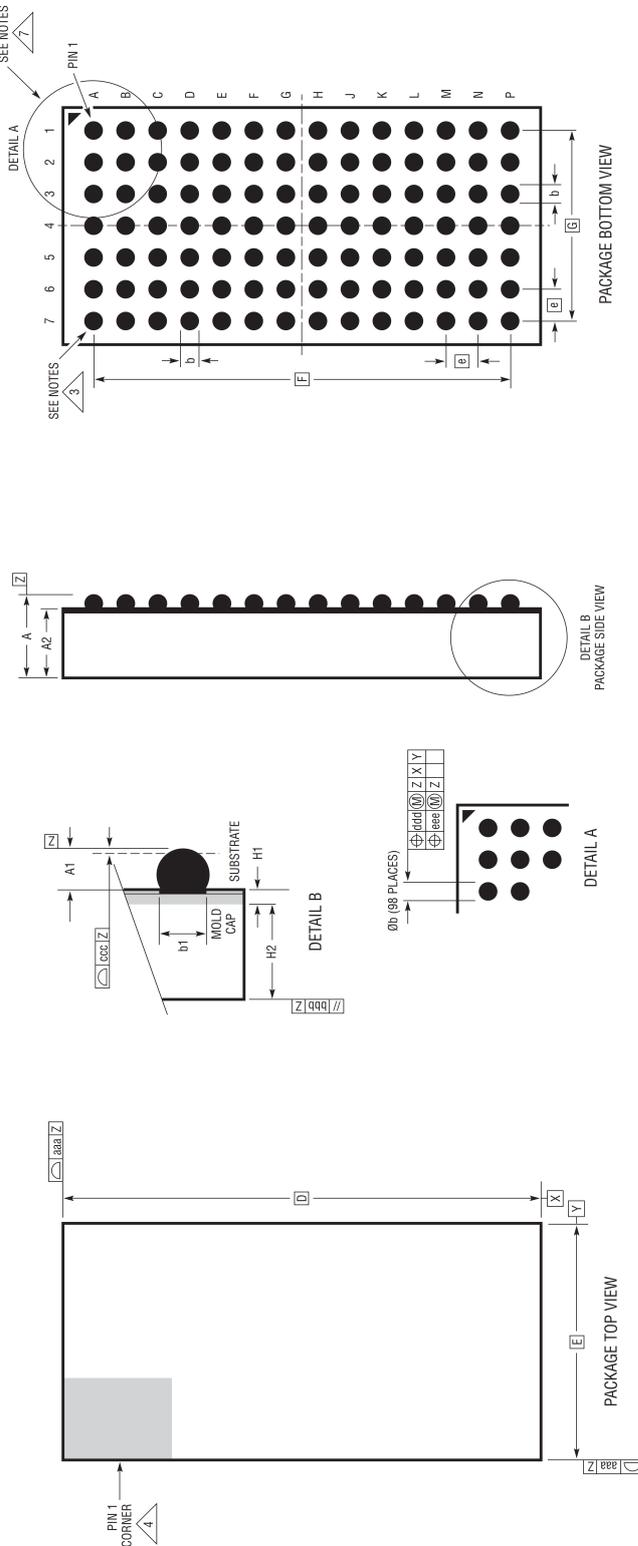
μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

表 4. パッケージのピン配列の説明

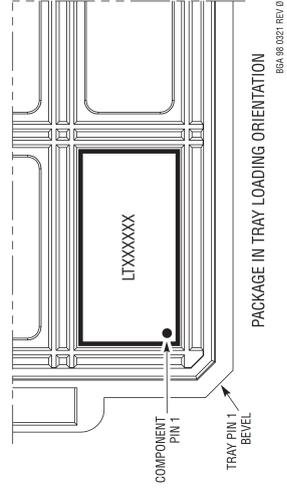
PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
A1	NC	A2	IMONR1	A3	PGR1	A4	BIAS1	A5	IMON1	A6	V _{REF1}	A7	GND
B1	GND	B2	GND	B3	V _{IN1}	B4	V _{IN1}	B5	V _{OUT1}	B6	V _{OUTS1}	B7	GND
C1	V _{IN1}	C2	V _{IN1}	C3	V _{IN1}	C4	V _{IN1}	C5	V _{OUT1}	C6	V _{OUT1}	C7	V _{OUT1}
D1	V _{IN1}	D2	V _{IN1}	D3	V _{IN1}	D4	V _{IN1}	D5	V _{OUT1}	D6	V _{OUT1}	D7	V _{OUT1}
E1	V _{IOC1}	E2	PG2	E3	EN1	E4	V _{O10}	E5	V _{O11}	E6	V _{O12}	E7	PG1
F1	EN2	F2	IMONR2	F3	PGR2	F4	BIAS2	F5	IMON2	F6	V _{REF2}	F7	GND
G1	GND	G2	GND	G3	V _{IN2}	G4	V _{IN2}	G5	V _{OUT2}	G6	V _{OUTS2}	G7	GND
H1	V _{IN2}	H2	V _{IN2}	H3	V _{IN2}	H4	V _{IN2}	H5	V _{OUT2}	H6	V _{OUT2}	H7	V _{OUT2}
J1	V _{IN2}	J2	V _{IN2}	J3	V _{IN2}	J4	V _{IN2}	J5	V _{OUT2}	J6	V _{OUT2}	J7	V _{OUT2}
K1	PG3	K2	V _{O30}	K3	V _{O31}	K4	V _{O32}	K5	V _{O20}	K6	V _{O21}	K7	V _{O22}
L1	EN3	L2	IMONR3	L3	PGR3	L4	BIAS3	L5	IMON3	L6	V _{REF3}	L7	GND
M1	GND	M2	GND	M3	V _{IN3}	M4	V _{IN3}	M5	V _{OUT3}	M6	V _{OUTS3}	M7	GND
N1	V _{IN3}	N2	V _{IN3}	N3	V _{IN3}	N4	V _{IN3}	N5	V _{OUT3}	N6	V _{OUT3}	N7	V _{OUT3}
P1	V _{IN3}	P2	V _{IN3}	P3	V _{IN3}	P4	V _{IN3}	P5	V _{OUT3}	P6	V _{OUT3}	P7	V _{OUT3}

パッケージの説明

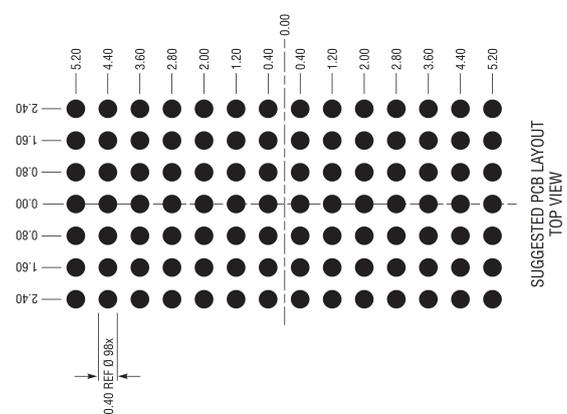
BGA Package 98-Lead (6mm × 12mm × 1.92mm) (Reference LTC DWG # 05-08-7090 Rev 0)



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS. DRAWING NOT TO SCALE
 3. BALL DESIGNATION PER JEP95
 4. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM - Z - IS SEATING PLANE
 6. PACKAGE ROW AND COLUMN LABELING MAY VARY AMONG μ Module PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY



DIMENSIONS			
SYMBOL	MIN	NOM	MAX
A	1.73	1.92	2.11
A1	0.30	0.40	0.50
A2	1.43	1.52	1.61
b	0.45	0.50	0.55
b1	0.37	0.40	0.43
D	12.00		
E	6.00		
e	0.80		
F	10.40		
G	4.80		
H1	0.32 REF		
H2	1.20 REF		
aaa	0.15		
bbb	0.10		
ccc	0.20		
ddd	0.15		
eee	0.08		
TOTAL NUMBER OF BALLS: 98			

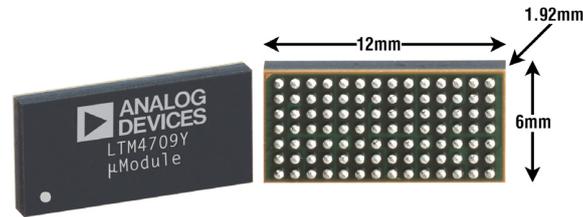


改訂履歴

版数	改訂日	説明	改訂ページ
0	07/23	初版発行	—

パッケージ写真

製品マーキングはインク・マーキングまたはレーザ・マーキングです。



設計リソース

SUBJECT	DESCRIPTION
μModule Design and Manufacturing Resources	Design: <ul style="list-style-type: none"> • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools Manufacturing: <ul style="list-style-type: none"> • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability
μModule Regulator Products Search	1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table. <div style="border: 1px solid #ccc; padding: 5px; margin-top: 10px;"> <p>Quick Power Search</p> <p>INPUT $V_{in}(\text{Min})$ <input type="text"/> V $V_{in}(\text{Max})$ <input type="text"/> V</p> <p>OUTPUT V_{out} <input type="text"/> V I_{out} <input type="text"/> A</p> <p>FEATURES <input type="checkbox"/> Low EMI <input type="checkbox"/> Ultrathin <input type="checkbox"/> Internal Heat Sink</p> <p style="text-align: center;">Multiple Outputs Search</p> </div>
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.

関連製品

製品番号	概要	注釈
LTM8080	40V _{IN} 、デュアル500mAまたはシングル1A、超低ノイズ、超高PSRRのμModuleレギュレータ	3.5V ≤ V _{IN} ≤ 40V、0V ≤ V _{OUT} ≤ 8V、9mm × 6.25mm × 3.32mm、BGAパッケージ
LTM4702	16V _{IN} 、8A、Silent Switcher μModuleレギュレータ (低EMI放射、低RMSノイズ)	3V ≤ V _{IN} ≤ 16V、0.3V ≤ V _{OUT} ≤ 5.7V、6.25mm × 6.25mm × 5.07mm、BGAパッケージ
LTM8074	40V _{IN} 、1.2A、Silent Switcher μModuleレギュレータ	3.2V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 12V、4mm × 4mm × 1.82mm、BGAパッケージ
LTM8063	40V _{IN} 、2A、Silent Switcher μModuleレギュレータ	3.2V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 15V、4mm × 6.25mm × 2.22mm、BGAパッケージ
LTM8065	40V _{IN} 、2.5A、Silent Switcher μModuleレギュレータ	3.4V ≤ V _{IN} ≤ 40V、0.97V ≤ V _{OUT} ≤ 18V、6.25mm × 6.25mm × 2.32mm、BGAパッケージ
LTM8053	40V _{IN} 、3.5A、Silent Switcher μModuleレギュレータ	3.4V ≤ V _{IN} ≤ 40V、0.97V ≤ V _{OUT} ≤ 15V、6.25mm × 9mm × 3.32mm、BGAパッケージ
LTM8078	デュアル1.4A、40V _{IN} 、Silent Switcher μModuleレギュレータ	3V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 10V、6.25mm × 6.25mm × 2.22mm、BGAパッケージ
LTM8024	デュアル3.5A、40V _{IN} 、Silent Switcher μModuleレギュレータ	3V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 8V、9mm × 11.25mm × 3.32mm、BGAパッケージ
LTM8051	クワッド1.2A、40V _{IN} 、Silent Switcher μModuleレギュレータ	3V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 8V、6.25mm × 11.25mm × 2.22mm、BGAパッケージ
LTM8060	クワッド3A、40V _{IN} 、Silent Switcher μModuleレギュレータ	3V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 8V、11.9mm × 16mm × 3.32mm、BGAパッケージ