

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 7 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 7 月 12 日

製品名：LTM4655

対象となるデータシートのリビジョン(Rev)：Rev. 0

訂正箇所：

P.37 左欄 4 行目

英文データシートでは、These approximate factors are listed in Table 1.とありますが、これは Table 2 の誤りです。日本語データシートは原文のまま翻訳してありますので、ご注意ください。

EN55022B 準拠の 40V、デュアル 4A または シングル 8A 降圧 または 50W 反転 μ Module レギュレータ

特長

- デュアル 4A / シングル 8A 低 EMI スイッチ・モード電源
- EN55022 クラス B 準拠
- それぞれ正または負の電圧極性を構成可能な、完全に独立した 2 つのチャンネル
- 出力電圧範囲: $0.5V \leq |V_{OUTn}^+ - V_{OUTn}^-| \leq 26.5V$
- 広い入力電圧範囲: 最大 40V
 - 構成に応じて 3.1V または 3.6V (スタートアップ時)
- ライン、負荷、および温度による全直流出力電圧誤差: $\pm 1.67\%$
- アナログ出力電圧インジケータ (正の V_{OUT} のみ)
- LDO_{OUT}: 5V 固定、25mA 対応 LDO
- LTM4651/LTM4653 との並列接続が可能
- 定周波電流モード制御
- パワーグッド・インジケータおよびプログラマブルなソフトスタート
- 過電流および過熱からの保護
- 16mm × 16mm × 5.01mm BGA パッケージ

アプリケーション

- 自動試験と測定
- アビオニクスおよび産業用制御システム
- ビデオ、イメージング、および計測器

概要

LTM[®]4655 は、EN55022 の放射性エミッション基準を満たすよう設計された、超低ノイズの 40V、デュアル 4A または シングル 8A DC/DC μ Module[®] レギュレータです。完全に独立した並列接続可能なチャンネルを備え、正と負のいずれの出力極性も供給可能です。伝導性エミッションに関する条件は標準的なフィルタ・コンポーネントを加えることにより対応可能です。パッケージにはスイッチング・コントローラ、パワー MOSFET、インダクタ、フィルタ、およびサポート用コンポーネントが含まれます。EMC 性能向上のため、5V、25mA LDO とクロック・ジェネレータによるパワー・スイッチング段でのフェーズ・インターリーピングが可能です。

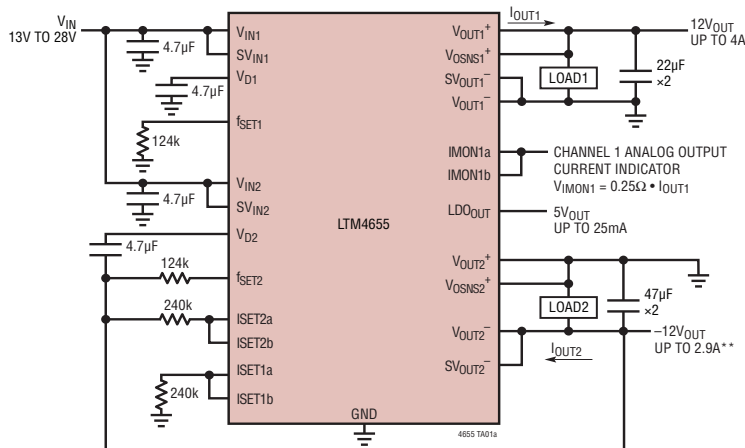
LTM4655 は 3.1V ~ 40V の入力から、0.5V ~ 26.5V の正の V_{OUTn}^+ をレギュレーションできます。また、LTM4655 は 40V を超えない V_{INn} から V_{OUTn}^- までの範囲で、最大入力範囲 3.6V ~ 40V から -0.5V ~ -26.5V の負の V_{OUTn}^- をレギュレーションできます。250kHz ~ 3MHz の範囲のスイッチング周波数がサポートされます。

LTM4655 は SnPb または RoHS 準拠の端子仕上げが行われ、16mm × 16mm × 5.01mm の BGA パッケージにより供給されます。

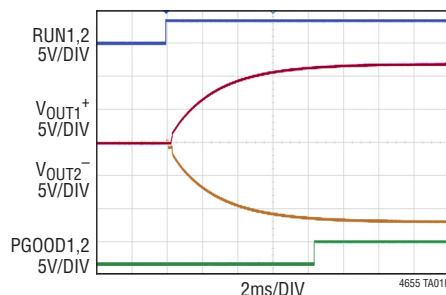
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。米国特許 5481178、5705919、5847554、6580258 により保護されています。

標準的応用例

±12V 同時出力 DC/DC μ Module レギュレータ*



出力電圧のスタートアップ波形



* FOR COMPLETE CIRCUIT, SEE FIGURE 50.
** FOR CHANNELS CONFIGURED TO REGULATE NEGATIVE V_{OUTn}^- : CURRENT LIMIT FREQUENCY-FOLDBACK INCEPTION IS A FUNCTION OF V_{INn} , V_{OUTn}^- , AND f_{SWn} . CONTINUOUS OUTPUT CURRENT CAPABILITY IS SUBJECT TO DETAILS OF APPLICATION IMPLEMENTATION. SEE NOTES 2 AND 3 AND THE APPLICATIONS INFORMATION SECTION, FOR DETAILS.

目次

特長.....	1	アプリケーション情報.....	28
アプリケーション	1	電源モジュールの保護	28
標準的応用例	1	RUN ピン・イネーブル.....	28
概要.....	1	ループ補償	28
絶対最大定格	3	ホットプラグにおける安全性	29
ピン配置.....	3	入力切断／入力短絡に関する考慮事項	29
発注情報.....	4	INTV _{CCn} とEXTV _{CCn} の接続.....	29
電気的特性.....	4	マルチフェーズの動作.....	30
代表的な性能特性.....	10	負の電流出力能力はV _{INn} からV _{OUTn} ⁻ への変換率、 負V _{OUT} ⁻ 動作に応じて変化	31
ピン機能.....	14	入力キャパシタ、負V _{OUT} ⁻ 動作.....	32
簡略化したブロック図	21	出力キャパシタ、負V _{OUT} ⁻ 動作.....	33
テスト回路	22	過剰ストレスからの保護を提供するダイオード(オプション)、 負V _{OUT} ⁻ 動作	33
デカップリングの条件.....	23	周波数調整、負V _{OUT} ⁻ 動作	34
動作.....	24	放射EMIノイズ	35
電源モジュールの概要	24	熱に関する考慮事項と出力電流のデレーティング	35
V _{IN} からV _{OUT} への変換比	25	安全に関する考慮事項	46
入力キャパシタ、正V _{OUT} 動作	25	レイアウトのチェックリスト／サンプル.....	46
出力キャパシタ、正V _{OUT} 動作	26	標準的応用例	49
強制連続動作.....	26	パッケージの説明	52
出力電圧のプログラミング、トラッキングとソフトスタート	26	パッケージ写真	54
周波数調整	27	設計リソース	54
		関連製品	54

絶対最大定格

(Note 1, 5)

チャンネル1端子電圧(特に指定のない限りすべてのチャンネル1端子電圧は V_{OUT1^-} からの相対値です)

V_{IN1} , V_{D1} , SV_{IN1} , SV_{INF1} , $SW1$-0.3V~42V
 GND , $EXTV_{CC1}$, V_{OUT1^+} , V_{OSNS1^+} ,
 $ISET1a$, $ISET1b$-0.3V~28V
 $INTV_{CC1}$, $PGDFB1$, $VINREG1$, $COMP1a$,
 $IMON1a$, $IMON1b$-0.3V~4V
 f_{SET1}-0.3V~ $INTV_{CC1}$
 $RUN1$ GND -0.3V~ $V_{OUT1^-} + 32V$
 $PGOOD1$, $CLKIN1$ (GND からの相対値).....-0.3V~6V

チャンネル2端子電圧(特に指定のない限りすべてのチャンネル2端子電圧は V_{OUT2^-} からの相対値です)

V_{IN2} , V_{D2} , SV_{IN2} , SV_{INF2} , $SW2$-0.3V~42V
 GND , $EXTV_{CC2}$, V_{OUT2^+} , V_{OSNS2^+} ,
 $ISET2a$, $ISET2b$-0.3V~28V
 $INTV_{CC2}$, $PGDFB2$, $VINREG2$, $COMP2a$,
 $IMON2a$, $IMON2b$-0.3V~4V
 f_{SET2}-0.3V~ $INTV_{CC2}$
 $RUN2$ GND -0.3V~ $V_{OUT2^-} + 32V$
 $PGOOD2$, $CLKIN2$ (GND からの相対値).....-0.3V~6V

LDOおよびクロック・ジェネレータ電圧(特に指定のない限りすべてのLDOおよびクロック・ジェネレータ電圧は GND からの相対値です)

LDO_{IN}-0.3V~42V
 $CLKSET$, MOD-0.3V~ $LDO_{OUT} + 0.3V$

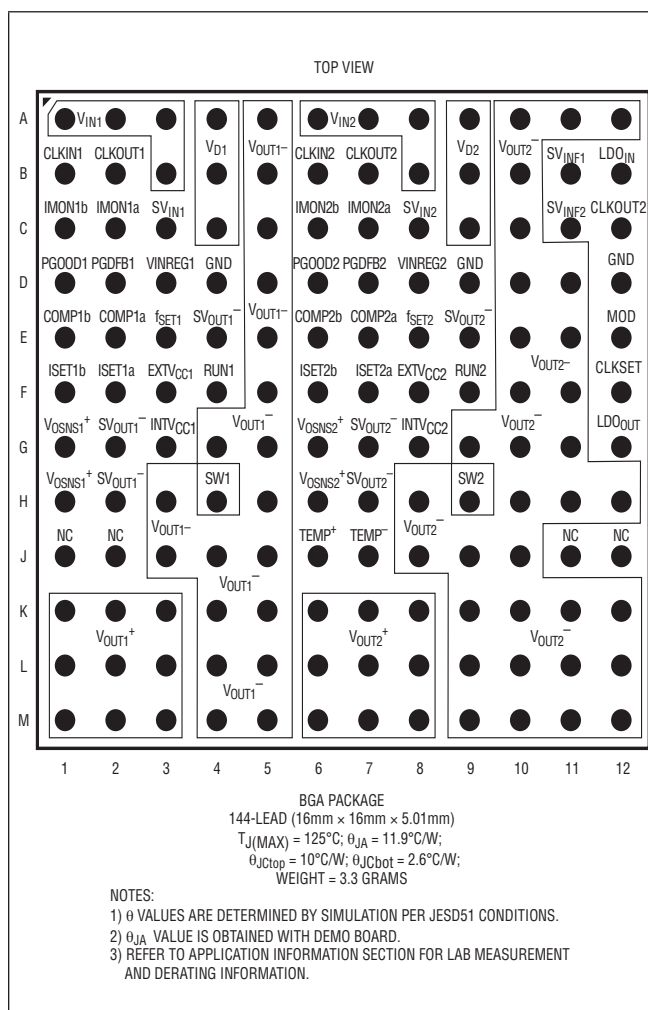
端子電流

$INTV_{CCn}$ ピーク出力電流 (Note 10)30mA
 $TEMP^+$-1mA~10mA
 $TEMP^-$-10mA~1mA

内部動作温度範囲 (Note 2, 9)

EグレードおよびIグレード.....-40°C~125°C
MPグレード.....-55°C~125°C
保存温度範囲.....-55°C~125°C
リフロー中のピーク・パッケージ本体温度.....245°C

ピン配置



発注情報

部品番号	パッドまたはボール 仕上げ	部品マーキング*		パッケージ タイプ	MSL レーティング	温度範囲 (Note 2)
		デバイス	仕上げコード			
LTM4655EY#PBF	SAC305 (RoHS)	LTM4655Y	e1	BGA	3	-40°C~125°C
LTM4655IY#PBF	SAC305 (RoHS)	LTM4655Y	e1	BGA	3	-40°C~125°C
LTM4655MPY#PBF	SAC305 (RoHS)	LTM4655Y	e1	BGA	3	-55°C~125°C
LTM4655IY	SnPb (63/37)	LTM4655Y	e0	BGA	3	-40°C~125°C
LTM4655MPY	SnPb (63/37)	LTM4655Y	e0	BGA	3	-55°C~125°C

• より幅広い動作温度範囲が仕様規定された部品については製造元までお問い合わせください。
*パッドまたはボール仕上げのコードはIPC/JEDEC J-STD-609。

• 推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順
• LGAおよびBGAのパッケージ図面とトレイ図面

電気的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それぞれの出力チャンネルごとに指定されます (Note 5)。特に指定がない場合は、 $T_A = 25^\circ\text{C}$ 、テスト回路1 (正 V_{OUT} 、 $V_{OUTn}^- = \text{GND}$ による非反転降圧構成)、 $V_{INn} = \text{SV}_{INn} = 36\text{V}$ 、 $\text{EXTV}_{CCn} = 24\text{V}$ 、 $\text{RUN}_n = 3.3\text{V}$ 、 $R_{ISETn} = 480\text{k}\Omega$ 、 $R_{fSETn}^+ = 57.6\text{k}\Omega$ 、 $f_{SWn} = 1.5\text{MHz}$ (CLKIN_n は 1.5MHz のクロック信号により駆動)、および電圧は GND が基準。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SV _{INn} (DC), V _{INn} (DC)	Input DC Voltage in Positive-V _{OUT} Configuration	V _{OUTn} [−] = GND	●	3.1		40	V
V _{OUTn} (RANGE) ⁺	Range of Positive Output Voltage Regulation	0.5V ≤ ISETna−SV _{OUTn} [−] ≤ 26.5V, I _{OUTn} ⁺ = 0A (See Note 7)	●	0.5		26.5	V
V _{OUTn} (24VDC) ⁺	Output Voltage Total Variation with Line and Load at V _{OUTn} ⁺ = 24V	29V ≤ V _{INn} ≤ 40V, 0A ≤ I _{OUTn} ⁺ ≤ 4A, C _{INHn} = 4.7μF, C _{Dn} = 4.7μF, C _{OUTHn} = 2 × 47μF, CLKINn Driven with 1.5MHz Clock	●	23.6	24	24.4	V
V _{OUTn} (0.5VDC) ⁺	Output Voltage Total Variation with Line and Load at V _{OUTn} ⁺ = 0.5V	Measuring V _{OSnSn} ⁺ to ISETna 3.1V ≤ V _{INn} ≤ 13.2V, 0A ≤ I _{OUTn} ⁺ ≤ 4A, C _{INHn} = 4.7μF, C _{Dn} = 4.7μF, C _{OUTHn} = 2 × 47μF, ISETna = 500mV, R _{fSETn} = N/U (Note 6)	●	−15	0	15	mV
RSV _{INFn}	Resistor Between SV _{INn} and SV _{INFn}			1			Ω

Input Specifications

$\text{V}_{INn}(\text{UVLO})$	SV_{INn} Undervoltage Lockout Threshold	SV_{INn} Rising SV_{INn} Falling Hysteresis	● ● ●	2.4 150	2.85 2.6 250	3.1 2.9	V V mV
$\text{I}_{\text{INRUSH}}(\text{V}_{INn})$	Input Inrush Current at Start-Up	$\text{C}_{INHn} = 4.7\mu\text{F}$, $\text{C}_{Dn} = 4.7\mu\text{F}$, $\text{C}_{OUTHn} = 2 \times 47\mu\text{F}$; $\text{I}_{OUTn}^+ = 0\text{A}$, ISETna Electrically Connected to ISETnb			300		mA
$\text{I}_Q(\text{SV}_{INn})$	Input Supply Bias Current	Shutdown, $\text{RUN}_n = \text{GND}$ $\text{RUN}_n = 3.3\text{V}$			16 450	30	μA μA
$\text{I}_S(\text{V}_{INn})$	Input Supply Current	CLKIN_n Open Circuit, $\text{I}_{OUTn}^+ = 4\text{A}$			2.9		A
$\text{I}_S(\text{V}_{INn}, \text{SHUTDOWN})$	Input Supply Current in Shutdown	Shutdown, $\text{RUN}_n = \text{GND}$			4		μA

Output Specifications

I_{OUTn}^+	V_{OUTn}^+ Output Continuous Current Range	(Note 3)		0		4	A
$\Delta V_{OUTn}(\text{LINE})^+ / V_{OUTn}^+$	Line Regulation Accuracy	$\text{I}_{OUTn}^+ = 0\text{A}$, $29\text{V} \leq \text{V}_{INn} \leq 40\text{V}$	●		0.05	0.1	%
$\Delta V_{OUTn}(\text{LOAD})^+ / V_{OUTn}^+$	Load Regulation Accuracy	$\text{V}_{INn} = 36\text{V}$, $0\text{A} \leq \text{I}_{OUTn}^+ \leq 4\text{A}$	●		0.05	0.75	%
$V_{OUTn}(\text{AC})^+$	Output Voltage Ripple, V_{OUTn}^+	$\text{V}_{INn} = 12\text{V}$, $\text{ISETna} = 5\text{V}$			2		mV _{p-p}

電気的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それぞれの出力チャンネルごとに指定されます (Note 5)。特に指定がない場合は、 $T_A = 25^\circ\text{C}$ 、テスト回路1 (正 V_{OUT} 、 $V_{OUTn}^- = \text{GND}$ による非反転降圧構成)、 $V_{INn} = \text{SV}_{INn} = 36\text{V}$ 、 $\text{EXTV}_{CCn} = 24\text{V}$ 、 $\text{RUN}_n = 3.3\text{V}$ 、 $R_{\text{ISETn}} = 480\text{k}\Omega$ 、 $R_{\text{fSETn}}^+ = 57.6\text{k}\Omega$ 、 $f_{\text{SWn}} = 1.5\text{MHz}$ (CLKIN_n は 1.5MHz のクロック信号により駆動)、および電圧は GND が基準。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_{Sn}	V_{OUTn}^+ Ripple Frequency	$R_{\text{fSETn}} = 57.6\text{k}\Omega$, CLKINn Open Circuit	●	1.7	1.95	2.2	MHz
$\Delta V_{\text{OUTn}}(\text{START})^+$	Turn-On Overshoot				8		mV
t_{STARTn}	Turn-On Start-Up Time	Delay Measured from V_{INn} Toggling from 0V to 36V to PGOODn Exceeding 3V; PGOODn. Having a $100\text{k}\Omega$ Pull-Up to 3.3V with Respect to GND, VPGFBN Resistor Divider Network as Shown in Test Circuit 1, $R_{\text{ISETna}} = 480\text{k}\Omega$ and ISETna Electrically Connected to ISETnb and CLKIN Driven with 1.5MHz Clock	●		4	9	ms
$\Delta V_{\text{OUTn}}(\text{LS})^+$	Peak Output Voltage Deviation for Dynamic Load Step	I_{OUTn}^+ : 0A to 2A and 2A to 0A Load Steps in $1\mu\text{s}$, $C_{\text{OUTHn}} = 47\mu\text{F} \times 2$			400		mV
t_{SETTLn}	Settling Time for Dynamic Load Step	I_{OUTn}^+ : 0A to 2A and 2A to 0A Load Steps in $1\mu\text{s}$, $C_{\text{OUTHn}} = 47\mu\text{F} \times 2$			50		μs
$I_{\text{OUTn}}(\text{OCL})^+$	I_{OUTn}^+ Output Current Limit				5.5		A

Control Section

I_{ISETna}	Reference Current of ISETna Pin	$V_{\text{ISETna}} = 0.5\text{V}$, $3.1\text{V} \leq V_{\text{INn}} \leq 13.2\text{V}$ $V_{\text{ISETna}} = 24\text{V}$, $29\text{V} \leq V_{\text{INn}} \leq 40\text{V}$	● ●	49.3 49	50 50	50.7 51	μA μA
I_{VOSnSn}^+	V_{OSnSn}^+ Leakage Current	$V_{\text{VOSnSn}}^+ = 28\text{V}$			290		μA
$t_{\text{ONn}}(\text{MIN})$	Minimum On-Time	(Note 4)			60		ns
V_{RUNn}	RUNn Turn-On/-Off Thresholds	RUNn Input Turn-On Threshold, RUNn Rising RUNn Hysteresis	●	1.08	1.2 130	1.32	V mV
I_{RUNn}	RUNn Leakage Current	$\text{RUNn} = 3.3\text{V}$	●		0.1	50	nA

Oscillator and Phase-Locked Loop (PLL)

f_{OSCn}	Oscillator Frequency Accuracy	$V_{\text{INn}} = 12\text{V}$, $\text{ISETna} = 5\text{V}$, and: f_{SETn} Open-Circuit $R_{\text{fSETn}} = 57.6\text{k}\Omega$ (See f_{SN} Specification)	●	360	400 1.95	440	kHz MHz
f_{SYNCn}	PLL Synchronization Capture Range	$V_{\text{INn}} = 12\text{V}$, $\text{ISETna} = 5\text{V}$, CLKIN_n Driven with a GND Referred Clock Toggling from 0.4V to 1.2V and Having a Clock Duty Cycle: From 10% to 90%; f_{SETn} Open Circuit From 40% to 60%; $R_{\text{fSETn}} = 57.6\text{k}\Omega$		250 1.3		550 3	kHz MHz
V_{CLKINn}	CLKINn Input Threshold	V_{CLKINn} Rising V_{CLKINn} Falling		1.2		0.4	V V
I_{CLKINn}	CLKINn Input Current	$V_{\text{CLKINn}} = 5\text{V}$ $V_{\text{CLKINn}} = 0\text{V}$		-20	230 -5	500	μA μA

Power Good Feedback Input and Power Good Output

$\text{OV}_{\text{PGDFBn}}$	Output Overvoltage PG00Dn Upper Threshold	PGDFBn Rising	●	620	645	675	mV
$\text{UV}_{\text{PGDFBn}}$	Output Undervoltage PG00Dn Lower Threshold	PGDFBn Falling	●	525	555	580	mV
ΔV_{PGDFBn}	PG00Dn Hysteresis	PGDFBn Returning			8		mV
R_{PGDFBn}	Resistor Between PGDFB1n and $\text{SV}_{\text{OUTn}}^-$			4.94	4.99	5.04	k Ω
R_{PGOODn}	PG00Dn Pull-Down Resistance	$V_{\text{PGOODn}} = 0.1\text{V}$, $V_{\text{PGDFBn}} < \text{UV}_{\text{PGDFBn}}$ or $V_{\text{PGDFBn}} > \text{OV}_{\text{PGDFBn}}$			700	1500	Ω
$I_{\text{PGOODn}}(\text{LEAK})$	PG00Dn Leakage Current	$V_{\text{PGOODn}} = 3.3\text{V}$, $\text{UV}_{\text{PGDFBn}} < V_{\text{PGDFBn}} < \text{OV}_{\text{PGDFBn}}$			0.1	1	μA

電気的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それぞれの出力チャンネルごとに指定されます (Note 5)。特に指定がない場合は、 $T_A = 25^\circ\text{C}$ 、テスト回路1 (正 V_{OUT} 、 $V_{OUTn}^- = \text{GND}$ による非反転降圧構成)、 $V_{INn} = \text{SV}_{INn} = 36\text{V}$ 、 $\text{EXTV}_{CCn} = 24\text{V}$ 、 $\text{RUNn} = 3.3\text{V}$ 、 $R_{ISETn} = 480\text{k}\Omega$ 、 $R_{fSETn}^+ = 57.6\text{k}\Omega$ 、 $f_{\text{SWn}} = 1.5\text{MHz}$ (CLKINn は 1.5MHz のクロック信号により駆動)、および電圧は GND が基準。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
tPGOODn(DELAY)	PGOODn Delay	PGOODn Low to High (Note 4) PGOODn High to Low (Note 4)			16/fSW(Hz) 64/fSW(Hz)		s s
Current Monitor and Input Voltage Regulation Pins							
hIMONna	IOUTn+/IIMONna	Ratio of VOUTn+ Output Current to IIMONna Current, IOUTn+ = 4A	●	36	40	44	k
IOSn(IMON)	IIMONna Offset Current	IIMONna at IOUTn+ = 0A		−5		5	μA
IMONnb Resistor	Resistor Between IMONnb and SVOUTn−			9.8	10	10.2	kΩ
VIMONna	IMONna Servo Voltage	IMONna Voltage During Output Current Regulation	●	1.9	2.0	2.1	V
VINREGn	VINREGn Servo Voltage	VINREGn Voltage During Output Current Regulation	●	1.8	2.0	2.2	V
IVINREGn	VINREGn Leakage Current	VINREGn = 2V			1		nA
INTVCCn Regulator							
VINTVCCn	Channel Internal VCC Voltage, No INTVCCn Loading (IINTVCCn = 0mA)	3.6V ≤ SVINn ≤ 40V, EXTVCCn Open Circuit 5V ≤ SVINn ≤ 40V, 3.2V ≤ EXTVCCn ≤ 26.5V		3.15 2.85	3.4 3.0	3.65 3.15	V V
VEXTVCCn(TH)	EXTVCCn Switchover Voltage	(Note 4)			3.15		V
ΔVINTVCCn(LOAD)/ VINTVCCn	INTVCCn Load Regulation	0mA ≤ IINTVCCn ≤ 30mA		−2	0.5	2	%

電気的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それぞれの出力チャンネルごとに指定されます (Note 5)。 $T_A = 25^\circ\text{C}$ 、テスト回路2 (負 V_{OUTn}^- 、 $V_{\text{OUTn}}^+ = \text{GND}$ による反転昇降圧構成)、 $V_{\text{INn}} = 12\text{V}$ および SV_{INn} 、 $\text{RUNn}-\text{GND} = 3.3\text{V}$ に電氣的に接続、 $\text{ISETna}-\text{SV}_{\text{OUTn}}^- = 24\text{V}$ 、 $\text{EXTV}_{\text{CCn}} = \text{GND}$ 、 CLKINn オープン・サーキット、 $R_{fSETn} = 57.6\text{k}\Omega$ および $R_{ISETn} = 480\text{k}\Omega$ 、および特に指定のない限り電圧は GND が基準。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SV _{INn} (DC), V _{INn} (DC)	Input DC Voltage in Negative-V _{OUT} [−] Configuration	V _{INn} ⁺ V _{OUTn} [−] ≤ 40V	●	3.6		40	V
V _{OUTn} (RANGE) [−]	Range of Negative Output Voltage Regulation	0.5V ≤ ISETna−SV _{OUTn} [−] ≤ 26.5V	●	−26.5		−0.5	V
V _{OUTn} (−24VDC) [−]	Output Voltage Total Variation with Line and Load at V _{OUTn} [−] = −24V	3.6V ≤ V _{INn} ≤ 16V, 0A ≤ I _{OUTn} [−] ≤ 0.3A, CLKINn Driven per Note 8, C _{INHn} = 4.7μF, C _{Dn} = 4.7μF × 2, C _{OUTHn} = 47μF × 2	●	−24.4	−24	−23.6	V
V _{OUTn} (−5VDC) [−]	Output Voltage Total Variation with Line and Load at V _{OUTn} [−] = −5V	Measuring V _{OSNSn} ⁺ − ISETna, 12V ≤ V _{INn} ≤ 35V, 0A ≤ I _{OUTn} [−] ≤ 3A, CLKINn Driven by 550kHz Clock, C _{INHn} = 4.7μF, C _{Dn} = 4.7μF × 2, C _{OUTHn} = 47μF × 2, ISETna−SV _{OUTn} [−] = 5V	●	−15	0	15	mV
RSV _{INFn}	Resistor Between SV _{INn} and SV _{INFn}				1		Ω

電氣的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それぞれの出力チャンネルごとに指定されます (Note 5)。 $T_A = 25^\circ\text{C}$ 、テスト回路2 (負 V_{OUTn}^- 、 $V_{OUTn}^+ = \text{GND}$ による反転昇降圧構成)、 $V_{INn} = 12\text{V}$ および SV_{INn} 、 $\text{RUNn-GND} = 3.3\text{V}$ に電氣的に接続、 $\text{ISETna-SV}_{OUTn}^- = 24\text{V}$ 、 $\text{EXTV}_{CCn} = \text{GND}$ 、 CLKINn オープン・サーキット、 $\text{R}_{\text{ISETn}} = 57.6\text{k}\Omega$ および $\text{R}_{\text{ISETn}} = 480\text{k}\Omega$ 、および特に指定のない限り電圧はGNDが基準。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Specifications						
$V_{\text{INn(UVLO)}}$	SV_{INn} Undervoltage Lockout Threshold	SV_{INn} Rising SV_{INn} Falling Hysteresis	● ● ● 2.1 400	3.2 2.5 700	3.6 2.8	V V mV
$I_{\text{INRUSH(VINn)}}$	Input Inrush Current at Start-Up	$C_{\text{INHn}} = 4.7\mu\text{F}$, $C_{\text{Dn}} = 4.7\mu\text{F} \times 2$, $C_{\text{OUTHn}} = 47\mu\text{F} \times 2$; $I_{\text{OUTn}}^- = 0\text{A}$, ISETna Electrically Connected to ISETnb		1.1		A
$I_{\text{Q(SVINn)}}$	Input Supply Bias Current	Shutdown, $\text{RUNn} = \text{GND}$ $\text{RUNn-GND} = 3.3\text{V}$		16 450	30	μA μA
$I_{\text{S(VINn)}}$	Input Supply Current	CLKINn Open Circuit, $I_{\text{OUTn}}^- = 1.25\text{A}$		3.0		A
$I_{\text{S(VINn, SHUTDOWN)}}$	Input Supply Current in Shutdown	Shutdown, $\text{RUNn} = \text{GND}$		4		μA
Output Specifications						
I_{OUTn}^-	V_{OUTn}^- Output Continuous Current Range	$V_{\text{INn}} = 12\text{V}$, Regulating $V_{\text{OUTn}}^- = -24\text{V}$ at $f_{\text{SWn}} = 1\text{MHz}$ $V_{\text{INn}} = 12\text{V}$, Regulating $V_{\text{OUTn}}^- = -5\text{V}$ at $f_{\text{SWn}} = 550\text{kHz}$ (See Note 3. Capable of Up to 4A Output Current for Some Combinations of V_{INn} , V_{OUTn}^- and f_{SWn})	0 0		1.25 3	A A
$\Delta V_{\text{OUTn(LINE)}}^- / V_{\text{OUTn}}^-$	Line Regulation Accuracy	$I_{\text{OUTn}}^- = 0\text{A}$, $3.6\text{V} \leq V_{\text{INn}} \leq 16\text{V}$, $\text{ISETna-SV}_{\text{OUTn}}^- = 24\text{V}$, CLKINn Driven by 1.8MHz Clock	●	0.05	0.25	%
$\Delta V_{\text{OUTn(LOAD)}}^- / V_{\text{OUTn}}^-$	Load Regulation Accuracy	$V_{\text{INn}} = 12\text{V}$, $0\text{A} \leq I_{\text{OUTn}}^- \leq 1.25\text{A}$, CLKINn Driven by 1.5MHz Clock, $\text{R}_{\text{ISETn}} = 57.6\text{k}\Omega$, and $\text{R}_{\text{ISETn}} = 480\text{k}\Omega$	●	0.05	0.75	%
$V_{\text{OUTn(AC)}}^-$	Output Voltage Ripple, V_{OUTn}^-	$V_{\text{INn}} = 12\text{V}$, $\text{ISETna-SV}_{\text{OUTn}}^- = 5\text{V}$		10		mV _{P-P}
f_{SN}	V_{OUTn}^- Ripple Frequency	$V_{\text{INn}} = 12\text{V}$, $\text{ISETna-SV}_{\text{OUTn}}^- = 5\text{V}$	●	1.7	1.95 2.2	MHz
$\Delta V_{\text{OUTn(START)}}^-$	Turn-On Overshoot			8		mV
t_{STARTn}	Turn-On Start-Up Time	Delay Measured from V_{INn} Toggling from 0V to 12V to PGOODn Exceeding 3V Above GND; PGOODn Having a 100k Ω Pull-Up to 3.3V with Respect to GND, V_{PGFBn} Resistor Divider Network as Shown in Test Circuit 2, $\text{R}_{\text{ISETna}} = 480\text{k}\Omega$, ISETna Electrically Connected to ISETnb , and CLKINn Driven with 1.2MHz Clock	●	4	9	ms
$\Delta V_{\text{OUTn(LS)}}^-$	Peak Output Voltage Deviation for Dynamic Load Step	I_{OUTn}^- : 0A to 1A and 1A to 0A Load Steps in 1 μs , $C_{\text{OUTHn}} = 47\mu\text{F} \times 2$		400		mV
t_{SETTLEn}	Settling Time for Dynamic Load Step	I_{OUTn}^- : 0A to 1A and 1A to 0A Load Steps in 1 μs , $C_{\text{OUTH2}} = 47\mu\text{F} \times 2 \times 5\text{R}$		50		μs
$I_{\text{OUTn(OC)}}^-$	I_{OUTn}^- Output Current Limit			1.7		A
Control Section						
I_{ISETna}	Reference Current of ISETna Pin	$V_{\text{ISETna-SV}_{\text{OUTn}}^-} = 0.5\text{V}$, $3.6\text{V} \leq V_{\text{INn}} \leq 28\text{V}$ $0\text{V} \leq V_{\text{ISETna-SV}_{\text{OUTn}}^-} \leq V_{\text{INn-SV}_{\text{OUTn}}^-} \leq 40\text{V}$	● ●	49.3 49	50 50 51	μA μA
I_{VOSnSn}^+	V_{OSnSn}^+ Leakage Current	$V_{\text{OSnSn}}^+ - \text{SV}_{\text{OUTn}}^- = 28\text{V}$		290		μA
$t_{\text{ONn(MIN)}}$	Minimum On-Time	(Note 4)		60		ns
V_{RUNn}	RUNn Turn-On/-Off Thresholds	RUNn Input Turn-On Threshold, RUNn Rising RUNn Hysteresis (RUNn Thresholds Measured with Respect to GND)	●	1.08 130	1.32	V mV
I_{RUNn}	RUNn Leakage Current	$V_{\text{INn}} = 12\text{V}$, $\text{RUNn-GND} = 3.3\text{V}$	●	0.1	50	nA

電気的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それぞれの出力チャンネルごとに指定されます (Note 5)。 $T_A = 25^\circ\text{C}$ 、テスト回路2 (負 V_{OUTn}^- 、 $V_{OUTn}^+ = \text{GND}$ による反転昇降圧構成)、 $V_{INn} = 12\text{V}$ および SV_{INn} 、 $\text{RUNn}-\text{GND} = 3.3\text{V}$ に電氣的に接続、 $\text{ISETna}-SV_{OUTn}^- = 24\text{V}$ 、 $\text{EXTVCCn} = \text{GND}$ 、 CLKINn オープン・サーキット、 $R_{\text{ISETn}} = 57.6\text{k}\Omega$ および $R_{\text{ISETn}} = 480\text{k}\Omega$ 、および特に指定のない限り電圧は GND が基準。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Oscillator and Phase-Locked Loop (PLL)						
f_{OSCn}	Oscillator Frequency Accuracy	$V_{\text{INn}} = 12\text{V}$, $\text{ISETna}-SV_{\text{OUTn}}^- = 5\text{V}$, and: f_{SETn} Open Circuit $R_{\text{ISETn}} = 57.6\text{k}\Omega$ (See f_{SN} Specification)	●	360 400 1.95	440	kHz MHz
f_{SYNCn}	PLL Synchronization Capture Range	$V_{\text{INn}} = 12\text{V}$, $\text{ISETna}-SV_{\text{OUTn}}^- = 5\text{V}$, CLKINn Driven with a GND Referred Clock Toggling from 0.4V to 1.2V and Having a Clock Duty Cycle: From 10% to 90%; f_{SETn} Open Circuit From 40% to 60%; $R_{\text{ISETn}} = 57.6\text{k}\Omega$		250 1.3	550 3	kHz MHz
V_{CLKINn}	CLKINn Input Threshold	V_{CLKINn} Rising with Respect to GND V_{CLKINn} Falling with Respect to GND		1.2	0.4	V V
I_{CLKINn}	CLKINn Input Current	$V_{\text{CLKINn}} = 5\text{V}$ with Respect to GND $V_{\text{CLKINn}} = 0\text{V}$ with Respect to GND		-20 230 -5	500	μA μA
Power Good Feedback Input and Power Good Output						
OVPGDFBn	Output Overvoltage PGOODn Upper Threshold	PGDFBn Rising, Differential Voltage from PGDFBn to SV_{OUTn}^-	●	620	645 675	mV
UVPGDFBn	Output Undervoltage PGOODn Lower Threshold	PGDFBn Falling, Differential Voltage from PGDFBn to SV_{OUTn}^-	●	525	555 580	mV
ΔV_{PGDFBn}	PGOODn Hysteresis	PGDFBn Returning		8		mV
R_{PGDFBn}	Resistor Between PGDFBn and SV_{OUTn}^-			4.94 4.99	5.04	k Ω
R_{PGOODn}	PGOODn Pull-Down Resistance	$V_{\text{PGOODn}} = 0.1\text{V}$ with Respect to GND , $V_{\text{PGDFBn}}-SV_{\text{OUTn}}^- < \text{UVPGDFBn}$ or $V_{\text{PGDFBn}}-SV_{\text{OUTn}}^- > \text{OVPGDFBn}$		700	1500	Ω
$I_{\text{PGOODn(LEAK)}}$	PGOODn Leakage Current	$V_{\text{PGOODn}} = 3.3\text{V}$ with Respect to GND , $\text{UVPGDFBn} < V_{\text{PGDFBn}}-SV_{\text{OUTn}}^- < \text{OVPGDFBn}$		0.1	1	μA
$t_{\text{PGOODn(DELAY)}}$	PGOODn Delay	PGOODn Low to High (Note 4) PGOODn High to Low (Note 4)		16/ $f_{\text{SW(Hz)}}$ 64/ $f_{\text{SW(Hz)}}$		s s
Input Voltage Regulation Pin						
V_{VINREGn}	V_{INREGn} Servo Voltage	V_{INREGn} Voltage During Output Current Regulation, Measured with Respect to SV_{OUTn}^-	●	1.8	2.0 2.2	V
I_{VINREGn}	V_{INREGn} Leakage Current	$V_{\text{INREG}}-SV_{\text{OUTn}}^- = 2\text{V}$		1		nA
INTVCCn Regulator						
V_{INTVCCn}	Channel Internal V_{CC} Voltage, No INTVCCn Loading ($I_{\text{INTVCCn}} = 0\text{mA}$)	$3.6\text{V} \leq SV_{\text{INn}}-SV_{\text{OUTn}}^- \leq 40\text{V}$, $\text{EXTVCCn} = \text{Open Circuit}$ $5\text{V} \leq SV_{\text{INn}}-SV_{\text{OUTn}}^- \leq 40\text{V}$, $3.2\text{V} \leq \text{EXTVCCn}-V_{\text{OUTn}}^- \leq 26.5\text{V}$ (INTVCCn Measured with Respect to SV_{OUTn}^-)		3.15 2.85	3.4 3.0 3.65 3.15	V V V
$V_{\text{EXTVCCn(TH)}}$	EXTVCCn Switchover Voltage	(EXTVCCn Measured with Respect to SV_{OUTn}^-) (Note 4)		3.15		V
$\Delta V_{\text{INTVCCn(LOAD)}}/V_{\text{INTVCCn}}$	INTVCCn Load Regulation	$0\text{mA} \leq I_{\text{INTVCCn}} \leq 30\text{mA}$		-2	0.5 2	%

電気的特性

●は仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。特に指定のない場合は、 $T_A = 25^\circ\text{C}$ 、テスト回路3、および電圧はGNDが基準。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$LDO_{IN}(DC)$	LDO Input DC Voltage		●	4.5		40	V
$V_{LDOOUT}(DC)$	LDO Output Voltage	$V_{LDOIN} = 36\text{V}$, $0\text{mA} \leq I_{LDOOUT} \leq 25\text{mA}$ $V_{LDOIN} = 4.5\text{V}$, $0\text{mA} \leq I_{LDOOUT} \leq 20\text{mA}$	● ●	4.8 2.7	5.0 4.1	5.2	V V
$V_{LDOOUT}(AC)$	Output Voltage Ripple				2		mV _{P-P}
$I_{LDOOUT}(OCL)$	Output Current Limit, 5V LDO	$LDO_{IN} = 36\text{V}$			140		mA

Clock Generator

Δf_{OUT}	Clock-Generator Frequency Accuracy	$2.7\text{V} \leq LDO_{OUT} \leq 5.2\text{V}$, $200\text{kHz} \leq f_{OUT} \leq 3\text{MHz}$, MOD Connected to CLKOUT2	●	± 2.5 ± 2.5	± 7.5 ± 3		% %
$R_{CLKSET}(\text{RANGE})$	Frequency Setting Resistor Range	R_{CLKSET} Resistance for Which $-7.5\% \leq \Delta f_{OUT} \leq 7.5\%$, Over $2.7\text{V} \leq LDO_{OUT} \leq 5.2\text{V}$, MOD Electrically Connected to CLKOUT2	●	33.2		499	k Ω
	Period Variation (Frequency Spreading)	$LDO_{OUT} = 5\text{V}$, $R_{CLKSET} = 100\text{k}\Omega$, MOD Open Circuit			± 10		%
	Duty Cycle	$2.7\text{V} \leq LDO_{OUT} \leq 5.2\text{V}$, $200\text{kHz} \leq f_{OUT} \leq 3\text{MHz}$, MOD Electrically Connected to CLKOUT2	●	40		60	%
$\theta_{CLKOUT1}/\theta_{CLKOUT2}$	Phase Relationship of CLKOUT2 to CLKOUT1	$2.7\text{V} \leq LDO_{OUT} \leq 5.2\text{V}$, $200\text{kHz} \leq f_{OUT} \leq 3\text{MHz}$, MOD Electrically Connected to CLKOUT2			180		Deg
$V_{OH_CLKOUTn}$	CLKOUTn Output Voltage, Logic High	CLKOUTn V_{OH} Measured with Respect to LDO_{OUT} , $2.7\text{V} \leq LDO_{OUT} \leq 5.2\text{V}$, $I_{CLKOUTn} = -100\mu\text{A}$		-0.4			V
$V_{OL_CLKOUTn}$	CLKOUTn Output Voltage, Logic Low	CLKOUTn V_{OL} Measured with Respect to GND, $2.7\text{V} \leq LDO_{OUT} \leq 5.2\text{V}$, $I_{CLKOUTn} = 100\mu\text{A}$				0.4	V

Temperature Sensor

ΔV_{TEMP}	Temperature Sensor Forward Voltage, V_{TEMP+} to V_{TEMP-}	$I_{TEMP+} = 100\mu\text{A}$ and $I_{TEMP-} = -100\mu\text{A}$ at $T_A = 25^\circ\text{C}$			0.598		V
$TC_{\Delta V(TEMP)}$	ΔV_{TEMP} Temperature Coefficient				-2.0		mV/ $^\circ\text{C}$
η	Ideality Factor				1.004		

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4655 は $T_J \approx T_A$ となるパルス負荷条件下でテストされます。LTM4655E は、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲内で性能仕様を満たすよう設計されています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。

LTM4655I は内部動作温度範囲 $-40^\circ\text{C} \sim 125^\circ\text{C}$ 全体にわたり仕様を満たすことが確認されています。LTM4655MP は動作温度範囲 $-55^\circ\text{C} \sim 125^\circ\text{C}$ 全体にわたりテストされ確認されています。これらの仕様と一致した最高周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因に加え、個々の動作条件によって決定されることに留意してください。

Note 3: 他の V_{IN} 、 V_{OUT} 、および T_A については [アプリケーション情報](#) のセクションの出力電流ディレーティング曲線を参照してください。

Note 4: 最小オンタイム、PGOOD 遅延、および $EXTV_{CCn}$ スイッチオーバー閾値はウェーハ・ソート時にテストされています。

Note 5: 2つの電源入力 V_{IN1} と V_{IN2} 、およびそのそれぞれに対応する電源出力 V_{OUT1} または V_{OUT1} 、および V_{OUT2} または V_{OUT2} (動作の構成による) は、製造時にそれぞれ独立して正の V_{OUT} (非反転降圧) と負の V_{OUT} (反転昇降圧) の両方の構成においてテストされています。この資料では V_{INn} が V_{IN1} と V_{IN2} の両方を指す場合がありますが、これは n が 1 と 2 のいずれの値も取ることができるためです。イタリック体の n を使った表記方法はこのようなピンすべてに適用されます。

Note 6: 最小オンタイムの基準が満たされるよう、 $V_{OUTn}(0.5V_{DC})^+$ ハイ・ライン・レギュレーションは t_{SETn} と $CLKINn$ オープン・サーキットを使い $13.2V_{IN}$ にてテストされています。 $V_{OUTn}(-0.5V_{DC})^-$ ロー・ライン・レギュレーションは、 t_{SETn} と $CLKINn$ オープン・サーキットを使い $3.6V_{IN}$ にてテストされています。

$V_{OUTn}(-0.5V_{DC})^-$ ハイ・ライン・レギュレーションは $28V_{IN}$ にて、また最小オンタイム基準が満たされるよう 200kHz で駆動される $CLKINn$ によりテストされています。LTM4655 は最小オンタイム基準 (ガードバンドは 90ns まで) への違反が繰り返し発生するアプリケーションには推奨されません。LTM4655 はオンタイム基準への違反が一時的な場合 (例えば V_{IN} サージ) には動作を継続可能です。[アプリケーション情報](#) のセクションを参照してください。

Note 7: ドロップアウト条件については [アプリケーション情報](#) のセクションを参照してください。

Note 8: $V_{OUTn}(-24V_{DC})^-$ は $CLKINn$ を 1.8MHz クロックで駆動、 $ISETna$ は $SV_{OUTn} = 12\text{V}$ 、および $R_{SET} = 57.6\text{k}\Omega$ の条件下で、 $3.6V_{IN}$ と $16V_{IN}$ にてテストされています。これはまた、 $CLKINn$ を 1.5MHz クロックで駆動、 $R_{SETn} = 57.6\text{k}\Omega$ 、および $R_{SETn} = 480\text{k}\Omega$ の条件下で $12V_{IN}$ でもテストされています。

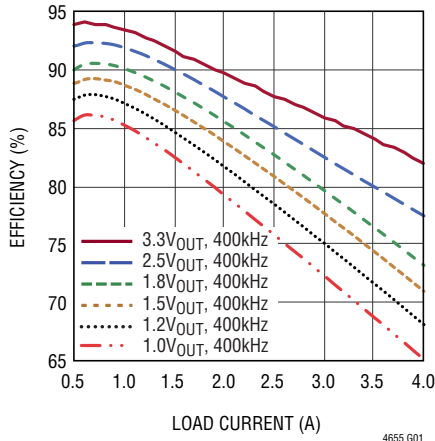
Note 9: この IC には一時的な過負荷からデバイスを保護するための過熱保護機能が搭載されています。過熱保護機能が作動した場合ジャンクション温度は 125°C を超過しています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

Note 10: $INTV_{CCn}$ の絶対最大ピーク出力電流は、 $INTV_{CCn}$ をバイアスしたモジュールの内部回路からの電流と、 $INTV_{CCn}$ をバイアスした外部回路からの電流の合計として指定されます。それぞれのチャンネルごとに独立して指定されます。[アプリケーション情報](#) のセクションを参照してください。

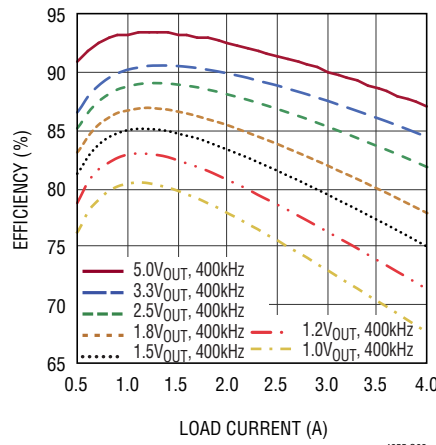
代表的な性能特性

特に指定のない限り $T_A = 25^\circ\text{C}$ 、シングル・チャンネルの正の V_{OUTn}^+ 動作のみ。

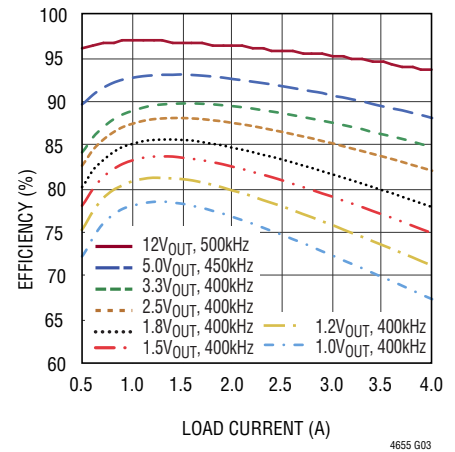
効率と負荷電流の関係
5V_{IN}、強制連続モード



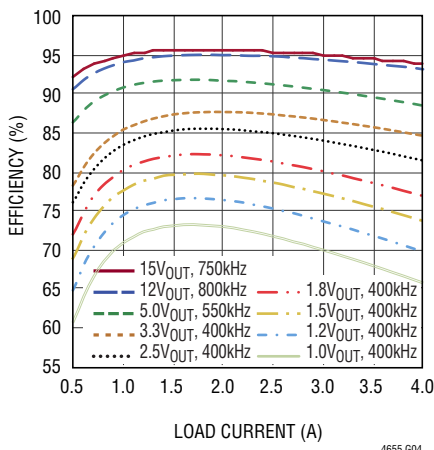
効率と負荷電流の関係
12V_{IN}、強制連続モード



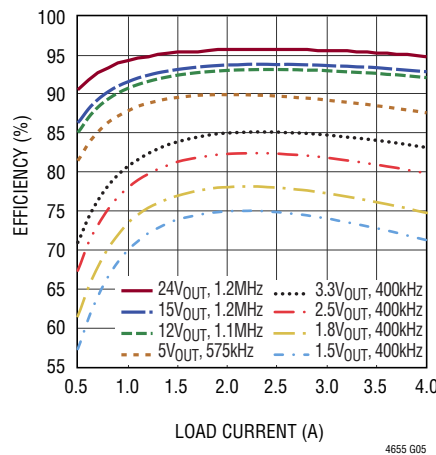
効率と負荷電流の関係
15V_{IN}、強制連続モード



効率と負荷電流の関係
24V_{IN}、強制連続モード



効率と負荷電流の関係
36V_{IN}、強制連続モード



1V 過渡応答、24V_{IN}

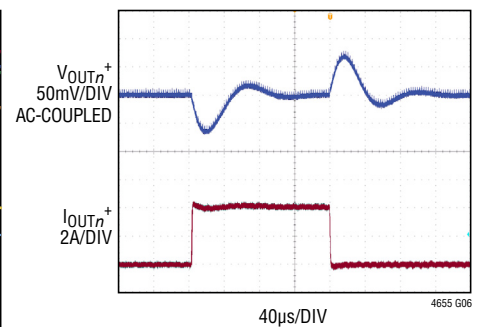


FIGURE 51 CIRCUIT, 24V_{IN},
 $C_{INHn} = C_{DN} = 4.7\mu\text{F}$, $C_{OUTn} = 3 \times 100\mu\text{F}$,
 $R_{ISETn} = \text{N/A}$, $R_{ISETn} = 20\text{k}\Omega$,
 $C_{THn} = 6.8\text{nF}$, $R_{THn} = 681\Omega$,
 $R_{EXTVCCn} = \text{N/A}$, $C_{EXTVCCn} = \text{N/A}$,
2A to 4A LOAD STEP AT 2A/ μs

代表的な性能特性

特に指定のない限り $T_A = 25^\circ\text{C}$ 、シングル・チャンネルの正の V_{OUTn}^+ 動作のみ。

スタートアップ時、負荷なし

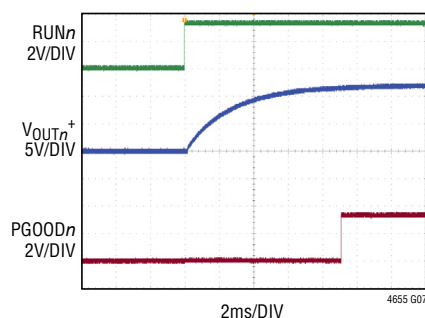


FIGURE 51 CIRCUIT, $36V_{IN}$,
 $C_{INHn} = C_{Dn} = 4.7\mu\text{F}$, $C_{OUTn} = 2 \times 22\mu\text{F}$,
 $R_{fSETn} = 124k$, $R_{iSETn} = 240k\Omega$,
 $R_{PGDFBn} = 95.3k\Omega$,
 $C_{THn} = 10nF$, $R_{THn} = 562\Omega$,
 $R_{EXTVCCn} = 49.9\Omega$, $C_{EXTVCCn} = 1\mu\text{F}$,
 NO LOAD

スタートアップ時、4A 負荷

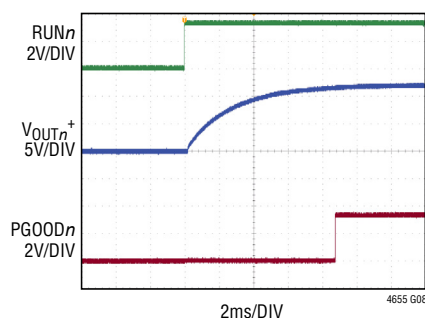


FIGURE 51 CIRCUIT, $36V_{IN}$,
 $C_{INHn} = C_{Dn} = 4.7\mu\text{F}$, $C_{OUTn} = 2 \times 22\mu\text{F}$,
 $R_{fSETn} = 124k$, $R_{iSETn} = 240k\Omega$,
 $R_{PGDFBn} = 95.3k\Omega$,
 $C_{THn} = 10nF$, $R_{THn} = 562\Omega$,
 $R_{EXTVCCn} = 49.9\Omega$, $C_{EXTVCCn} = 1\mu\text{F}$,
 3Ω RESISTIVE LOAD

スタートアップ時、プリバイアス

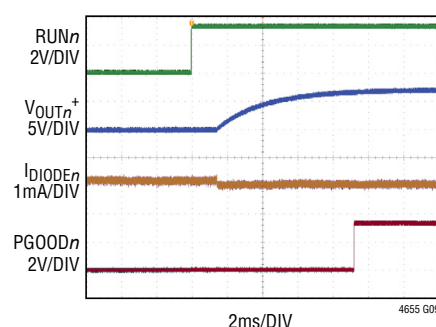


FIGURE 51 CIRCUIT, $36V_{IN}$,
 $C_{INHn} = C_{Dn} = 4.7\mu\text{F}$, $C_{OUTn} = 2 \times 22\mu\text{F}$,
 $R_{fSETn} = 124k$, $R_{iSETn} = 240k\Omega$,
 $R_{PGDFBn} = 95.3k\Omega$,
 $C_{THn} = 10nF$, $R_{THn} = 562\Omega$,
 $R_{EXTVCCn} = 49.9\Omega$, $C_{EXTVCCn} = 1\mu\text{F}$,
 V_{OUTn}^+ PRE-BIASED TO 5V
 THROUGH 1N4148 DIODE

短絡、負荷なし

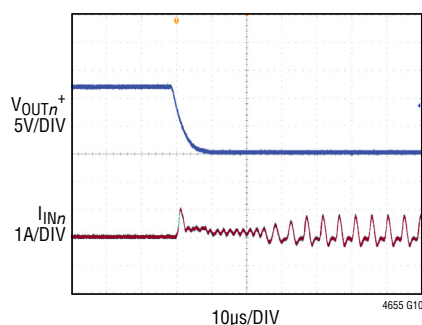


FIGURE 51 CIRCUIT, $36V_{IN}$,
 $C_{INHn} = C_{Dn} = 4.7\mu\text{F}$, $C_{OUTn} = 2 \times 22\mu\text{F}$,
 $R_{fSETn} = 124k$, $R_{iSETn} = 240k\Omega$,
 $R_{PGDFBn} = 95.3k\Omega$,
 $C_{THn} = 10nF$, $R_{THn} = 562\Omega$,
 $R_{EXTVCCn} = 49.9\Omega$, $C_{EXTVCCn} = 1\mu\text{F}$,
 NO LOAD PRIOR TO APPLICATION
 OF OUTPUT SHORT-CIRCUIT

短絡、4A 負荷

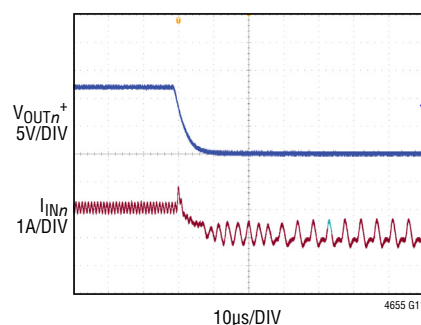
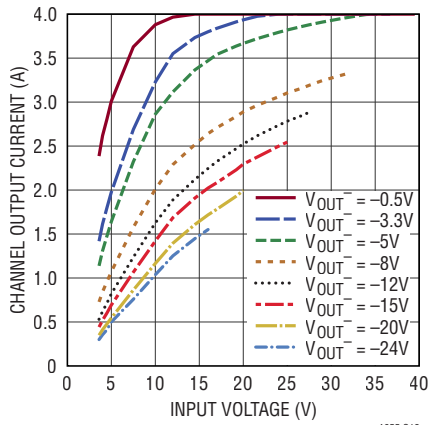


FIGURE 51 CIRCUIT, $36V_{IN}$,
 $C_{INHn} = C_{Dn} = 4.7\mu\text{F}$, $C_{OUTn} = 2 \times 22\mu\text{F}$,
 $R_{fSETn} = 124k$, $R_{iSETn} = 240k\Omega$,
 $R_{PGDFBn} = 95.3k\Omega$,
 $C_{THn} = 10nF$, $R_{THn} = 562\Omega$,
 $R_{EXTVCCn} = 49.9\Omega$, $C_{EXTVCCn} = 1\mu\text{F}$,
 4Ω RESISTIVE LOAD PRIOR TO
 APPLICATION OF OUTPUT
 SHORT-CIRCUIT

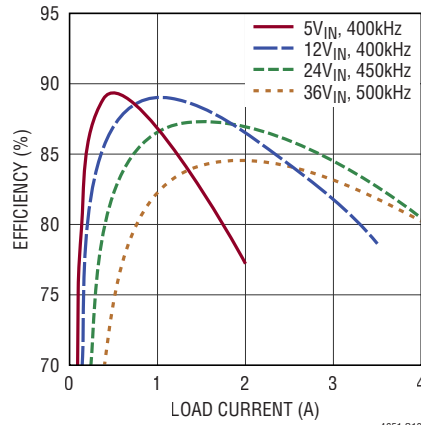
代表的な性能特性

特に指定のない限り $T_A = 25^\circ\text{C}$ 、シングル・チャンネルの負の $-V_{OUTn}$ 動作のみ。

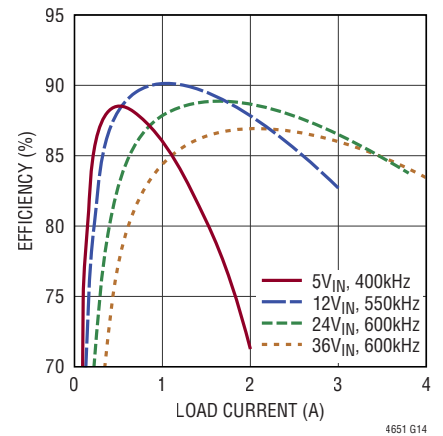
出力可能な電流*



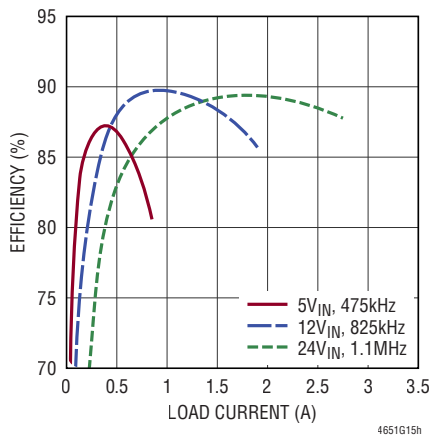
-3.3V時の効率と負荷電流の関係



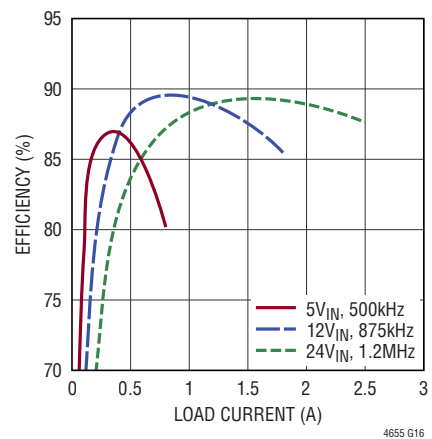
-5V 効率対負荷電流



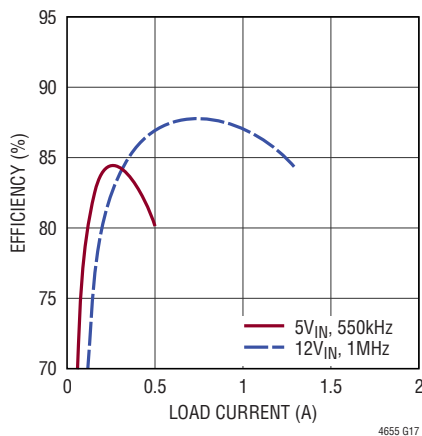
-12V 効率対負荷電流



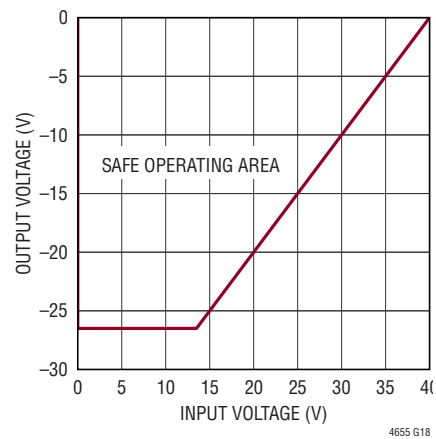
-15V 効率対負荷電流



-24V 効率対負荷電流



定格動作出力電圧



*負荷電流がここに示す曲線を上回った場合、電流制限周波数フォールドバックが有効になります。連続チャンネル出力電流機能はアプリケーション実装の詳細によって影響を受けます。スイッチング周波数は表1に従って設定します。注2と注3を参照してください。

代表的な性能特性

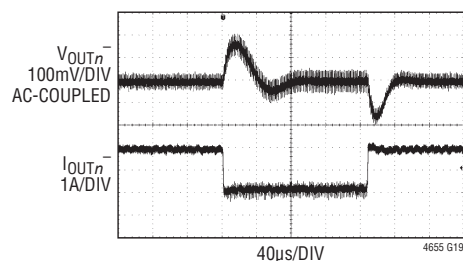
特に指定のない限り $T_A = 25^\circ\text{C}$ 、シングル・チャンネルの負の $-V_{OUTn}$ 動作のみ。-5V時の過渡応答、24V_{IN}

FIGURE 48 CIRCUIT, 24V_{IN},
 $C_{INn} = C_{INHn} = C_{DGNDn} = C_{Dn} = 4.7\mu\text{F}$,
 $C_{OUTn} = 47\mu\text{F} \times 2$, $R_{fSETn} = 665\text{k}\Omega$,
 $R_{SETn} = 100\text{k}\Omega$, $R_{PGDFBn} = 36.5\text{k}\Omega$,
 $R_{EXTVCCn} = 20\Omega$, 1.8A TO 3.8A LOAD STEP AT 2A/ μs

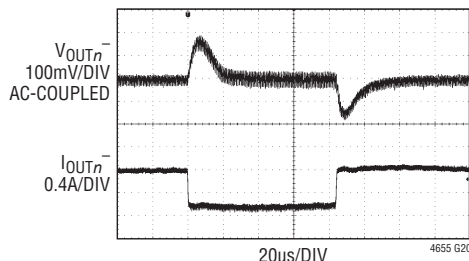
-24V過渡応答、12V_{IN}

FIGURE 48 CIRCUIT,
 0.625A TO 1.25A LOAD STEP AT 0.625A/ μs

スタートアップ時、負荷なし

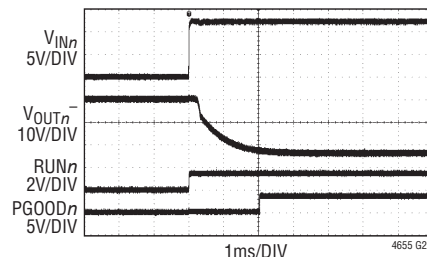


FIGURE 48 CIRCUIT, APPLICATION OF 12V_{IN},
 START-UP INTO NO LOAD

スタートアップ時、1.25A 負荷

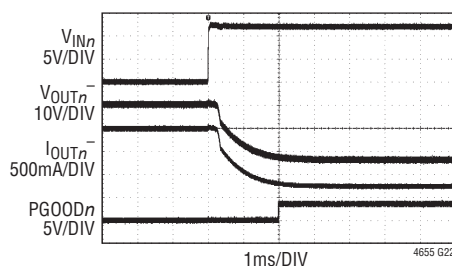


FIGURE 48 CIRCUIT, APPLICATION OF 12V_{IN},
 START-UP INTO 19.2 Ω LOAD

スタートアップ時、プリバイアス

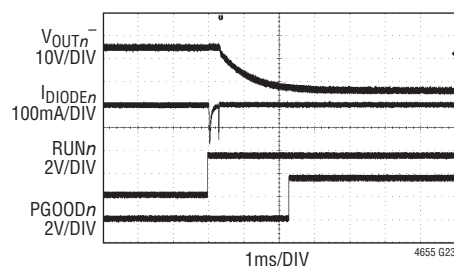


FIGURE 48 CIRCUIT, V_{OUTn} PRE-BIASED
 TO -5V THROUGH A 1N4148 DIODE PRIOR
 TO RUN $_n$ TOGGING HIGH

短絡、負荷なし

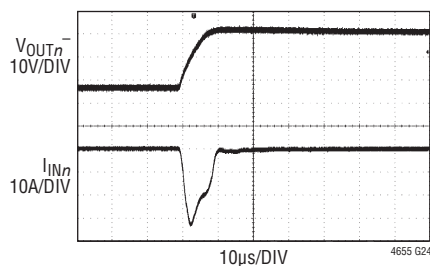


FIGURE 48 CIRCUIT,
 NO LOAD PRIOR TO APPLICATION OF
 V_{OUTn} SHORT-CIRCUIT

短絡、1.25A 負荷

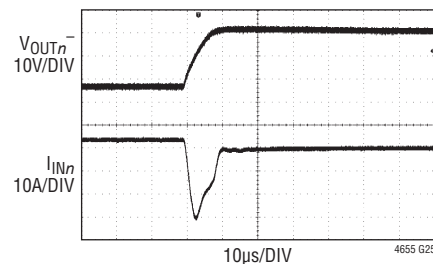


FIGURE 48 CIRCUIT,
 19.2 Ω LOAD PRIOR TO APPLICATION OF
 V_{OUTn} SHORT-CIRCUIT

ピン機能



パッケージの行と列ラベルはμModule製品により異なる場合があります。それぞれのパッケージのレイアウトを慎重に確認してください。

V_{IN1} (A1–A3, B3) : チャンネル1電源入力ピン。入力電圧と入力デカップリング容量はV_{IN1}と電源グラウンド(PGND)プレーンの間に直接印加します。V_{OUT1}⁺がレギュレーションされた正の出力電圧である非反転降圧アプリケーションにおいてPGNDをV_{OUT1}[–]に接続するか、あるいはV_{OUT1}[–]がレギュレーションされた負の出力電圧である反転昇降圧アプリケーションにおいてPGNDをV_{OUT1}⁺に接続します。

V_{IN2} (A6–A8, B8) : チャンネル2電源入力ピン。入力電圧と入力デカップリング容量はV_{IN2}と電源グラウンド(PGND)プレーンの間に直接適用します。V_{OUT2}⁺がレギュレーションされた正の出力電圧である非反転降圧アプリケーションにおいてPGNDをV_{OUT2}[–]に接続するか、あるいはV_{OUT2}[–]がレギュレーションされた負の出力電圧である反転昇降圧アプリケーションにおいてPGNDをV_{OUT2}⁺に接続します。

V_{D1} (A4, B4, C4) : チャンネル1の一次スイッチングMOSFETのドレイン。1個以上の4.7μF高周波セラミック・デカップリング・キャパシタをV_{D1}からV_{OUT1}[–]までの間に直接配置します。このキャパシタは他のいずれのV_{IN1}デカップリング・キャパシタよりも優先的に(モジュールにより近い位置に)配置します。

V_{D2} (A9, B9, C9) : チャンネル2の一次スイッチングMOSFETのドレイン。少なくとも1個の4.7μF高周波セラミック・デカップリング・キャパシタをV_{D2}からV_{OUT2}[–]までの間に直接配置します。このキャパシタは他のいずれのV_{IN2}デカップリング・キャパシタよりも優先的に(モジュールにより近い位置に)配置します。

SV_{IN1} (C3) : 小信号回路のためのチャンネル1入力電源。SV_{IN1}はINTV_{CC1} LDOへの入力です。SV_{IN1}はV_{IN1}に直接接続します。

SV_{IN2} (C8) : 小信号回路のためのチャンネル2入力電源。SV_{IN2}はINTV_{CC2} LDOへの入力です。SV_{IN2}はV_{IN2}に直接接続します。

SV_{INF1} (B11) : 小信号回路のためのチャンネル1フィルタ処理電源。小信号回路においてLTM4655の5V LDOへの電力をチャンネル1の電源から供給する場合、最大25mAを伝送可能な短いパターンを使ってSV_{INF1}とLDO_{IN}を電氣的に接続します。

SV_{INF2} (C11) : 小信号回路のためのチャンネル2フィルタ処理電源。小信号回路においてLTM4655の5V LDOへの電力をチャンネル2の電源から供給する場合、最大25mAを伝送可能な短いパターンを使ってSV_{INF2}とLDO_{IN}を電氣的に接続します。

LDO_{IN} (B12) : 5V LDOへの入力。LDO_{IN}は、SV_{INF1}とSV_{INF2}のいずれかのうち5V LDOへの電源供給により適している方に対し、最大25mAを伝送可能な短いパターンを使って電氣的に接続します。LDO_{IN}の電源がSV_{INF1}とSV_{INF2}のいずれかから供給される場合、LDO_{IN}からGNDへのバイパス容量は不要です。それ以外の場合は、0.1μF～1μFのローカルなバイパス容量を推奨します。

V_{OUT1}[–] (A5, B5, C5, D5, E5, F5, G4–5, H3, H5, J3–5, K4–5, L4–5, M4–5) : チャンネル1の負の電源出力。V_{OUT1}⁺がレギュレーションされた正の出力電圧である非反転降圧アプリケーションではV_{OUT1}[–]をPGNDプレーンに接続します。または、V_{OUT1}[–]がレギュレーションされた負の出力電圧である反転昇降圧アプリケーションではV_{OUT1}⁺をPGNDに接続します。

SV_{OUT1}[–] (E4, G2, H2) : チャンネル1のシグナル・リターン。SV_{OUT1}[–]ピンはチャンネル1の制御ループのためのリファレンス・ノードです。影響を受けやすいチャンネル1のピンと信号を、例えばf_{SET1}、ISET1a/b、COMP1a/bなどへの配線によるノイズなどから保護するため、SV_{OUT1}[–]の小さな銅製の部分をモジュールから延長する必要があります。SV_{OUT1}[–]ピンはすべてモジュール内で相互に接続されています。ピンH2はLTM4655の直下にあるV_{OUT1}[–]に接続します。残りのSV_{OUT1}[–]は、必要に応じて冗長性確保のための接続、あるいはDFT (design-for-test) のためのICTテスト・ポイントへの配線に使用可能です。レイアウトに関するチェックリストは[アプリケーション情報の](#)セクションを参照してください。

V_{OUT1}⁺ (K1–3, L1–3, M1–3) : チャンネル1の正の電源出力。V_{OUT1}⁺は、モジュールに対してローカルなV_{OUT1}[–]へ1μF以上でバイパスします。残りのV_{OUT1}⁺からV_{OUT1}[–]へのバイパス・キャパシタはチャンネル1の負荷近くに配置する必要があります。V_{OUT1}[–]がレギュレーションされた負の出力電圧である反転昇降圧アプリケーションではV_{OUT1}⁺をPGNDプレーンに接続します。または、V_{OUT1}⁺がレギュレーションされた正の出力電圧である非反転降圧アプリケーションではV_{OUT1}[–]をPGNDプレーンに接続します。

ピン機能

V_{OSNS1}⁺ (G1, H1) : チャンネル1の正電圧検出力。チャンネル1のPOL (point-of-load) において、V_{OSNS1}⁺からV_{OUT1}⁺へシグナル・パターンを配線します。これはチャンネル1の制御ループへフィードバック信号を供給します。ノイズの多い環境では、パターンをPGNDの銅配線の間に挟んでV_{OSNS1}⁺を電氣的ノイズからシールドします。G1ピンとH1ピンはモジュール内部で相互に電氣的に接続されており、したがってPOLにてV_{OSNS1}⁺ピンをV_{OUT1}⁺に接続するだけで済みます。残りのV_{OSNS1}⁺ピンは必要に応じて冗長性確保のための接続、あるいはDFT (design-for-test) のためのICTテスト・ポイントへの配線に使用可能です。

V_{OUT2}⁻ (A10-12, B10, C10, D10-11, E10-11, F10-11, G9-11, H8, H10-12, J8-10, K9-12, L9-12, M9-12) : チャンネル2の負の電源出力。V_{OUT2}⁻がレギュレーションされた正の出力電圧である非反転降圧アプリケーションにおいてV_{OUT2}⁻をPGNDプレーンに接続するか、あるいはV_{OUT2}⁺がレギュレーションされた負の出力電圧である反転昇降圧アプリケーションにおいてV_{OUT2}⁺をPGNDに接続します。

SV_{OUT2}⁻ (E9, G7, H7) : チャンネル2のシグナル・リターン。SV_{OUT2}⁻ピンはチャンネル2の制御ループのためのリファレンス・ノードです。影響を受けやすいチャンネル2のピンと信号を、例えばf_{SET2}、ISET2a/b、COMP2a/bなどへの配線によるノイズなどから保護するため、SV_{OUT2}⁻の小さな銅製の部分をモジュールから延長する必要があります。SV_{OUT2}⁻ピンはすべてモジュール内部で相互に接続されています。ピンH7はLTM4655の直下にあるV_{OUT2}⁻に接続します。残りのSV_{OUT2}⁻ピンは、必要に応じて冗長性確保のための接続、あるいはDFT (design-for-test) のためのICTテスト・ポイントへの配線に使用可能です。レイアウトに関するチェックリストは[アプリケーション情報](#)のセクションを参照してください。

V_{OUT2}⁺ (K6-8, L6-8, M6-8) : チャンネル2の正の電源出力。V_{OUT2}⁺はモジュールにローカルなV_{OUT2}⁻へ少なくとも1μFでバイパスします。残りのV_{OUT2}⁺からV_{OUT2}⁻へのバイパス・キャップはチャンネル2の負荷近くに配置する必要があります。V_{OUT2}⁻がレギュレーションされた負の出力電圧である反転昇降圧アプリケーションにおいてV_{OUT2}⁻をPGNDプレーンに接続するか、あるいはV_{OUT2}⁺がレギュレーションされた正の出力電圧である非反転降圧アプリケーションにおいてV_{OUT2}⁻をPGNDプレーンに接続します。

V_{OSNS2}⁺ (G6, H6) : チャンネル2の正電圧検出力。チャンネル2のPOL (point-of-load) にてV_{OSNS2}⁺からV_{OUT2}⁺へシグナル・パターンを配線します。これはチャンネル2の制御ループへフィードバック信号を供給します。ノイズの多い環境では、パターンをPGNDの銅配線の間に挟んでV_{OSNS2}⁺を電氣的ノイズからシールドします。G6ピンとH6ピンはモジュール内部で相互に電氣的に接続されており、したがってPOLにてV_{OSNS2}⁺ピンをV_{OUT2}⁺に接続すれば十分です。残りのV_{OSNS2}⁺ピンは、必要に応じて冗長性確保のための接続、あるいはDFT (design-for-test) のためのICTテスト・ポイントへの配線に使用可能です。

GND (D4, D9, D12) : グラウンド・ピン。RUN_n、PGOOD_n、およびCLKIN_nのロジック閾値は電氣的にGNDを基準としています。GNDは5V固定のLDOとCLKOUT_nクロック・ジェネレータのリファレンス電圧でもあります。GNDピンはすべてソリッド・グラウンド・プレーンであるPGNDに接続します。

RUN1 (F4) : チャンネル1の動作制御ピン。電圧が(GNDに対して)約1.2Vを超えた場合、モジュールはその出力電圧を調整するよう指示されます。低電圧ロックアウト(UVLO)の実装は、RUN1をV_{IN1}~GND間の抵抗分圧器により形成された中間点ノードに接続することにより行えます。RUN1は約130mVのヒステリシスを備えています。

RUN2 (F9) : チャンネル2の動作制御ピン。電圧が(GNDに対して)約1.2Vを超えた場合、モジュールはその出力電圧を調整するよう指示されます。低電圧ロックアウト(UVLO)の実装は、RUN2をV_{IN2}~GND間の抵抗分圧器により形成された中間点ノードに接続することにより行えます。RUN2は約130mVのヒステリシスを備えています。

INTV_{CC1} (G3) : チャンネル1の内部レギュレータ、V_{OUT1}⁻を基準として3.3Vの出力。チャンネル1の内部制御回路とMOSFETドライバにはINTV_{CC1}バイアスから電力が供給されます。INTV_{CC1}はオープン・サーキットのままとします。RUN1がロジック・ハイ (RUN1-GND > 1.2V) のとき、LDOはSV_{IN1}とEXTV_{CC1}のいずれかからINTV_{CC1}を生成します。RUN1がロジック・ロー (RUN1-GND < 1.2V) のとき、INTV_{CC1} LDOはオフになります。(EXTV_{CC1}を参照してください。)

ピン機能

INTV_{CC2} (G8) : チャンネル2の内部レギュレータ、V_{OUT2}⁻を基準として3.3Vの出力。チャンネル2の内部制御回路とMOSFETドライバはINTV_{CC2}バイアスから電源を得ます。INTV_{CC2}はオープン・サーキットのままとします。RUN2がロジック・ハイ (RUN2-GND > 1.2V) のとき、LDOはSV_{IN2}とEXTV_{CC2}のいずれかからINTV_{CC2}を生成します。RUN2がロジック・ロー (RUN2-GND < 1.2V) のとき、INTV_{CC2} LDOはオフになります。(EXTV_{CC2}を参照してください。)

EXTV_{CC1} (F3) : 外部バイアス、INTV_{CC1}レギュレータへの補助入力。EXTV_{CC1}-V_{OUT1}⁻ > 3.2V、SV_{IN1} > 5V、かつRUN1-GND > 1.2Vのとき、INTV_{CC1} LDOにはSV_{IN1}ではなくEXTV_{CC1}から電力が供給されます。これによりLDO損失が大きく削減されるためモジュールのジャンクション温度が低下します。4V < V_{OUT1}⁺ - V_{OUT1}⁻ < 28Vであるアプリケーションの場合、EXTV_{CC1}を15Ω~110Ωの抵抗を経由してV_{OUT1}⁺に接続し、1μFのセラミック・キャパシタを使ってEXTV_{CC1}とV_{OUT1}⁻をローカルにデカップリングします。それ以外の場合には、EXTV_{CC1}をV_{OUT1}⁻に接続するか、あるいはEXTV_{CC1}をオープン・サーキットのままとします。[アプリケーション情報](#)のセクションを参照してください。

EXTV_{CC2} (F8) : 外部バイアス、INTV_{CC2}レギュレータへの補助入力。EXTV_{CC2}-V_{OUT2}⁻ > 3.2V、SV_{IN2} > 5V、かつRUN2-GND > 1.2Vのとき、INTV_{CC2} LDOにはSV_{IN2}ではなくEXTV_{CC2} LDOから電力が供給されます。これによりLDO損失が大きく削減されるためモジュールのジャンクション温度が低下します。4V < V_{OUT2}⁺ - V_{OUT2}⁻ < 28Vであるアプリケーションの場合、EXTV_{CC2}を15Ω~110Ωの抵抗を経由してV_{OUT2}⁺に接続し、1μFのセラミック・キャパシタを使ってEXTV_{CC2}とV_{OUT2}⁻をローカルにデカップリングします。それ以外の場合には、EXTV_{CC2}をV_{OUT2}⁻に接続するか、あるいはEXTV_{CC2}をオープン・サーキットのままとします。[アプリケーション情報](#)のセクションを参照してください。

ISSET1b (F1) : チャンネル1のための1.5nFソフトスタート・キャパシタ。チャンネル1をデフォルトでソフトスタートとしたい場合にはISSET1bをISSET1aに接続します。ISSET1aを参照してください。

ISSET2b (F6) : チャンネル2のための1.5nFソフトスタート・キャパシタ。チャンネル2をデフォルトでソフトスタートとしたい場合にはISSET2bをISSET2aに接続します。ISSET2aを参照してください。

ISSET1a (F2) : 正確な50μA電流源。チャンネル1のエラー・アンプへの正の入力。チャンネル1の出力電圧マグニチュードV_{OUT1}⁺ - V_{OUT1}⁻を必要に合わせてプログラムするには、抵抗R_{ISSET1a} = ((V_{OUT1}⁺ - V_{OUT1}⁻)/50μA)をこのピンからモジュール内でローカルなSV_{OUT1}⁻に接続します。チャンネル1の出力電圧をソフトスタートする、すなわちスタートアップ時の突入電流を削減するには、ISSET1aからSV_{OUT1}⁻へキャパシタを接続します。デフォルトでソフトスタートとしたい場合にはISSET1aをISSET1bに接続します。(ISSET1bを参照してください。)

またLTM4655のチャンネル1出力はこのピンに印加される電圧を追跡できます。[\(アプリケーション情報のセクションを参照してください。\)](#)

ISSET2a (F7) : 正確な50μA電流源。チャンネル1のエラー・アンプへの正の入力。チャンネル2の出力電圧マグニチュードV_{OUT2}⁺ - V_{OUT2}⁻を必要に合わせてプログラムするには、抵抗R_{ISSET2a} = ((V_{OUT2}⁺ - V_{OUT2}⁻)/50μA)をこのピンからモジュール内でローカルなSV_{OUT2}⁻に接続します。チャンネル2の出力電圧をソフトスタートする、すなわちスタートアップ時の突入電流を削減するには、ISSET2aとSV_{OUT2}⁻の間にキャパシタを接続します。ソフトスタートをデフォルトとしたい場合にはISSET2aをISSET2bに接続します。(ISSET2bを参照してください。)

またLTM4655のチャンネル2出力はこのピンに印加される電圧を追跡できます。[\(アプリケーション情報のセクションを参照してください。\)](#)

PGOOD1 (D1) : チャンネル1のパワーグッド・インジケータ、オープンドレイン出力ピン。PGOOD1はPGDFB1-SV_{OUT1}⁻が0.6V±約7.5%以内の場合に高インピーダンスです。PGDFB1がこの範囲外の場合、PGOOD1はGNDと同電位にされます。

PGOOD2 (D6) : チャンネル2のパワーグッド・インジケータ、オープンドレイン出力ピン。PGOOD2はPGDFB2-SV_{OUT2}⁻が0.6V±約7.5%以内の場合に高インピーダンスです。PGDFB2がこの範囲外の場合、PGOOD2はGNDにプルアップされます。

ピン機能

PGDFB1 (D2) : チャンネル1のパワーグッド・フィードバック・プログラミング・ピン。PGDFB1は抵抗 R_{PGDFB1} を通じて V_{OSNS1}^{+} に接続します。 R_{PGDFB1} はPGOOD1が自らの状態を切り替える電圧閾値($V_{OUT1}^{+} - V_{OUT1}^{-}$)を構成します。PGOOD1機能を使用する場合には R_{PGDFB1} を以下のとおり設定します:

$$R_{PGDFB1} = \left[\frac{V_{OUT1}^{+} - V_{OUT1}^{-}}{0.6V} - 1 \right] \cdot 4.99k \quad (1)$$

それ以外の場合にはPGDFB1はオープン・サーキットのままとします。

このピン上にあるLTM4655に内蔵された小型のフィルタ・キャパシタ(220pF)が、PGOOD1出力インジケータに高周波ノイズ耐性を提供します。

PGDFB2 (D7) : チャンネル2のパワーグッド・フィードバック・プログラミング・ピン。PGDFB2は抵抗 R_{PGDFB2} を通じて V_{OSNS2}^{+} に接続します。 R_{PGDFB2} はPGOOD2が自らの状態を切り替える電圧閾値($V_{OUT2}^{+} - V_{OUT2}^{-}$)を構成します。PGOOD2機能を使用する場合には R_{PGDFB2} を式2に従って設定します。

$$R_{PGDFB2} = \left[\frac{V_{OUT2}^{+} - V_{OUT2}^{-}}{0.6V} - 1 \right] \cdot 4.99k \quad (2)$$

それ以外の場合にはPGDFB2はオープン・サーキットのままとします。

このピン上にあるLTM4655に内蔵された小型のフィルタ・キャパシタ(220pF)が、PGOOD2出力インジケータに高周波ノイズ耐性を提供します。

fSET1 (E3) : チャンネル1の発振周波数プログラミング・ピン。チャンネル1のデフォルトのスイッチング周波数は400kHzです。必要な場合には、 f_{SET1} と SV_{OUT1}^{-} の間に抵抗を接続することにより、プログラムする周波数を増加することが可能です。 f_{SET1} 関連のパターンは短くします。(アプリケーション情報のセクションを参照してください。)CLKIN1の同期範囲はこの f_{SET1} ピンでプログラムした発振周波数の±約40%となることに留意してください。

fSET2 (E8) : チャンネル2の発振周波数プログラミング・ピン。チャンネル2のデフォルトのスイッチング周波数は400kHzです。必要な場合には、 f_{SET2} と SV_{OUT2}^{-} の間に抵抗を接続することにより、プログラムする周波数を高めることが可能です。 f_{SET2} 関連のトレースは短くします。(アプリケーション情報のセクションを参照してください。)CLKIN2の同期範囲はこの f_{SET2} ピンでプログラムした発振周波数の±約40%となることに留意してください。

CLKIN1 (B1) : チャンネル1のモード選択および発振器同期入力。GNDを基準とします。強制連続動作モードではCLKIN1をオープン・サーキットのままとします。

あるいは、このピンを駆動することによりチャンネル1のスイッチング周波数をクロック・シグナルと同期させることも可能です。この条件下ではチャンネル1は強制連続モードで動作し、そのプライマリMOSFETのサイクルごとの立上がりはCLKIN1に適用されるクロックの立上がりエッジに一致します。CLKIN1の同期範囲はこの f_{SET1} ピンでプログラムした発振周波数の±約40%となることに留意してください。(アプリケーション情報のセクションを参照してください。)LTM4655にはデュアル180°アウトオブフェーズのクロック・ジェネレータが内蔵されています。必要がある場合、チャンネル1のスイッチング周波数をCLKOUT1と同期させるため、短いパターンを使ってCLKIN1をCLKOUT1に電氣的に接続します。0°フェーズ・インターリーピングが必要な場合は、CLKOUT1をCLKIN1とCLKIN2の両方に接続します。

CLKIN2 (B6) : チャンネル2のモード選択および発振器同期入力。GNDを基準とします。強制連続動作モードではCLKIN2をオープン・サーキットのままとします。

あるいは、このピンを駆動することによりチャンネル2のスイッチング周波数をクロック・シグナルと同期させることも可能です。この条件下ではチャンネル2は強制連続モードで動作し、そのプライマリMOSFETのサイクルごとの立上がりはCLKIN2に適用されるクロックの立上がりエッジに一致します。CLKIN2の同期範囲はこの f_{SET2} ピンでプログラムした発振周波数の±約40%となることに留意してください。(アプリケーション情報のセクションを参照してください。)LTM4655にはデュアル180°アウトオブフェーズのクロック・ジェネレータが内蔵されています。必要がある場合、チャンネル2のスイッチング周波数をCLKOUT1と同期させるため、短いトレースを使ってCLKIN2をCLKOUT2に電氣的に接続します。0°フェーズ・インターリーピングが必要な場合は、CLKOUT1をCLKIN1とCLKIN2の両方に接続します。

ピン機能

COMP1a (E2) : チャンネル1の電流制御閾値とエラー・アンプ補償ノード。チャンネル1の電流コンパレータのトリップ閾値は、COMP1a電圧の上昇と共に増加します。LTM4655に内蔵された小型フィルタ・キャパシタ(10pF)はエラー・アンプの応答に高周波数ロールオフを導入し、それによって制御ループ内での優れたノイズ除去を実現します。多くのアプリケーションにおいてCOMP1aはCOMP1bに電氣的に接続されており、したがってデフォルトのループ補償が適用されます。それ以外の構成が必要な場合には、ループ補償(直列の抵抗キャパシタ)をCOMP1aからSV_{OUT1}⁻へ導入することが可能です。(COMP1bを参照してください。)

COMP2a (E7) : チャンネル2の電流制御閾値とエラー・アンプ補償ノード。チャンネル2の現時点でのコンパレータのトリップ閾値は、COMP2a電圧の増加と共に上昇します。LTM4655に内蔵された小型フィルタ・キャパシタ(10pF)はエラー・アンプの応答に高周波数ロールオフを導入し、それによって制御ループ内での優れたノイズ除去を実現します。多くのアプリケーションにおいてCOMP1aはCOMP1bに電氣的に接続されており、したがってデフォルトのループ補正が適用されます。それ以外の構成が必要な場合には、ループ補正(抵抗とキャパシタを直列で接続)をCOMP2aとSV_{OUT2}⁻の間に配置できます。(COMP2bを参照してください。)

COMP1b (E1) : チャンネル1の内部ループ補償ネットワーク。大半のアプリケーションではLTM4655に内蔵されたデフォルトのループ補償を特に変更なく適用することが望ましく、これにより非常に優れた結果が得られます。チャンネル1の制御ループにデフォルトのループ補償を適用するにはCOMP1aをCOMP1bに接続します。より特化したアプリケーションにおいて制御ループの応答を最適化したい場合には、COMP1aとSV_{OUT1}⁻の間に抵抗とキャパシタを直列接続し、COMP1bをオープン・サーキットのままとします。

COMP2b (E6) : チャンネル2の内部ループ補償ネットワーク。大半のアプリケーションではLTM4655に内蔵されたデフォルトのループ補償を特に変更なく適用することが望ましく、これにより非常に優れた結果が得られます。チャンネル2の制御ループにデフォルトのループ補償を適用するにはCOMP2aをCOMP2bに接続します。より特化したアプリケーションにおいて制御ループの応答を最適化したい場合には、COMP2aとSV_{OUT2}⁻の間に抵抗とキャパシタを直列で接続し、COMP2bをオープン・サーキットのままとします。

IMON1a (C2) : チャンネル1のパワー・インダクタ・アナログ・インジケータ・ピンと電流制限プログラミング・ピン。正V_{OUT}降圧アプリケーションでのみ、このピンから出力される電流はチャンネル1のパワー・インダクタ電流の4万分の1となります。あるいはこのピンに抵抗とキャパシタを並列で接続し、それをSV_{OUT1}⁻に終端することにより、チャンネル1のパワー・インダクタ電流に比例した電圧(V_{IMON1a}-SV_{OUT1}⁻)とすることも可能です。

IMON1bにより得られるデフォルトの抵抗キャパシタ終端ネットワークが必要な場合にはIMON1aをIMON1bに接続します。このアナログ・インジケータ機能が不要な場合、あるいは負V_{OUT}昇降圧アプリケーションの場合には、IMON1aをSV_{OUT1}⁻に接続します。

IMON1a-SV_{OUT1}⁻がトリップ閾値を約2V超過する場合、IMON1制御ループがチャンネル1のパワー・インダクタ電流にサーボ機能を提供し、それによってIMON1a-SV_{OUT1}⁻を2Vに調整します。チャンネル1の電流開始閾値はこのようにして設定できます。(アプリケーション情報のセクションを参照してください。)

IMON1b (C1) : チャンネル1のパワー・インダクタ電流デフォルト終端R-Cネットワーク。10k抵抗と10nFキャパシタを並列接続し、SV_{OUT1}⁻に終端したものをこのピンに接続します。デフォルトのパワー・インダクタ・アナログ・インジケータ電流特性を得るにはIMON1bをIMON1aに接続します。デフォルトの特性は、正V_{OUT}、非反転降圧アプリケーションのフルスケール(4A)負荷電流において1V(SV_{OUT1}⁻を基準とする)です(IMON1aを参照してください。)。これを使用しない場合にはIMON1bはオープン・サーキットのままとするか、あるいはSV_{OUT1}⁻に接続します。

ピン機能

IMON2a (C7) : チャンネル2のパワー・インダクタ電流アナログ・インジケータ・ピンと電流制限プログラミング・ピン。正 V_{OUT} 降圧アプリケーションでのみ、このピンから出力される電流はチャンネル2のパワー・インダクタ電流の4万分の1となります。あるいはこのピンに抵抗とキャパシタを並列で接続し、それを SV_{OUT2}^- に終端することにより、チャンネル2のパワー・インダクタ電流に比例した電圧 ($V_{IMON2a-SV_{OUT2}^-}$) とすることも可能です。

IMON2bにより得られるデフォルトの抵抗キャパシタ終端ネットワークが必要な場合にはIMON2aをIMON2bに接続します。このアナログ・インジケータ機能が不要な場合、あるいは負 V_{OUT} 昇降圧アプリケーションの場合には、IMON2aを SV_{OUT2}^- に接続します。

IMON2a- SV_{OUT2}^- がトリップ閾値を約2V超過する場合、IMON2制御ループがチャンネル2のパワー・インダクタ電流にサーボ機能を提供し、それによってIMON2a- SV_{OUT2}^- を2Vに調整します。チャンネル2の電流開始閾値はこのようにして構成可能です。(アプリケーション情報のセクションを参照してください。)

IMON2b (C6) : チャンネル2のパワー・インダクタ電流デフォルト終端R-Cネットワーク。10k抵抗と10nFキャパシタを並列接続し、 SV_{OUT2}^- に終端したものをこのピンに接続します。デフォルトのパワー・インダクタ・アナログ・インジケータ電流特性を得るにはIMON2bをIMON2aに次のように接続します：正 V_{OUT} 、非反転降圧アプリケーションのフルスケール(4A)負荷電流において1V(SV_{OUT2}^- を基準とする)。(IMON2aを参照してください。)これを使用しない場合にはIMON2bはオープン・サーキットのままとするか、あるいは SV_{OUT2}^- に接続します。

VINREG1 (D3) : チャンネル1の入力電圧レギュレーション・プログラミング・ピン。オプションとして、このピンは V_{D1} と V_{OUT1}^- の間の抵抗分圧器により構成された中間点ノードに接続することも可能です。VINREG1- SV_{OUT1}^- が約2V未満となった場合、VINREG1制御ループがパワー・インダクタ電流を供給し、それにより SV_{OUT1}^- を基準としてVINREG1を2Vに調整します。(アプリケーション情報のセクションを参照してください。)

チャンネル1にはこの入力電圧レギュレーション機能が必要ない場合、VINREG1をINTV_{CC1}に接続します。

VINREG2 (D8) : チャンネル2の入力電圧レギュレーション・プログラミング・ピン。オプションとして、このピンは V_{D2} と V_{OUT2}^- の間の抵抗分圧器により構成された中間点ノードに接続します。VINREG2- SV_{OUT2}^- が約2V未満となった場合、VINREG2制御ループがパワー・インダクタ電流を供給し、それによってVINREG2を SV_{OUT2}^- を基準として2Vに調整します。(アプリケーション情報のセクションを参照してください。)

チャンネル2にはこの入力電圧レギュレーション機能が必要ない場合、VINREG2をINTV_{CC2}に接続します。

TEMP⁺ (J6) : 温度センサー、正の入力。2N3906-ジャンルPNPバイポーラ・ジャンクション・トランジスタ(BJT)のエミッタ。LTC[®]2997、LTC2990、LTC2974、LTC2975などの温度モニタリング回路に接続することも可能です。それ以外の場合には電氣的にオープンなままとします。

TEMP⁻ (J7) : 温度センサー、負の入力。2N3906-ジャンルPNPバイポーラ・ジャンクション・トランジスタ(BJT)のコレクタとベース。LTC2997、LTC2990、LTC2974、LTC2975などの温度モニタリング回路に接続することも可能です。それ以外の場合には電氣的にオープンなままとします。

SW1 (H4) : チャンネル1のスイッチング・コンバータ段のスイッチング・ノード。テストに使用します。必要な場合にはコンバータのスイッチング動作をモニタするため、細いパターンを使ってローカルなテスト・ポイントに短距離の配線を行うことも可能ですが、感度の高い信号の近くには配線しないでください。必要がない場合は電氣的にオープン・サーキットのままとします。

SW2 (H9) : チャンネル2のスイッチング・コンバータ・ステージのスイッチング・ノード。テストに使用します。必要な場合にはコンバータのスイッチング動作をモニタするため、細いパターンを使ってローカルなテスト・ポイントに短距離の配線を行うことも可能ですが、感度の高い信号の近くには配線しないでください。必要がない場合は電氣的にオープン・サーキットのままとします。

LDO_{OUT} (G12) : LTM4655のGNDリファレンス5V固定LDOからの出力。バイパス容量は不要です。LTM4655の内蔵クロック・ジェネレータに電力を供給します。最大25mAの電流を供給可能です。

ピン機能

CLKSET (F12) : クロック・ジェネレータ周波数設定抵抗入力。抵抗 R_{CLKSET} を LDO_{OUT} とCLKSETの間に配置します。CLKOUT1とCLKOUT2のクロック周波数は R_{CLKSET} により式3に従って設定されます。

$$f_{(CLKOUT1, CLKOUT2)} = 10\text{MHz} \cdot \frac{10\text{k}\Omega}{R_{CLKSET}(\text{k}\Omega)} \quad (3)$$

発振周波数3MHz～250kHzに対応する32.2k～400kの抵抗値がサポートされます。このピンへの浮遊容量は最小となるようにしてください。

CLKOUT1 (B2) : チャンネル1のためのクロック・ジェネレータからの矩形波出力。CLKOUT2から180°アウトオブフェーズ。このピンへの浮遊容量は最小となるようにしてください。チャンネル1をCLKOUT1に同期させたい場合はCLKOUT1をCLKIN1に接続します。0°フェーズ・インターリービングが必要な場合は、CLKOUT1をCLKIN1とCLKIN2の両方に接続します。

CLKOUT2 (B7、C12) : チャンネル2のためのクロック・ジェネレータからの矩形波出力。CLKOUT1から180°アウトオブフェーズ。これらのピンへの浮遊容量は最小となるようにしてください。チャンネル2をCLKOUT2に同期させたい場合はCLKOUT2 (B7ピンのみ)をCLKIN2に接続します。0°フェーズ・インターリービングが必要な場合は、CLKOUT1をCLKIN1とCLKIN2の両方に接続します。

スペクトラム拡散周波数変調(SFFM)を無効にするには、短いパターンを使ってCLKOUT2 (C12ピンのみ)をMODピン(E12ピン)に接続します。

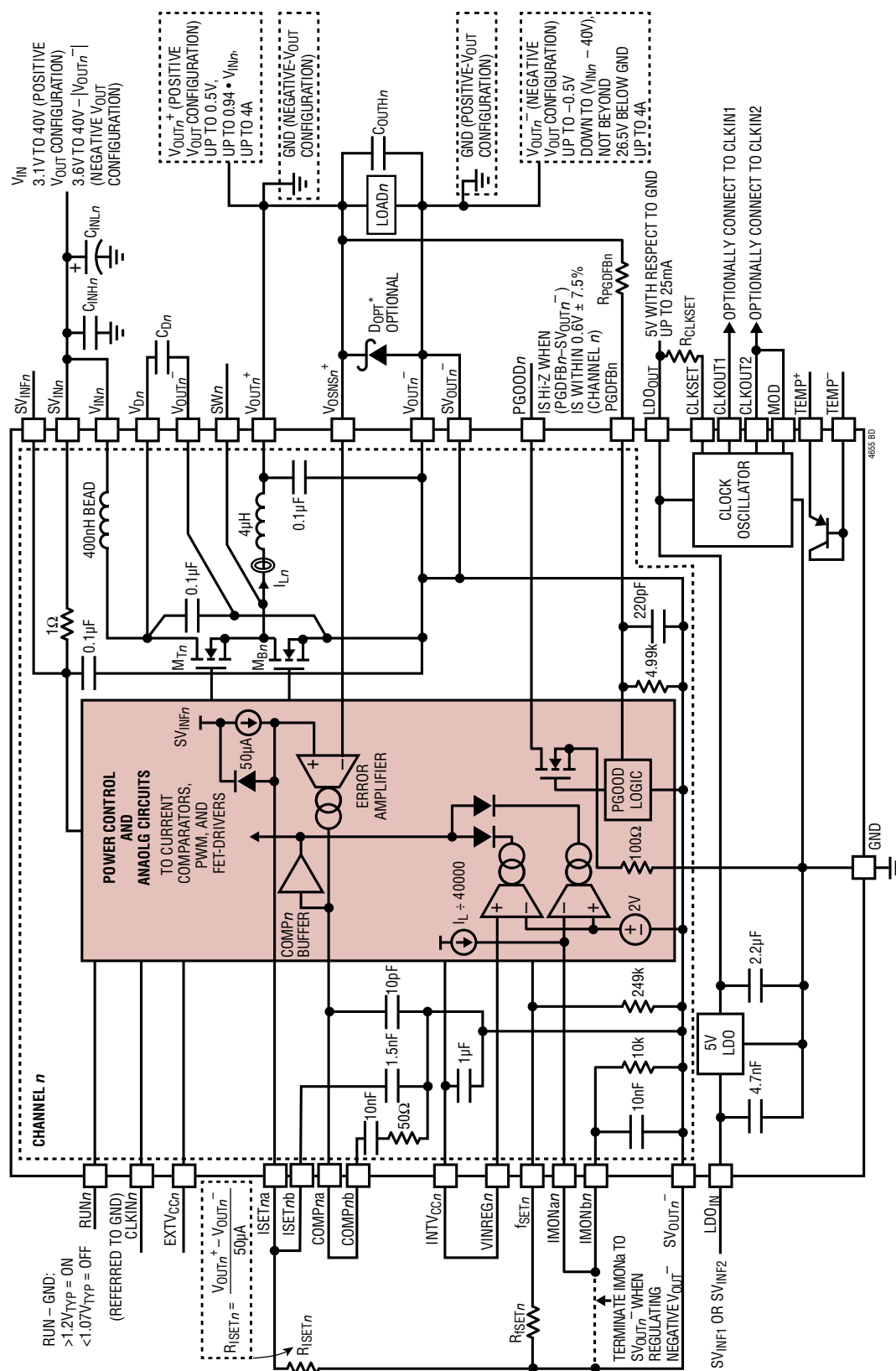
B7とC12のCLKOUT2ピンはモジュール内部で1本のパターンにより電氣的に接続されています。これが記述のとおりピンアウトされている唯一の理由は、CLKIN2とMODへの短いパターンの配線を行いやすくするためです。CLKOUT2は最小限のパターン長で配線する必要があります。これらのピンへの浮遊容量は最小となるようにしてください。

MOD (E12) : 変調設定入力。この3ステート入力は4つの変調レート設定から選択します。変調レートを $f_{OUT}/16$ とするにはMODピンをGNDに接続する必要があります。MODピンをオープン・サーキットのままにすると $f_{OUT}/32$ の変調レートが選択されます。変調レートを $f_{OUT}/64$ とする場合はMODピンを LDO_{OUT} に電氣的に接続します。CLKOUT2 (ピンC12のみ)をMODピン(ピンE12)に電氣的に接続すると変調がオフになります。高速なロジックや信号をMODに近い高速エッジに配線しないでください。 $f_{OUT}/16$ 、 $f_{OUT}/32$ 、および $f_{OUT}/64$ 変調レートは、それらの代表的変調レートについて出荷時のATEでの試験が明確には行われていないことに留意してください。ただし変調オフ設定については明確に試験が行われています。

NC (J1-2、J11-12) : 接続なしのピン、つまり内部的に接続されていないピン。NCピンは主に基板へのモジュールのマウント改善に使用されます。LTM4655レイアウトのどちらか片方へのLTM4651/LTM4653のドロップイン互換性を確保するため、これらのNCピンは電氣的にオープン・サーキットのままとすることを推奨します。

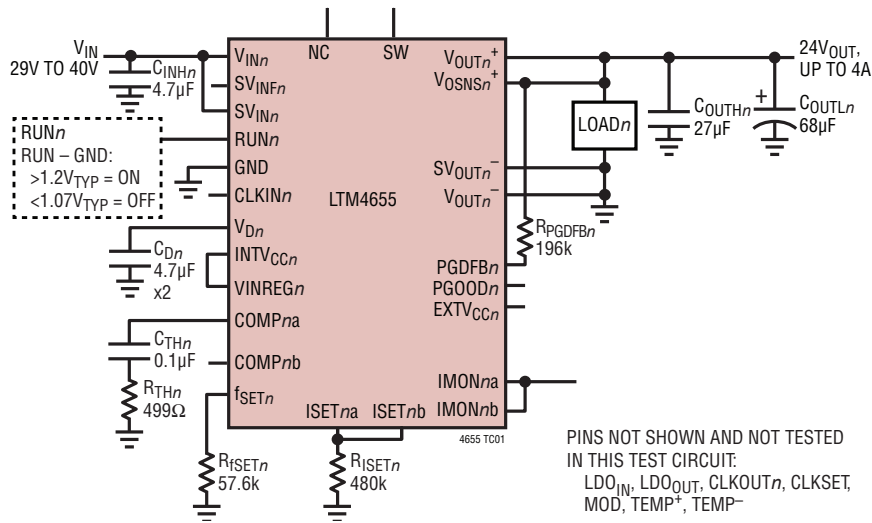
簡略化したブロック図

(1つのチャンネルのみ点線の枠内に表示)

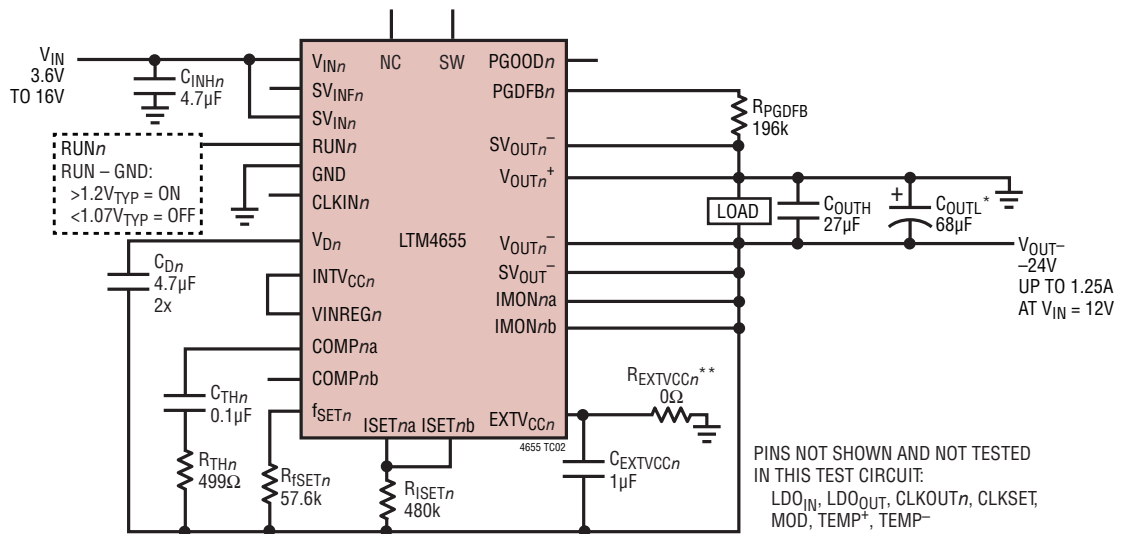


*IN NEGATIVE V_{OUT} APPLICATIONS, APPLY A SUITABLE SCHOTTKY DIODE (D_{0PT}) IF IT IS IMPORTANT TO MINIMIZE THE AMPLITUDE OF REVERSE POLARITY ON V_{OUTn} 'S START-UP WAVEFORM. SEE FIGURE 48 AND FIGURE 49.

テスト回路



テスト回路1。正 V_{OUT} 構成、 V_{OUT}^+ をレギュレーション、1チャンネルのみ示す

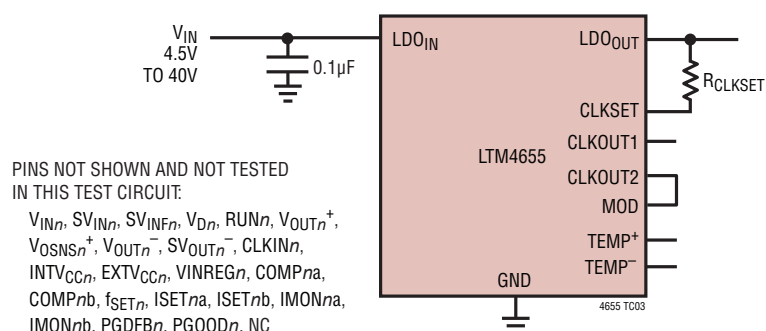


*Polarized output capacitors C_{OUTL} , if used, must be rated to withstand $\sim 0.3V$ typical reverse polarity prior to LTM4655 start-up, stemming from a weakly forward-biased body diode. In such cases, a Schottky diode should be connected between PGND and V_{OUT}^- to limit the voltage. See the Applications Information section and Figures 49a and 49b.

**Outside the ATE Test environment, R_{EXTVCC} , if used, should not be 0Ω . See the Applications Information section.

テスト回路2。負 V_{OUT} 構成、 V_{OUT}^- をレギュレーション、1チャンネルのみ示す

テスト回路



テスト回路3。クロック・ジェネレータ、5V LDO、および温度センサー

デカップリングの条件

 $T_A = 25^\circ\text{C}$ 。テスト回路1とテスト回路2。

APPLICATION	SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Positive- V_{OUT} Operation (Noninverting Step-Down) (Test Circuit 1)	C_{INHn} , C_{Dn}	External High Frequency Input Capacitor Requirement, $27V \leq V_{IN1-GND1} \leq 40V$, $V_{OUT}^+ = 24V$	$I_{OUT}^+ = 4A$		9.4		μF
	C_{OUTHn}	External High Frequency Output Capacitor Requirement $27V \leq V_{IN1-GND1} \leq 40V$, $V_{OUT}^+ = 24V$	$I_{OUT}^+ = 4A$		22		μF
Negative- V_{OUT}^- Operation (Inverting Output Buck-Boost) (Test Circuit 2)	C_{INHn} , C_{Dn}	External High Frequency Input Capacitor Requirement, $3.6V \leq V_{IN2-GND2} \leq 16V$, $V_{OUT}^- = -24V$	$I_{OUT}^- = 2A$		9.4		μF
	C_{OUTHn}	External High Frequency Output Capacitor Requirement $3.6V \leq V_{IN2-GND2} \leq 16V$, $V_{OUT}^- = -24V$	$I_{OUT}^- = 2A$		22		μF

動作

電源モジュールの概要

LTM4655はデュアル・チャンネル、非絶縁型スイッチ・モードのDC/DC電源です。それぞれのチャンネルは互いに完全に独立しています。それぞれの出力は正と負のどちらにも構成可能です。正 V_{OUT} 動作に合わせて構成されたチャンネルは、降圧DC/DC変換を行い、正の出力電圧 V_{OUTn}^{+} のレギュレーションを行います。負 V_{OUT}^{-} 動作に合わせて構成されたチャンネルは、2スイッチの昇降圧DC/DC変換を行い、負の出力電圧 V_{OUTn}^{-} のレギュレーションを行います(このトポロジはグラウンド・リファレンス降圧コンバータとも呼ばれます)。

内蔵LDOはGNDを基準として+5V (LDO_{OUT})、25mAの出力電流を供給します。LDOは内蔵された2フェーズのクロック発振器の電源となり、相互に180°アウトオブフェーズで動作するスイッチング・チャンネルという柔軟性を提供します。

正 V_{OUT} 構成(テスト回路1参照)のチャンネルは、いくつかの外付け入力および出力キャパシタを使って最大4Aの出力電流を供給可能です。単独の抵抗 R_{ISETn} により設定されたLTM4655チャンネルは負の出力電圧のレギュレーションを行い、 $V_{OUTn} + V_{OUTn}^{+}$ は0.5V~26.5Vの V_{INn} の範囲で設定可能です。この正 V_{OUT} 構成のチャンネルは、3.1V~40Vの正の入力電源供給レール V_{INn} から動作可能です。代表的なアプリケーション回路図を図45に示します。

負 V_{OUT}^{-} 構成のチャンネル(テスト回路2参照)は、いくつかの外付け入力および出力キャパシタを使って最大4Aの出力電流を供給可能です。この構成によるLTM4655チャンネルの出力電流供給能力は、図6に示すように V_{INn} と V_{OUTn} には依存しません。単独の抵抗 R_{ISETn} により設定されたLTM4655チャンネルは負の出力電圧 V_{OUTn}^{-} のレギュレーションを行います。 V_{OUTn}^{-} は-26.5V~-0.5Vの範囲で設定可能です。この負 V_{OUT} 構成では、LTM4655チャンネルは3.6V~40Vの正側供給レール V_{INn} から動作可能です。LTM4655チャンネルの安全動作領域は、 $V_{INn} + |V_{OUTn}| \leq 40V$ で定義されます。代表的なアプリケーション回路図を図48に示します。 V_{OUTn}^{-} のレギュレーションを行うよう構成されたLTM4655チャンネルはグラウンド基準の降圧トポロジですが、 $RUNn$ 、 $CLKINn$ 、および $PGOODn$ ピン上の内蔵レベル・シフト回路によりこれらのピンは(V_{OUTn}^{-} ではなく)GND基準とされます。

LTM4655のそれぞれのチャンネルには、独立に統合化された固定周波数電流モード・レギュレータ、パワー MOSFET、パワー・インダクタ、EMIフィルタ、およびその他のサポート用ディスクリート・コンポーネントが内蔵されています。定格スイッチング周波数の範囲は400kHz~3MHz、デフォルトの動作周波数は400kHzです。それぞれのチャンネルは、内蔵されたクロック・オシレータ $CLKOUTn$ ピン、あるいは250kHz~3MHzの外部クロックに同期させることができます。アプリケーション情報のセクションを参照してください。LTM4655のそれぞれのチャンネルは内部と外部の制御ループ補償をサポートしています。内部ループ補償を選択するには $COMPna$ と $COMPnb$ ピンを互いに接続します。内部ループ補償を使用することにより、LTM4655はセラミックのみの出力キャパシタを含め、幅広い範囲の出力キャパシタに基づき十分な安定性マージンと優れた過渡性能を得ます。外部ループ補償についてはアプリケーション情報のセクションを参照してください。過渡負荷ステップと安定性分析にはLTpowerCAD[®]を利用できます。入力フィルタとノイズ・キャンセル回路はモジュールの入力と出力をカップリングすることによりノイズを軽減し、モジュールの電磁場干渉(EMI)がEN55022 Class Bを満たすようにします(図7~図9を参照してください)。

$RUNn$ ピンを(GNDを基準として)1.2V未満に引き下げると、対応するLTM4655チャンネルが停止状態に入ります。出力電圧のランプ・レートをプログラミングするため、 $ISETna$ と SV_{OUTn}^{-} との間にキャパシタを配置できます。あるいは $ISETna$ を $ISETnb$ に接続することによりLTM4655のデフォルトのランプ・レートを設定するか、レール電圧を $ISETna$ ピンに接続することにより電圧トラッキングを導入することも可能です。アプリケーション情報のセクションを参照してください。

マルチフェーズの動作は $CLKOUTn$ ピンをそれらに対応する $CLKINn$ ピンに接続するか、あるいは外部クロック源をLTM4655の $CLKINn$ ピンに接続することによって得られます。標準的応用例のセクションを参照してください。

主にMOSFETドライバの電力により発生するLDO損失は、 $EXTV_{CCn}$ をRCフィルタを経由して V_{OUTn}^{+} に接続するか、あるいは $EXTV_{CCn}$ を適切な電圧源に接続することによって軽減可能です。

正 V_{OUT} 動作のため構成されたチャンネルでは、 $IMONna$ ピンがそのチャンネルの動作負荷電流に比例した電流を得るためのアナログ出力インジケータとなります(負 V_{OUT}^{-} 動

動作

作のため構成されたチャンネルではIMON_{na}ピンはこのような機能をサポートせず、V_{OUTn}⁻に接続する必要があります。)。IMON_{na}がIMON_{nb}に電氣的に接続されている場合、IMON_{na}/IMON_{nb}ノードの電圧は負荷電流に比例し、1Vが4A負荷に対応します。必要な場合には、IMON_{na}はIMON_{nb}ではなく外部の並列RCネットワークに接続することができます。IMON_{na}が2Vを超過した場合、IMON_{na}を2V未満とするためサーボ・ループによってLTM4655の出力電流が引き下げられます。このサーボ機構を通じ、必要な場合には並列RCネットワークをIMON_{na}に接続することにより平均電流制限機能を実装可能です。この機能が不要な場合、IMON_{na}はV_{OUTn}⁻に接続します。

LTM4655は2Vのサーボ閾値を持つ、VINREG_nと呼ばれる制御ピンも備えています。このピンは、例えば入力電流ライン・サグ(ブラウンアウト)状況において入力電流ドローを削減するなど、追加の制御ピンとして利用できます。この機能が不要な場合はVINREG_nをINTV_{CCn}に接続します。

TEMP⁺とTEMP⁻ピンはダイオードに接続されたPNPトランジスタへのアクセスを提供し、LTM4655の内部温度監視が必要な場合に利用できます。

外部コンポーネントの選択は主に最大負荷電流と出力電圧によって決定されます。外部コンポーネントの推奨値については表11、表12、およびテスト回路を参照してください。

V_{IN}からV_{OUT}への変換比

LTM4655で可能なV_{IN}からV_{OUT}への変換には制限があります。LTM4655の最大デューティ・サイクルは96%(代表値)です。高デューティ・サイクルで動作しているときのV_{IN}からV_{OUT}への最小ドロップアウト電圧は負荷電流の関数となります。例えば、電氣的特性の表に記載されたV_{OUTn}(24VDC)は、スイッチング周波数f_{SW}が1.5MHzのとき、LTM4655が29V_{IN}から24V_{OUT}(最大4A)に変換可能であることを示しています。

デューティ・サイクルが非常に低い場合、LTM4655の各スイッチング・サイクルのM_Tのオンタイムは、LTM4655の制御ループに指定された最小オンタイムである60ns、t_{ON(MIN)}(ガードバンドは90nsまで)を上回るよう設計する必要があります。式4を参照してください。

$$\frac{D_n}{f_{SWn}} > T_{ON(MIN)n} \quad (4)$$

ここで、D_n(単位なし)はM_{Tn}のデューティ・サイクルで、式5で与えられます。

$$D_n = \frac{V_{OUTn}^+ - V_{OUTn}^-}{V_{INn}^- - V_{OUTn}^-} \quad (5)$$

最小オンタイムの制限に違反が発生するまれなケースでは、V_{OUT}を制限内に維持するため、LTM4655のチャンネルnの周波数は自動的に、また徐々にプログラミングされているスイッチング周波数の約5分の1にフォールドバックします。周波数調整のセクションを参照してください。出力電流のガイドラインについては電氣的特性のセクションの注2と注3に留意してください。

入力キャパシタ、正V_{OUT}動作

LTM4655は、モジュール内の密なレイアウトとM_{Tn}およびM_{Bn}のMOSFETの高周波数バイパスにより、低入力伝導EMIノイズを実現しています。入力ライン(V_{INn}からV_{Dn})には小型のフィルタ・インダクタ(400nH)が内蔵され、同じくスイッチングMOSFETにローカルなノイズを更に減衰しています。高周波数πフィルタを構成する外部入力キャパシタC_{Dn}とC_{INHn}のために、V_{Dn}とV_{INn}ピンが用意されています。簡略化したブロック図に示すように、LTM4655のV_{Dn}ピン上にあるセラミック・キャパシタC_{Dn}はDC/DCコンバータ電力段へのRMS電流の大半を処理するため慎重に選択することが求められます。

EN55022Bの放射エミッション基準を満たすLTM4655のEMI性能については図7～図9を参照してください。

M_{Tn}からのパルス電流をフィルタするには入力容量C_{Dn}が必要です。V_{Dn}上での過剰な電圧降下を防止するため、低実効直列抵抗(低ESR、例えばX7Rなど)の入力キャパシタを使用し、そのサイズを最大C_{Dn} RMSリップル電流(式6)に合わせる必要があります。

$$I_{CDn(RMS)} = \frac{I_{OUTn(MAX)}}{\eta_n \%} \cdot \sqrt{D_n \cdot (1 - D_n)} \quad (6)$$

ここでη_n%はチャンネルnの電源モジュールの推定効率です。(代表的な性能特性のグラフを参照してください。)

動作

アプリケーションに必要なサイズ、高さ、および C_{Dn} RMSリップル電流定格を満たすため、複数のキャパシタを並列で使用することも可能です。入力電圧がより低いアプリケーションでは、出力負荷が変化した場合のライン・サグとトランジェント効果を打ち消すため十分なバルク入力容量が必要です。このバルク・キャパシタには、スイッチャ定格のアルミニウム電解キャパシタかポリマー・キャパシタが利用可能です。 C_{Dn} と C_{INHn} の推奨値は表11に記載されています。

セラミック・キャパシタに関する最後の注意点は、LTM4655の V_{INn} 、 SV_{INn} 、および V_{Dn} ピンの最大入力電圧定格に関するものです。セラミック入力キャパシタにパターンまたはケーブルのインダクタンスが組み合わさることにより、高Q（不足減衰）のタンク回路が構成されます。LTM4655回路がライブ電源に接続された場合、入力電圧は公称値の2倍に達し、デバイスの定格を超える可能性があります。この状況は容易に回避可能です。**ホットプラグにおける安全性**のセクションを参照してください。

出力キャパシタ、正 V_{OUT} 動作

出力キャパシタ C_{OUTHn} と C_{OUTLn} はLTM4655の V_{OUTn}^{+} / V_{OUTn}^{-} 電源出力ピン間に適用されます。出力電圧リップル、ループの安定性、およびトランジェントに関する条件を満たすため、十分な容量と低ESRが求められます。 C_{OUTLn} には低ESRのタンタルまたはポリマー・キャパシタを使用できます。 C_{OUTHn} はセラミック・キャパシタです。セラミックの出力キャパシタのみを使用する場合、代表的な出力容量は22 μ F（X5Rタイプまたはそれ以上の材料）です。

表11には、2A/ μ sにて適用される2Aのトランジェント・ステップ負荷に最適化された出力キャパシタを示しています。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となる場合があります。トランジェントおよび安定性分析にはLTpowerCAD設計ツールを利用できます。表11では安定性の基準が考慮されており、安定性分析にLTpowerCADを使用できます。マルチフェーズの動作では、フェーズの数に応じて有効な出力リップルが減少します。アプリケーション・ノート77ではこのノイズ削減と出力リップル電流キャンセルとを比較していますが、安定性と過渡応答とを決定する要素として出力容量を慎重に検討する必要があります。実装されるフェーズ数はN倍増加するため、出力リップル削減の計算はLTpowerCADにより行えます。過渡応答最適化のため必要

な場合には、外部ループ補償を $COMPna$ と SV_{OUTn}^{-} の間に適用することが可能です。

強制連続動作

LTM4655のチャンネル n を強制連続動作とするには $CLKINn$ ピンをオープン・サーキットとします。このモードではインダクタ・ピーク電流が約-1Aとなるよう制御ループから指示することができ、負の大きな平均電流が得られます。 f_{SETn} ピンにより $CLKINn$ ピンの周波数を目標スイッチング周波数の $\pm 40\%$ 以内とすることにより、 M_{Tn} のターンオンが $CLKINn$ ピンの立上がりエッジに同期します。

出力電圧のプログラミング、トラッキングとソフトスタート

LTM4655は出力電圧 $V_{OUTn}^{+} - V_{OUTn}^{-}$ を、 I_{SETna} から SV_{OUTn}^{-} までの差動電圧に基づいてレギュレーションします。大半のアプリケーションでは、出力電圧は単に抵抗 R_{ISETn} を I_{SETna} から SV_{OUTn}^{-} までの間に接続することにより、式7に従って設定されます。

$$R_{ISETn} = \frac{V_{OUTn}^{+} - V_{OUTn}^{-}}{50\mu A} \quad (7)$$

LTM4655の制御ループは出力電圧を I_{SETna} と SV_{OUTn}^{-} との間の電圧に基づいて規定するため、キャパシタ C_{SSn} を R_{ISETn} と並列で構成することにより I_{SETn} の上昇率、およびその結果として出力を設定することができます。時間領域では、 $RUNn$ ピンがローからハイに切り替えられた($t = 0s$)後の出力電圧の上昇が式8により規定されます。

$$V_{OUTn}(t)^{+} - V_{OUTn}(t)^{-} = I_{SETna} \cdot R_{ISETn} \cdot \left(1 - e^{-\frac{t}{R_{ISETn} \cdot C_{SSn}}} \right) \quad (8)$$

ソフトスタート時間 t_{SS} はチャンネルの出力電圧が0Vから最終値の90%に達するまでの時間として定義されます(式9または式10)。

$$t_{SSn} = -R_{ISETn} \cdot C_{SSn} \cdot \ln(1 - 0.9) \quad (9)$$

または

$$t_{SSn} = 2.3 \cdot R_{ISETn} \cdot C_{SSn} \quad (10)$$

動作

デフォルト値は $C_{SSn} = 1.5\text{nF}$ で、これは $ISETna$ を $ISETnb$ に接続することにより得られます。その他の上昇率が必要な場合には外部の C_{SS} キャパクタを R_{ISET} と並列で接続します。

プリバイアス V_{OUT} へと起動する場合、LTM4655 はスリープモードを維持し、 V_{ISETna} が V_{OSNSn}^+ と等しくなるまで M_{Tn} と M_{Bn} をオフのままとし、それ以降は DC/DC コンバータがスイッチング動作を開始し、 V_{OUT} は $ISETna$ により規定された電圧にまで上昇します。

LTM4655 の制御ループはその V_{OSNSn}^+ 電圧を $ISETna$ に合わせるため、LTM4655 のチャンネル n からの出力は SV_{OUTn-} を基準として $ISETna$ に印加される電圧を追跡するよう構成可能です。DAC 制御のバイポーラ出力プログラマブル電源として構成された LTM4655 の例は図 52 を参照してください。

図 50 に示すように、LTM4655 はスプリット電源の負側を生成するため正レールの鏡像を追跡することができます (R_{TRACK} と $R_{ISET2} = R_{ISET1} \parallel R_{TRACK}$ の使用に注目してください)。

周波数調整

LTM4655 のチャンネル n のデフォルトのスイッチング周波数 (f_{SWn}) は 400kHz です。これは低 V_{IN} ($V_{INn} \leq 5\text{V}$) アプリケーションと高 V_{OUT} ($V_{OUTn}^+ - V_{OUTn}^- \leq 3.3\text{V}$) アプリケーションに適しています。実際の設計においては、LTM4655 のインダクタ・リップル電流 (ΔI_{nPK-PK}) は約 2APK-PK 未満とすることを推奨します。 f_{SWn} は式 11 に従って選択します。

$$f_{SWn} = \frac{V_{OUTn}^+ - V_{OUTn}^- \cdot (1 - D_n)}{L_n \cdot \Delta I_{nPK-PK}} \quad (11)$$

ここで LTM4655 のパワー・インダクタ L_n は $4\mu\text{H}$ です。

サイクル・スキッピングを防止するため、最小オンタイム基準が満たされるよう f_{SWn} に制限を課してください (式 12)。

$$f_{SWn} < \frac{D_n}{T_{ONn(MIN)}} \quad (12)$$

LTM4655 の最小オンタイム $t_{ONn(MIN)}$ は 60ns に指定されています。実際の設計においてはガードバンドを 90ns とすることを推奨します。

LTM4655 のチャンネル n のスイッチング周波数をデフォルトの 400kHz よりも高く設定したい場合、 f_{SETn} ピンと SV_{OUTn}^+ の間に抵抗 R_{fSETn} を配置します。 R_{fSETn} は式 13 により ($M\Omega$ 単位で) 与えられます。

$$R_{fSETn}(M\Omega) = \frac{1}{10\text{pF} \cdot [f_{SWn}(\text{MHz}) - 0.4(\text{MHz})]} \quad (13)$$

R_{fSETn} とプログラムされた f_{SWn} との関係を図 1 に示します。様々な V_{INn} 、 V_{OUTn}^+ と V_{OUTn}^- の組み合わせについて、推奨される f_{SWn} とそれに対応する R_{fSETn} 値については表 11 と表 12 を参照してください。

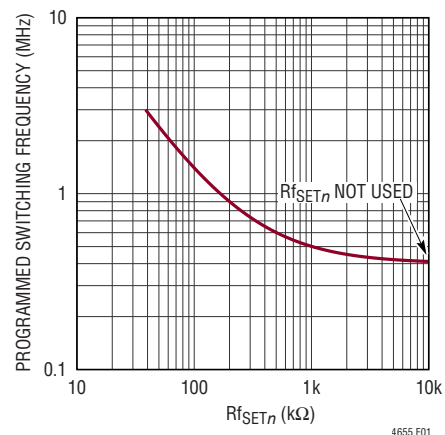


図 1. R_{fSETn} とターゲット f_{SWn} の関係

アプリケーション情報

電源モジュールの保護

LTM4655の電流モード制御アーキテクチャでは、**代表的な性能特性**のセクションに示すとおり、過電流時に高速の電流制限がサイクルごとに行われます。過負荷または短絡のため出力電圧が低下して最小オンタイムへの違反が発生した場合、内部発振器は自動的にLTM4655のプログラムされたスイッチング周波数にフォールドバックし、それにより出力電流を低下させて負荷の回復を可能にします。

チャンネルの内部温度が165°Cを超えた場合、LTM4655はそのチャンネルnのスイッチング動作を停止します。このチャンネルの制御ICは10°Cの冷却ヒステリシス後に動作を開始します。これらの代表的パラメータは実験用の加温装置に基づくものであり、出荷テストの対象外です。この過熱保護は一時的な過負荷状況におけるデバイスの保護を意図したものです。この過熱保護が動作する場合は、ジャンクション温度が最大定格を超えています。仕様に規定された絶対最大動作ジャンクション温度を超える温度での連続動作は、デバイスの信頼性を損なったり、デバイスに恒久的な損傷を生じさせたりする可能性があります。電気的特性の表の注1を参照してください。

LTM4655には制御ループによるもの以外の出力電圧保護機能は特に用意されていません。

RUNピン・イネーブル

RUNnピンは電源モジュールのイネーブル、または電源モジュールのシーケンスに使用されます。閾値は1.2Vです。RUNnピンは図2に示すように、電源からの抵抗分圧器をRUNnに接続することにより、低電圧ロックアウト(UVLO)機能を提供するため使用されます。低電圧ロックアウト機能は、電源からの入力電圧がユーザ規定の電圧を超えるまで、LTM4655のチャンネルnをシャットダウン状態に維持します。RUNnピンのヒステリシス電圧は、誤ってUVLOを起

動することによるノイズを防止します。抵抗を選択するときはまずR_{Bn}を選択します(図2と式14を参照)。次に、

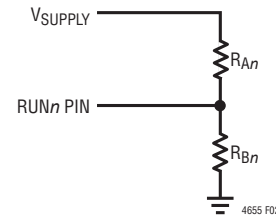


図2. 低電圧ロックアウト抵抗分圧器

$$R_{An} = R_{Bn} \cdot \left(\frac{V_{INn(ON)}}{1.2V} - 1 \right) \quad (14)$$

ここでV_{INn(ON)}は低電圧ロックアウトが解消され、電源供給がオンになる入力電圧です。V_{INn} ターンオフ電圧 V_{INn(OFF)} は式15により決定されます。

$$V_{INn(OFF)} = 1.07V \cdot \left(\frac{R_{An}}{R_{Bn}} + 1 \right) \quad (15)$$

UVLOが必要ない場合、RUNnはLTM4655のLDO_{OUT}ピンに接続できます。

RUNnが閾値に満たない場合にはチャンネルnのUVLOが稼働し、M_{Tn}とM_{Bn}がオフになり、INTV_{CCn}のレギュレーションが停止し、またISETnaは内部回路によりSV_{OUTn}⁻に放電されます。

ループ補償

アプリケーションによっては外部ループ補償が望ましいことがあります。これは容易に実現可能です。すなわち、COMPnbをオープン・サーキットのままとし、COMPnbとSV_{OUTn}⁻の間にシリーズRCネットワークR_{THn}とC_{THn}を接続し、場合によってはキャパシタ(C_{THPn})をCOMPnaとSV_{OUTn}⁻の間に(R_{THn}—C_{THn}シリーズRCと並列に)接続します。様々な動作条件下での入力および出力容量の推奨値は表10を参照してください。またトランジェントおよび安定性分析のためには設計ツールLTpowerCADを使用できます。

アプリケーション情報

ホットプラグにおける安全性

セラミック・キャパシタはその小ささ、頑丈さ、およびインピーダンスの低さにより、LTM4655の入力バイパス・キャパシタ (C_{Dn} および C_{INHn}) のための有力な選択肢となっています。ただしこのようなキャパシタは、LTM4655 がライブ電源に接続されている場合には問題を引き起こす可能性があります (詳細についてアナログデバイセズのアプリケーション・ノート 88 を参照してください)。低損失のセラミック・キャパシタを電源と直列の浮遊インダクタンスと組み合わせた場合には不足減衰のタンク回路が生じ、また LTM4655 の V_{INn} ピンは通常の入力電圧の 2 倍にまで上昇し、LTM4655 の定格を超えて損傷を与える可能性があります。入力電源が適切に制御されていない、あるいはユーザが LTM4655 をオン状態の電源に接続する場合、電流の経路にダンピング部品を導入することによりこのオーバーシュートを防止できるよう、入力回路を設計する必要があります。多くの場合にはこれは LTM4655 の入力末端間に安価な電解バルク・キャパシタ (C_{INLn}) を追加して行われます。 C_{INLn} の選択基準としては、リングングをダンピングできるだけの大きさの ESR、 C_{INHn} の数倍の大きさの容量、適切なリップル電流定格が必要です。 C_{INLn} は物理的に LTM4655 の近くではなくアプリケーション基板の入力コネクタ近くに配置する必要があります。

入力切断/入力短絡に関する考慮事項

入力電源が取り外されても出力電圧が出力キャパシタによりまだ高いレベルに維持されている場合、出力電圧がモジュールの最低基準である SV_{INn}/V_{INn} 未満に低下するまで出力キャパシタからモジュールに電源が供給されます。

ただし $RUNn$ の状態にかかわらず、出力電圧が高いレベルに維持されているときに SV_{INn}/V_{INn} ピンが接地された場合、LTM4655 内部の寄生ボディ・ダイオードが V_{OUTn}^+ ピンを通じて出力から電流を引き出します。出力キャパシタのサイズと短絡の抵抗率によっては、大電流が内部のボディ・ダイオードを通じて流れることによりこのダイオードを破損する場合があります。入力電源による SV_{INn}/V_{INn} の放電が起り得る場合、内部ボディ・ダイオードを通じて電流が流れることを防止するための対策が必要です。簡単な解決手段としてはショットキー・ダイオードを電源と直接に接続する (図 3) か、あるいは V_{OUTn}^+ と SV_{INn}/V_{INn} の間にショット

キー・ダイオードを導入します (図 4)。負荷に大きな負荷ステップ・リリースが発生するアプリケーションでは、それによって SV_{INn}/V_{INn} と C_{INHn} に生じるトランジェント電圧を制限するため、図 3 の回路内で逆方向の電力の流れを引き起こす負荷ダンピングやその他の作用に対し適切な定格のツェナーダイオード保護クランプが必要とされる場合があります。

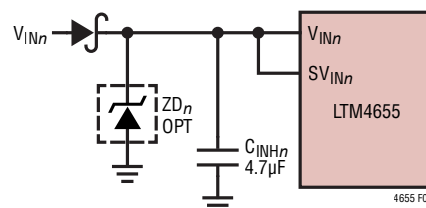


図 3. ショットキー・ダイオードを電源と直列に配置

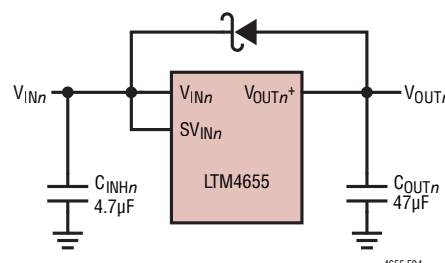


図 4. ショットキー・ダイオードを $V_{OUTn}^+ \sim V_{INn}$ に配置

INTV_{CCn} と EXT_{CCn} の接続

$RUNn$ がロジック・ハイのとき、内部の低ドロップアウト・レギュレータが、LTM4655 のチャンネル n 内の MOSFET を駆動する制御回路に電力を供給する内部電源である INTV_{CCn} のレギュレーションを行います。INTV_{CCn} のレギュレーションは 3.3V となるよう行われます。このように、デフォルトでは LTM4655 の INTV_{CCn} には SV_{INn} から直接電源が供給されます。代表的な 1MHz アプリケーションでは、INTV_{CCn} LDO を通過するゲート・ドライバ電流は約 20mA です。内部 LDO の消費電力は式 16 に従って計算できます。

$$P_{LDO_LOSSn(INTVCC)} = 20mA \cdot (SV_{INn} - V_{OUTn} - 3V) \quad (16)$$

EXTV_{CCn} - V_{OUTn}^- が 3.2V、 $SV_{INn} - SV_{OUTn}^-$ が 5V を超える場合、LDO には SV_{INn} ではなく EXTV_{CCn} から電源が供給されます。4V またはそれ以上の出力の場合、EXTV_{CCn} は RC フィルタを経由して V_{OUTn}^+ に接続可能です。内部 LDO が

アプリケーション情報

SV_{INn}ではなくEXTV_{CCn}から電源を得る場合、内部LDOの消費電力は式17に示すとおりです。

$$P_{LDO_LOSSn}(EXTVCC) = 20\text{mA} \cdot (V_{OUTn} - V_{OUTn}^- - 3\text{V}) \quad (17)$$

V_{OUTn}⁺とEXTV_{CCn}の間の推奨抵抗値はおおよそ(V_{OUTn}⁺ - V_{OUTn}⁻)・4Ω/Vです。この抵抗R_{EXTVCCn}の定格は継続的に(0.02A)²・R_{EXTVCCn}を消費するものとする必要があります。この抵抗の主な目的は故障状態時にEXTV_{CCn}のストレスが過大となることの防止です。例えば、モジュールの出力に誘導性短絡が発生した場合、モジュールの出力V_{OUT}⁺は短時間V_{OUTn}⁻未満となり、V_{OUTn}⁻～EXTV_{CCn}間のボディ・ダイオードに順方向バイアスが生じる可能性があります。この抵抗はEXTV_{CCn}内での電流の大きさを制限します。アプリケーションがEXTV_{CCn}への低抵抗のパスを必要とする場合、EXTV_{CCn}とV_{OUTn}⁻の間に保護のためのショットキー・ダイオードを配置します。図52を参照してください。EXTV_{CCn}からV_{OUTn}⁻へ、1μFのX5R(またはそれ以上)のMLCCを使ってバイパスします。

マルチフェーズの動作

より大きな出力電流が必要なアプリケーションでは、LTM4655の複数のチャンネルとモジュールを並列して使用することが可能です。入力と出力の電圧および電流リップルを最小限に抑えるためには、並列配置したLTM4655を(f_{SETn}により目標スイッチング周波数の±40%以内に設定した)ひとつのクロックに同期することを推奨します。

LTM4655のチャンネルとモジュールは回路を同期することなく並列に配置可能です。ただしこのようなモジュールは同一の同期化されたスイッチング周波数では動作していないため、一定のうなり周波数リップルが出力電圧に生じ、それが入力電流に反映されることに留意してください。

LTM4655は本質的に電流モードで制御されるデバイスであり、したがって並列に配置したチャンネルとモジュールは図45と図47に示すように優れた電流分担を示します。

LTM4655のチャンネル／モジュールを並列に配置するには、電流が均等に分担されるようそれぞれのLTM4655のCOMP_{na}、ISET_{na}、およびV_{OSNSn}⁺ピンを接続します。またスタートアップとシャットダウンが正しく行われるよう、並列配置したLTM4655のチャンネル／モジュールのそれぞれのRUN_nピンを接続します。

並列配置のアプリケーションでは、V_{OUT}はISET_{na}ネット上の単一の共通抵抗により設定可能であることに留意してください(式18参照)。

$$R_{ISETn} = \frac{V_{OUTn}^+ - V_{OUTn}^-}{50\mu\text{A} \cdot N} \quad (18)$$

ここでNは並列に配置されたLTM4655のチャンネル数です。

動作のデューティ・サイクルによっては、並列化、同期化されたLTM4655モジュールから得られる出力電圧リップルは、単一フェーズによるものよりもかなり小さくなる可能性があります。アプリケーション・ノート77には、ノイズ削減と出力および入力リップル電流の解消に関する、(並列配置によるLTM4655アプリケーションに関連する)マルチフェーズ動作が詳細に説明されています。リップル電流が解消されていても、並列配置によるLTM4655アプリケーションの出力容量についてはループの安定性と過渡応答を考慮して設計することが重要です。このような分析にはLTpowerCADが使用できます。

図5には、インターリーブ(並列化および同期化)されたLTM4655モジュールの数がRMSリップル電流削減に及ぼす影響が示されています。これについてはアプリケーション・ノート77に記載されています。

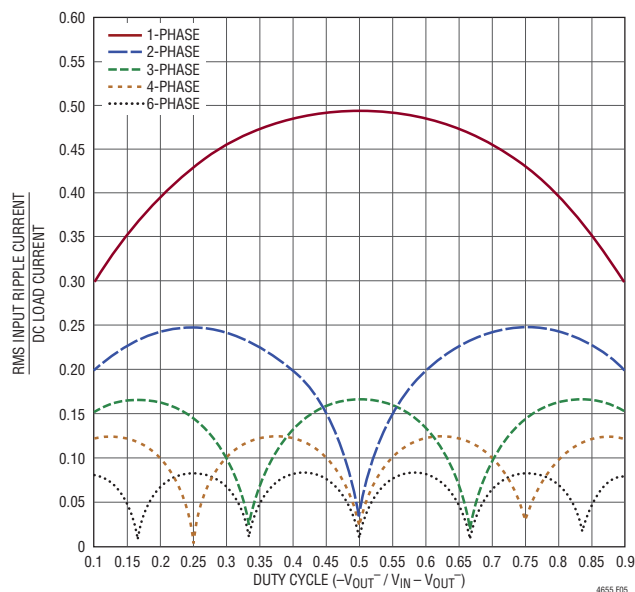


図5. LTM4655の1～6チャンネル(フェーズ)における、正規化された入力RMSリップル電流とデューティ・サイクル

アプリケーション情報

負の電流出力能力は V_{INn} から V_{OUTn-} への変換率、負 V_{OUT-} 動作に応じて変化

負 V_{OUT} 動作では、LTM4655の電流出力能力は動作入力(V_{INn})と出力(V_{OUTn-})電圧に強く依存します。図6を参照してください。

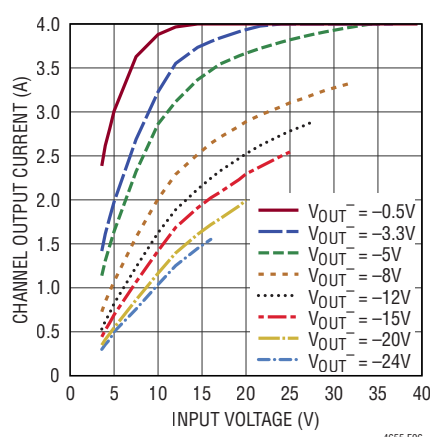


図6. チャンネルから出力可能な電流*、負 V_{OUT} 動作

*負荷電流がここに示す曲線を上回った場合、電流制限周波数フォールドバックが有効になります。連続チャンネル出力電流機能はアプリケーション実装の詳細によって影響を受けます。スイッチング周波数は表1に従って設定します。注2と注3を参照してください。

この理由は、負 V_{OUT} 動作のため構成された場合の、LTM4655の2スイッチ昇降圧のトポロジに固有のもので、一次パワーMOSFET (M_{Tn})を過度のストレスから保護するため(簡略化したブロック図を参照)、そのピーク電流(I_{nPK})は制御回路により6Aに制限されています。 M_{Tn} がオンのとき、LTM4655の出力に流入する電流がないことを確認してください。また更にLTM4655の出力に電流が流入するのは M_{Tn} がオフのときのみであることも確認してください。この結果として、出力電圧にかかわらず電流制限はハイ・ライン(デューティ・サイクルがより低く小さい)よりもロー・ライン(デューティ・サイクルがより高く大きい)における方が早く開始されます。また更に、出力電圧にかかわらず、LTM4655の最大出力電力は V_{OUTn-} が高い(デューティ・サイクルがよ

り高く大きい)ときよりも、 V_{OUTn-} が低い(デューティ・サイクルがより低く小さい)ときの方が大きくなります。これらの効果の組み合わせを式6と式19に示しています。

$$I_{OUTn(CAPABILITY)} = \frac{V_{INn} \cdot \left(I_{nPK} - \frac{\Delta I_{nPK-PK}}{2} \right) \cdot \eta_n}{V_{INn} - V_{OUTn-}} \quad (19)$$

ここで、

ΔI_{nPK-PK} はチャンネル n のインダクタ・リップル電流をアンペア単位で表したもので、 η_n (単位なし)はLTM4655のチャンネル効率です。

最後の項目の ΔI_{nPK-PK} は式20により得られます。

$$\Delta I_{nPK-PK} = \frac{1}{L_n \cdot f_{SWn} \cdot \left(\frac{1}{V_{INn}} - \frac{1}{V_{OUTn-}} \right)} \quad (20)$$

ここで、

L_n は4 μ HでLTM4655のパワー・インダクタ値、 f_{SWn} はLTM4655のチャンネルのスイッチング周波数をMHz単位で表したものです。

実際の設計においては、 ΔI_{nPK-PK} が約2Apk-PK未満となるよう設計されます。

実際の設計においては、各 M_{Tn} スイッチング・サイクルごとのLTM4655のオンタイムは、LTM4655の制御ループに指定された最小オンタイムである60ns、 $t_{ON(MIN)}$ (ガードバンドは90nsまで)を上回るよう設計する必要があります。例えば、式21では、

$$\frac{D_n}{f_{SWn}} > T_{ONn(MIN)} \quad (21)$$

ここで D_n (単位なし)は式22により得られるデューティ・サイクル M_{Tn} です。

$$D = \frac{V_{OUTn+} - V_{OUTn-}}{V_{INn} - V_{OUTn-}} \quad (22)$$

式22と式19を組み合わせることにより、この関係をわかりやすく示す式23が得られます。

$$I_{OUTn(CAPABILITY)} = (1 - D_n) \cdot \left(I_{nPK} - \frac{\Delta I_{nPK-PK}}{2} \right) \quad (23)$$

アプリケーション情報

まれに最小オンタイム規定への違反が発生することがありますが、この場合は、 V_{OUTn} が規定の範囲内に維持されるよう、影響を受けたLTM4655のチャンネルの周波数は自動的に、かつ徐々にプログラムされたスイッチング周波数にフォールドバックします。

出力電流のガイドラインに関しては電気的特性の注2と注3に留意してください。

入力キャパシタ、負 V_{OUT} 動作

LTM4655は、モジュール内のタイトなレイアウトと M_{Tn} および M_{Bn} のMOSFETの高周波数バイパスにより、低入力伝導EMIノイズを実現しています。入力ライン(V_{INn})

から V_{Dn})には小型のフィルタ・インダクタ(400nH)が組み込まれ、同じくスイッチングMOSFETにローカルなノイズを更に減衰しています。高周波数 π フィルタを構成する外部入力キャパシタ C_{Dn} と C_{INHn} のため、 V_{Dn} と V_{INn} ピンが用意されています。簡略化したブロック図に示すように、LTM4655の V_{Dn} ピン上にあるセラミック・キャパシタ C_{Dn} はDC/DCコンバータ電力段へのRMS電流の大半を処理するため慎重に選択することが求められます。

EN55022Bの放射エミッション基準を満たすため、フィルタ・キャパシタ C_{INOUTn} を V_{INn} と V_{OUTn} の間に追加する必要があります。EMI性能については図7～図9を参照してください。

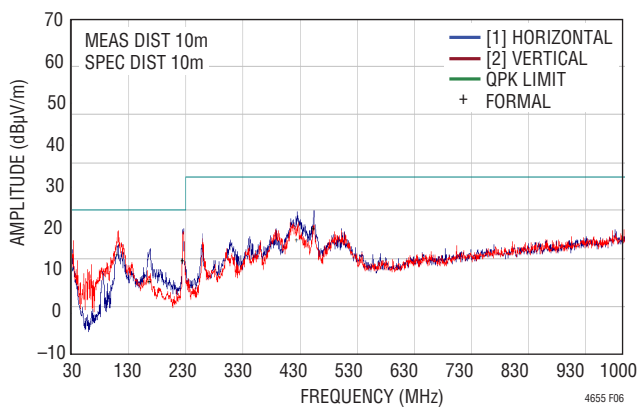


図7. LTM4655の放射エミッション・スキャン。
36 V_{IN} から7Aにて24 V_{OUT} を生成。DC2898Aハードウェア。
 $f_{sw} = 1.2\text{MHz}$ 。10mチャンバー内にて測定。ピーク検出法

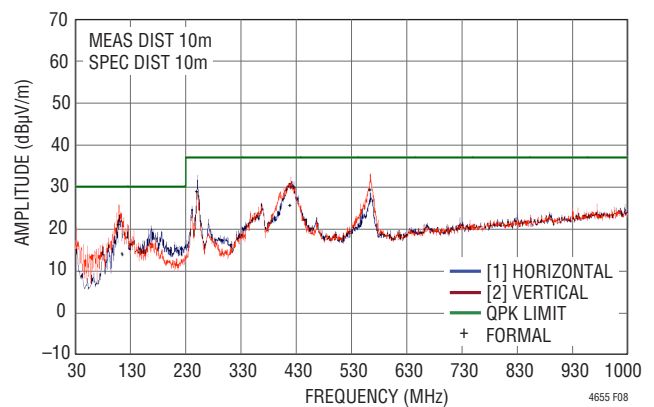


図8. LTM4655の放射エミッション・スキャン。
12 V_{IN} から2Aにて-24 V_{OUT} を生成、DC2899Aハードウェア。
 $f_{sw} = 1.2\text{MHz}$ 。10mチャンバー内にて測定。ピーク検出法

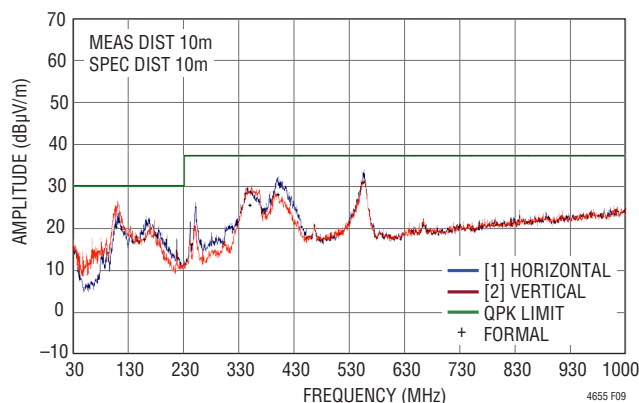


図9. LTM4655の放射エミッション・スキャン。12 V_{IN} から4Aにて-12 V_{OUT} を生成。
DC2899Aハードウェア。 $f_{sw} = 700\text{kHz}$ 。10mチャンバー内にて測定。ピーク検出法

アプリケーション情報

M_{Tn} からのパルス電流をフィルタするには入力容量 C_{Dn} が必要です。 V_{Dn} 上での過大な電圧降下を防止するため、最大 C_{Dn} RMSリップル電流(式24を参照)に合わせた低実効直列抵抗(low-ESR)入力キャパシタを使用してください。

$$I_{CDn(RMS)} = I_{nPK} \cdot \sqrt{D_n \cdot (1 - D_n)} \quad (24)$$

$I_{CDn(RMS)}$ は $D_n = 1/2$ の最大値です。 $D_n = 1/2$ の場合、 $I_{CDn(RMS)} = 1/2 \cdot I_{nPK}$ または3Aです。実際の使用では D_n が大きく逸脱してもそれほどの緩和は得られないため、設計時には一般にこの最も厳しい条件を簡素化したものが使用されます。また更に、キャパシタ製造元によるリップル電流定格は多くの場合2,000時間の寿命を基本としています。したがって C_{Dn} については大きく過剰な設計とするか、あるいは必要とするよりも高い温度で定格を設定されたキャパシタを選択するか、あるいはその両方を行うことが推奨されます。慎重すぎるほどのアプローチを取り、キャパシタ製造元に連絡してそのデレーティング方法を把握してください。

アプリケーションに必要なサイズ、高さ、および C_{Dn} RMSリップル電流定格を満たすため、複数のキャパシタを並列で使用することも可能です。入力電圧の低いアプリケーションでは、出力負荷変動時のライン・サグとトランジェント効果を打ち消すため C_{INLn} に十分なバルク入力容量が必要です。 C_{Dn} と C_{INLn} の推奨値は表12に記載されています。 C_{Dn} は V_{Dn} から V_{OUTn-} へ接続され、 C_{INLn} と C_{INLn} は V_{INn} から電源グラウンドへ接続されることに留意してください。これは意図的に行われています。

セラミック・キャパシタに関する最後の注意点は、LTM4655の V_{INn} 、 SV_{INn} 、および V_{Dn} ピンの最大入力電圧定格に関するものです。セラミック入力キャパシタにパターンまたはケーブルのインダクタンスが組み合わさることにより、高Q(不足減衰)のタンク回路が構成されます。LTM4655回路がライブ電源に接続された場合、入力電圧は公称値の2倍に達し、デバイスの定格を超える可能性があります。この状況は容易に回避可能です。ホットプラグにおける安全性のセクションを参照してください。

出力キャパシタ、負 V_{OUT-} 動作

出力キャパシタ C_{OUTHn} と C_{OUTLn} はLTM4655の V_{OUTn+}/V_{OUTn-} 電源出力ピン間に適用され、出力電圧リップル、ループの安定性、およびトランジェントに関する条件を満たすため、十分な容量とESRの低さが求められます。 C_{OUTLn} には低ESRのタンタルまたはポリマー・キャパシタを使用できま

す。 C_{OUTHn} はセラミック・キャパシタです。セラミックの出力キャパシタのみを使用する場合、代表的な出力容量は22 μ F(X5Rタイプまたはそれ以上の材料)です。

最大の安定性を得るためには、入力電圧が急に印加された場合、あるいは $RUNn$ がロジック・ハイに切り替えられた場合、 V_{OUTn-} に逆電圧のダイオード・ドロップが過渡的に生じる可能性があるため、分極出力キャパシタ(C_{OUTLn})は推奨されません(図49を参照)。 V_{OUTn-} 上で分極キャパシタを使用する場合、キャパシタの供給元に連絡してその分極キャパシタがどの程度の逆電圧に耐えられるかを確認してください。分極キャパシタの逆電圧定格は温度に依存する場合がありますことに留意してください。

出力電圧リップル($\Delta V_{OUTn(PK-PK)}$)は、 M_{Tn} がオンのときには出力キャパシタのESRにわたる抵抗降下に加え、 C_{OUTHn} と C_{OUTLn} 内で失われる電荷によって決まります。これは式25により表されます。

$$\Delta V_{OUTn(PK-PK)} \approx \frac{I_{LOADn} \cdot D}{C_{OUTn} \cdot f_{SWn}} + \frac{I_{LOADn} \cdot ESR_n}{D_n} \quad (25)$$

表12には、 V_{INn} 、 V_{OUTn-} 、および f_{SW} の組み合わせによるフル負荷の50%となる、トランジェント・ステップ負荷に最適化された、推奨される出力キャパシタを示しています。この表は示されているトランジェント負荷性能を得るための、全等価ESRと全バルク・容量の最適値を示しています。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となる場合があります。トランジェントおよび安定性分析にはLTpowerCAD設計ツールを利用できます。

過剰ストレスからの保護を提供するダイオード(オプション)、負 V_{OUT-} 動作

出力電圧スタートアップの直前に、逆の極性のダイオード電圧降下が V_{OUTn-} に生じ得るメカニズムが存在します。簡略化したブロック図にて以下を確認してください：出力電圧スタートアップの直前にバイアス電流 SV_{INn} (I_{SVINn})がモジュールの制御ICを通じて SV_{OUTn-} へ流れ、そこからバイアス電流(ここでは IS_{VOUTn-})が V_{OUTn-} へ、および M_{Bn} のボディ・ダイオードを通じて SW_n へ流れます。この電流(ここでは I_{Ln})は4 μ Hのパワー・インダクタを通じて V_{OUTn+} 、した

アプリケーション情報

がってグラウンドへ流れ、制御 IC のバイアス電流経路を閉鎖します。図49に示すとおり、 V_{OUTn}^- 上で逆極性のダイオード・ドロップ (正の電圧) を引き起こすのは M_{Bn} のボディ・ダイオードを通じたこの電流です。この電圧逸脱は $RUNn$ がハイに切り替わるときに最も大きくなりますが、これはこの瞬間が $INTV_{CCn}$ がオンになり、またそれに応じて電流の流れ $I_{SVINn}/I_{SVOUTn}/I_{L_n}$ が増加するタイミングであるためです。電流の流れが増加するときには M_{Bn} のボディ・ダイオードの順方向電圧は低下し (V_F)、したがって V_{OUTn}^- の正の電圧逸脱も大きくなります。

この過渡的な電圧逸脱が負荷または分極出力キャパシタにとって望ましくない場合は、 V_{OUTn}^- と V_{OUTn}^+ にまたがる低 V_F のショットキー・ダイオードにより最小化します (図48の回路と図49の性能を参照してください)。また経験的に電圧逸脱は出力容量を引き下げることによっても削減可能です。

最後に、 V_{INn} が急激 (例えば $<10\mu s$) に印加される可能性があり、 C_{INOUTn} が使用されるアプリケーションでは、 C_{INOUTn} と $C_{INL_n}||C_{INHn}$ により構成されるキャパシタ・デバイダ・ネットワークは V_{OUTn}^- を一時的に正に引き上げることがあります。このようなアプリケーションでは、 V_{OUTn}^- と V_{OUTn}^+ の間に低 V_F のショットキー・ダイオードを導入することが推奨されます。これとは逆のメカニズムも働き、 V_{INn} が急激に放電することが予想され、 C_{INOUTn} が使用されるアプリケーションでは、 C_{INOUTn} と $C_{INL_n}||C_{INHn}$ により構成されるキャパシタ・デバイダ・ネットワークは V_{OUTn}^- を一時的に負に引き下げることがあります。 V_{INn} 放電時に出力電圧逸脱が予想される場合、 V_{OUTn}^- と V_{OUTn}^+ とを TVS ダイオードで接続することが推奨されます。

周波数調整、負 V_{OUT}^- 動作

LTM4655 のチャンネル n のデフォルトのスイッチング周波数 (f_{SWn}) は 400kHz です。これは主に低 V_{INn} または低 V_{OUTn}^- のアプリケーション ($V_{INn} < 5V$ または $|V_{OUTn}^-| < 5V$) に適しています。実際の設計においては、LTM4655 のインダクタ・リップル電流 (ΔI_{nPK-PK}) を約 $2A_{PK-PK}$ 未満とすることが推奨されます。式20から、式26が成立するよう f_{SW} を選択する必要があります。

$$f_{SWn} = \frac{1}{L_n \cdot \Delta I_{nPK-PK} \cdot \left(\frac{1}{V_{INn}} - \frac{1}{V_{OUTn}^-} \right)} \quad (26)$$

式26から得られる f_{SWn} の値が、LTM4655 でサポートされる最小オンタイム基準に違反する場合があります (式21を参照)。このときは式12に基づき f_{SWn} を選択します。

式26に示されたものよりも低いスイッチング周波数を使った場合の主な影響は、LTM4655 から出力可能な電流が式23に従って低下することです。

LTM4655 のチャンネル n のスイッチング周波数をデフォルトの 400kHz よりも高く設定するためには、 f_{SETn} ピンと SV_{OUTn}^- の間に抵抗 R_{fSETn} を配置します。 R_{fSETn} の値は式13により ($M\Omega$ 単位で) 得られます。

R_{fSETn} とプログラムされた f_{SWn} との関係を図1に示します。

V_{INn} と V_{OUTn}^- の様々な組み合わせにおいて推奨される f_{SWn} と、それに伴う R_{fSETn} の値は表1と表12を参照してください。

表1. 一般的な V_{INn} と V_{OUTn}^- の組み合わせにおいて推奨されるチャンネル n のスイッチング周波数 (f_{SWn}) と R_{fSETn} 、負 V_{OUTn}^- 動作

		V _{OUTn} ⁻ (V)							
		-0.5	-3.3	-5	-8	-12	-15	-20	-24
V _{INn} (V)	3.6	400kHz, No R _{fSETn}	400kHz, No R _{fSETn}	400kHz, No R _{fSETn}	400kHz, No R _{fSETn}	400kHz, No R _{fSETn}	400kHz, No R _{fSETn}	425kHz, 4.3MΩ	450kHz, 2.2MΩ
	5				450kHz, 2.2MΩ	475kHz, 1.3MΩ	500kHz, 1MΩ	525kHz, 806kΩ	550kHz, 665kΩ
	12			550kHz, 665kΩ	700kHz, 332kΩ	825kHz, 237kΩ	875kHz, 210kΩ	900kHz, 200kΩ	1MHz, 165kΩ
	24	Drive CLKIN _n with a 200kHz Clock, No R _{fSETn}	450kHz, 2.2MΩ	600kHz, 499kΩ	800kHz, 249kΩ	1.1MHz, 143kΩ	1.2MHz, 124kΩ	N/A	N/A
	36	Not Recommended Due to On-Time Criteria Violation	500kHz, 1MΩ	N/A Due to SOA Criteria Violation					

アプリケーション情報

放射 EMI ノイズ

放射 EMI ノイズの生成はスイッチング・レギュレータに固有の欠点です。高い周波数を得るために必要なパワー MOSFET の高速なオンオフ切替えは、DC/DC コンバータ内で高周波数(約 30MHz+) の $\Delta I/\Delta t$ の変化を生じます。このようなシステムでは、この動作が高周波数の EMI 放射の主なソースとなります。LTM4655 では、最適化されたゲート・ドライバやクリティカルなフロントエンド π フィルタ・インダクタなど高度に統合することにより、放射 EMI ノイズを低く抑えています。図 7～図 9 に、EN55022 Class B に規定された放射エミッションの限界を満たす LTM4655 の代表的な例を示しています。

熱に関する考慮事項と出力電流のディレーティング

ピン配置のセクションに示す熱抵抗値は、JESD51-12 で定義されたパラメータに適合するものです。また、これらの熱抵抗値は、熱モデリング、シミュレーション、およびハードウェア・テスト基板にマウントされた μ Module パッケージにより行われるハードウェア評価との関連付けを活用する、有限要素解析 (FEA) ソフトウェアのモデリング・ツールにより使用することを意図したものです。これらの熱係数を提供する理由は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information) に記載されています。

設計者の多くは、様々な電気的および環境的動作条件下における自らのアプリケーションでの μ Module レギュレータの熱性能を予想するため、FEA ソフトウェアを使用した作業の補足を目的として実験機器やデモ基板などのテスト手段を使用することがあります。FEA ソフトウェアを使用しない場合、ピン配置のセクションに示す熱抵抗はそれ自体では熱性能のガイドとなりませんが、その代わりにこのデータシートにあるディレーティング曲線をアプリケーションの利用に関する考察やガイドとして使用でき、また熱性能とアプリケーションとの関係を把握するために応用できます。

ピン配置のセクションには JESD51-12 に明示的に定義された 4 つの熱係数が示されており、これらは以下のように説明されます：

1. θ_{JA} はジャンクションから環境への熱抵抗であり、1 立方フィートの密閉された容器内で測定された、自然対流によるジャンクションから周囲の空気への熱抵抗です。この環境は「静止空気」と呼ばれることもありますが、実際には自然対流により空気の動きが生じます。この値はパーツを JESD51-9 定義のテスト基板にマウントして得られたものであり、実際のアプリケーションや現実的な動作条件を反映したものではありません。
2. $\theta_{JCbottom}$ はジャンクションから製品ケース底部までの熱抵抗であり、すべてのコンポーネントからの熱放散がパッケージ底部を通じて起こるものとして決定されます。代表的な μ Module レギュレータでは熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。この結果として、この熱抵抗の値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。
3. θ_{JCTop} はジャンクションから製品ケース上端への熱抵抗であり、コンポーネントからの熱放散のほぼすべてがパッケージ上端を通じて行われるものとして決定されます。代表的な μ Module レギュレータの電気的接続はパッケージ底部で行われるため、熱の大半がパーツ上端のジャンクション経由で放散されるようなアプリケーションはまれです。 $\theta_{JCbottom}$ の場合のように、この値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。
4. θ_{JB} はジャンクションからプリント基板への熱抵抗であり、熱のほぼすべてが μ Module レギュレータから基板へ流れる場合のジャンクションから基板への熱抵抗であり、実際には $\theta_{JCbottom}$ とハンダ接合と基板の一部を経由するパーツ底部での熱抵抗の合計値です。基板の温度は両面、二層の基板を使い、パッケージから一定の距離において測定されます。この基板は JESD51-9 に記載されています。

上記の熱抵抗を図 10 に図示しています。青で示す抵抗は μ Module レギュレータ内に含まれ、緑で示す抵抗は μ Module のパッケージ外にあります。

アプリケーション情報

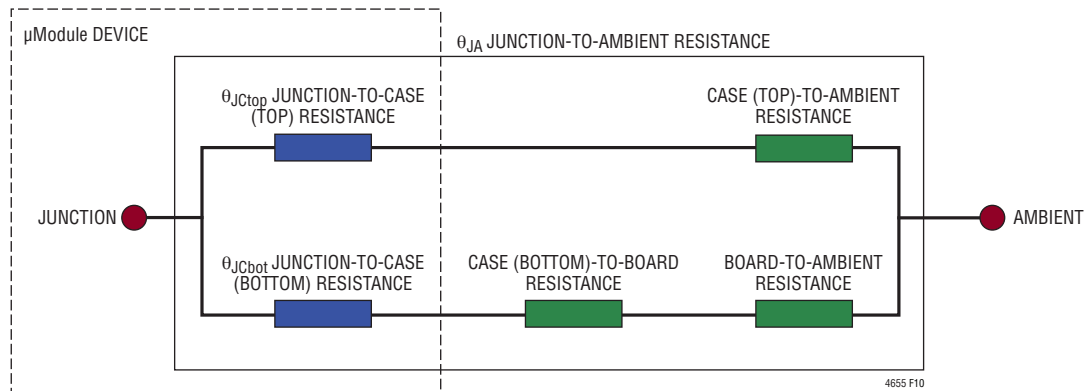


図10. JESD51-12熱係数の図式

実践的な注意点として、JESD51-12に定義されている、あるいはピン配置のセクションに示す4種類の熱抵抗パラメータのいずれも、あるいはそれらのサブグループも、μModuleレギュレータの通常の動作条件を反映したものではないことに留意してください。例えば、通常の基板マウントのアプリケーションにおいては、 θ_{JCtop} と $\theta_{JCbottom}$ に定義されているように、そのデバイスの電力損失(熱)の100%がμModuleパッケージの上端のみ、あるいは、底部のみを通じて生じるということはありません。実際には電力損失はパッケージから両方の方向に熱として放散され、ヒート・シンクと空気流がない場合は熱の大半は基板へと流れます。

LTM4655内部には熱を生じる電力デバイスとコンポーネントが複数存在し、したがってコンポーネントやダイの様々な接合部での熱抵抗はパッケージ全体の電力損失とは完全には正比例しないことに留意してください。モデリングのシンプルさを犠牲にすることなく、ただし実際の状況も無視することなくこの問題を解決するため、以下に示すように、FEAソフトウェアによるモデリングを環境制御チャンバーでのテストと組み合わせることにより、このデータシートに示す熱抵抗値は合理的な範囲で定義および関連付けされています。(1) まず、FEAソフトウェアを使ってLTM4655と指定された基板の物理的形状を、素材の係数と正確な電力損失源の定義と共に正確に構築します。(2) このモデルはJESD51-9とJESD51-12に即したソフトウェア定義のJEDEC環境をシミュレートすることにより、JEDECに定義された熱抵抗値を計算できるよう、様々なインターフェースでの電力

損失熱フローと温度測定値を予測します。(3) このモデルとFEAソフトウェアを使い、ヒート・シンクと空気流がある場合のLTM4655を評価します。(4) これらの熱抵抗値を計算して分析し、またソフトウェア・モデル内において様々な動作条件をシミュレートした上で、実験室での徹底した評価により環境制御チャンバー内で熱電対を使用して行ったシミュレーションの条件を再現し、またシミュレーションと同じ電力損失下においてデバイスを動作させます。この結果からは、必要な注意事項を踏まえたうえで、このデータシートに後述する一連のデレーティング曲線と、ピン配置のセクションに示す優れた相関を示すJESD51-12定義の θ 値が得られます。

正 V_{OUT} アプリケーションにおいて、図11と図12にそれぞれ示す12V_{IN}と24V_{IN}の電力損失曲線は、図13～図24に示す負荷電流デレーティング曲線と共に、様々なヒート・シンクおよび空気流条件下でのLTM4655の熱抵抗 θ_{JA} の概算値計算に使用できます。負 V_{OUT} アプリケーションでは、代わりに図25～図27にそれぞれ示された-5V_{OUT}、-12V_{OUT}、および-24V_{OUT}電力損失曲線を、図28～図43の負荷電流デレーティング曲線と共に使用します。分割電源アプリケーションでは、モジュール内の全電力損失によって熱デレーティングが決定されます。該当するデレーティング曲線を補間してください。これらの熱抵抗は、それぞれ2オンスと1オンスの重量を持つ外部と内部の銅ウェイトを使う、サイズ97mm × 116mm × 1.6mmの4層FR4 PCBであるDC2898AおよびDC2899Aハードウェア上でLTM4655が示した性能で

アプリケーション情報

す。電力損失曲線は室温で得られたものであり、周囲温度により乗算的に増加します。これらの乗算係数の概算値を表1に示しています。(温度の中間値での係数はインターポレーションにより計算したものです。)ディレーティング曲線は、温度制御された環境において、最大出力時のLTM4655の出力を並列およびインターリーブしたものに対してプロットされています。出力電圧は1V_{OUT}、5V_{OUT}、15V_{OUT}、-5V_{OUT}、-15V_{OUT}および-24V_{OUT}です。これらは熱抵抗との相関を検証するため、出力電圧のより低い範囲とより高い範囲を含めるよう選択されています。熱モデルは温度制御チャンバー内での複数回の温度測定と、熱モデリングによる分析から得られています。ジャンクション温度は空気流あり／なし、および熱伝導性粘着テープにより取り付けられたヒート・シンクあり／なしの環境において周囲温度を上昇させながら観察されます。周囲温度の変化に伴う電力損失増加はディレーティング曲線に組み入れられます。ジャンクション温度は、出力電流または電力を下降させ、同時に周囲温度を上昇させながら120°Cに維持されます。この出力電流の低下により、周囲温度が増加すると共にモジュール内部の損失が低下します。モニタされているジャンクション温度120°Cから周囲温度を差し引いたものにより、モジュール温度上昇の上限が規定されます。図30に示す例のように、空気流とヒート・シンクのない室温(25°C)条件下での、周囲温度60°Cでの負荷電流はチャンネルあたり3.05A(合計では6.1A)に下がり、出力3.05Aでのこの24V_{IN}~-5V_{OUT}におけるチャンネルあたり電力損失は2.45W、合計では4.9Wとなります。5.39Wの損失は、24V_{IN}~-5V_{OUT}電力損失曲

線からの室温での損失4.9W(図25)に、周囲温度60°Cでの係数1.1(表2より)を乗算して得られます。周囲温度60°Cをジャンクション温度の120°Cから差し引き、その差を5.39Wで除算して得られた熱抵抗 θ_{JA} の値11.1°C/Wは、表6によく一致します。表3~表5は、空気流とヒート・シンクあり／なしの場合の出力1V、5V、および15Vでの熱抵抗を示しています。表6~表8は、空気流とヒート・シンクあり／なしの場合の出力-5V、-15V、および-24Vでの熱抵抗を示しています。表3~表8に示す様々な条件下で得られた熱抵抗値に周囲温度から計算された電力損失値を乗算すれば周囲温度からの温度上昇幅が得られ、それに基づいて最大ジャンクション温度が得られます。室温での電力損失は代表的な性能特性のセクションの効率曲線を、表2の温度乗数で調整することにより得られます。

表2. 電力損失の乗算係数と周囲温度

AMBIENT TEMPERATURE	POWER LOSS MULTIPLICATIVE FACTOR
Up to 40°C	1.00
50°C	1.05
60°C	1.10
70°C	1.15
80°C	1.20
90°C	1.25
100°C	1.30
110°C	1.35
120°C	1.40

アプリケーション情報

表 3. 1V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 13, Figure 14, Figure 15	5, 12, 24	Figure 11, Figure 12	0	None	11.9
Figure 13, Figure 14, Figure 15	5, 12, 24	Figure 11, Figure 12	200	None	10.9
Figure 13, Figure 14, Figure 15	5, 12, 24	Figure 11, Figure 12	400	None	10.0
Figure 16, Figure 17, Figure 18	5, 12, 24	Figure 11, Figure 12	0	BGA Heat Sink	11.2
Figure 16, Figure 17, Figure 18	5, 12, 24	Figure 11, Figure 12	200	BGA Heat Sink	10.1
Figure 16, Figure 17, Figure 18	5, 12, 24	Figure 11, Figure 12	400	BGA Heat Sink	9.1

表 4. 5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 19, Figure 20	12, 24	Figure 11, Figure 12	0	None	11.9
Figure 19, Figure 20	12, 24	Figure 11, Figure 12	200	None	10.9
Figure 19, Figure 20	12, 24	Figure 11, Figure 12	400	None	10.0
Figure 21, Figure 22	12, 24	Figure 11, Figure 12	0	BGA Heat Sink	11.2
Figure 21, Figure 22	12, 24	Figure 11, Figure 12	200	BGA Heat Sink	10.1
Figure 21, Figure 22	12, 24	Figure 11, Figure 12	400	BGA Heat Sink	9.1

表 5. 15V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 23	24	Figure 12	0	None	11.9
Figure 23	24	Figure 12	200	None	10.9
Figure 23	24	Figure 12	400	None	10.0
Figure 24	24	Figure 12	0	BGA Heat Sink	11.2
Figure 24	24	Figure 12	200	BGA Heat Sink	10.1
Figure 24	24	Figure 12	400	BGA Heat Sink	9.1

アプリケーション情報

表 6. -5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 28, Figure 29, Figure 30	5, 12, 24	Figure 25	0	None	11.9
Figure 28, Figure 29, Figure 30	5, 12, 24	Figure 25	200	None	10.9
Figure 28, Figure 29, Figure 30	5, 12, 24	Figure 25	400	None	10.0
Figure 31, Figure 32, Figure 33	5, 12, 24	Figure 25	0	BGA Heat Sink	11.2
Figure 31, Figure 32, Figure 33	5, 12, 24	Figure 25	200	BGA Heat Sink	10.1
Figure 31, Figure 32, Figure 33	5, 12, 24	Figure 25	400	BGA Heat Sink	9.1

表 7. -15V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 34, Figure 35, Figure 36	5, 12, 24	Figure 26	0	None	11.9
Figure 34, Figure 35, Figure 36	5, 12, 24	Figure 26	200	None	10.9
Figure 34, Figure 35, Figure 36	5, 12, 24	Figure 26	400	None	10.0
Figure 37, Figure 38, Figure 39	5, 12, 24	Figure 26	0	BGA Heat Sink	11.2
Figure 37, Figure 38, Figure 39	5, 12, 24	Figure 26	200	BGA Heat Sink	10.1
Figure 37, Figure 38, Figure 39	5, 12, 24	Figure 26	400	BGA Heat Sink	9.1

表 8. -24V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 40, Figure 41	5, 12	Figure 27	0	None	11.9
Figure 40, Figure 41	5, 12	Figure 27	200	None	10.9
Figure 40, Figure 41	5, 12	Figure 27	400	None	10.0
Figure 42, Figure 43	5, 12	Figure 27	0	BGA Heat Sink	11.2
Figure 42, Figure 43	5, 12	Figure 27	200	BGA Heat Sink	10.1
Figure 42, Figure 43	5, 12	Figure 27	400	BGA Heat Sink	9.1

表 9. ヒート・シンク製造元 (熱伝導性粘着テープ貼付済み)

HEAT SINK MANUFACTURER	PART NUMBER	WEBSITE
Aavid Thermalloy	375424B00034G	www.aavid.com
Cool Innovations	4-050503PT411	www.coolinnovations.com
Wakefield Engineering	LTN20069	www.wakefield.com

表 10. 熱伝導性粘着テープ販売元

THERMALLY CONDUCTIVE ADHESIVE TAPE MANUFACTURER	PART NUMBER	WEBSITE
Chomerics	T411	www.chomerics.com

アプリケーション情報

表 11. 正の出力電圧応答とコンポーネントの対応関係。図 51 の回路内における、ここに示す値による LTM4655 のチャンネルの性能。負荷電流 2A~4A での負荷ステップ (2A/μs 時)。代表的な測定値。

C _{OUTHn} VENDORS	PART NUMBER	C _{OUTHn} VENDORS	PART NUMBER
AVX	12066D107MAT2A (100μF, 6.3V, 1206 Case Size)	AVX	12105D106MAT2A (10μF, 50V, 1210 Case Size)
Murata	GRM31CR60J107M (100μF, 6.3V, 1206 Case Size)	Murata	GRM32ER61H106M (10μF, 50V, 1210 Case Size)
Taiyo Yuden	JMK316BBJ107MLHT (100μF, 6.3V, 1206 Case Size)	Taiyo Yuden	UMK325BJ106M (10μF, 50V, 1210 Case Size)
TDK	C3216X5R0J107M (100μF, 6.3V, 1206 Case Size)	TDK	C3225X5R1H106M (10μF, 50V, 1210 Case Size)
AVX	1210YD476MAT2A (47μF, 16V, 1210 Case Size)	C _{INHn} /C _{Dn} VENDORS	PART NUMBER
Murata	GRM32ER61C476M (47μF, 16V, 1210 Case Size)	Murata	GRM32ER71K475M (4.7μF, 80V, 1210 Case Size)
Taiyo Yuden	EMK325BJ476MM (47μF, 16V, 1210 Case Size)	AVX	12065C475MAT2A (4.7μF, 50V, 1206 Case Size)
AVX	12103D226MAT2A (22μF, 25V, 1210 Case Size)	Murata	GRM31CR71H475M (4.7μF, 50V, 1206 Case Size)
Taiyo Yuden	TMK325BJ226MM (22μF, 25V, 1210 Case Size)	Taiyo Yuden	UMK316AB7475ML (4.7μF, 50V, 1206 Case Size)
TDK	C3225X5R1E226M (22μF, 25V, 1210 Case Size)	TDK	C3216X5R1H475M (4.7μF, 50V, 1206 Case Size)

V _{OUTn} (V)	V _{INn} (V)	C _{INHn}	C _{Dn}	C _{OUTHn}	R _{THn} (Ω)	C _{THn} (nF)	R _{ISn} (kΩ)	R _{PGDFBn} (kΩ)	f _{SWn} (kHz)	R _{ISn} (kΩ)	R _{EXTVCCn} (Ω)	LOAD STEP TRANSIENT DROOP (mV)	LOAD STEP PK-PK DEVIATION (mV)	RECOVERY TIME (μs)
1	5	4.7μF	4.7μF	100μF x 3	681	6.8	20	3.32	400	N/A	N/A	70	145	55
1	12	4.7μF	4.7μF	100μF x 3	681	6.8	20	3.32	400	N/A	N/A	70	145	50
1	24	4.7μF	4.7μF	100μF x 3	681	6.8	20	3.32	400	N/A	N/A	70	145	50
1.2	5	4.7μF	4.7μF	100μF x 3	665	6.8	24	4.99	400	N/A	N/A	70	145	50
1.2	12	4.7μF	4.7μF	100μF x 3	665	6.8	24	4.99	400	N/A	N/A	70	145	50
1.2	24	4.7μF	4.7μF	100μF x 3	665	6.8	24	4.99	400	N/A	N/A	70	145	50
1.5	5	4.7μF	4.7μF	100μF x 3	665	6.8	30.1	7.5	400	N/A	N/A	70	145	50
1.5	12	4.7μF	4.7μF	100μF x 3	665	6.8	30.1	7.5	400	N/A	N/A	70	145	50
1.5	24	4.7μF	4.7μF	100μF x 3	665	6.8	30.1	7.5	400	N/A	N/A	70	145	50
1.5	36	4.7μF	4.7μF	100μF x 3	665	6.8	30.1	7.5	400	N/A	N/A	70	145	50
1.8	5	4.7μF	4.7μF	100μF x 3	665	8.2	36	10	400	N/A	N/A	70	145	50
1.8	12	4.7μF	4.7μF	100μF x 3	665	8.2	36	10	400	N/A	N/A	70	145	50
1.8	24	4.7μF	4.7μF	100μF x 3	665	8.2	36	10	400	N/A	N/A	70	145	50
1.8	36	4.7μF	4.7μF	100μF x 3	665	8.2	36	10	400	N/A	N/A	70	145	50
2.5	5	4.7μF	4.7μF	100μF x 3	649	8.2	50	15.8	400	N/A	N/A	70	145	50
2.5	12	4.7μF	4.7μF	100μF x 3	649	8.2	50	15.8	400	N/A	N/A	70	145	50
2.5	24	4.7μF	4.7μF	100μF x 3	649	8.2	50	15.8	400	N/A	N/A	70	145	50
2.5	36	4.7μF	4.7μF	100μF x 3	649	8.2	50	15.8	400	N/A	N/A	70	145	50
3.3	5	4.7μF	4.7μF	100μF x 2	604	10	66.5	22.6	400	N/A	N/A	90	190	50
3.3	12	4.7μF	4.7μF	100μF x 2	604	10	66.5	22.6	400	N/A	N/A	90	190	50
3.3	24	4.7μF	4.7μF	100μF x 2	604	10	66.5	22.6	400	N/A	N/A	90	185	50
3.3	36	4.7μF	4.7μF	100μF x 2	604	10	66.5	22.6	400	N/A	N/A	90	180	50
5	12	4.7μF	4.7μF	47μF x 2	499	10	100	36.5	400	N/A	20	130	260	45
5	24	4.7μF	4.7μF	47μF x 2	499	10	100	36.5	550	665	20	130	260	45
5	36	4.7μF	4.7μF	47μF x 2	499	10	100	36.5	575	576	20	130	260	45
12	15	4.7μF	4.7μF	22μF x 2	499	10	240	95.3	500	1000	49.9	170	350	40
12	24	4.7μF	4.7μF	22μF x 2	499	10	240	95.3	800	249	49.9	170	350	40
12	36	4.7μF	4.7μF	22μF x 2	499	10	240	95.3	1100	143	49.9	170	350	40
15	24	4.7μF	4.7μF	22μF x 2	499	10	301	121	750	287	60.4	170	350	40
15	36	4.7μF	4.7μF	22μF x 2	499	10	301	121	1200	124	60.4	170	350	40
24	36	4.7μF	4.7μF	10μF x 2	499	10	481	196	1200	124	100	220	430	35

アプリケーション情報

表 12. 負の出力電圧応答とコンポーネントの対応関係。ここに示す値による図 48 の回路の性能。フルスケール (F.S.) の 50% から 100% までにおける負荷ステップ。1 μ s での負荷電流。代表的な測定値。

C _{OUTn} VENDORS	PART NUMBER	C _{INHn} /C _{Dn} VENDORS	PART NUMBER
AVX	12066D107MAT2A (100 μ F, 6.3V, 1206 Case Size)	Murata	GRM32ER71K475M (4.7 μ F, 80V, 1210 Case Size)
Murata	GRM31CR60J107M (100 μ F, 6.3V, 1206 Case Size)	AVX	12065C475MAT2A (4.7 μ F, 50V, 1206 Case Size)
Taiyo Yuden	JMK316BBJ107MLHT (100 μ F, 6.3V, 1206 Case Size)	Murata	GRM31CR71H475M (4.7 μ F, 50V, 1206 Case Size)
TDK	C3216X5R0J107M (100 μ F, 6.3V, 1206 Case Size)	Taiyo Yuden	UMK316AB7475ML (4.7 μ F, 50V, 1206 Case Size)
AVX	1210YD476MAT2A (47 μ F, 16V, 1210 Case Size)	TDK	C3216X5R1H475M (4.7 μ F, 50V, 1206 Case Size)
Murata	GRM32ER61C476M (47 μ F, 16V, 1210 Case Size)		
Taiyo Yuden	EMK325BJ476MM (47 μ F, 16V, 1210 Case Size)		
AVX	12103D226MAT2A (22 μ F, 25V, 1210 Case Size)		
Taiyo Yuden	TMK325BJ226MM (22 μ F, 25V, 1210 Case Size)		
TDK	C3225X5R1E226M (22 μ F, 25V, 1210 Case Size)		
AVX	12105D106MAT2A (10 μ F, 50V, 1210 Case Size)		
Murata	GRM32ER61H106M (10 μ F, 50V, 1210 Case Size)		
Taiyo Yuden	UMK325BJ106M (10 μ F, 50V, 1210 Case Size)		
TDK	C3225X5R1H106M (10 μ F, 50V, 1210 Case Size)		

V _{OUTn} (V)	V _{INn} (V)	F.S. LOAD (A)	C _{INHn} (V _{INn} TO GND BYPASS CAP)	C _{INOUTn} (V _{INn} TO V _{OUTn} BYPASS CAP)	C _{Dn} (V _{Dn} TO V _{OUTn} BYPASS CAP)	CDGNDn (V _{Dn} TO GND BYPASS CAP)	C _{OUTn} (CERAMIC OUTPUT CAP)	R _{SETn} (k Ω)	R _{PGDFBn} (k Ω)	f _{SWn} (kHz)	R _{SETn} (k Ω)	R _{EXTVCCn} (Ω)	LOAD STEP TRANSIENT DROOP (mV)	LOAD STEP PK-PK DEVIATION (mV)	RECOVERY TIME (μ s)
-0.5	5	3.2	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F $\times$ 4	10	N/A	400	N/A	2.2	75	150	55
-0.5	12	4	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F $\times$ 4	10	N/A	400	N/A	2.2	90	190	60
-0.5*	24	4	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F $\times$ 4	10	N/A	200**	N/A	2.2	90	190	60
-3.3	5	2.2	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F	66.5	22.6	400	N/A	15	65	130	25
-3.3	12	3.5	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F $\times$ 2	66.5	22.6	400	N/A	15	165	330	50
-3.3	24	4	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F $\times$ 2	66.5	22.6	450	2200	15	175	355	50
-3.3	36	4	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	100 μ F $\times$ 2	66.5	22.6	500	1000	15	160	310	40
-5	5	1.75	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	47 μ F $\times$ 2	100	36.5	400	N/A	20	125	235	45
-5	12	3.2	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	47 μ F $\times$ 2	100	36.5	550	665	20	175	340	60
-5	24	3.85	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	47 μ F $\times$ 2	100	36.5	600	499	20	185	380	55
-8	5	1.2	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	47 μ F	160	61.9	450	2200	32.4	125	235	30
-8	12	2.3	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	47 μ F	160	61.9	700	332	32.4	185	340	30
-8	24	3.1	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	47 μ F	160	61.9	800	249	32.4	180	330	27
-12	5	0.9	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	22 μ F	240	95.3	475	1300	49.9	140	270	32
-12	12	1.9	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	22 μ F	240	95.3	825	237	49.9	157	290	25
-12	24	2.75	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	22 μ F	240	95.3	1100	143	49.9	170	325	25
-15	5	0.75	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	22 μ F	301	121	500	1000	60.4	90	170	25
-15	12	1.75	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	22 μ F	301	121	875	210	60.4	200	380	32
-15	24	2.5	4.7 μ F	4.7 μ F	4.7 μ F	4.7 μ F	22 μ F	301	121	1200	124	60.4	205	400	28
-24	5	0.55	4.7 μ F	4.7 μ F	4.7 μ F $\times$ 2	4.7 μ F $\times$ 2	10 μ F $\times$ 2	481	196	550	665	100	105	220	45
-24	12	1.25	4.7 μ F	4.7 μ F	4.7 μ F $\times$ 2	4.7 μ F $\times$ 2	10 μ F $\times$ 2	481	196	1000	165	100	140	275	30

* 表 12 の設定による内部ループ補償を使用。図 48 では COMPna を COMPnb に接続。

** 最小オンタイム基準への違反を避けるため、200kHz、デューティ・サイクル・クロックの 50% で駆動。

アプリケーション情報 – デイレーティング曲線

設定は表11と表12に基づく。

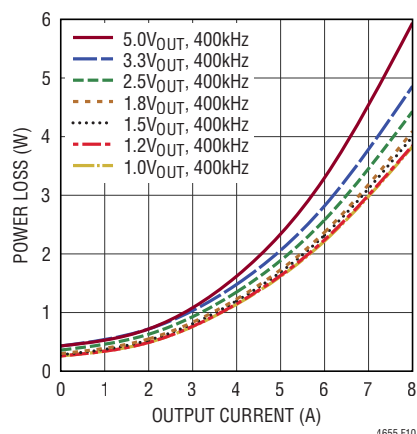


図 11. 12VIN 電力損失曲線

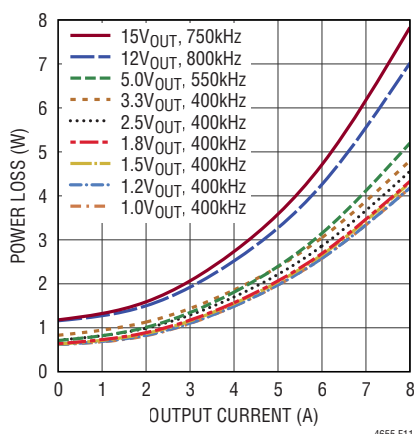


図 12. 24VIN 電力損失曲線

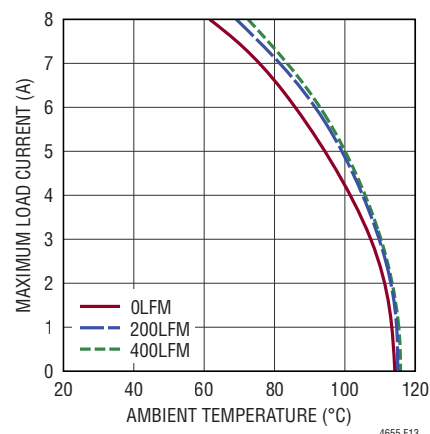


図 13. 5V~1VOUT デイレーティング曲線、ヒート・シンクなし

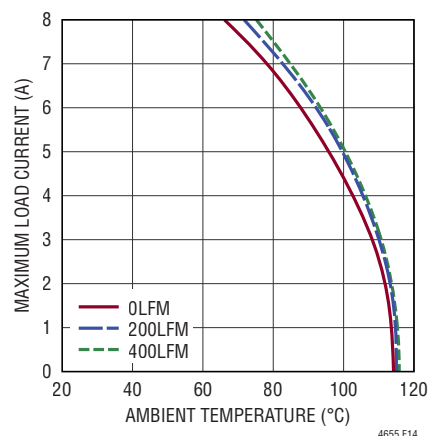


図 14. 12V~1VOUT デイレーティング曲線、ヒート・シンクなし

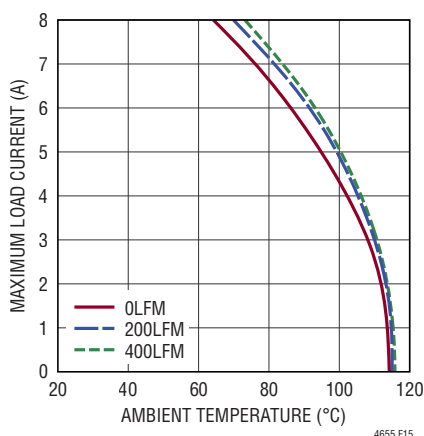


図 15. 24V~1VOUT デイレーティング曲線、ヒート・シンクなし

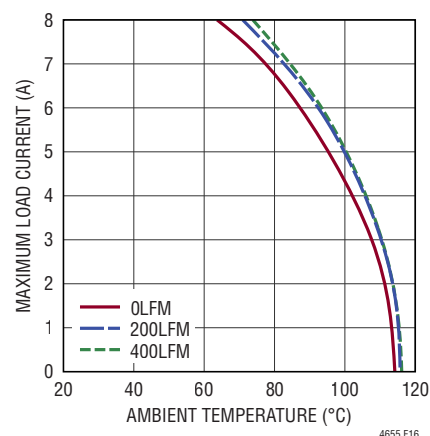


図 16. 5V~1VOUT デイレーティング曲線、BGA ヒート・シンクあり

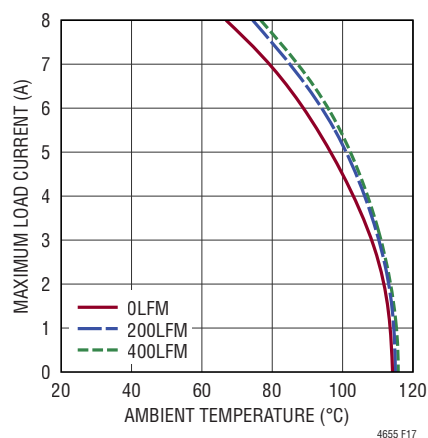


図 17. 12V~1VOUT デイレーティング曲線、BGA ヒート・シンクあり

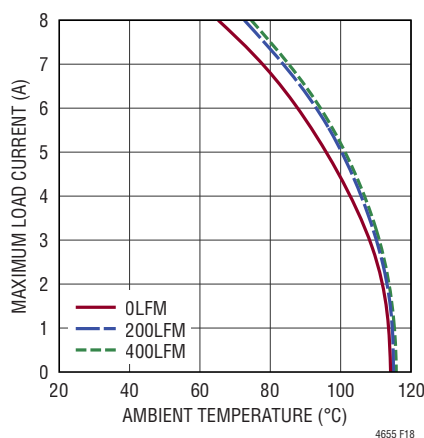


図 18. 24V~1VOUT デイレーティング曲線、BGA ヒート・シンクあり

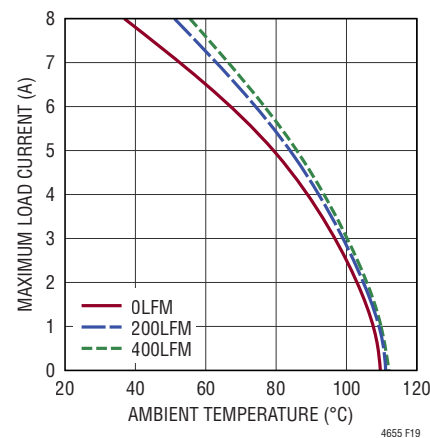
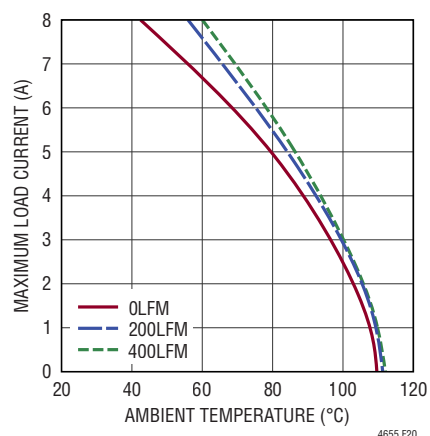
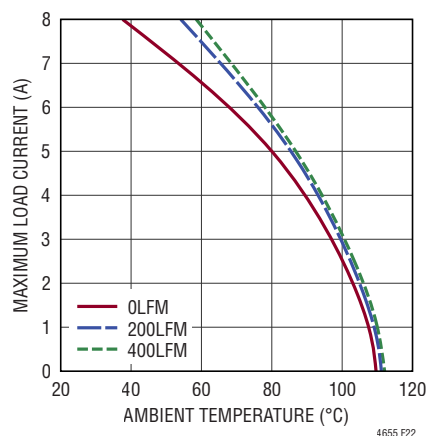
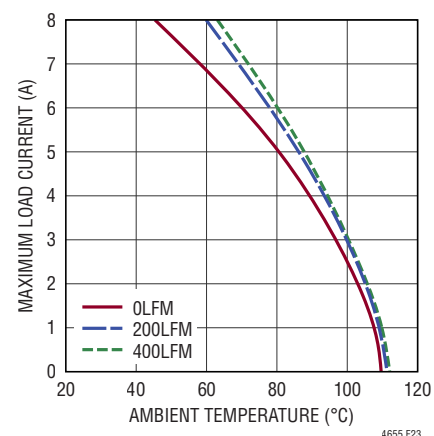
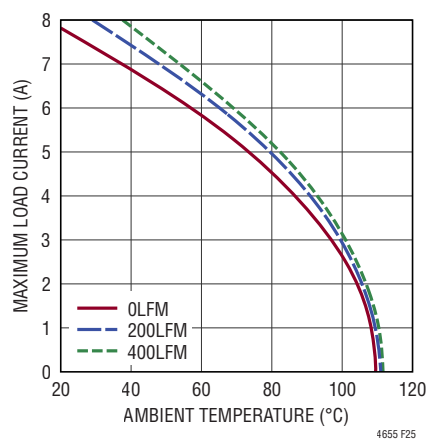
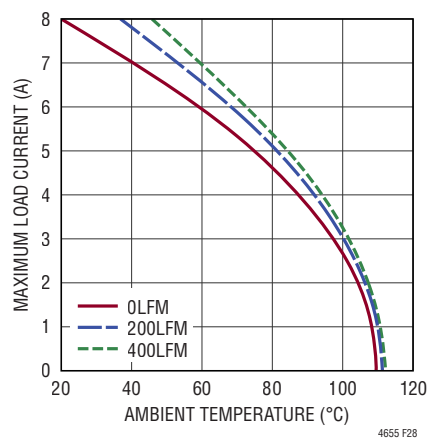
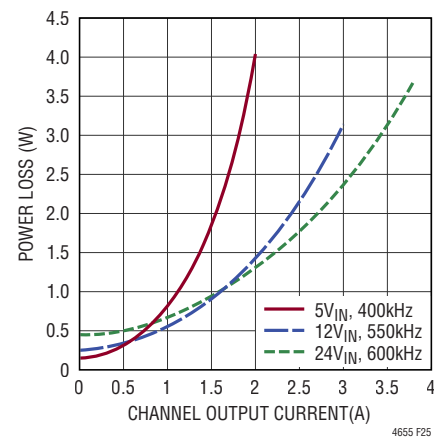
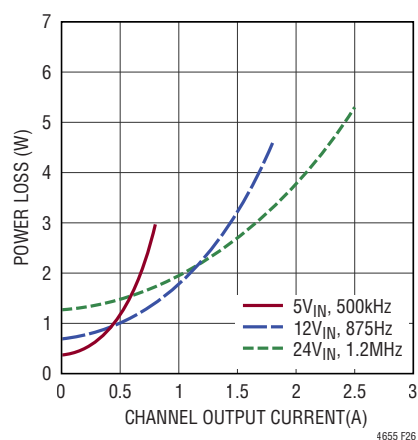
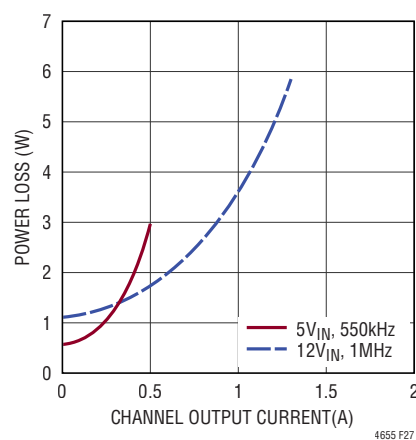
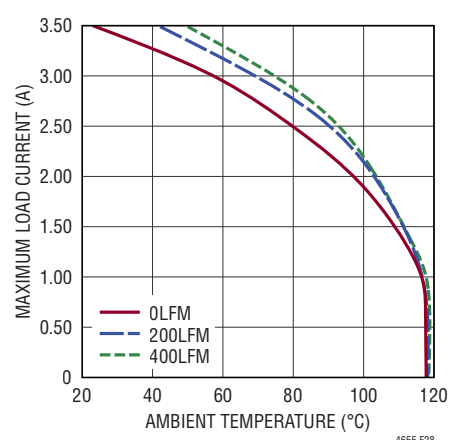


図 19. 12V~5VOUT デイレーティング曲線、ヒート・シンクなし

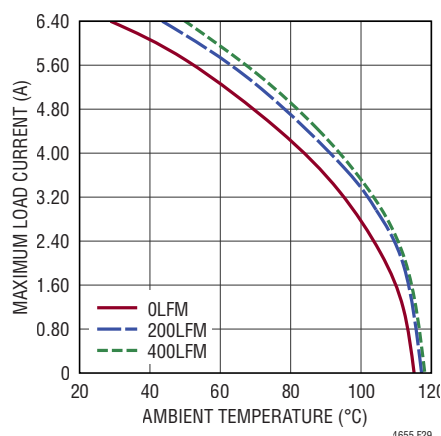
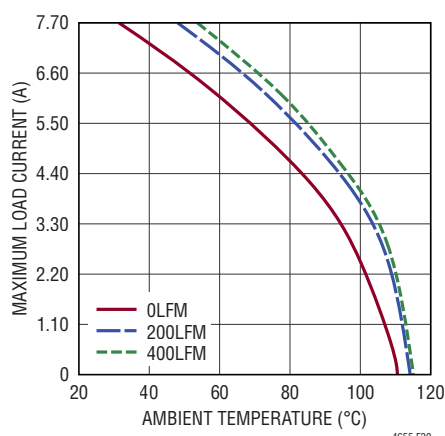
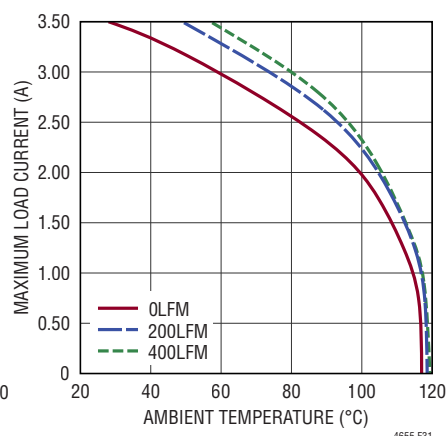
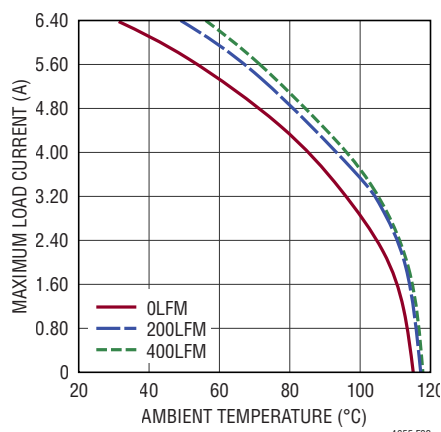
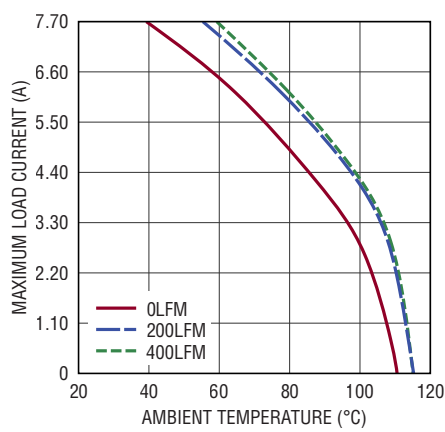
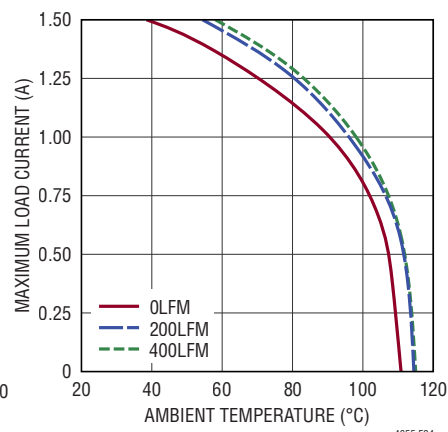
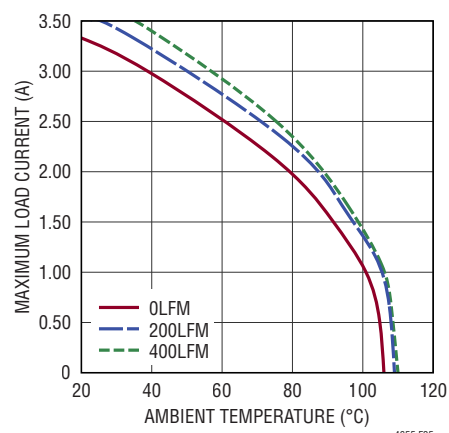
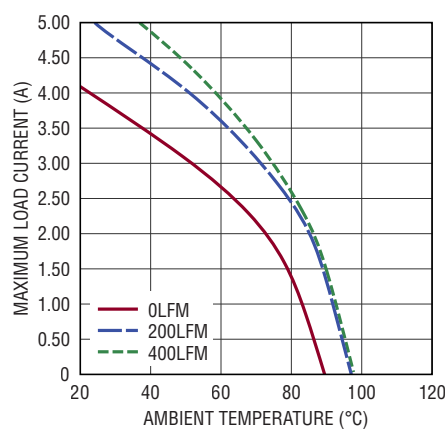
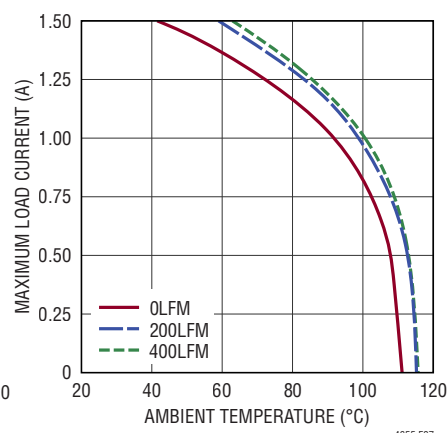
アプリケーション情報 – デイレーティング曲線

設定は表11と表12に基づく。

図20. 24V~5V_{OUT} デイレーティング曲線、ヒート・シンクなし図21. 12V~5V_{OUT} デイレーティング曲線、BGA ヒート・シンクあり図22. 24V~5V_{OUT} デイレーティング曲線、BGA ヒート・シンクあり図23. 24V~15V_{OUT} デイレーティング曲線、ヒート・シンクなし図24. 24V~15V_{OUT} デイレーティング曲線、BGA ヒート・シンクあり図25. -5V_{OUT} 電力損失曲線図26. -15V_{OUT} 電力損失曲線図27. -24V_{OUT} 電力損失曲線図28. 5V~5V_{OUT} デイレーティング曲線、ヒート・シンクなし

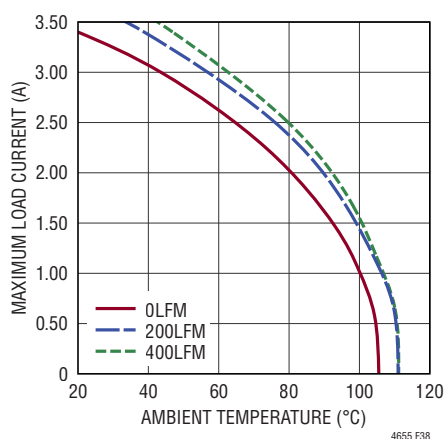
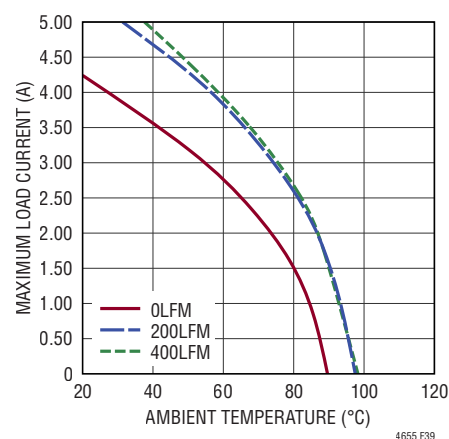
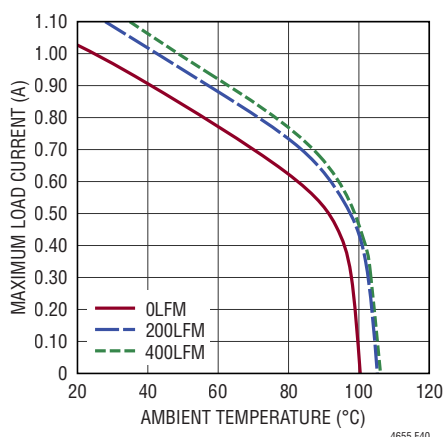
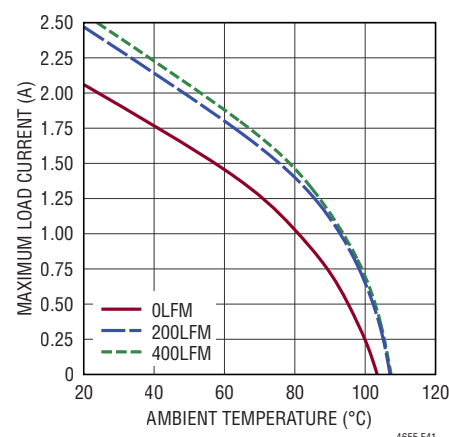
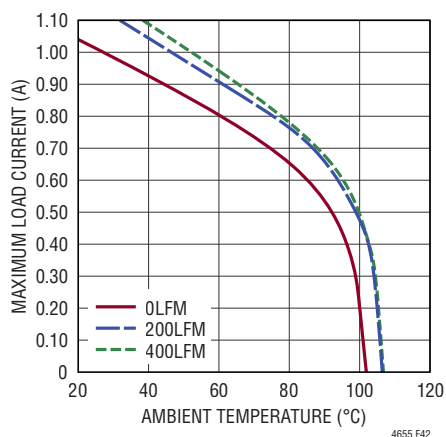
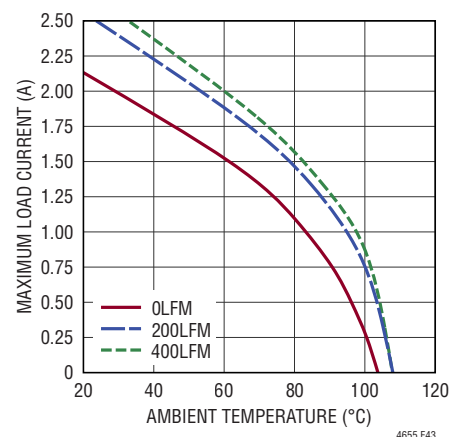
アプリケーション情報 – ディレーティング曲線

設定は表11と表12に基づく。

図29. 12V~5V_{OUT}ディレーティング曲線、ヒート・シンクなし図30. 24V~5V_{OUT}ディレーティング曲線、ヒート・シンクなし図31. 5V~5V_{OUT}ディレーティング曲線、BGAヒート・シンクあり図32. 12V~5V_{OUT}ディレーティング曲線、BGAヒート・シンクあり図33. 24V~5V_{OUT}ディレーティング曲線、BGAヒート・シンクあり図34. 5V~15V_{OUT}ディレーティング曲線、ヒート・シンクなし図35. 12V~5V_{OUT}ディレーティング曲線、ヒート・シンクなし図36. 24V~5V_{OUT}ディレーティング曲線、ヒート・シンクなし図37. 5V~15V_{OUT}ディレーティング曲線、BGAヒート・シンクあり

アプリケーション情報 – ディレーティング曲線

設定は表11と表12に基づく。

図 38. 12V~15V_{OUT} ディレーティング曲線、BGA ヒート・シンクあり図 39. 24V~15V_{OUT} ディレーティング曲線、BGA ヒート・シンクあり図 40. 5V~24V_{OUT} ディレーティング曲線、ヒート・シンクなし図 41. 12V~24V_{OUT} ディレーティング曲線、ヒート・シンクなし図 42. 5V~24V_{OUT} ディレーティング曲線、BGA ヒート・シンクあり図 43. 12V~24V_{OUT} ディレーティング曲線、BGA ヒート・シンクあり

アプリケーション情報

安全に関する考慮事項

LTM4655では V_{INn} と V_{OUTn}^+/V_{OUTn}^- の間はガルバニック絶縁されていません。内部にヒューズはありません。必要に応じ、最大入力電流の2倍の定格を持つスローブロー型ヒューズを導入し、重大な障害から装置を保護してください。

ヒューズまたはサーキット・ブレーカを使用する場合には、 M_{Tn} MOSFETの故障によるレギュレータへの電流を制限できるものを選択してください。 M_{Tn} に故障が発生した場合、システムの入力電源から非常に大きな電流が M_{Tn} を通じて V_{OUTn}^+ に供給されます。これによって、入力電圧からシステムに加わる電力の大きさに応じ、過熱や基板の損傷が発生することがあります。ヒューズやサーキット・ブレーカはこのような状況における二次的な保護手段となります。LTM4655の各チャンネルは、それぞれ独立した過電流および過熱保護機能を備えています。

レイアウトのチェックリスト/サンプル

LTM4655は高度に集積化されているためPCB基板のレイアウトは容易に行えます。ただし電気および熱性能を最適化するため、レイアウトに関しては一定の配慮が必要です。

- V_{INn} 、 V_{OUTn}^+ 、および V_{OUTn}^- を含め、大電流のパスにはPCB上の面積の広い配線を使用します。これによりPCBの伝導損失と熱応力を最小限に抑えられます。
- 高周波ノイズを最小限とするため、 V_{INn} 、 V_{Dn} 、 V_{OUTn}^+/V_{OUTn}^- ピンの隣に高周波数のセラミック入力および出力キャパシタを(使用する場合には入力から出力へ)配置します。
- LTM4655の下には専用の電源グラウンド・レイヤを配置します。
- ビアの伝導損を最小限に抑えると共にモジュールの熱応力を軽減するため、最上層レイヤと他の電力レイヤの間には複数のビアを使用してください。
- ビアはキャップまたはプレート・オーバーされていない限り、パッド上には直接配置しないでください。
- それぞれのチャンネルについて、信号ピンに接続されるコンポーネントに個別に SV_{OUTn}^- 銅プレーンを使用します。 SV_{OUTn}^- はモジュールの直下で V_{OUTn}^- に接続します。
- 並列アプリケーションでは、それぞれの V_{OUTn}^+ 、 V_{OUTn}^- 、 V_{OSNSn}^+ 、 $RUNn$ 、 $ISETna$ 、 $COMPna$ 、 $PGOODn$ 、および $IMONna$ ピンを適宜接続します(図45を参照)。
- モニタリングのため、信号ピンからテスト・ポイントを引出します。

図44は推奨されるLTM4655のレイアウトの優れた事例です。

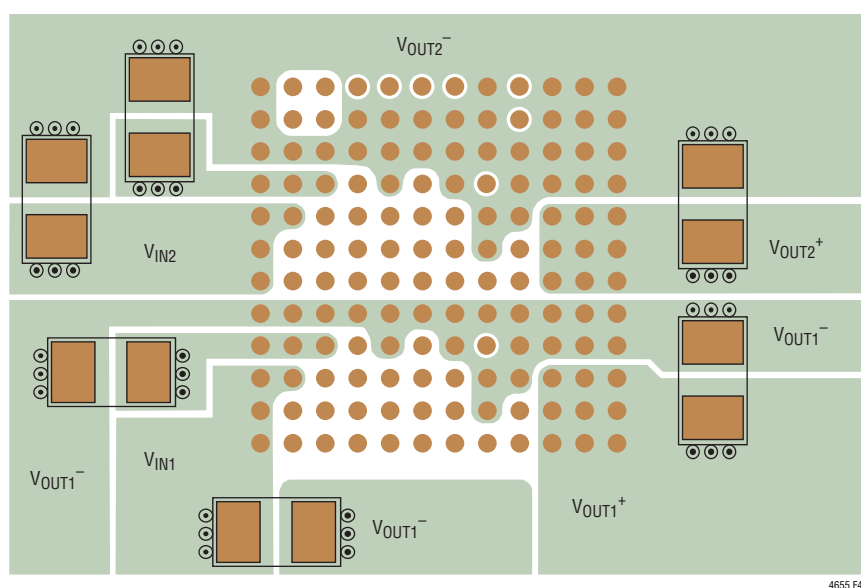
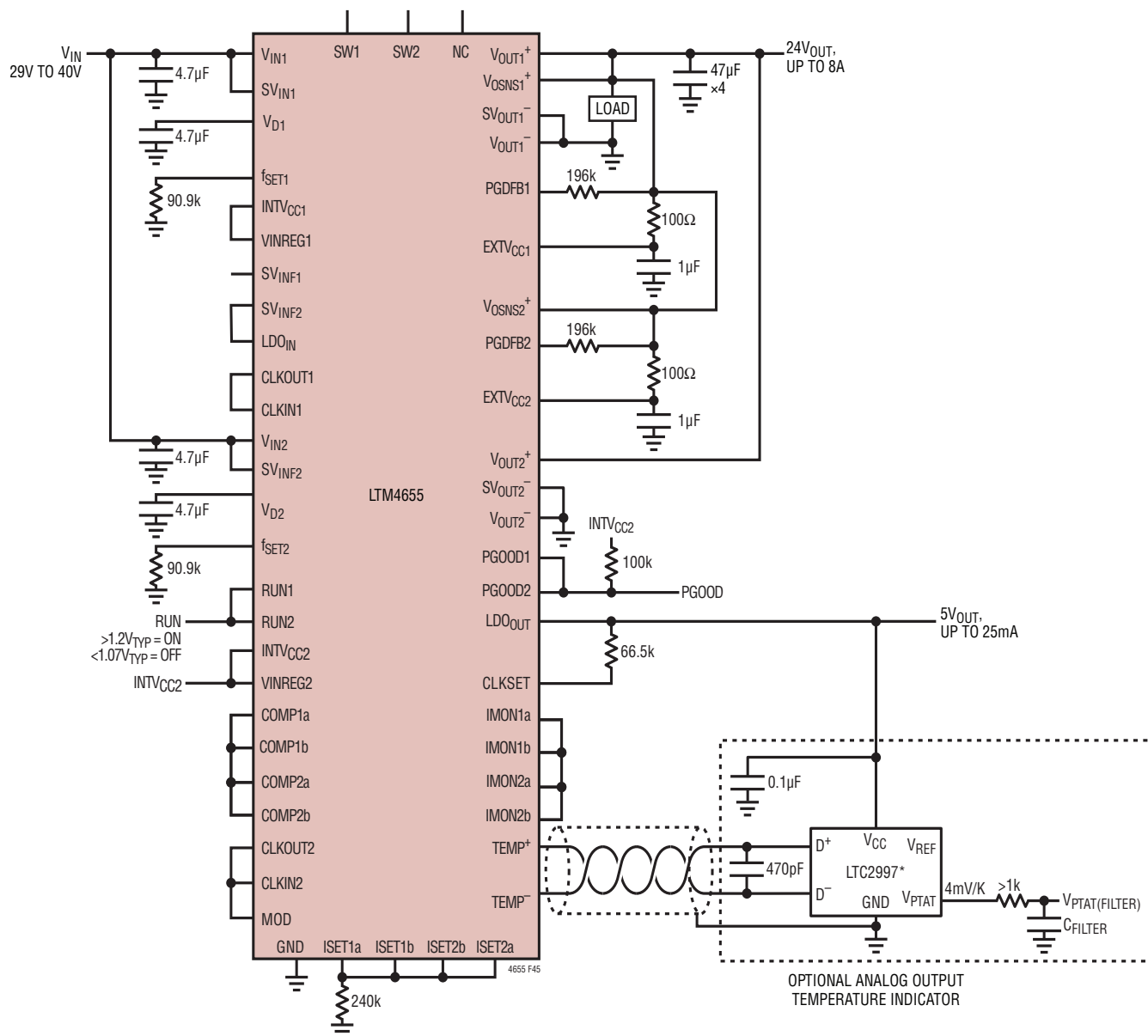


図44. 推奨されるPCBレイアウト、パッケージ上面

標準的応用例



* PLACE 470pF DIRECTLY ACROSS THE LTC2997'S D⁺/D⁻ PINS.

ROUTE TEMP⁺/TEMP⁻ DIFFERENTIALLY TO D⁺/D⁻ AND PROTECT FROM NOISE WITH GROUND SHIELDING.
 TERMINATE (CONNECT) THE D⁺/D⁻ GROUND SHIELD AT THE LTC2997 GND PIN, ONLY.
 FOR BEST V_{PTAT} PERFORMANCE, THE V_{CC} PIN OF THE LTC2997 MUST BE LOCALLY BYPASSED AND QUIET.
 SEE LTC2997 DATA SHEET AND APRIL 2017 LT JOURNAL TECHNICAL ARTICLES.

図45. オプションでアナログ温度インジケータを装備する、単独の8A、24V出力DC/DC µModuleレギュレータ

標準的応用例

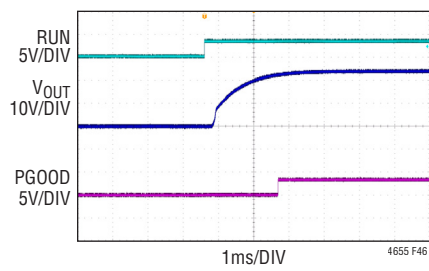


図 46. 図 45 の回路での 36V_{IN} 時のスタートアップ波形

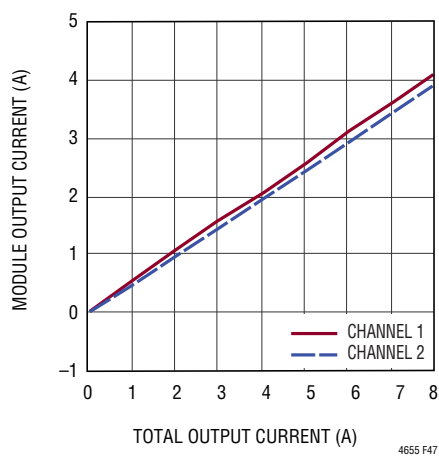
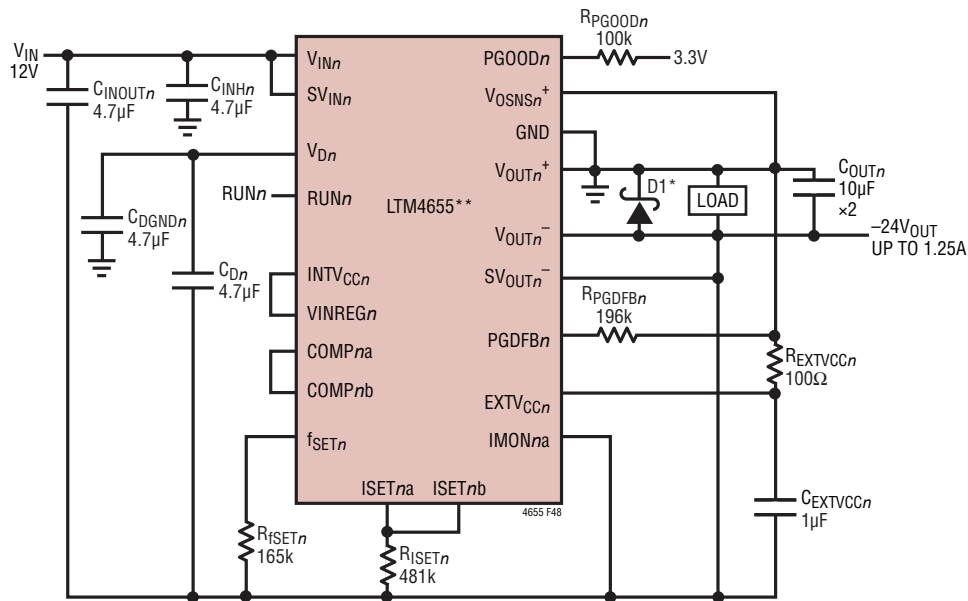


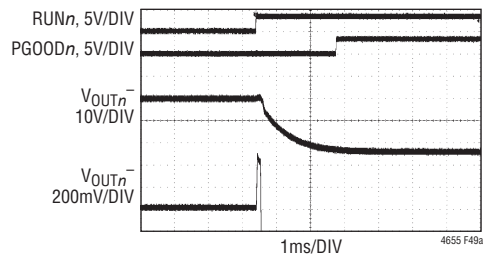
図 47. 図 45 の回路における LTM4655 の各チャンネルの電流分担性能

標準的応用例

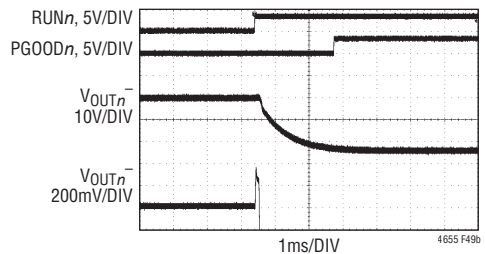


*D1 OPTIONAL (SEE EFFECT IN FIGURE 49): CENTRAL SEMICONDUCTOR P/N CMMSH1-40L
**ONE CHANNEL SHOWN. PINS NOT USED AND NOT SHOWN IN THIS CIRCUIT: NC, SVINFn, IMONnb, LDOIN, LDOOUT, CLKSET, MOD, CLKOUTn, CLKINn, TEMP+, TEMP-

図 48. 1.25A、-24V 出力 DC/DC μModule レギュレータ



(a) Start-up Performance with D1 Not Installed.
VOUTn- Reverse-Polarity at Start-Up Transiently
Reaches 500mV



(b) Start-up Performance with D1 Installed.
VOUTn- Reverse-Polarity at Start-Up is Transiently
Limited to 360mV

図 49. 図 48 の回路での 12VIN 時のスタートアップ波形

標準の応用例

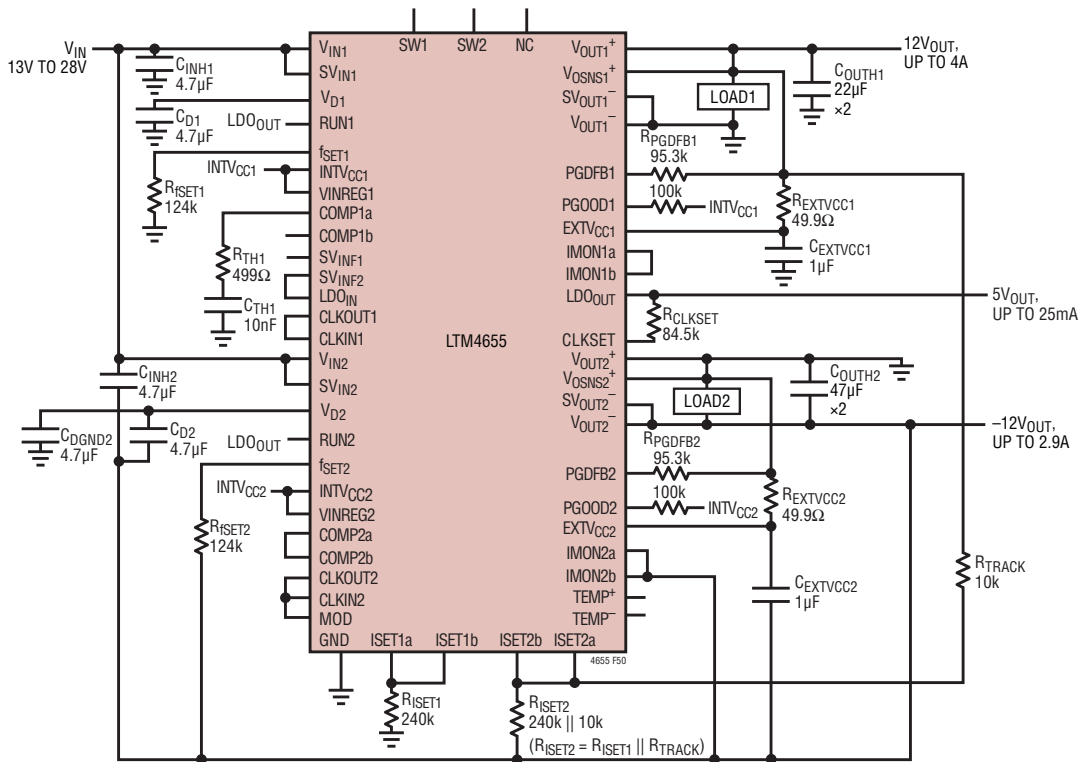


図 50. ±12V 同時出力 DC/DC μModule レギュレータ

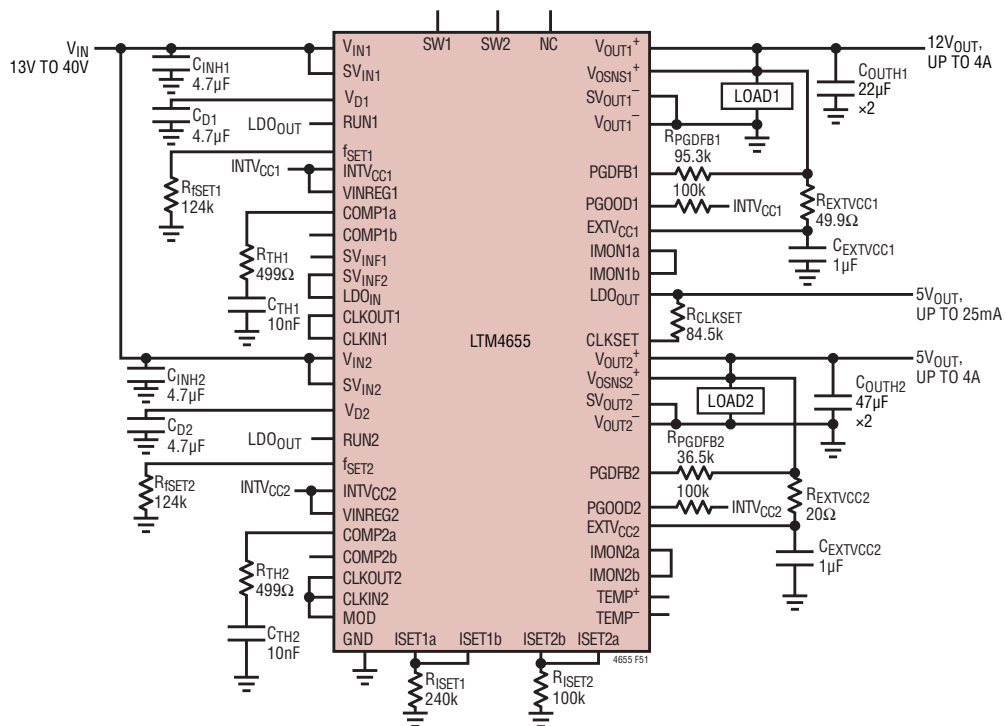
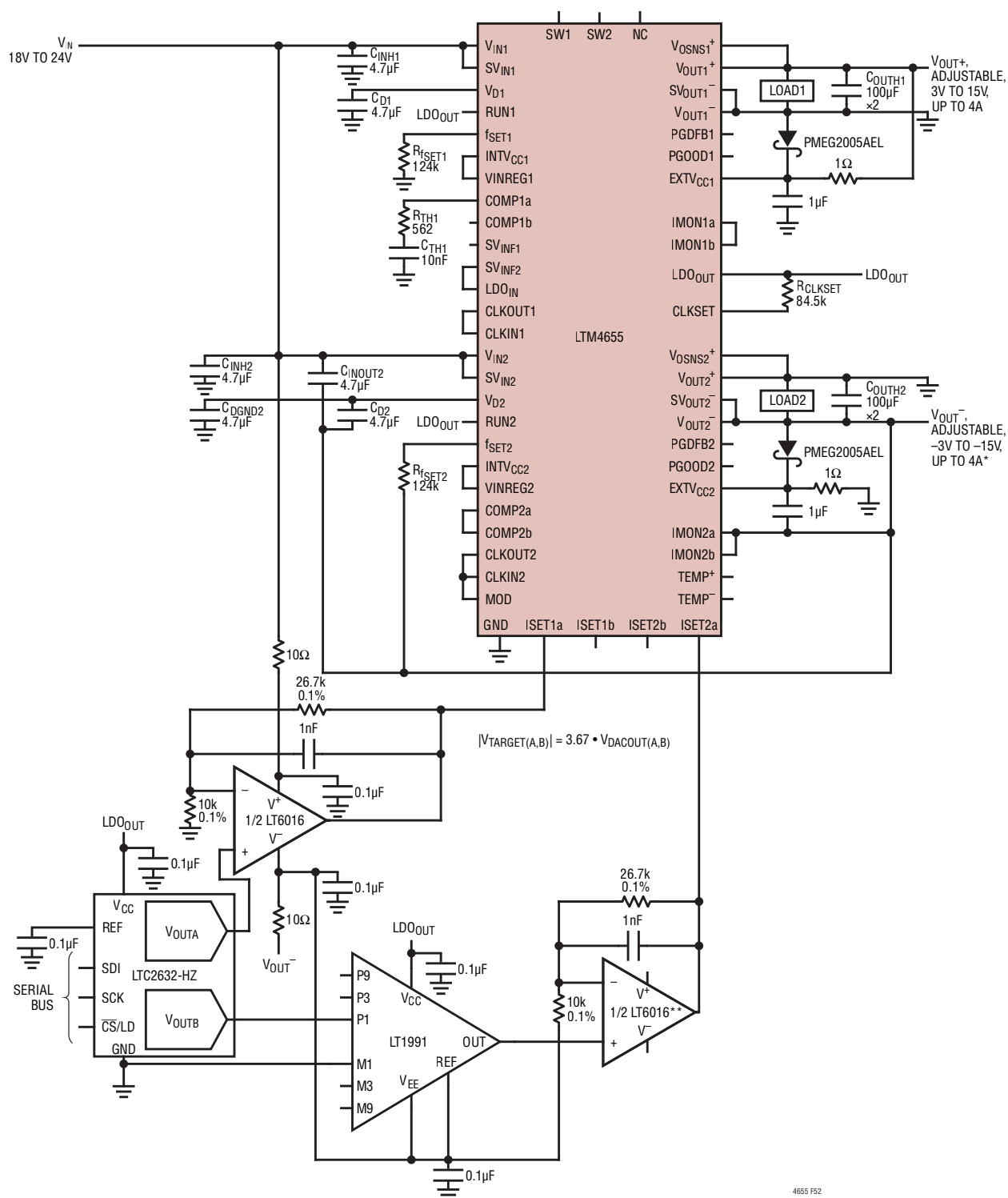


図 51. デュアル 4A、12V および 5V 出力 DC/DC μModule レギュレータ

標準の応用例



*SEE TABLE 6 AND APPLICATIONS INFORMATION SECTION FOR NEGATIVE OUTPUT CURRENT CAPABILITY

**BOTH HALVES OF LT6016 ON SAME SUPPLY

図 52. DAC 制御バイポーラ出力プログラマブル電源

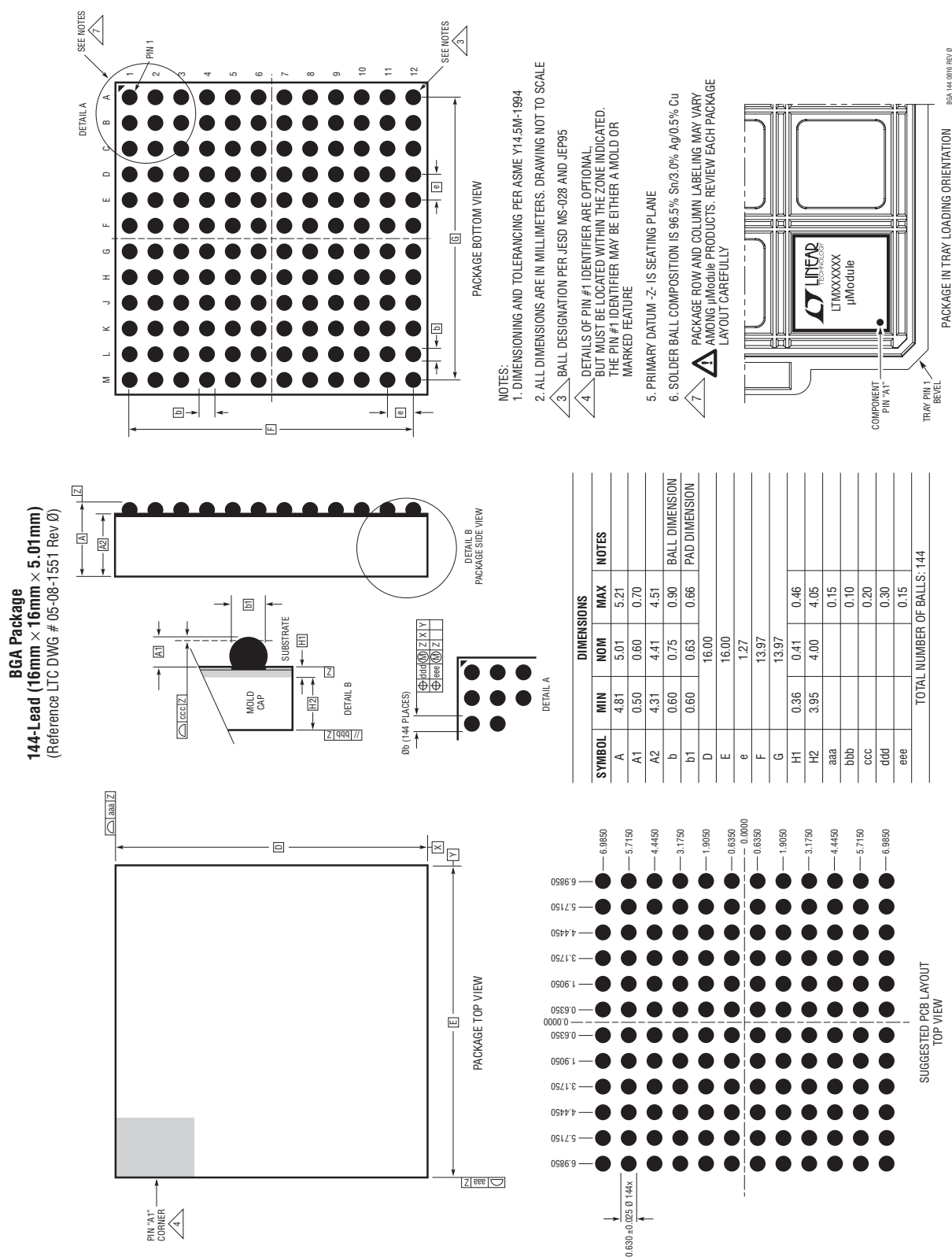
パッケージの説明

表 13. LTM4655 コンポーネント BGA ピンアウト図

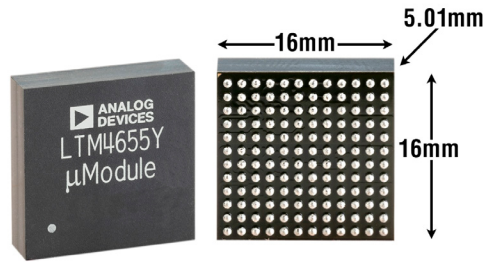
PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
A1	V _{IN1}	B1	CLKIN1	C1	IMON1b	D1	PGOOD1	E1	COMP1b	F1	ISSET1b
A2	V _{IN1}	B2	CLKOUT1	C2	IMON1a	D2	PGDFB1	E2	COMP1a	F2	ISSET1a
A3	V _{IN1}	B3	V _{IN1}	C3	SV _{IN1}	D3	VINREG1	E3	f _{SET1}	F3	EXTV _{CC1}
A4	V _{D1}	B4	V _{D1}	C4	V _{D1}	D4	GND	E4	SV _{OUT1} ⁻	F4	RUN1
A5	V _{OUT1} ⁻	B5	V _{OUT1} ⁻	C5	V _{OUT1} ⁻	D5	V _{OUT1} ⁻	E5	V _{OUT1} ⁻	F5	V _{OUT1} ⁻
A6	V _{IN2}	B6	CLKIN2	C6	IMON2b	D6	PGOOD2	E6	COMP2b	F6	ISSET2b
A7	V _{IN2}	B7	CLKOUT2	C7	IMON2a	D7	PGDFB2	E7	COMP2a	F7	ISSET2a
A8	V _{IN2}	B8	V _{IN2}	C8	SV _{IN2}	D8	VINREG2	E8	f _{SET2}	F8	EXTV _{CC2}
A9	V _{D2}	B9	V _{D2}	C9	V _{D2}	D9	GND	E9	SV _{OUT2} ⁻	F9	RUN2
A10	V _{OUT2} ⁻	B10	V _{OUT2} ⁻	C10	V _{OUT2} ⁻	D10	V _{OUT2} ⁻	E10	V _{OUT2} ⁻	F10	V _{OUT2} ⁻
A11	V _{OUT2} ⁻	B11	SV _{INF1}	C11	SV _{INF2}	D11	V _{OUT2} ⁻	E11	V _{OUT2} ⁻	F11	V _{OUT2} ⁻
A12	V _{OUT2} ⁻	B12	LDO _{IN}	C12	CLKOUT2	D12	GND	E12	MOD	F12	CLKSET

PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
G1	V _{OSNS1} ⁺	H1	V _{OSNS1} ⁺	J1	NC	K1	V _{OUT1} ⁺	L1	V _{OUT1} ⁺	M1	V _{OUT1} ⁺
G2	SV _{OUT1} ⁻	H2	SV _{OUT1} ⁻	J2	NC	K2	V _{OUT1} ⁺	L2	V _{OUT1} ⁺	M2	V _{OUT1} ⁺
G3	INTV _{CC1}	H3	V _{OUT1} ⁻	J3	V _{OUT1} ⁻	K3	V _{OUT1} ⁺	L3	V _{OUT1} ⁺	M3	V _{OUT1} ⁺
G4	V _{OUT1} ⁻	H4	SW1	J4	V _{OUT1} ⁻	K4	V _{OUT1} ⁻	L4	V _{OUT1} ⁻	M4	V _{OUT1} ⁻
G5	V _{OUT1} ⁻	H5	V _{OUT1} ⁻	J5	V _{OUT1} ⁻	K5	V _{OUT1} ⁻	L5	V _{OUT1} ⁻	M5	V _{OUT1} ⁻
G6	V _{OSNS2} ⁺	H6	V _{OSNS2} ⁺	J6	TEMP ⁺	K6	V _{OUT2} ⁺	L6	V _{OUT2} ⁺	M6	V _{OUT2} ⁺
G7	SV _{OUT2} ⁻	H7	SV _{OUT2} ⁻	J7	TEMP ⁻	K7	V _{OUT2} ⁺	L7	V _{OUT2} ⁺	M7	V _{OUT2} ⁺
G8	INTV _{CC2}	H8	V _{OUT2} ⁻	J8	V _{OUT2} ⁻	K8	V _{OUT2} ⁺	L8	V _{OUT2} ⁺	M8	V _{OUT2} ⁺
G9	V _{OUT2} ⁻	H9	SW2	J9	V _{OUT2} ⁻	K9	V _{OUT2} ⁻	L9	V _{OUT2} ⁻	M9	V _{OUT2} ⁻
G10	V _{OUT2} ⁻	H10	V _{OUT2} ⁻	J10	V _{OUT2} ⁻	K10	V _{OUT2} ⁻	L10	V _{OUT2} ⁻	M10	V _{OUT2} ⁻
G11	V _{OUT2} ⁻	H11	V _{OUT2} ⁻	J11	NC	K11	V _{OUT2} ⁻	L11	V _{OUT2} ⁻	M11	V _{OUT2} ⁻
G12	LDO _{OUT}	H12	V _{OUT2} ⁻	J12	NC	K12	V _{OUT2} ⁻	L12	V _{OUT2} ⁻	M12	V _{OUT2} ⁻

パッケージの説明



パッケージ写真



設計リソース

SUBJECT	DESCRIPTION	
μModule Design and Manufacturing Resources	Design: • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools	Manufacturing: • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability
μModule Regulator Products Search	1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table. Quick Power Search INPUT $V_{in}(\text{Min})$ V $V_{in}(\text{Max})$ V OUTPUT V_{out} V I_{out} A FEATURES ☐ Low EMI ☐ Ultrathin ☐ Internal Heat Sink Multiple Outputs Search	
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.	

関連製品

製品番号	概要	注釈
LTM4651	EN55022B準拠58V _{IN} 、24W反転出力DC/DC μModuleレギュレータ	$3.6V \leq V_{IN} \leq 58V$ 、 $-26.5V \leq V_{OUT} \leq -0.5V$ 、 $I_{OUT} \leq 4A$ 、 $15mm \times 9mm \times 5.01mm$ BGA
LTM4653	EN55022B準拠58V _{IN} 、4A降圧DC/DC μModuleレギュレータ	$3.1V \leq V_{IN} \leq 58V$ 、 $0.5V \leq V_{OUT} \leq 0.94V \cdot V_{IN}$ 、 $15mm \times 9mm \times 5.01mm$ BGA
LTM8045	SEPICまたは反転 μModule DC/DC コンバータ	$2.8V \leq V_{IN} \leq 18V$ 、 $\pm 2.5V \leq V_{OUT} \leq \pm 15V$ $I_{OUT(DC)} \leq 700mA$ 、 $6.25mm \times 11.25mm \times 4.92mm$ BGA
LTM8053	40V、デュアル3.5A Silent Switcher降圧 μModuleレギュレータ	$3.4V \leq V_{IN} \leq 40V$ 、 $0.97V \leq V_{OUT} \leq 15V$ 、 $6.25mm \times 9mm \times 3.32mm$ BGA
LTM8024	40V、3.5A Silent Switcher降圧 μModuleレギュレータ	$3V \leq V_{IN} \leq 40V$ 、 $0.8V \leq V_{OUT} \leq 8V$ 、 $9mm \times 11.25mm \times 3.32mm$ BGA
LTM8049	SEPIC、および／または反転型デュアル μModule DC/DC コンバータ	$2.6V \leq V_{IN} \leq 20V$ 、 $\pm 2.5V \leq V_{OUT} \leq \pm 24V$ $I_{OUT(DC)} \leq 1A$ /チャンネル、 $9mm \times 15mm \times 2.42mm$ BGA
LTM8071	60V、5A Silent Switcher [®] 降圧 μModuleレギュレータ	$3.6V \leq V_{IN} \leq 60V$ 、 $0.97V \leq V_{OUT} \leq 15V$ 、 $6.25mm \times 9mm \times 3.32mm$ BGA
LTM8073	60V、3A Silent Switcher降圧 μModuleレギュレータ	$3.4V \leq V_{IN} \leq 60V$ 、 $0.8V \leq V_{OUT} \leq 15V$ 、 $9mm \times 11.25mm \times 3.32mm$ BGA