

GaN FET 向け低 I_Q 、デュアル、 2 相同期整流式降圧コントローラ

特長

- ▶ GaN FET 向けに全面的に最適化された GaN 駆動テクノロジー
- ▶ 広い V_{IN} 範囲：4V~100V
- ▶ 広い出力電圧範囲：0.8V $\leq V_{OUT} \leq 60V$
- ▶ キャッチ/クランプ/ブートストラップ・ダイオード不要
- ▶ 内蔵のスマート・ブートストラップ・スイッチにより、
ハイサイド・ドライバ用電源の過充電を防止
- ▶ ほぼゼロになるよう内部で最適化されたスマート・デッド・
タイム、または抵抗により調整可能なデッド・タイム
- ▶ ゲート・ドライバの分割出力により、ドライバ強度設定の
オン/オフが調整可能
- ▶ 調整可能で正確なドライバ電圧と UVLO
- ▶ 低 I_Q ：5 μA (48V $_{IN}$ から 5V $_{OUT}$ まで、Ch 1 がオンの時)
- ▶ 設定可能周波数 (100kHz~3MHz)
- ▶ 同期可能周波数 (100kHz~3MHz)
- ▶ スペクトラム拡散周波数変調
- ▶ 40 ピン (6mm $\times$ 6mm)、サイド・ウェットブル、
QFN パッケージ

アプリケーション

- ▶ 産業用電源システム
- ▶ 防衛アビオニクス (航空電子機器) および医療用システム
- ▶ 電気通信電源システム

概要

LTC7890 は高性能のデュアル降圧 DC/DC スイッチング・レギュレータ・コントローラで、あらゆる N チャンネル同期化ガリウム (GaN) 電界効果トランジスタ (FET) のパワー段を入力電圧から最大 100V まで駆動できます。LTC7890 により、GaN FET 使用時に直面していた従来の課題の多くが解決されます。LTC7890 を使用すると、シリコン金属酸化膜半導体電界効果トランジスタ (MOSFET) ソリューションと比べてアプリケーション設計が簡素化すると同時に、保護ダイオードやその他の追加外付け部品が不要になります。

内蔵のスマート・ブートストラップ・スイッチにより、デッド・タイム時の BOOST $_x$ ピンから SW $_x$ ピンのハイサイド・ドライバ電源への過充電を防止して、上側 GaN FET のゲートを保護できます。LTC7890 では、両方のスイッチング・エッジでゲート・ドライバのタイミングを内部で最適化して、デッド・タイムをほぼゼロにするスマート・ニア・ゼロ機能を実現しています。そのため、効率が大幅に向上し、入力電圧が大きい場合でも高周波数動作が可能になります。または、外付け抵抗を使用してデッド・タイムを調整し、マージンを確保したり、アプリケーションに適合させたりすることもできます。

LTC7890 のゲート駆動電圧を 4V~5.5V の間で正確に調節できるため、性能を最適化でき、また、様々な GaN FET またはロジック・レベルの MOSFET を使用できます。

代表的なアプリケーション回路

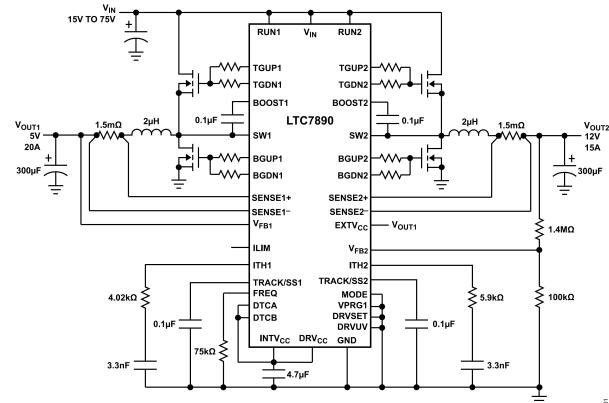


図 1. 代表的なアプリケーション回路

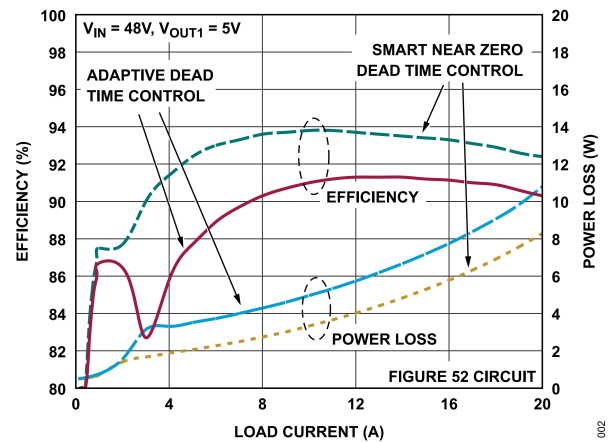


図 2. 効率および電力損失と負荷電流の関係

このデータシートでは、PLLIN/SPREAD などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、PLLIN のように 1 つのピン機能だけを表記しています。

目次

特長.....	1	電流検出方式の選択.....	20
アプリケーション.....	1	小さな値の抵抗による電流検出.....	21
代表的なアプリケーション回路.....	1	インダクタの DCR による電流検出.....	21
概要.....	1	動作周波数の設定.....	22
仕様.....	3	軽負荷時動作モードの選択.....	22
電気的特性.....	3	デッド・タイム制御 (DTCA および DTCB ピン).....	23
絶対最大定格.....	6	パワーFETの選択.....	24
ESD に関する注意.....	6	C _{IN} と C _{OUT} の選択.....	25
ピン配置およびピン機能の説明.....	7	出力電圧の設定.....	26
代表的な性能特性.....	10	RUNx ピンと低電圧ロックアウト.....	26
動作原理.....	16	ソフト・スタートとトラッキング (TRACK/SSx ピン).....	26
機能図.....	16	2 相単出力動作.....	27
メイン制御ループ.....	16	INTV _{CC} レギュレータ (OPTI-DRIVE).....	27
電源とバイアス電源 (V _{IN} 、EXTV _{CC} 、DRV _{CC} 、INTV _{CC}).....	16	上側 FET ドライバ電源 (C _B).....	29
ハイサイド・ブートストラップ・コンデンサ.....	17	最小オン時間に関する考慮事項.....	29
デッド・タイム制御 (DTCA および DTCB ピン).....	17	フォールト状態：電流制限とフォールドバック.....	29
起動とシャットダウン (RUNx および TRACK/SSx ピン) ..	17	フォールト状態：過電圧保護.....	29
軽負荷時の動作：バースト・モード動作、パルス・		フォールト状態：過熱保護.....	29
スキップ・モード、強制連続モード (MODE ピン).....	18	フェーズ・ロック・ループと周波数同期.....	29
周波数の選択、スペクトラム拡散、フェーズ・ロック・		効率に関する考慮事項.....	30
ループ (FREQ および PLLIN/SPREAD ピン).....	18	過渡応答の確認.....	30
出力過電圧保護.....	19	設計例.....	31
フォールドバック電流.....	19	PCB レイアウトのチェックリスト.....	32
パワーグッド.....	19	PCB レイアウトのデバッグ.....	34
アプリケーション情報.....	20	代表的なアプリケーション.....	35
インダクタ値の計算.....	20	関連製品.....	39
インダクタ・コアの選択.....	20	外形寸法.....	40
		オーダー・ガイド.....	40
		評価用ボード.....	41

改訂履歴

4/2023—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ （最小値および最大値の場合）、 $T_A = 25^{\circ}\text{C}$ （代表値の場合）、 $V_{IN} = 12\text{V}$ 、 RUN1 および $\text{RUN2} = 12\text{V}$ 、 $\text{VPRG1} = \text{フロート状態}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$ 、 $\text{TGUP1} = \text{TGDN1} = \text{TGxx1}$ 、 $\text{BGUP1} = \text{BGDN1} = \text{BGxx1}$ 、 $\text{TGUP2} = \text{TGDN2} = \text{TGxx2}$ 、 $\text{BGUP2} = \text{BGDN2} = \text{BGxx2}$ 、 DTCA および $\text{DTCB} = 0\text{V}$ 。

表 1. 電気的特性

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT SUPPLY						
Input Supply Operating Range	V_{IN}		4		100	V
Total Quiescent Supply Current in Regulation	I_Q	48 V to 5 V, no load, $\text{RUN2} = 0\text{V}^1$ 14 V to 3.3 V, no load, $\text{RUN2} = 0\text{V}^1$		5 14		μA μA
CONTROLLER OPERATION						
Regulated Output Voltage Set Point	V_{OUT1}, V_{OUT2}		0.8		60	V
Channel 1 Regulated Feedback Voltage ²	V_{FB1}	$V_{IN} = 4\text{V}$ to 100V , ITH1 voltage = 0.6V to 1.2V $\text{VPRG1} = \text{floating}$, $T_A = 25^{\circ}\text{C}$ $\text{VPRG1} = \text{floating}$ $\text{VPRG1} = 0\text{V}$ $\text{VPRG1} = \text{INTV}_{CC}$	0.792 0.788 4.925 11.82	0.8 0.8 5.0 12	0.808 0.812 5.075 12.18	V V V V
Channel 2 Regulated Feedback Voltage ²	V_{FB2}	$V_{IN} = 4\text{V}$ to 100V , ITH2 voltage = 0.6V to 1.2V $T_A = 25^{\circ}\text{C}$	0.792 0.788	0.8 0.8	0.808 0.812	V V
Channel 1 Feedback Current ²		$\text{VPRG1} = \text{floating}$, $T_A = 25^{\circ}\text{C}$ $\text{VPRG1} = 0\text{V}$ or INTV_{CC} , $T_A = 25^{\circ}\text{C}$	-50	0 1	+50 2	nA μA
Channel 2 Feedback Current ²		$T_A = 25^{\circ}\text{C}$	-50	0	+50	nA
Feedback Overvoltage Threshold (Relative to V_{FBx})		$T_A = 25^{\circ}\text{C}$	7	10	13	%
Transconductance Amplifier ²	g_{M1}, g_{M2}	ITH1 and $\text{ITH2} = 1.2\text{V}$, sink and source current = $5\mu\text{A}$		1.8		mMho
Maximum Current Sense Threshold	$V_{SENSE(\text{MAX})}$	$V_{FBx} = 0.7\text{V}$, $\text{SENSEx}^- = 3.3\text{V}$ $\text{ILIM} = 0\text{V}$ $\text{ILIM} = \text{floating}$ $\text{ILIM} = \text{INTV}_{CC}$	21 45 67	26 50 75	31 55 83	mV mV mV
SENSE1 ⁺ and SENSE2 ⁺ Pin Current	$I_{\text{SENSE1}^+}, I_{\text{SENSE2}^+}$	SENSE1^+ and $\text{SENSE2}^+ = 3.3\text{V}$, $T_A = 25^{\circ}\text{C}$	-1		+1	μA
SENSE1 ⁻ Pin Current	I_{SENSE1^-}	$\text{SENSE1}^- < 3\text{V}$ $3.2\text{V} \leq \text{SENSE1}^- < \text{INTV}_{CC} - 0.5\text{V}$ $\text{SENSE1}^- > \text{INTV}_{CC} + 0.5\text{V}$		1 75 725		μA μA μA
SENSE2 ⁻ Pin Current		$\text{SENSE2}^- < \text{INTV}_{CC} - 0.5\text{V}$ $\text{SENSE2}^- > \text{INTV}_{CC} + 0.5\text{V}$	-2		+2	μA
Soft Start Charge Current		TRACK/SS1 and $\text{TRACK/SS2} = 0\text{V}$	9.5	12	14.5	μA
RUNx Pin On Threshold		RUNx rising	1.15	1.20	1.25	V
RUNx Pin Hysteresis				120		mV
DC SUPPLY CURRENT						
V_{IN} Shutdown Current		RUN1 and $\text{RUN2} = 0\text{V}$		1		μA
V_{IN} Sleep Mode Current		$\text{SENSE1}^- < 3.2\text{V}$, $\text{EXTV}_{CC} = 0\text{V}$		15		μA
One Channel On				19		μA
Both Channels On						μA
Sleep Mode Current ³ , Only Channel 1 On		$\text{SENSE1}^- \geq 3.2\text{V}$				μA
V_{IN} Current		$\text{EXTV}_{CC} = 0\text{V}$		5		μA
V_{IN} Current		$\text{EXTV}_{CC} \geq 4.8\text{V}$		1		μA
EXTV_{CC} Current		$\text{EXTV}_{CC} \geq 4.8\text{V}$		6		μA
SENSE1 ⁻ Current				10		μA

仕様

表 1. 電気的特性 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Sleep Mode Current ³ , Both Channels On		SENSE1 ⁻ ≥ 3.2 V, EXTV _{CC} ≥ 4.8 V		1		μA
V _{IN} Current				7		μA
EXTV _{CC} Current				12		μA
SENSE1 ⁻ Current						μA
Pulse Skipping (PS) or Forced Continuous Mode (FCM), V _{IN} or EXTV _{CC} Current ³				2		mA
One Channel On				3		mA
Both Channels On						mA
GATE DRIVERS						
TGxxx or BGxxx On Resistance		DRVSET = INTV _{CC}				
Pull-Up				2.0		Ω
Pull-Down				1.0		Ω
BOOSTx to DRV _{CC} Switch On Resistance		DRVSET = INTV _{CC}		7		Ω
TGxxx or BGxxx Transition Time ⁴						
Rise Time				25		ns
Fall Time				15		ns
TGxxx Off to BGxxx On Delay ⁴		DTCA = 0 V				
Synchronous Switch On Delay Time				20		ns
BGxxx Off to TGxxx On Delay ⁴		DTCB = 0 V				
Top Switch On Delay Time				20		ns
BGxxx Falling to SWx Rising Delay ⁵		DTCB = INTV _{CC} or resistor				
		DTCA = INTV _{CC}		2		ns
		DTCA = 50 kΩ		25		ns
		DTCA = 100 kΩ		40		ns
SWx Falling to BGxxx Rising Delay ⁵		DTCA = INTV _{CC} or resistor				
		DTCB = INTV _{CC}		0.5		ns
		DTCB = 50 kΩ		25		ns
		DTCB = 100 kΩ		40		ns
TGxxx Minimum On-Time ⁶	t _{ON(MIN)}			40		ns
Maximum Duty Cycle		Output in dropout, FREQ = 0 V		99		%
LOW DROPOUT (LDO) LINEAR REGULATORS						
INTV _{CC} Voltage for V _{IN} and EXTV _{CC} LDOs		EXTV _{CC} = 0 V for V _{IN} LDO, 12 V for EXTV _{CC} LDO				
		DRVSET = INTV _{CC}	5.2	5.5	5.7	V
		DRVSET = 0 V	4.8	5.0	5.2	V
		DRVSET = 64.9 kΩ	4.5	4.75	5.0	V
DRV _{CC} Load Regulation		DRV _{CC} load current = 0 mA to 100 mA, T _A = 25°C		1	3	%
Undervoltage Lockout	UVLO					
DRV _{CC} Rising		DRVUV = INTV _{CC}	4.8	5.0	5.2	V
		DRVUV = 0 V	3.6	3.8	4.0	V
		DRVUV = floating	4.2	4.4	4.6	V
DRV _{CC} Falling		DRVUV = INTV _{CC}	4.55	4.75	4.95	V
		DRVUV = 0 V	3.4	3.6	3.8	V
		DRVUV = floating	4.0	4.18	4.4	V
EXTV _{CC} LDO Switchover Voltage						
EXTV _{CC} Rising		DRVUV = INTV _{CC} or floating, T _A = 25°C	5.75	5.95	6.15	V
		DRVUV = 0 V, T _A = 25°C	4.6	4.76	4.9	V
EXTV _{CC} Switchover Hysteresis						
EXTV _{CC} Falling		DRVUV = INTV _{CC} or floating		390		mV
		DRVUV = 0 V		220		mV

仕様

表 1. 電気的特性 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SPREAD SPECTRUM OSCILLATOR AND PHASE-LOCKED LOOP (PLL)						
Fixed Frequency	f_{OSC}	PLLIN/SPREAD = 0 V				
Low Fixed Frequency		FREQ = 0 V, $T_A = 25^\circ\text{C}$	320	370	420	kHz
High Fixed Frequency		FREQ = INTV _{CC}	2.0	2.25	2.5	MHz
Programmable Frequency		FREQ = 374 kΩ		100		kHz
		FREQ = 75 kΩ, $T_A = 25^\circ\text{C}$	450	500	550	kHz
		FREQ = 12.5 kΩ		3		MHz
Synchronizable Frequency Range	f_{SYNC}	PLLIN/SPREAD = external clock	0.1		3	MHz
PLLIN Input High Level			2.2			V
PLLIN Input Low Level					0.5	V
Spread Spectrum Frequency Range (Relative to f_{OSC})		PLLIN/SPREAD = INTV _{CC}				
Minimum Frequency				0		%
Maximum Frequency				20		%
PGOODx OUTPUTS						
PGOODx Voltage Low		PGOODx = 2 mA, $T_A = 25^\circ\text{C}$		0.2	0.4	V
PGOODx Leakage Current		PGOODx = 5 V, $T_A = 25^\circ\text{C}$			±1	μA
PGOODx Trip Level (V_{FBx} with Respect to Set Regulated Voltage)		$T_A = 25^\circ\text{C}$				%
V_{FBx} Rising			7	10	13	
Hysteresis				1.6		%
V_{FBx} Falling			-13	-10	-7	%
Hysteresis				1.6		%
PGOODx Delay for Reporting a Fault				25		μs

¹ 本仕様については出荷テストは行っていません。

² LTC7890 は帰還ループでテストされています。このループでは ITHx 電圧 (V_{ITHx}) を仕様規定された電圧にサーボ制御して、得られた帰還電圧 (V_{FBx}) を測定しています。

³ SENSE1⁻のバイアス電流は、 $I_{VIN} = I_{SENSE1-} \times V_{OUT1}/(V_{IN} \times \eta)$ (η は効率) の式に従って入力電源に反映されます。

⁴ 立上がり時間と立下がり時間は、10%と 90%のレベルで測定しています。遅延時間は 50%レベルで測定しています。

⁵ SWx の立下がりから BGxxx の立上がりまで、および BGxxx の立下がりから SWx の立上がりまでの遅延時間は、SWx と BGxxx の立上がり閾値と立下がり閾値が約 1V の時に測定しています。図 41 と図 42 を参照してください。

⁶ インダクタのピーク to ピーク・リップル電流に対して仕様規定される最小オン時間条件は、最大負荷電流 (I_{MAX}) の 40%以上です (最小オン時間に関する考慮事項のセクションを参照)。

絶対最大定格

表 2. 絶対最大定格

Parameter	Rating
Input Supply (V_{IN})	-0.3 V to +100 V
RUN1 and RUN2	-0.3 V to +100 V
BOOST1 and BOOST2	-0.3 V to +106 V
SW1 and SW2	-5 V to +100 V
BOOST1 to SW1 and BOOST2 to SW2	-0.3 V to +6 V
BGUP1, BGDN1, BGUP2, and BGDN2 ¹	Not applicable
TGUP1, TGDN1, TGUP2, and TGDN2 ¹	Not applicable
EXTV _{CC}	-0.3 V to +30 V
DRV _{CC} and INTV _{CC}	-0.3 V to +6 V
V _{FB1}	-0.3 V to +15 V
V _{FB2}	-0.3 V to +6 V
PLLIN/SPREAD and FREQ	-0.3 V to +6 V
TRACK/SS1, TRACK/SS2, ITH1, and ITH2	-0.3 V to +6 V
DRVSET and DRVUV	-0.3 V to +6 V
MODE, ILIM, and VPRG1	-0.3 V to +6 V
PGOOD1 and PGOOD2	-0.3 V to +6 V
DTCA and DTCB	-0.3 V to +6 V
SENSE1 ⁺ , SENSE2 ⁺ , SENSE1 ⁻ , and SENSE2 ⁻	-0.3 V to +65 V
SENSE1 ⁺ to SENSE1 ⁻ and SENSE2 ⁺ to SENSE2 ⁻	
Continuous	-0.3 V to +0.3 V
<1 ms	-100 mA to +100 mA
Operating Junction Temperature Range ²	-40°C to +150°C
Storage Temperature Range	-65°C to +150°C

¹ これらのピンには電圧も電流も印加しないでください。容量性負荷にのみ接続してください。これを行わない場合、恒久的な損傷が生じるおそれがあります。

² LTC7890 は、-40°C~150°C の動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度 (T_J , °C 単位) は、次式により周囲温度 (T_A , °C 単位) と消費電力 (P_D , ワット単位) から計算します。 $T_J = T_A + (P_D \times \theta_{JA})$ 。ここで、 θ_{JA} はパッケージの熱抵抗で、40 ピン (6mm × 6mm)、サイド・ウェットブル、クワッド・フラット・ノー・リード (QFN) パッケージの場合、34°C/W に相当します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

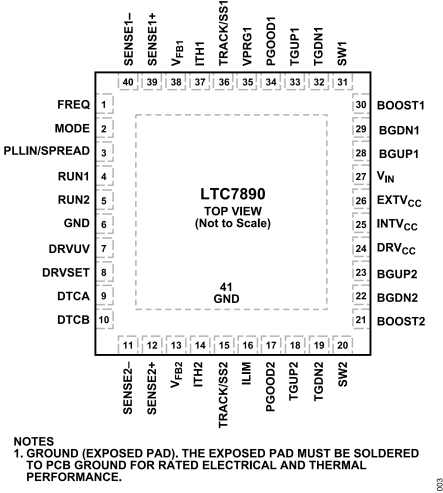


図 3. ピン配置

表 3. ピン機能の説明

ピン番号	記号	説明
1	FREQ	内部電圧制御発振器（VCO）の周波数制御ピン。FREQ を GND に接続すると、370kHz の周波数に固定されます。FREQ を INTV _{CC} に接続すると、2.25MHz の周波数に固定されます。FREQ と GND の間に抵抗を接続すると、100kHz～3MHz の範囲で周波数を設定できます。FREQ の容量は最小限に抑えてください。
2	MODE	モード・セレクト入力。この入力により、LTC7890 の軽負荷時の動作が決まります。MODE を GND に接続すると、Burst Mode [®] の動作が選択されます。MODE がフロート状態の場合、GND に接続された 100kΩ の内部抵抗によって、バースト・モード動作が選択されます。MODE を INTV _{CC} に接続すると、連続インダクタ電流動作になります。MODE を 100kΩ の抵抗を介して INTV _{CC} に接続すると、パルス・スキッピング動作が選択されます。
3	PLLIN/SPREAD	位相検出器／スペクトラム拡散への外部同期入力ネーブル。外部クロックを PLLIN/SPREAD に印加すると、PLL は TGxx1 信号の立上がりエッジに強制的に同期させます。外部クロックに同期させない場合、この入力を INTV _{CC} に接続すると、発振器のスペクトラム拡散デザリングが有効になり、GND に接続すると、スペクトラム拡散が無効になります。
4	RUN1	チャンネル 1 の実行制御入力。RUN1 を 1.08V 未満にすると、コントローラのスイッチングがディスエーブルされます。RUN1 と RUN2 を 0.7V 未満にすると、LTC7890 がシャットダウンし、I _Q が約 1μA に低下します。RUN1 ピンを V _{IN} に接続すると常時オン動作になります。
5	RUN2	チャンネル 2 の実行制御入力。RUN2 を 1.08V 未満にすると、コントローラのスイッチングがディスエーブルされます。RUN1 と RUN2 を 0.7V 未満にすると、LTC7890 がシャットダウンし、I _Q が約 1μA に低下します。RUN2 ピンを V _{IN} に接続すると常時オン動作になります。
6	GND	グラウンド。定格の電気的および熱的性能を得るには、GND ピンと露出パッドを PCB のグラウンドにハンダ付けする必要があります。
7	DRVUV	DRV _{CC} UVLO および EXTV _{CC} の切替え設定ピン。DRVUV は、表 1 に示すように、INTV _{CC} UVLO および EXTV _{CC} の立上がりおよび立下がりの切替え閾値を指定します。
8	DRVSET	INTV _{CC} のレギュレーション設定ピン。DRVSET は、INTV _{CC} LDO リニア電圧レギュレータのレギュレーション・ポイントを設定します。DRVSET を GND に接続すると、INTV _{CC} は 5V に設定されます。DRVSET を INTV _{CC} に接続すると、INTV _{CC} は 5.5V に設定されます。DRVSET と GND の間に抵抗（50kΩ～110kΩ）を配置すると、4V～5.5V の電圧を設定できます。この抵抗と 20μA の内部ソース電流により、INTV _{CC} LDO レギュレータがレギュレーション・ポイントを設定するための電圧が生成されます。
9	DTCA	下側 FET のオフから上側 FET のオンまでの遅延用デッド・タイム制御ピン。DTCA を GND に接続すると、約 20ns の適応型デッド・タイム遅延が設定されます。DTCA を INTV _{CC} に接続すると、BGUPx の立下がりから SWx の立上がりまでの遅延にスマート・ニア・ゼロ遅延が設定されます。DTCA と GND の間に 10kΩ～200kΩ の抵抗を接続すると、BGUPx の立下がりから SWx の立上がりまでの間に更に遅延（7ns～60ns）が追加されます。この設定は両チャンネルに適用されます。
10	DTCB	上側 FET のオフから下側 FET のオンまでの遅延用デッド・タイム制御ピン。DTCB を GND に接続すると、約 20ns の適応型デッド・タイム遅延が設定されます。DTCB を INTV _{CC} に接続すると、SWx の立下がりから BGDNx の立上がりまでの間の遅延にスマート・ニア・ゼロ遅延が設定されます。DTCB と GND の間に 10kΩ～200kΩ の抵抗を接続すると、SWx の立下がりから BGDNx の立上がりまでの間に更に遅延（7ns～60ns）が追加されます。この設定は両チャンネルに適用されます。
11	SENSE2 ⁻	チャンネル 2 の差動電流コンパレータへの負入力。SENSE2 ⁻ ピンは、SENSE2 ⁻ が INTV _{CC} より大きい時に、チャンネル 2 の電流コンパレータに電流を供給します。
12	SENSE2 ⁺	チャンネル 2 の差動電流コンパレータへの正入力。ITH2 ピンの電圧および SENSE2 ⁻ ピンと SENSE2 ⁺ ピンの間の制御されたオフセットは、電流検出抵抗（R _{SENSE} ）と組み合わせて電流トリップ閾値を設定します。

ピン配置およびピン機能の説明

表 3. ピン機能の説明（続き）

ピン番号	記号	説明
13	V _{FB2}	チャンネル 2 のエラー・アンプ帰還入力。V _{FB2} は、リモートセンシングされたチャンネル 2 の帰還電圧を、出力両端に接続された外付け抵抗分圧器から受け取ります。両チャンネルが V _{FB1} 、ITH1、および TRACK/SS1 を共有する 2 相単出力アプリケーションの場合は、V _{FB2} を INTV _{CC} に接続します。
14	ITH2	チャンネル 2 のエラー・アンプ出力とスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ・ポイントは、この制御電圧に応じて増加します。
15	TRACK/SS2	チャンネル 2 の外部トラッキング/ソフト・スタート入力。TRACK/SS2 は、V _{FB2} 電圧を 0.8V または TRACK/SS2 ピンの電圧のいずれか低い方にレギュレーションします。TRACK/SS2 には 12μA の内部プルアップ電流源が接続されています。TRACK/SS2 と GND の間に接続するコンデンサにより、最終のレギュレーション出力電圧までの立ち上がり時間が設定されます。立ち上がり時間は、12.5nF の静電容量ごとに 1ms です。または、TRACK/SS2 に他の電源の抵抗分圧器を接続すると、起動時に出力が他の電源に追従します。
16	ILIM	電流コンパレータの検出電圧範囲入力。ILIM を GND または INTV _{CC} に接続するか、ILIM をフロート状態にすることで、最大電流検出閾値を 3 つのレベル（それぞれ 25mV、75mV、50mV）のいずれかに設定します。
17	PGOOD2	チャンネル 2 のパワーグッド・オープンドレイン・ロジック出力。PGOOD2 は、V _{FB2} 電圧が設定値の±10%以内でない場合、GND にプルダウンされます。
18	TGUP2	チャンネル 2 の上側 FET 用高電流ゲート・ドライバ・プルアップ。TGUP2 は BOOST2 にプルアップします。TGUP2 を上側 FET のゲートに直接接続すると、ゲートの立ち上がりエッジでゲート駆動の遷移速度が最大になります。TGUP2 と上側 FET ゲートの間に抵抗を接続すると、ゲートの立ち上がりスルー・レートを調整できます。
19	TGDN2	チャンネル 2 の上側 FET 用高電流ゲート・ドライバ・プルダウン。TGDN2 は SW2 にプルダウンします。TGDN2 を上側 FET のゲートに直接接続すると、ゲートの立下がりエッジでゲート駆動の遷移速度が最大になります。TGDN2 と上側 FET ゲートの間に抵抗を接続すると、ゲートの立下がりスルー・レートを調整できます。
20	SW2	チャンネル 2 のインダクタへのスイッチ・ノード接続。
21	BOOST2	チャンネル 2 の上側フローティング・ドライバへのブートストラップ電源。BOOST2 ピンと SW2 ピンの間にコンデンサを接続します。下側 FET がオンになると、内部スイッチが DRV _{CC} から BOOST2 ピンに電源を供給します。BOOST2 ピンの電圧振幅は DRV _{CC} から (V _{IN} + DRV _{CC}) までです。
22	BGDN2	チャンネル 2 の下側 FET 用高電流ゲート・ドライバ・プルダウン。BGDN2 は GND にプルダウンします。BGDN2 を下側 FET のゲートに直接接続すると、ゲートの立下がりエッジでゲート駆動の遷移速度が最大になります。BGDN2 と下側 FET ゲートの間に抵抗を接続すると、ゲートの立下がりスルー・レートを調整できます。BGDN2 は、ターンオン時における下側 FET ゲートのケルビン検出としても機能します。
23	BGUP2	チャンネル 2 の下側 FET 用高電流ゲート・ドライバ・プルアップ。BGUP2 は DRV _{CC} にプルアップします。BGUP2 を下側 FET のゲートに直接接続すると、ゲートの立ち上がりエッジでゲート駆動の遷移速度が最大になります。BGUP2 と下側 FET ゲートの間に抵抗を接続すると、ゲートの立ち上がりスルー・レートを調整できます。BGUP2 は、ターンオフ時における下側 FET ゲートのケルビン検出としても機能します。
24	DRV _{CC}	ゲート・ドライバ電源ピン。ゲート・ドライバは DRV _{CC} から給電されます。DRV _{CC} を INTV _{CC} まで、INTV _{CC} バイパス・コンデンサへのパターンとは別のパターンで接続します。
25	INTV _{CC}	内部 LDO レギュレータの出力。INTV _{CC} の電圧レギュレーション・ポイントは DRVSET ピンで設定します。INTV _{CC} は、4.7μF~10μF のセラミック・コンデンサまたは他の等価直列抵抗（ESR）の低いコンデンサで GND にデカップリングする必要があります。
26	EXTV _{CC}	DRV _{CC} に接続されている内部 LDO レギュレータへの外部電源入力。この LDO レギュレータは INTV _{CC} に電力を供給し、EXTV _{CC} が EXTV _{CC} 切替え電圧より高い時は常に内部の V _{IN} LDO レギュレータをバイパスします。電源とバイパス電源 (V _{IN} 、EXTV _{CC} 、DRV _{CC} 、INTV _{CC}) のセクションと INTV _{CC} レギュレータ (OPTI-DRIVE) のセクションにおける EXTV _{CC} の接続を参照してください。EXTV _{CC} は 30V を超えないようにしてください。EXTV _{CC} LDO レギュレータを使用しない場合は、EXTV _{CC} を GND に接続します。
27	V _{IN}	主電源ピン。V _{IN} と GND の間にバイパス・コンデンサを接続する必要があります。
28	BGUP1	チャンネル 1 の下側 FET 用高電流ゲート・ドライバ・プルアップ。BGUP1 は DRV _{CC} にプルアップします。BGUP1 を下側 FET のゲートに直接接続すると、ゲートの立ち上がりエッジでゲート駆動の遷移速度が最大になります。BGUP1 とボトム FET ゲートの間に抵抗を接続すると、ゲートの立ち上がりスルー・レートを調整できます。BGUP1 は、ターンオフ時におけるボトム FET ゲートのケルビン検出としても機能します。
29	BGDN1	チャンネル 1 の下側 FET 用高電流ゲート・ドライバ・プルダウン。BGDN1 は GND にプルダウンします。BGDN1 を下側 FET のゲートに直接接続すると、ゲートの立下がりエッジでゲート駆動の遷移速度が最大になります。BGDN1 と下側 FET ゲートの間に抵抗を接続すると、ゲートの立下がりスルー・レートを調整できます。BGDN1 は、ターンオン時における下側 FET ゲートのケルビン検出としても機能します。
30	BOOST1	チャンネル 1 の上側フローティング・ドライバへのブートストラップ電源。BOOST1 ピンと SW1 ピンの間にコンデンサを接続します。下側 FET がオンになると、内部スイッチが DRV _{CC} から BOOST1 ピンに電源を供給します。BOOST1 ピンの電圧振幅は DRV _{CC} から (V _{IN} + DRV _{CC}) までです。
31	SW1	チャンネル 1 のインダクタへのスイッチ・ノード接続。
32	TGDN1	チャンネル 1 の上側 FET 用高電流ゲート・ドライバ・プルダウン。TGDN1 は SW1 にプルダウンします。TGDN1 を上側 FET のゲートに直接接続すると、ゲートの立下がりエッジでゲート駆動の遷移速度が最大になります。TGDN1 と上側 FET ゲートの間に抵抗を接続すると、ゲートの立下がりスルー・レートを調整できます。
33	TGUP1	チャンネル 1 の上側 FET 用高電流ゲート・ドライバ・プルアップ。TGUP1 は BOOST1 にプルアップします。TGUP1 を上側 FET のゲートに直接接続すると、ゲートの立ち上がりエッジでゲート駆動の遷移速度が最大になります。TGUP1 と上側 FET ゲートの間に抵抗を接続すると、ゲートの立ち上がりスルー・レートを調整できます。
34	PGOOD1	チャンネル 1 のパワーグッド・オープンドレイン・ロジック出力。PGOOD1 は、V _{FB1} 電圧が設定値の±10%以内でないとき、GND にプルダウンされます。

ピン配置およびピン機能の説明

表 3. ピン機能の説明（続き）

ピン番号	記号	説明
35	VPRG1	チャンネル 1 の出力電圧制御ピン。VPRG1 は、チャンネル 1 を外付け帰還抵抗で調整可能な出力モードにするか、12V または 5V の固定出力モードにするかを設定します。VPRG1 をフロート状態にすると、外付けの抵抗分圧器で出力が 0.8V~60V の範囲に設定され、 V_{FB1} が 0.8V にレギュレーションされます。VPRG1 を INTV _{CC} または GND に接続すると、 V_{FB1} の内部抵抗分圧器を介して、出力がそれぞれ 12V または 5V に設定されます。
36	TRACK/SS1	チャンネル 1 の外部トラッキング/ソフト・スタート入力。TRACK/SS1 は、 V_{FB1} 電圧を 0.8V または TRACK/SS1 ピンの電圧のいずれか低い方にレギュレーションします。TRACK/SS1 には 12 μ A の内部プルアップ電流源が接続されています。TRACK/SS1 と GND の間に接続するコンデンサにより、最終のレギュレーション出力電圧までの立ち上がり時間が設定されます。立ち上がり時間は、12.5nF の静電容量ごとに 1ms です。または、TRACK/SS1 に他の電源の抵抗分圧器を接続すると、起動時に出力が他の電源に追従します。
37	ITH1	チャンネル 1 のエラー・アンプ出力とスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ・ポイントは、この制御電圧に応じて増加します。
38	V_{FB1}	チャンネル 1 のエラー・アンプ帰還入力。VPRG1 がフロート状態の場合、 V_{FB1} は、リモートセンシングされたチャンネル 1 のフィードバック電圧を、出力端子間に接続された外付け抵抗分圧器から受け取ります。VPRG1 を GND または INTV _{CC} に接続した場合、 V_{FB1} はリモートセンシングされた出力電圧を直接受け取ります。
39	SENSE1 ⁺	チャンネル 1 の差動電流コンパレータへの正入力。ITH1 ピン電圧と SENSE1 ⁺ ピンと SENSE1 ⁺ ピンの間の制御オフセットにより、 R_{SENSE} と連動して電流トリップ閾値が設定されます。
40	SENSE1 ⁻	チャンネル 1 の差動電流コンパレータへの負入力。SENSE1 ⁻ ピンは、SENSE1 ⁺ が INTV _{CC} より大きい時に、チャンネル 1 の電流コンパレータに電流を供給します。SENSE1 ⁺ が 3.2V 以上の場合、このピンは V_{IN} の代わりにスリープ・モードでの I_Q の大部分を供給し、入力換算の I_Q を更に減少させます。
41	GND (EPAD)	グラウンド（露出パッド）。定格の電気的性能および熱性能を得るため、露出パッドは PCB のグラウンドにハンダ処理する必要があります。

代表的な性能特性

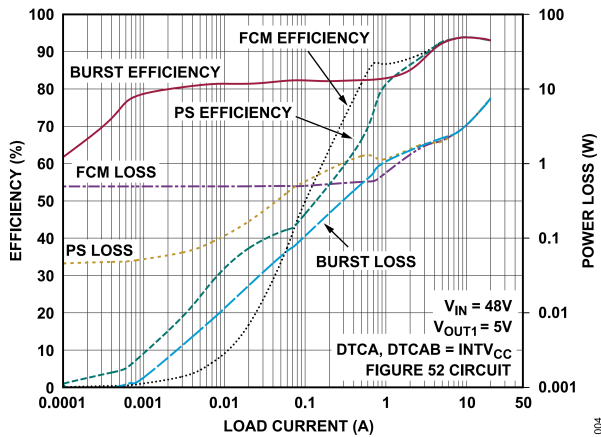


図 4. 効率および電力損失と負荷電流の関係

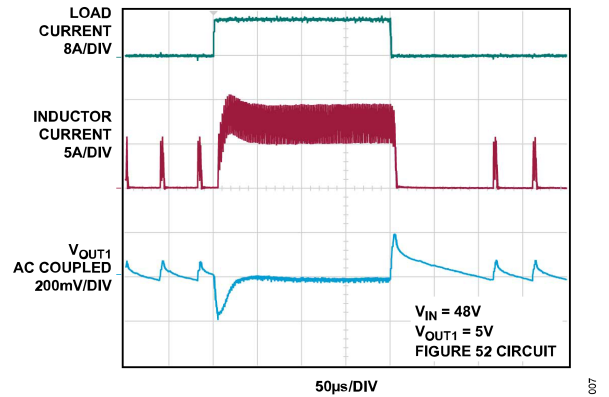


図 7. 負荷ステップ（バースト・モード動作）

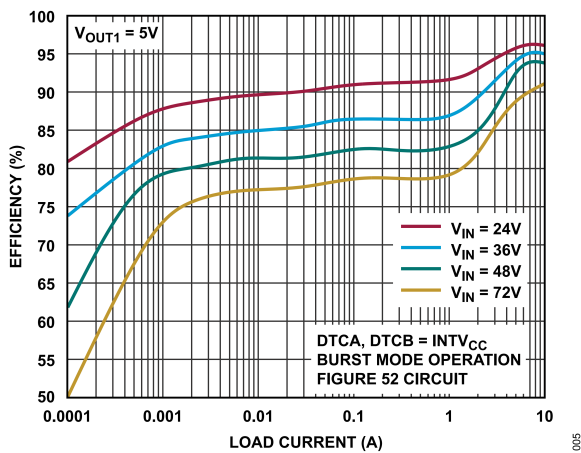


図 5. 効率と負荷電流の関係

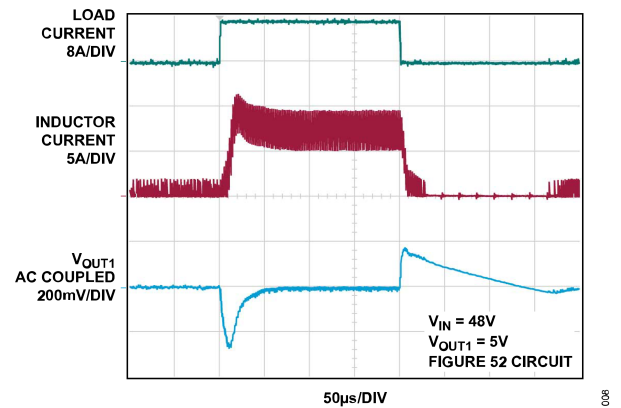


図 8. 負荷ステップ（パルス・スキッピング・モード）

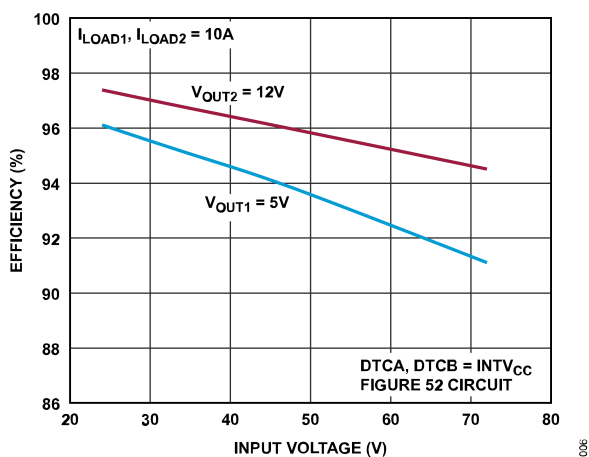


図 6. 効率と入力電圧の関係 (I_{LOAD1} 、 I_{LOAD2} は負荷電流)

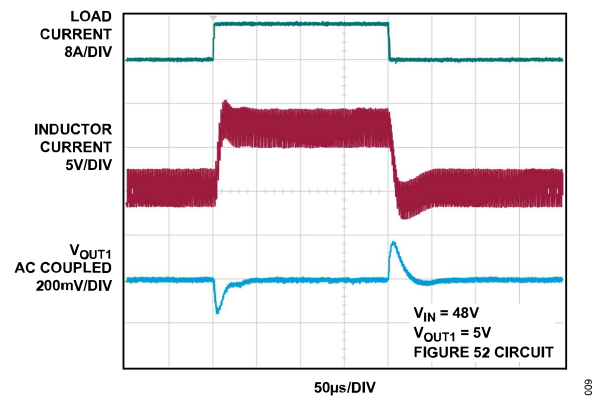


図 9. 負荷ステップ（強制連続モード）

代表的な性能特性

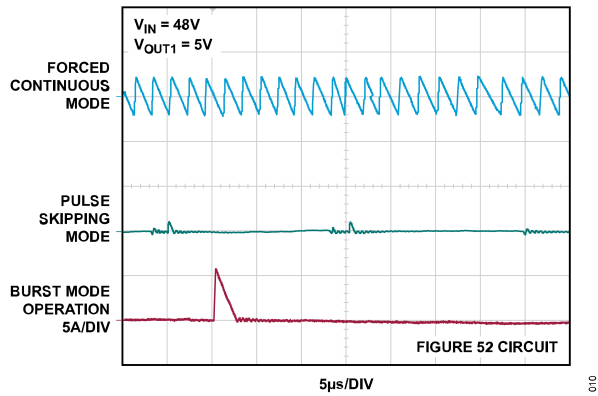


図 10. 軽負荷時のインダクタ電流

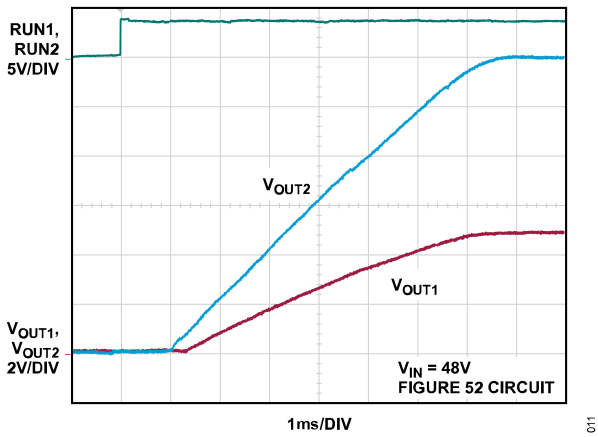


図 11. ソフト・スタートアップ

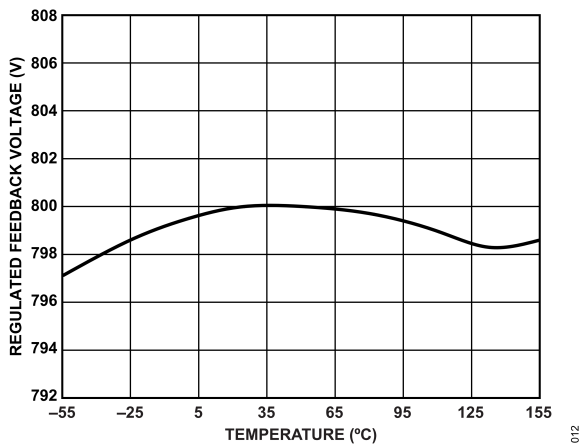


図 12. レギュレーション帰還電圧と温度の関係

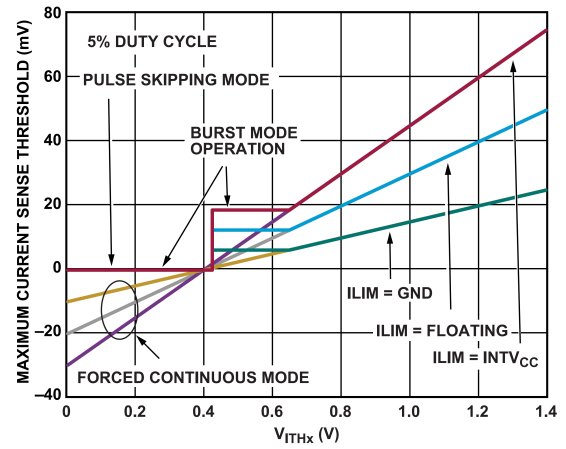


図 13. 最大電流検出閾値と V_{ITHx} の関係

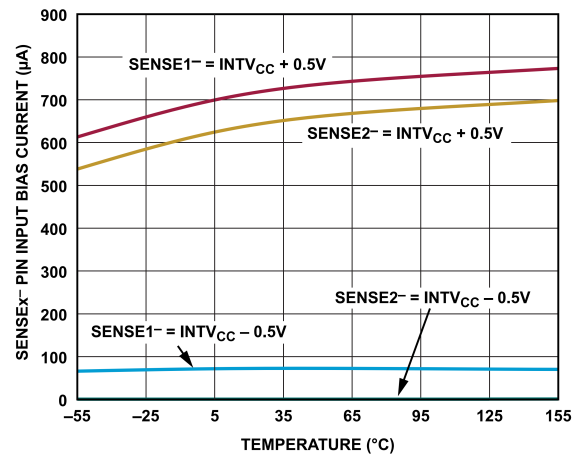


図 14. SENSEx-ピン入力バイアス電流と温度の関係

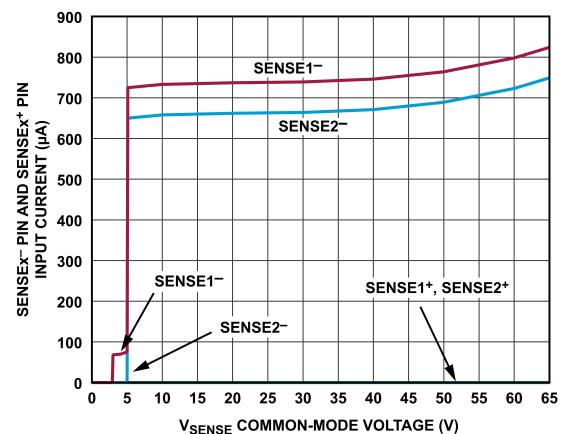


図 15. SENSEx-ピンおよび SENSEx+ピンの入力電流と V_{SENSE} コモンモード電圧の関係

代表的な性能特性

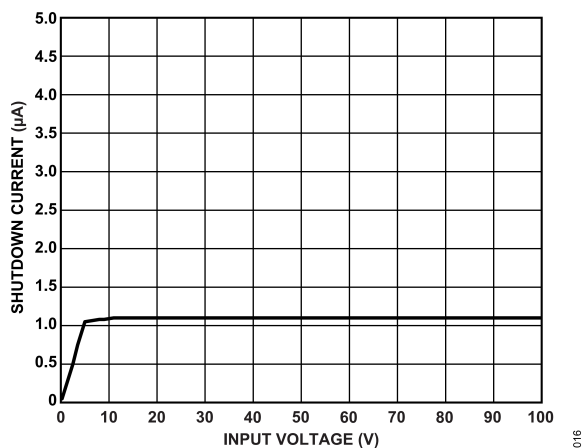


図 16. シャットダウン電流と入力電圧の関係

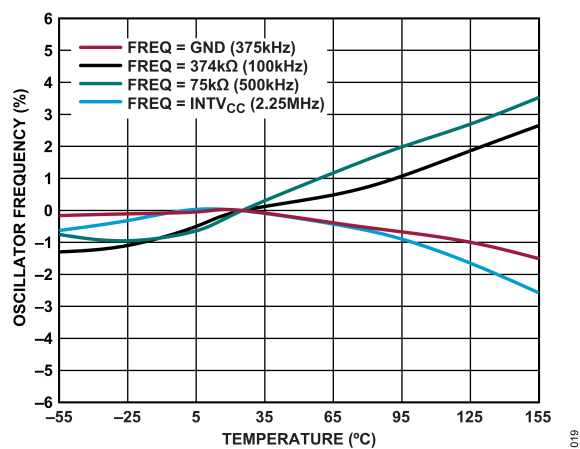


図 19. 発振周波数と温度の関係

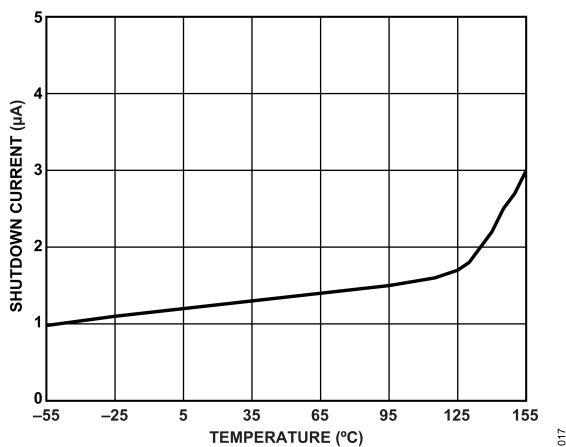


図 17. シャットダウン電流と温度の関係

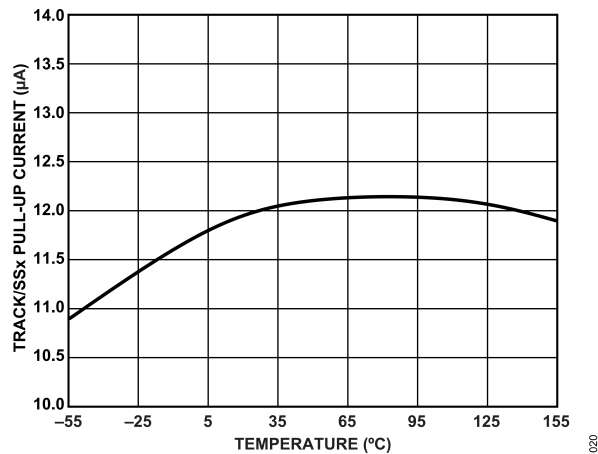


図 20. TRACK/SSx プルアップ電流と温度の関係

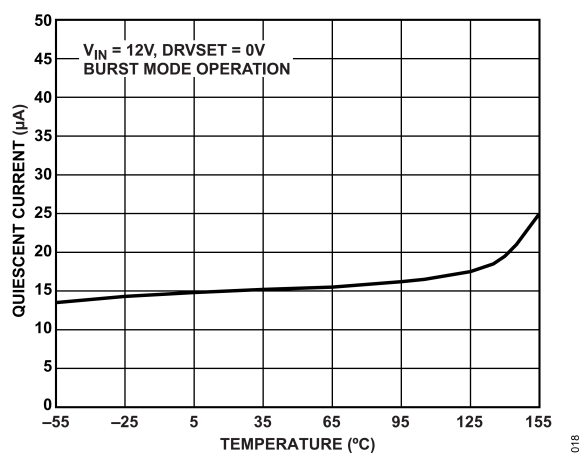


図 18. 静止電流と温度の関係

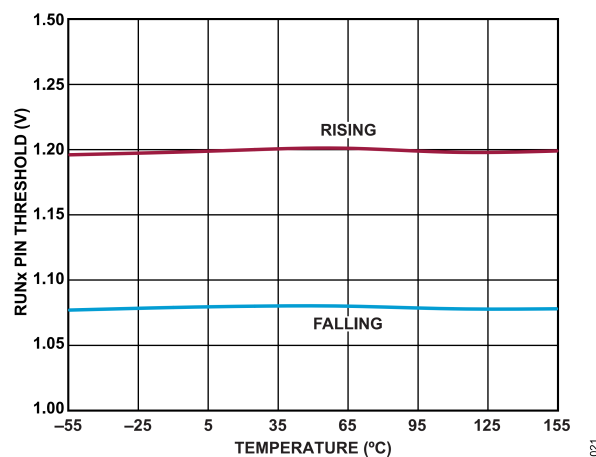


図 21. RUNx ピン閾値と温度の関係

代表的な性能特性

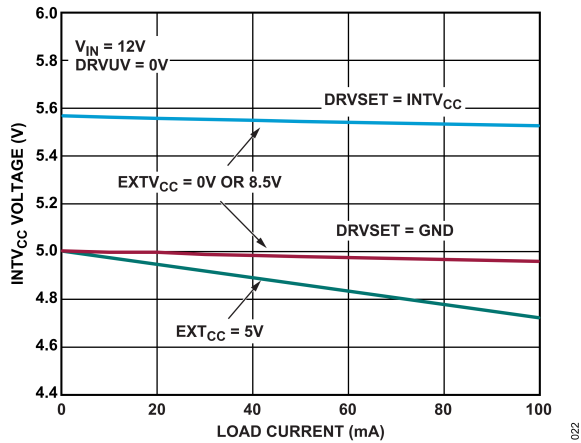


図 22. INTV_{CC} 電圧と負荷電流の関係

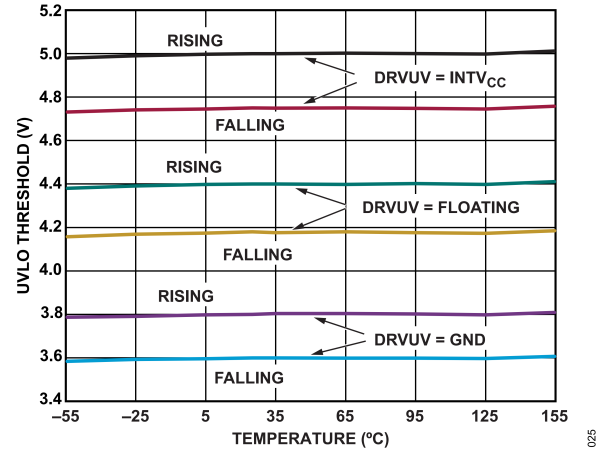


図 25. UVLO 閾値と温度の関係

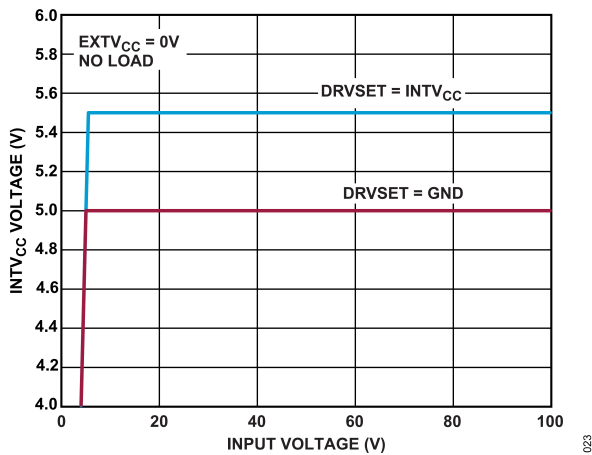


図 23. INTV_{CC} 電圧と入力電圧の関係

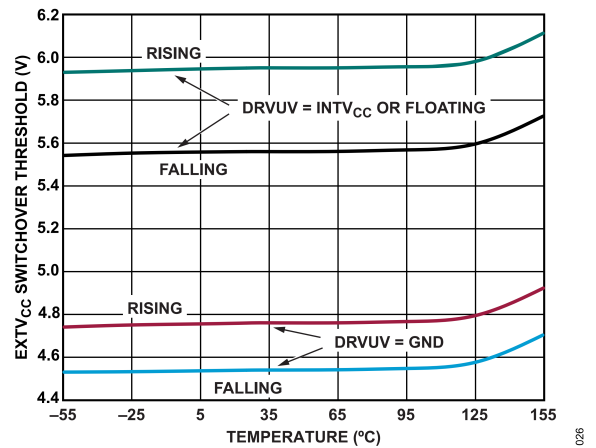


図 26. EXTCC 切替え閾値と温度の関係

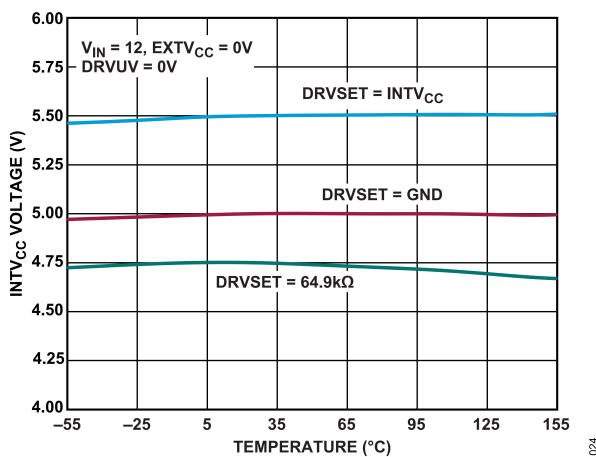


図 24. INTV_{CC} 電圧と温度の関係

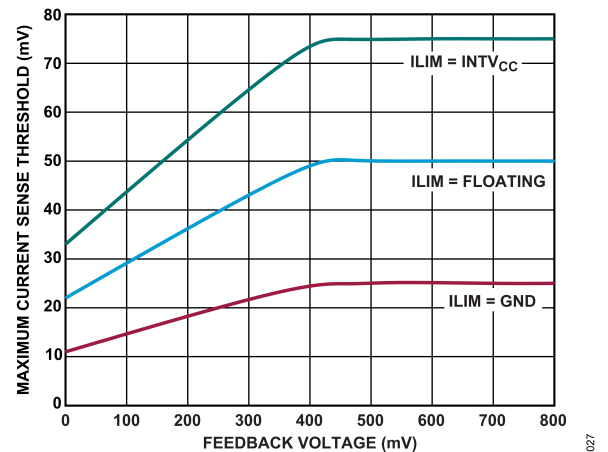


図 27. 最大電流検出閾値と帰還電圧の関係

代表的な性能特性

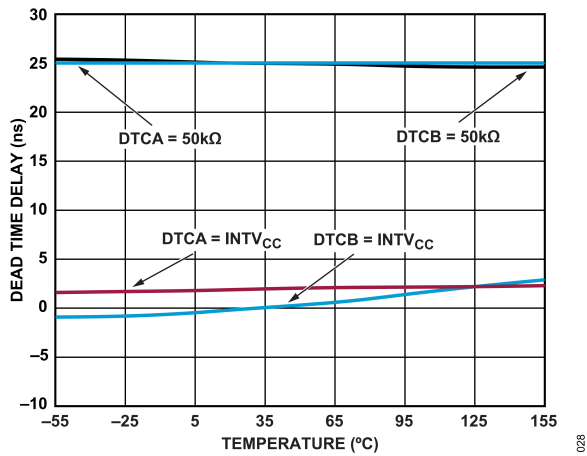


図 28. デッド・タイム遅延と温度の関係

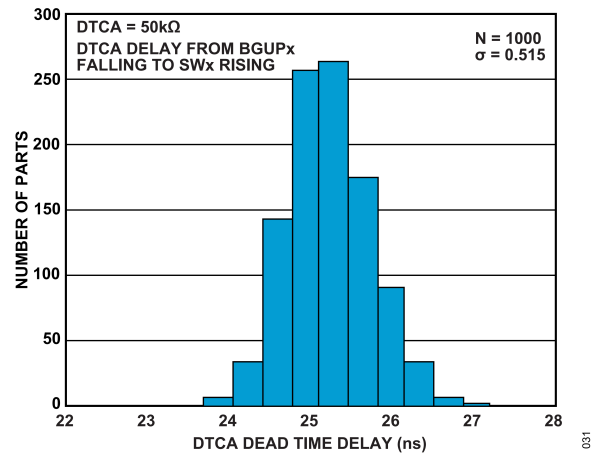


図 31. DTCA = 50kΩ、デッド・タイム遅延のヒストグラム

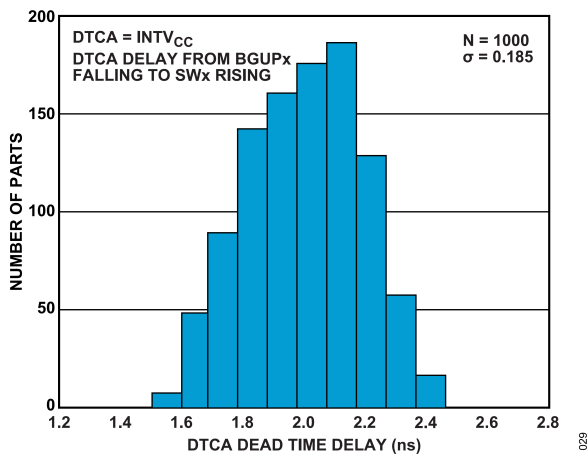


図 29. スマート・ニア・ゼロ DTCA デッド・タイム遅延のヒストグラム (δ はデッド・タイム遅延の標準偏差)

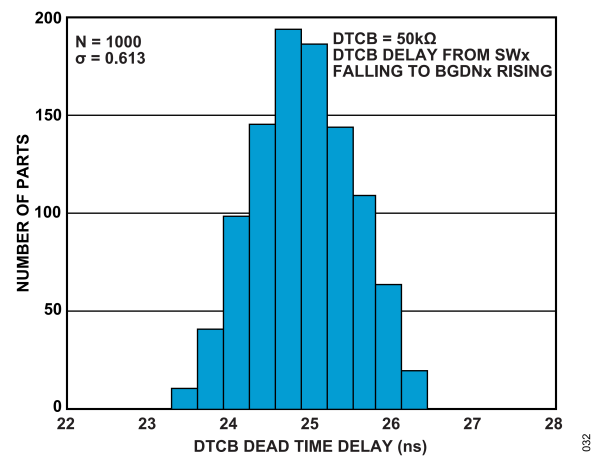


図 32. DTCB = 50kΩ、デッド・タイム遅延のヒストグラム

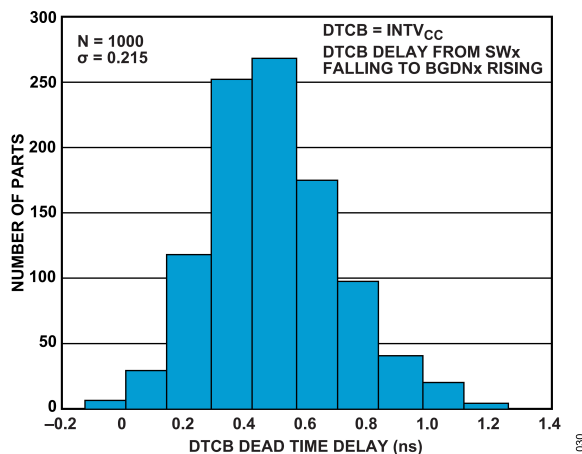


図 30. スマート・ニア・ゼロ DTCB デッド・タイム遅延のヒストグラム

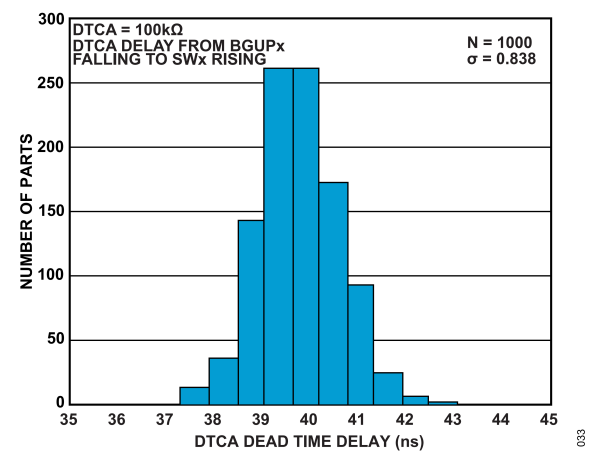


図 33. DTCA = 100kΩ、デッド・タイム遅延のヒストグラム

代表的な性能特性

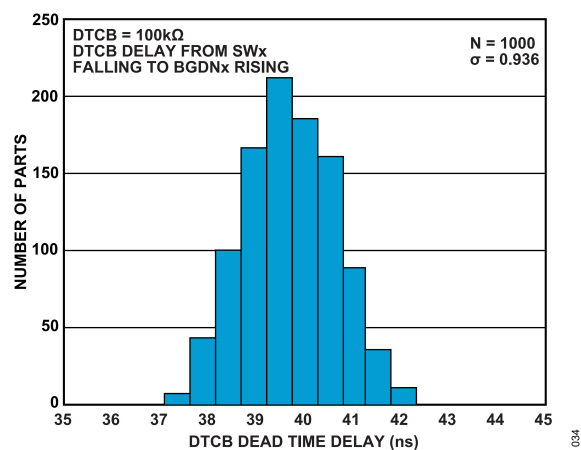


図 34. DTCB = 100kΩ、デッド・タイム遅延のヒストグラム

動作原理

機能図

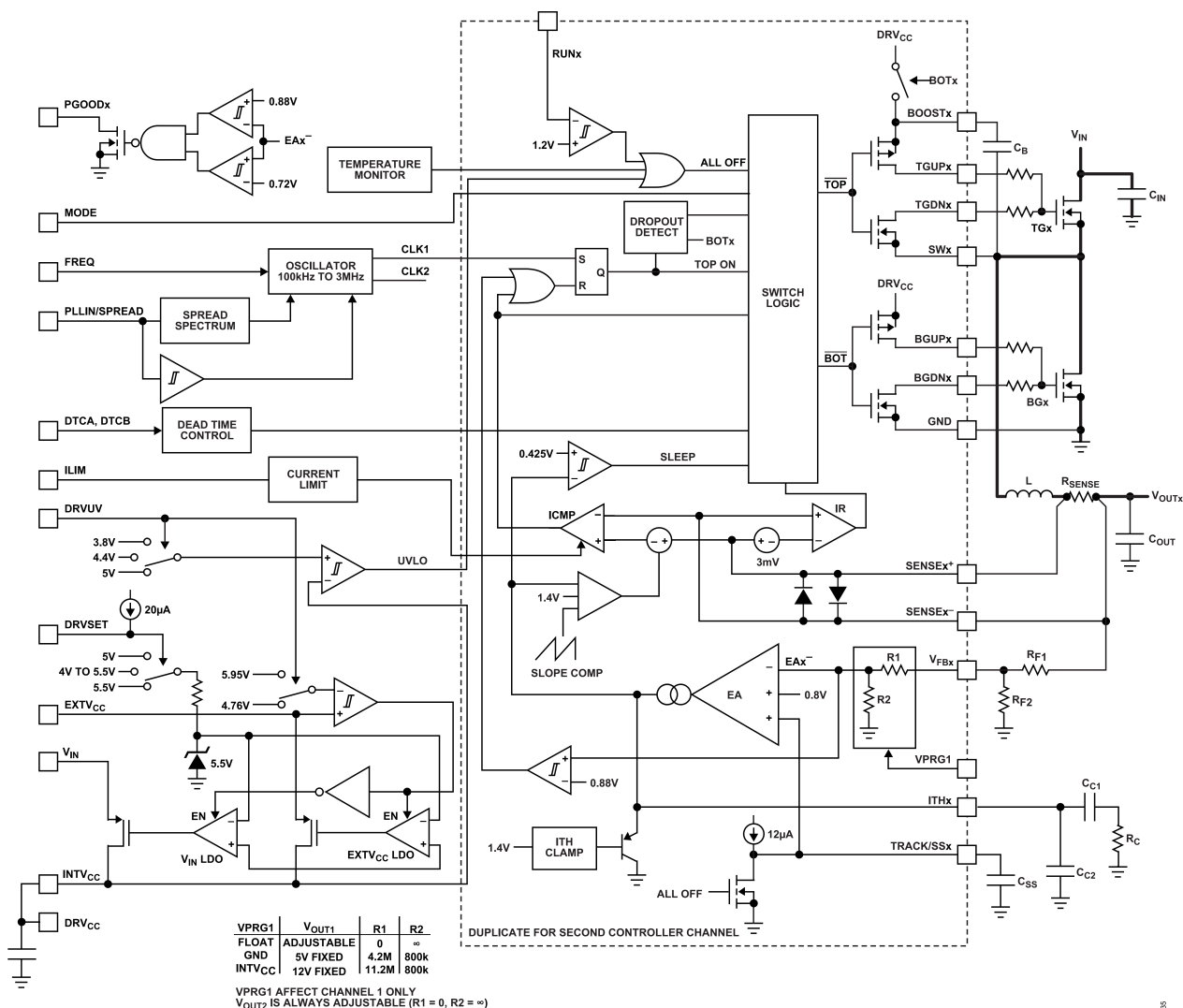


図 35. 機能図

メイン制御ループ

LTC7890 はデュアル同期整流式コントローラで、固定周波数のピーク電流モード・アーキテクチャを採用しています。2 つのコントローラ・チャンネルは 180°位相がずれて動作するため、必要な入力静電容量と電源に起因するノイズが減少します。通常動作時、クロックがセット/リセット (SR) ラッチをセットすると外付けの上側 FET がオンになり、インダクタ電流が増加します。メインの電流コンパレータ ICMP が SR ラッチをリセットすると、メイン・スイッチがオフになります。各サイクルで上側 FET がターンオフした後、下側 FET がターンオンします。これにより、インダクタ電流が反転し始めて電流コンパレータ IR それを検出するか、次のクロック・サイクルが始まるまで、インダクタ電流が減少します。

ICMP がトリップしてラッチがリセットされるインダクタ電流のピークは、エラー・アンプの出力である ITH ピンの電圧によって制御されます。エラー・アンプは、VFBx ピンの出力電圧帰還信号（出力電圧 VOUTx とグラウンドの間に接続した外付け抵抗分圧器で生成）を 0.8V の内部リファレンス電圧と比較します。負

荷電流が増加するとリファレンス電圧に対して VFBx がわずかに低くなるので、平均インダクタ電流が新しい負荷電流に見合った値となるまで、エラー・アンプが ITHx 電圧を上昇させます。

電源とバイアス電源 (VIN、EXTVCC、DRVCC、INTVCC)

INTVCC ピンは、上側および下側の FET ドライバとほとんどの内部回路に電力を供給します。FET ドライバ用の電源は DRVCC ピンから供給されます。このピンはゲート・ドライバに電力を供給するために INTVCC ピンに接続する必要があります。LDO リニア電圧レギュレータは VIN ピンと EXTVCC ピンの両方から利用可能で、INTVCC に電力を供給します。INTVCC は、DRVSET ピンの制御により 4V~5.5V の範囲で設定できます。EXTVCC ピンをその切替え電圧より低い電圧に接続した場合、VIN LDO レギュレータが INTVCC に電力を供給します。EXTVCC がその切替え電圧を超えると、VIN LDO レギュレータがオフになり、EXTVCC LDO レギュレータがオンになります。

動作原理

EXTV_{CC} LDO レギュレータは、イネーブルにした場合に INTV_{CC} に電力を供給します。EXTV_{CC} ピンを使用することで、LTC7890 スイッチング・レギュレータの出力のような高効率の外部電源から INTV_{CC} の電力を供給できます。

ハイサイド・ブートストラップ・コンデンサ

各上側 FET ドライバは、フローティング・ブートストラップ・コンデンサ (C_B) からバイアスされます。このコンデンサは通常、下側 FET がオンになるたびに、BOOSTx と DRV_{CC} の間の内部スイッチを介して充電されます。この内部スイッチは、下側 FET がオフの時は常時ハイ・インピーダンスであり、デッド・タイム中に SWx が GND より低い値を示す時は常に、ブートストラップ・コンデンサの過充電を防止します。

入力電圧がその出力に近い電圧まで低下すると、ループがドロップアウト状態に入り、上側 FET を連続的にオンにしようとする可能性があります。ドロップアウト検出器はこのイベントを検出し、C_{Bx} を再充電できるように、10 サイクルごとに上側 FET を強制的にオフ、下側 FET を短時間オンさせるため、370kHz 動作時のデューティ・サイクルは 99%、2MHz 動作時のデューティ・サイクルは約 98% となります。ブートストラップ・コンデンサの電圧が INTV_{CC} 電圧の約 75% 未満まで低下すると、ブースト・リフレッシュ・パルスが 4 サイクルごとに増加し、C_{Bx} により多くの電荷を供給するため、ドロップアウト時のデューティ・サイクルがわずかに低下します。

デッド・タイム制御 (DTCA および DTCB ピン)

LTC7890 のデッド・タイム遅延は、DTCA ピンと DTCB ピンを設定することで、ほぼゼロから 60ns まで設定できます。DTCA ピンは、下側 FET のターンオフと上側 FET のターンオンに関連するデッド・タイムを設定します。DTCB ピンは、上側 FET のターンオフと下側 FET のターンオンに関連するデッド・タイムを設定します。本セクションでは、TGx は上側 FET のゲートで検出された電圧を表し、BGx は下側 FET のゲートで検出された電圧を表します。

DTCA ピンを GND に接続すると、適応型デッド・タイム制御が設定され、ドライバ・ロジックは、下側 FET がターンオフするのを待ってから上側 FET をターンオンします。適応型デッド・タイム制御により、BGx の立下がりから TGx の立上がりまでのデッド・タイムは約 20ns となります。

DTCB ピンを GND に接続すると、適応型デッド・タイム制御が設定され、ドライバ・ロジックは、上側 FET がターンオフするのを待ってから下側 FET をターンオンします。適応型デッド・タイム制御により、TGx の立下がりから BGx の立上がりまでのデッド・タイムは約 20ns となります。

DTCA ピンを INTV_{CC} に接続すると、SWx の立上がりエッジから BGx の立下がりエッジまでの遅延をほぼゼロにする、スマート・ニア・ゼロのデッド・タイム制御を設定できます。DTCA ピンと GND の間に抵抗を配置すると、SWx の立上がりから BGx の立下がりまでの遅延が 7ns~60ns 追加されます。詳細については、[デッド・タイム制御 \(DTCA および DTCB ピン\)](#) のセクションを参照してください。

DTCB ピンを INTV_{CC} に接続すると、SWx の立下がりエッジから BGx の立上がりエッジまでの遅延をほぼゼロにする、スマート・ニア・ゼロのデッド・タイム制御を設定できます。DTCB ピンと GND の間に抵抗を配置すると、SWx の立下がりから BGx の立上がりまでの遅延が 7ns~60ns 追加されます。詳細については、[デッド・タイム制御 \(DTCA および DTCB ピン\)](#) のセクションを参照してください。

起動とシャットダウン (RUNx および TRACK/SSx ピン)

LTC7890 の 2 つのチャンネルは、RUN1 ピンと RUN2 ピンを用いて個別にシャットダウンできます。RUNx ピンを 1.08V 未満にすると、そのチャンネルのメイン制御ループがシャットダウンします。両方の RUNx ピンを 0.7V 未満にすると、コントローラと、INTV_{CC} LDO を含むほとんどの内部回路の両方がディスエーブルされます。このシャットダウン状態では、LTC7890 に流れる I_B はわずか 1μA です。

RUNx ピンは、外部でプルアップするか、ロジックで直接駆動する必要があります。各 RUNx ピンは最大 100V (絶対最大) まで許容できます。したがって、一方または両方のコントローラが連続的にイネーブルされて、シャットダウンされることのない常時オンのアプリケーションでは、RUNx ピンを V_{IN} に接続できます。更に、V_{IN} ピンと RUNx ピンの間に抵抗分圧器を挿入して高精度の入力 UVLO を設定し、調整可能なレベル未満では電源が動作しないようにすることもできます。

各チャンネルの V_{OUTx} の起動は、対応する TRACK/SSx ピンの電圧によって制御します。TRACK/SSx ピンの電圧が 0.8V の内部リファレンス電圧よりも低い場合、LTC7890 は V_{FBx} 電圧を 0.8V のリファレンス電圧ではなく TRACK/SSx ピンの電圧にレギュレーションします。この方法により、TRACK/SSx ピンをソフト・スタートとして使用することができるので、起動時に出力電圧を滑らかに上昇させ、入力電源の突入電流を制限できます。TRACK/SSx ピンと GND の間の外付けコンデンサは、12μA の内部プルアップ電流によって充電され、TRACK/SSx ピンの電圧に電圧ランプが発生します。TRACK/SSx 電圧が 0V から 0.8V (およびそれ以上) まで直線的に上昇するにつれて、V_{OUTx} もゼロから最終値まで滑らかに上昇します。

あるいは、TRACK/SSx ピンを用いて、V_{OUTx} の立上りを他の電源の立上りに追従させることもできます。通常、このトラッキングを行うには、他の電源と GND の間の外付け抵抗分圧器を介して TRACK/SSx ピンに接続する必要があります (RUNx ピンと低電圧ロックアウトのセクションと [ソフト・スタートとトラッキング \(TRACK/SSx ピン\)](#) のセクションを参照)。

動作原理

軽負荷時の動作：バースト・モード動作、パルス・スキップ・モード、強制連続モード (MODE ピン)

LTC7890 は、軽負荷電流時に、高効率のバースト・モード動作、固定周波数パルス・スキッピング・モード、または強制連続動作モードのいずれかに設定できます。

バースト・モード動作を選択するには、MODE ピンを GND に接続します。強制連続動作を選択するには、MODE ピンを INTV_{CC} に接続します。パルス・スキッピング・モードを選択するには、MODE ピンを 1.2V 以上 INTV_{CC} - 1.3V 未満の直流電圧に接続します。内部の 100k Ω 抵抗が GND に接続されているので、MODE ピンがフロート状態の時はバースト・モード動作になり、MODE ピンが外部 100k Ω 抵抗を介して INTV_{CC} に接続されている時はパルス・スキッピング・モードになります。

コントローラでバースト・モード動作が有効化されている場合、ITHx ピンの電圧が低い値を示している場合でも、インダクタの最小ピーク電流は最大値の約 25% に設定されます。平均インダクタ電流が負荷電流より大きい場合、エラー・アンプは ITHx ピンの電圧を低下させます。ITHx 電圧が 0.425V を下回ると、内部スリープ信号がハイになり（スリープ・モードが有効化され）、両方の外付け FET がオフになります。すると、ITHx ピンがエラー・アンプの出力から遮断され、0.45V を維持します。

スリープ・モードでは内部回路のほとんどがオフになるため、LTC7890 に流れる I_Q が減少します。一方のチャンネルがスリープ・モードで、もう一方のチャンネルがシャットダウンされている場合、LTC7890 に流れる I_Q はわずか 15 μ A です。両方のチャンネルがスリープ・モードの場合、LTC7890 に流れる I_Q はわずか 20 μ A です。チャンネル 1 の V_{OUT} が 3.2V 以上の時、この I_Q の大部分は SENSE1 ピンから供給され、V_{IN}/V_{OUT} の比に効率を乗じた分だけ入力換算の I_Q が更に減少します。

スリープ・モードでは、負荷電流が出力コンデンサから供給されます。出力電圧が低下するにつれて、エラー・アンプの出力が上昇します。出力電圧が十分に低下すると、ITHx ピンがエラー・アンプの出力に再接続され、スリープ信号がローになり、コントローラは内部発振器の次のサイクルで上側 FET をオンにして通常動作を再開します。

コントローラのバースト・モード動作が有効化されていると、インダクタ電流は反転することができません。インダクタ電流がゼロに達する直前に、逆電流コンパレータ (IR) が下側 FET をオフにし、インダクタ電流が反転して負になるのを防ぎます。したがって、コントローラは不連続動作状態で動作します。

強制連続動作の場合、軽負荷時または大きなトランジェント状態時にはインダクタ電流を反転させることができます。ピーク・インダクタ電流は、通常動作時と同様に ITHx ピンの電圧によって決まります。このモードでは、軽負荷時の効率がバースト・モード動作の場合よりも低下します。ただし、連続動作には出力電圧リップルが小さく、オーディオ回路への干渉が少ないという利点があります。強制連続モードでは、出力リップルは負荷電流に依存しません。

パルス・スキッピング・モードになるように MODE ピンを接続すると、LTC7890 は軽負荷時にパルス幅変調 (PWM) のパルス・スキッピング・モードで動作します。このモードでは、出力電流が最大設計値の約 1% になるまで固定周波数動作が維持されます。軽負荷時には、ICMP は数サイクルの間トリップ状態を維持し、同じサイクル数の間上側 FET をオフしたままにする（つまり、パルスをスキップする）ことがあります。インダクタ電流は反転できません（不連続動作）。強制連続動作と同様、このモードでは、バースト・モード動作と比較して、出力リップル、オーディオ・ノイズ、および RF 干渉が低減します。パルス・スキッピング・モードでは、低電流での効率が強制連続モードより高くなりますが、バースト・モード動作ほど高くはありません。

強制連続モードやパルス・スキッピング・モードとは異なり、バースト・モード動作は外部クロックに同期できません。そのため、バースト・モードを選択し、スイッチング周波数が PLLIN/SPREAD ピンに印加された外部クロックに同期している場合、LTC7890 はバースト・モードから強制連続モードに切り替わります。

周波数の選択、スペクトラム拡散、フェーズ・ロック・ループ (FREQ および PLLIN/SPREAD ピン)

LTC7890 コントローラの自走スイッチング周波数は、FREQ ピンで選択します。FREQ を GND に接続すると 370kHz が選択され、FREQ を INTV_{CC} に接続すると 2.25MHz が選択されます。FREQ と GND の間に抵抗を接続すると、周波数を 100kHz ~ 3MHz の範囲で設定できます。

スイッチング・レギュレータは、電磁干渉 (EMI) が懸念されるアプリケーションでは特に問題を生じることがあります。EMI 性能を向上するために、LTC7890 はスペクトラム拡散モードで動作できます。このモードは、PLLIN/SPREAD ピンを INTV_{CC} に接続することで有効化できます。この機能により、スイッチング周波数は FREQ ピンで設定した周波数 $\pm 20\%$ (代表値) の範囲内で変化します。

LTC7890 ではフェーズ・ロック・ループ (PLL) が使用可能で、PLLIN/SPREAD ピンに接続された外部クロック信号源に内部発振器を同期させることができます。LTC7890 の PLL は、チャンネル 1 の外付け上側 FET のターンオンを同期信号の立上がりエッジに一致させます。チャンネル 2 の外付け上側 FET のターンオンは、外部クロック源の立上がりエッジに対して 180° 位相がずれます。

PLL の周波数は、外部クロックが入力される前に FREQ ピンで設定した自走周波数にプリバイアスされます。外部クロックの周波数付近にプリバイアスしておくと、PLL をわずかに変化させるだけで、外部クロックの立上がりエッジを TG1 の立上がりエッジに同期させることができます。より高速に外部クロックにロックインするには、FREQ ピンを使用して、内部発振器の周波数を外部クロックの周波数にほぼ等しい値に設定します。LTC7890 の PLL は、周波数が 100kHz ~ 3MHz の外部クロック源に確実にロックするよう設計されています。

動作原理

PLLIN/SPREAD ピンはトランジスタ・トランジスタ・ロジック (TTL) 互換で、閾値が 1.6V (立上がり) および 1.1V (立下がり) であるため、クロック信号の振幅が 0.5V~2.2V での動作が確保されています。

出力過電圧保護

LTC7890 は各チャンネルに過電圧コンパレータを備えており、トランジェント・オーバーシュートや、出力過電圧の原因となるその他の深刻な状態から保護します。V_{FBx} ピンがレギュレーション・ポイントである 0.8V を 10%以上超えると、上側 FET がオフになり、インダクタ電流は逆転できなくなります。

フォールドバック電流

出力電圧が公称レベルの 70%未満に低下すると、フォールドバック電流制限機能が有効になり、過電流または短絡状態の深刻度に比例してピーク電流制限値が徐々に低下します。ソフト・スタート期間中は、(V_{FBx} 電圧が TRACK/SSx 電圧に追従している限り) フォールドバック電流制限機能は無効化されます。

パワーグッド

LTC7890 には各チャンネルに PGOODx ピンがあり、内部 N チャンネル MOSFET のオープン・ドレインに接続されています。V_{FBx} 電圧が 0.8V リファレンスの±10%以内でない場合、MOSFET がオンになり、PGOODx ピンがローになります。PGOODx ピンは、RUNx ピンがロー (シャットダウン) の時にもローになります。V_{FBx} 電圧が±10%の条件以内になると、MOSFET がオフになるため、PGOODx ピンを外付け抵抗によって INTV_{CC} などの 6V を超えない電源にプルアップできます。

アプリケーション情報

図 1 は、LTC7890 の基本的なアプリケーション回路を示しています。外付け部品の選択は負荷条件によって大きく左右されますが、まずは、インダクタ、電流検出部品、動作周波数、軽負荷動作モードの選択から始めます。次に、入力コンデンサと出力コンデンサ、およびパワーFET で構成される残りのパワー段コンポーネントを選択します。次に、必要な出力電圧を設定するための帰還抵抗を選択します。更に、ソフト・スタート、バイアス、ループ補償など、残りの外付け部品を選択します。

インダクタ値の計算

動作周波数が高いほど小さな値のインダクタとコンデンサを使用できるという点で、動作周波数とインダクタの選択には相関関係があります。周波数が高くなるほど、FET のスイッチング損失とゲート電荷損失が発生するため、一般に効率が低下します。このトレードオフに加えて、リップル電流と低電流動作に対するインダクタ値の影響も考慮しなければなりません。インダクタの値は、リップル電流に直接影響します。

最大平均インダクタ電流 ($I_{L(MAX)}$) は、最大出力電流に等しくなります。ピーク電流は、平均インダクタ電流にインダクタ・リップル電流 (ΔI_L) の半分を加えたものに等しくなります。このリップル電流は式 1 に示すように、インダクタンス (L) または周波数 (f) が高くなるほど減少し、 V_{IN} が高くなるほど増加します。

$$\Delta I_L = \frac{1}{(f)L} V_{OUT} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (1)$$

ΔI_L が大きな値でもよければ、低い値のインダクタンスを使用できますが、出力電圧リップルが大きくなり、コア損失が大きくなります。リップル電流を設定するための妥当な出発点は、 $\Delta I_L = 0.3 \times I_{L(MAX)}$ です。 ΔI_L が最大になるのは、最大入力電圧の時です。

インダクタの値は、2 次的な影響も与えます。必要な平均インダクタ電流が減少すると、ピーク電流が R_{SENSE} によって決定される電流制限の 25% 未満になった時点でバースト・モード動作への移行が開始されます。インダクタ値を低くする (ΔI_L を高くする) と、この遷移はより低い負荷電流で起こるため、低電流動作の値の高い範囲では効率が低下する可能性があります。バースト・モード動作では、インダクタンス値が小さくなるとバースト周波数が低下します。

インダクタ・コアの選択

L の値が定まったら、インダクタの種類を選択します。高効率レギュレータは一般に、低価格の鉄粉コアで生じるコア損失を許容できないため、より高価なフェライトまたはモリブデンマロイのコアを使わざるを得ません。インダクタ値が同じ場合、実際のコア損失はコア・サイズではなく、選択するインダクタンス値に大きく依存します。インダクタンスが大きくなると、コア損失は減少します。しかし、インダクタンスを増加させるには巻き線数を増やす必要があるため、銅損失が増加します。

フェライトを使った設計ではコア損失が小さくなるので、スイッチング周波数が高い場合に適しています。したがって、設

計目標を銅損と飽和防止に集中できます。フェライト・コア材は飽和しやすいため、設計電流のピークを超えるとインダクタンスが急激に低下します。その結果、インダクタのリップル電流が急激に増加し、それに伴い出力電圧リップルも増加します。コアを飽和させないようにしてください。

電流検出方式の選択

LTC7890 はインダクタ DC 抵抗 (DCR) による検出または低抵抗値による検出のいずれかを使うように構成できます。2 つの電流検出方式のどちらを選択するかは、コスト、消費電力、精度のいずれを設計で主に重視するかで決まります。DCR による検出が普及したのは、高価な電流検出抵抗が不要で、特に大電流のアプリケーションで電力効率が向上するためです。一方、電流検出抵抗では、最も正確な電流制限値をコントローラに提供できます。他の外付け部品の選択は負荷条件によって決まり、 R_{SENSE} (R_{SENSE} を使用する場合) とインダクタの値の選択から始めます。

$SENSEx^+$ ピンと $SENSEx^-$ ピンは、電流コンパレータへの入力となります。これらのピンのコモンモード電圧範囲は $0V \sim 65V$ (絶対最大値) であるため、LTC7890 は最大 $60V$ の出力電圧をレギュレーションできます。 $SENSEx^+$ ピンは高インピーダンスで、電流は約 $1\mu A$ 未満です。このように高インピーダンスなので、電流コンパレータをインダクタの DCR による検出に使用できます。 $SENSEx^-$ ピンのインピーダンスは、コモンモード電圧に応じて変化します。 $INTV_{CC} - 0.5V$ 未満の時、 $SENSEx^-$ ピンは比較的高インピーダンスとなり、 $SENSE1^-$ には約 $75\mu A$ 、 $SENSE2^-$ には約 $1\mu A$ の電流が流れます。 $SENSEx^-$ ピンが $INTV_{CC} + 0.5V$ を超えると、このピンにはより大きな電流 (約 $700\mu A$) が流れます。 $INTV_{CC} - 0.5V$ から $INTV_{CC} + 0.5V$ までの間では、電流は小さい方の電流から大きい方の電流に流れます。 $SENSE1^-$ ピンの電圧が $3.2V$ を超えると、 V_{IN} ではなく V_{OUT1} から内部回路にバイアスがかかるため、 $SENSE1^-$ ピンには更に約 $75\mu A$ の電流が流れ、入力換算電源電流が減少します。

検出ラインに共通するフィルタ部品は LTC7890 の近くに配置し、検出ラインは電流検出素子の下側のケルビン接続点まで互いに近づけて配線します (図 36 を参照)。他の場所で電流を検出すると、電流検出素子に寄生インダクタンスと静電容量が加わり、検出端子の情報が劣化して、電流制限の設定値が予測できなくなることがあります。DCR による検出を使用する場合は (図 38 を参照)、 $R1$ をスイッチング・ノードの近くに配置して、高感度の小信号ノードにノイズが結合しないようにします。

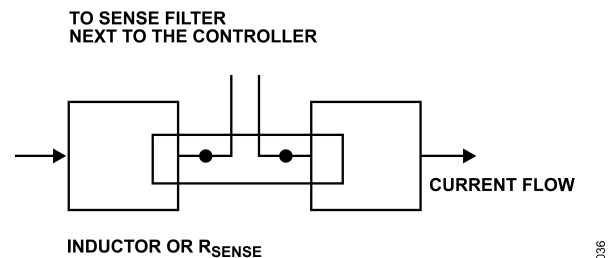


図 36. インダクタまたは検出抵抗を使用した検出ラインの配置

アプリケーション情報

小さな値の抵抗による電流検出

図 37 に、ディスクリット抵抗を使用した代表的な検出回路を示します。R_{SENSE} は必要な出力電流に基づいて選択します。コントローラの電流コンパレータの V_{SENSE(MAX)} は 50mV、25mV、または 75mV で、これは ILIM ピンの状態によって決まります。電流コンパレータの閾値電圧により、インダクタのピーク電流が設定されます。

最大インダクタ電流 (I_{L(MAX)}) およびリップル電流 (ΔI_L) を用いて (インダクタ値の計算のセクションを参照)、目標とする検出抵抗値は式 2 で与えられます。

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{L(MAX)} + \frac{\Delta I_L}{2}} \quad (2)$$

アプリケーションが全動作温度範囲にわたって全負荷電流を確実に供給するには、表 1 に示す V_{SENSE(MAX)} の最小値を選択します。

検出抵抗に寄生インダクタンス (ESL) があると、低インダクタ値 (<3μH) または高電流 (> 5A) アプリケーションの場合、電流検出信号に大きな誤差が生じます。この誤差は入力電圧に比例し、ライン・レギュレーションを劣化させたり、ループを不安定化させたりすることがあります。図 37 に示すように、RC フィルタ (フィルタ抵抗 R_F とフィルタ・コンデンサ C_F) を SENSEx⁺ ピンと SENSEx⁻ ピンの間に配置することで、この誤差を補正できます。ESL を最も適切に抑えるには、RC フィルタの時定数を R_F × C_F = ESL/R_{SENSE} となるように設定します。一般に、1nF~10nF の範囲内になるように C_F を選択し、それに応じて R_F を計算します。この誤差を最小限に抑えるため、低 ESL でフットプリントの広い形状の表面実装型検出抵抗を推奨します。メーカーのデータシートで仕様規定されていない場合、ESL は、1206 フットプリントの抵抗器では 0.4nH、1225 フットプリントの抵抗器では 0.2nH と概算できます。

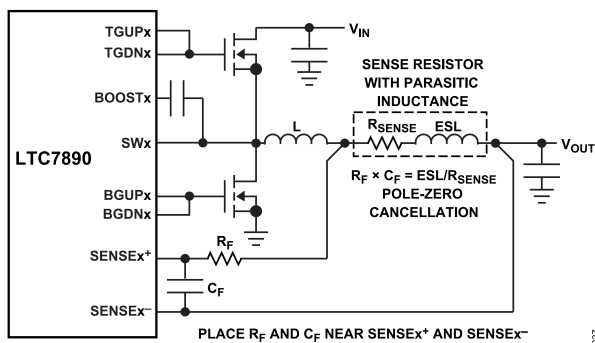


図 37. 抵抗を使用した電流検出

インダクタの DCR による電流検出

大負荷電流時に可能な限り高い効率を必要とするアプリケーションの場合、図 38 に示すように、LTC7890 はインダクタの DCR 両端の電圧降下を検出できます。インダクタの DCR とは、銅巻線の DC 抵抗の小さな値を表し、値の小さい大電流インダクタでは 1mΩ 未満になることがあります。このようなインダクタを必要とする大電流アプリケーションでは、検出抵抗による

電力損失は、インダクタの DCR による検出に比べると数ポイントの効率低下になると考えられます。

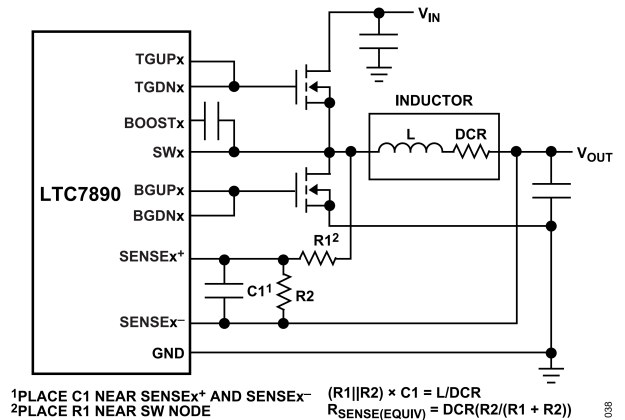


図 38. インダクタの DCR を用いた電流検出
(R_{SENSE(EQUIV)} は等価検出抵抗)

外付けの (R₁||R₂) × C₁ の時定数が L/DCR の時定数に等しくなるように選択すると、外付けコンデンサ両端の電圧降下はインダクタの DCR 両端の電圧降下に R₂/(R₁ + R₂) を掛けたものに等しくなります。R₂ は、目標とする検出抵抗値よりも DCR が大きいアプリケーションに対して、検出端子両端の電圧を調整する抵抗です。外部フィルタ部品の寸法を適切に決めるには、インダクタの DCR を知る必要があります。DCR は、インダクタンス、容量、抵抗 (LCR) メーターを用いて測定できます。ただし、DCR の許容差は常に同じではなく、温度によって変化します。詳細については、メーカーのデータシートを参照してください。

I_{L(MAX)} および ΔI_L を用いて (インダクタ値の計算のセクションを参照)、目標とする検出抵抗値は式 3 で与えられます。

$$R_{SENSE(EQUIV)} = \frac{V_{SENSE(MAX)}}{I_{L(MAX)} + \frac{\Delta I_L}{2}} \quad (3)$$

アプリケーションが全動作温度範囲にわたって全負荷電流を確実に供給するには、表 1 に示す V_{SENSE(MAX)} の最小値を選択します。

次に、インダクタの DCR を決めます。メーカーから仕様が提供されている場合は、通常は 20°C で規定されている最大値を使用します。銅抵抗の温度係数 (約 0.4%/°C) を考慮して、この値を増加させます。最大インダクタ温度 (T_{L(MAX)}) の値は控え目に見て 100°C です。最大インダクタ DCR (DCR_{MAX}) を検出抵抗の目標値 (R_D) に調整するには、式 4 で与えられる分圧比を使用します。

$$R_D = \frac{R_{SENSE(EQUIV)}}{DCR_{MAX \text{ at } T_{L(MAX)}}} \quad (4)$$

C₁ は通常、0.1μF~0.47μF の範囲内になるように選択します。この範囲では、等価抵抗 (R₁||R₂) が約 2kΩ になるため、SENSEx⁺ ピンの約 1μA の電流に起因する誤差が低減します。

アプリケーション情報

R1||R2 は、室温のインダクタンスと最大 DCR によって式 5 で求められます。

$$R1 \parallel R2 = \frac{L}{(DCR \text{ at } 20^{\circ}\text{C}) \times C1} \quad (5)$$

検出抵抗値は、式 6 と式 7 で与えられます。

$$R1 = \frac{R1 \parallel R2}{R_D} \quad (6)$$

$$R2 = \frac{R1 \times R_D}{1 - R_D} \quad (7)$$

R1 の最大電力損失 (P_{LOSS}) はデューティ・サイクルに関連して、連続モード時の最大入力電圧 (V_{IN(MAX)}) で発生し、式 8 で与えられます。

$$P_{LOSS \text{ in } R1} = \frac{(V_{IN(MAX)} - V_{OUT}) \times V_{OUT}}{R1} \quad (8)$$

R1 の電力定格が R1 の P_{LOSS} より大きくなるようにします。軽負荷時に高い効率が必要な場合、DCR 検出と検出抵抗のどちらを使用するかを決定する際には、この電力損失を検討します。軽負荷時の電力損失は、R1 によって余分のスイッチング損失が生じるため、検出抵抗の場合より DCR ネットワークの方がわずかに大きくなることがあります。ただし、DCR による検出では検出抵抗が不要になるため、伝導損失が減少し、重負荷時の効率が高くなります。ピーク効率はどちらの方法でもほぼ同じです。

動作周波数の設定

動作周波数の選択では、効率と部品サイズの間にトレードオフがあります。動作周波数が高いと、小型のインダクタと値の小さいコンデンサを使用できます。低い周波数で動作させるとゲート電荷と遷移損失が減るので効率が改善されますが、出力リップル電圧を低く維持するには、インダクタンスの値や出力容量を大きくする必要があります。

高電圧アプリケーションでは、遷移損失が電力損失に大きく影響し、300kHz~900kHz のスイッチング周波数の時にサイズと効率の間で良好なバランスをとることができます。低電圧アプリケーションは、スイッチング損失が低いという利点があるため、必要に応じて最大 3MHz のスイッチング周波数で動作させることができます。スイッチング周波数は、表 4 に示すように、FREQ ピンと PLLIN/SPREAD ピンで設定します。

表 4. FREQ と PLLIN/SPREAD によるスイッチング周波数の設定

FREQ Pin	PLLIN/SPREAD Pin	Frequency
0 V	0 V	370 kHz
INTV _{CC}	0 V	2.25 MHz
Resistor to GND	0 V	100 kHz to 3 MHz
0 V, INTV _{CC} , or Resistor to GND	External clock, 100 kHz to 3 MHz	Phase-locked to external clock
0 V, INTV _{CC} , or Resistor to GND	INTV _{CC}	Spread spectrum, f _{OSC} modulated 0% to +20%

FREQ ピンを GND に接続すると 370kHz が選択され、FREQ を INTV_{CC} に接続すると 2.25MHz が選択されます。FREQ と GND の間に抵抗を接続すると、周波数を 100kHz~3MHz の範囲内で任意に設定できます。FREQ ピンの抵抗 (R_{FREQ}) は、図 39 または式 9 により選択します。

$$R_{FREQ}(\text{in k}\Omega) = 37 \text{ MHz} / f_{OSC} \quad (9)$$

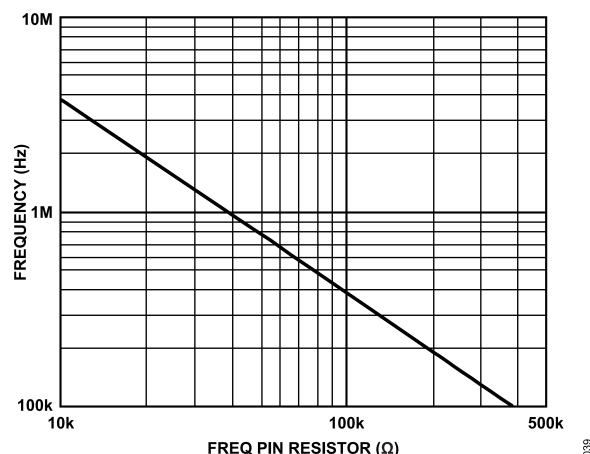


図 39. 発振器周波数と FREQ ピンの抵抗値の関係

EMI 性能を向上させるため、PLLIN/SPREAD ピンを INTV_{CC} に接続してスペクトラム拡散モードを選択できます。スペクトラム拡散機能を有効化した場合、スイッチング周波数は、FREQ ピンで選択した周波数から+20%までの範囲内で調整されます。スペクトラム拡散モードは、MODE ピンで選択した任意の動作モード（バースト・モード、パルス・スキッピング、強制連続モード）で使用できます。

また、LTC7890 では PLL が使用可能で、PLLIN/SPREAD ピンに接続された外部クロック信号源に内部発振器を同期させることができます。PLL がロックした後、TGxx1 は外部クロック信号の立上がりエッジに同期し、TGxx2 は位相が TGxx1 から 180°ずれます。詳細については、フェーズ・ロック・ループと周波数同期のセクションを参照してください。

軽負荷時動作モードの選択

LTC7890 は、軽負荷電流時に、高効率のバースト・モード動作、固定周波数パルス・スキッピング・モード、または強制連続動作モードのいずれかに設定できます。バースト・モード動作を選択するには、MODE ピンを GND に接続します。強制連続動作

アプリケーション情報

を選択するには、MODE ピンを INTV_{CC} に接続します。パルス・スキッピング・モードを選択するには、MODE ピンを 100k Ω の抵抗を介して INTV_{CC} に接続します。MODE ピンがフロート状態の場合、MODE ピンとグラウンドの間にある 100k Ω の内部抵抗により、バースト・モードが選択されます。PLLIN/SPREAD ピンを介して外部クロックに同期させた場合、パルス・スキッピング・モードが選択されていれば、LTC7890 はそのモードで動作します。それ以外の場合、LTC7890 は強制連続モードで動作します。MODE ピンを用いて軽負荷時動作モードを選択する方法を表 5 に示します。

表 5. MODE ピンを使用した軽負荷時動作モードの選択

MODE Pin	Light Load Operating Mode	Mode When Synchronized
0 V or Floating	Burst Mode	Forced continuous
100 k Ω to INTV _{CC}	Pulse skipping	Pulse skipping
INTV _{CC}	Forced continuous	Forced continuous

どの軽負荷時動作モードを選択するのが適切かは、それぞれのアプリケーションの条件によって決まります。バースト・モード動作では、インダクタ電流は反転できません。インダクタ電流がゼロに達する前に、逆電流コンパレータが下側 FET をオフにし、インダクタ電流が反転して負になるのを防ぎます。したがって、レギュレータは不連続動作状態で動作します。更に、負荷電流が少ないと、インダクタ電流はスイッチング周波数より低い周波数でバースト動作を開始し、スイッチングが停止している時は低消費電流のスリープ・モードに入ります。その結果、軽負荷時にはバースト・モード動作の効率が最も高くなります。

強制連続モードでは、インダクタ電流は軽負荷時に反転が可能となり、負荷に関係なく同じ周波数でスイッチングします。このモードでは、軽負荷時の効率がバースト・モード動作よりもかなり低下します。ただし、連続動作には出力電圧リップルが小さく、オーディオ回路への干渉が少ないという利点があります。強制連続モードでは、出力リップルは負荷電流に依存しません。

パルス・スキッピング・モードでは、出力電流が設計上の最大値の約 1% になるまで固定周波数動作が維持されます。非常に軽い負荷時には、PWM コンパレータは数サイクル間トリップ状態を維持し、同じサイクル数の間上側 FET をオフにしたままにする（つまり、パルスをスキップする）ことがあります。インダクタ電流は反転できません（不連続動作）。強制連続動作と同様、このモードでは、バースト・モード動作に比べて出力リップルとオーディオ・ノイズが小さくなり、RF 干渉が減少します。パルス・スキッピング・モードでは、軽負荷時の効率が強制連続モードより高くなりますが、バースト・モード動作ほど高はありません。したがって、パルス・スキッピング・モードは軽負荷時の効率、出力リップル、EMI の間の妥協点となります。

アプリケーションによっては、システム内の条件に応じて軽負荷時の動作モードを変更することが望ましい場合があります。例えば、システムが非アクティブの場合、MODE ピンを 0V に設定しておくことで、高効率のバースト・モード動作を選択できます。システムが起動した時、外部クロックを PLLIN/SPREAD に供給するか、MODE を INTV_{CC} に接続すれば低ノイズの強制連続モードに切り替えることができます。このようなモード変更を行うと、個々のアプリケーションでそれぞれの軽負荷時動作モードの利点が得られます。

デッド・タイム制御 (DTCA および DTCB ピン)

LTC7890 のデッド・タイム遅延は、DTCA ピンと DTCB ピンの設定により、ほぼゼロから 60ns まで調整できます。図 40、図 41、図 42 に、各 DTCx ピンの設定に対する TGx - SWx、BGx、SWx の各波形を示します。DTCx ピンを GND に接続（適応型デッド・タイム制御）、DTCx ピンを INTV_{CC} に接続（スマート・ニア・ゼロ型デッド・タイム制御）、および DTCx ピンを抵抗を介して GND に接続の各セクションでは、TGx は上側 FET ゲートで検出される電圧（TGx の立下がり閾値は TGUPx ピンで検出）を、BGx は下側 FET ゲートで検出される電圧（BGx の立上がり閾値は BGDNx ピンで、立下がり閾値は BGUPx ピンで検出）を表します。SWx 波形は、正のインダクタ電流による連続導通モードでの動作を表します。DTCA ピンは、下側 FET のターンオフと上側 FET のターンオン（SWx がローからハイに遷移）に関連するデッド・タイムを設定します。DTCB ピンは、上側 FET のターンオフと下側 FET のターンオン（SWx がハイからローに遷移）に関連するデッド・タイムを設定します。

DTCx ピンを GND に接続 (適応型デッド・タイム制御)

DTCA ピンと DTCB ピンを GND に接続すると、適応型デッド・タイム制御が設定されます。適応型制御（図 40 を参照）では、一方の FET がオフになってから他方の FET がオンになるまでのデッド・タイムが測定されます。DTCA ピンを GND に接続すると、BGx の立下がりから TGx - SWx の立上がりまでの遅延が約 20ns に固定されます。DTCB ピンを GND に接続すると、TGx - SWx の立下がりから BGx の立上がりまでの遅延が約 20ns に固定されます。

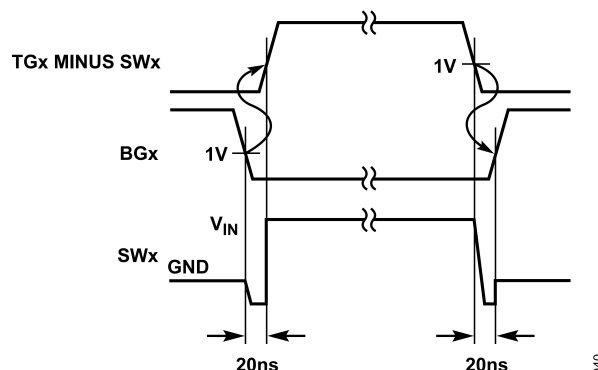


図 40. DTCx ピンを GND に接続 (適応型デッド・タイム制御)

DTCx ピンを INTV_{CC} に接続 (スマート・ニア・ゼロ型デッド・タイム制御)

図 41 に、DTCx ピンを INTV_{CC} に接続した場合のタイミング波形を示します。DTCA ピンを INTV_{CC} に接続すると、BGx の立下がりから SWx の立上がりまでの遅延がほぼゼロになります。DTCB ピンを INTV_{CC} に接続すると、SWx の立下がりから BGx の立上がりまでの遅延がほぼゼロになります（上側 FET のターンオフ時にインダクタ電流が正）。BGx (BGDNx ピンで検出) および SWx の立上がりエッジが定義されるのは、その電圧が (GND を基準として) 約 1V まで上昇した時点であることを注意してください。同様に、BGx (BGUPx ピンで検出) および SWx の立下がりエッジは、その電圧が約 1V まで低下した時点です。

アプリケーション情報

DTCB の遷移の場合、上側 FET がターンオフしてから約 20ns 後に SW_x ノードが 1V に低下しない場合（インダクタ電流が小さいか負）、下側 FET が自動的にターンオンします。この 20ns のタイムアウトにより、TG_x – SW_x の立下がりから BG_x の立上がりまでの最大遅延が設定されます。

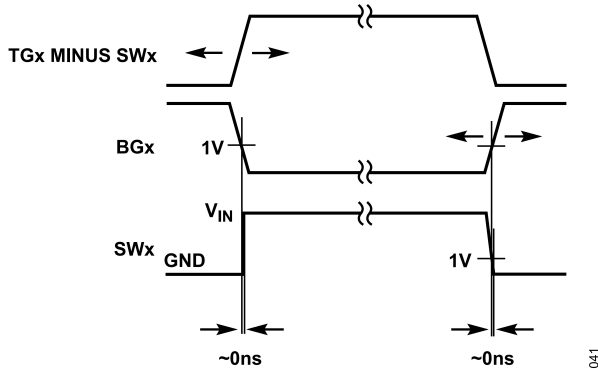


図 41. DTCx ピンを INTV_{CC} に接続
(スマート・ニア・ゼロ型デッド・タイム制御)

DTCx ピンを抵抗を介して GND に接続

DTCx ピンと GND の間に抵抗を接続すると、SW_x と BG_x のエッジ間に 7ns~60ns の遅延が追加されます（図 42 を参照）。DTCA ピンに抵抗を接続すると、BG_x の立下がりから SW_x の立上がりまでの間に遅延が追加されます。DTCB ピンと GND の間に抵抗を接続すると、SW_x の立下がりから BG_x の立上がりまでの間に遅延が追加されます。図 43 は、DTCx ピンの抵抗値と BG_x エッジから SW_x エッジまでの間に設定される遅延の関係を示しています。この抵抗は 10kΩ 以上にする必要があります。

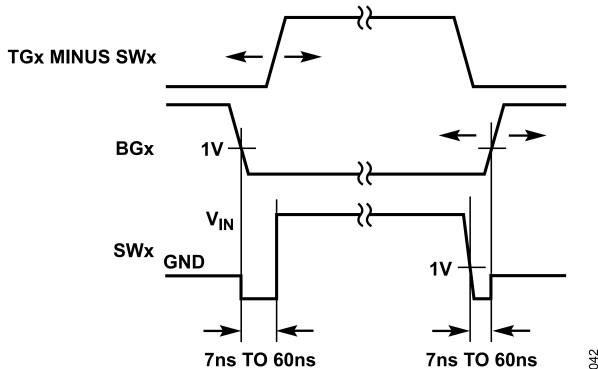


図 42. DTCx ピンを抵抗を介して GND に接続
(調整型デッド・タイム制御)

DTCx ピンに抵抗を使用した場合、一方の FET がオフしてから他方の FET がオンするまでの最大遅延時間は、設定済み遅延時間を約 30ns 超えるように設定されます。DTCA 遷移（SW_x がローからハイ）において、下側 FET がターンオフした直後に SW_x がハイになるような負のインダクタ電流（例えば、強制連続モードでの軽負荷時電流）で下側 FET がターンオフすると、このタイムアウトに達する可能性があります。

DTCx ピンの一方を抵抗で設定している場合、もう一方の DTCx ピンは抵抗で設定するか INTV_{CC} に接続していなければ、適切なデッド・タイム制御動作はできません。一方の DTCx ピンを抵抗で設定するか INTV_{CC} に接続し、もう一方の DTCx ピンを GND に接続すると、予期しないデッド・タイム遅延が発生する可能性があります。

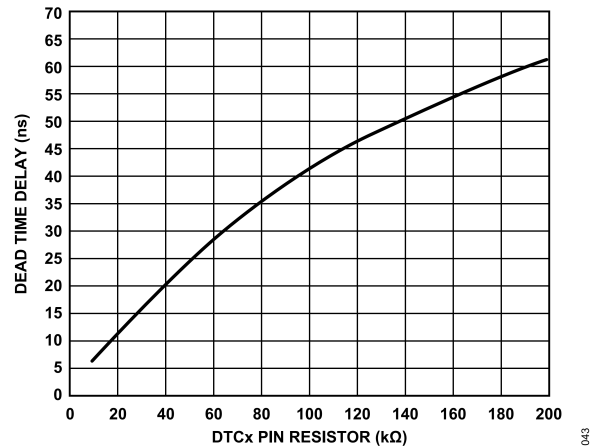


図 43. デッド・タイム遅延と DTCx ピン抵抗値の関係

パワーFET の選択

LTC7890 では 2 つの外付けパワーFET を選択する必要があります。1 つは上側（メイン）スイッチ用の N チャンネル FET で、もう 1 つは下側（同期）スイッチ用の N チャンネル FET です。ピーク to ピークのゲート駆動レベルは、INTV_{CC} のレギュレーション・ポイント（4V~5.5V）によって設定されます。ほとんどの GaN FET は、この INTV_{CC} レギュレーション・ウィンドウ内で十分に駆動できます。シリコン MOSFET を使用する場合は、ほとんどのアプリケーションでは、ロジック・レベル閾値の MOSFET を使用する必要があります。FET のブレークダウン電圧（BVD_{SS}）仕様にも十分注意を払ってください。

パワーFET の選択基準には、オン抵抗（R_{DS(ON)}）、ミラー容量（C_{MILLER}）、入力電圧、および最大出力電流などがあります。C_{MILLER} は、FET メーカーのデータシートに一般に記載されているゲート電荷曲線から概算できます。C_{MILLER} は、曲線がほぼ平らな区間の水平軸に沿ったゲート電荷の増分を、FET のドレイン端子とソース端子間の電圧差（V_{DS}）の仕様規定されている変化量で割ったものに等しくなります。この結果に、アプリケーションで印加される V_{DS} とゲート電荷曲線で規定された V_{DS} との比率を乗じます。連続モードで動作している時の上側 FET と下側 FET のデューティ・サイクルは式 10 と式 11 で与えられます。

$$\text{Main Switch Duty Cycle} = V_{OUT}/V_{IN} \quad (10)$$

$$\text{Synchronous Switch Duty Cycle} = (V_{IN} - V_{OUT})/V_{IN} \quad (11)$$

最大出力電流時における FET の消費電力は、式 12 と式 13 で与えられます。

アプリケーション情報

$$P_{MAIN} = \frac{V_{OUT}}{V_{IN}} (I_{MAX})^2 (1 + \delta) R_{DS(ON)} + (V_{IN})^2 \left(\frac{I_{MAX}}{2} \right) (R_{DR}) (C_{MILLER}) \times \left(\frac{1}{V_{INTCC} - V_{THMIN}} + \frac{1}{V_{THMIN}} \right) (f) \quad (12)$$

$$P_{SYNC} = \frac{V_{IN} - V_{OUT}}{V_{IN}} (I_{MAX})^2 (1 + \delta) R_{DS(ON)} \quad (13)$$

ここで、

P_{MAIN} はメイン・スイッチの消費電力。

δ は $R_{DS(ON)}$ の温度依存性 ($\delta \approx 0.005/^{\circ}\text{C}$)。

R_{DR} は FET のミラー・スレッシュホールド電圧における実効ドレイバ抵抗 ($R_{DR} \approx 2\Omega$)。

V_{INTCC} は $INTV_{CC}$ 電圧。

V_{THMIN} は FET の最小閾値電圧 (代表値)。

P_{SYNC} は同期スイッチの消費電力。

どちらの FET にも I^2R 損失 (I^2R は定常状態でオン時における FET の電力損失式) が生じますが、メインの N チャンネル式には、高入力電圧で最も高くなる遷移損失の追加項が含まれます。 $V_{IN} < 20V$ の場合、高電流効率は一般に FET が大きいほど向上します。しかし、 $V_{IN} > 20V$ では、 C_{MILLER} が低く $R_{DS(ON)}$ が高いデバイスを使用した方が効率が高くなる点まで、遷移損失が急速に増加します。同期 FET の損失は、入力電圧が高くなって、上側スイッチのデューティ・ファクタが低い時や、短絡時に同期スイッチが周期の 100% 近くオンになる時に最大になります。

C_{IN} と C_{OUT} の選択

入力容量 (C_{IN}) の選択は一般に、入力ネットワーク (バッテリー、ヒューズ、またはコンデンサ) を介して RMS 電流が流れ込む最も厳しい条件に基づいて行います。コンデンサの最大 RMS 電流の条件を求めるには、V_{OUT} と出力電流 (I_{OUT}) の積の最大値を式 14 で使用する必要があります。

他方のコントローラから供給される出力電流を増やすと、実際には入力 RMS リップル電流がこの最大値から減少します。位相差方式では、単相電源方式と比較した場合、入力コンデンサの RMS リップル電流が一般に 30%~70% 減少します。

連続モードでは、上側 FET のソース電流は、デューティ・サイクルが V_{OUT}/V_{IN} の方形波になります。大きい電圧トランジェントを防ぐために、最大 RMS 電流 (I_{RMS}) に対応するサイズの低 ESR (等価直列抵抗) のコンデンサを使用します。I_{MAX} において、最大 RMS コンデンサ電流は、式 14 で与えられます。

$$C_{IN} \text{ Required } I_{RMS} \approx \frac{I_{MAX}}{V_{IN}} ((V_{OUT})(V_{IN} - V_{OUT}))^{1/2} \quad (14)$$

式 14 は V_{IN} = 2V_{OUT} で最大になります。ここで、I_{RMS} = I_{OUT}/2 です。設計ではこの単純で最も厳しい条件がよく使用されます。条件を大きく変化させても状況はそれほど改善されないからです。多くの場合、メーカーの規定するコンデンサのリップル電流定格は、わずか 2000 時間の寿命に基づいていることに注意し

てください。したがって、コンデンサを更にデレーティングすることが推奨されます。つまり、要求よりも高い温度定格のコンデンサを選ぶようにします。設計上のサイズや高さの条件を満たすために、複数のコンデンサを並列に接続できます。LTC7890 は動作周波数が高いため、C_{IN} にセラミック・コンデンサを使用することもできます。不明な点はメーカーにご相談ください。

LTC7890 の 2 相動作の利点は、この式を高出力の方のコントローラに使用し、両方のコントローラ・チャンネルが同時にオンになった際に生じる損失を計算することで算出できます。両方のコントローラが動作している時は、入力コンデンサの ESR を流れるのに必要な電流パルスの重なりが減少するため、RMS 電力損失の合計は低くなります。これが、先に最も厳しい条件のコントローラで計算した入力コンデンサの条件が、デュアル・コントローラ設計で適切である理由です。また、2 相システムではピーク電流が減少するため、入力保護ヒューズの抵抗、バッテリーの抵抗、および PC 基板のパターン抵抗の損失も減少します。多相設計の全体的な利点は、電源やバッテリーのソース・インピーダンスを効率テストに含めて初めて完全に実現されます。

上側 FET のドレインを互いに 1cm 以内に配置し、これらのドレインが C_{IN} を共有するようにします。ドレインと C_{IN} を離すと、V_{IN} で望ましくない共振が生じる可能性があります。

V_{IN} ピンと GND の間に小さな (0.1μF~1μF) バイパス・コンデンサを挿入し、LTC7890 の近くに配置することも推奨します。C_{IN} ピンと V_{IN} ピンの間に 1Ω~10Ω の抵抗を接続すると、ノイズの多い入力電源からのアイソレーションが可能です。

出力容量 (C_{OUT}) の選択は ESR によって決まります。一般に、ESR の条件を満たしていれば、その容量はフィルタリング機能にも十分です。出力リップル (ΔV_{OUT}) の近似値は式 15 で求められます。

$$\Delta V_{OUT} \approx \Delta I_L \left(ESR + \frac{1}{8(f)C_{OUT}} \right) \quad (15)$$

ここで、

ΔI_L はインダクタのリップル電流。

f は動作周波数。

ΔI_L は入力電圧に応じて増加するので、入力電圧が最大の時に出力リップルは最大となります。

アプリケーション情報

出力電圧の設定

LTC7890 の出力電圧は、図 44 と図 45 に示すように、出力の両端に注意深く配置された外付けの帰還抵抗分圧器によって設定します。レギュレーション出力電圧は式 16 により求めます。

$$V_{OUT} = 0.8(1 + (R_B/R_A)) V \quad (16)$$

R_A および R_B を V_{FBx} ピンのすぐ近くに配置して、PCB のパターン長と、高感度の V_{FBx} ノードでのノイズを最小限に抑えます。 V_{FBx} のパターンは、インダクタや SW_x のパターンなどのノイズ源から離して配線するよう注意してください。周波数応答を改善するには、フィードフォワード・コンデンサ (C_{FF}) を使用します。

LTC7890 のチャンネル 1 は、VPRG1 ピンの制御により、12V または 5V の固定出力に設定できます。図 45 は、固定出力モードで出力電圧を V_{FB1} ピンで検出する方法を示しています。VPRG1 を $INTV_{CC}$ に接続すると V_{OUT1} が 12V に、GND に接続すると 5V に設定されます。VPRG1 をフローティングにすると、 V_{OUT1} を外付け抵抗を使用して調整可能な出力モードに設定できます。

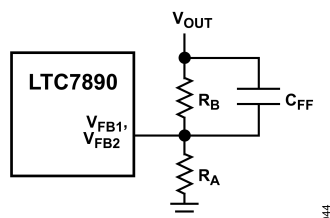


図 44. 調整可能出力電圧の設定

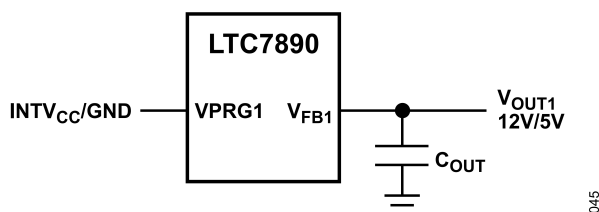


図 45. 12V または 5V の固定電圧の設定

出力電圧レベルが複数あるアプリケーションでは、3.2V より大きく最も低い出力電圧にチャンネル 1 を選択します。SENSE1 ピン (V_{OUT1} に接続) が 3.2V を超えると、 V_{IN} の代わりに一部の内部回路にバイアスをかけるため、軽負荷時のバースト・モード効率が向上します。同様に、 $EXTV_{CC}$ を、DRVUV ピンで指定する $EXTV_{CC}$ の立上がり切替え閾値を超える最も低い出力電圧に接続します。それにより、 $EXTV_{CC}$ は高電流ゲート・ドライバに電源を供給して、 V_{IN} からの I_B を更に軽減することになり、スリープ時の V_{IN} ピンの電流が更に約 $1\mu A$ にまで低減します。

RUNx ピンと低電圧ロックアウト

LTC7890 の 2 つのチャンネルは、RUN1 ピンと RUN2 ピンを用いてイネーブルします。RUNx ピンは立上がり閾値が 1.2V で、ヒステリシスは 120mV です。RUNx ピンを 1.08V より低くすると、そのチャンネルのメイン制御ループがシャットダウンし、ソフト・スタートがリセットされます。RUN1 ピンと RUN2 ピンの両方を 0.7V 未満にすると、コントローラと、 $INTV_{CC}$ LDO を含むほとんどの内部回路の両方がディスエーブルされます。この状態では、LTC7890 に流れる I_B はわずか約 $1\mu A$ です。

RUNx ピンは高インピーダンスであり、外部でプルアップ/プルダウンするか、ロジックで直接駆動する必要があります。RUNx ピンは最大 100V (絶対最大値) まで許容できます。したがって、一方または両方のコントローラを連続的にイネーブルし、シャットダウンさせることのない常時オンのアプリケーションでは、これらのピンを V_{IN} に接続できます。RUNx ピンはフロート状態にしないでください。

図 46 に示すように、RUNx ピンは、 V_{IN} から GND へ抵抗分圧器を接続することにより、入力電源に対する高精度の UVLO とし構成することもできます。

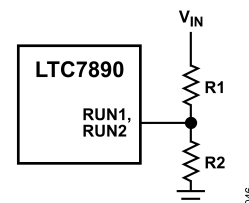


図 46. RUN1 ピンと RUN2 ピンを UVLO として使用

V_{IN} UVLO の閾値は、式 17 と式 18 で計算できます。

$$UVLO \text{ Rising} = 1.2(1 + (R1/R2)) V \quad (17)$$

$$UVLO \text{ Falling} = 1.08(1 + (R1/R2)) V \quad (18)$$

$R1$ および $R2$ の分圧器を流れる電流は、LTC7890 のシャットダウン、スリープ、およびアクティブ電流に加わります。この電流がアプリケーション回路全体の効率に与える影響を最小限に抑えるように注意してください。シャットダウン時とスリープ時の静止電流に対する影響を低く抑えるために、 $M\Omega$ 単位の抵抗値が必要になることがあります。

ソフト・スタートとトラッキング (TRACK/SSx ピン)

それぞれの V_{OUTx} の起動は TRACK/SSx ピンの電圧 (チャンネル 1 は TRACK/SS1、チャンネル 2 は TRACK/SS2) で制御します。TRACK/SSx ピンの電圧が内部リファレンス電圧の 0.8V よりも低い場合、LTC7890 は V_{FBx} ピン電圧を内部リファレンス電圧ではなく TRACK/SSx ピンの電圧にレギュレーションします。TRACK/SSx ピンは、外部ソフト・スタート機能を設定するか、 V_{OUTx} が起動時に別の電源を追従 (トラッキング) するように設定できます。

ソフト・スタートは、TRACK/SSx ピンと GND の間にコンデンサを接続することで有効になります。12 μA の内部電流源がこのコンデンサを充電し、TRACK/SSx ピンに直線的なランプ電圧を生じさせます。LTC7890 は TRACK/SSx ピンの電圧に応じて帰還電圧 (つまり V_{OUTx}) を制御するため、 V_{OUTx} は 0V から最終的なレギュレーション値まで滑らかに上昇できます。目的のソフト・スタート時間 (t_{ss}) に対して、ソフト・スタート・コンデンサ (C_{ss}) = $t_{ss} \times 15nF/ms$ を選択します。

または、図 47 と図 48 に定性的に示すように、TRACK/SSx ピンは、起動時に別の電源を追従させることもできます。別の電源を追従させるには、図 49 に示すように、リーダ電源 (V_{LEADER}) からフォロワ電源 (V_{OUTx}) の TRACK/SSx ピンに抵抗分圧器を接続します。起動中、 V_{OUTx} は式 19 に従い、抵抗分圧器によって設定された比率に従って V_{LEADER} に追従します。

アプリケーション情報

$$\frac{V_{LEADER}}{V_{OUTx}} = \frac{R_A}{R_{TRACKA}} \times \frac{R_{TRACKA} + R_{TRACKB}}{R_A + R_B} \quad (19)$$

同時トラッキング（起動時に $V_{OUTx} = V_{LEADER}$ ）の場合、トラック A 抵抗 (R_{TRACKA}) = 抵抗 A (R_A)、トラック B 抵抗 (R_{TRACKB}) = 抵抗 B (R_B) と設定します。

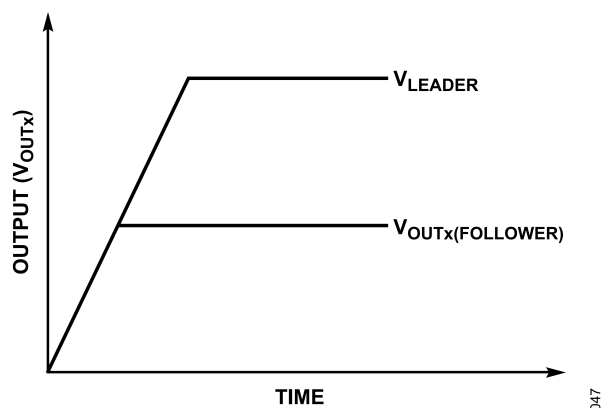


図 47. 同時トラッキング

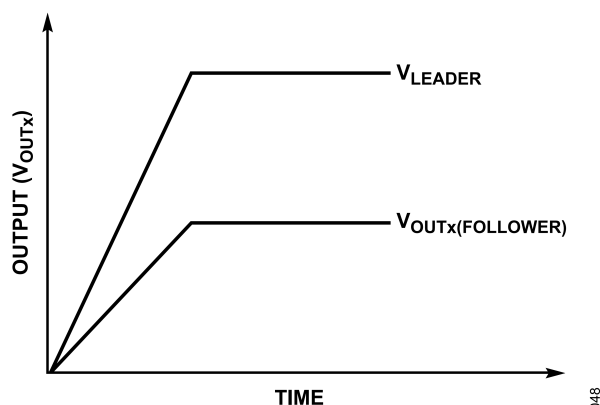


図 48. 比例トラッキング

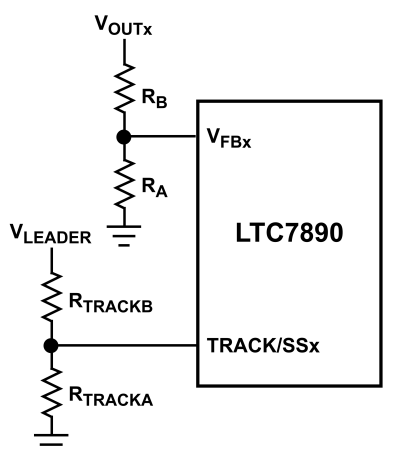


図 49. TRACK/SS1 ピンと TRACK/SS2 ピンを用いたトラッキング

2 相単出力動作

大電力アプリケーションでは、2つのチャンネルを2相の単一出力構成で動作させることができます。チャンネルが 180° 位相がずれて切り替わることで、必要な入力容量や電源誘導ノイズが減少することに加えて、必要な出力容量も削減できます。LTC7890を2相動作に構成するには、 V_{FB2} をINTV_{CC}に、ITH2をGNDに、RUN2をRUN1に接続します。

RUN1、 V_{FB1} 、ITH1、および TRACK/SS1 ピンが両チャンネルの制御に使用されますが、各チャンネルは独自の ICMP および IR コンパレータを用いてそれぞれのインダクタ電流をモニタします。図 54 と図 56 に、2 相単一出力動作に構成された代表的なアプリケーションを示します。

INTV_{CC} レギュレータ (OPTI-DRIVE)

LTC7890 は2つの独立した LDO リニア電圧レギュレータを内蔵しており、EXTV_{CC} ピンの電圧と DRVSET および DRVUV ピンの接続に応じて、 V_{IN} ピンまたは EXTV_{CC} ピンのいずれかから INTV_{CC} ピンに電力を供給します。DRV_{CC} ピンは FET ゲート・ドライバ用の電源ピンであり、INTV_{CC} ピンに接続する必要があります。 V_{IN} LDO レギュレータと EXTV_{CC} LDO レギュレータは、DRVSET ピンの設定に応じて、INTV_{CC} を 4V~5.5V の間でレギュレーションします。それぞれの LDO レギュレータは少なくとも 100mA のピーク電流を供給できます。

最低 4.7μF のセラミック・コンデンサで INTV_{CC} ピンを GND にバイパスし、ピンのできるだけ近くに配置します。FET ゲート・ドライバが必要とする高周波のトランジェント電流を供給するために、DRV_{CC} ピンと GND ピンの隣に更に 1μF のセラミック・コンデンサを配置することを推奨します。

DRVSET ピンは INTV_{CC} の電源電圧を設定し、DRVUV ピンは INTV_{CC} の UVLO と EXTV_{CC} の切替え閾値の電圧を選択します。表 6 は、様々な DRVSET ピンの構成と、各構成に対応する電圧設定を示しています。表 7 は、様々な DRVUV ピンの構成と電圧設定を示しています。DRVSET ピンを INTV_{CC} に接続すると、INTV_{CC} は 5.5V に設定されます。DRVSET ピンを GND に接続すると、INTV_{CC} は 5.0V に設定されます。図 50 に示すように、DRVSET と GND の間に 43kΩ~100kΩ の抵抗を配置すると、INTV_{CC} 電圧が 4V~5.5V の間で設定されます。

アプリケーション情報

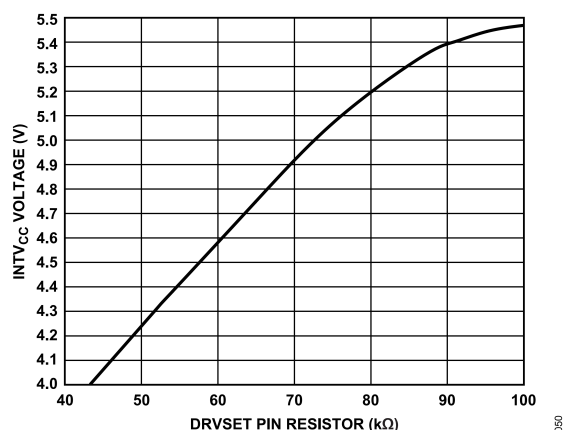
図 50. INTV_{CC} 電圧と DRVSET ピンの抵抗値の関係

表 6. DRVSET ピンの構成と電圧設定

DRVSET Pin	INTV _{CC} Voltage (V)
GND	5.0
INTV _{CC}	5.5
Resistor to GND, 43 kΩ to 100 kΩ	4 to 5.5

表 7. DRVUV ピンの構成と電圧設定

DRVUV Pin	INTV _{CC} UVLO Rising and Falling Thresholds (V)	EXTV _{CC} Switchover Rising and Falling Thresholds (V)
GND	3.8 and 3.6	4.76 and 4.54
Floating	4.4 and 4.18	5.95 and 5.56
INTV _{CC}	5 and 4.75	5.95 and 5.56

大型の FET を高周波で駆動する高入力電圧アプリケーションでは、LTC7890 の最大ジャンクション温度定格を超える可能性があります。ゲート充電電流が支配的になる INTV_{CC} 電流は、V_{IN} LDO レギュレータまたは EXTV_{CC} LDO レギュレータのいずれかでも供給できます。EXTV_{CC} ピンの電圧が切替え閾値 (DRVUV ピンで指定する 4.76V または 5.95V) 未満の場合、V_{IN} LDO レギュレータが有効になります。この場合、IC の消費電力は V_{IN} × INTV_{CC} 電流 (I_{INTVCC}) に等しくなります。効率に関する考慮事項のセクションで説明しているように、ゲート充電電流は動作周波数に依存します。ジャンクション温度を推定するには、表 2 に記載されている式を使用します。例えば、周囲温度が 70°C で EXTV_{CC} 電源を使用しない場合、LTC7890 の INTV_{CC} 電流は 48V の電源では 49mA 未満に制限されます (式 20)。

$$T_J = 70^\circ\text{C} + (49\text{ mA})(48\text{ V})(34^\circ\text{C/W}) = 150^\circ\text{C} \quad (20)$$

最大ジャンクション温度を超えないようにするために、連続導通モード (MODE = INTV_{CC}) 動作時の最大 V_{IN} における入力電源電流を確認してください。

EXTV_{CC} ピンに印加された電圧が立上がり切替え閾値を超えると、V_{IN} LDO がオフになり、EXTV_{CC} LDO がイネーブルになります。

EXTV_{CC} が立上がり切替え閾値を超えている限り、EXTV_{CC} LDO レギュレータはオンのままです。EXTV_{CC} LDO レギュレータは、INTV_{CC} 電圧を DRVSET ピンで設定された電圧にレギュレーションしようとしています。したがって、EXTV_{CC} が DRVSET ピンで設定された電圧より低い間は、LDO レギュレータはドロップアウト状態になり、INTV_{CC} 電圧は EXTV_{CC} とほぼ等しくなります。EXTV_{CC} が設定された電圧より大きい場合 (絶対最大 30V まで)、INTV_{CC} は設定された電圧にレギュレーションされます。EXTV_{CC} LDO レギュレータを使用すると、FET ドライバと制御回路の電源を、通常動作時には LTC7890 のスイッチング・レギュレータ出力 (4.7V ≤ V_{OUT} ≤ 30V) から供給させ、出力がレギュレーション範囲から外れた場合 (起動時または短絡時など) には V_{IN} LDO から供給させることができます。EXTV_{CC} LDO から規定値以上の電流が必要な場合は、EXTV_{CC} ピンと INTV_{CC} ピンの間に外付けのショットキー・ダイオードを追加します。この場合は、EXTV_{CC} ピンに 6V を超える電圧を印加しないでください。

ドライバ電流および制御電流に起因する V_{IN} 電流は V_{OUTX}/(V_{IN} × 効率) に比例するため、LTC7890 スwitchング・レギュレータ出力から INTV_{CC} に電力を供給することで、効率と熱特性を大幅に改善できます。スイッチング・レギュレータ出力が 5V~30V の場合は、EXTV_{CC} ピンを V_{OUTX} に接続します。EXTV_{CC} ピンを 8.5V 電源に接続すると、式 20 に示すジャンクション温度は 150°C から式 21 で与えられる温度まで低下します。

$$T_J = 70^\circ\text{C} + (49\text{ mA})(8.5\text{ V})(34^\circ\text{C/W}) = 84^\circ\text{C} \quad (21)$$

ただし、3.3V のような低電圧出力の場合は、出力から INTV_{CC} の電源を得るための追加回路が必要です。

以下に、EXTV_{CC} の 4 つの可能な接続方法を示します。

1. EXTV_{CC} を接地。この接続では、内部の V_{IN} LDO レギュレータが INTV_{CC} に電源を供給するため、入力電圧が高い場合、効率が最大 10% 以上低下します。
2. EXTV_{CC} を LTC7890 のスイッチング・レギュレータ出力に直接接続。この接続は、出力範囲が 5V~30V のアプリケーションにおける一般的な接続であり、最高の効率が得られます。
3. EXTV_{CC} を外部電源に接続。外部電源を利用できる場合は、FET のゲート駆動条件に適合していれば、EXTV_{CC} の電源として利用できます。この電源は、V_{IN} より高くても低くてもかまいません。ただし、EXTV_{CC} 電圧が低いほど効率が高くなります。
4. EXTV_{CC} を出力経路の昇圧回路またはチャージ・ポンプに接続。出力が 5V 未満の LTC7890 スwitchング・レギュレータの場合、EXTV_{CC} 切替え閾値以上に昇圧された出力経路の電圧に EXTV_{CC} を接続することでも、効率を改善できます。

アプリケーション情報

上側 FET ドライバ電源 (C_B)

BOOSTx ピンに接続された外付けのブートストラップ・コンデンサ (C_B) は、上側 FET のゲート駆動電圧を供給します。図 35 に示す C_B は、SWx ピンがローで下側 FET がオンになっている時に DRV_{CC} から内部スイッチを介して充電されます。内部スイッチのオン抵抗は約 7Ω です。

上側 FET がオンになると、ドライバは C_B 電圧を目的の FET のゲート・ソース間に印加し、FET をエンハンスして、上側スイッチをオンにします。スイッチ・ノード電圧 SWx は V_{IN} まで上昇し、BOOSTx ピンの電圧もこれに追従します。上側 FET がオンの時、昇圧電圧は、V_{BOOST} = V_{IN} + V_{INTVCC} であり、入力電源電圧より高くなります。C_B の値は、上側 FET の総入力容量の 100 倍にする必要があります。一般的なアプリケーションでは、C_B = 0.1μF で十分です。

最小オン時間に関する考慮事項

最小オン時間 (t_{ON(MIN)}) は、LTC7890 が上側 FET をオンにできる最小時間です。t_{ON(MIN)} は、内部タイミング遅延と FET をオンするのに必要なゲート電荷によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間の制限に接近することがあります。式 22 を満たすように注意してください。

$$t_{ON(MIN)} < (V_{OUT} / (V_{IN} \times f)) \quad (22)$$

デューティ・サイクルが最小オン時間で対応可能な値未満になると、コントローラはサイクルをスキップし始めます。出力電圧は引き続きレギュレーションされますが、リップル電圧および電流は増加します。LTC7890 の最小オン時間は約 40ns です。ただし、ピーク検出電圧が低下するにつれて最小オン時間が徐々に増加し、約 60ns になります。これは、強制連続アプリケーションで軽負荷時にリップル電流が小さい場合に、特に問題となります。このような状況でデューティ・サイクルが最小オン時間の制限値を下回ると、大きなサイクル・スキップが発生する可能性があります。それに応じて電流リップルと電圧リップルが大きくなります。

フォールト状態：電流制限とフォールドバック

LTC7890 は、出力が GND に短絡した時に負荷電流を低減する電流フォールドバック機能を備えています。出力電圧がレギュレーション・ポイントの 70% を下回ると、最大検出電圧はその最大値の 100% から 40% まで徐々に低下します。デューティ・サイクルが低い短絡状態では、LTC7890 はサイクル・スキップを開始して短絡電流を制限します。この状況では下側 FET が大半の電力を消費しますが、通常動作時よりは少なくなります。短絡リップル電流 (ΔI_{L(SC)}) は、t_{ON(MIN)} ≒ 40ns、入力電圧、およびインダクタ (L) の値によって式 23 で与えられます。

$$\Delta I_{L(SC)} = t_{ON(MIN)} \times V_{IN} / L \quad (23)$$

求める平均短絡電流 (I_{SC}) は、式 24 で与えられます。

$$I_{SC} = 40\% \times I_{LIM(MAX)} - \Delta I_{L(SC)} / 2 \quad (24)$$

ここで I_{LIM(MAX)} は最大ピーク・インダクタ電流です。

フォールト状態：過電圧保護

設定されたレギュレーション・ポイントを出力電圧が 10% を超えると、上側 FET がオフになり、過電圧状態が解消されるまでオフのままになります。過電圧状態中は、ハイサイド・ブートストラップ・コンデンサのセクションに記載の昇圧リフレクシユ・パルスの間を除き、インダクタ電流も逆転することができません。

フォールト状態：過熱保護

高温時、または内部消費電力により過剰な自己発熱が発生した場合 (INTV_{CC} から GND への短絡など)、LTC7890 は内蔵の過熱シャットダウン回路によってシャットダウンします。内部ダイ温度が 180°C を超えると、INTV_{CC} LDO レギュレータとゲート・ドライバがディセーブルになります。ダイが 160°C まで冷却されると、LTC7890 は INTV_{CC} LDO をイネーブルし、ソフト・スタート起動により動作を再開します。長期間の過大ストレス (T_J > 125°C) は、デバイスの性能を低下させたり、寿命を縮めたりする可能性があるため、避けてください。

フェーズ・ロック・ループと周波数同期

LTC7890 は PLL を内蔵しており、上側 FET のターンオンを、PLLIN/SPREAD ピンに印加される外部クロック信号の立上がりエッジに同期させることができます。

FREQ ピンを用いて自走周波数を目的の同期周波数付近に設定することにより、短時間でフェーズ・ロックを実現できます。同期する前に、PLL は FREQ ピンで設定された周波数にプリバイアスされます。その結果、PLL は微調整を行うだけで、フェーズ・ロックと同期を実現できます。必須ではありませんが、自走周波数を外部クロック周波数の近くに設定すると、PLL がロックする際に発振器が広い周波数範囲を通過するのを防ぐことができます。

外部クロックに同期している時、LTC7890 は MODE ピンでパルス・スキッピング・モードが選択されていればそのモードで動作し、そうでなければ強制連続モードで動作します。LTC7890 は、PLLIN/SPREAD ピンに印加される外部クロックが 2.2V 以上から 0.5V 以下までスイングした場合に同期が確保されます。なお、LTC7890 は 100kHz~3MHz の範囲内の外部クロック周波数にのみ同期できます。

アプリケーション情報

効率に関する考慮事項

スイッチング・レギュレータの効率（パーセント）は、出力電力を入力電力で割った値に 100% を掛けたものです。効率を制限しているのは何か、何を変更すれば最も効率が向上するのかを判定するには、個々の損失を分析することが有効です。パーセント効率は、式 25 で表されます。

$$\%Efficiency = 100\% - (L1 + L2 + L3 + \dots) \quad (25)$$

ここで、 $L1$ 、 $L2$ 、 $L3$ などとは、入力電力に対する各損失の割合をパーセンテージで表したものです。

回路内で電力を消費するすべての要素で損失が生じますが、LTC7890 回路では通常、次の 4 つが損失の大半の原因となります。すなわち、IC の V_{IN} 電流、INTV_{CC} レギュレータの電流、I_R 損失、および上側 FET の遷移損失です。

V_{IN} 電流は表 1 に示されている DC 電源電流であり、FET のドライバ電流と制御電流は含まれません。バースト・モード動作での軽負荷時を除き、 V_{IN} 電流で生じる損失は通常は小さな値 (<0.1%) で済みます。

INTV_{CC} 電流は、FET のドライバ電流と制御電流の和です。FET のドライバ電流は、パワーFET のゲート容量が切り替わることにより発生します。FET のゲートがローからハイ、そして再度ローに切り替わるたびに、一定量の電荷 (dQ) が INTV_{CC} から GND に移動します。その結果生じる dQ/時間 (dt) が INTV_{CC} から流れる電流となり、通常は制御回路の電流よりはるかに大きくなります。連続モードでは、ゲート充電電流 (I_{GATECHG}) = 周波数 (f) × (Q_T + Q_B) となります。ここで、Q_T と Q_B は、上側 FET と下側 FET のゲート電荷です。

出力から得られる電源から EXT_{VCC} を介して INTV_{CC} に電力を供給すると、ドライバおよび制御回路に必要な V_{IN} 電流は、 $V_{OUTx}/(V_{IN} \times \text{効率})$ の倍率で変化します。例えば、20V から 5V へのアプリケーションでは、INTV_{CC} 電流が 10mA の場合、 V_{IN} 電流は約 2.5mA になります。これにより、中間電流損失が、10% 以上 (V_{IN} からドライバに直接給電している場合) からわずかに数パーセントに抑えられます。

I_R 損失は、入力ヒューズ（使用している場合）、FET、インダクタ、電流検出抵抗、および入出力コンデンサ ESR の直流抵抗から推定できます。連続モードでは、 L と R_{SENSE} に平均出力電流が流れますが、上側 FET と下側 FET の間でチョッピングされます。2 つの FET の $R_{DS(ON)}$ がほぼ同じ場合、一方の FET の抵抗に L の抵抗 R_{SENSE} 、および ESR を加算するだけで、I_R 損失を求めることができます。

例えば、それぞれの $R_{DS(ON)} = 30\text{m}\Omega$ 、負荷抵抗 (R_L) = 50mΩ、 $R_{SENSE} = 10\text{m}\Omega$ 、 $ESR = 40\text{m}\Omega$ （入力容量と出力容量の両方の損失の和）の場合、全抵抗は 130mΩ となります。その結果、出力電流が 1A から 5A に増加すると、5V 出力の場合は 3%~13% の損失が生じ、3.3V 出力の場合は 4%~20% の損失が生じます。外付け部品および出力電力レベルが同じ場合、効率は V_{OUT} の 2 乗に反比例して変化します。高性能デジタル・システムでは、出力電圧をより低く電流をより大きくすることがますます必要となっており、その相乗効果により、スイッチング・レギュレータ・システムの損失項の重要性は倍増ではなく 4 倍増となります。

遷移損失は上側 FET にのみ適用され、高入力電圧（通常 15V 以上）で動作する場合にのみ顕著になります。遷移損失は、式 26 を用いて推定できます。

$$Transition Loss = 1.7(V_{IN})^2 \times I_{L(MAX)} \times C_{RSS} \times f \quad (26)$$

ここで、 C_{RSS} は逆伝達容量です。

また、銅パターンや内部バッテリーの抵抗などその他の隠れた損失により、ポータブル・システムでは更に 5%~10% の効率低下が生じる可能性があります。これらのシステム・レベルの損失を設計段階で盛り込むことが重要です。内部バッテリーとヒューズの抵抗損失は、スイッチング周波数において C_{IN} に適切な電荷を蓄積し、ESR を小さくすれば最小限に抑えることができます。25W 電源の場合は一般に、容量を最低 20μF から 40μF、ESR を最大 20mΩ から 50mΩ とすることが必要です。インダクタ・コアの損失など、その他の損失は一般には 2%未満の損失増にしかありません。

過渡応答の確認

レギュレータのループ応答を確認するには、負荷電流の過渡応答を調べます。スイッチング・レギュレータは、DC（抵抗性）負荷電流のステップへの応答に数サイクルを要します。負荷ステップが発生すると、 V_{OUTx} は $\Delta I_{LOAD} \times ESR$ に等しい大きさだけシフトします。ここで、ESR は C_{OUT} の等価直列抵抗です。更に、 ΔI_{LOAD} により C_{OUT} の充放電が始まって帰還誤差信号が発生し、レギュレータを強制的に電流変化に適応させて V_{OUTx} を定常値に回復させます。この回復期間に、 V_{OUTx} をモニタして、安定性に問題があることを示す過度のオーバーシュートやリングングが発生していないかをチェックできます。

OPTI-LOOP 補償が備わっているため、広い範囲の出力容量値および ESR 値にわたって過渡応答を最適化できます。ITH_x ピンを使用できるので、制御ループ動作を最適化できるだけでなく、DC 結合され AC フィルタを通したクロズドループ応答のテスト・ポイントも得られます。このテスト・ポイントにおける DC ステップ、立上がり時間、およびセトリングは、クロズドループ応答を正確に反映します。2 次特性が支配的なシステムと想定すれば、このピンに現れるオーバーシュートのパーセンテージから位相マージンや減衰係数を推定できます。ITH_x ピンの立上がり時間を調べることによって、帯域幅を推定することも可能です。図 52、図 54、図 56、図 58 に示す ITH_x 外付け部品は、ほとんどのアプリケーションで適切な出発点となります。

ITH_x に直列に接続された補償用の抵抗 (R_C) とコンデンサ (C_C) のフィルタにより、支配的なポールゼロ・ループ補償が設定されます。これらの値は、最終的な PCB レイアウトが完了し、特定の出力コンデンサの種類と値を決定した後、過渡応答を最適化するために多少（初期値の 0.5~2 倍）の変更が可能です。ループのゲインと位相は出力コンデンサの種類と値によって決まるので、適切な出力コンデンサを選択する必要があります。立上がり時間が 1μs~10μs で、最大負荷電流の 20%~80% の出力電流パルスによって出力電圧波形と ITH_x ピンに波形が生じ、これにより帰還ループを遮断しなくともループ全体の安定性を判断できます。

アプリケーション情報

パワーFET を出力コンデンサの両端に直接接続し、適切な信号発生器でそのゲートを駆動するのが、現実的な負荷ステップ状態を発生させる実用的な方法です。出力電流のステップ変化によって生じる初期出力電圧ステップは、帰還ループの帯域幅内に収まらない可能性があります。したがって、この信号を用いて位相マージンを決定することはできません。ITHx ピンの信号を調べる方が確実なのはこのためです。この信号は帰還ループ内にあり、フィルタを通した補償済みの制御ループ応答です。ループのゲインは R_c と共に増加し、ループの帯域幅は C_c の減少と共に増加します。 R_c を C_c の減少と同じ比率で増加させると、ゼロ周波数は同じに保たれるため、帰還ループの最も重要な周波数範囲で位相のずれが一定に保たれます。出力電圧のセトリグ挙動はクローズドループ・システムの安定性に関係しており、実際の全体的電源性能を表します。

大容量の ($> 1\mu\text{F}$) 電源バイパス・コンデンサが接続されている負荷で切替えが行われると、更に大きなトランジェントが発生します。放電したバイパス・コンデンサが実質的に C_{OUT} と並列接続された状態になるため、 V_{OUTx} が急激に低下します。抵抗の小さい負荷スイッチを短時間で駆動した場合は、どんなレギュレータでも、この出力電圧の突然のステップ変化を防げるような速度で電流の供給を変更することはできません。負荷容量 (C_{LOAD}) 対 C_{OUT} の比率が 1:50 より大きい場合は、スイッチの立上がり時間を制御して、負荷の立上がり時間を約 $C_{LOAD} \times 25\mu\text{s}/\mu\text{F}$ に制限するようにしてください。したがって、 $10\mu\text{F}$ のコンデンサでは $250\mu\text{s}$ の立上がり時間が必要となり、充電電流は約 200mA に制限されます。

設計例

設計例として、 $(V_{IN(NOMINAL)}) = 12\text{V}$ 、 $V_{IN(MAX)} = 22\text{V}$ 、 $V_{OUTx} = 3.3\text{V}$ 、 $I_{OUT} = 20\text{A}$ 、 $f = 1\text{MHz}$ と仮定します。

以下の手順でアプリケーション回路を設計します。

- 動作周波数を設定します。周波数は内部のプリセット値ではありません。したがって、FREQ ピンから GND への抵抗が必要であり、その値は式 27 で与えられます。

$$R_{FREQ} (\text{in } k\Omega) = (37 \text{ MHz}/1 \text{ MHz}) = 37 \text{ k}\Omega \quad (27)$$

- インダクタの値を決定します。最初に、インダクタのリプル電流を 30% として、値を選択します。インダクタの値を計算するには、式 28 を使用します。

$$L = \frac{V_{OUT}}{f(\Delta I_L)} \left(1 - \frac{V_{OUT}}{V_{IN(NOMINAL)}} \right) = 0.4 \mu\text{H} \quad (28)$$

リプル電流が最大値となるのは、入力電圧が最大の時です。この場合、 $V_{IN} = 22\text{V}$ でのリプルは 35% です。

- 最小オン時間の 40ns に違反していないか確認します。最小オン時間となるのは、 $V_{IN(MAX)}$ の時で、式 29 で表されます。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN(MAX)} \times f} = 150 \text{ ns} \quad (29)$$

この時間は最小オン時間の条件を満たすのに十分な値です。最小オン時間の規格を満たしていない場合、LTC7890 は入力電圧が高い時にパルスをスキップするため、結果として低周波動作になり、インダクタ電流のリプルが期待値より大きくなります。これが望ましくない場合は、周波数を低くして（それに応じてインダクタの値を調整し）、最小オン時間付近の動作にならないようにします。

- R_{SENSE} の抵抗値を選択します。インダクタのピーク電流は、最大直流出力電流にインダクタのリプル電流の半分を加えたもので、この場合は $20\text{A} \times (1 + 0.30/2) = 23\text{A}$ です。次に、 R_{SENSE} 抵抗の値は、最大電流検出閾値の最小値 ($ILIM = \text{フロート状態の場合は } 45\text{mV}$) に基づいて、式 30 で与えられます。

$$R_{SENSE} \leq (45 \text{ mV}/23 \text{ A}) \cong 2 \text{ m}\Omega \quad (30)$$

更に余裕を持たせるために、より低い値の R_{SENSE} を使用することもできます（例えば、 $1.8\text{m}\Omega$ ）。ただし、インダクタの飽和電流は $V_{SENSE(MAX)}/R_{SENSE}$ 以上の余裕を持たせます。ここで、 $V_{SENSE(MAX)}$ にはその最大値である 55mV を使用します。

- 帰還抵抗を選択します。軽負荷時の効率が要求される場合には、値の大きい帰還抵抗を用いて、帰還分圧器による電流を最小限に抑えることができます。ただし、ほとんどのアプリケーションでは、帰還抵抗分圧器に流すことが許容される電流の範囲は $10\mu\text{A} \sim 100\mu\text{A}$ （またはそれ以上）となります。帰還分圧器の電流が $50\mu\text{A}$ の場合、 $R_A = 0.8\text{V}/50\mu\text{A} = 16\text{k}\Omega$ となります。すると、 R_B は、 $R_B = R_A(3.3\text{V}/0.8\text{V} - 1) = 50\text{k}\Omega$ と計算できます。
- FET を選択します。特定のアプリケーションでの FET の性能を評価する最善の方法は、ベンチ上で回路を構築してテストすることであり、これは LTC7890 評価用ボードで容易に実行できます。ただし、アプリケーションについて根拠に基づく推定をしておく、FET を最初を選択する際に役立ちます。これは大電流、低電圧のアプリケーションであるため、 I^2R 損失の方が上側 FET の遷移損失よりも支配的になる可能性が高くなります。したがって、ゲート電荷の少ない FET ではなく、 $R_{DS(ON)}$ の小さい FET を選択して、複合損失項を最小限に抑えます。下側 FET には遷移損失が発生しないため、その電力損失は、通常 I^2R 損失が主体となります。この理由から、下側 FET を選択する際は、まず $R_{DS(ON)}$ が小さくなるように、その後、上側 FET よりゲート電荷が多くなるように選択するのが一般的です。

このアプリケーションでは大電流が流れるため、2 つの FET を並列に接続して、消費電力の均一性を高め、かつ $R_{DS(ON)}$ を低減することが必要になる場合があります。シリコン MOSFET を使用する場合、ゲート駆動電圧は 5.5V ($INTV_{CC}$) に制限されているため必ずロジック・レベル閾値の MOSFET を選択するようにします。

- 入力と出力のコンデンサを選択します。 C_{IN} は、規定の動作温度で 10A ($I_{OUT}/2$ 、余裕を持った値) 以上の RMS 電流定格に適合するものを選択します。 C_{OUT} には、出力リプルが小さくなるよう、ESR が $3\text{m}\Omega$ のものを選択します。ESR をこのレベルまで低減するには、複数のコンデンサを並列に接続することが必要になる場合があります。連続モードでの出力リプルが最大となるのは、入力電圧が最大の時です。ESR に起因する出力電圧リプル ($V_{ORIPPLE}$) は、おおよそ式 31 で与えられます。

アプリケーション情報

$$V_{ORIPPLE} = ESR \times \Delta I_L = 3 \text{ m}\Omega \times 6 \text{ A} = 18 \text{ mV p-p} \quad (31)$$

3.3V 出力では、18mVp-p はピーク to ピーク電圧リップルの 0.55%に相当します。

8. バイアス電源の部品を決定します。レギュレーション出力は EXTV_{CC} の切替え閾値以下なので、INTV_{CC} のバイアスには使用できません。ただし、別の 5V 電源が利用可能な場合は、その電源を EXTV_{CC} に接続して効率を向上させます。ソフト・スタートを 6.7ms とするために、TRACK/SSx ピンに 0.1μF のコンデンサを選択します。バイアス部品の最初の推定値として、INTV_{CC} の容量 (C_{INTVCC}) = 4.7μF、C_B = 0.1μF を選択します。
9. アプリケーション固有のパラメータを決めて設定します。軽負荷時の効率と固定周波数動作の間の兼ね合いに基づいて、MODE ピンを設定します。固定周波数、スペクトラム拡散、フェーズ・ロック周波数のいずれを選択するかに基づいて、PLLIN/SPREAD ピンを設定します。RUNx ピンは、レギュレータ動作の最小入力電圧を制御することも、RUNx ピンを V_{IN} に接続して常時オン動作にすることもできます。最初の推定値として、代表的なアプリケーションに記載してある ITHx 補償部品を使用し、過渡応答の安定性を確認してから、必要に応じて修正します。

PCB レイアウトのチェックリスト

図 51 は、連続モードで動作している同期整流式レギュレータの様々な分岐に現れる電流波形を示しています。

PCB をレイアウトする際には、IC が適切に動作するように以下のチェックリストを使用します。

1. 上側 N チャンネル FET の MTOP1 と MTOP2 (代表的なアプリケーションのセクションに記載) は、ドレインを共通にして C_{IN} で接続し、互いに 1cm 以内に配置します。大きな共振ループが形成される可能性があるため、2 つのチャンネルの入力デカップリングは分割しないでください。
2. BGUPx のパターンと BGDNx のパターンと一緒に配線し、できるだけ下側 FET ゲートの近くで接続します。ゲート抵抗を使用する場合は、抵抗の接続を FET ゲートのできるだけ近くで接続します。BGUPx と BGDNx を下側 FET ゲートから離して接続すると、LTC7890 のデッド・タイム制御回路が不正確になることがあります。TGUPx パターンと TGDNx パターン

と一緒に配線し、できるだけ上側 FET ゲートに近い位置で接続します。

3. IC の GND ピンと C_{INTVCC} の GND の帰還路は、1 つにまとめた C_{OUT} の負端子に戻す必要があります。上側 N チャンネル FET と C_{IN} コンデンサで形成される経路は、リード線とプリント基板パターンの長さを短くします。出力コンデンサの負端子と入力コンデンサの負端子をできるだけ近づけ、コンデンサを互いに隣接させて、ループから離します。
4. LTC7890 の V_{FBx} ピンの抵抗分圧器を、C_{OUT} の正端子と信号の GND に接続します。抵抗分圧器は V_{FBx} ピンの近くに配置して、高感度の V_{FBx} ノードへのノイズ結合を最小限に抑えます。帰還抵抗は、入力コンデンサからの大電流入力経路に沿って配置しないでください。
5. SENSEx⁺ と SENSEx⁺ のリード線は、PCB パターン間隔を最小にして一緒に配線します。可能な場合は、これらのパターンを高周波スイッチング・ノードから離して内層に配線します。SENSEx⁺ と SENSEx⁺ の間のフィルタ・コンデンサは、できるだけ IC に近づけます。検出抵抗にはケルビン接続を使って高精度の電流検出を確保します。
6. INTV_{CC} のデカップリング・コンデンサは、INTV_{CC} ピンと電源 GND ピンの間に IC の近くで接続します。このコンデンサは FET ドライバの電流ピークを伝送します。ノイズ性能を向上させるために、DRV_{CC} ピンと GND ピンに隣接して 1μF のセラミック・コンデンサを追加します。
7. スwitching・ノード (SW1 と SW2)、上側のゲート・ノード (TGUP1/TGDN1 と TGUP2/TGDN2)、および昇圧ノード (BOOST1 と BOOST2) を、敏感な小信号ノード、特に他チャンネルの電圧および電流の検出帰還ピンから離します。これらのノードはすべて、信号が大きく高速で移動します。したがって、これらのノードは LTC7890 の出力側に配置し、PCB パターンの占有面積を最小限にします。
8. 改良型のスター・グラウンド手法を使用します。つまり、プリント回路の入力コンデンサおよび出力コンデンサと同じ側にある低インピーダンスで広い銅領域を中心的な接地点とし、ここに INTV_{CC} デカップリング・コンデンサの基部、帰還抵抗分圧器の基部、およびデバイスの GND ピンを接続します。

アプリケーション情報

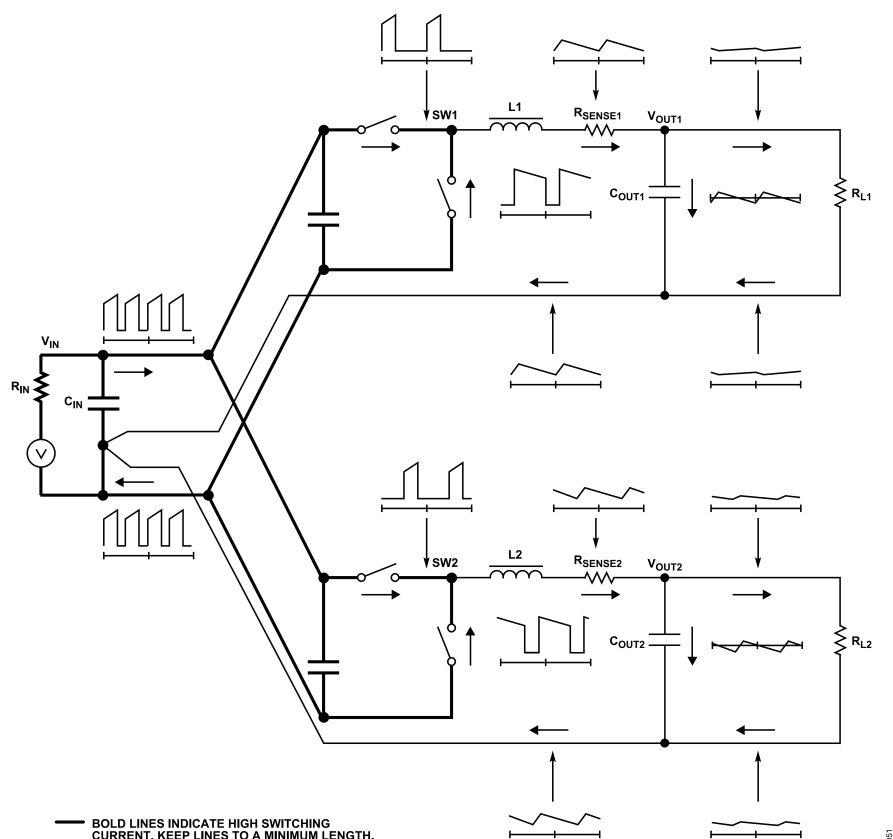


図 51. 分岐電流波形

アプリケーション情報

PCB レイアウトのデバッグ

一度に 1 つずつコントローラを起動します。回路のテスト中にインダクタの電流をモニタするには、DC~50MHz の電流プローブを使用します。出力スイッチング・ノード (SWx ピン) をモニタして、オシロスコープを内部発振器に同期させ、実際の出力電圧も調べます。アプリケーションで期待される動作電圧および電流範囲で、適切な性能が達成されていることをチェックします。動作周波数は、入力電圧範囲においてドロップアウトまで維持され、出力負荷が低電流動作閾値 (通常、バースト・モード動作では設計最大電流レベルの 25%) 未満に低下するまで維持されます。

適切に設計された低ノイズの PCB を用いれば、デューティ・サイクルのパーセンテージがサイクル間で変動することはありません。低調波の周期でデューティ・サイクルが変動する場合、電流検出入力または電圧検出入力でノイズを拾っているか、またはループ補償が適当でない可能性があります。レギュレータの帯域幅を最適化する必要がない場合、ループを過補償にすると不適切な PCB レイアウトに対処できます。各コントローラの性能を確認した後、両方のコントローラを同時にオンにしてください。特に動作が困難な領域は、一方のコントローラ・チャンネルが電流コンパレータのトリップ・ポイントに近づいている時に、もう一方のチャンネルがその上側 FET をオンにした時です。これは、内部クロックの位相により、どちらのチャンネルでもデューティ・サイクルが 50% の前後で生じ、軽微なデューティ・サイクル・ジッタが発生する可能性があります。

V_{IN} をその公称レベルから低下させ、ドロップアウト状態のレギュレータ動作を確認します。出力をモニタしながら更に V_{IN} を低下させて動作を確認し、UVLO 回路の動作をチェックします。出力電流が高い場合にのみ問題が発生するのか、それとも入力電圧が高い場合にのみ問題が発生するのかを調べます。入力電圧が高くかつ出力電流が小さい時に問題が発生する場合は、BOOSTx、SWx、TGxxx、場合によっては BGxxx と、ノイズの影響を受けやすい電圧ピンおよび電流ピンとの間に容量性結合がないかを調べます。IC のピンに隣接して、電流検出ピンの両端にコンデンサを配置します。このコンデンサは、高周波容量性結合による差動ノイズの混入の影響を最小限に抑えるのに役立ちます。入力電圧が低く電流出力負荷が大きい時に問題が生じる場合は、 C_{IN} 、上側 FET、下側 FET のそれぞれと、高感度の電流検出および電圧検出パターンとの誘導性結合を調べます。更に、これらの部品と IC の GND ピン間の、共通 GND 経路の電圧ピックアップも調べます。

電流検出のリード線を逆方向に接続した場合、その他の点ではスイッチング・レギュレータが正しく動作するため、かえって見逃すおそれのある問題が生じます。このような不適切な接続状態でも出力電圧は維持されますが、電流モード制御の利点は得られません。電圧ループの補償は部品選択に対してはるかに敏感です。この動作は、電流検出抵抗を一時的に短絡することで調べることができます。この状態でもレギュレータは出力電圧の制御を維持します。

アプリケーション情報

代表的なアプリケーション

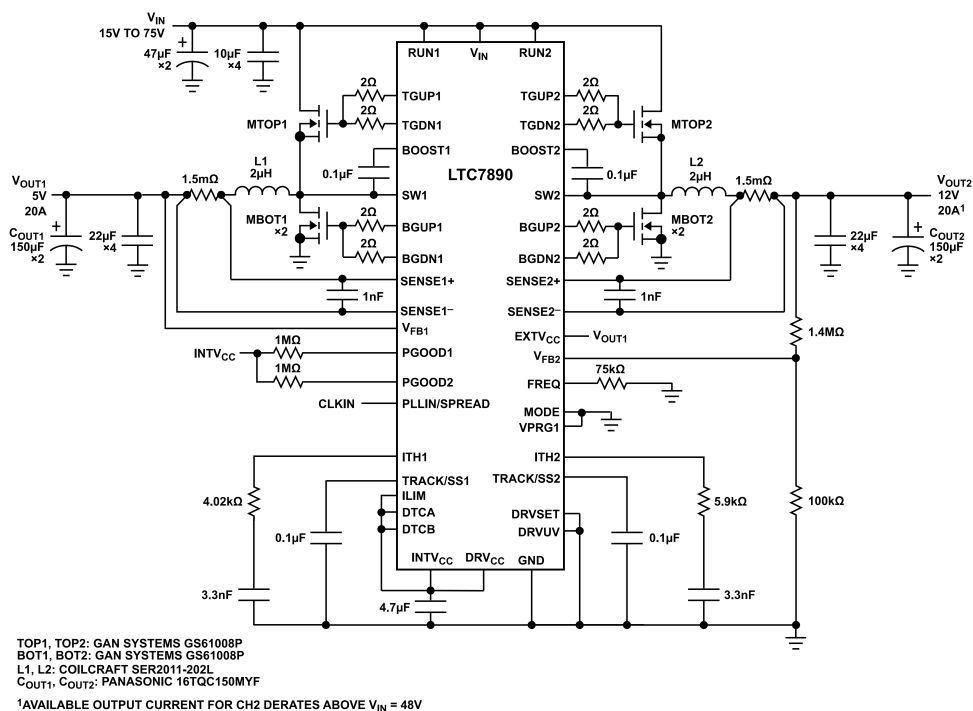


図 52. GaN FET を使用した高効率、デュアル 5V/12V、降圧レギュレータ

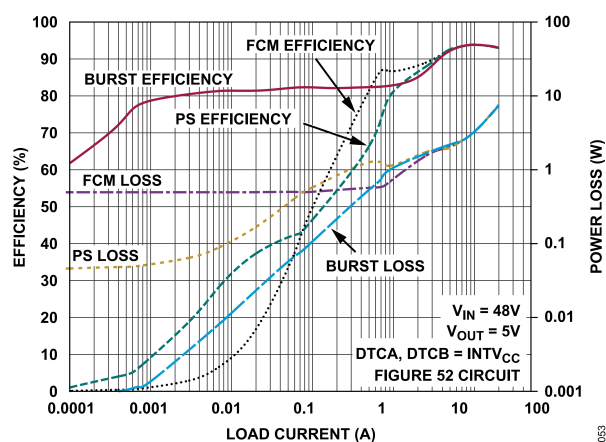


図 53. 図 52 における V_{OUT1} の効率および電力損失と負荷電流の関係

アプリケーション情報

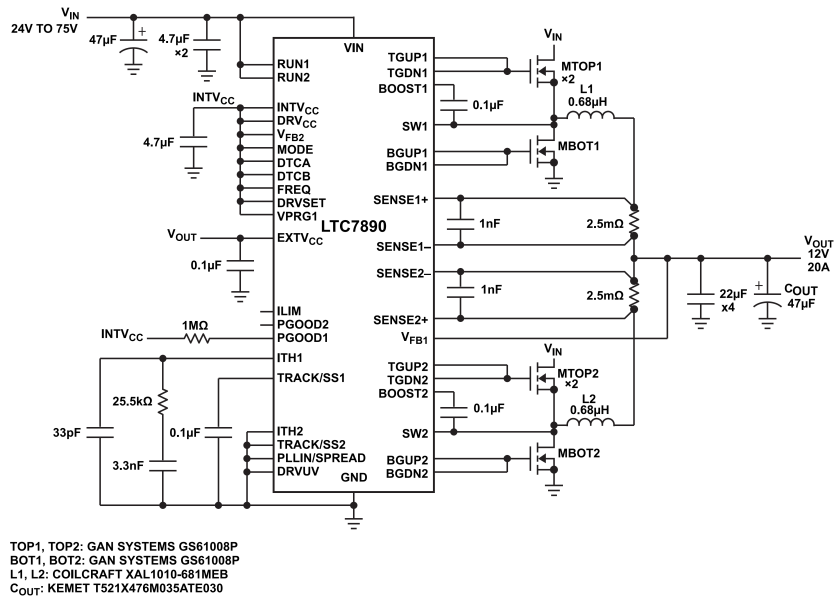


図 54. GaN FET を使用した 2 相単一出力 12V_{OUT}、20A、2.25MHz 降圧レギュレータ

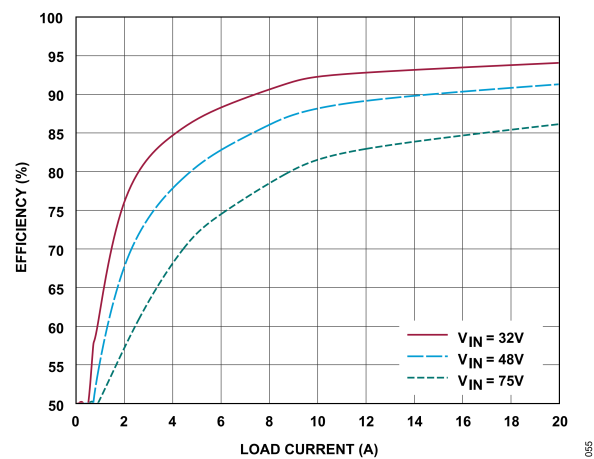


図 55. 図 54 における V_{OUT} の効率と負荷電流の関係

アプリケーション情報

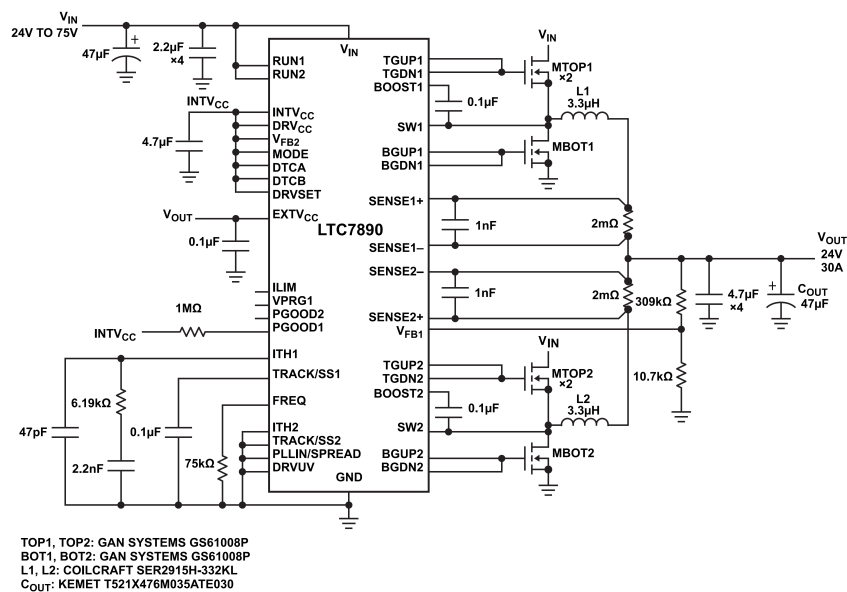


図 56. GaN FET を使用した 2 相単一出力、24V_{OUT}、500kHz 降圧レギュレータ

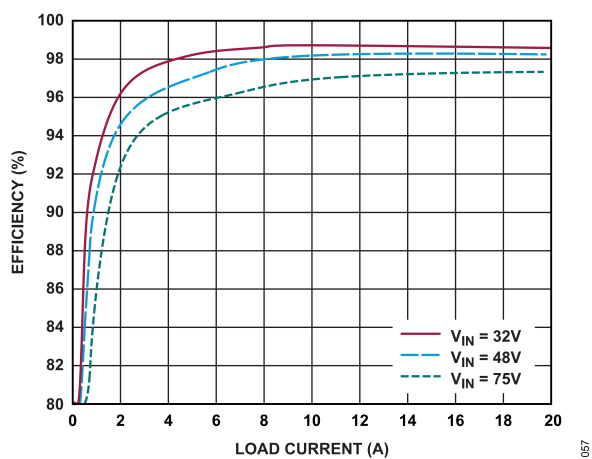


図 57. 図 56 における V_{OUT} の効率と負荷電流の関係

アプリケーション情報

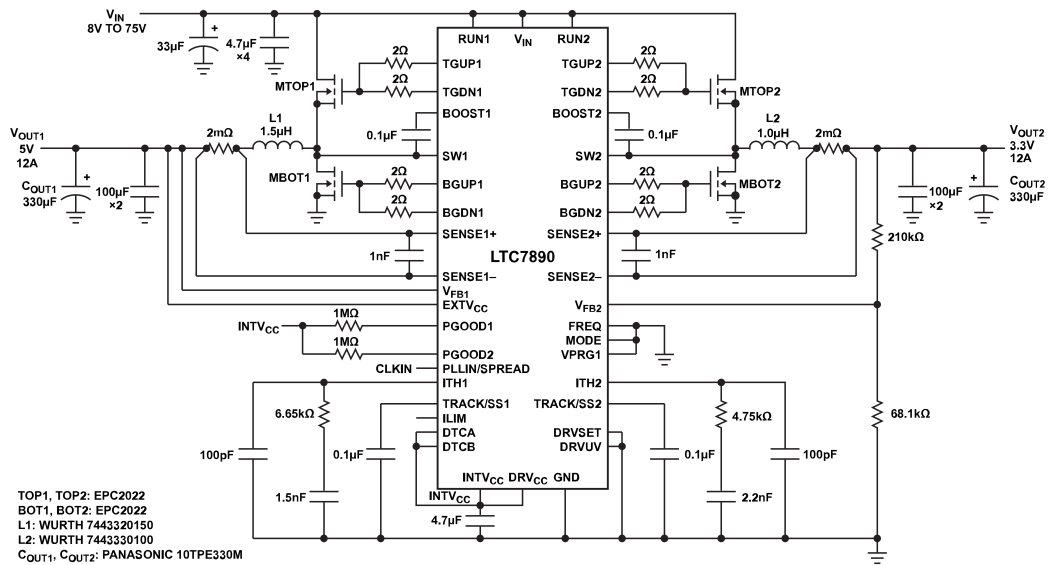


図 58. GaN FET を使用した高効率、デュアル 5V/3.3V、降圧レギュレータ

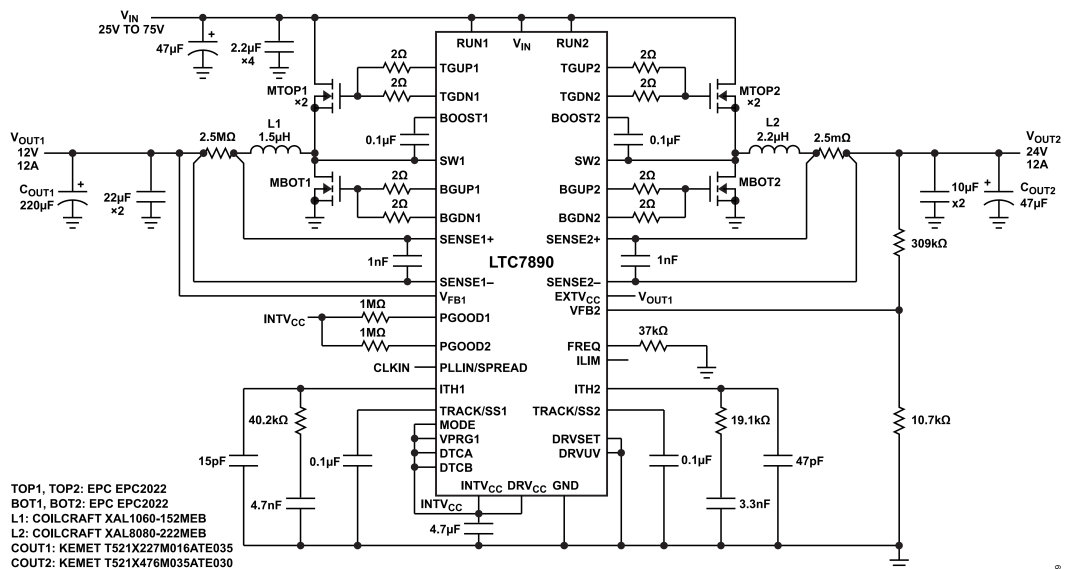


図 59. GaN FET を使用した高効率、デュアル 12V/24V、降圧レギュレータ

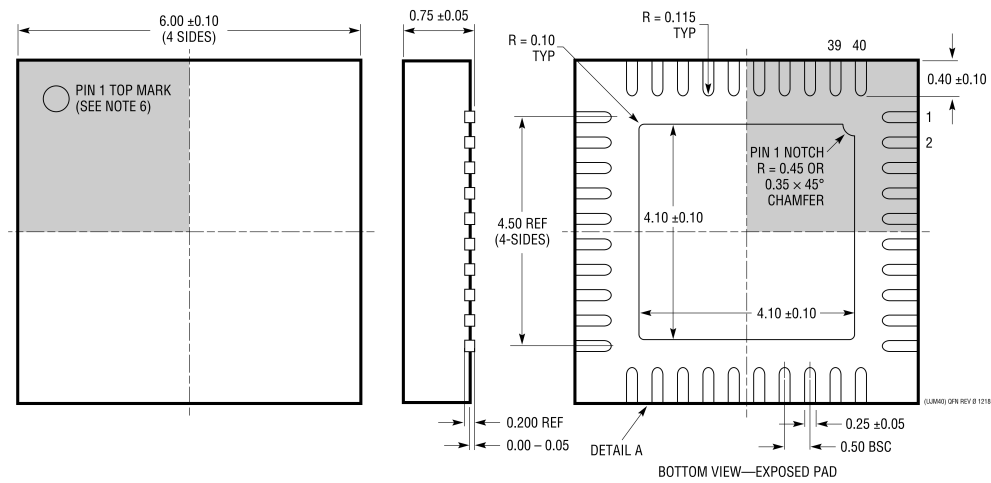
アプリケーション情報

関連製品

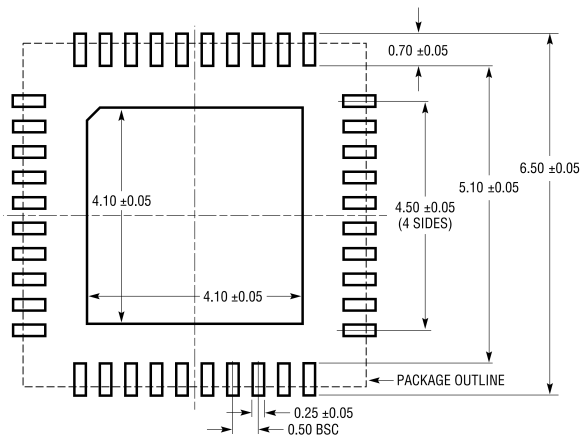
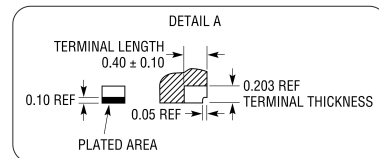
表 8. 関連製品

製品番号	概要	注釈
LTC3890	60V、低 I_Q 、デュアル、2 相降圧コントローラ	PLL 固定周波数 : 50kHz~900kHz、 $4V \leq V_{IN} \leq 60V$ 、 $I_Q = 50\mu A$ 、 $0.8V \leq V_{OUT} \leq 24V$ 、5mm × 5mm、32 ピン QFN パッケージ
LTC3892	60V、低 I_Q 、デュアル、2 相降圧コントローラ	PLL 固定周波数 : 50kHz~900kHz、 $4V \leq V_{IN} \leq 60V$ 、 $I_Q = 29\mu A$ 、 $0.8V \leq V_{OUT} \leq 99\% \times V_{IN}$ 、5mm × 5mm、32 ピン QFN パッケージ
LTC7891	100V、低 I_Q の GaN FET 用同期整流式降圧コントローラ	PLL 固定周波数 : 100kHz~3MHz、 $4V \leq V_{IN} \leq 100V$ 、 $I_Q = 5\mu A$ 、 $0.8V \leq V_{OUT} \leq 60V$ 、4mm × 5mm、28 ピン QFN パッケージ
LTC7800	60V、低 I_Q 、高周波数、同期整流式降圧コントローラ	$4V \leq V_{IN} \leq 60V$ 、 $0.8V \leq V_{OUT} \leq 24V$ 、 $I_Q = 50\mu A$ 、PLL 固定周波数 : 320kHz~2.25MHz、3 mm × 4mm、20 ピン QFN パッケージ
LTC7802	スペクトラム拡散機能を備えた 40V、デュアル、低 I_Q 、3MHz、2 相、同期整流式降圧コントローラ	$4.5V \leq V_{IN} \leq 40V$ 、 V_{OUT} : 最大 40V、 $I_Q = 12\mu A$ 、PLL 固定周波数 : 100kHz~3MHz、4mm × 5mm、28 ピン QFN パッケージ
LTC7803	スペクトラム拡散機能を備えた 40V、低 I_Q 、3MHz、同期整流式降圧コントローラ	PLL 固定周波数 : 100kHz~3MHz、 $4.5V \leq V_{IN} \leq 40V$ 、 $I_Q = 12\mu A$ 、 $0.8V \leq V_{OUT} \leq 40V$ 、3mm × 3mm、16 ピン QFN パッケージ、16 ピン MSOP
LTC7801	150V、低 I_Q 、同期整流式降圧 DC/DC コントローラ	$4.5V \leq V_{IN} \leq 140V$ 、 $150V_{PK}$ 、 $0.8V \leq V_{OUT} \leq 60V$ 、 $I_Q = 40\mu A$ 、PLL 固定周波数 : 50kHz~900kHz、4mm × 5mm、24 ピン QFN パッケージ、24 ピン TSSOP
LTC3895	150V、低 I_Q 、同期整流式降圧 DC/DC コントローラ	$4.5V \leq V_{IN} \leq 140V$ 、 $150V_{PK}$ 、 $0.8V \leq V_{OUT} \leq 60V$ 、 $I_Q = 40\mu A$ 、PLL 固定周波数 : 50kHz~900kHz、4mm × 5mm、38 ピン TSSOP (高電圧スペーシング)
LTC7818	40V、低 I_Q 、3MHz、トリプル出力降圧／降圧／同期整流式昇圧コントローラ	$4.5V \leq V_{IN} \leq 40V$ 、 V_{OUT} : 最大 40V、 $I_Q = 14\mu A$ 、PLL 固定周波数 : 100kHz~3MHz、6mm × 6mm、40 ピン QFN パッケージ

外形寸法



- NOTE:
1. DRAWING NOT TO SCALE
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE, IF PRESENT
 4. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

図 60.40 ピン・プラスチック・サイド・ウェッタブル QFN
6mm × 6mm
(05-08-1681)
単位：mm

更新：2022 年 3 月 16 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
LTC7890RUJM#PBF	-40°C to +150°C	40-Lead QFN (6 mm × 6 mm, Plastic Side Wettable)	Tube, 73	05-08-1681
LTC7890RUJM#TRPBF	-40°C to +150°C	40-Lead QFN (6 mm × 6 mm, Plastic Side Wettable)	Reel, 2500	05-08-1681

¹ すべてのモデルは RoHS 準拠製品です。

外形寸法

評価用ボード

Model ¹	Description
DC2938A	Evaluation Board

¹ DC2938A は RoHS 準拠製品です。

