

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 11 月 16 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 11 月 16 日

製品名： **LTC7050**

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所：最後のページ

関連製品の表 一番左の列

【誤】

LTC7852/LTC7252-1

【正】

LTC7852/LTC7852-1

5mm × 8mm LQFNで実現する デュアル SilentMOS スマート電力段

特長

- チャンネルあたり 70A のピーク出力電流
- SilentMOS™ スマート電力段
 - 低 EMI/EMC の Silent Switcher®2 アーキテクチャを採用
 - 超低 SW 電圧オーバーシュート
 - 最大 2MHz の周波数
- 最大 14V の V_{IN}
- 1MHz、1.8V $_{OUT}$ で最大 94% の効率
- 昇圧ダイオードおよびコンデンサを内蔵
- 正確なスイッチ電流モニタリング
- パワー MOSFET 過電流保護
- 入力過電圧およびバイアス低電圧保護
- 過熱フラグによる熱監視
- 3.3V/5V 互換 3 ステート PWM 入力
- 5mm × 8mm LQFN パッケージ

アプリケーション

- 大電流サーバーおよびワークステーション
- ネットワーク/テレコム・マイクロプロセッサ電源
- 小型フォーム・ファクタの POL コンバータ

概要

LTC®7050 デュアル・モノリシック電力段は、低抵抗ハーフブリッジ・パワー・スイッチを備えた高速ドライバと包括的なモニタリングおよび保護回路を、電気的および熱的に最適化されたパッケージに全て内蔵しています。この電力段は、適切な高周波数コントローラを使用して、最高水準の効率と過渡応答を備えた、コンパクトな高電流電圧レギュレータ・システムを形成します。

SilentMOS 技術は、第2世代の Silent Switcher 2 アーキテクチャを利用しており、高いスイッチング周波数で効率を最大化すると同時に EMI およびスイッチ・ノード電圧オーバーシュートの両方を低減しています。

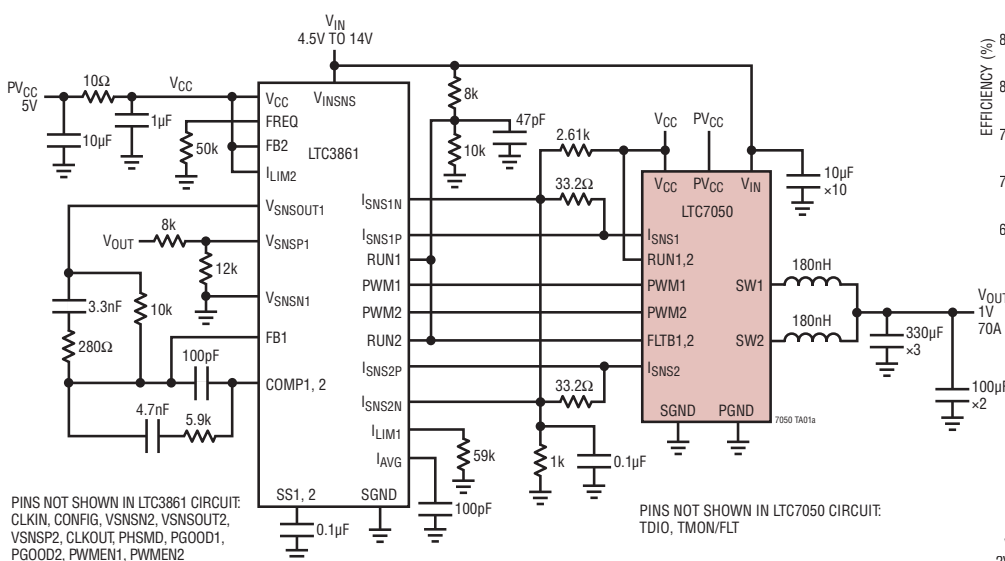
高速電流検出によりスイッチ電流情報が低遅延で提供されるため、厳しい電流バランシングと即時過電流保護が可能です。

熱強化型パッケージを通じて、デュアル 40A 定格連続出力電流機能が実現されています。

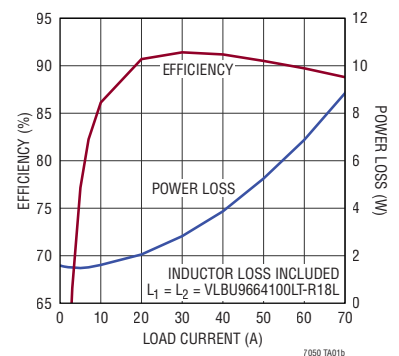
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。第 9525351 号を含む米国特許により保護されています。

標準的応用例

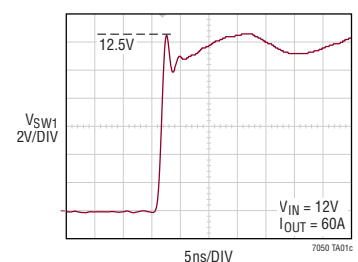
12V $_{IN}$ 、1V/70A $_{OUT}$ 、1MHz のデュアルフェーズ POL コンバータ



1MHz 時の効率と I_{OUT} の関係



1MHz 時の V_{SW} 波形



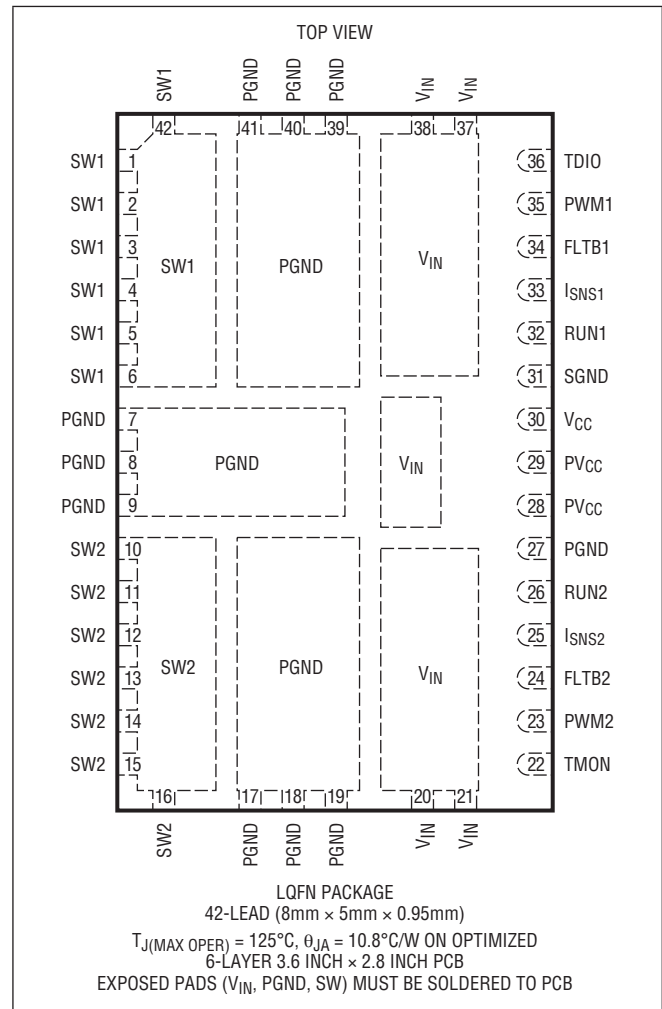
LTC7050

絶対最大定格

(Note 1)

V_{IN} DC 電圧	−0.3V~16V
V_{IN} トランジェント電圧	−0.3V~20V
SW1、SW2 の電圧	−0.3V~16V DC
SW1、SW2 の電圧 (20ns)	−2V~20V
PV_{CC} 、 V_{CC} の電圧	−0.3V~6V
RUN1、RUN2	−0.3V~($V_{CC} + 0.3V$)
PWM1、PWM2	−0.3V~($V_{CC} + 0.3V$)
I_{SNS1} 、 I_{SNS2}	−0.3V~($V_{CC} + 0.3V$)
FLTB1、FLTB2	−0.3V~($V_{CC} + 0.3V$)
TDIO 電圧／電流	−0.3V~−5mA
絶対最大ジャンクション温度	125°C
保管温度	−55°C~150°C
リフロー (パッケージ・ボディ) 温度	260°C

ピン配置



発注情報

製品番号	部品マーキング*	仕上げコード	パッド仕上げ	パッケージ タイプ	MSL レーティング	温度範囲
LTC7050AV#PBF	7050	e4	Au (RoHS)	LQFN (QFN フットプリント の積層パッケージ)	3	−40°C to 125°C

• 温度グレードは出荷時のコンテナのラベルに示されています。

* パッドまたはボール仕上げのコードは IPC/JEDEC J-STD-609 に依ります。

• * デバイスの温度グレードは出荷容器のラベルに表示されています。

製品番号末尾が PBF となっている製品は RoHS および WEEE に準拠しています。

• 推奨される LGA および BGA PCB のアセンブリおよび製造手順

• LGA および BGA のパッケージ図面とトレイ図面

電氣的特性

●は、全動作温度範囲に適用される仕様を示しています。それ以外の場合、特に明記されていない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Power Input Supply Range		●			14	V
	V_{IN} Overvoltage Lockout Threshold	V_{IN} Rising	●	14.9		15.7	V
	V_{IN} Overvoltage Lockout Hysteresis				0.4		V
	V_{IN} Overvoltage Lockout Delay	(Note 3)			1		μs
	V_{IN} Shutdown Current	$V_{IN} = 12\text{V}$, $RUN1 = RUN2 = 0$			25		μA
V_{CC}	V_{CC} Input Supply Range		●	4.5	5	5.5	V
$V_{CC(UVLO)}$	V_{CC} Undervoltage Lockout Threshold	V_{CC} Rising	●	4.05	4.15	4.25	V
V_{UVLO_HYST}	V_{CC} Undervoltage Lockout Hysteresis				0.2		V
$I_{VCC(SD)}$	V_{CC} Supply Current in Shutdown	$RUN1 = RUN2 = 0\text{V}$			14		μA
I_{VCC_active}	V_{CC} Supply Current in Active	$RUN1 = RUN2 = 5\text{V}$, $PWM = \text{Float}$			2.5		mA
PV_{CC}	Driver Input Supply Range		●	4.5	5	5.5	V
$PV_{CC(UVLO)}$	PV_{CC} Undervoltage Lockout Threshold	PV_{CC} Rising	●	3.9	4.0	4.1	V
PV_{UVLO_HYST}	PV_{CC} Undervoltage Lockout Hysteresis				0.35		V
$I_{PVCC(SD)}$	PV_{CC} Supply Current in Shutdown	$RUN1 = RUN2 = 0\text{V}$			300		μA
I_{PVCC_active}	PV_{CC} and V_{CC} Supply Current in Active	$RUN1 = RUN2 = 5\text{V}$, $PWM = \text{Float}$			2.5		mA
t_{UVLO}	Undervoltage Time Lockout Delay, from V_{CC} and PV_{CC} to SW Low	PV_{CC} , V_{CC} Rising $RUN = 5\text{V}$ $PWM = 0$ (Note 3)			1		μs
RUN Input							
V_{IH_RUN}	RUN High Threshold	RUN Rising	●	2.2	2.45	2.7	V
V_{RUN_HYS}	RUN Hysteresis				0.2		V
R_{PD_RUN}	EN Pull-Down Resistor				30		k Ω
T_{d_RUNH}	Propagation Delay for RUN Low to High	From RUN Low $\geq$ High to SW = 0, $PWM = 0$ (Note 3)			12		μs
T_{d_RUNL}	Propagation Delay for RUN High to Low	From RUN High $\geq$ Low to SW High Z, $PWM = 0$ (Note 3)				0.1	μs
PWM Input							
V_{IH_PWM}	PWM High Threshold		●			2.7	V
V_{IL_PWM}	PWM Low Threshold		●	0.8			V
V_{TR_PWM}	PWM Tri-State Range		●	1.5		2.1	V
V_{PWM_HYS}	PWM Hysteresis	Active to Tri-State or Tri-State to Active			300		mV
R_{PD_PWM}	PWM Pull-Down Resistor	To SGND			9.6		k Ω
R_{PU_PWM}	PWM Pull-Up Resistor	To V_{CC}			18.8		k Ω
$t_{PWMHI-SW}$	Delay Time, PWM High to SW High	No Fault Condition (Note 3)			10		ns
$t_{PWMLO-SW}$	Delay Time, PWM Low to SW Low	No Fault Condition (Note 3)			10		ns
$t_{Tri_Lo_Delay}$	Tri-State to Low Propagation Delay	PWM Going Low to SW Going Low			20		ns
$t_{Tri_Hi_Delay}$	Tri-State to High Propagation Delay	PWM Going High to SW Going High			30		ns
t_{Tri_Hold}	Active to Tri-State Delay Time	PWM Going to High Z to SW High Z (Note 3)			20		ns
t_{PWM_MINON}	PWM Minimum ON-Time				20		ns
V_{PWM_FLOAT}	PWM Floating Voltage		●	1.6	1.7	1.8	V

電気的特性

●は、全動作温度範囲に適用される仕様を示しています。それ以外の場合、特に明記されていない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ISNS Output						
A_{IMON}	Current Sense Gain (I_{MON}/I_{OUT})	$V_{ISNS} = 1.5\text{V}$ $I_{OUT} = 5\text{A to } 25\text{A}$, PWM = 0	8.5	10	11.5	$\mu\text{A/A}$
I_{SNS}	Overall Accuracy	$I_{OUT} = 25\text{A}$, $V_{ISNS} = 1.5\text{V}$, PWM = 0, Accuracy at Trim		250 ± 12.5		μA
		$I_{OUT} = -10\text{A}$, $V_{ISNS} = 1.5\text{V}$, PWM = 0		100		μA
V_{IMON}	IMON Operational Voltage Range		● 1.2		2.0	V
FLT Output						
$R_{FLT\text{-}PD}$	Fault Bar Open-Drain Pull-Down Resistance	FLT Low			1	k Ω
TMON/FLT Output						
A_{TMON}	Thermal Monitor Gain	$0^\circ\text{C} < T_J < 150^\circ\text{C}$ (Note 3)		8		mV/ $^\circ\text{C}$
V_{TMON}	Thermal Monitor Voltage	$T_J = 0^\circ\text{C}$ (Note 3)		0.6		V
		$T_J = 25^\circ\text{C}$	780	800	825	mV
		$T_J = 125^\circ\text{C}$ (Note 3)		1.6		V
OTP	Overtemperature Protection Accuracy	(Note 3)		150		$^\circ\text{C}$
OTP_Hys	Overtemperature Hysteresis	(Note 3)		40		$^\circ\text{C}$
I_{SOURCE_TMON}	Thermal Monitor Maximum Source Current	$T_J = 25^\circ\text{C}$, T_{MON} Forced at 0V	1			mA
I_{SINK_TMON}	Thermal Monitor Maximum Sink Current	$T_J = 25^\circ\text{C}$, T_{MON} Forced at 1.28V			60	μA
V_{Tdiode}	Tdiode Forward Voltage Drop	$T_J = 25^\circ\text{C}$, $I_F = 0.1\text{mA}$		678		mV
	Tdiode Voltage Drop Temperature Coefficient	$I_F = 0.1\text{mA}$ (Note 3)		-1.8		mV/ $^\circ\text{C}$
SW Node						
V_{SW_Float}	SW Floating Voltage	$V_{IN} = 12\text{V}$		0.7		V
R_{SW_PGND}	SW Pull-Down Resistance			1.2		k Ω
Overcurrent Limits						
$I_{_OCP}$	Positive Overcurrent Threshold	PWM = H	80	90	100	A
$I_{_NCP}$	Negative Overcurrent Threshold	PWM = L		-45		A
t_{Blank_OC}	Positive Overcurrent Blanking Time	PWM = H (Note 3)		22		nS
t_{Blank_NC}	Negative Overcurrent Blanking Time	PWM = L (Note 3)		55		nS
$I_{_ZCP}$	Positive Zero Current Threshold			5		A
$I_{_ZCN}$	Negative Zero Current Threshold			-8		A

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTC7050Aは -40°C ~ 125°C の動作ジャンクション温度範囲での動作が仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱インピーダンス定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度(T_J , $^\circ\text{C}$)は、次式を使って周囲温度(T_A , $^\circ\text{C}$)と消費電力(P_D , ワット)から計算します。

$$T_J = T_A + (P_D \cdot \theta_{JA})$$

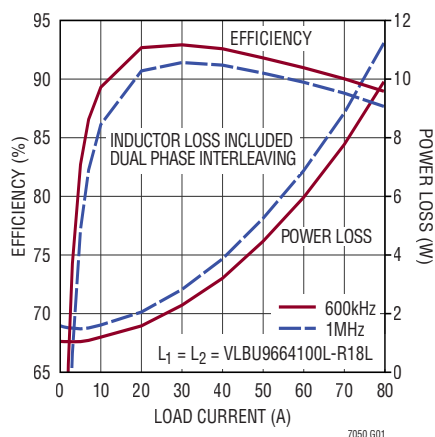
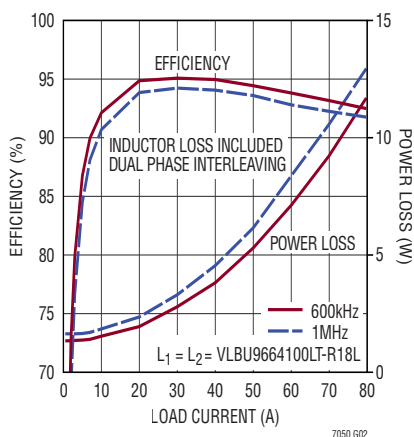
ここで、 θ_{JA} ($^\circ\text{C/W}$)はパッケージの熱抵抗です。

Note 3: このパラメータについてはテストは行われていませんが、設計により性能が確保されています。

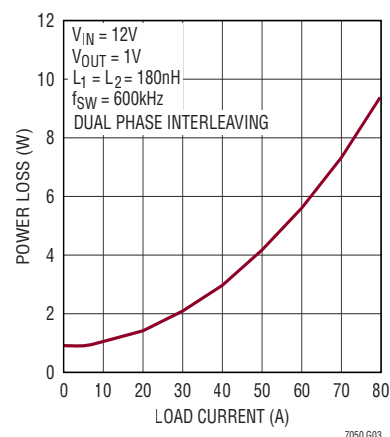
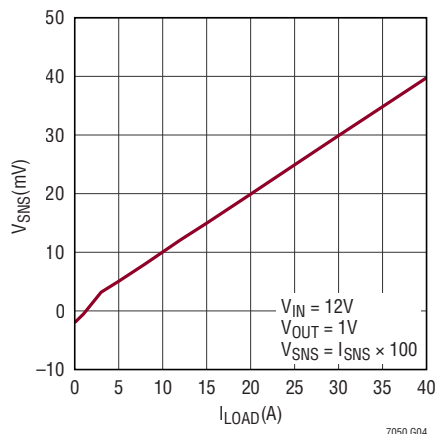
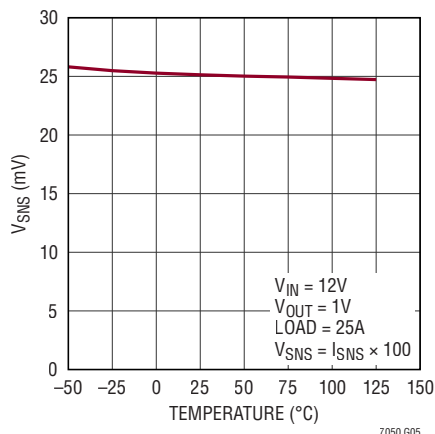
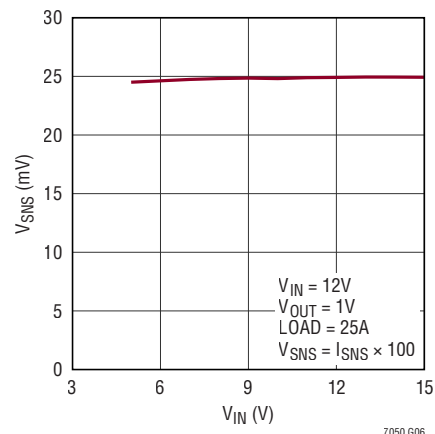
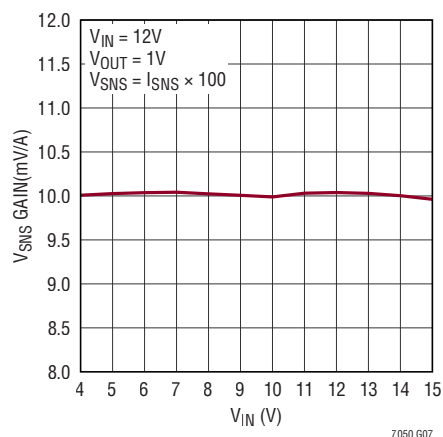
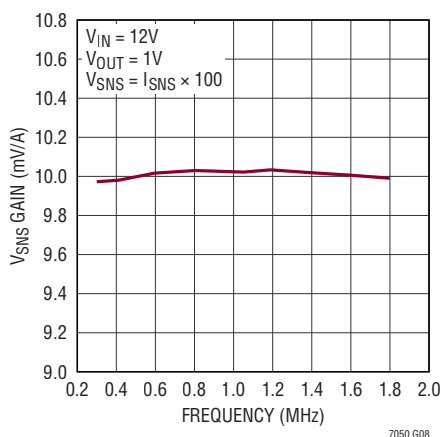
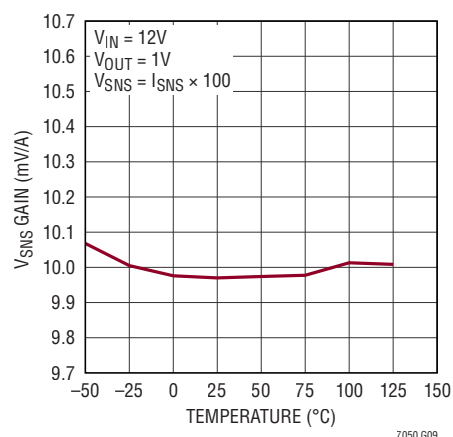
Note 4: デバイス・ピンへの電流は全て正です。デバイス・ピンからの電流は全て負です。特に指定のない限り、全ての電圧はグラウンド基準です。

Note 5: LTC7050は、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を内蔵しています。過熱保護機能が作動した場合、ジャンクション温度は 125°C を超過しています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ 。12V_{IN}/1V_{OUT}の効率12V_{IN}/1.8V_{OUT}の効率

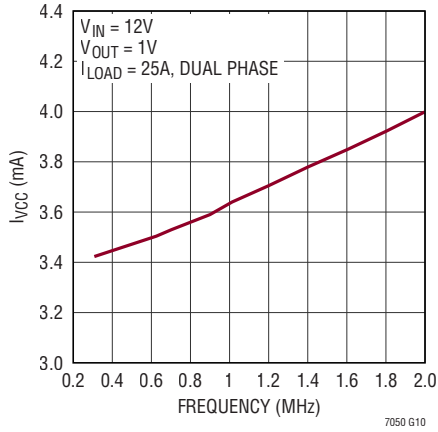
消費電力と負荷の関係

 V_{SNS} と I_{LOAD} の関係 V_{SNS} と温度の関係 V_{SNS} と V_{IN} の関係 V_{SNS} ゲインと V_{IN} の関係 V_{SNS} ゲインと周波数の関係 V_{SNS} ゲインと温度の関係

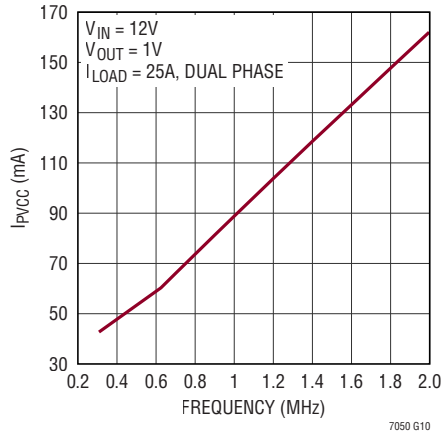
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ 。

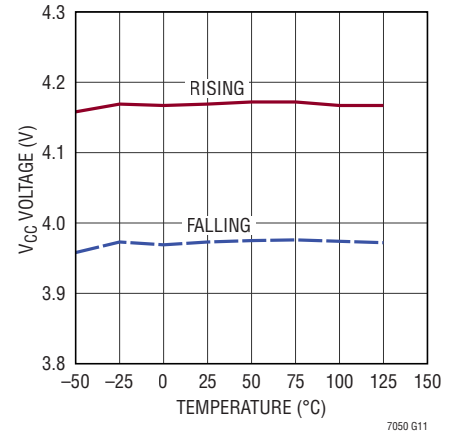
I_{VCC} と周波数の関係



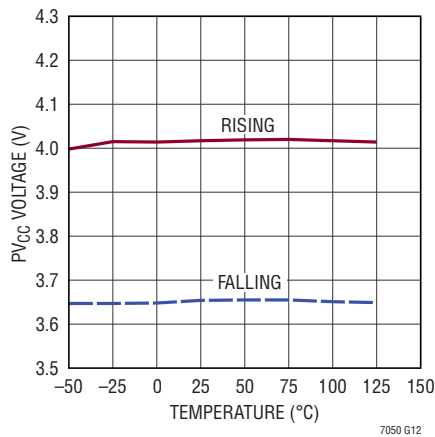
I_{PVCC} と周波数の関係



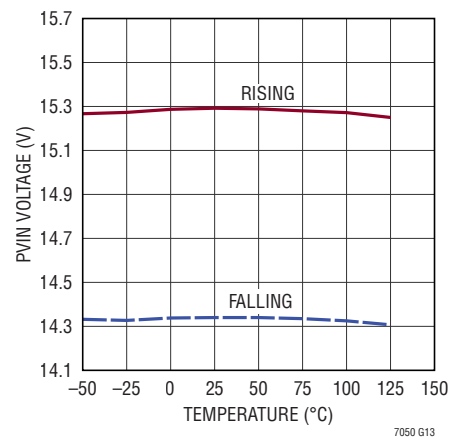
V_{CC} UVLOと温度の関係



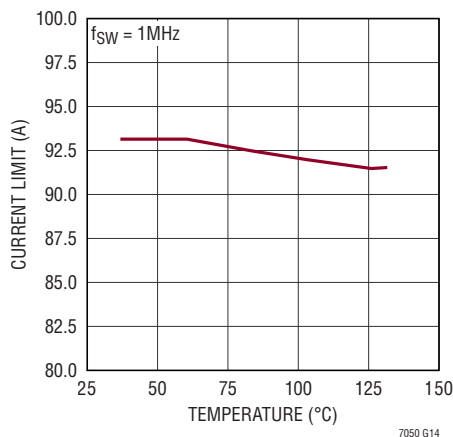
PV_{CC} UVLOと温度の関係



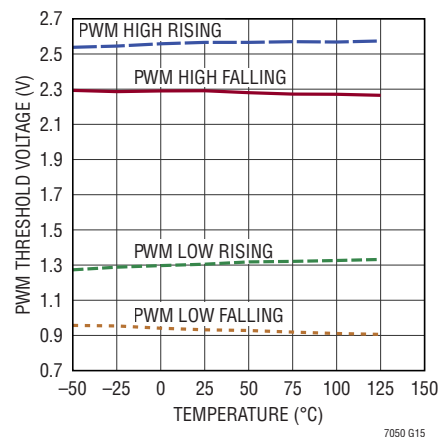
PV_{IN} OVLOと温度の関係



電流制限値と温度の関係



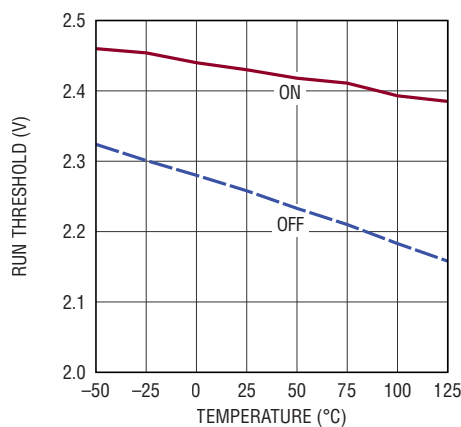
PWM 閾値と温度の関係



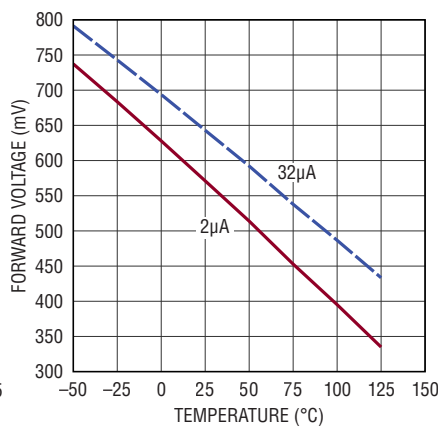
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ 。

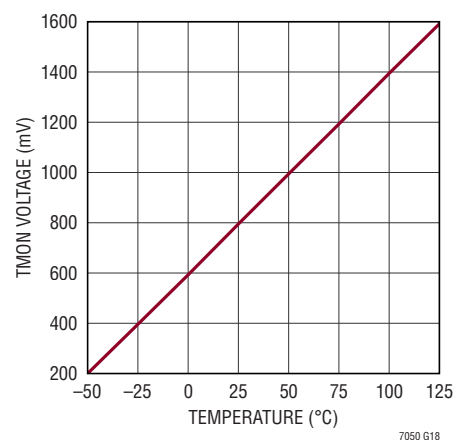
RUN 閾値と温度の関係



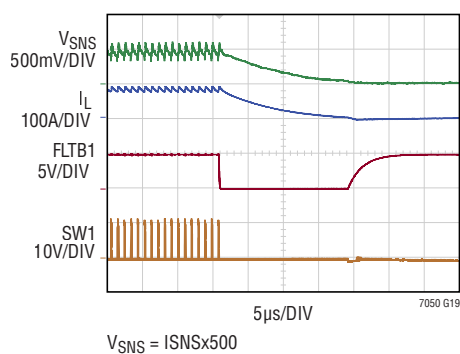
TDIO の順方向電圧



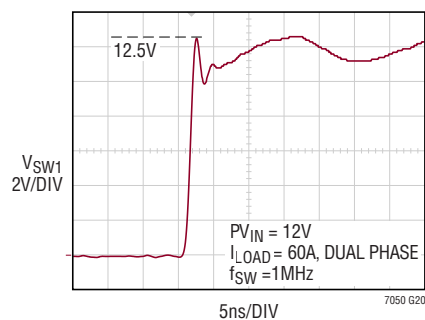
TMON と温度の関係



過電流保護



スイッチング時の立上がりエッジ



ピン機能

RUN1、RUN2：動作ピン。このピンがハイに駆動されているとデバイスがイネーブルされます。RUNがローの場合はSWノードが高インピーダンス状態になります。

PWM1、PWM2：PWM入力ピン。RUNがハイに駆動されている場合、SWの公称動作はこのピンのハイ、ロー、高インピーダンスの各状態に追従します。公称3VのCMOSロジック・レベルは3V～5VのCMOS信号で駆動できます。高インピーダンス状態の場合、抵抗分圧器により電圧が1.7Vに維持されます。

ISNS1、ISNS2：電流検出ピン。このピンは、SWノードの電流の1/100,000に相当する瞬時電流をソース(正の場合)またはシンク(負の場合)します。

FLT B1、FLT B2：フォルト・バー・ピン。このオープンドレイン・ピンは、チップやチャンネルがOCやOCNなどのフォルト状態になった場合に、プルダウンされます。

TMON/FLT：温度モニタ／フォルト・ピン。このピンは、SGNDを基準として、8mV/°Cのゲイン時に0°C～150°Cのダイ温度に対応して0.6V～1.8Vの電圧を発生します。150°Cを超える場合は、このピンはハイにプルアップされ、過熱(OT)フォルトを指示します。このピンの電流シンク機能は限定されています。そのため、最高温度および単一OTフォルト指示に対し、複数の同様のピンを連結できます。

TDIO：温度ダイオード・ピン。このピンは、ダイ温度を測定するために使用するレファレンス・ダイオードを介してSGNDに接続されています。

PVCC：5Vドライバ電源。このピンは、ロー・サイドのゲート・ドライバに直接給電し、ハイ・サイドのゲート・ドライバには、SWにある内蔵ブートストラップ電源を通じて給電します。このピンは、10μFのセラミック・コンデンサを使用しチップのできる限り近くでPGNDにバイパスします。

VCC：5V電源。このピンは、1μFのセラミック・コンデンサを使用しチップのできる限り近くでSGNDにバイパスします。

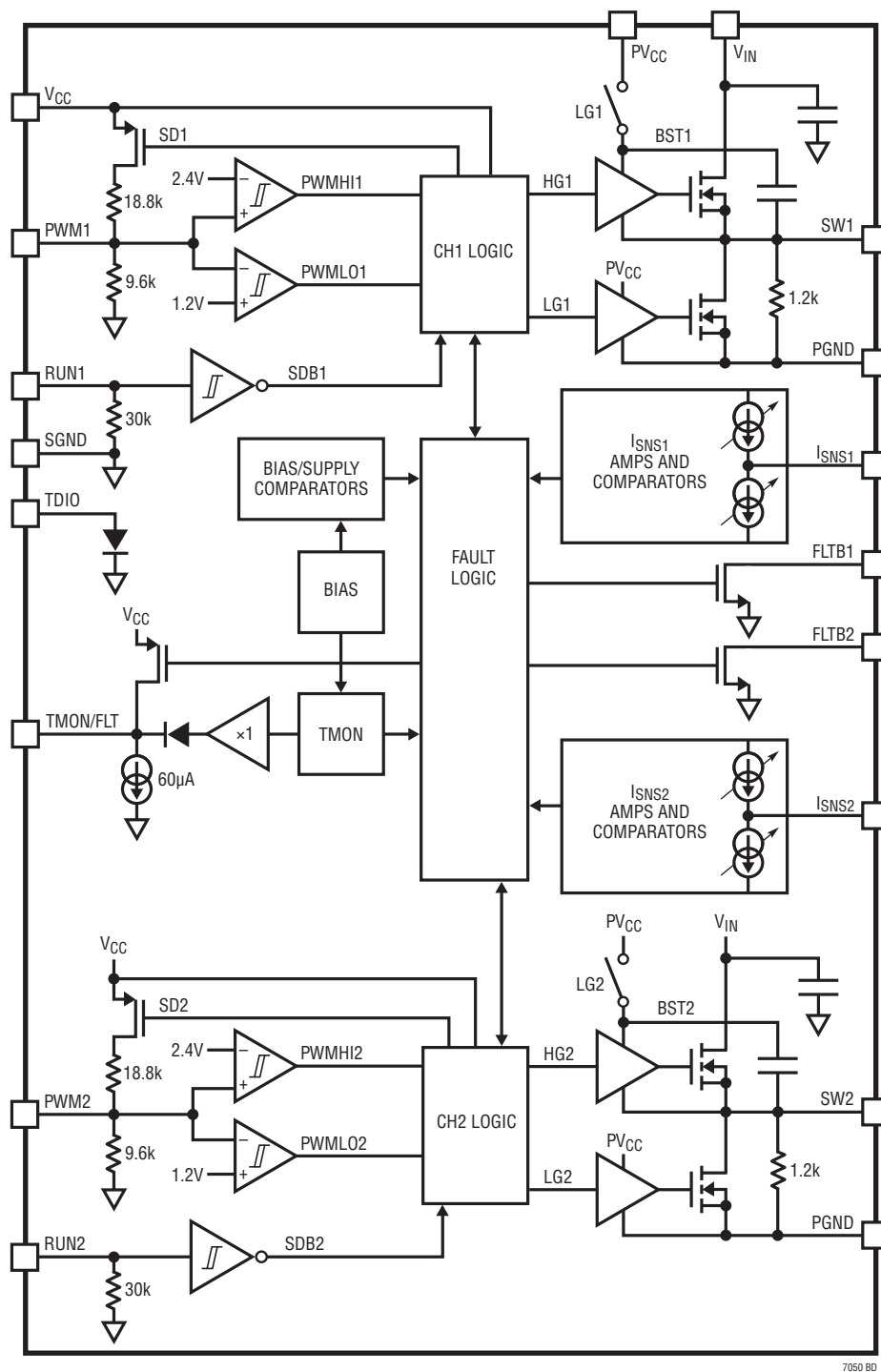
VIN：出力段電源。このピンは、ハイ・サイドNチャンネルFETを通じてSWに接続されています。

SW1、SW2：電力段スイッチ・ノード。電力段の出力であるこのノードは、ハイ・サイドNチャンネルFETを通じてVINに接続され、ロー・サイドNチャンネルFETを通じてPGNDに接続されています。

PGND：出力段グラウンド。このピンは、ロー・サイドNチャンネルFETを通じてSWに接続されています。ドライバへの給電も行います。

SGND：回路のグラウンド。

ブロック図



動作

メイン制御アーキテクチャ

LTC7050は、DC/DC降圧アプリケーションを目的とした、デュアルチャンネルまたは2相のドライバ内蔵ハーフブリッジ・パワー MOSFET 段です。ロジックレベル・コントローラがPWM 3ステート制御出力を供給する、同期スイッチング・アーキテクチャで使用されるよう、設計されています。LTC7050の遷移閾値と3入力状態の間の関係を図1に示します。

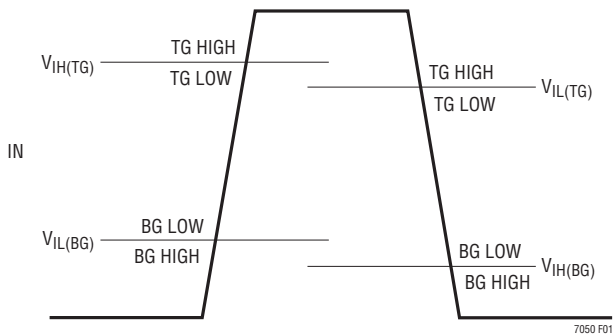


図1.3 ステート入力動作

通常動作の場合、PWMHIがハイ・サイドFETをオンにし、PWMLOがロー・サイドFETをオンにします。SW ノードは通常 10ns の遅延でPWMピンに追従します。SWがPGNDからVINに増加するまで1ns未満のデッド・タイムがあり、SWの立下がり後は通常 3ns のデッド・タイムがあります。

ハイ・サイドFETドライバは、内蔵のスイッチおよびコンデンサを通じてSWに至る内部BSTノードから給電されます。これにより、通常のダイオードで実現できるよりも低いドロップアウトと高周波数動作が可能となります。

電流検出

リアルタイム電流検出アンプは、SW電流をスケールダウンした電流を供給します。PWMHIまたはPWMLOの間、ISNSピンはその時のSW電流の1/100,000に相当する電流を、SWの電流方向に従いソースまたはシンクします。

関連する電流コンパレータは、ハイ・サイドFETの正の過電流(OC)状態およびロー・サイドFETの負の過電流(OCN)状態を示すフラグを発します。両FETのゼロ電流も関連する電流コンパレータで検出されます。

温度モニタと過熱フォルト

通常、TMONは0°C~150°Cのダイ温度に対応して0.6V~1.8Vの電圧を出力します。TMONの電圧は次式で計算されます。

$$V_{TMON} (V) = 800mV + (T_J (^{\circ}C) - 25^{\circ}C) \cdot (8mV/^{\circ}C)$$

図2に、V_{TMON}とダイ温度の関係を示します。

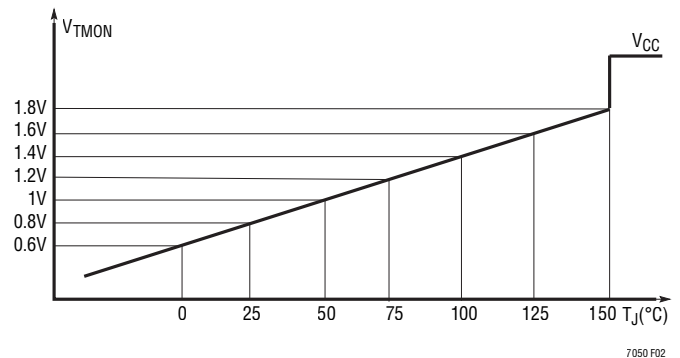


図2. V_{TMON}とダイ温度の関係

TMONは、電流をソース可能でありながらシンク能力には制限があるようなアンプによって駆動されています。そのため、複数のTMONピンを並列化しても、示される最高温度に対応できます。加熱は150°C(代表値)でトリガされます。これによってTMONピンはハイにプルアップされ、V_{CC}の値となります。加熱フォルトは、内部温度が閾値より20°C(代表値)低下するとクリアされます。

TDIOピンは内部でP/Nジャンクション・ダイオードのアノードに接続されており、ダイオードのカソードはSGNDに接続されています。これは、LTC3884-1などのコントローラのダイ温度の代替測定法を提供するもので、直接V_{BE}法またはΔV_{BE}法を使用してダイ温度を測定できます。

電圧フォルト状態

V_{CC}またはPV_{CC}がUVLOの場合、あるいは、VINがOVLOの場合、SWはPWMに応答せず、トップFETとボトムFETのいずれもオフになります。

BSTとSW間の電圧がUVLOの場合は、PWMLOが供給されBSTとSWの間の電圧が十分に再充電されるまで、SWはPWMHIに応答しません。

動作

過電流フォルト状態

ハイ・サイドFETがオンの場合、その時点のSW電流が93A (SWから供給される正味電流)を超えると、過電流(OC)コンパレータが動作し、内部OC状態をセットします。これが生じると、PWMのピン状態に関係なく、ハイ・サイドFETがオフになり、ロー・サイドFETがオンになります。これはSW電流が5Aに減少するまで続き、この時点でOC状態がリセットされます。通常のPWMHIとハイ・サイドFETの動作およびPWMLOとロー・サイドFETの動作は再開します。

ロー・サイドFETがオンの場合、その時点のSW電流が-45A (SWに供給される正味電流)未滿になると、OCNコンパレータが動作します。これが生じると、PWMのピン状態に関係なく、ロー・サイドFETがオフになり、ハイ・サイドFETがオンになります。これはSW電流が-8Aに増加するまで続き、この時点でOCN状態がリセットされます。通常のPWMHIとハイ・サイドFETの動作およびPWMLOとロー・サイドFETの動作は再開します。過電流状態のトリガとリセットの様子を図3に示します。

OCとOCNのいずれの状態でも、FLTBBはプルダウンされます。

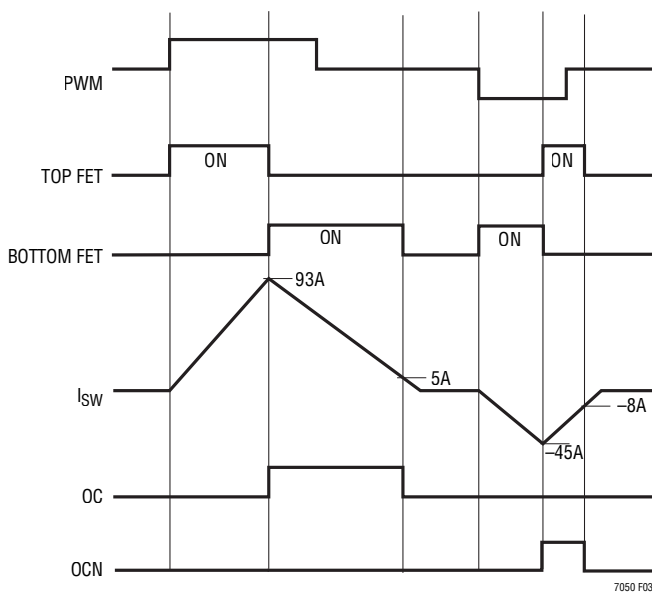


図3. 過電流状態

アクティブ・ダイオード・モード

大電流($>5A$)が V_{IN} からSWに向けてトップFETを流れている状態でPWMがハイから高インピーダンス状態になると、トップFETがオフ、ボトムFETがオンになり、電流は徐々に低下するまで自由に流れます。大電流($\geq 8A$)がSWから V_{IN} に向けてトップFETを流れている状態でPWMがハイから高インピーダンス状態になると、トップFETは電流が徐々に低下するまでオフにはなりません。

同様に、大電流($\geq 8A$)がSWからPGNDに向けてボトムFETを流れている状態でPWMがローから高インピーダンス状態になると、ボトムFETがオフ、トップFETがオンになり、電流は徐々に低下するまで自由に流れます。大電流($>5A$)がPGNDからSWに向けてボトムFETを流れている状態でPWMがハイから高インピーダンス状態になると、ボトムFETは電流が徐々に低下するまでオフにはなりません。

アプリケーション情報

電源シーケンス

LTC7050の V_{CC} と PV_{CC} は、 V_{IN} が加えられる前にバイアスしておき、 V_{IN} が消失してからパワーダウンする必要があります。RUNピンの電圧は V_{CC} の電圧を超えることのないようにしてください。LTC7050のバイアスを正しく行い、LTC7050のRUNピンをプルアップしてからPWMコントローラをイネーブルするようにしてください。

フォルト管理

LTC7050のフォルト管理とシャットダウン・モードを表1に示します。オープンドレイン出力FLTBピンをコントローラのRUNピンに接続すれば、BST・SW間低電圧フォルトの場合を除き、LTC7050がフォルト状態になった場合にコントローラが起動してコンバータを再始動させることのないようにできます。

表1. フォルト管理とシャットダウン・モードの概要

	FLTB	RESPOND TO PWM	TMON
V_{IN} OVLO	Low	No, Both FETs Off Until $I_{SW} = 0$	Report Temperature
V_{CC} UVLO	Low	No, Immediate Off	Floating
PV_{CC} UVLO	Low	No, FETs Off Until $I_{SW} = 0$.	Report Temperature
Positive OC	Low	No, Top FET Immediate Off	Report Temperature
Negative OC	Low	No, Bottom FET Immediate Off	Report Temperature
Overtemperature	Low	Yes	Pull Up to V_{CC} .
BST-to-SW UV	High	Ignore PWMHI	Report Temperature
RUN Shutdown	Low	No, Both FETs Off	Floating

電流検出および電流制限

I_{SNS} では、SW電流の1/100,000の電流が流入／流出します。 I_{SNS} 電流をリアルタイムのSW電流を反映する差動電圧信号に変換できるよう、コントローラの最大電流検出信号範囲に応じて適切な抵抗を選択してください。この抵抗は、電流シンク／ソース能力のある低インピーダンスのコモンモード電圧でバイアスする必要があります。最大の正電流および負電流時に I_{SNS} ピンの電圧が仕様規定された範囲にあり、ゲイン(I_{SNS}/I_{SW})が一定となるようにしてください。

LTC7050の一般的なアプリケーション回路を本データシートの1ページ目に示します。LTC7050は、高周波数で高電流電圧のレギュレータ・アプリケーション用に最適化されてい

ます。外付け部品の選択は負荷条件によって大きく左右されますが、最初にスイッチング周波数 f_{SW} とインダクタLを選択します。周波数の選択のセクションとインダクタの選択のセクションをガイドとして参照してください。 I_{SNS} の抵抗は、電流制限値を設定するために選択します。

高周波数大電流アプリケーションの場合、 I_{SNS} 信号にカップリングしたスイッチング・スパイクが重負荷範囲での読出しオフセットの原因となる場合がありますが、ゲイン $\Delta I_{SNS}/\Delta I_{SW}$ には影響しません。 I_{SNS} ピンとGNDの間にオプションで抵抗を使用すると、オフセットを軽減できます。抵抗値 R_{OS} は、 I_{SNS} ピンの電圧(GND基準)を観測されたオフセット電流で割ることで計算できます。この抵抗値は、スイッチング周波数に応じて異なる場合があります。この変化は、内部の過電流保護および負過電流保護には影響しません。

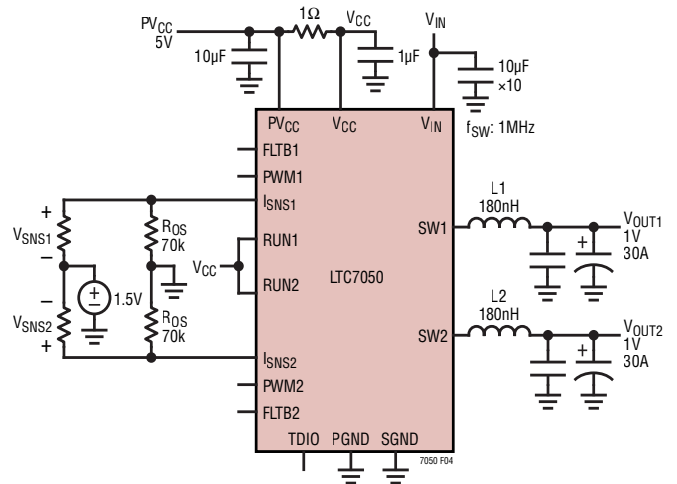


図4.

周波数の選択

スイッチング周波数の選択は、効率と部品サイズの間の兼ね合いによって決まります。低い周波数で動作させるとFETのスイッチング損失が減るので効率が改善されますが、出力リップル電圧を低く保つには、インダクタンスや容量の値を大きくする必要があります。スイッチング周波数を選択する場合、最大入力電圧時のハイ・サイドのオン時間がLTC7050の最小オン時間 $t_{ON(MIN)}$ (LTC7050がトップFETをオンにできる最小の時間間隔)より長くなるようにしてください。この時間は、内部タイミング遅延、パワー段のタイミング遅延、トップFETをオンにするのに必要なゲート電荷によって決まります。デューティ・サイクルの低いアプリケーション

アプリケーション情報

ではこの最小オン時間制限に近付く可能性があります(式1 参照)。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN} \cdot f_{SW}} \quad (1)$$

入力コンデンサ

LTC7050は、低インピーダンスの電源プレーンを介して V_{IN} 電源に接続する必要があります。セラミック入力コンデンサをパッケージのできるだけ近くに配置します。コンデンサのサイズと数は、以下のように計算されるリップル電流に伴う温度上昇に適したものにしてください。

降圧コンバータの場合、スイッチングのデューティ・サイクルは式2によって見積もることができます。

$$D = \frac{V_{OUT}}{V_{IN}} \quad (2)$$

各出力のインダクタのリップル電流を考えなければ、入力コンデンサのRMS電流は式3で概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで η は電源セクションの推定効率です。

インダクタの選択

必要な入力電圧と出力電圧が与えられると、インダクタ値と動作周波数 f_{SW} から直接、インダクタのピークtoピーク・リップル電流が決まります(式4)。

$$I_{RIPPLE} = \frac{V_{OUT}}{V_{IN}} \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \cdot L} \right) \quad (4)$$

リップル電流が小さくなると、インダクタのコア損失、出力コンデンサのESR損失、および出力電圧リップルが減少します。このように、周波数が低くリップル電流が小さい場合に最も効率の高い動作が得られます。ただし、これを達成するには大きなインダクタが必要になります。妥当な出発点は、 $I_{OUT(MAX)}$ の約40%のリップル電流を選択することです。最大リップル電流は、入力電圧が最大のときに発生すること

に注意してください。リップル電流が仕様規定された最大値を超えることがないようにするため、インダクタは式5に従って選択します。

$$L \geq \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \cdot I_{RIPPLE}} \right) \cdot \frac{V_{OUT}}{V_{IN}} \quad (5)$$

インダクタンスの値が定まったら、インダクタの種類を選択する必要があります。インダクタ値が同じ場合、コア損失はコア・サイズではなく、選択したインダクタンスに大きく依存します。インダクタンスが増加すると、コア損失は減少します。しかし、インダクタンスを増加させるには巻き線数を増やす必要があるため、銅損失が増加します。フェライトを使用した設計ではコア損失が極めて小さく、高いスイッチング周波数に適しているため、設計目標を銅損失と飽和の防止に集中することができます。フェライト・コア材料の飽和はハードです。つまり、ピーク設計電流を超えるとインダクタンスが急激に低下します。その結果、インダクタのリップル電流が急激に増加し、それに伴い出力電圧リップルも増加します。コアは決して飽和させないでください。

出力コンデンサ

LTC7050は、高周波数スイッチングおよび低出力電圧リップル・ノイズに適した設計となっています。 C_{OUT} で定義されるバルク出力コンデンサは、出力電圧リップルとトランジェントに関する条件を満たすために、等価直列抵抗(ESR)が十分に小さいものを選択します。 C_{OUT} には、低ESRのタンタル・コンデンサ、低ESRのポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。1MHzの場合、出力容量の代表的な範囲は500 μ F~1000 μ Fです。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となる場合があります。

バイパス処理とグラウンディング

LTC7050では、スイッチングが高速(ナノ秒の単位)でAC電流が大量(アンペアの単位)のため、 PV_{CC} および V_{CC} の各電源に対してバイパス処理を適切に行うことが必要です。部品配置とPCBパターン配線に慎重さを欠くと、過度なリンギングやアンダーシュート/オーバーシュートが生じるおそれがあります。LTC7050から最高の性能を引き出すためには次の手順を実行します。

アプリケーション情報

- V_{CC} ピンとSGNDピンの間、および、 PV_{CC} ピンとPGNDピンの間にバイパス・コンデンサをできるだけ近付けて取り付けます。パターンはできるだけ短くして、リード線のインダクタンスを低減します。
- 低インダクタンス、低インピーダンスのグラウンド・プレーンを使用して、グラウンドの電圧降下や浮遊容量を低減します。グラウンドの電圧降下があると信号の完全性が損なわれます。
- 電源／グラウンドの配線は慎重に設計します。大量の負荷スイッチング電流がどこから流れ、どこに流れていくかを把握してください。入力ピンと出力パワー段のグラウンドのリターン・パスは別々にしてください。
- LTC7050のパッケージ裏面にある露出パッドを基板にハンダ処理してください。裏面の露出パッドと銅箔基板との間で熱的に十分な接触を確保できないと、熱抵抗がはるかに大きくなります。

PCBレイアウト

LTC7050は電力密度が大きく、高速高周波数動作であるため、性能を最大限に発揮するには、PCBのレイアウトと構成が適切であることが重要です。

最低限、PCBは4層構造とし、少なくともトップ層とボトム層には2オンスの銅を使用してください。トップ層とボトム層では、 V_{IN} 領域とPGND領域ができるだけ大きな連続面であることが必要です。少なくとも1つの内部層(できれば2番目の層)は、連続したPGND面である必要があります。

パッケージの露出パッド下には銅の充填ビアを使用し、トップPCB層とボトムPCB層を接続します。 $\theta_{JCbottom}$ は 1°C/W 未満です。銅充填ビア以外の場合、 θ_{JA} は大きく悪化します。

インダクタのパッドはパッケージにできるだけ近付けて配置してください。パターンはできるだけ短く幅広にします。可能ならば、SWのパターンは敏感なパターンに影響しないよう、2番目の層を共用します。

推奨PCBレイアウトを図5bに示します。

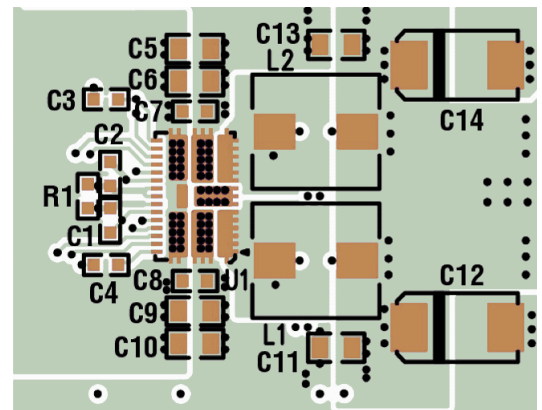
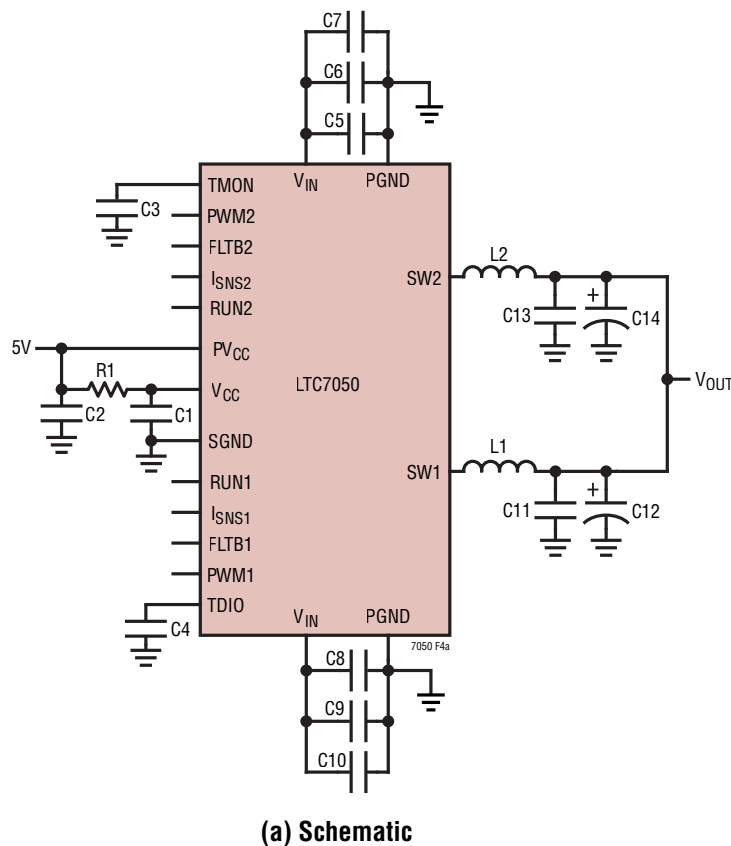
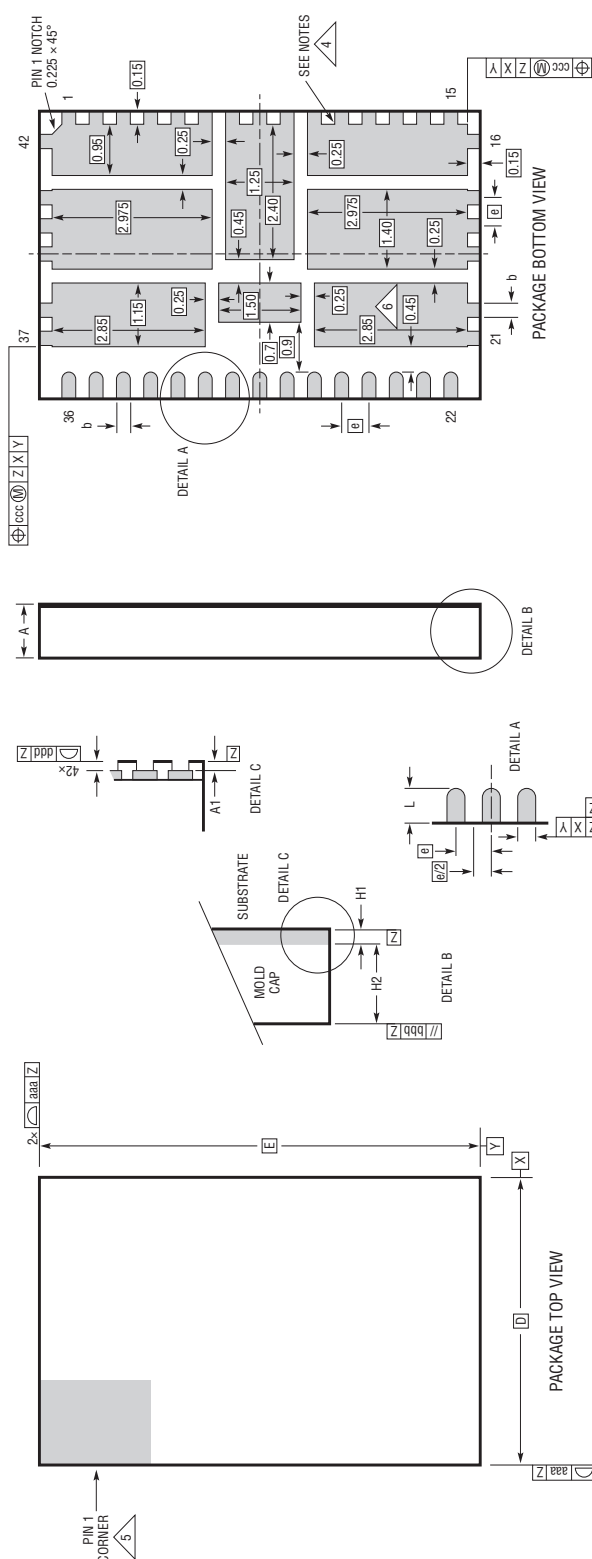


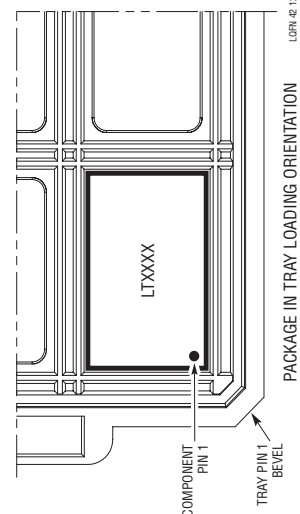
図 5.

パッケージの説明

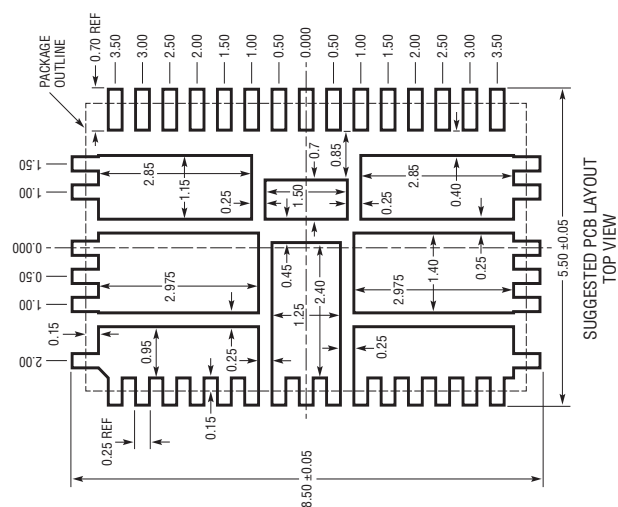
LQFN Package
42-Lead (5mm × 8mm × 0.95mm)
 (Reference LTC DWG # 05-08-1571 Rev B)



- NOTES:**
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. PRIMARY DATUM - Z - IS SEATING PLANE
 4. METAL FEATURES UNDER THE SOLDER MASK OPENING NOT SHOWN SO AS NOT TO OBSCURE THESE TERMINALS AND HEAT FEATURES
 5. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 6. THE EXPOSED HEAT FEATURE IS SEGMENTED AND ARRANGED IN A MATRIX FORMAT. IT MAY HAVE OPTIONAL CORNER RADII ON EACH SEGMENT

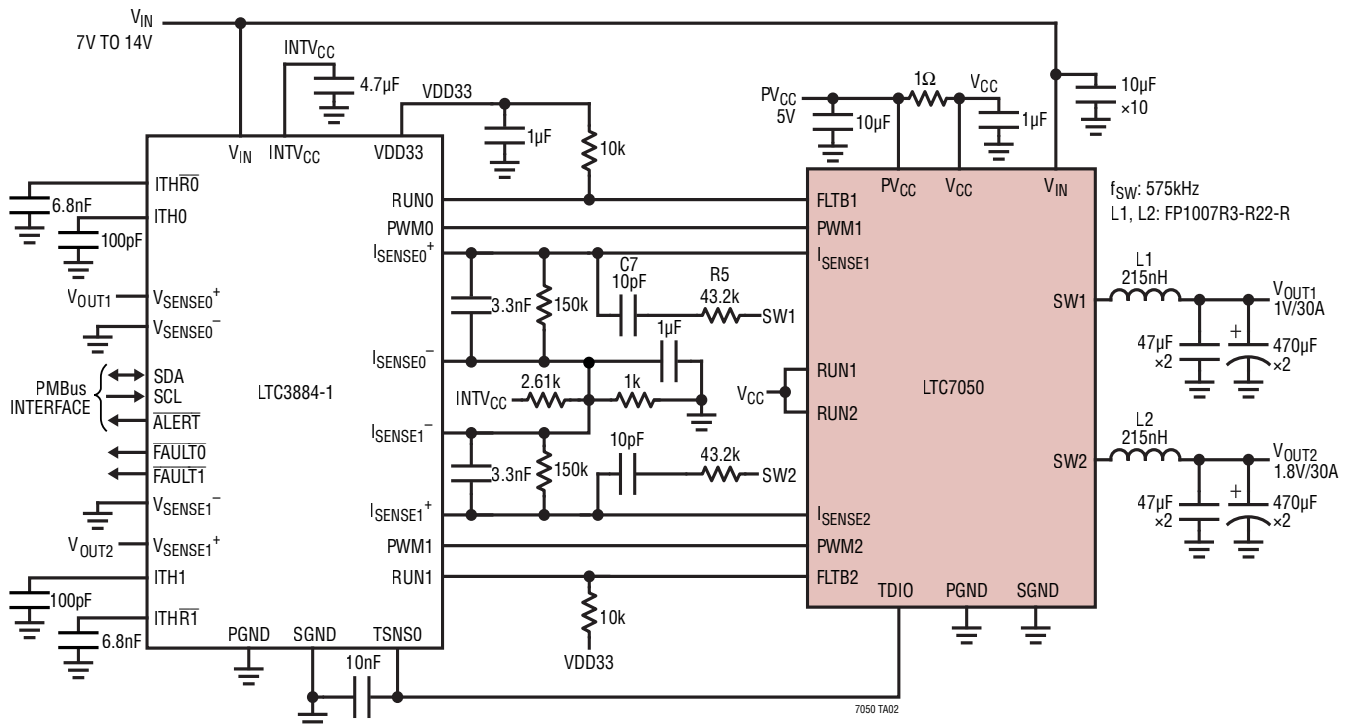


DIMENSIONS			
SYMBOL	MIN	NOM	MAX
A	0.85	0.95	1.05
A1			0.03
L	0.30	0.40	0.50
b	0.22	0.25	0.28
D		5.00	
E		8.00	
e		0.50	
H1		0.25 REF	
H2		0.70 REF	
aaa			0.10
bbb			0.10
ddd			0.10
eee			0.15
fff			0.08



標準的応用例

LTC7050 と LTC3884-1 の回路図



PINS NOT SHOWN IN LTC3884-1 CIRCUIT: PG00D0, PG00D1, TSNS1, SYNC, ASELO, ASEL1, VOUT0_CFG, VOUT1_CFG, FREQ_CFG, PHASE_CFG

PINS NOT SHOWN IN LTC7050 CIRCUIT: TMON

関連製品

製品番号	概要	注釈
LTC7051	5mm × 8mm LQFN で実現する SilentMOS スマート電力段	140A のピーク電流、Silent Switcher 2 アーキテクチャ、最大 14V の V_{IN} 、5mm × 8mm LQFN パッケージ
LTC3888/ LTC3888-1	デジタル・パワー・システム・マネージメントを搭載したデュアル出力 8 相降圧 DC/DC コントローラ	$4.5V \leq V_{IN} \leq 26.5V$ 、 $0.3V \leq V_{OUT} \leq 3.45V$ 、 I^2C /PMBus 制御、プログラマブルなループ補償、5mm × 8mm QFN-52
LTC3884/ LTC3884-1	サブ mΩ DCR 検出機能とデジタル・パワー・システム・マネージメント機能を搭載したデュアル出力 PolyPhase [®] 降圧コントローラ	$4.5V \leq V_{IN} \leq 38V$ 、 $0.5V \leq V_{OUT} \leq 5.5V$ 、 I^2C /PMBus 制御、プログラマブルなループ補償、5mm × 8mm QFN-52
LTC7851	高精度の電流分担機能を備えたクワッド出力、マルチフェーズ、降圧電圧モードの DC/DC コントローラ	DrMOS、パワー・ブロック、または外付けドライバおよび MOSFET で動作、 V_{IN} 範囲は外付け部品に依存、 $4.5V \leq V_{CC} \leq 5.5V$ 、 $0.6V \leq V_{OUT} \leq V_{CC} - 0.5V$
LTC7852/ LTC7252-1	電流モニタリング機能付きデュアル出力 6 相電流モード同期整流式降圧コントローラ	DrMOS、パワー・ブロックで動作、 $0.5V \leq V_{OUT} \leq 2V$ 、ヒックアップ・モード過電流保護、柔軟な位相構成
LTC3861	高精度の電流分担機能を備えたデュアル出力、マルチフェーズ、降圧電圧モードの DC/DC コントローラ	パワー・ブロック、DrMOS、または外付け MOSFET を組み合わせて動作、 $3V \leq V_{IN} \leq 24V$
LTC3882/ LTC3882-1	デジタル・パワー・システム・マネージメント機能を搭載したデュアル出力マルチフェーズ降圧 DC/DC 電圧モード・コントローラ	$3V \leq V_{IN} \leq 38V$ 、 $0.5V \leq V_{OUT1,2} \leq 5.25V$ 、 $\pm 0.5\%$ の V_{OUT} 精度、 I^2C /PMBus インターフェース、DrMOS またはパワー・ブロックを使用
LTC3887/ LTC3887-1	デジタル・パワー・システム・マネージメント機能を搭載したデュアル出力マルチフェーズ降圧 DC/DC コントローラ、70mS 起動	$4.5V \leq V_{IN} \leq 24V$ 、 $0.5V \leq V_{OUT0,1} (\pm 0.5\%) \leq 5.5V$ 、70mS 起動、 I^2C /PMBus インターフェース、-1 バージョンでは DrMOS またはパワー・ブロックを使用