

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年4月24日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月24日

製品名：LTC4296-1

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：44ページ、表24内、LTC3630Aの概要欄の説明

【誤】

**6V**、500mA 同期整流式 降圧コンバータ

【正】

76V、500mA 同期整流式 降圧コンバータ

## 5ポートSPoE PSEコントローラ

### 特長

- ▶ IEEE 802.3cg準拠のSPoE PSE
- ▶ 5つの独立したPSEポート
- ▶ 広い入力電源動作範囲：6V~60V
- ▶ 調整可能なソースおよびリターン電子回路ブレーカ
- ▶ スリープ・ステートで52μA（代表値）、ディスエーブル・ステートで51μA（代表値）の入力電源電流
- ▶ チャージ・ポンプが外部ハイサイドNチャンネルMOSFETをエンハンス
- ▶ 外部マイクロコントローラによりSCCPをサポート
- ▶ PEC機能を備えたSPIバス・インターフェース
- ▶ 電圧、電流、温度の遠隔測定
- ▶ ポートごとのパワーグッド・コンパレータ
- ▶ PDのスリープ、ウェイクアップ、およびウェイクアップ転送をサポート
- ▶ 48ピン、7mm x 7mm QFNパッケージを採用

### アプリケーション

- ▶ 運用および制御技術（OT）システム
- ▶ 建物や工場のオートメーション・システム
- ▶ フィールド機器およびスイッチ
- ▶ セキュリティ・システム
- ▶ 交通管制システム

### 概要

LTC4296-1は、IEEE 802.3cgに準拠したシングルペア・パワー・オーバー・イーサネット（SPoE）用の給電デバイス（PSE）コントローラで、5個のポートを備えています。SPoEは、シングルペア・ケーブルを使い標準化された方法で電力とイーサネット・データを伝送することにより、システムの設計と設置を簡素化します。LTC4296-1は、24Vまたは54Vシステムで802.3cg受電デバイス（PD）とともに使用できるように設計されています。LTC4296-1は、ドレインとソース間のオン抵抗（ $R_{DS(ON)}$ ）が小さい外部Nチャンネル金属酸化膜半導体電界効果トランジスタ（MOSFET）を使用して電力を供給することで、電圧降下を最小限に抑え、アプリケーションの耐久性を確保します。

フォールドバック型のアナログ電流制限機能（ACL）を備えたハイサイド・サーキット・ブレーカによって突入電流を制御し、短絡保護を行います。また、オプションのローサイド・サーキット・ブレーカにより、負の出力をバックフィード障害や非絶縁アプリケーションでの地絡からデバイスを保護します。シリアル通信分類プロトコル（SCCP）および最高電圧保持シグネチャ（MFVS）を使用したPD分類により、PDが存在する場合のみケーブルに最高動作電圧が供給されます。SW<sub>x</sub>ピンは、検出時と分類時にポートの出力電力スナバを切断します。PDで開始されるスリープとウェイクアップがサポートされており、WAKEUPピンはウェイクアップ転送をサポートしています。さらに、パケット・エラー・コード（PEC）保護機能を備えたシリアル・ペリフェラル・インターフェース（SPI）バス・インターフェースを介して、遠隔測定、ステータス、およびソフトウェア制御機能にアクセスできます。

LTC4296-1は10BASE-T1Lコントローラおよびスイッチに対して様々なSPoEのPSEソリューションを提供し、アナログ・デバイセズの10BASE-T1Lトランシーバー・ポートフォリオと簡単に統合することができます。このポートフォリオには、ADIN1100（物理層、PHY）、ADIN1110（MAC-PHY）、ADIN2111（2ポート・スイッチ）などが含まれています。

### 代表的なアプリケーション回路

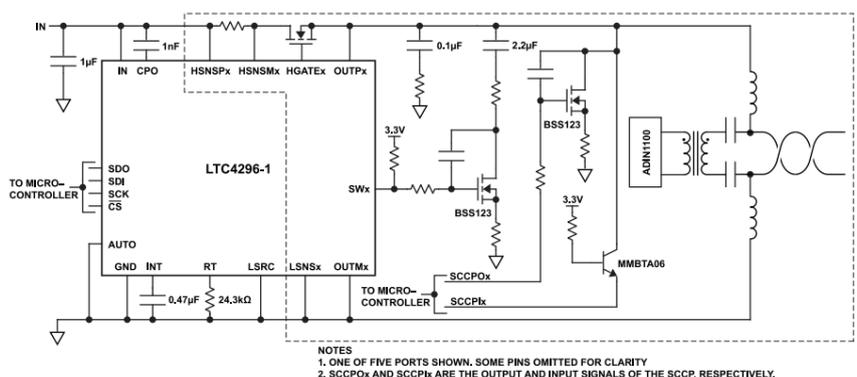


図 1. IEEE 802.3cgに準拠したSPoE PSE

### Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	GLOBAL ADC.....	30
アプリケーション.....	1	ポートXのイベント.....	31
概要.....	1	ポートxのステータス.....	31
代表的なアプリケーション回路.....	1	ポートxの設定.....	31
電気的特性.....	3	ポートXの診断.....	33
タイミング図.....	6	アプリケーション情報.....	34
絶対最大定格.....	7	概要.....	34
熱抵抗.....	7	電源.....	35
ESDに関する注意.....	7	外付け部品の選択.....	35
ピン配置およびピン機能の説明.....	8	MDIフォルト・トレランス.....	38
代表的な性能特性.....	10	レイアウトのガイドライン.....	41
動作原理.....	17	データ・コンバータ.....	41
概要.....	17	絶縁に関する考慮事項.....	42
SPoE.....	17	低ドループ・アプリケーション.....	43
ユースケース.....	20	クラス14の代表的アプリケーション.....	44
ポート・ステートの説明.....	21	関連製品.....	44
ホスト・シリアル・インターフェース.....	23	外形寸法.....	45
サンプル・コード.....	25	オーダー・ガイド.....	45
レジスタ・マップ.....	27	評価用ボード.....	46
グローバル・イベント.....	28		
グローバル・ステータス.....	29		
グローバル・コマンド.....	29		
設定.....	29		

## 改訂履歴

1/2023–Revision 0: Initial Version

## 電気的特性

仕様は全動作温度範囲に適用されます。また、特に指定のない限り、入力電圧 ( $V_{IN}$ ) は6Vと60Vです。ピン電圧は $V_{PIN}$ 、ピン電流は $I_{PIN}$ で表されます。ここで、PINはそのピンの名前です。デバイス・ピンに流れ込む電流は全て正、デバイス・ピンから流れ出る電流はすべて負です。特に指定のない限り、すべての電圧はGNDを基準としています。

表 1. 電気的特性

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
<b>IN</b>					
Input Supply Operating Range, $V_{IN}$		6		60	V
Input Supply Current, $I_{IN}$	すべてのポートがパワーオン・ステート		6.5	10	mA
	すべてのポートがスリープ・ステート、シリアル・バスはアイドル		52	140	$\mu$ A
	すべてのポートがディスエーブル・ステート、シリアル・バスはアイドル		51	135	$\mu$ A
	すべてのポートが検出ステート		80	90	mA
<b>INT</b>					
INT Voltage, $V_{INT}$	$I_{INT} = 0 \mu\text{A}$ または $-100 \mu\text{A}$	4.1	4.3	4.5	V
<b>HSNSPx and HSNSMx</b>					
Analog Foldback Current-Limit Threshold, $V_{ILIMx}$	$V_{ILIMx} = V_{HSNSPx} - V_{HSNSMx}$ , $V_{IN} - V_{OUTPx} < 12 \text{ V}$ , $V_{HSNSPx} = 6\text{V}$ または $60\text{V}$	177	186	193	mV
	$V_{IN} - V_{OUTPx} = 60\text{V}$ , $V_{HSNSPx} = 60\text{V}$	37	41	46	mV
HSNSPx Input Current, $I_{IN\_HSNSPx}$	$V_{IN} = V_{HSNSPx} = V_{HSNSMx} = 60\text{V}$		95	190	$\mu$ A
HSNSMx Input Current, $I_{IN\_HSNSMx}$	$V_{IN} = V_{HSNSPx} = V_{HSNSMx} = 60\text{V}$		66	128	$\mu$ A
<b>LSNS0</b>					
Port 0 Forward Circuit Breaker Threshold, $\Delta V_{LSNS0(FCB)}$	$\Delta V_{LSNS0(FCB)} = V_{OUTM0} - V_{LSNS0}$	60	76	90	mV
Port 0 Reverse Circuit Breaker Threshold, $\Delta V_{LSNS0(RCB)}$	$\Delta V_{LSNS0(RCB)} = V_{LSNS0} - V_{OUTM0}$	60	76	90	mV
Deep Sleep Return Path Reverse Fault Threshold, $V_{SLP(RCB)}$	すべてのポートがスリープおよびディスエーブル・ステート、シリアル・バスはアイドル、 $V_{SLP(RCB)} = V_{LSNS0}$	-1.2	-0.87	-0.25	V
Deep Sleep Return Path Forward Fault Threshold, $I_{SLP(FCB)}$	すべてのポートがスリープおよびディスエーブル・ステート、シリアル・バスはアイドル	15	34	45	mA
Deep Sleep Return Path Short Circuit Current, $I_{SLP\_LSNS0}$	すべてのポートがスリープおよびディスエーブル・ステート、シリアル・バスはアイドル、 $V_{LSNS0} = 2.5\text{V}$	40	79	110	mA
Deep Sleep Return Path Impedance, $R_{SLP\_LSNS0}$	すべてのポートがスリープおよびディスエーブル・ステート、シリアル・バスはアイドル、 $I_{LSNS0} = 10\text{mA}$	17	22	45	$\Omega$
<b>LSNS1/SNS2 and LSNS3/LSNS4</b>					
Forward Circuit Breaker Threshold, $\Delta V_{LSNSx(FCB)}$	$\Delta V_{LSNSx(FCB)} = V_{OUTMx} - V_{LSNSx}$	60	76	90	mV
Reverse Circuit Breaker Threshold, $\Delta V_{LSNSx(RCB)}$	$\Delta V_{LSNSx(RCB)} = V_{LSNSx} - V_{OUTMx}$	60	76	90	mV
Input Current, $I_{LSNSx}$	$V_{LSNSx} = -0.1 \text{ V}$ または $+0.1 \text{ V}$ , $T_A = 25^\circ\text{C}$		-2.5		$\mu$ A
<b>HGATEx</b>					
External Port Source Path N-Channel MOSFET Gate Drive, $\Delta V_{HGATEx}$	AUTOがハイ、 $\Delta V_{HGATEx} = V_{HGATEx} - V_{OUTPx}$ , $I_{HGATEx} = 0 \mu\text{A}$ または $-1 \mu\text{A}$	9.3	10.2	10.6	V
HGATEx Pull-Up Current, $I_{HGATEx\_UP}$	パワーオン・ステート、 $\Delta V_{HGATEx} = 3\text{V}$	-45	-34	-28	$\mu$ A
HGATEx Fast Pull-Down Current, $I_{HGATEx\_FAST}$	パワーオン・ステート、 $V_{HSNSPx} - V_{HSNSMx} = 0.3\text{V}$ , $\Delta V_{HGATEx} = 3 \text{ V}$	40	72	150	mA
HGATEx Slow Pull-Down Current, $I_{HGATEx\_SLOW}$	ディスエーブル・ステート、 $\Delta V_{HGATEx} = 1.5\text{V}$ , $V_{OUTPx} = 0\text{V}$	8	16	24	mA
	ディスエーブル・ステート、 $\Delta V_{HGATEx} = 1.5\text{V}$ , $V_{OUTPx} = -2\text{V}$	40	110	185	$\mu$ A
HGATEx Fast Pull-Down Dropout Voltage, $V_{PULLDOWN\_FASTx}$	パワーオン・ステート、 $V_{OUTPx} = 0\text{V}$ , $I_{HGATEx} = 1 \text{ mA}$ , $V_{HSNSPx} - V_{HSNSMx} = 0.3\text{V}$		1.1	1.4	V
HGATEx Slow Pull-Down Dropout Voltage, $V_{PULLDOWN\_SLOWx}$	ディスエーブル・ステート、 $V_{OUTPx} = 0 \text{ V}$ , $I_{HGATEx} = 10\mu\text{A}$		0.14	0.3	V
HGATEx Inrush Slew Rate, $dV_{HGATEx}/dt$	パワーオン・ステート、 $V_{HSNSPx} - V_{HSNSMx} < 30\text{mV}$	14	16.5	19	V/ms
<b>LGATE</b>					
External Return Path N-Channel Gate Drive, $\Delta V_{LGATE}$	パワーオン・ステート、 $6 \text{ V} < V_{IN} < 8.6 \text{ V}$ , $I_{LGATE} = 0\mu\text{A}$ または $-1\mu\text{A}$	$V_{IN} - 0.2$		$V_{IN}$	V
	パワーオン・ステート、 $V_{IN} \geq 8.6 \text{ V}$ , $I_{LGATE} = 0\text{mA}$ または $-1\text{mA}$	8.25	9.5	9.8	V
LGATE Pull-Up Current, $I_{LGATE(UP)}$	AUTOがハイ、 $V_{LGATE} - V_{LSRC} = 3\text{V}$	-3.3	-2.2	-0.6	mA
LGATE Pull-Down Current, $I_{LGATE(DWN)}$	LGATEがディスエーブル、 $V_{LGATE} = 3\text{V}$ , $V_{LSRC} = 0\text{V}$	70	180	270	mA

## 電気的特性

表 1. 電気的特性

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
LGATE Pull-Down Voltage, $V_{LGATE(OFF)}$	LGATEがディセーブル、 $I_{LGATE} = 10 \mu A$ 、 $V_{LSRC} = 0 V$		0.6	1	V
AUTO					
Input Threshold Voltage, $V_{AUTO}$	$V_{AUTO}$ の立上がり	1.15	1.205	1.25	V
Input Hysteresis	$V_{AUTO}$ の立下がり、 $T_A = 25^\circ C$		11		mV
Input Current, $I_{AUTO}$	$V_{AUTO} = 5.5 V$	-100		+100	nA
Pulse Width of Spike Suppressed, $t_{SP\_AUTO}$	正方向スパイク、 $T_A = 25^\circ C$ 負方向スパイク、 $T_A = 25^\circ C$		28		$\mu s$
			7		$\mu s$
PORT SOURCE CURRENT READBACK ANALOG-TO-DIGITAL CONVERTER (ADC)					
Resolution <sup>1</sup>	$T_A = 25^\circ C$		11		Bits
Full-Scale	$T_A = 25^\circ C$		204.8		mV
Gain Error <sup>2</sup>	$V_{HSNSPx} - V_{HSNSMx} < 200 mV$			$\pm 2.5$	%
Offset <sup>2</sup>	コード2048センター	-250	-50	150	$\mu V$
Integral Nonlinearity (INL) <sup>2</sup>				$\pm 1$	LSB
Conversion Time <sup>3</sup>		3.3	3.6	4	ms
$V_{IN}$ , PORT OUTPUT VOLTAGE, AND PORT RETURN CURRENT READBACK ADC (GLOBAL ADC)					
Resolution <sup>1</sup>	$T_A = 25^\circ C$		11		Bits
Voltage Readback Full-Scale	$V_{OUTPx} - V_{OUTMx}$ 、低ゲイン、 $T_A = 25^\circ C$ $V_{OUTPx} - V_{OUTMx}$ 、高ゲイン、 $T_A = 25^\circ C$		72.09		V
			36.04		V
Current Readback Full-Scale	$V_{OUTMx} - V_{LSNSx}$ 、 $T_A = 25^\circ C$		204.8		mV
Full-Scale Gain Error	$T_A = 25^\circ C$			$\pm 2.5$	%
Offset	コード2048センター、 $T_A = 25^\circ C$			$\pm 1$	LSB
INL	$T_A = 25^\circ C$			$\pm 1$	LSB
Conversion Time <sup>3</sup>		3.3	3.6	4	ms
INTERNAL CHECK VOLTAGE REFERENCE (ACCESSIBLE THROUGH THE GLOBAL ADC)					
Code	$T_A = 25^\circ C$		3548		LSB
Tolerance				$\pm 3.5$	%
Conversion Time <sup>3</sup>		3.3	3.6	4	ms
INTERNAL TEMPERATURE SENSOR (ACCESSIBLE THROUGH THE GLOBAL ADC)					
Weight	$T_A = 25^\circ C$		0.25		$^\circ C/LSB$
Error	$T_A = 25^\circ C$		$\pm 5$		$^\circ C$
Conversion Time <sup>3</sup>		3.3	3.6	4	ms
SDI, SCK, and CS					
Digital Input Low Voltage, $V_{ILD}$				0.8	V
Digital Input High Voltage, $V_{IHD}$		2			V
Input Current, $I_{SPI}$	$V_{SDI}$ 、 $V_{SCK}$ 、および $V_{CS}^- = 5.5 V$	-1		+1	$\mu A$
SDO and SWx					
Output Low Voltage, $V_{OL}$	$I_{SDO}$ 、 $I_{SWx} = 3 mA$			0.4	V
Output Leakage Current, $I_{LEAK}$	$V_{PIN} = 5.5 V$ 、ここでPINはSDOまたはSWxを表します	-1		+1	$\mu A$
THERMAL SHUTDOWN INTERNAL TEMPERATURE	$T_A = 25^\circ C$				
Junction, $T_{SHUTDOWN}$			175		$^\circ C$
Junction Hysteresis, $T_{SHUTDOWN(HYST)}$			30		$^\circ C$
OUTPx and OUTMx					
Open-Circuit Detection Voltage, $V_{OC}^2$	検出ステート、 $I_{OUTPx} = 0 \mu A$	5.05	5.2	5.5	V
Invalid PD Signature Voltage High Range, $V_{BAD\_HI\_PSE}^2$	検出ステート、無効なシグネチャの上限閾値	4.7		5	V
Invalid PD Signature Voltage Low Range, $V_{BAD\_LO\_PSE}^2$	検出ステート、無効なシグネチャの下限閾値	3.7		4.05	V

## 電気的特性

表 1. 電気的特性

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Sleep State Output Voltage, $V_{SLEEP}^2$	スリープ・ステート、 $I_{OUTPx} = 0mA$ 、 $-1.85mA$ 、または $100\mu A$	3.15	3.4	3.575	V
Port Disabled Voltage at $OUTPx$ , $V_{DISABLE}^2$	ポートがディスエーブル、 $I_{OUTPx} = 50\mu A$			1	V
$OUTPx$ Discharge Current During Settle-Sleep State, $I_{DISCHARGE}^2$	スリープ移行ステート、 $I_{OUTPx}$ 、 $V_{OUTPx} - V_{OUTMx} = 6V$	1.2	2.1	3.6	mA
Short-Circuit Current, $I_{SC}^2$	スリープ・ステート、 $I_{OUTPx}$ 、 $V_{OUTPx} - V_{OUTMx} = 0V$	-6.8	-5.5	-4.25	mA
Valid Wake-Up Current Input Range, $I_{WAKEUP}^2$	スリープ・ステート、 $I_{OUTPx}$	-1.85		-1.25	mA
Detection Probe Current Range, $I_{VALID}^2$	検出ステート、 $V_{OUTPx} - V_{OUTMx} = 0V$	-16	-14	-12	mA
	検出ステート、 $V_{OUTPx} - V_{OUTMx} = 4.7V$	-16	-13	-11	mA
High-Side Power-Good Threshold Voltage, $\Delta V_{OUTPx\_PWRGD}$	ポートがイネーブル、 $\Delta V_{OUTPx\_PWRGD} = V_{OUTPx} - V_{IN}$ 、 $V_{OUTMx} = 0V$ 、 $V_{OUTPx}$ の立上がり	390	440	510	mV
High-Side Power-Good Threshold Voltage Hysteresis, $\Delta V_{OUTPx\_PWRGD(HYST)}$	ポートがイネーブル、 $V_{OUTPx}$ の立上がり、 $T_A = 25^\circ C$		22		mV
Low-Side Power-Good Threshold Voltage, $\Delta V_{OUTMx\_PWRGD}$	ポートがイネーブル、 $\Delta V_{OUTMx\_PWRGD} = V_{OUTMx}$ 、 $\Delta V_{OUTPx\_PWRGD} = 0V$	150	200	250	mV
<b>WAKEUP</b>					
Internal Pull-Up Current, $I_{PU}$	$V_{WAKEUP} = 1.2V$	-125	-100	-75	$\mu A$
Internal Pull-Down Resistance, $R_{PD}$	$V_{WAKEUP} = 5.5V$	0.4	1.2	2.25	M $\Omega$
Internal Pull-Up Voltage, $V_{OH}$	$I_{WAKEUP} = 0\mu A$ または $50\mu A$	3.25	3.8	4.5	V
Input Threshold Voltage, $V_{ITH}$	$V_{WAKEUP}$ の立上がり	1.15	1.205	1.25	V
Input Threshold Voltage Hysteresis, $V_{ITH(HYST)}$	$V_{WAKEUP}$ の立上がり、 $T_A = 25^\circ C$		10		mV
Pulse Width of Spike Suppressed, $t_{SP\_WAKEUP}$	正方向スパイク、 $T_A = 25^\circ C$		30		$\mu s$
	負方向スパイク、 $T_A = 25^\circ C$		6		$\mu s$
<b>PORT TIMING CHARACTERISTICS</b>					
Detection State Timeout, $t_{DET}$	検出ステート、無効なシグネチャ	2.55		3.11	ms
Detection Signature Hold Time, $t_{SIG\_HOLD}$	検出ステート、有効なシグネチャ	1		1.22	ms
Power-Up State Timeout Tolerance, $t_{INRUSH\_TOL}$	パワーアップ・ステート、短絡、プログラマブル			$\pm 7$	%
Port Source Circuit Breaker Overload Fault Delay Time Tolerance, $t_{LIM\_TOL}$	プログラマブル、 $V_{HSNSPx} - V_{HSNSMx} > V_{ILIMx}$			$\pm 7$	%
Port Return Circuit Breaker Delay Time, $t_{LSNS\_FAULT}$	$V_{LSNSx} = 1.2V$	1.3	1.8	2.4	$\mu s$
	$V_{LSNSx} = -0.1V$	2	4	6.3	$\mu s$
Overload Delay Tolerance, $t_{OD\_TOL}$	過負荷ステート、プログラマブル			$\pm 7$	%
Port MFVS Valid Hold Time, $t_{MFVS}$	$V_{HSNSPx} - V_{HSNSMx} > V_{MFVS}$ 、 $V_{MFVS}$ はプログラマブル	4	5	6	ms
Port MFVS Dropout Time, $t_{MFVDO}$	$V_{HSNSPx} - V_{HSNSMx} < V_{MFVS}$	300	350	400	ms
$OUTPx$ Sleep Regulator Overload Fault Delay Time Tolerance, $t_{LIM\_SLEEP\_TOL}$	アイドルまたはスリープ・ステート、プログラマブル			$\pm 20$	%
Restart Delay Tolerance, $t_{RESTART\_TOL}$	再起動ステート、プログラマブル			$\pm 7$	%
Wake-Up Deglitch Time, $t_{WAKEUP}$		0.05		0.1	ms
Turn Off Time, $t_{OFF}$	スリープ移行ステートから過負荷ステート、 $V_{OUTPx} = 5V$	409		500	ms
<b>SPI BUS TIMING</b>					
SCK Frequency, $1/t_{CLK}$				1	MHz
SDI Setup Time Before SCK Rising Edge, $t_1$		26			ns
SDI Hold Time After SCK Rising Edge, $t_2$		25			ns
SCK Low, $t_3$		200			ns
SCK High, $t_4$		200			ns
$\overline{CS}$ Rising Edge to $\overline{CS}$ Falling Edge, $t_5$		650			ns
SCK Rising Edge to $\overline{CS}$ Rising Edge, $t_6$		800			ns
$\overline{CS}$ Falling Edge to SCK Rising, $t_7$		1			$\mu s$
SCK Falling Edge to SDO Valid, $t_8^4$				100	ns
$\overline{CS}$ Rising Edge to SDO Rising, $t_9^4$				250	ns

## 電気的特性

- 1 ポートADCとグローバルADCは、ともに、11ビット+符号ビットで定義されるバイポーラ入力レンジを備えています。
- 2 この仕様は $V_{IN} = 6V$ でテストされています。 $V_{IN} = 60V$ での動作は設計により確保されています。
- 3 この仕様は設計により確保されています。
- 4 この仕様にSDOの立上がり時間または立下がり時間は含まれていません。立下がり時間（内部プルダウン抵抗のため代表値で5ns）は問題となりませんが、立上がりエッジの遷移時間 $t_{RISE}$ は、SDOピンのプルアップ抵抗と負荷容量によって異なります。

## タイミング図

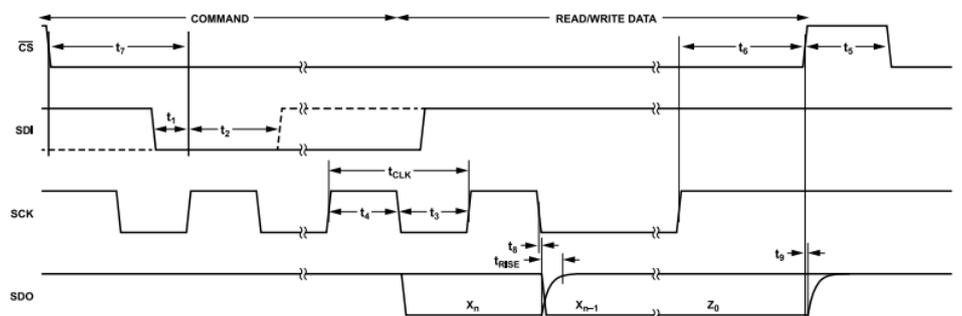


図 2. SPIバスのタイミング図

## 絶対最大定格

このICには一時的な過負荷からデバイスを保護するための過熱保護機能が搭載されています。この保護機能が動作するときは、ジャンクション温度が最大定格値を超えています。仕様に規定された絶対最大動作ジャンクション温度を超える温度での連続動作は、デバイスの信頼性を損なったり、デバイスに恒久的な損傷を生じさせたりする可能性があります。

表 2. 絶対最大定格

Parameter	Rating
Supply Voltage	
IN	-0.3 V to +80 V
INT	-0.3 V to +6 V
Input Voltages	
SDI, SCK, CS, AUTO, and RT	-0.3 V to +6 V
HSNSPx and HSNSMx	-0.3 V to +80 V
HSNSPx to HSNSMx	-5 V to +10 V
OUTMx	-5.5 V to +80 V
LSNSx	-5.5 V to +80 V
OUTPx	-5.5 V to +80 V
Output Voltages	
SDO, WAKEUP, and SWx	-0.3 V to +6 V
LGATE to LSRC <sup>1</sup>	-0.3 V to +15 V
LSRC	-5.5 V to +4 V
CPO to IN <sup>1</sup>	-0.3 V to +15 V
HGATEx to OUTPx <sup>1</sup>	-0.3 V to +15 V
Output Currents	
SDO and SWx	±5 mA
RT	-10 mA to +1 mA
Temperature	
Operating Junction Range <sup>2</sup>	-40 to +125°C
Storage Range	-65°C to +150°C
Lead (Soldering, 10 sec)	300°C

1 外部強制電圧の絶対最大定格です。LTC4296-1は通常動作時にこれらの値を超えることがあります。

2 LTC4296-1は $T_1 \approx T_A$ となるようなパルス負荷条件下でテストされています。LTC4296-1は-40°C~125°Cの動作ジャンクション温度範囲での動作が確保されています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。長時間にわたり最大動作条件を超えて動作させると、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。

$\theta_{JA}$ は、1立方フィートの密閉容器内で測定された自然対流下での周囲とジャンクションの間の熱抵抗です。 $\theta_{JC}$ は、ジャンクションとケースの間の熱抵抗です。

表 3. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
05-08-7073	18	2.5	°C/W

## ESDに関する注意



## ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

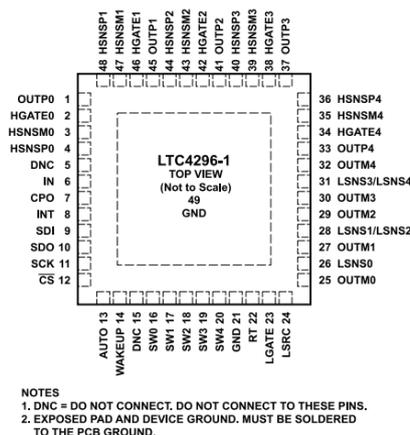


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号 <sup>1</sup>	説明
1, 33, 37, 41, 45	OUTPx	ポートxの正出力。OUTPxピンは、ポートxのトップサイド外部NチャンネルMOSFETのソースに接続します。ポートxを使わない場合はOUTPxピンを接続しないでください。
2, 34, 38, 42, 46	HGATEx	ポートxのハイ・サイド・ゲート・ドライブ。HGATExピンは、ポートxのトップサイド外部NチャンネルMOSFETのゲートに接続します。ポートxを使わない場合はHGATExピンを接続しないでください。
3, 35, 39, 43, 47	HSNSMx	ポートxハイサイド・ケルビン検出の負入力。HSNSMxピンは、ポートxのトップサイド電流検出抵抗の負端子に直接接続します。検出抵抗の負端子は、ポートxのトップサイド外部NチャンネルMOSFETのドレインに接続します。ポートxを使わない場合はHSNSMxピンをHSNSPxピンに接続してください。
4, 36, 40, 44, 48	HSNSPx	ポートxハイサイド・ケルビン検出の正入力。HSNSPxピンは、ポートxのトップサイド電流検出抵抗の正端子に直接接続します。ポートxを使わない場合はINに接続します。
5, 15	DNC	「Do Not Connect」 (接続しないでください)。これらのピンには何も接続しないでください。
6	IN	電源電圧入力。
7	CPO	チャージ・ポンプ出力。CPOとINの間に、1nF、16Vのコンデンサを接続します。
8	INT	内部4.3Vレギュレータのバイパス。INTとGNDの間に470nFのバイパス・コンデンサを接続します。
9	SDI	SPIシリアル・データ入力。
10	SDO	SPIシリアル・データのオープンドレイン出力。SDOはプルアップ抵抗を介してロジック・ハイに接続します。
11	SCK	SPIシリアル・クロック入力。
12	CS	SPIチップ・セレクト入力、アクティブ・ロー。
13	AUTO	すべてのポートの自動モード・イネーブル、アクティブ・ハイ。マイクロコントローラの支援下でPD分類を行うためにLTC4296-1をマニュアル・モードに設定するには、AUTOをローに接続します。物理的検出をサポートするアプリケーションに使用するには、AUTOをハイに接続します。AUTOピンのその他の使用方法については、 <a href="#">自律モード</a> のセクションを参照してください。
14	WAKEUP	双方向ウェイクアップ。ポート上にPDで開始されたウェイクアップ・イベントがある間は、100μAの内部電流によってWAKEUPピンがハイ (3.75V) にプルアップされます。WAKEUPピンのGNDへのプルダウンは1.2MΩの内蔵抵抗によって行われます。WAKEUPピンを外部でロジック・ハイにプルアップして、1つまたは複数のポートをウェイクアップすることもできます。WAKEUPピンを使わない場合は接続しないでください。
16~20	SWx	ポートxのオープンドレイン・スナバ・スイッチ出力、アクティブ・ハイ。SWxは、分類時に外部NチャンネルMOSFETをドライブして、出力電力スナバとの接続を解除します。詳細については、 <a href="#">分類ステート</a> のセクションを参照してください。SWxを使用しない場合は接続しないでください。
21	GND	デバイス・グラウンド。
22	RT	内部発振器の周波数設定ピン。内部発振器の周波数を設定するには、RTピンとGNDの間に24.3kΩの抵抗を接続します。

## ピン配置およびピン機能の説明

表 4. ピン機能の説明

ピン番号	記号 <sup>1</sup>	説明
23	LGATE	ローサイド・ゲート・ドライブ。ローサイド外部NチャンネルMOSFETを使用する場合は、LGATEをMOSFETのゲートに接続します。ローサイド外部MOSFETを使用しない場合は、LGATEを接続しないでください。
24	LSRC	ローサイド外部MOSFETのソース接続。LSRCはGNDに接続します。
25	OUTM0	ポート0の負出力およびローサイド・ケルビン検出の正入力。OUTM0は、ポート0のローサイド電流検出抵抗の正端子に直接接続します。ポート0を使用しない場合はLSNS0に接続します。
26	LSNS0	ポート0のローサイド・ケルビン検出の負入力。LSNS0は、ポート0のローサイド電流検出抵抗の負端子に直接接続します。ローサイド外部NチャンネルMOSFETを使用する場合は、LSNS0をMOSFETのドレインに接続します。ローサイド外部MOSFETを使用しない場合は、LSNS0をGNDに接続してください。
27	OUTM1	ポート1の負出力およびローサイド・ケルビン検出の正入力。OUTM1は、ポート1のローサイド電流検出抵抗の正端子に直接接続します。ポート1を使用しない場合は、LSNS1/LSNS2に接続します。
28	LSNS1/LSNS2	ポート1とポート2のローサイド・ケルビン検出の負入力。LSNS1/LSNS2は、ポート0およびポート1のローサイド電流検出抵抗の負端子に直接接続します。ローサイド外部NチャンネルMOSFETを使用する場合は、LSNS1/LSNS2をMOSFETのドレインに接続します。ローサイド外部MOSFETを使用しない場合は、LSNS1/LSNS2をGNDに接続してください。
29	OUTM2	ポート2の負出力およびローサイド・ケルビン検出の正入力。OUTM2は、ポート2のローサイド電流検出抵抗の正端子に直接接続します。ポート2を使わない場合は、OUTM2をLSNS1/LSNS2に接続してください。
30	OUTM3	ポート3の負出力およびローサイド・ケルビン検出の正入力。OUTM3は、ポート3のローサイド電流検出抵抗の正端子に直接接続します。ポート3を使わない場合は、OUTM3をLSNS3/LSNS4に接続してください。
31	LSNS3/LSNS4	ポート3とポート4のローサイド・ケルビン検出の負入力。LSNS3/LSNS4は、ポート3およびポート4のローサイド電流検出抵抗の負端子に直接接続します。ローサイド外部NチャンネルMOSFETを使用する場合は、LSNS3/LSNS4をMOSFETのドレインに接続します。ローサイド外部MOSFETを使用しない場合は、LSNS3/LSNS4をGNDに接続してください。
32	OUTM4	ポート4の負出力およびローサイド・ケルビン検出の正入力。OUTM4は、ポート4のローサイド電流検出抵抗の正端子に直接接続します。ポート4を使わない場合は、OUTM4をLSNS3/LSNS4に接続してください。
49	GND	露出パッドとデバイスのグラウンド。プリント回路基板 (PCB) のグラウンドにハンダ付けする必要があります。

1 ここで、xは0~4です。

代表的な性能特性

特に指定のない限り、テストは $V_{IN} = V_{HSNSPx} = V_{HSNSMx} = 60V$ 、室温で行っています。

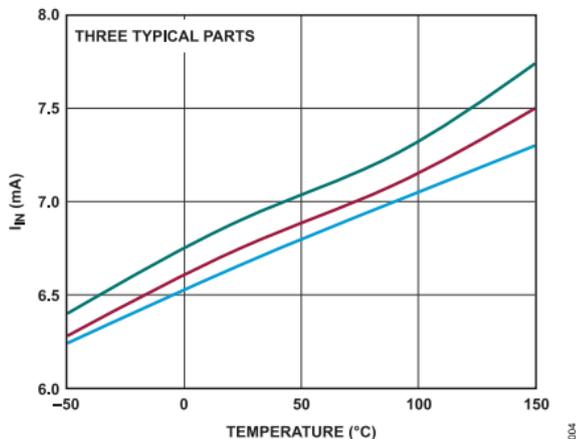


図 4.  $I_{IN}$ の温度特性、すべてのポートがパワーオン・ステート

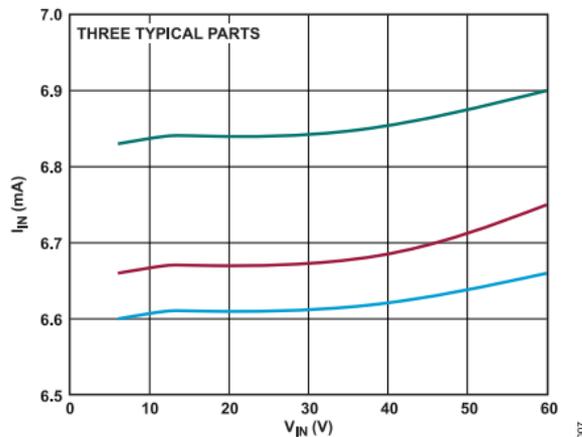


図 7.  $I_{IN}$ と $V_{IN}$ の関係、すべてのポートがパワーオン・ステート

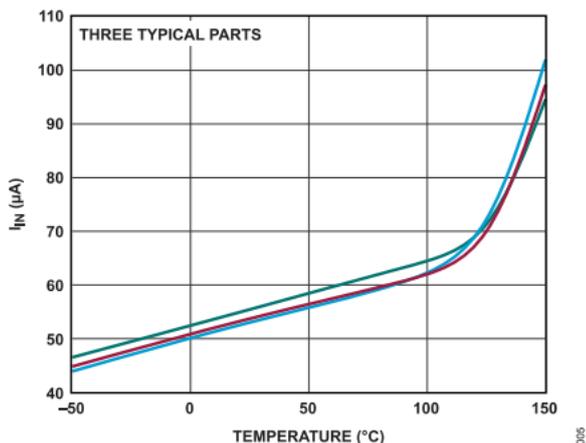


図 5.  $I_{IN}$ の温度特性、すべてのポートがスリープ・ステート

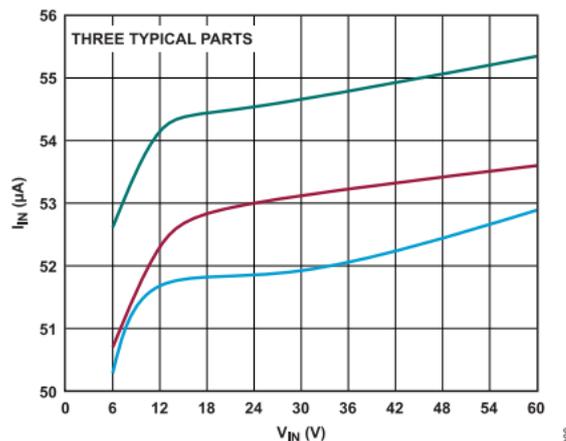


図 8.  $I_{IN}$ と $V_{IN}$ の関係、すべてのポートがスリープ・ステート

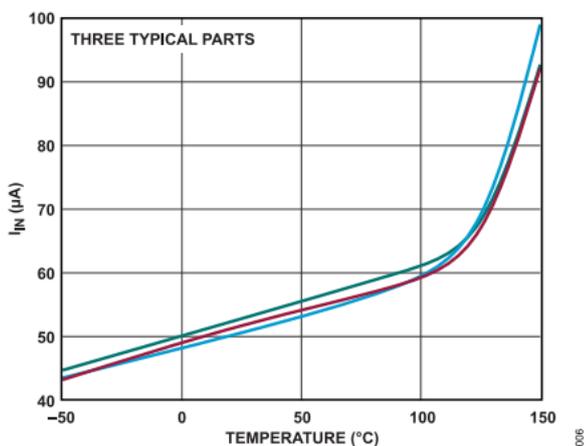


図 6.  $I_{IN}$ の温度特性、すべてのポートがディスエーブル・ステート

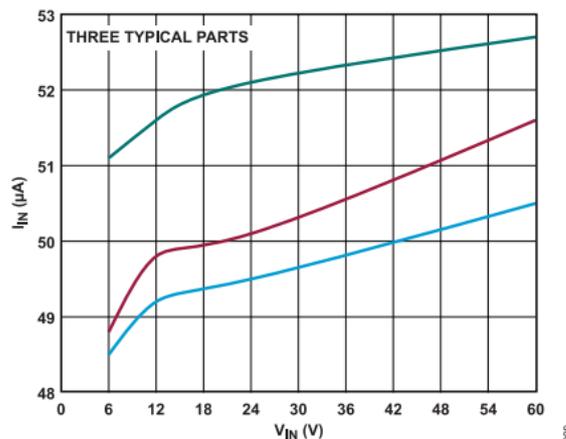


図 9.  $I_{IN}$ と $V_{IN}$ の関係、すべてのポートがディスエーブル・ステート

代表的な性能特性

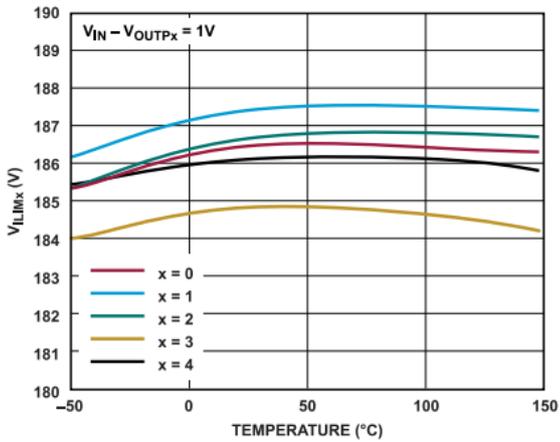


図 10.  $V_{ILIMx}$ の温度特性、 $V_{IN} - V_{OUTPx} = 1V$

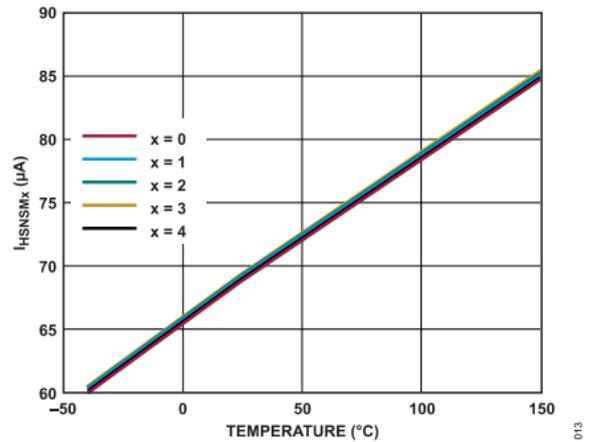


図 13.  $I_{HSNSMx}$ の温度特性、ポートはパワーオン・ステート

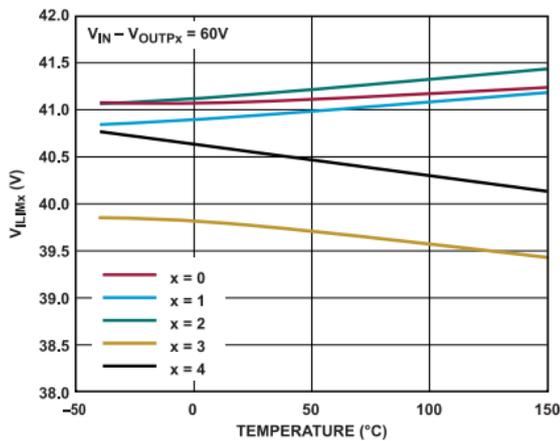


図 11.  $V_{ILIMx}$ の温度特性、 $V_{IN} - V_{OUTPx} = 60V$

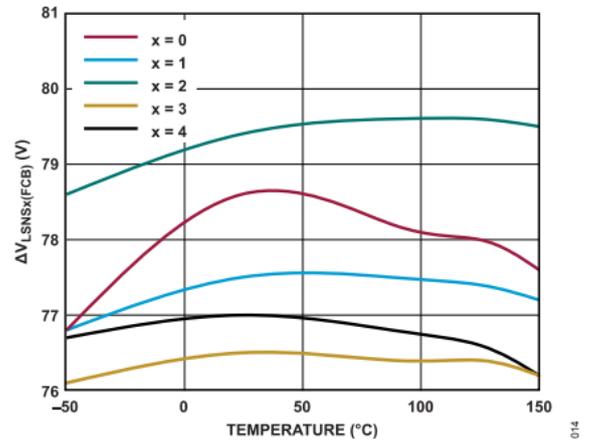


図 14.  $\Delta V_{LSNSx(FCB)}$ の温度特性

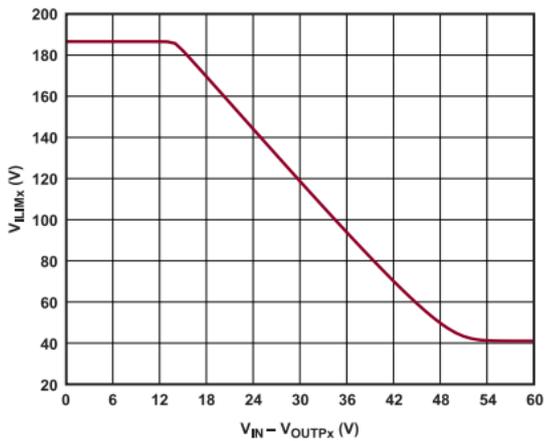


図 12.  $V_{ILIMx}$ と $V_{IN} - V_{OUTPx}$ の関係

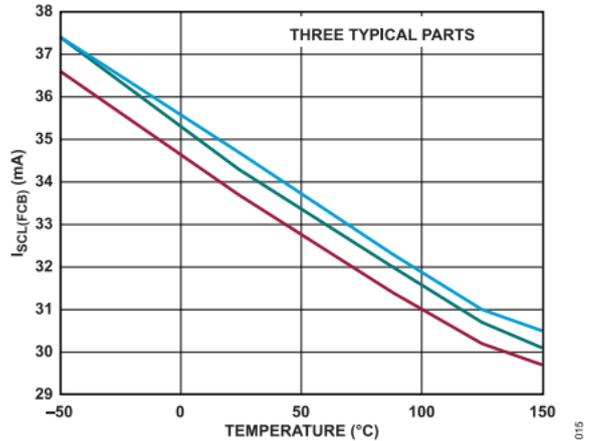


図 15.  $I_{SLP(FCB)}$ の温度特性

代表的な性能特性

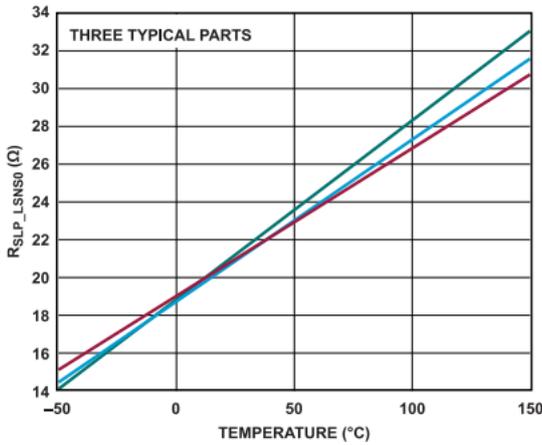


図 16.  $R_{SLP\_LSNS0}$ の温度特性

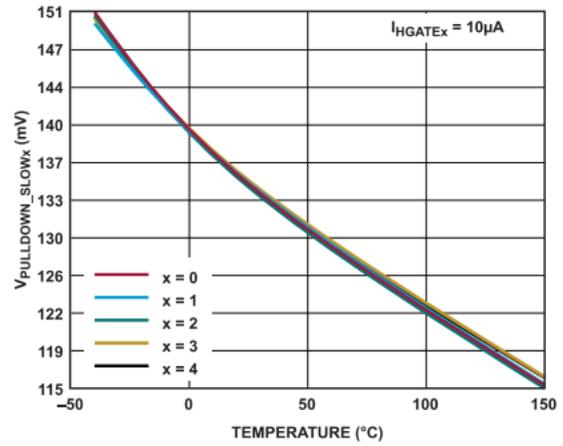


図 19.  $V_{PULLDOWN\_SLOWx}$ の温度特性

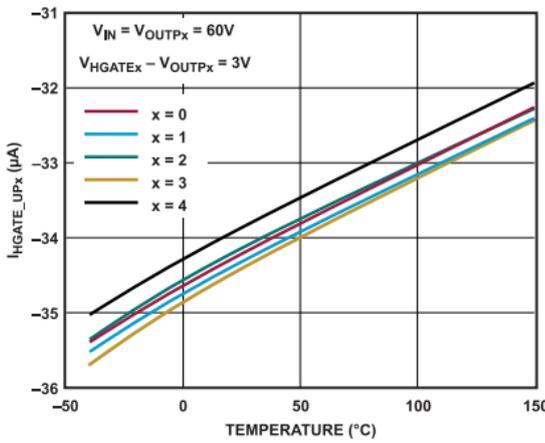


図 17.  $I_{HGATE\_UPx}$ の温度特性

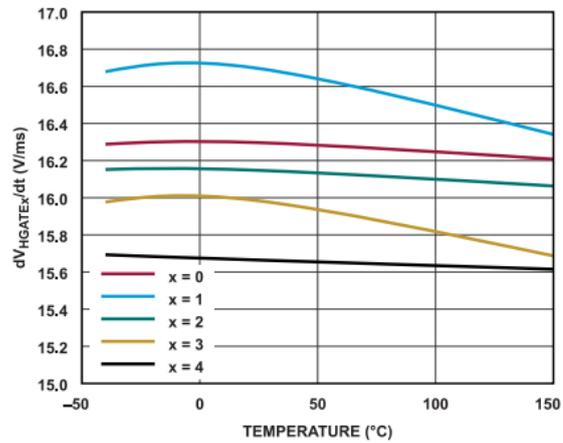


図 20.  $dV_{HGATEx}/dt$ の温度特性

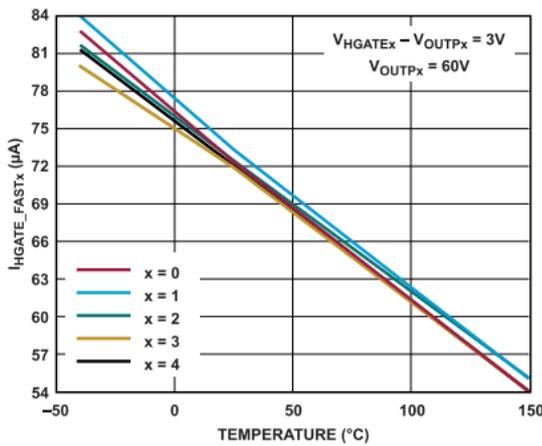


図 18.  $I_{HGATE\_FASTx}$ の温度特性

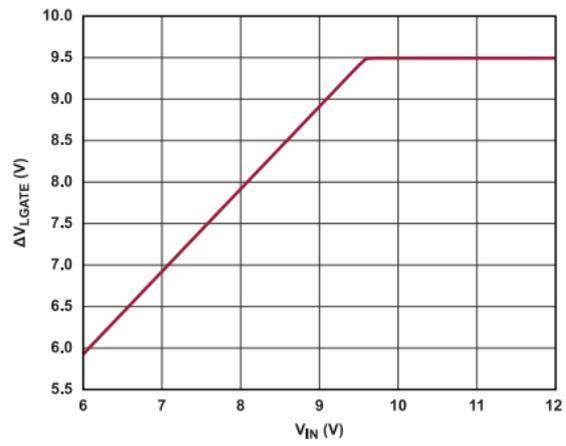


図 21.  $\Delta V_{LGATE}$ と $V_{IN}$ の関係

代表的な性能特性

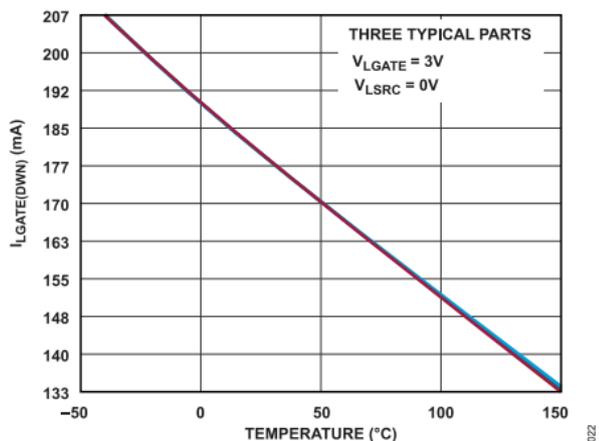


図 22.  $I_{LGATE(DWN)}$ の温度特性、LGATEをディスエーブル

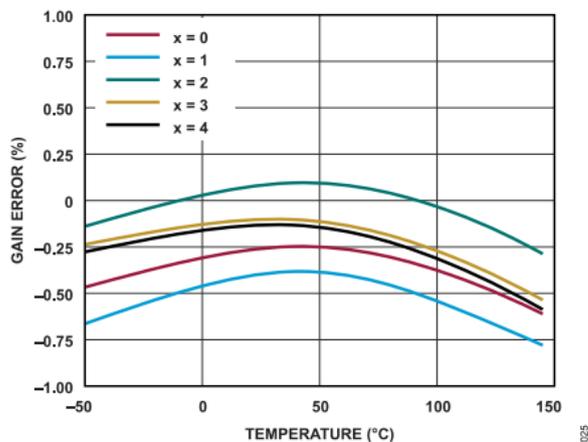


図 25. ポート・ソース電流リードバックADCのゲイン誤差の温度特性

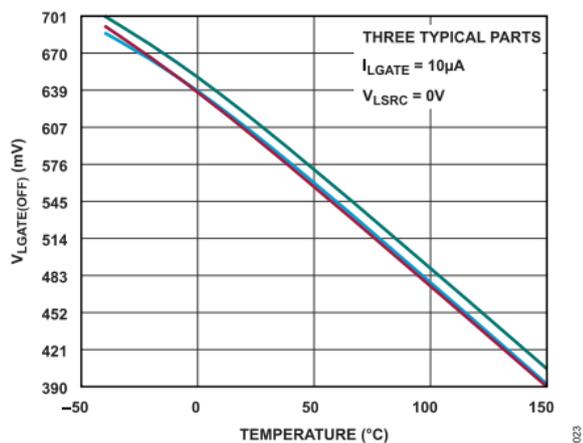


図 23.  $V_{LGATE(OFF)}$ の温度特性

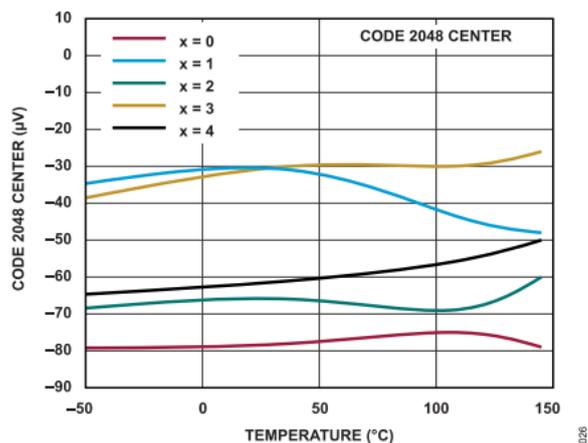


図 26. ポート・ソース電流リードバックADCのオフセットの温度特性

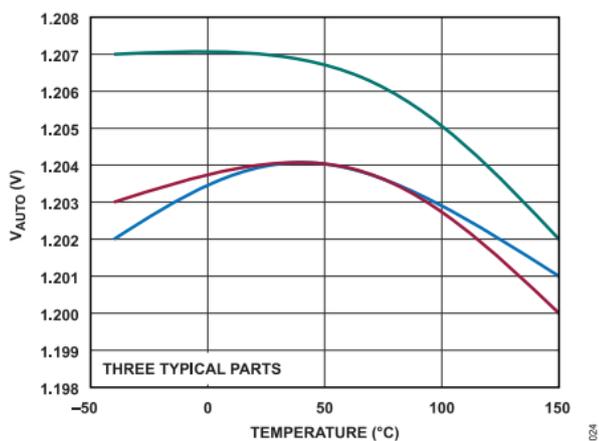


図 24.  $V_{AUTO}$ の温度特性、立上がりエッジ

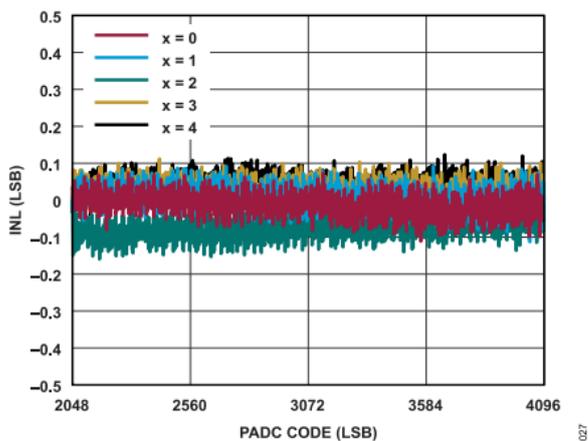


図 27. ポート・ソース電流リードバックADCのINL

代表的な性能特性

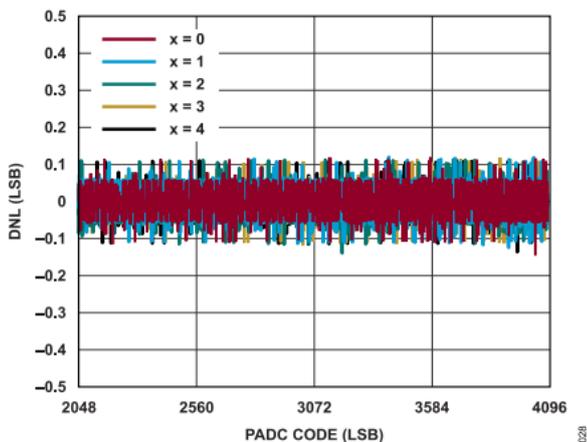


図 28. ポート・ソース電流リードバックADCの微分非直線性 (DNL)

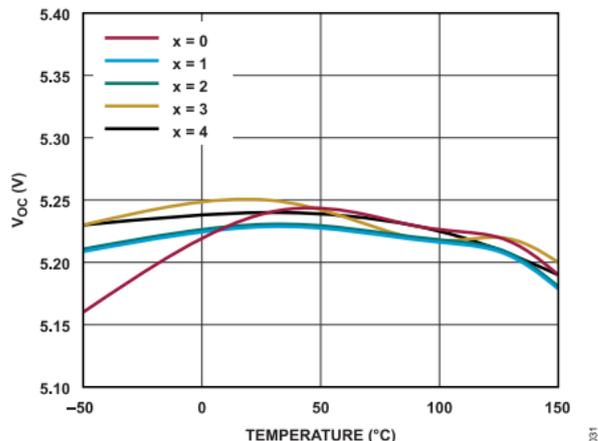


図 31.  $V_{OC}$ の温度特性

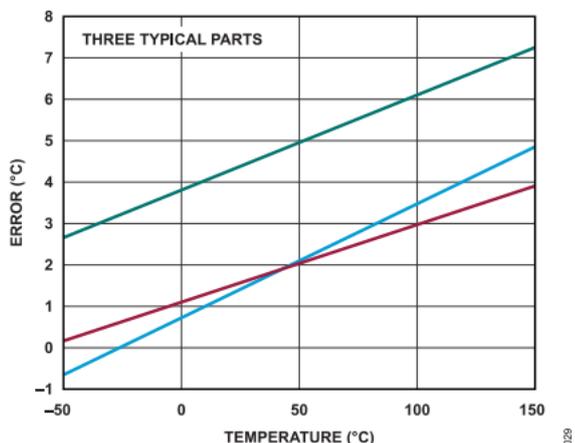


図 29. 内蔵温度センサー誤差の温度特性

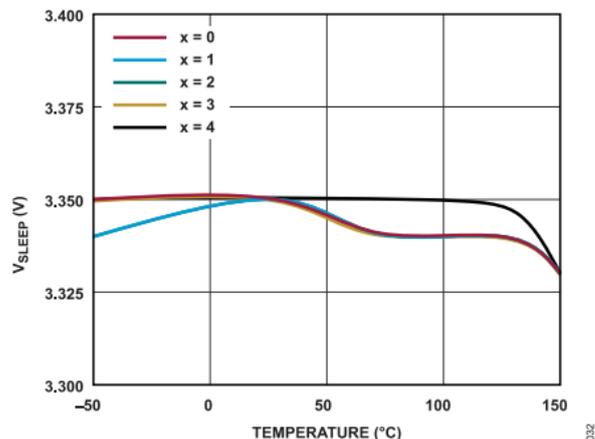


図 32.  $V_{SLEEP}$ の温度特性

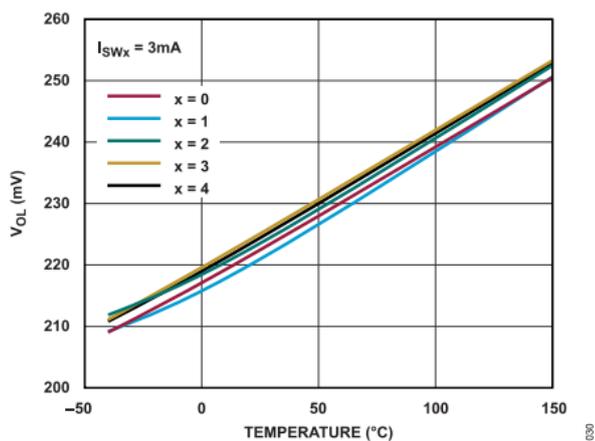


図 30.  $SW_x$ の $V_{OL}$ の温度特性

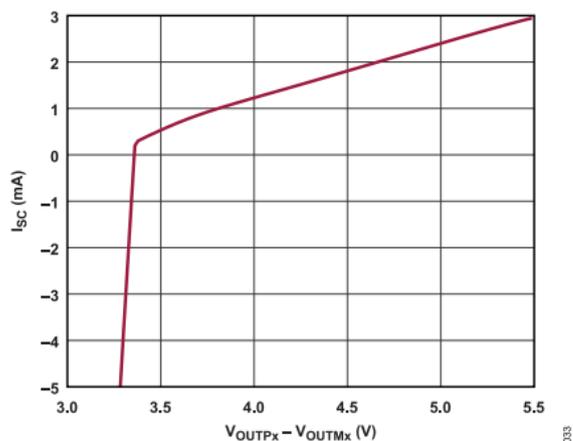


図 33.  $I_{SC}$ と $V_{OUTPx} - V_{OUTMx}$ の関係、スリープ・ステート

代表的な性能特性

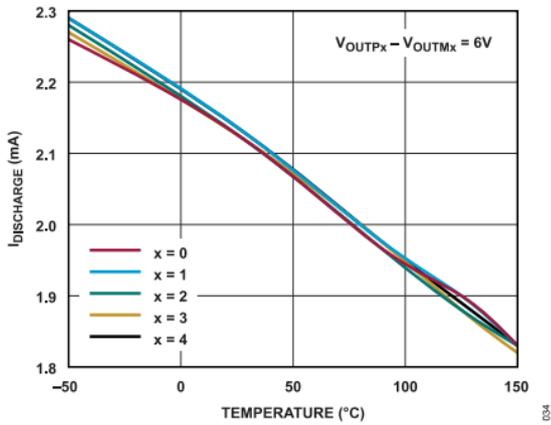


図 34.  $I_{DISCHARGE}$  の温度特性、スリープ移行ステート

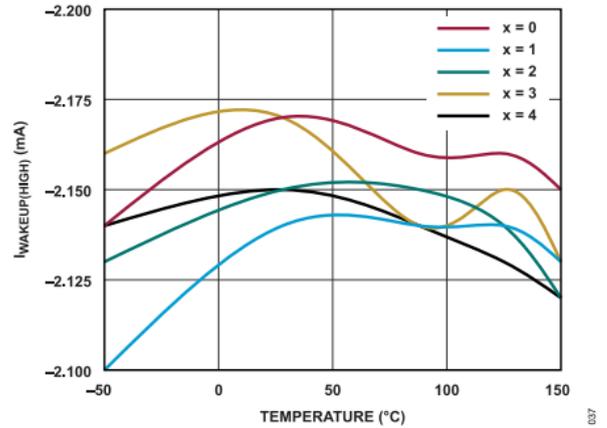


図 37.  $I_{WAKEUP(HIGH)}$  の温度特性

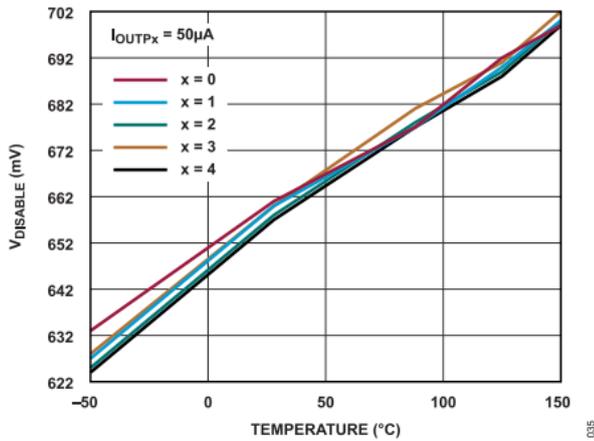


図 35.  $V_{DISABLE}$  の温度特性

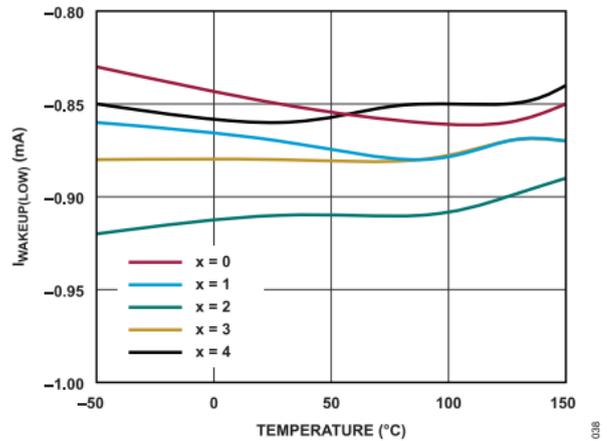


図 38.  $I_{WAKEUP(LOW)}$  の温度特性

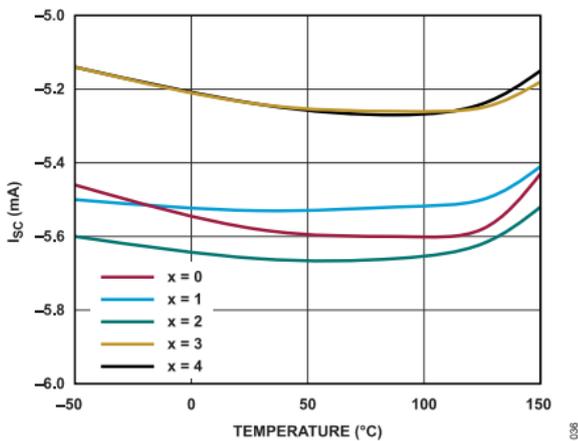


図 36.  $I_{SC}$  の温度特性、スリープ・ステート

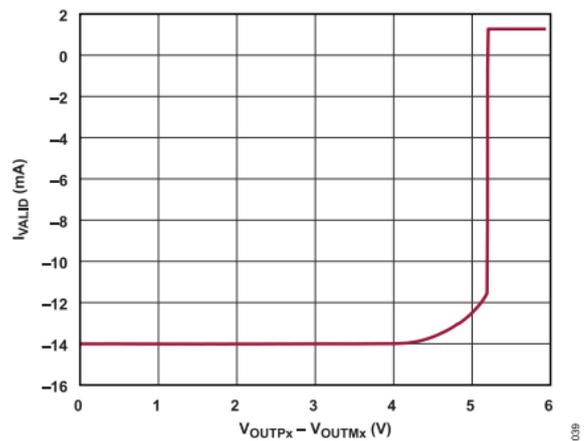


図 39.  $I_{VALID}$  と  $V_{OUTPx} - V_{OUTMx}$  の関係

代表的な性能特性

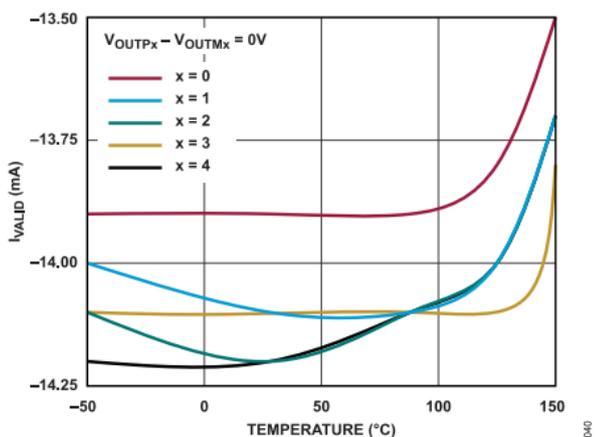


図 40.  $I_{INVALID}$ の温度特性、 $V_{OUTPx} - V_{OUTMx} = 0V$

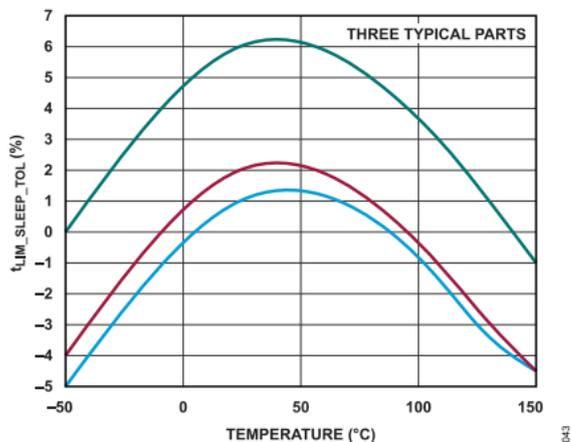


図 43.  $t_{LIM\_SLEEP\_TOL}$ の温度特性

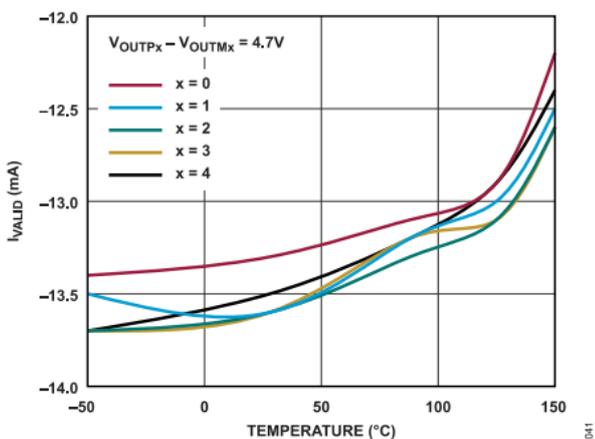


図 41.  $I_{INVALID}$ の温度特性、 $V_{OUTPx} - V_{OUTMx} = 4.7V$

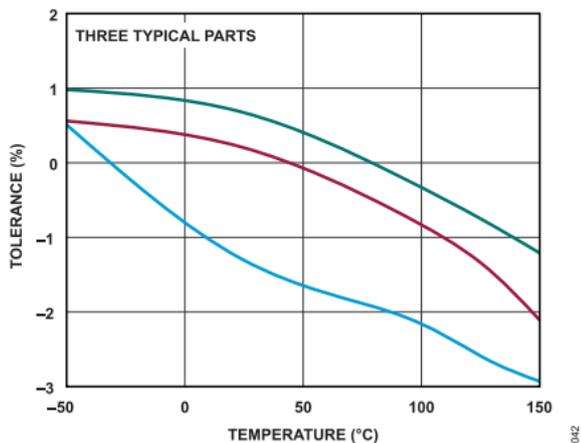


図 42. タイマー許容誤差の温度特性 ( $t_{INRUSH\_TOL}$ 、 $t_{LIM\_TOL}$ 、 $t_{OD\_TOL}$ 、および $t_{RESTART\_TOL}$ )

## 動作原理

### 概要

LTC4296-1はIEEE 802.3cgに準拠したSPoEのPSEコントローラで、最大5個のPDへの給電状態を制御しモニタします。SPoEの相補的なデータ・プロトコルは10BASE-T1Lです。

ホスト・マイクロコントローラを使用することにより、LTC4296-1は、IEEE 802.3cgに準拠したPSE設計を実装するために必要な回路を実現します。その他に必要な部品には、ポートごとの外部NチャンネルMOSFETと、フォールドバック型ACL機能を備えたハイサイド電子サーキット・ブレーカを実装するための検出抵抗が含まれます。ローサイド電子サーキット・ブレーカの実装には、オプションのローサイドNチャンネルMOSFETと、ポートごとのローサイド検出抵抗を組み合わせて使用することができます。このLTC4296-1アプリケーション回路はIEEE 802.3cgの要求するフォルト・トレランスを提供し、システムの信頼性を向上させるとともに、内蔵MOSFETを使用した設計と比較して電力損失を大幅に減らすことができます。

ソースおよびリターンのサーキット・ブレーカは、コネクタにおける以下の出力フォルトに対する保護を提供します。

- ▶ 2本の導線の短絡
- ▶ 外部正電圧に接続された1本または2本の導線の短絡
- ▶ グラウンドに接続された正の導線の短絡

PD分類用にLTC4296-1を設定するには、ホスト・マイクロコントローラを使用します。この設定は、SPIを使って設定レジスタに書込むことによって行われます。ホスト・マイクロコントローラは、SPI経由でLTC4296-1と通信を行って、ステータス、ポート電圧、電流などの遠隔測定データを読み出すこともできます。SPIのデータ完全性はPEC機能によって検証されます。

### SPoE

SPoEは、2線式のイーサネット用データ・ケーブルを使って電力を供給するための標準プロトコルです。SPoEは従来のパワー・オーバー・イーサネット (PoE) と概念的に似ていますが、その定義と実装は大きく異なります。主な相違は、PoEが4線式あるいは8線式の配線ペアによる電力供給技術を使用しているのに対し、2線式の給電回路で独自の電力結合技術を使用している点です。SPoEでは、1組の導線ペア、例えばバランスされたツイストペアや同軸ケーブルで電力とデータを同時に伝送することができます (図44)。

シングル・ペア・イーサネット (SPE) のデータ接続は、グラウンド・ループを避けるために両端でAC結合された1対の導線で構成されます。データに対し電力をコモン・モードで伝送するPoE

と異なり、SPoEシステムでは1対の導線ペアを使って電力とデータを同時に伝送します。

IEEE 802.3cg (SPoE) は、802.3bu (PoDL: パワー・オーバー・データ・ライン) の拡張規格です。IEEE規格協会は2016年にPoDLを規格化しました。10Mbpsから10Gbps以上までの複数の相補的なデータ規格が既に規格化されているほか、現在もいくつかを策定中です。PoDLは、電力供給の検出、分類、供給、切断、スタンバイのためのプロトコルを規定しています。IEEE 802.3cgは2019年に策定された規格で、10BASE-T1Lなど、最大1kmのケーブルを使用する長距離用プロトコルを対象とした機能が追加されています。

SPoEは、ビルディング・オートメーションやファクトリ・オートメーション市場の要求に対応できるように作られています。SPoEでは、PSEとPD用に、分類に基づく電力供給プロトコルを規定しています。分類はPSEとPDの規格適合性を確認し、短絡や断線のある機器には電力が供給されないようにします。PSEは、最高動作電圧を供給する前に、PDを検出して分類を行います。分類時、PSEはPDに対し、そのクラスやタイプに加えて、ケーブル抵抗測定 (CRM) をサポートしているかどうかについての情報を要求します。

そのPDが規格に適合しているとPSEが判定すると、PSEは、媒体依存インターフェース/電源インターフェース (MDI/PI) でPDに最高動作電圧を供給します。CRMがサポートされている場合は、PSEとPDの間で、PDへの余剰電力の割り当てをネゴシエートすることができます。PSEは、有効な検出シグネチャを提示するPDの分類とパワーアップをスキップすることができます。しかし、無効な検出シグネチャを提示するPDについては、電力を供給する前に分類を行わなければなりません。PDが最高電圧での電力供給を受け続けるには、MFVSを提示する必要があります。PDが切断された場合やスリープに入った場合、PSEはMFVSが無くなったことを検出して、最高動作電圧の供給を停止します。PSEは、フォルトや短絡が発生した場合も電圧出力を完全に停止します。

MFVSが得られずに最高動作電圧の出力を停止した後、PSEは低消費電力のスリープ・ステートに入り、 $V_{SLEEP}$  (代表値3.4V) をポートに供給します。

スリープからのウェイクアップ機能は柔軟で、アップストリーム方向 (PDが開始) またはダウンストリーム方向 (PSEが開始) で働かせることができます。PDは、ウェイクアップ電流シグネチャをPSEに提示することによって、最高動作電圧の回復を要求することができます。PSEが分類正常終了後に最高動作電圧を供給することによって、PDのウェイクアップを開始することもできます。

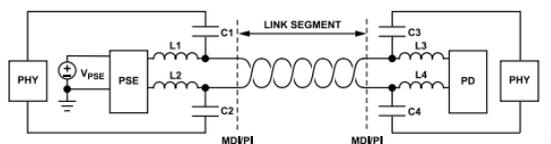


図 44. 基本的なSPoEアーキテクチャ

動作原理

10BASE-T1Lフィールド・スイッチPSE

LTC4296-1は、各ポートにPSEが必要な10BASE-T1Lフィールド・スイッチ用のソリューションを提供します。

各リンク・セグメントに接続されたPDの分類を行うことで、スイッチに供給される合計電力をサブシステムに適切に分配することができます。

10BASE-T1Lフィールド・スイッチの例を図45に示します。フィールド・スイッチ・ホスト・プロセッサは、SPIを介して、5ポートのイーサネット・スイッチ（内蔵MAC）とLTC4296-1を制御します。

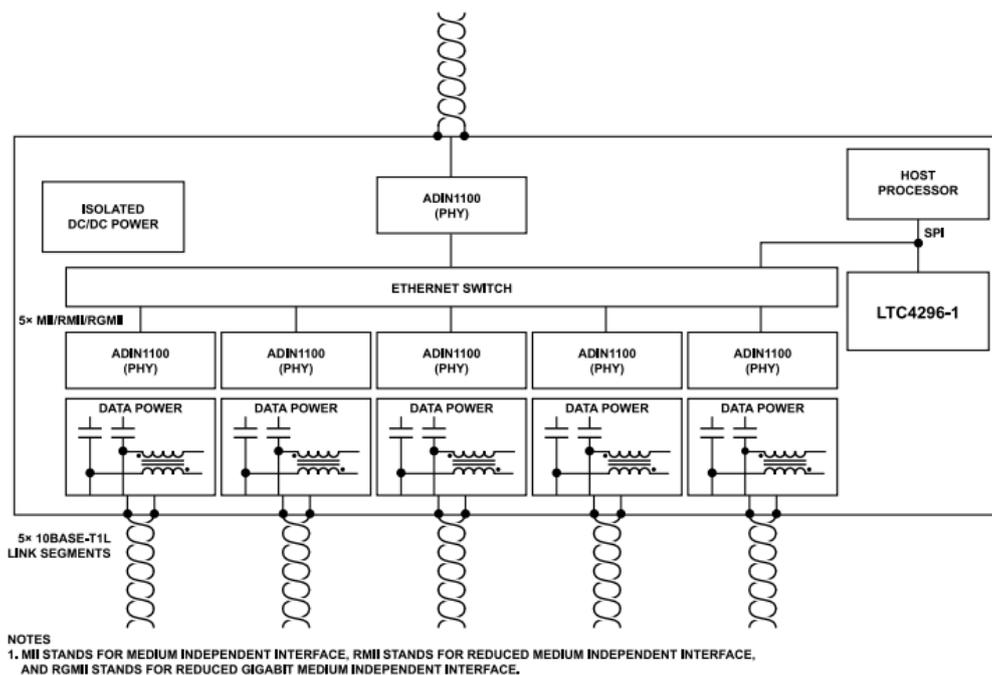


図 45. 10BASE-T1Lフィールド・スイッチPSE

## 動作原理

## 検出可能なシステムの種類

SPoEクラスは、PSEの出力電圧範囲と、システム内で供給または消費される最大電力を定義するものです。PoDLは0から15までのクラスで構成されています。表5と表6に示すように、クラス10～クラス15は検出可能なシステム用にIEEE 802.3cgで定義されています。クラス10～クラス12は24Vの公称PSE電圧を出力します。これは、多くの工業用オートメーション、ファクトリ・オートメーション、レガシー・ビルディング・オートメーション、および高湿度環境の要求に応えるものです。3つの24Vクラスのそれぞれは異なるケーブル定義に対応しており、最大供給電力も異なります。クラス13～クラス15は54Vの公称PSE電圧を出力し、安全特別低電圧（SELV）を超えることなく最大限の電力伝送を実現します。規格に適合するSPoE、PSE、およびPDクラスの組み合わせを表7に示します。

PoDLはPD分類用のSCCPを定義しています。SCCPでは、初期化、スロット読出し、スロット書き込みを示す3つの基本的な記号を使用します。分類は、SCCPを使い、ホスト・マイクロコントローラにより検出ステートで行われます。ホスト・マイクロコントローラによるSCCP実装の詳細な方法については、[EVAL-SPoE-KIT-AZ評価用キットのユーザ・ガイド](#)（LTC4296-1デモ・ボード）を参照してください。

IEEE 802.3cgは、SCCPの一部としてオプションのCRM機能もサポートしています。CRMにより、PSEが追加的な電力を割り当てることが可能になります。この電力は、最大許容ケーブル抵抗未満のケーブルを通じてPDが接続された場合のケーブル損失分に相当します。

表 5. PSEとPDのIEEE 802.3cgクラス電力条件マトリックス

Class Symbol and Unit	Class Description	Class 10	Class 11	Class 12	Class 13	Class 14	Class 15
$V_{PSE}$ (V)	PSE output voltage	20~30			50~58		
$I_{PI(MAX)}$ (mA)	Cable current	92	240	632	231	600	1579
$P_{CLASS(MIN)}$ (W)	PSE output power	1.85	4.8	12.63	11.54	30	79
$V_{PD(MIN)}$ (V)	PD input voltage	14			35		
$P_{PD(MAX)}$ (W)	PD power	1.23	3.2	8.4	7.7	20	52
$R_{LINK\_SEG\_LOOP}$ ( $\Omega$ )	Cable resistance	65	25	9.5	65	25	9.5

表 6. IEEE 802.3cgクラス電力条件マトリックスのリンク・セグメント例の最大距離

Example Cable	Maximum Lengths (m)					
	Class 10	Class 11	Class 12	Class 13	Class 14	Class 15
14AWG, 14 Gauge Cable	1000 <sup>1</sup>	1000	400	1000 <sup>1</sup>	1000	400
18AWG, 18 Gauge Cable	1000	400	158	1000	400	158
24AWG, 24 Gauge Cable	300	100	40	300	100	40

<sup>1</sup> IEEE 802.3cgはケーブル長を1000mに制限しています。

表 7. PSEクラスとPDクラスの適合性マトリックス

PD Class	PSE Class					
	10	11	12	13	14	15
10	Yes	Yes	Yes	No	No	No
11	No	Yes	Yes	No	No	No
12	No	No	Yes	No	No	No
13	No	No	No	Yes	Yes	Yes
14	No	No	No	No	Yes	Yes
15	No	No	No	No	No	Yes

## 動作原理

## ユースケース

## 802.3cg準拠のPSE

LTC4296-1の主なユースケースは802.3cg準拠のPSEです。この場合はLTC4296-1のAUTOピンがローにプルダウンされ、ホストが、図46に示す状態を通じてLTC4296-1のポートを半手動で操作します。LTC4296-1は、それぞれの状態に応じてポートの出力電圧を制御します。

システム・パワーアップまたはデバイス・リセットの場合、LTC4296-1はディスエーブル・ステートからスタートします。LTC4296-1のポートはホストによってイネーブルされ、アイドル・ステートへ移行します。次に、LTC4296-1は、次のステートへ移行するためのコマンドがホストから送られてくるのを待ちます。

準備が完了すると、ホストはLTC4296-1のポートが検出ステートに入るように設定します。LTC4296-1は、検出ステートへ移行する前に、ポートの現在の状態をチェックします。

ポートが検出ステートにあるときに、ホストはLTC4296-1を分類ステートに設定して、有効なPDとの間でSCCPを実行します。ホスト・マイクロコントローラによってPDのクラスが規格に適合していると判定されると、ホストはパワーアップ・ステートへの移行コマンドをポートへ送ることができます。

パワーアップ・ステートの間、LTC4296-1は突入電流を制御し、ポートの出力電圧をモニタして突入電流が終了したかどうかを判定します。

パワーアップが正常に終了すると、そのポートはパワーオン・ステートに入り、LTC4296-1が電流過負荷フォルトかMFVSタイムアウトを検出するまで、もしくは電力が供給されなくなってホストがパワーオン・ステートの終了をデバイスに指示するまで、そのステートを維持します。

MFVSが無効なためにLTC4296-1がポートへの電力供給を停止した場合、LTC4296-1はスリープ移行ステートでポート電圧の放電をモニタします。

ポートの放電が正常に完了すると、LTC4296-1は低消費電力のスリープ・ステートに入ります。このステートでは、LTC4296-1は、ユーザ、ホスト、またはPDがウェイクアップを開始するのを待ってから検出ステートに戻ります。

アイドル、パワーオン、スリープ移行、またはスリープ・ステートにある間、LTC4296-1は、ポートの電流過負荷フォルト状態の有無をモニタします。フォルトが発生した場合、LTC4296-1はそのポートをオフにし、過負荷ステートで設定時間が経過するのを待った後、アイドル・ステートに入ります。

割り当てられた最大時間が経過するまでにポートが検出ステートまたはパワーアップ・ステートを正常に終了できなかった場合は、再起動ステートに入ります。ポートはその後、設定時間が経過するのを待ってから再びアイドル・ステートに入ります。

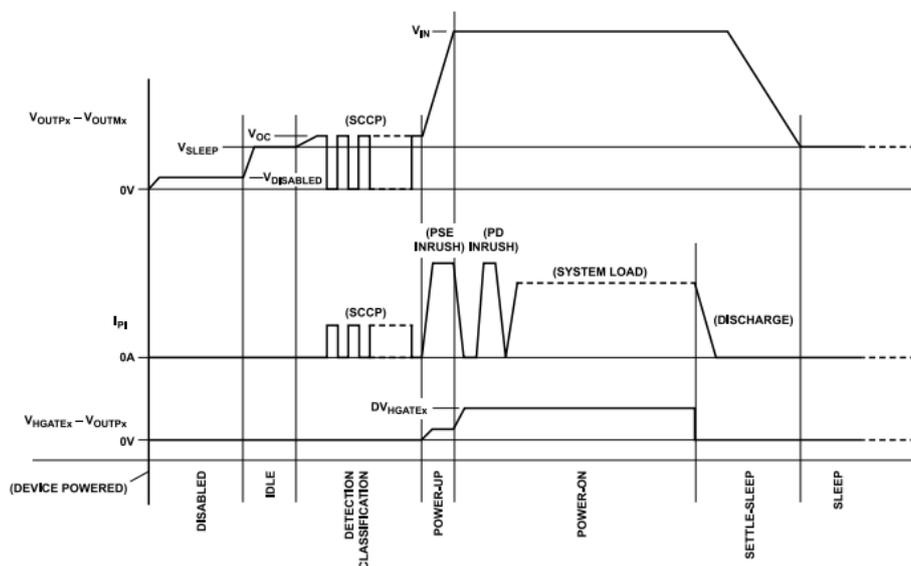


図 46. 802.3cgに準拠したPSEステート・シーケンス (簡略図 - 時間や電圧のスケールは正確ではありません)

## 動作原理

### 自律モード

分類を必要としないアプリケーションの場合、AUTOピンをハイにプルアップすると、LTC4296-1はホスト・コントローラを問わずに自律モードで動作します。自律モードでは、PDが有効な検出シグネチャを示している場合、LTC4296-1は任意のポートをパワーアップします。このモードは、基本的な検出しか必要としないアプリケーションに最適です。パワーアップは、シグネチャ・オーバーライド・グッド・ビット（レジスタPxCFG1、ビット0、SIG\_OVERRIDE\_GOOD）を設定することにより、検出シグネチャに関わらず行うことができます。

### ポート・ステートの説明

#### 概要

LTC4296-1のすべてのポートは、ユースケースのセクションに示すPSEステートを実装しています（802.3cg準拠のPSEのセクションと自律モードのセクションを参照）。以降のセクションでは各ステートについて詳しく説明します。

#### ディスエーブル・ステート

パワーオンまたはソフトウェア・リセット後、ポートはディスエーブル・ステートからスタートします。このステートではハイサイドMOSFETがオフにされ、内部プルダウンによりポート電圧がV<sub>DISABLED</sub>未満まで放電されます。ポートは、ソフトウェア・イネーブル・ビットによってイネーブルされるか（レジスタPxCFG0、ビット0、SW\_EN）、AUTOピンがハイで、なおかつマスクされていない状態になるまで（レジスタPxCFG0、ビット1、HW\_EN\_MASK）、このステートを維持します。イネーブルされると、そのポートはアイドル・ステートになります。

#### アイドル・ステート

アイドル・ステートでは、LTC4296-1によってポート出力がV<sub>SLEEP</sub>にバイアスされます。出力電圧がV<sub>SLEEP</sub>の範囲内で、出力電流がI<sub>WAKEUP</sub>の最大値未満、なおかつAUTOピンがハイかつソフトウェアPSEレディがアサートされている（レジスタPxCFG0、ビット6、SW\_PSE\_READY）場合、そのポートは検出ステートへ進みます。ポート電流がI<sub>WAKEUP</sub>を超えた状態でt<sub>LIM\_SLEEP</sub>が経過すると、そのポートは過負荷ステートに入ります。

#### 検出ステート

PDの検出は検出ステートで行われます。検出時にはプローブ電流I<sub>INVALID</sub>がソースされて、ポートがPDを探します。分類を必要と

しないPDは、PSEがI<sub>INVALID</sub>をソースすると、4.05V～4.55Vの有効な検出シグネチャを示します。代表的な有効PDの検出シーケンスを図47に示します。

PSEは、t<sub>SIG\_HOLD</sub>以上の時間にわたって有効な検出シグネチャ電圧が確認された場合、そのPD検出シグネチャを受け入れなければなりません。一方、V<sub>BAD\_LO\_PSE</sub>（3.7V）未満の電圧またはV<sub>BAD\_HI\_PSE</sub>（5V）を超える電圧（図48の濃いグレー部分）は、これを拒否しなければなりません。拒否する限界値と受け入れる限界値の間の未定義領域（薄いグレー部分）の電圧を受け入れるかどうかは、PSEで選択できます。

検出タイマーがディスエーブルされている場合（PxCFG0、ビット11、TDET\_DISABLE）を除き、t<sub>DET</sub>が経過すると、ポートは検出ステートを終了します。有効なPDシグネチャが検出されないままt<sub>DET</sub>タイマーが終了すると、ポートは、再起動ステートに入ってからアイドル・ステートに戻ります。

分類を必要としないユースケースでは、パワーアップ・ステートへ進む場合は以下の条件を満たす必要があります。

- ▶ 有効な検出シグネチャが確認された（つまりレジスタPxCFG1、ビット0、SIG\_OVERRIDE\_GOODがセットされた）。
- ▶ グローバル・ソフトウェア・パワーグッド・ビットがセットされた（レジスタGCFG、ビット0、SW\_VIN\_PGOOD）。
- ▶ ポートのソフトウェア電源使用可能ビットがセットされた（レジスタPxCFG0、ビット5、W\_POWER\_AVAILABLE）。ポートのソフトウェア電源使用可能ビットがセットされない場合、そのポートは検出ステートを終了して再起動ステートへ移行します。

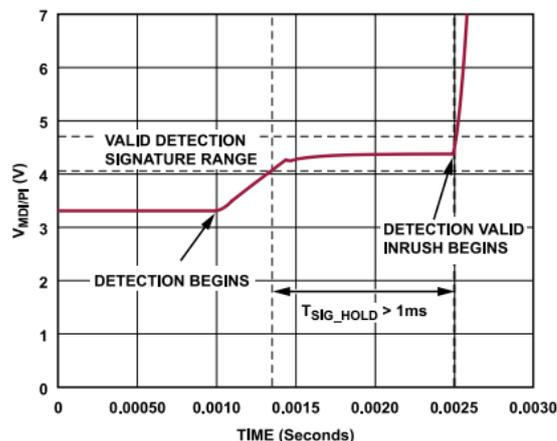


図 47. 代表的な有効検出シーケンス波形

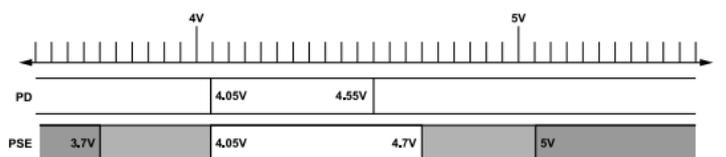


図 48. IEEE 802.3buのシグネチャ電圧範囲

## 動作原理

### 分類ステート

分類は、SCCPを使い、ホスト・マイクロコントローラにより検出ステートで行われます。ホスト・マイクロコントローラによるSCCP実装方法の詳細については、[EVAL-SPoE-KIT-AZ評価用キットのユーザ・ガイド \(LTC4296-1デモ・ボード\)](#) を参照してください。

分類の設定は、検出ステートに入る前に、ソフトウェアPSEレディ・ビット (PxCFG0、ビット6、SW\_PSE\_READY) と分類モード・ビット (PxCFG0、ビット13、SET\_CLASSIFICATION\_MODE) をセットすることによって行います。検出ステートで分類モード・ビットがアサートされると、ポートSW<sub>x</sub>ピンがローにプルダウンされて、そのポートの外部スナバ・スイッチMOSFET (M2) をディスエーブルします。

適合クラスに属する有効なPDをマイクロコントローラが検出すると、ポートのソフトウェア電源使用可能ビット (レジスタPxCFG0、ビット5、SW\_POWER\_AVAILABLE) と分類終了ビット (レジスタPxCFG0、ビット14、END\_CLASSIFICATION) をセットすることにより、そのポートをパワーアップ・ステートへ移行させることができます。

有効なシグネチャを持つPD、または適合するクラスのPDが存在しない場合、そのポートは、ポート・ソフトウェア電源使用可能ビットをクリアしてレジスタPxCFG0のビット14

(END\_CLASSIFICATION) をセットすることにより、再起動ステートを介してアイドル・ステートへ戻ることができます。

### パワーアップ・ステート

パワーアップ・ステートでは、ポートが、HGATE<sub>x</sub>の電圧を制御された形でランプアップさせて、突入電流を制限します。通常のパワーアップ状況では、ポート電圧がV<sub>LIMK</sub>に達するまで、もしくは突入電流発生時のスルー・レートdV<sub>HGATE<sub>x</sub></sub>/dtが最大値に達するまで、HGATE<sub>x</sub>電圧が上昇します。突入電流時間 (t<sub>INRUSH</sub>) タイマーは、パワーアップ・ステートになると開始されます。

ポート出力電圧のランプアップ時はポート電流が減少し、外部MOSFETを完全にエンハンスするまで、HGATE<sub>x</sub>ピン電圧が上昇を続けます。MOSFETの最終的なゲート・ソース間電圧は、ΔV<sub>HGATE<sub>x</sub></sub>です。パワーアップは、INピンとポートのOUTP<sub>x</sub>ピン間の電圧が、ハイサイドのパワーグッド閾値電圧ΔV<sub>OUTP<sub>x</sub>PWRGD</sub>未満に低下した時点で完了です。

突入電流がt<sub>INRUSH</sub>以内に終了しない場合、そのポートは再起動ステートになり、そのポートのt<sub>INRUSH</sub>タイマー完了ビットがセットされます (レジスタPxEV、ビット3、TINRUSH\_TIMER\_DONE)。t<sub>INRUSH</sub>タイマーの限界値はプログラム可能です (PxCFG1、ビット[3:2]、TINRUSH\_TIMER)。突入電流がt<sub>INRUSH</sub>以内に終了すると、そのポートはパワーオン・ステートへ移行します。

### パワーオン・ステート

パワーオン・ステートで動作中は、ハイサイド出力電流がポートの電流検出ADCによって継続的にモニタされ、フォールドバックACL機能付きの電子サーキット・ブレーカによって制限されず、PDが有効なMFVSを提示しないままにt<sub>MFVDO</sub>が経過すると、そのポートはスリープ移行ステートに遷移して、ポート出力電圧をV<sub>SLEEP</sub>範囲まで放電し始めます。ホストは、電源を使用できないと判断した場合、ポートのソフトウェア電源使用可能ビット (レジスタPxCFG0、ビット5、SW\_POWER\_AVAILABLE) をデ

アサートすることができます。

### スリープ移行ステート

スリープ移行ステートでは、プルダウン電流I<sub>DISCHARGE</sub>によってポート出力がV<sub>SLEEP</sub>まで放電されます。出力電圧がt<sub>OFF</sub>以内にV<sub>SLEEP</sub>まで放電されると、そのポートはスリープ・ステートになります。ポート出力をt<sub>OFF</sub>以内にV<sub>SLEEP</sub>まで放電できない場合、そのポートはスリープ移行ステートから過負荷ステートになります。

### スリープ・ステート

スリープ・ステートでは、ポート出力がV<sub>SLEEP</sub>に維持されて、PDからのウェイクアップ・シグネチャ電流I<sub>WAKEUP</sub>がモニタされません。t<sub>WAKEUP</sub>以上の時間にわたって有効なウェイクアップ・シグネチャが検出されると、PSEは検出ステートになります。ウェイクアップ・イベントは、SPIまたはWAKEUPピンを介し、PSEアプリケーションのホスト・マイクロプロセッサによって開始することもできます。

スリープ・ステートでは、内部低ドロップアウト (LDO) レギュレータがポート出力電圧をV<sub>SLEEP</sub>にバイアスし続けます。スリープ・ステートでPDが消費する電流は100μA未満です。PDは、0.2ms以上のWAKEUP\_PD時間 (t<sub>WAKEUP\_PD</sub>) にわたって1.3mA～1.8mAのウェイクアップ・シグネチャ電流 (I<sub>WAKEUP\_PD</sub>) を流すことにより、再び最高動作電圧を加えるようPSEに要求することができます。PSEの出力電流がt<sub>WAKEUP</sub>以上にわたってI<sub>WAKEUP</sub>の範囲にある場合、PSEはウェイクアップして検出ステートへ移行する必要があります。電流が0.5mA～1.25mAまたは1.85mA～2.5mAの範囲の場合は、PSEをウェイクアップさせることもさせないことも可能です。0.5mA未満の電流や2.5mAを超える電流でPSEがウェイクアップすることはありません (図49を参照)。ポートは、プリバイアス・オーバーライド・グッド・ビット (レジスタPxCFG1、ビット8、PREBIAS\_OVERRIDE\_GOOD) をセットすることによって、強制的に有効なPDウェイクアップ・シグネチャ状態にすることができます。

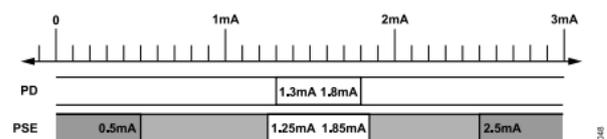


図 49. IEEE 802.3buのウェイクアップ電流範囲

ポートは、ポート設定0レジスタのアップストリーム・ウェイクアップ・ビット (レジスタPxCFG0、ビット4、UPSTREAM\_WAKEUP\_DISABLE) をセットすることにより、PDが開始したウェイクアップをディスエーブルできます。

ポートは、ソフトウェア・ウェイクアップ・ビット (レジスタPxCFG0、ビット2、SW\_PSE\_WAKEUP) をセットすることによって、スリープ・ステートを強制的に終了させることもできます。もしくは、ダウンストリーム・ウェイクアップ・ディスエーブル・ビット (レジスタPxCFG0、ビット3、DOWNSTREAM\_WAKEUP\_DISABLE) がセットされていない場合は、WAKEUPピンをハイにすることによって、そのポートのスリープ・ステートを強制的に終了できます。

### 再起動ステート

再起動ステートでは、ポート出力電圧がV<sub>SLEEP</sub>にバイアスされず、ポートは、アイドル・ステートになる前に、少なくとも再起

## 動作原理

動時間 ( $t_{\text{RESTART}}$ ) だけ待機します。 $t_{\text{RESTART}}$  タイマーの終了値はプログラム可能です (レジスタ  $\text{PxCFG1}$ 、ビット [5:4]、 $\text{TOD\_TRESTART\_TIMER}$ )。

### 過負荷状態

電流過負荷フォルトは、ディスエーブル・ステートと検出ステートを除いて、どのステートでも発生する可能性があります。このフォルトが発生すると、そのポートは過負荷状態になります。

過負荷状態では、そのポートのハイサイド MOSFET がオフになって、ポート出力電圧が  $V_{\text{DISABLE}}$  の範囲まで放電されます。ポートは、過負荷遅延時間 ( $t_{\text{OD}}$ ) が経過するのを待ってからアイドル・ステートへ移行します。 $t_{\text{OD}}$  タイマーの終了値はプログラム可能です ( $\text{PxCFG1}$ 、ビット [5:4]、 $\text{TOD\_TRESTART\_TIMER}$ )。

### 最高電圧保持シグネチャ (MFVS)

MFVS の検出により、PD が接続され、なおかつ最大電力を必要としている場合のみ最高動作電圧を加えるようにすることができます。PD が最高動作電圧の供給を受け続けるには、11mA 以上の電流が流れ込むようにする必要があります。パワーオン・ステートでは、ポート電流が  $t_{\text{MFVS}}$  以上にわたって 10mA の最大保持電流 ( $I_{\text{HOLD(MAX)}}$ ) を超えた状態を維持すると、MFVS が存在していると思われ見なされます。ポートの MFVS は、ポート電流が 2.5mA の最小保持電流 ( $I_{\text{HOLD(MIN)}}$ ) 未満に低下した状態が  $t_{\text{MFVDO}}$  以上続くと存在しないものと見なされます。ポート電流が  $I_{\text{HOLD}}$  の範囲内にある場合 (図 50) は、MFVS が存在すると見なすことも、存在しないと見なすこともできます。MFVS が存在しない場合はポートがスリープ移行ステートになり、ポート出力電圧を  $V_{\text{SLEEP}}$  の範囲まで放電します。

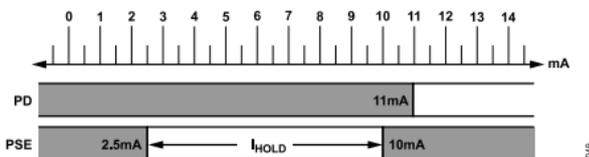


図 50. IEEE 802.3bu の MFVS 電流範囲

LTC4296-1 は、高度なパワー・マネージメント機能を数多く内蔵しています。WAKEUP ピンは、PD がウェイクアップを開始したことを示したり、ウェイクアップ要求を転送したりするための、ハードウェア割込みとして使用できます。これらはどちらも SPI を介してディスエーブルできます。LTC4296-1 は、低電流のディープ・スリープ・モードにすることもできます。このモードは、バッテリー駆動アプリケーションにおいて、すべてのポートがディスエーブル・ステートやスリープ・ステートになった場合に便利です。

MFVS が存在しない場合は、 $t_{\text{MFVDO}}$  タイマーをディスエーブルすることによって (レジスタ  $\text{PxCFG0}$ 、ビット 7、 $\text{TMFVDO\_TIMER\_DISABLE}$ )、ポートを強制的にパワーオン・ステートに保持することができます。

ポートの MFVS 閾値はプログラム可能です (レジスタ  $\text{PxADCCFG}$ 、ビット [7:0]、 $\text{MFVS\_THRESHOLD}$ )。次の式は、最適コードをハイサイド検出抵抗  $R1$  の関数として示したものです。値は少数点以下を四捨五入して使用します。

$$\text{MFVS 閾値コード} = 62.5 \times R1 \quad (1)$$

## ホスト・シリアル・インターフェース

LTC4296-1 は、SPI を使ってシステム・ホストと通信します。複数のエンド・デバイスが同じ SPI バスを共有している場合、 $\overline{\text{CS}}$  入力により、ホストがシリアル通信を行うエンド・デバイスを 1 回で選択できます。

### SPI クロックの位相と極性

LTC4296-1 は SPI モード 3 で動作します (SCK 極性 (CPOL) = 1、クロック位相 (CPHA) = 0、アイドル CLK = 1)。したがって、図 51 (書き込み) と図 52 (読出し) に示すように、SCK の立上がりエッジにおいて SDI 上のデータが安定していなければなりません。

### データ伝送

すべてのコマンド (読出しまたは書き込み) は 1 バイト長で、7 ビットのアドレスと 1 ビットの読出し/書き込みビットで構成されません。すべてのレジスタ値は 2 バイト長です。コマンドとデータは MSB ファーストで伝送されます。

書き込み時、SDI のデータ値は SCK の立上がりエッジでデバイスにラッチされます (図 51)。同様に、読込み時には、SDO に出力されるデータ値が SCK の立上がりエッジで有効になり、SCK の立下がりエッジで遷移します (図 52)。 $\overline{\text{CS}}$  は、コマンド・バイトからその後続くデータまでの間を含め、コマンド・シーケンスの間を通してローに保つ必要があります。

### PEC バイト

PEC バイトは、レジスタ・グループ内の全てのビットについて、それらが渡された順番に計算される巡回冗長検査 (CRC) 値です。この計算には、PEC の初期値を  $0x41$  として、 $x^8 + x^2 + x + 1$  という特性多項式を使います。

8 ビットの PEC 値の計算は、以下の手順で行います。

1. PEC を  $0x41$  に初期化します。
2. レジスタ・グループに入る各データ・ビット (DIN) について、 $\text{IN0} = \text{DIN XOR PEC}$  に設定し (ビット 7)、次いで  $\text{IN1} = \text{PEC0 XOR IN0}$ 、 $\text{IN2} = \text{PEC1 XOR IN0}$  に設定します。
3. 8 ビット PEC を、 $\text{PEC7} = \text{PEC6}$ 、 $\text{PEC6} = \text{PEC5}$  ...  $\text{PEC3} = \text{PEC2}$ 、 $\text{PEC2} = \text{IN2}$ 、 $\text{PEC1} = \text{IN1}$ 、 $\text{PEC0} = \text{IN0}$  に更新します。
4. すべてのデータがシフトされるまで、ステップ 2 に戻って繰り返します。この 8 ビットの結果が最終 PEC バイトです。

所定の SPI トランザクションについて、上に示したステップを使い、アドレスと読出し/書き込みビットを含むコマンド・バイト全体に対する PEC バイトが計算されます。次いで、その後のデータ・ワードの読出しまたは書き込みのために、この PEC バイトが再び  $0x41$  に初期化されます。PEC バイトは、それぞれのデータ・ワードについて個別に計算されます。

LTC4296-1 は、受け取った任意のコマンドまたはデータの PEC バイトを計算して、それを、そのコマンドまたはデータの後に受け取った PEC バイトと比較します。そのコマンドまたはデータは、PEC バイトが一致する場合にのみ有効と見なされます。SPI 読出し動作では、LTC4296-1 は、SDO ピンにシフト出力したデータの末尾に計算した PEC バイトを追加します。

## 動作原理

シリアル・データ・トランザクションに無効なコマンド・バイト・シーケンスが含まれている場合は、コマンド・フォルト・ビット (レジスタGFLTEV、ビット3、COMMAND\_FAULT) が、無効なPECバイトが含まれている場合はPECフォルト・ビット (レジスタGFLTEV、ビット2、PEC\_FAULT) が、グローバル・フォルト・イベント・レジスタにセットされます。グローバル・コマンド・レジスタは、レジスタ・マップへの書き込みアクセスをディスエーブルするコードを書き込むことによって、意図しない書き込みからレジスタを保護するために使用することもできます。リセ

ット・イベントの後に書き込みアクセスをイネーブルするには、グローバル・コマンド・レジスタ (レジスタGCMD、ビット[7:0]、WRITE\_PROTECT) にロック解除キーを書き込むことによって、最初にホストがLTC4296-1のロックを解除する必要があります。表8から表13までに示すレジスタの説明を参照してください。

サンプル・コードは、PECによるSPI書き込みおよび読出し動作の疑似コード実装です。

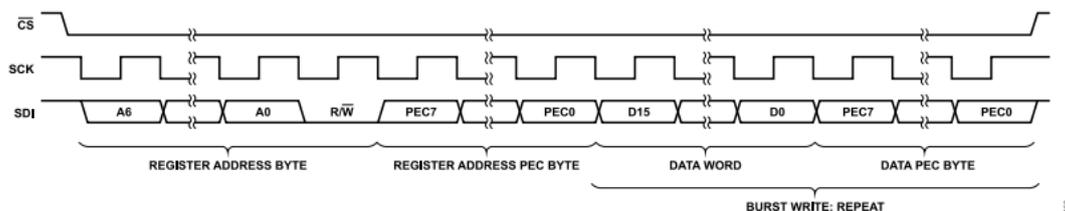


図 51. SPI書き込み

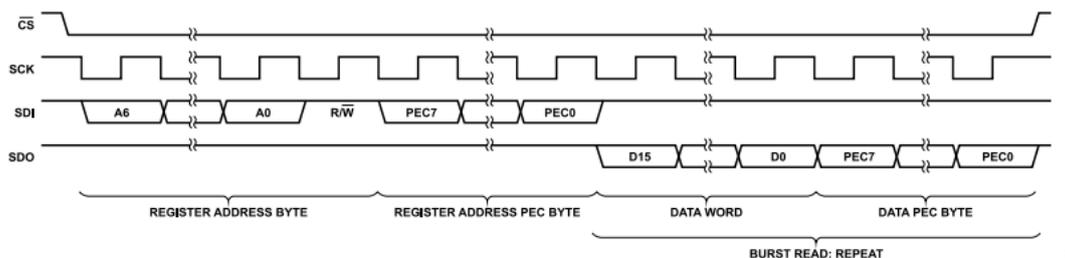


図 52. SPI読出し

## サンプル・コード

PECによるSPI書き込みおよび呼び出し動作の疑似コード実装

```
//*****  
// Copyright 2022 Analog Devices, Inc.  
// All rights reserved.  
//  
// EXAMPLE:LTC4296-1 SPI PEC Calculation and Read/Write Transactions in C  
//*****/  
uint8_t get_pec_byte(uint8_t data, uint8_t seed)  
{  
    uint8_t pec = seed;  
    uint8_t din, in0, in1, in2;  
    int bit;  
    for(bit=7; bit>=0; bit--)  
    {  
        din = (data>>bit) & 0x01;  
        in0 = din ^ ( (pec>>7) & 0x01 ); in1 = in0 ^ ( pec & 0x01);  
        in2 = in0 ^ ( (pec>>1) & 0x01 ); pec = (pec << 1);  
        pec &= ~(0x07);  
        pec = pec | in0 | (in1<<1) | (in2<<2);  
    }  
    return pec;  
}  
  
void example_write(uint8_t register_address, uint16_t value)  
{  
    uint8_t tx_buf[5];  
    // command byte: register address with r/w bit  
    tx_buf[0] = (register_address << 1) & ~(0x01); // r/w bit = 0 for write  
  
    // pec byte from command byte  
    tx_buf[1] = get_pec_byte(tx_buf[0], 0x41);  
  
    // data word:2 bytes, MSB first  
    tx_buf[2] = value >> 8; // MSB  
    tx_buf[3] = value & 0xFF; // LSB  
  
    // pec byte from data word by using pec calculation twice  
    uint8_t intermediate = get_pec_byte(tx_buf[2], 0x41);  
    tx_buf[4] = get_pec_byte(tx_buf[3], intermediate);  
  
    // transmit 5 bytes on spi bus  
    spi_tx(tx_buf, 5);  
}  
  
uint16_t example_read(uint8_t register_address)  
{  
    uint8_t tx_buf[2];  
    uint8_t rx_buf[3];  
  
    // command byte: register address with r/w bit  
    tx_buf[0] = (register_address << 1) | 0x01;  
  
    // pec byte from command byte
```

## サンプル・コード

```
tx_buf[1] = get_pec_byte(tx_buf[0], 0x41);

// transmit command byte and pec byte
spi_tx(tx_buf,2);

// receive data word and pec byte into rx_buf
spi_rx(rx_buf,3);

// construct register value from received data word
uint16_t register_value = ((uint16_t)rx_buf[0] << 8) | (uint16_t)rx_buf[1];
return register_value;
}
/*****/
```

## レジスタ・マップ

表8のアクセス列にある「R」は、読み出し専用であることを示します。書き込み動作にも読み出し動作にも影響はなく、現在の値をリード・バックします。「R/W」は読み出しと書き込みを意味します。書き込みを行うと値が書き込み値に変更されますが、読み出しは値に影響を与えずに現在の値を読み出します。「1を書き込んでクリア」は、書き込まれた値のビットが1の場合はそのビットが0にセットされ、それ以外の場合はビットに影響がないことを意味します。「1を書き込んでクリア」は読み出し動作に影響せず、現在の値をリード・バックします。

「W」は書き込み専用であることを示します。書き込みを行うと値が書き込み値に変更されます。読み出しは値に影響を与えず、リードバック値は未定またはドント・ケアです。

表8にないレジスタ・アドレスは予備なので、書き込まないでください。

表 8. レジスタ・マップ

レジスタ・アドレス	レジスタ名	説明	リセット	アクセス
0x02	GFLTEV	グローバル・フォルト・イベント・レジスタ、読み出し/1を書き込んでクリア。グローバル・レベル・フォルトの存在を示します。	0x0010	R/W
0x03	GFLTMSK	グローバル・フォルト・イベント・マスク・レジスタ、読み出し/書き込み。グローバル・レベル・フォルト・イベントのマスクを提供します。	0x000F	R/W
0x06	GCAP	グローバル機能レジスタ、読み出し専用。PoDL規格のサポート機能を示します。	0x0025	R
0x07	GHOST	グローバル・ステータス・レジスタ、読み出し専用。入力と出力のステータスを示します。	0x0000	R
0x08	GCMD	グローバル・コマンド・レジスタ、読み出し/書き込み。チップを設定するためのホストのエントリ・ポイント。	0x00A0	R/W
0x09	GCFG	グローバル設定レジスタ、読み出し/書き込み。ホストがグローバル機能を設定できるようにします。	0x0009	R/W
0x0A	GADCCFG	グローバルADC設定レジスタ、読み出し/書き込み。ホストがグローバルADCを設定できるようにします。	0x0000	R/W
0x0B	GADC DAT	グローバルADCデータ・レジスタ、読み出し専用。ホストが最新のグローバルADC測定値を読み出せるようにします。	0x0000	R
0x10	P0EV	ポート0イベント・レジスタ、読み出し/1を書き込んでクリア。ポート0のイベントの存在を示します。	0x0000	R/W
0x12	P0ST	ポート0ステータス・レジスタ、読み出し専用。ポート0イベントのステータスを示します。	0x0000	R
0x13	P0CFG0	ポート0設定レジスタ0、読み出し/書き込み。ポート0の設定を行います。	0x0002	R/W
0x14	P0CFG1	ポート0設定レジスタ1、読み出し/書き込み。ポート0の設定を行います。	0x0008	R/W
0x15	P0ADCCFG	ポート0 ADC設定レジスタ、読み出し/書き込み。ポート0のADCの設定を行います。	0x0006	R/W
0x16	P0ADC DAT	ポート0 ADCデータ・レジスタ、読み出し専用。ホストがポート0 ADCの最新の測定値を読み出せるようにします。	0x0000	R
0x17	P0SELFTEST	ポート0セルフ・テスト・レジスタ、読み出し/書き込み。ホストがポート0の診断を行えるようにします。	0x0000	R/W
0x20	P1EV	ポート1イベント・レジスタ、読み出し/1を書き込んでクリア。ポート1のイベントの存在を示します。	0x0000	R/W
0x22	P1ST	ポート1ステータス・レジスタ、読み出し専用。ポート1のイベントのステータスを示します。	0x0000	R
0x23	P1CFG0	ポート1設定レジスタ0、読み出し/書き込み。ポート1の設定を行います。	0x0002	R/W
0x24	P1CFG1	ポート1設定レジスタ1、読み出し/書き込み。ポート1の設定を行います。	0x0008	R/W
0x25	P1ADCCFG	ポート1 ADC設定レジスタ、読み出し/書き込み。ポート1のADCの設定を行います。	0x0006	R/W
0x26	P1ADC DAT	ポート1 ADCデータ・レジスタ、読み出し専用。ホストがポート1 ADCの最新の測定値を読み出せるようにします。	0x0000	R
0x27	P1SELFTEST	ポート1セルフ・テスト・レジスタ、読み出し/書き込み。ホストがポート1の診断を行えるようにします。	0x0000	R/W

表 8. レジスタ・マップ

レジスタ・アドレス	レジスタ名	説明	リセット	アクセス
0x30	P2EV	ポート2イベント・レジスタ、読出し/1を書き込んでクリア。ポート2のイベントの存在を示します。	0x0000	R/W
0x32	P2ST	ポート2ステータス・レジスタ、読出し専用。ポート2のイベントのステータスを示します。	0x0000	R
0x33	P2CFG0	ポート2設定レジスタ0、読出し/書込み、ポート2の設定を行います。	0x0002	R/W
0x34	P2CFG1	ポート2設定レジスタ1、読出し/書込み。ポート2の設定を行います。	0x0000	R/W
0x35	P2ADCCFG	ポート2 ADC設定レジスタ、読出し/書込み。ポート2のADCの設定を行います。	0x0006	R/W
0x36	P2ADCDAT	ポート2 ADCデータ・レジスタ、読出し専用。ホストがポート2 ADCの最新の測定値を読み出せるようにします。	0x0000	R
0x37	P2SELFTTEST	ポート2セルフ・テスト・レジスタ、読出し/書込み。ホストがポート2の診断を行えるようにします。	0x0000	R/W
0x40	P3EV	ポート3イベント・レジスタ、読出し/1を書き込んでクリア。ポート3のイベントの存在を示します。	0x0000	R/W
0x42	P3ST	ポート3ステータス・レジスタ、読出し専用。ポート3のイベントのステータスを示します。	0x0000	R
0x43	P3CFG0	ポート3設定レジスタ0、読出し/書込み。ポート3の設定を行います。	0x0002	R/W
0x44	P3CFG1	ポート3設定レジスタ1、読出し/書込み。ポート3の設定を行います。	0x0008	R/W
0x45	P3ADCCFG	ポート3 ADC設定レジスタ、読出し/書込み。ポート3のADCの設定を行います。	0x0006	R/W
0x46	P3ADCDAT	ポート3 ADCデータ・レジスタ、読出し専用。ホストがポート3 ADCの最新の測定値を読み出せるようにします。	0x0000	R
0x47	P3SELFTTEST	ポート3セルフ・テスト・レジスタ、読出し/書込み。ホストがポート3の診断を行えるようにします。	0x0000	R/W
0x50	P4EV	ポート4イベント・レジスタ、読出し/1を書き込んでクリア。ポート4のイベントの存在を示します。	0x0000	R/W
0x52	P4ST	ポート4ステータス・レジスタ、読出し専用。ポート4のイベントのステータスを示します。	0x0000	R
0x53	P4CFG0	ポート4設定レジスタ0、読出し/書込み。ポート4の設定を行います。	0x0002	R/W
0x54	P4CFG1	ポート4設定レジスタ1、読出し/書込み。ポート4の設定を行います。	0x0008	R/W
0x55	P4ADCCFG	ポート4 ADC設定レジスタ、読出し/書込み。ポート4のADCの設定を行います。	0x0006	R/W
0x56	P4ADCDAT	ポート4 ADCデータ・レジスタ、読出し専用。ホストがポート4 ADCの最新の測定値を読み出せるようにします。	0x0000	R
0x57	P4SELFTTEST	ポート4セルフ・テスト・レジスタ、読出し/書込み。ホストがポート4の診断を行えるようにします。	0x0000	R/W

## グローバル・イベント

表 9. GFLTEV (レジスタ・アドレス0x02) : グローバル・フォルト・イベント・レジスタ、読出し/1を書き込んでクリア、グローバル・レベル・フォルトの存在を示します

ビット	ビット名	説明
[15:5]	Reserved	将来使用するための予備。
4	UVLO_DIGITAL	デジタル・コアが低電圧ロックアウト (UVLO) 状態の場合は、このビットをセットします。このビットはマスク不能な割込みです。
3	COMMAND_FAULT	無効なコマンドや許容されないコマンドがホストから送られた場合にセットされます。(例えば、無効なレジスタ・アドレスへのアクセス)
2	PEC_FAULT	SPIトランザクションの際にPECフォルトが発生した場合にセットされます。
1	MEMORY_FAULT	メモリ内に1つまたは複数のフォルトが発生した場合にセットされます。

表 9. GFLT\_EV (レジスタ・アドレス0x02) : グローバル・フォルト・イベント・レジスタ、読出し/1を書き込んでクリア、グローバル・レベル・フォルトの存在を示します

ビット	ビット名	説明
0	LOW_CKT_BRK_FAULT	リターン・パス上の1つまたは複数のサーキット・ブレーカがトリップした場合、またはディープ・スリープのリターン・パスにフォルトが存在する場合にセットされます。

表 10. GFLT\_MSK (レジスタ・アドレス0x03) : グローバル・フォルト・イベント・マスク・レジスタ、読出し/書込み、グローバル・レベル・フォルト・イベントに対してマスクを行います

ビット	ビット名	説明
[15:4]	Reserved	将来使用するための予備。
3	COMMAND_FAULT	このビットがクリアされると、コマンド割込みがクリアされます。
2	PEC_FAULT	このビットがクリアされると、PEC割込みがクリアされます。
1	MEMORY_FAULT	このビットがクリアされると、メモリ割込みがクリアされます。
0	LOW_CKT_BRK_FAULT	このビットがクリアされると、リターン・パス割込みがクリアされます。

## グローバル・ステータス

表 11. GCAP (レジスタ・アドレス0x06) : グローバル機能レジスタ、読出し専用、サポートされているPoDL規格の機能を示します

ビット	ビット名	説明
[15:7]	Reserved	将来使用するための予備。
6	SCCP_SUPPORT	SCCPがサポートされている場合は1にセットされます。外部マイクロコントローラがない場合、LTC4296-1でSCCPを使用することはできません。
5	WAKE_FWD_SUPPORT	ウェイクアップ転送がサポートされている場合は1にセットされます (LTC4296-1はウェイクアップ転送をサポートしています)。
[4:0]	NUMPORTS	PSEのポート数。

表 12. GIOST (レジスタ・アドレス0x07) : グローバル・ステータス・レジスタ、読出し専用、入力と出力のステータスを示します

ビット	ビット名	説明
[15:9]	Reserved	将来使用するための予備。
8	PG_OUT4	ポート4パワー・グッドのステータス。
7	PG_OUT3	ポート3パワー・グッドのステータス。
6	PG_OUT2	ポート2パワー・グッドのステータス。
5	PG_OUT1	ポート1パワー・グッドのステータス。
4	PG_OUT0	ポート0パワー・グッドのステータス。
3	PAD_AUTO	AUTOピンのステータス。
2	PAD_WAKEUP	ホストによりドライブされるWAKEUPピンのステータス。
1	PAD_WAKEUP_DRIVE	ICによりドライブされるWAKEUPピンのステータス。
0	Reserved	将来使用するための予備。

## グローバル・コマンド

表 13. GCMD (レジスタ・アドレス0x08) : グローバル・コマンド・レジスタ、読出し/書込み、ホストがチップを設定するためのエントリ・ポイント

ビット	ビット名	説明
[15:8]	SW_RESET	このフィールドにリセット・コード (0x73) を書き込むと、デジタル・ロジックがリセットされます (ソフトウェア・リセット)。
[7:0]	WRITE_PROTECT	書込みロック解除キー (0x05) を書き込むと、書込み可能なすべてのレジスタへの書込みアクセスがイネーブルされます。書込みロック・キー (0xA0) を書き込むと、書込み可能なすべてのレジスタへの書込みアクセスがディスエーブルされます。このフィールドへの書込みアクセスは常時イネーブルされています。

## 設定

表 14. GCFG (レジスタ・アドレス0x09) : グローバル設定レジスタ、読出し/書込み、ホストがグローバル機能を設定できるようにします

ビット	ビット名	説明
[15:6]	Reserved	将来使用するための予備。

表 14. GCFG (レジスタ・アドレス0x09) : グローバル設定レジスタ、読出し/書込み、ホストがグローバル機能を設定できるようにします

ビット	ビット名	説明
5	MASK_LOWFAULT	ローサイドのフォルトによってポートが過負荷状態になるのを防ぐには、1を書き込みます。
4	TLIM_DISABLE	すべてのポートの電流制限タイマー ( $t_{LIM}$ ) をディスエーブルするには、1を書き込みます。
[3:2]	TLIM_TIMER_SLEEP	すべてのポートのスリープ・レギュレータ・フォルト・タイマとディープ・スリープ・リターン・パス・フォルト・タイマを以下のように設定します。 00b = 15.6ms 01b = 31.2ms 10b = 62.5ms (デフォルト) 11b = スリープ・フォルト・タイマをディスエーブル
1	REFRESH	不揮発性メモリの内容を揮発性メモリへコピーするには、1を書き込みます。完了後に自動的にクリアされます。
0	SW_VIN_PGOOD	接続されたPDに必要な電力を供給するシステムの準備が整ったことを示すには、1を書き込みます。

## GLOBAL ADC

表 15. GADCCFG (レジスタ・アドレス0x0A) : グローバルADC設定レジスタ、読出し/書込み、ホストがグローバルADCを設定できるようにします

ビット	ビット名	説明
[15:7]	Reserved	将来使用するための予備。
[6:5]	GADC_SAMPLE_MODE	以下のようにグローバルADCのモードを設定します。 00b = ディスエーブル 01b = シングルショット・モード (測定を1回行うと自動的にクリアされます) 10b = 低ゲインの連続モード 11b = 高ゲインの連続モード
[4:0]	GADC_SEL	以下のようにグローバルADCの入力を設定します。 00000b = GND 00001b = $V_{IN}$ 00010b = 温度 00100b = ポート0の出力電圧 00101b = ポート0のリターン検出電圧 00110b = ポート1の出力電圧 00111b = ポート1のリターン検出電圧 01000b = ポート2の出力電圧 01001b = ポート2のリターン検出電圧 01010b = ポート3の出力電圧 01011b = ポート3のリターン検出電圧 01100b = ポート4の出力電圧 01101b = ポート4のリターン検出電圧 1XXXXb = 内部チェック電圧リファレンス

表 16. GADCDAT (レジスタ・アドレス0x0B) : グローバルADCデータ・レジスタ、読出し専用、ホストが最新のグローバルADC測定値を読み出せるようにします

ビット	ビット名	説明
[15:14]	Reserved	将来使用するための予備。
13	GADC_MISSED	ホストが、グローバルADCによりレジスタ・アドレスGADCDAT、ビット[11:0]、GADCに保存された1つまたは複数の結果の読出しに失敗した場合にセットされます。
12	GADC_NEW	グローバルADCにより新しい結果がレジスタ・アドレスGADCDAT、ビット[11:0]、GADCに保存されたときにセットされます。
[11:0]	GADC	グローバルADCの加算結果。

## ポートXのイベント

表 17. PxEV (レジスタ・アドレス0xx0) : ポートxイベント・レジスタ、読み出し/1を書き込んでクリア、ポートxのイベントの存在を示します

ビット	ビット名	説明
[15:10]	Reserved	将来使用するための予備。
9	VALID_SIGNATURE	ポートで有効なシグネチャが検出されたときにセットされます。
8	INVALID_SIGNATURE	ポートで無効なシグネチャが検出されたときにセットされます。
7	TOFF_TIMER_DONE	$V_{SLEEP}$ になるようにポートを放電中に $t_{OFF}$ タイマーが終了した場合セットされます。
6	OVERLOAD_DETECTED_ISLEEP	ポートが電源インターフェースに $V_{SLEEP}$ を印加しようとしているときに、過電流によって過負荷タイマー $t_{LIM}$ が終了した場合セットされます。
5	OVERLOAD_DETECTED_IPOWERED	ポートがパワーアップ・ステートまたはパワーオン・ステートだったときに、過電流によって過負荷タイマー $t_{LIM}$ が終了した場合セットされます。
4	MFVS_TIMEOUT	$t_{MFVDO}$ タイマーが終了して電源の供給が停止したときにセットされます。
3	TINRUSH_TIMER_DONE	ポートがパワーアップ・ステートにあるときに $t_{INRUSH}$ タイマーが終了した場合セットされます。
2	PD_WAKEUP	アップストリーム・ウェイクアップ (PDが開始) が検出されたときにセットされます。つまり、ポートがスリープ・ステートのときに、電流が $t_{WAKEUP}$ 以上の時間にわたって有効なウェイクアップ電流範囲にあった場合です。
1	LSNS_FORWARD_FAULT	ポート上で、ローサイドの順方向サーキット・ブレーカにフォルト・イベントが発生したときにセットされます。
0	LSNS_REVERSE_FAULT	ポート上で、ローサイドの逆方向サーキット・ブレーカにフォルト・イベントが発生したときにセットされます。

## ポートxのステータス

表 18. PxST (レジスタ・アドレス0xx2) : ポートxステータス・レジスタ、読み出し専用、ポートxのイベントのステータスを示します

ビット	ビット名	説明
[15:14]	Reserved	将来使用するための予備。
13	DET_VHIGH	検出時にポート電圧が $V_{BAD\_HI\_PSE}$ より大きくなったときにセットされます。
12	DET_VLOW	検出時にポート電圧が $V_{BAD\_LO\_PSE}$ より小さくなったときにセットされます。
11	POWER_STABLE_HI	突入電流終了後にポートが最高動作電圧をソースしていて、 $V_{IN} - V_{OUTPx}$ が $\Delta V_{OUTPx\_PWRGD}$ より小さい場合にセットされます。
10	POWER_STABLE_LO	突入電流終了後にポートが最高動作電圧をソースしていて、 $V_{OUTMx}$ が $\Delta V_{OUTMx\_PWRGD}$ より小さい場合にセットされます。
9	POWER_STABLE	ポートが出力に最高動作電圧を供給しているときにセットされます。
8	OVERLOAD_HELD	ポートが過負荷ステートにあるときにセットされます。
7	PI_SLEEPING	ポートがスリープ移行ステートまたはスリープ・ステートにあるときにセットされます。
6	PI_PREBIASED	ポートがアイドル・ステートにあるときにセットされます。
5	PI_DETECTING	ポートが検出ステートにあるときにセットされます。
4	PI_POWERED	ポートがパワーアップ・ステートまたはパワーオン・ステートにあるときにセットされます。
3	PI_DISCHARGE_EN	ポートがスリープ移行ステートにあるときにセットされます。
[2:0]	PSE_STATUS	PSEステータスは以下のようにデコードされます。 000b = ポートはディスエーブル 001b = ポートはスリープ中 010b = ポートは電力を供給中 011b = ポートは検索中 100b = ポートはエラー状態 101b = ポートはアイドル状態 110b = ポートは検出を準備中 111b = ポートのステートが不明

## ポートxの設定

表 19. PxCFG0 (レジスタ・アドレス0xx3) : ポートx設定レジスタ0、読み出し/書き込み、ポートxの設定を行います

ビット	ビット名	説明
15	SW_INRUSH	ブリバイアスと検出をスキップしてPDを直接パワーアップするには、1を書き込みます。
14	END_CLASSIFICATION	分類を終了するには1を書き込みます。ICにより自動的にクリアされます。

表 19. PxCFG0 (レジスタ・アドレス0xx3) : ポートx設定レジスタ0、読み出し/書き込み、ポートxの設定を行います

ビット	ビット名	説明
13	SET_CLASSIFICATION_MODE	ポートを分類モードにセットするには1を書き込みます。
12	DISABLE_DETECTION_PULLUP	検出プルアップ電流をディスエーブルするには、1を書き込みます。
11	TDET_DISABLE	検出タイマーをディスエーブルするには、1を書き込みます。
10	FOLDBACK_DISABLE	パワーアップ・ステートにおけるポート突入電流発生時のフォールドバックをディスエーブルするには、1を書き込みます。
9	SOFT_START_DISABLE	パワーアップ・ステートにおけるポート突入電流発生時のソフトスタートをディスエーブルするには、1を書き込みます。
8	TOFF_TIMER_DISABLE	t <sub>OFF</sub> タイマーをディスエーブルして、ポートがスリープ移行ステート時に任意の時間で放電できるようにするには、1を書き込みます。
7	TMFVDO_TIMER_DISABLE	t <sub>MFVDO</sub> タイマーをディスエーブルして、有効なMFVSがない場合にポートがシャットオフされないようにするには、1を書き込みます。
6	SW_PSE_READY	ポートの検出準備が完了したことを示すには、1を書き込みます。
5	SW_POWER_AVAILABLE	接続されたPDにポートが電力を供給できることを示すには、1を書き込みます。
4	UPSTREAM_WAKEUP_DISABLE	ポートのアップストリーム・ウェイクアップ (PDが開始) をディスエーブルするには、1を書き込みます。
3	DOWNSTREAM_WAKEUP_DISABLE	ポートのダウンストリーム・ウェイクアップ (PSEが開始) をディスエーブルするには、1を書き込みます。
2	SW_PSE_WAKEUP	ポートをウェイクアップするには1を書き込みます。
1	HW_EN_MASK	AUTOピンをマスクするには0を書き込みます。
0	SW_EN	ポートをイネーブルするには1を書き込みます。

表 20. PxCFG1 (アドレス0xx4) : ポートx設定レジスタ1、読み出し/書き込み、ポートxの設定を行います

ビット	ビット名	説明
[15:9]	Reserved	将来使用するための予備。
8	PREBIAS_OVERRIDE_GOOD	有効なウェイクアップ・シグネチャをシミュレートするには、1を書き込みます。
[7:6]	TLIM_TIMER_TOP	トップサイド・フォルト・タイマー (t <sub>LIM</sub> ) を設定するには、以下の値を書き込みます。 00b = 59.9ms (デフォルト) 01b = 29.9ms 10b = 15ms 11b = 0.46ms t <sub>LIM</sub> タイマーは、フォルト・イベントがある場合はゼロ方向へデクリメントし、フォルト・イベントがない場合は設定値方向へインクリメントします。デクリメント・レートはインクリメント・レートの8倍です。
[5:4]	TOD_TRESTART_TIMER	過負荷遅延タイマーと再起動タイマーを設定するには、以下の値を書き込みます。 00b = デフォルト (t <sub>OD</sub> = 1.1sec, t <sub>RESTART</sub> = 551ms) 01b = デフォルトの2倍 10b = デフォルトの4倍 11b = 無限
[3:2]	TINRUSH_TIMER	t <sub>INRUSH</sub> タイマーを設定するには以下の値を書き込みます。 00b = 3.5ms 01b = 14ms 10b = 56.2ms (デフォルト) 11b = 無限
1	SIG_OVERRIDE_BAD	無効な検出電圧シグネチャをシミュレートするには1を書き込みます。
0	SIG_OVERRIDE_GOOD	有効な検出電圧シグネチャをシミュレートするには1を書き込みます。

表 21. PxADCCFG (レジスタ・アドレス0xx5) : ポートx ADC設定レジスタ、読み出し/書き込み、ポートxのADCの設定を行います

ビット	ビット名	説明
[15:8]	Reserved	将来使用するための予備。
[7:0]	MFVS_THRESHOLD	MFVS閾値コード = 62.5 × R1の式に基づいてMFVS閾値を設定します。詳細については <a href="#">最高電圧保持シグネチャ (MFVS)</a> のセクションを参照してください。

表 22. PxADCDAT (レジスタ・アドレス0xx6) : ポートx ADCデータ・レジスタ、読出し専用、ホストが最新のポートxのADC測定値を読み出せるようにします

ビット	ビット名	説明
[15:14]	Reserved	将来使用するための予備。
13	Missed	ホストが、レジスタPxADCDAT、ビット[11:0]、SOURCE_CURRENTに保存された1つまたは複数のソース電流測定値の読出しに失敗したときにセットされます。
12	New	ポートADCによりソース電流の新しい測定結果がレジスタPxADCDAT、ビット[11:0]、SOURCE_CURRENTに保存されたときにセットされます。
[11:0]	SOURCE_CURRENT	ソース電流測定値

## ポートXの診断

表 23. PxSELFTEST (レジスタ・アドレス0xx7) : ポートxセルフ・テスト・レジスタ、読出し/書込み、ホストがポートxの診断を行えるようにします

ビット	ビット名	説明
[15:2]	Reserved	将来使用するための予備。
1	FORCE_BAD_OUTM	ポートのOUTMxピンのパワー・パッドをシミュレートするには、1を書き込みます。
0	FORCE_BAD_OUTP	ポートのOUTPxピンのパワー・パッドをシミュレートするには、1を書き込みます。

アプリケーション情報

概要

LTC4296-1のポート5個のうちの1個について、その代表的な回路を図53に示します。各ポートのフォールドバックACL機能付きハイサイド電子サーキット・ブレーカは、パワーアップ時の突入電流を制御して、出力フォルトに対する保護を提供します。このサーキット・ブレーカは、HGATExピンとOUTPxピンを使ってNチャンネルM1 MOSFETのゲート-ソース間電圧を制御し、HSNSPxピンとHSNSMxピンを使ってR1電流検出抵抗の電圧をモニタします。ポートの出力電力スナバ (R3 + R4、およびC4) はACLを安定させ、分類時にM2 MOSFETによって切断されます。補助スナバ (R5とC5) は、M2スイッチのディスエーブル時に、適切に定

義されたACインピーダンスを提供します。M3 MOSFETはホスト・マイクロコントローラによってドライブされ、SCCP書き込み動作時にロジック・ローをアサートします。Q1 NPNトランジスタは、SCCP実行時にマイクロコントローラが検出する電圧を制限します。

LTC4296-1によって制御される電力と、ADIN1100などのPHYからのデータは、電力結合ネットワーク回路を通じてポートに結合されます。コモンモード・チョーク (CMC) とダイプレクサ・インダクタは、電力結合ネットワークを構成します。これについては、電力結合ネットワークの選択のセクションで詳しく述べます。

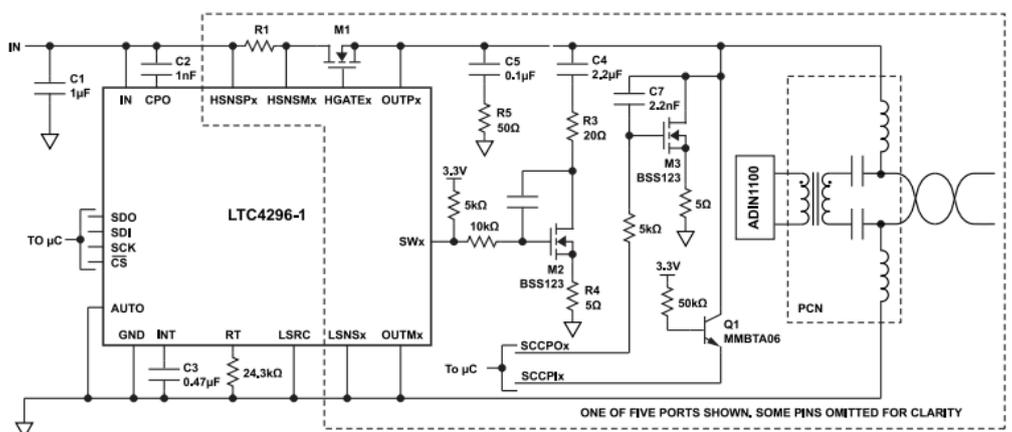


図 53. 代表的なLTC4296-1の回路 (5個あるポートのうちの1つを図示)

## アプリケーション情報

## 電源

電源の選択時は、電源の許容誤差と最大PD負荷での電力経路上の部品による電圧降下が、希望するクラスについて表5に指定されたVPSEの範囲内に収まっている必要があります。LTC4296-1は、同じ電圧クラス（20V～30Vまたは50V～58V）を共有する最大5個のポートに使用できるように設計されています。

データの完全性を確保するには、LTC4296-1の入力におけるPSE電源が、IEEE 802.3cgの求めるリップル仕様を満たしている必要があります。リップルは、図54に示すAC結合された100Ω抵抗とスコープ・プローブを使って、デジタル・ストレージ・オシロスコープにより媒体依存インターフェース（MDI）コネクタで測定する必要があります。リップルの測定値は、1kHz～10MHzの帯域幅内で0.1V<sub>p-p</sub>未満でなければなりません。リップル測定値はさらに次式で与えられる伝達関数H(f)で後処理し、その値が1kHz～10MHzの帯域幅内で0.01V<sub>p-p</sub>未満でなければなりません。

$$H(f) = \frac{f}{\sqrt{f^2 - f_0^2}} \quad (2)$$

ここで、 $f_0 = 100\text{kHz}$ です。

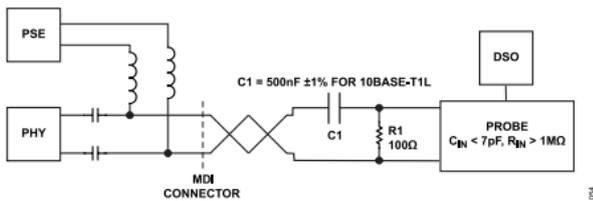


図 54. 電源リップル測定のセットアップ（ $C_{IN}$ は入力容量、 $R_{IN}$ は入力抵抗）

## 外付け部品の選択

クラス10からクラス14までの代表的なアプリケーション部品を図55に示します。クラス15の代表的なアプリケーション部品については図56を参照してください。以下のセクションでは、部品の選択に関する追加的なガイダンスを示します。

## コンデンサの選択

LTC4296-1のINピンは6V～60Vの入力電圧で動作します。INとGNDの間には、等価直列抵抗（ESR）が小さい1μF以上のデカップリング・コンデンサ（C1）を接続してください。一般的なセラミック・コンデンサの電圧係数はかなり大きな値を示し、印加される電圧が高くなるに従って容量が低下します。この問題を最小限に抑えるには、INピンのバイパス・コンデンサとして最大動作電圧の2倍の定格を持つX7Rコンデンサを使用する必要があります。

LTC4296-1は、INTピンとCPOピンに内部電源を生成します。INTとGNDの間に470nF、6.3Vのデカップリング・コンデンサ（C3）

を接続し、CPOとINの間には1nF、16Vのデカップリング・コンデンサ（C2）を接続します。C4、C5、C6、C7、C8、C9は、適用されるクラスに応じた適切な電源電圧定格を持つものでなければなりません。

## 入カトランジェント電圧サプレッサ（TVS）の選択

INとGNDの間に接続したTVS（D1）は、ケーブル・サージや強制的なバックフィード電圧の発生時に、LTC4296-1（およびこのルール上の他のデバイス）を、電源スパイクによる過電圧から保護する助けとなります。TVSのクランプ電圧と電力定格は、そのルール上にあるデバイスのサージ電流条件と最大電圧定格に適合するものでなければなりません。

## ハイサイドMOSFETの選択

LTC4296-1のフォールドバックACL機能は、MOSFETのドレイン・ソース間電圧（ $V_{DS}$ ）が12Vを超えたときのポート電流制限閾値電圧を小さくします。フォールドバックは、ポートのフォールドバック・ディスエーブル・ビット（レジスタPxCFG0、ビット9、FOLDBACK\_DISABLE）をセットすることによってディスエーブルできます。突入電流や短絡が生じた状態での信頼性を確保するには、図12に示すフォールドバックACLプロファイルに見合った、適切な安全動作領域（SOA）を持つポート・ハイサイドNチャンネルMOSFET（M1）を使用する必要があります。MOSFET SOA曲線の電流と比較するには、フォールドバックACLプロファイルの検出抵抗電圧をポートのR1検出抵抗の値で除します。MOSFET SOA曲線の電流は、 $t_{INRUSH}$ と $t_{LIM}$ 、およびシステムの最大動作周囲温度に対してスケールされたフォールドバックACL曲線の電流より小さくしなければなりません。

MOSFET選択時のその他の検討事項は、 $R_{DS(ON)}$ と $V_{DS}$ です。 $R_{DS(ON)}$ が小さければ、ポートDC電流の熱損失が最小限に抑えられます。MOSFETの最大 $V_{DS}$ 定格は、ピーク電源電圧より大きくなければなりません。

図55と図56に、それぞれのクラスのSOA条件を満たすハイサイドNチャンネルMOSFETの推奨事項を示します。

## ハイサイド検出抵抗の選択

LTC4296-1は、IEEE 802.3cgのパワー・クラス条件を満たすために必要となる、様々な検出抵抗を使用できるように設計されています。各ポートの検出抵抗は、次式に従ってポートのハイサイドACL電流閾値（ $I_{LIM}$ ）を設定します。

$$R1 < V_{LIMx} / I_{LIM} (\Omega) \quad (3)$$

ACL閾値は、 $I_{PI(MAX)} < I_{LIM} < 1.41 \times I_{PI(MAX)}$ の範囲になければなりません。

アプリケーション情報

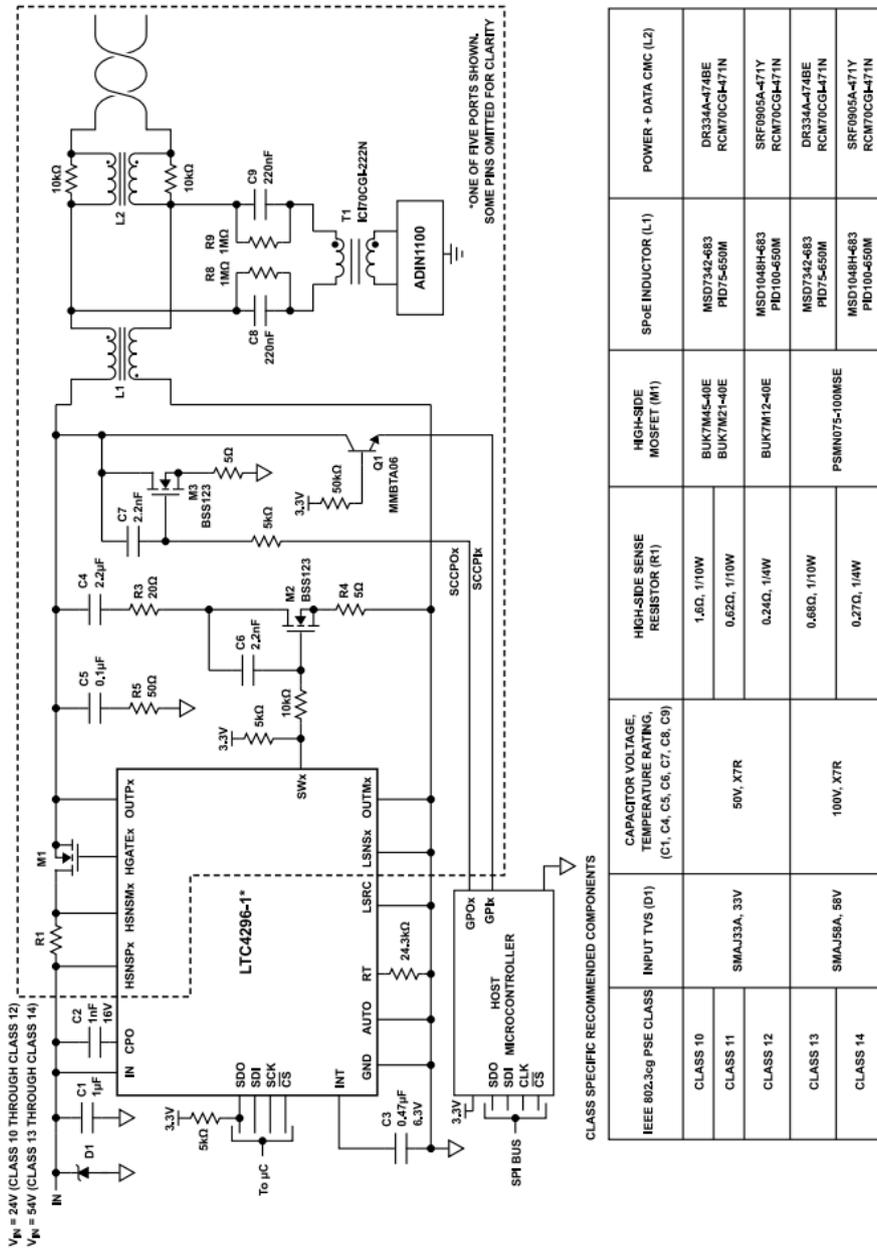


図 55. LTC4296-1の802.3cgクラス10～クラス14アプリケーション

IEEE 802.3cg PSE CLASS	INPUT TVS (D1)	CAPACITOR VOLTAGE, TEMPERATURE RATING, (C1, C4, C5, C6, C7, C8, C9)	HIGH-SIDE SENSE RESISTOR (RT)	HIGH-SIDE MOSFET (M1)	SPOE INDUCTOR (L1)	POWER + DATA CMC (L2)
CLASS 10			1.6Ω, 1/10W	BUK7M45-40E	MSD7342-683 PID75-650M	DR334A-474BE RCM70CG-171N
CLASS 11	SMAJ33A, 33V	50V, XTR	0.62Ω, 1/10W	BUK7M21-40E	MSD1048H-683 PID100-650M	SRF0905A-471Y RCM70CG-171N
CLASS 12			0.24Ω, 1/4W	BUK7M12-40E	MSD7342-683 PID75-650M	DR334A-474BE RCM70CG-171N
CLASS 13			0.68Ω, 1/10W	PSMN075-100MSE	MSD1048H-683 PID100-650M	SRF0905A-471Y RCM70CG-171N
CLASS 14	SMAJ58A, 58V	100V, XTR	0.27Ω, 1/4W			



## アプリケーション情報

DMI (L1) と CMC (L2) は、それぞれの最大パワー・クラスに応じて、IEEE 802.3cgが定めるドループ、リターン損失、モード変換の仕様を満たすものを選択する必要があります。

PHY側のPCN技術を図55に示します。電力はCMC (L2) のPHY側にあるDMI (L1) を通じて注入され、電力とデータはCMCを通過します。バランス抵抗 (R8とR9) を接続したDC阻止コンデンサ (C8とC9) は、SPoEのDC電流がトランスT1を通過するのを防ぎます。このトポロジは、クラス10〜クラス14に推奨します。

図56は、クラス15のライン側 (ケーブル側) のPCNトポロジです。電力はPHY CMC (L3) のライン側にあるDMI (L1) を通じて注入されます。L2は電力経路のCMC、L3はデータ専用CMCです。コンデンサC8とC9は、SPoEのDC電流がトランスT1を通過するのを阻止します。

## 出力電力スナバの選択

起動時や過負荷時の電流制限を安定させるには出力電力スナバが必要で、このスナバは、各ポートのOUTPピンとOUTMピンの間で2.2μFのX7Rコンデンサ (C4) と抵抗 (R3+R4) を直列に接続して構成されます。C4の電圧定格は、コンデンサの電圧係数を考慮して、最大動作電圧の2倍以上とする必要があります。R3の抵抗値を計算するには、次式を使用します。

$$R3 = 2 \times \sqrt{\frac{L_{DIFF}}{C4} - R4} \quad (5)$$

ここで、L<sub>DIFF</sub>はMDIにおける差動インダクタンスを示します。L1がDMIの場合は (結合インダクタ)、単巻インダクタンスの4倍の計算差動インダクタンスを使用します。

5Ω抵抗 (R4) はM2を流れる電流を制限します。最も近い値の5%抵抗を選んでください。

## ローサイド・サーキット・ブレーカの選択

過大なローサイド電流に対する保護が必要な場合は、ローサイド・サーキット・ブレーカを実装することができます。このローサイド・サーキット・ブレーカは、すべてのポートへのグラウンド接続を遮断します。図57を参照してください。

ローサイド・サーキット・ブレーカは、LGATEピンとLSRCピンでNチャンネルMOSFET (M4) のゲート-ソース間電圧を制御します。最初のポートがアイドル・ステートになると、M4が完全にエンハンスされます。ローサイド電流は、LSNSxピンとOUTMxピンで測定されるR2検出抵抗の電圧でモニタされます。ポート1とポート2がLSNS1/LSNS2検出ピンを共有し、ポート3とポート4がLSNS3/LSNS4検出ピンを共有します。ローサイド電流が増加してローサイドの検出抵抗の電圧がΔV<sub>LSNSx(FCB)</sub>を超え、その状態がt<sub>LSNS\_FAULT</sub>以上続くとサーキット・ブレーカがトリップし、ディスエーブル・ステート以外のすべてのLTC4296-1ポートが過負荷ステートになります。

各ポートのローサイドR2検出抵抗が、そのポートのローサイド・サーキット・ブレーカの電流閾値を設定します。この電流閾値は、対応するポートのハイサイドACL閾値より50%以上大きい値に設定する必要があります。

R2値の計算には次式を使用します。

$$R2 = < \Delta V_{LSNSx(FCB)(MIN)} / I_{CB} (\Omega) \quad (6)$$

ここで、I<sub>CB</sub>はサーキット・ブレーカ電流の閾値です。

検出抵抗には、次式に従って適切なワット数を選択する必要があります。

$$P_{R2} > 2 \times (\Delta V_{LSNSx(FCB)(MAX)})^2 / R2 (W) \quad (7)$$

電力定格には、抵抗に加わる電力の少なくとも2倍の値を選択することを推奨します。

検出抵抗による正しいケルビン検出については、[レイアウトのガイドライン](#)のセクションを参照してください。

図58に、ポートの最大パワー・クラスごとの推奨R2抵抗値と電力定格を示します。ローサイド検出抵抗による正しいケルビン検出レイアウトについては、[レイアウトのガイドライン](#)のセクションを参照してください。

ローサイド・サーキット・ブレーカのMOSFETは、最大システム・アプリケーション条件とフォルト条件に合ったVDS定格を備えたものでなければなりません。このMOSFETは回路を迅速に遮断するためのもので、電流を制限するためのものではないので、ハイサイドMOSFETと違って高いSOAが求められることはありません。小さいR<sub>DS(ON)</sub>は損失を最小限に抑える助けとなります。

ローサイドMOSFETがディスエーブルされている場合 (例えばディスエーブルされているかディープ・スリープ状態にある場合) は、LSNS0とGNDの間にある内部スイッチが、すべてのOUTMxピンからグラウンドへのリターン・パスを形成します。R<sub>SLP\_LSNS0</sub>はディープ・スリープ・リターンのオン抵抗です。ディープ・スリープ・リターン・スイッチは、ローサイド・サーキット・ブレーカがトリップした場合、または過電流フォルトが発生して再起動遅延後に再びオンに戻る場合を除き、常にオンです。

## MDIフォルト・トレランス

図1に示すように、絶縁を伴うほとんどのアプリケーションに必要なのは、ハイサイド・サーキット・ブレーカだけです。MDIでの外部的な正または負の強制電圧に対するMDIフォルト・トレランスが求められるアプリケーションには、図58に示す保護ソリューションを使用します。

INピンの前にある整流用の回路またはデバイスは、電源電圧より大きい正のバックフィード電圧から電源部品を保護します。

ローサイド・サーキット・ブレーカ、C10コンデンサ、D2電流ステアリング・ダイオード、D3電流ステアリング・ダイオード、およびD1 TVSは、MDIの負電圧からPSEを保護します。負の強制電圧が加わると、ポート・フォールドバックACLによってM1の通過電流が制限され、D2が、M4を通過する残りのローサイド電流のリターン・パスを提供します。ローサイド・サーキット・ブレーカがトリップするとM4がオープン状態となり、コンデンサC10が誘導性キックバックを吸収します。D2は、C10が負の強制電圧に充電されるまで導通を継続します。LSNSxにおける高電圧リングは、D3によってTVS D1へ導かれます。このフォルト発生時は、すべてのポートが過負荷ステートに保持されます。

アプリケーション情報

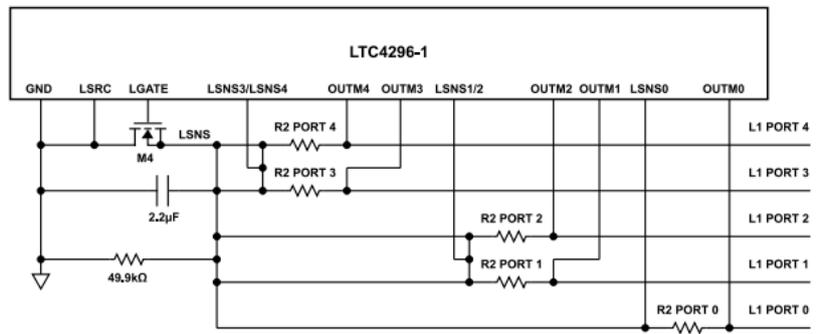


図 57. ローサイド・サーキット・ブレーカ



## アプリケーション情報

## レイアウトのガイドライン

レイアウト・リファレンスについては、[EVAL-SPoE-KIT-AZ評価用キットのユーザ・ガイド](#)を参照してください。LTC4296-1には標準的な電源レイアウト・ガイドラインが適用されます。例えば、IN、V<sub>INT</sub>、およびCPO電源用のデカップリング・コンデンサはそれぞれの電源ピンの近くに接続する、グラウンド・プレーンを使用する、電流値が大きい場合は常に幅の広いパターンを使用する、などです。

## ケルビン検出

指定された電流閾値精度を実現するには、常に電流検出抵抗へのケルビン検出接続を使用する必要があります。図59に、ハイサイド・ピン（HSNSPxとHSNSMx）からそれぞれの検出抵抗への正しいケルビン検出の例を示します。

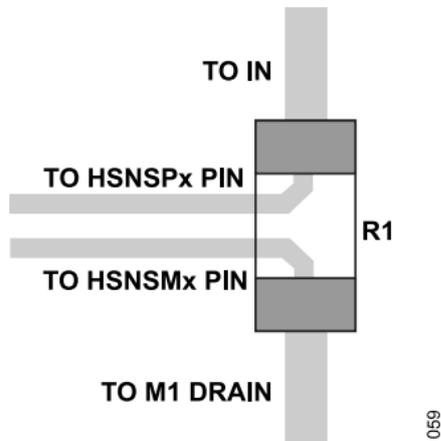


図 59. HSNSPxピンとHSNSMxピンのケルビン接続

オプションのローサイド・サーキット・ブレーカを実装するアプリケーションでは、ポート1とポート2の間の共有ケルビン信号LSNS1/LSNS2、およびポート3とポート4の間のLSNS3/LSNS4における迷走電流を最小限に抑えるよう、注意が必要です。OUTM1、OUTM2、OUTM3、およびOUTM4ピンも、それぞれの検出抵抗への適切なケルビン検出を備えている必要があります（図60を参照）。

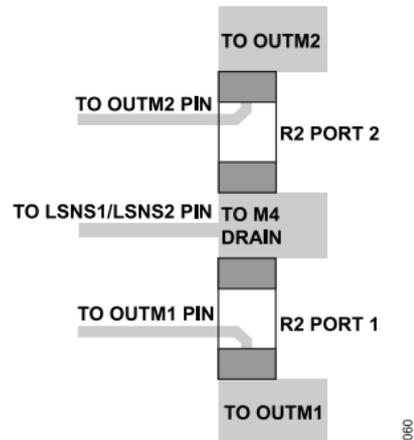


図 60. 共有LSNS1/LSNS2ピン、OUTM1ピン、およびOUTM2ピンのケルビン検出レイアウトの例

LSNS0信号とOUTM0信号については、HSNSPxおよびHSNSMx用として図59に示したものと同一ケルビン検出手法を使用します。

## データ・コンバータ

## 内部温度センサー

内部ジャンクション温度は、グローバルADC設定レジスタをプログラムして、ADC入力としての温度センサーを選択し（レジスタGADCCFG、ビット[4:0]、GADC\_SEL）、そのADCをシングルショットまたは連続モード測定用にイネーブルする（レジスタGADCCFG、ビット[6:5]、GADC\_SAMPLE\_MODE）ことによって測定できます。測定が完了すると、ADCの結果は約3.6ms後にグローバルADCデータ・レジスタに保存され（レジスタGADCDAT、ビット[11:0]、GADC）、連続モードの場合はその後1.8msごとに更新されます。新しい測定値を読み出せる状態になると、LTC4296-1はGADCニュー・データ・ビット（レジスタGADCDAT、ビット12、GADC\_NEW）をセットします。T<sub>J</sub>の指示値（°C単位）は次式により決定できます。

$$T_J = \frac{GADC\_Bits[11:0] - 2048}{4} - 273.15 \quad (8)$$

## ポートのハイ・サイド電流リードバック

ポートのハイサイド電流検出抵抗の電圧は、パワーアップ・ステートおよびパワーオン・ステートで、ポートADC結果レジスタ（レジスタPxADC DAT、ビット[11:0]、SOURCE\_CURRENT）を読み出すことによって求めることができます。ポートのADC結果レジスタは1.8msごとに更新されます。ソース電流（I<sub>SOURCE</sub>）指示値をハイサイド電流検出抵抗（R1）の関数として求めるには、次式を使用します。

$$I_{SOURCE}(A) = \frac{(SOURCE\_CURRENT\_Bits[11:0] - 2048) \times 10}{R1} \quad (9)$$

## アプリケーション情報

## ポートのローサイド電流リードバック

ポートのローサイド電流 ( $I_{RETURN}$ ) 検出抵抗の電圧は、グローバルADC設定レジスタをプログラムしてADC入力としてポートのローサイド電流を選択し (レジスタGADCCFG、ビット[4:0]、GADC\_SEL)、シングルショットまたは連続モード測定用にADCをイネーブルする (レジスタGADCCFG、ビット[6:5]、GADC\_SAMPLE\_MODE) ことにより求めることができます。測定が完了すると、ADCの結果は約3.6ms後にグローバルADCデータ・レジスタに保存され (レジスタGADCDAT、ビット[11:0]、GADC)、連続モードの場合はその後1.8msごとに更新されます。電流指示値をハイサイド電流検出抵抗 ( $R2$ ) の関数として求めるには、次式を使用します。

$$I_{RETURN}(A) = \frac{(GADC, Bits[11:0] - 2048) \times 100\mu V}{R2} \quad (10)$$

## 入力およびポート出力電圧のリードバック

$V_{IN}$ とポート出力電圧 ( $V_{PORT}$ ) は、グローバルADC設定レジスタをプログラムすることによって測定できます。

$V_{IN}$ 入力電圧またはポート出力電圧 ( $V_{PORT} = V_{OUTPx} - V_{OUTMx}$ ) をADC入力として選択し (レジスタGADCCFG、ビット[4:0]、GADC\_SET)、シングルショットまたは連続モード測定用にADCをイネーブルします (レジスタGADCCFG、ビット[6:5]、GADC\_SAMPLE\_MODE)。連続モードでは、高ゲインまたは低ゲインの分解能を選択できます。測定が完了すると、ADCの結果は、約3.6ms後にグローバルADCデータ・レジスタから読出し可能になり (レジスタGADCDAT、ビット[11:0]、GADC)、連続モードの場合はその後1.8msごとに更新されます。入力および出力電圧を決めるには次式を使用します。

$$\begin{aligned} \text{Low - Gain } V_{IN}(V), V_{PORT}(V) = \\ (GADC, Bits[11:0] - 2048) \times 35.2 \text{ mV} \end{aligned} \quad (11)$$

$$\begin{aligned} \text{High - Gain } V_{IN}(V), V_{PORT}(V) = \\ (GADC, Bits[11:0] - 2048) \times 17.6 \text{ mV} \end{aligned} \quad (12)$$

## 絶縁に関する考慮事項

従来のIEEE 802.3マルチペア・イーサネット仕様では、ネットワーク・セグメント (PoE回路を含む) を、各ネットワーク・インターフェース・デバイスのシャーシ・グラウンドから電氣的に絶縁する必要があります。しかし、IEEE 802.3bu (PoDL) とIEEE 802.3cg (SPoE) で要求されているのは、 $5V \pm 20\%$ の電圧を使って測定した場合に、アクセス可能な外部導線とMDIの間にPDが $1M\Omega$ 以上の絶縁を備えていることだけです。これらの規格はいずれも、すべての装置が、地域、州、国、およびアプリケーション固有の規格 (例えばIEC 61010-1やIEC 62368-1:2018のアプリケーション・セクションなど) に適合していることも求めています。

ツイストペアのイーサネットMDI以外に導電性のピンを持たない簡単なデバイスについては、導電性のシャーシ・エンクロージャを使用するによって絶縁条件を満たすことができます。

シャーシからガルバニック絶縁する必要のあるSPoEアプリケーションでは、LTC4296-1とSPoEへの給電に絶縁型の電源を使用する必要があります。絶縁をまたぐすべての入出力には、高電圧に耐え得る何らかの形態の結合が必要です。PCB上で高電圧の絶縁を維持するには、正しいレイアウト手法を実装しなければなりません。



アプリケーション情報

クラス14の代表的アプリケーション

IEEE 802.3cgクラス14のPSEを図62に示します。

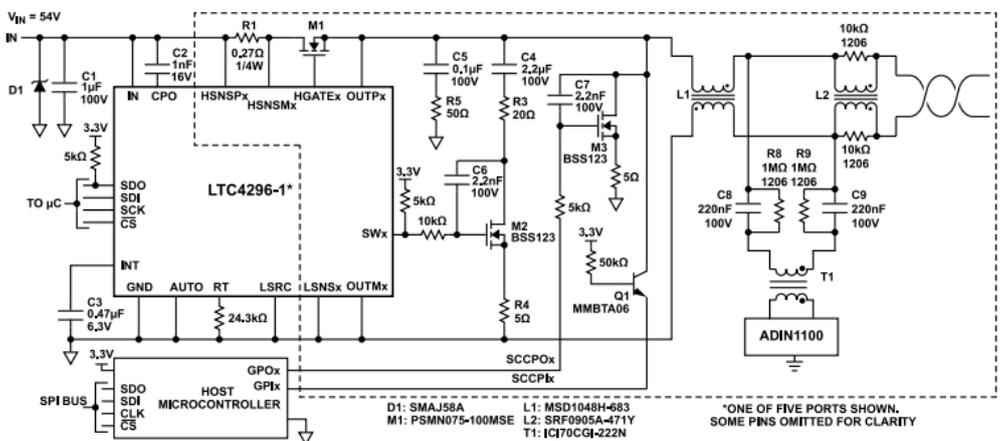


図 62. IEEE 802.3cgクラス14のPSE

関連製品

表 24. 関連製品

製品番号	概要	注釈
LTC9111	IEEE 802.3cg SPoE PD コントローラ	IEEE 802.3cg準拠、SCCPをサポート、外部スイッチ、ローサイド理想ブリッジ、ピン設定可能なクラス設定、2.3V~60Vの入力範囲
ADIN1100	堅牢、低消費電力の工業用10BASE-T1L PHY	低消費電力、シングル・ポート・トランシーバー、ロング・リーチSPE対応のIEEE 802.3cg-2019イーサネット規格に準拠
ADIN1110	堅牢、低消費電力の工業用10Base-T1Lイーサネット MAC-PHY	超低消費電力、シングル・ポート・トランシーバー、ロング・リーチSPE対応のIEEE 802.3cg-2019イーサネット規格に準拠
ADIN2111	10BASE-T1L PHY搭載、低複雑性の2ポート・イーサネット・スイッチ	低消費電力、低複雑性、2個のイーサネット・ポートを備えたスイッチと1個のSPIポート
ADIN1200	10Mbps および100Mbps の堅牢、低消費電力の工業用イーサネット PHY	10BASE-Te/100BASE-TX IEEE 802.3 準拠、MII、RMII、およびRGMII MAC インターフェース
ADIN1300	10Mbps/100Mbps/1Gbps の堅牢、低遅延、低消費電力の工業用イーサネット PHY	10BASE-Te/100BASE-TX/1000BASE-T IEEE 802.3準拠、MII、RMII、およびRGMII MACインターフェース
LTC4359	逆入力保護機能を備えた理想ダイオード・コントローラ	4V~80V動作、-40Vまでの逆入力保護、13μAの低シャットダウン電流
LT8641	静止電流が2.5μAの65V、3.5A同期整流式降圧Silent Switcher	V <sub>IN(MIN)</sub> = 3V、V <sub>IN(MAX)</sub> = 65V、V <sub>OUT(MIN)</sub> = 0.81V、I <sub>Q</sub> = 2.5μA、ISD < 1μA、3mm × 4mm QFN-18
LTC3630A	6V、500mA同期整流式降圧コンバータ	V <sub>IN</sub> : 4V~76V、V <sub>OUT(MIN)</sub> = 0.8V、I <sub>Q</sub> = 12μA、ISD = 5μA、3 × 5 DFN-16、MSOP-16(12)E
LT8301	65V/1.2Aのスイッチを内蔵した42V <sub>IN</sub> マイクロパワー絶縁型フライバック・コンバータ	低静止電流、フォトカプラ不要のモノリシック・フライバック・コンバータ、5ピンTSOT-23パッケージ
ADUM1251	ホットスワップ可能なデュアルI <sup>2</sup> Cアイソレータ	双方向I <sup>2</sup> C通信、1000kHz動作、ホットスワップ・アプリケーションに最適
ADUM162N	フェールセーフおよび2リバース・チャンネル機能付きの堅牢な3.0kV rms 6チャンネル・デジタル・アイソレータ	低伝搬遅延、保証データ・レート: 150 Mbps (最大値)

外形寸法

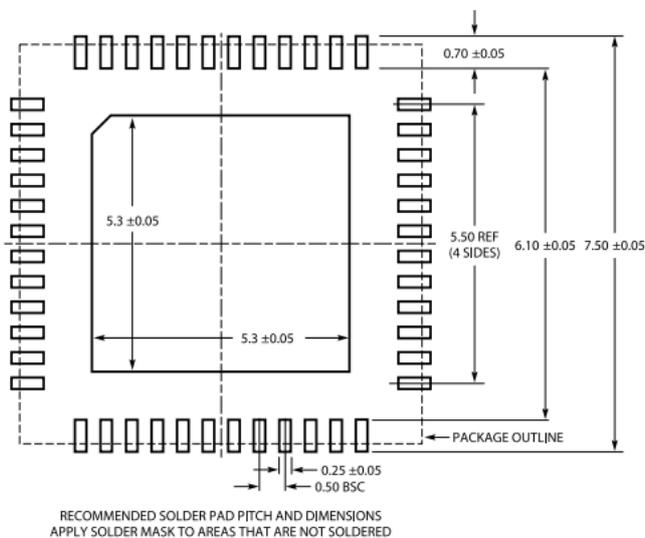
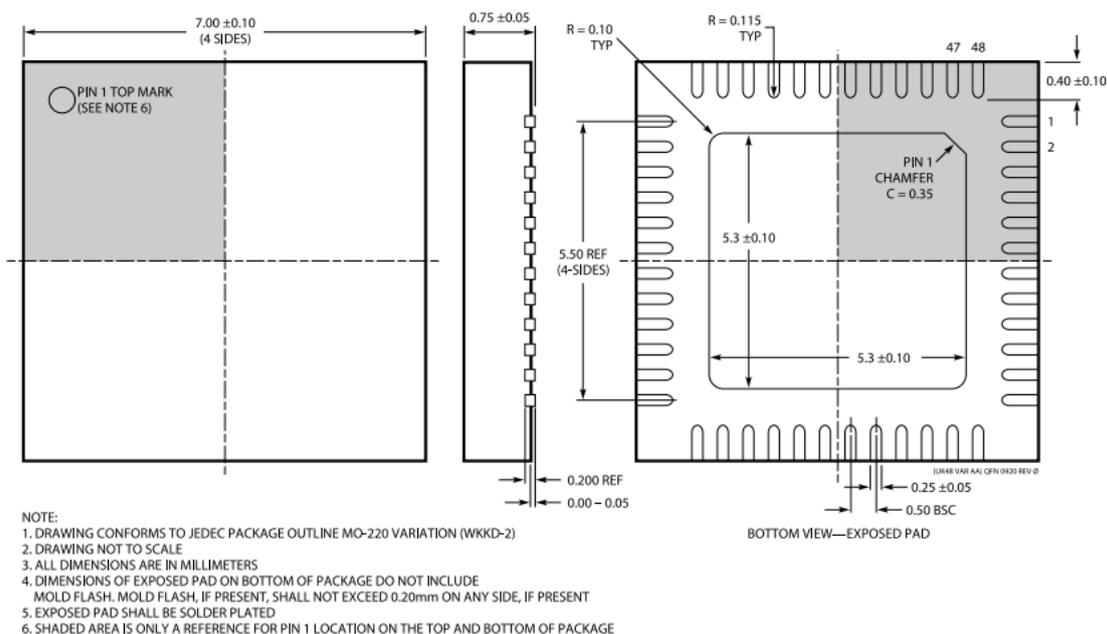


図 63. 48ピン、7mm × 7mm、プラスチックQFN  
(05-08-7073)  
寸法 : mm

更新 : 2022年12月03日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
LTC4296AUK-1#PBF	-40°C to +125°C	48-Lead Plastic QFN (7 mm × 7 mm)	Tray, 260	05-08-7073

<sup>1</sup> LTC4296AUK-1#PBFはRoHS準拠製品です。

## 外形寸法

## 評価用ボード

表 25. 評価用ボード

Model <sup>1</sup>	Description
EVAL-SPoE-KIT-AZ	Evaluation Board Kit Featuring the LTC4296-1

1 Z = RoHS準拠製品。