

この製品の英文データシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020 年 9 月 23 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2020 年 9 月 23 日

製品名：LTC4238

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.27

ページ右側の「ステップ 2」中で、チャンネル 1 の抵抗の消費電力の計算式が「式 21」と書かれていますが、正しくは「式 19」です。

高電圧高電流ホット・スワップ・コントローラ

特長

- 通電中のバックプレーンに基板を安全に挿入可能
- 広い動作電圧範囲: 6.5V~80V
- 高電力アプリケーション向けの2つのゲートを駆動
- パラレル・モード、段階的スタート・モード、またはシングル MOSFET モードに設定可能
- 調整可能な高精度電流制限: 6mV~20mV
- 電流フォールドバックによる MOSFET 電力の制限
- SOA タイマーによる MOSFET 機能の最適化
- V_{GS} と V_{DS} をモニタして MOSFET の健全性をチェック
- 12V ゲート駆動により低 $R_{DS(ON)}$ の MOSFET に対応
- 非常に高い電流レベル向けの並列接続可能なコントローラ
- 24ピン・ナロー SSOP パッケージおよび 24ピン 4mm×5mm QFN パッケージで供給可能

アプリケーション

- 通電中の 12V、24V、48V システムに対する基板の挿入
- 産業用ハイサイド・スイッチ/サーキット・ブレーカ
- コンピュータ、サーバー
- 車両の電氣的システム

概要

LTC®4238 は、通電中のバックプレーンに対する基板の安全な挿抜を可能にする、高電圧高電流ホット・スワップ・コントローラです。高電力アプリケーションに最適な2本の 12V ゲート駆動ピンにより、並列 MOSFET 間での安全動作領域の共有や、2段階起動への対応が可能です(第1段階で負荷容量を充電し、第2段階で負荷への低オン抵抗の経路を有効にします)。

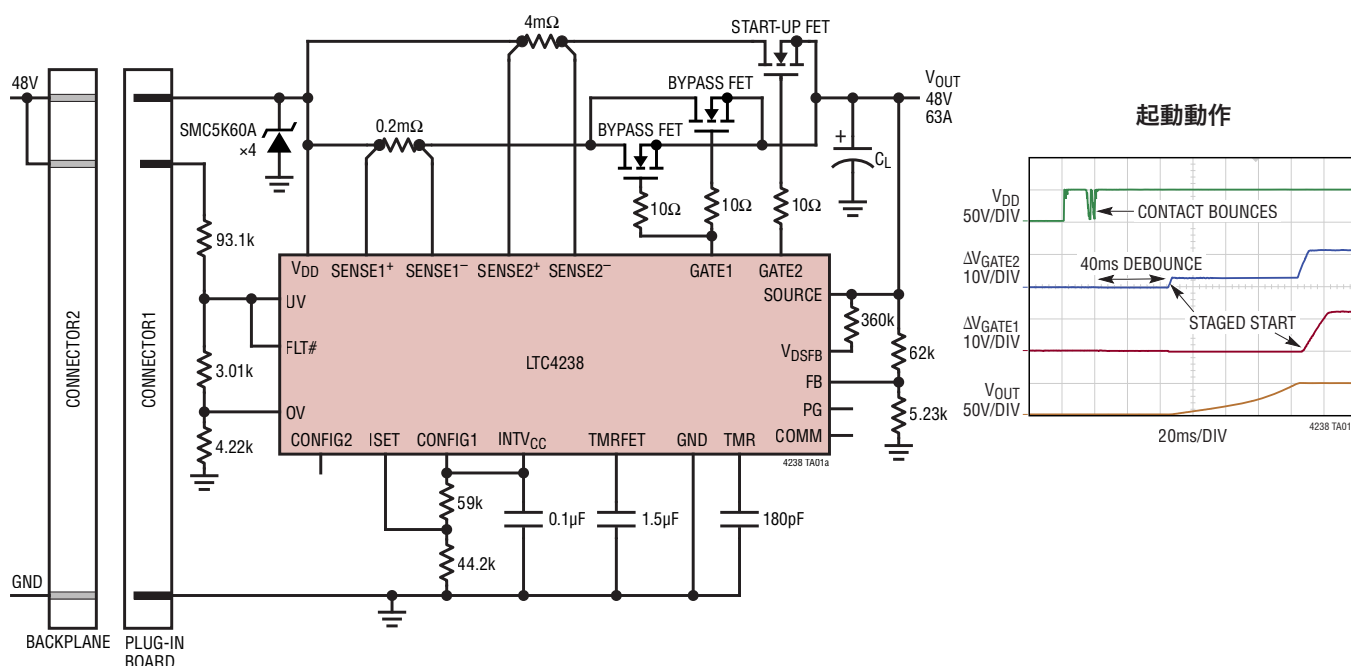
このデバイスは、 V_{DS} 上昇時の2つのフォールドバック・オプションでアクティブ電流制限(ACL)機能を提供します。定電力プロファイルは、電力損失が固定された値を超えないように制限します。高電力プロファイルは、デバイスが動作中に大きな入力ステップを乗り切れるようにします。

LTC4238は出力電力が正常になったときに通知します。更に、入力低電圧および過電圧に対する保護機能を備えており、過電流またはFET不良条件の発生時に障害を生成します。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。9634480、9634481、9671465B2、10003190B2をはじめとする米国特許によって保護されています。その他の特許は申請中です。

標準的応用例

低ストレス段階的スタート・モードの 48V/63A ホット・スワップ・コントローラ



LTC4238

絶対最大定格 (Note 1, 2)

電源電圧

V_{DD}	-0.3V~100V
INTV _{CC}	-0.3V~5.5V

入力電圧

GATE – SOURCE (Note 3)	-0.3V~10V
SENSE1 ⁺ , SENSE1 ⁻ , SENSE2 ⁺ , SENSE2 ⁻	$V_{DD} - 4.5V \sim V_{DD} + 0.3V$
SOURCE, FB, OV, UV,	-0.3V~100V
V_{DSFB}	-0.3V~ $V_{DD} + 0.3V$
TMR, TMRFET, ISET, CONFIG1, CONFIG2	-0.3V~INTV _{CC} + 0.3V

出力電圧

GATE, PG, FLT#	-0.3V~100V
COMM	-0.3V~5.5V

出力電流

INTV _{CC}	10mA
--------------------------	------

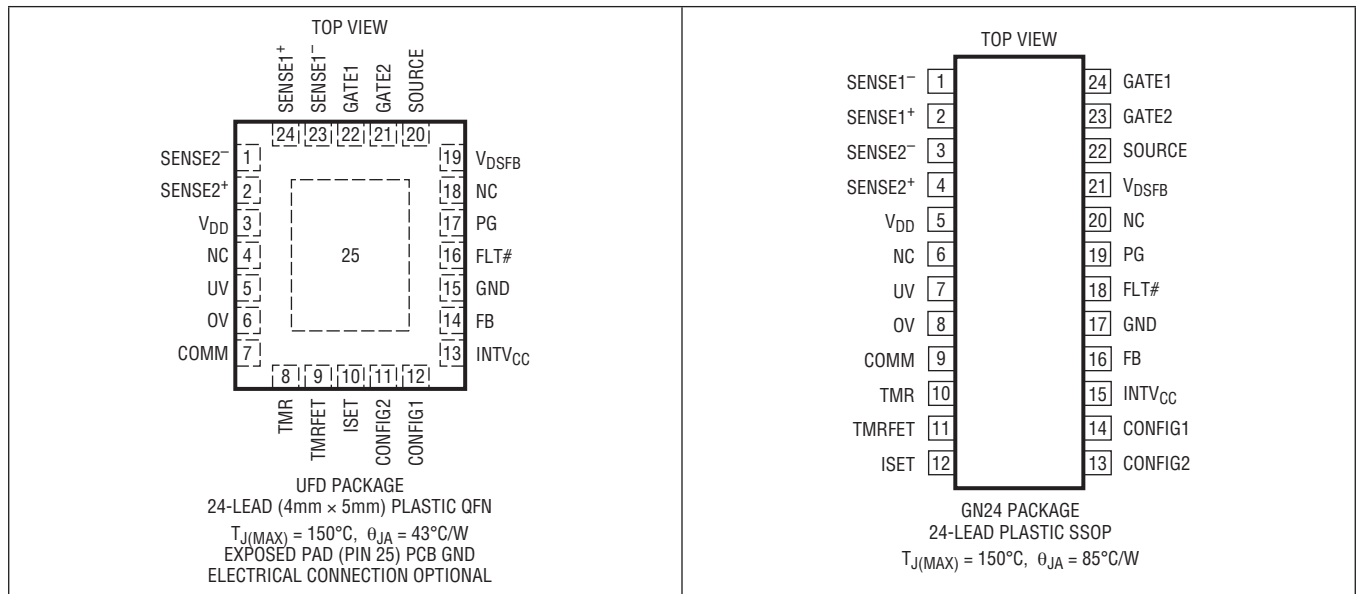
動作ジャンクション温度範囲

LTC4238C	0°C~70°C
LTC4238I	-40°C~85°C
LTC4238H	-40°C~125°C

保存温度範囲

GNパッケージ	-65°C~150°C
UFDパッケージ	-65°C~125°C
ピン温度 (ハンダ処理, 10 秒)	300°C

ピン配置



発注情報

チューブ	テープ&リール	製品マーキング*	パッケージ	温度範囲
LTC4238CUFD#PBF	LTC4238CUFD#TRPBF	4238	24-Lead (4mm × 5mm) Plastic QFN	0°C to 70°C
LTC4238IUFD#PBF	LTC4238IUFD#TRPBF	4238	24-Lead (4mm × 5mm) Plastic QFN	-40°C to 85°C
LTC4238HUF#PBF	LTC4238HUF#TRPBF	4238	24-Lead (4mm × 5mm) Plastic QFN	-40°C to 125°C
LTC4238CGN#PBF	LTC4238CGN#TRPBF	LTC4238GN	24-Lead Plastic SSOP	0°C to 70°C
LTC4238IGN#PBF	LTC4238IGN#TRPBF	LTC4238GN	24-Lead Plastic SSOP	-40°C to 85°C
LTC4238HGN#PBF	LTC4238HGN#TRPBF	LTC4238GN	24-Lead Plastic SSOP	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 48\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電源							
V_{DD}	Input Supply Range		●	6.5		80	V
I_{DD}	Input Supply Current		●		3	5	mA
$V_{DD(UVLO)}$	Input Supply Undervoltage Lockout	V_{DD} Rising	●	5.8	6	6.2	V
$V_{DD(HYST)}$	Input Supply Undervoltage Lockout Hysteresis		●		500		mV
$INTV_{CC}$	Internal 5V Supply Voltage	$I_{LOAD} = 0\text{mA}$ to 10mA	●	4.5	5.0	5.5	V
$INTV_{CC(UVLO)}$	$INTV_{CC}$ Undervoltage Lockout Threshold	$INTV_{CC}$ Rising	●	3.75	4	4.25	V
$INTV_{CC(HYST)}$	$INTV_{CC}$ Undervoltage Lockout Hysteresis		●		110		mV
電流制限							
$\Delta V_{SNS(TH)}$	Current Limit Sense Voltage Threshold ($SENSE^+ - SENSE^-$)	$ISET = 0\text{V}$ $ISET = INTV_{CC}$	● ●	5.8 19.5	6 20	6.2 20.5	mV mV
	10% Current Limit Foldback, Start-Up Only	$ISET = 0\text{V}$ $ISET = INTV_{CC}$	● ●	0.18 1.6	0.6 2	0.9 2.4	mV mV
	30% Current Limit Foldback, Normal	$V_{DD} - V_{DSFB} = 12\text{V}$ $ISET = 0\text{V}$ $ISET = INTV_{CC}$	● ●	1.5 5.6	1.8 6	2.1 6.4	mV mV
	Current Limit Threshold DAC INL		●		0	± 60	μV
$\Delta V_{SNS1} - \Delta V_{SNS2}$	Current Limit Channel Voltage Mismatch	$V_{SENSE1+}, V_{SENSE2+} = 48\text{V}$	●		0	± 300	μV
$\alpha_{LIM(FAST)}$	Ratio of Fast Current Limit to Nominal $\Delta V_{SNS(TH)}$		●	2	3	4	
$I_{SENSE1+}$	$SENSE1^+$ Input Current	$V_{SENSE1+} = 48\text{V}$, $V_{SNS1} \leq 20\text{mV}$	●	0		150	μA
$I_{SENSE1-}$	$SENSE1^-$ Input Current, $V_{SENSE1-} = V_{SENSE2-} = 48\text{V}$	HSSS Mode with CH2 Off	●	3	5	7	μA
		Parallel, LSSS Mode, HSSS Mode with CH2 On	●		0	± 1	μA
$I_{SENSE2+}$	$SENSE2^+$ Input Current	$V_{SENSE2+} = 48\text{V}$	●	0		70	μA
$I_{SENSE2-}$	$SENSE2^-$ Input Current	$V_{SENSE2+} = V_{SENSE2-} = 48\text{V}$	●		0	± 1	μA
ゲート駆動							
ΔV_{GATE}	External N-Channel Gate Drive ($V_{GATE} - V_{SOURCE}$)	$V_{DD} = 6.5\text{V}$ to 80V , $I_{GATE} = -5\mu\text{A}$ (Note 3)	●	10	12	14	V
$\Delta V_{GATE(TH)}$	Gate Threshold for FET-Bad and Power Good		●	6	8	10	V
$I_{GATE(UP)}$	GATE1, GATE2 Pull-Up Current	Gate On, GATE = 0V	●	-35	-50	-70	μA
$I_{GATE(DN)}$	GATE1, GATE2 Fast Pull-Down Current	$\Delta V_{SNS} = 100\text{mV}$, $\Delta V_{GATE} = 6\text{V}$			0.8		A
	Gate Off Pull-Down Current to SOURCE	$\Delta V_{GATE} = 6\text{V}$	●	6	10	16	mA
	Gate Off Pull-Down Current to Ground	$\Delta V_{GATE} = 6\text{V}$	●	0.5	1.5	2.5	mA
$t_{PHL(SENSE)}$	ΔV_{SNS} High to GATE Low Propagation Delay	$\Delta V_{SNS} = 0\text{mV}$ to 100mV Step, $C = 10\text{nF}$	●		0.5	1	μs
$t_{PHL(GATE)}$	UV, OV Turn Off Propagation Delay	GATE < 6V , Gate Open	●	0.3	1	3	μs
$t_{PHL(STRESS)}$	Propagation Delay to Turn Off Low Stress MOSFET in HSSS Mode	Gate Open	●		6	13	μs
コンパレータ入力							
V_{TH}	UV, OV, FB Threshold Voltage	Rising	●	2.5	2.56	2.62	V
$\Delta V_{UV(HYST)}$	UV Hysteresis		●	280	360	440	mV
$\Delta V_{OV(HYST)}$	OV Hysteresis		●	25	46	85	mV
$\Delta V_{FB(HYST)}$	FB Power Good Hysteresis		●	60	80	100	mV
V_{TH}	UV Reset Threshold Voltage	Falling	●	0.95	1.00	1.05	V
$\Delta V_{UVR(HYST)}$	UV Reset Threshold Hysteresis		●	50	100	150	mV
I_{INPUT}	UV, OV, FB Input Current	$V = 2.56\text{V}$	●		0	± 1	μA

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 48\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{FETBAD(TH)}$	$V_{DD} - \text{SOURCE FET-Bad Threshold}$		●	80	100	120	mV
$V_{STRESS(TH)}$	$V_{DD} - \text{SOURCE Low Stress Threshold}$		●	1.6	2	2.4	V
I_{SOURCE}	SOURCE Input Current	$V_{SOURCE} = 48\text{V}$	●	10	40	300	μA
$t_{DL(UV)}$	Debounce Turn-On Propagation Delay	UV Turn-On	●	30	40	50	ms
$t_{DL(OV)}$	Turn-On Propagation Delay	OV Turn-On	●		25	50	μs
$t_{DL(PG)}$	Power Good Delay		●		1	3	μs
$V_{CONFIG1/2}$	Input High Threshold		●	$INTV_{CC} - 0.8$	$INTV_{CC} - 0.5$	$INTV_{CC} - 0.2$	V
	Input Low Threshold		●	0.2	0.5	0.8	V
I_{CONFIG}	CONFIG Sink or Source Current	CONFIG = 0 to $INTV_{CC}$	●			± 20	μA
$V_{ISET(TH)}$	ISET Threshold Error	(Note 4)	●			± 150	mV
I_{ISET}	ISET Input Current	$V = 0, 5\text{V}$	●		0	± 1	μA

その他のピンおよび機能

V_{OL}	PG, FLT# Output Low Voltage	$I = 2\text{mA}$	●		0.3	0.4	V
I_{OH}	PG, FLT# Leakage Current	$V = 80\text{V}$	●		0	± 1	μA
R_{VDSFB}	Resistance Between V_{DD} and V_{DSFB} Pins	Gate On	●	90	120	150	$\text{k}\Omega$
I_{VDSFB}	V_{DSFB} Input Current	Gate Off	●		0	± 1	μA
I_{COMM}	COMM Source Current	$V = 2.5\text{V}$, Gate On and in Current Limit	●	-3.5	-5	-6.5	μA
	COMM Sink Current	$V = 2.5\text{V}$, Gate Off	●	3			mA
$V_{COMM(SERVO)}$	COMM Servo Voltage	LSSS Start-Up	●	0.35	0.8	0.9	V
		Gate Fully On, Not in Current Limit	●	2.3	2.5	2.7	V
$V_{COMM(TH)}$	COMM High Threshold	In Current Limit	●	$INTV_{CC} - 2$	$INTV_{CC} - 1.5$	$INTV_{CC} - 0.85$	V
	COMM Low Threshold	Gates On, Not in LSSS	●	0.9	1.4	1.9	V
	COMM LSSS Threshold	Gate On, in LSSS	●	0.1	0.2	0.3	V
$V_{TMR(H)}$	TMR, TMRFET High Threshold	Rising (Note 5)	●	2.50	2.56	2.62	V
$V_{TMR(L)}$	TMR, TMRFET Low Threshold	Falling (Note 5)	●	0.16	0.2	0.24	V
$I_{TMR(UP)}$	TMR (ILIM), TMRFET Pull Up Current	$V_{TMR} = 0\text{V}$	●	-16.5	-20	-22	μA
		$\Delta V_{SNS} = 0\text{V}$ and $V_{DD} - V_{VDSFB} = 0\text{V}$	●			± 1	μA
		$\Delta V_{SNS} = 10\text{mV}$ and $V_{DD} - V_{VDSFB} = 6\text{V}$	●	-90	-100	-110	μA
		$\Delta V_{SNS} = 20\text{mV}$ and $V_{DD} - V_{VDSFB} = 50\text{mV}$	●	-2.5	-1.4	1	μA
$I_{TMR(DN)}$	TMR(ILIM) Pull Down Current	$V_{TMR} = 2.56\text{V}$	●	3	5	7	μA
$I_{TMRFET(DN)}$	TMRFET Pull Down Current	$V_{TMRFET} = 2.56\text{V}$	●	0.2	0.5	0.8	mA
D_{OC}	Overcurrent Auto-Retry Duty Cycle		●	0.04	0.08	0.12	%
D_{FETBAD}	FETBAD Auto-Retry Duty Cycle		●	0.8	1.6	2.4	%

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

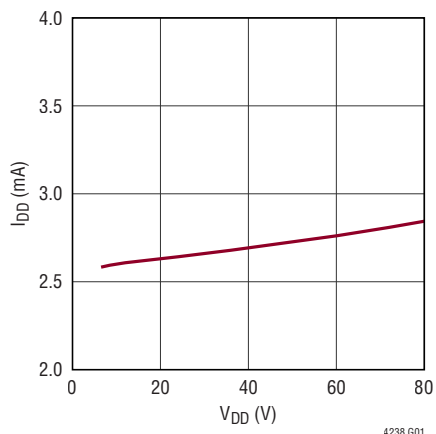
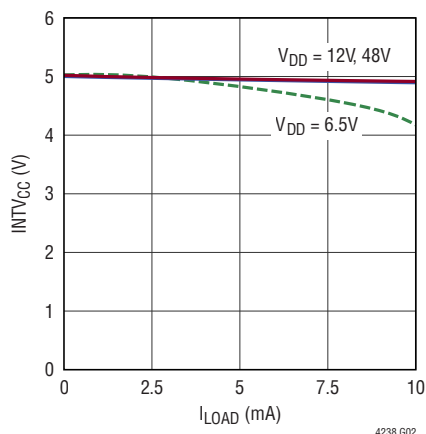
Note 2: ピンに流れ込む電流は全て正とする。注記がない限り、全ての電圧はGNDを基準にしている。

Note 3: 内部クランプにより、GATEピンはSOURCEピンより少なくとも10V高い電圧または0.3V低い電圧に制限される。このピンをクランプ電圧より高い電圧にドライブすると、デバイスを損傷する恐れがある。

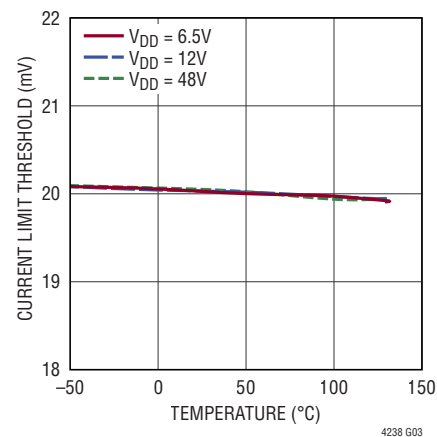
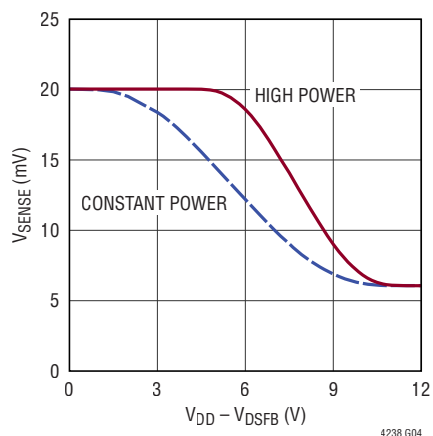
Note 4: 詳細については、表1を参照のこと。

代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 48\text{V}$ 。

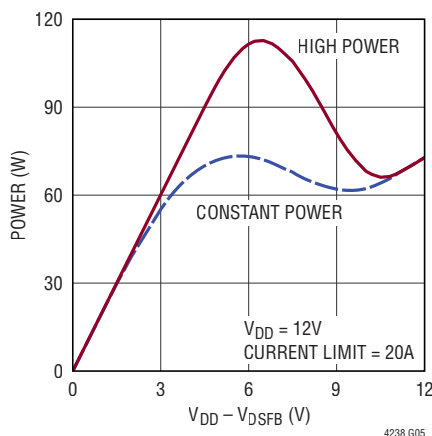
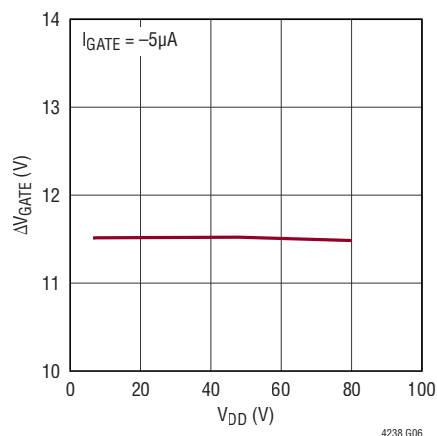
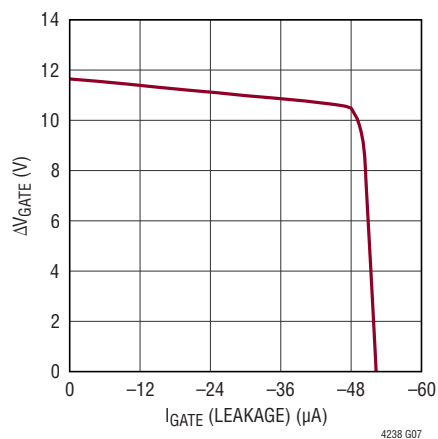
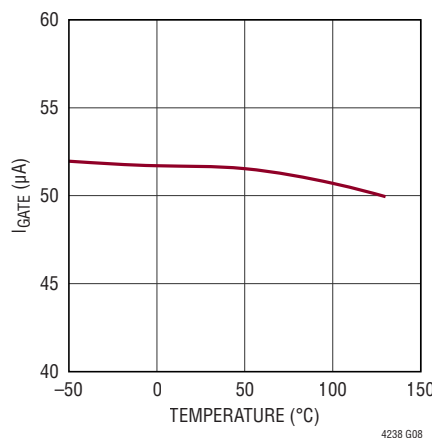
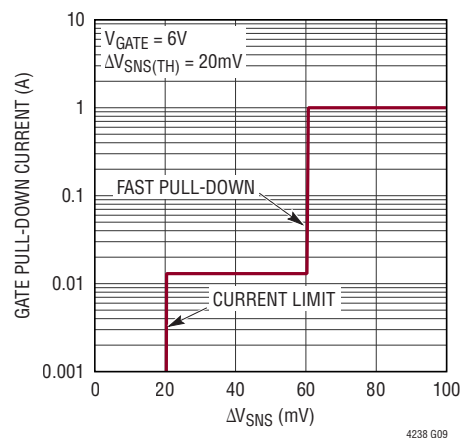
電源電流と電圧

INTV_{CC}の負荷レギュレーション

電流制限の閾値と温度

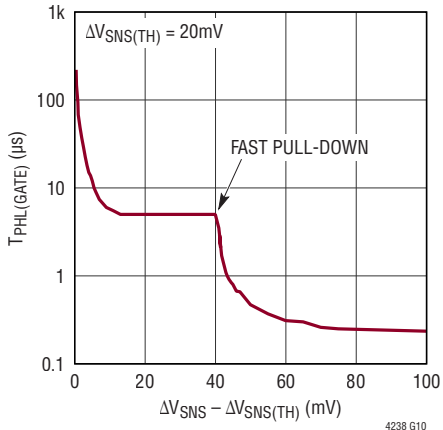
電流制限フォールドバック・
プロファイル

MOSFETの電力制限

MOSFETのゲート駆動とV_{DD}MOSFETのゲート駆動とゲートの
リーク電流MOSFETのゲート駆動の
プルアップ電流と温度GATEのプルダウン電流とSENSEの
入力電圧

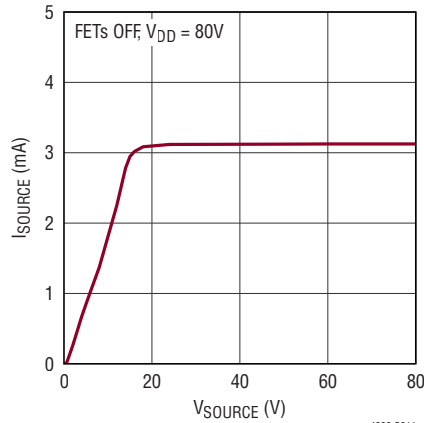
代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 48\text{V}$ 。

電流制限の伝搬遅延と
オーバードライブ



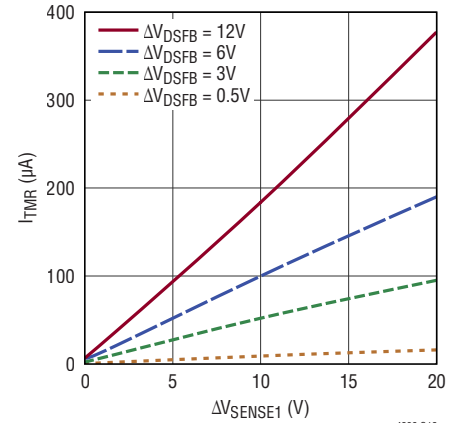
4238 G10

SOURCEピンの電流とSOURCEの
電圧



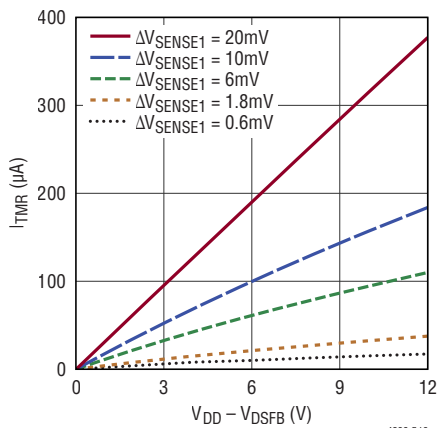
4238 G011

SOA タイマーのプルアップ
電流と ΔV_{SENSE1}



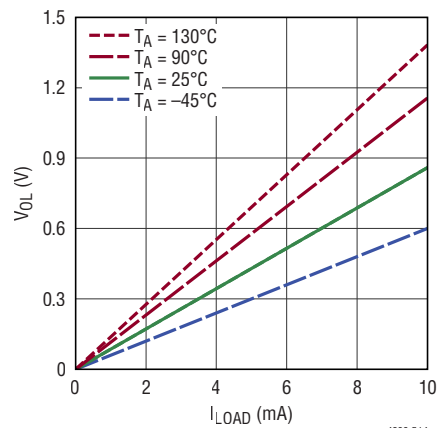
4238 G12

SOA タイマーのプルアップ電流と
 $V_{DD} - V_{DSFB}$



4238 G13

PGおよびFLT#の出力ローの電圧と
負荷電流



4238 G14

ピン機能

COMM : 通信入出力。ターンオン、ターンオフ、および過電流障害を複数のデバイス間で調整します。デバイスのグループ内でCOMMピンを直接接続すると、複数のデバイスが連携して動作します。COMMピンは、ONステータスまたは電流制限ステータスのインジケータとしても使用できます。オープンドレイン出力によってこのピンの電圧をグラウンドまで引き下げると、デバイスはオフになります。使用しない場合、開放のままにします。

CONFIG1、CONFIG2 : スリーステート設定入力。デコードして9つの可能な設定のうち1つを選択します。設定項目は、シングルFET、高ストレス段階的スタート(HSSS)、パラレル、または低ストレス段階的スタート(LSSS)の各モードと、電流制限プロファイル、TMRピン用タイマーのタイプです(表3を参照)。

FB : パワーグッド・コンパレータの入力。SOURCEとGNDの間に接続した外付けの抵抗分圧器に接続します。FBピンの電圧が2.48Vより低くなると、PGピンはローになり、電力が不良であることを示します。

FLT# : 過電流またはFET不良出力。FET不良タイマーまたは電流制限/ SOAタイマーが経過したときにローになるオープンドレイン出力。抵抗を介してFLT#とUVをINTV_{CC}に接続すると、自動再試行が有効になります(詳細はアプリケーション情報を参照)。

GATE1、GATE2 : 外付けNチャンネルMOSFETのゲート駆動ピン。内部50 μ A電流源により、MOSFETのゲートを充電します。GATEピンに補償コンデンサは不要ですが、これらのピンとグラウンドの間に接続した抵抗コンデンサ(RC)ネットワークを使用して、ターンオン時の出力電圧のスルーレートを設定できます。ターンオフ時には、10mAのプルダウン電流がSOURCEに流れ、1mAのプルダウン電流がGNDに流れます。短絡または低電圧ロックアウト(V_{DD}またはINTV_{CC})時には、GATE1/GATE2とSOURCEの間に0.8Aのプルダウン電流が流れます。MOSFETを1つだけ使用する場合は、GATE2ピンを開放のままにして、SENSE2⁺とSENSE2⁻をV_{DD}に接続します。

GND : デバイスのグラウンド。

INTV_{CC} : 内部電源のデカップリング出力。このピンとグラウンドの間に0.1 μ F以上のコンデンサを接続してください。このピンから最大10mAの電流が流れ、アプリケーション回路に電力を供給します。このピンは電流制限されており、過電流条件では電圧がGNDまで低下して過熱を抑えます。この

ピンが過負荷状態になると、内部の動作が中断されることがあります。このピンは、(電流をソースできるがシンクできない)外部電源によって駆動できます。

ISET : 電流制限調整入力。ISETの電圧は、INTV_{CC}に接続した抵抗分圧器によって生成される7つのスレッシュホールド電圧と比較されます。その結果、電流制限電圧は、6mV~20mVの範囲(2mVステップ)の8つの値のいずれかに設定されます。ISETをグラウンドに接続すると、電流制限閾値は6mVに設定されます。ISETをINTV_{CC}に接続すると、電流制限閾値は20mVに設定されます(表1を参照)。

NC : 接続なし。内部では未接続。

OV : 過電圧コンパレータの入力。OVは、V_{DD}とGNDの間に接続した外付けの抵抗分圧器に接続します。このピンの電圧が2.56Vの閾値より高くなると、過電圧障害が検出されます。OVピンの電圧が2.51Vの下降時閾値より低くなると、GATEピンは即座に再びオンになります。使用しない場合はGNDに接続します。

PG : パワーグッド出力。FBピンの電圧が2.48Vより低くなったときにローになり、電力が不良であることを示すオープンドレイン出力。FBピンの電圧が2.56Vより高く、V_{DD} - V_{SOURCE}が2Vより小さく、GATEの電圧が十分に高くなると、オープンドレインのプルダウンによってPGピンはハイに解放されます。

SENSE1⁺、SENSE2⁺ : 正の電流検出ケルビン入力。電流検出抵抗のV_{DD}側に接続します。

SENSE1⁻、SENSE2⁻ : 負の電流検出ケルビン入力。電流検出抵抗のMOSFET側に接続します。電流制限回路はGATEピンを制御し、V_{DSFB}ピンの電圧に応じて、SENSE⁺ピンとSENSE⁻ピンの間の検出電圧をISETピンで選択した値以下に制限します。使用しない場合は、SENSE2⁻をV_{DD}に接続します。

SOURCE : NチャンネルMOSFETのソース接続。外付けNチャンネルMOSFETスイッチのソースに接続します。このピンはゲートのプルダウン回路に帰還経路を提供し、100mVおよび2VのV_{DS}コンパレータへの入力として使用されます。100mVのコンパレータはFET不良の検出に使用され、2Vのコンパレータは段階的スタートのタイミングの決定に使用されます。

ピン機能

TMR : 電流制限タイマーまたはSOAタイマーの出力。動作モードはCONFIGピンの状態によって設定されます。電流制限タイマー・モードでは、このピンとグラウンドの間にコンデンサを接続し、スイッチがオフになるまでの電流制限の持続時間を $128\text{ms}/\mu\text{F}$ に設定します。MOSFETスイッチがオフのときにUVピンがローにトグルされると、スイッチは $150\text{s}/\mu\text{F}$ のクールダウン時間後に再びオンになり、デューティ・サイクル 0.08% で動作します。SOA タイマー・モードでは、このピンとグラウンドの間にRCネットワークを接続します。RCネットワークを充電する電流は、電力経路の電力損失に比例します。この値は、 ΔV_{SENSE1} に、 V_{DSFB} ピンで測定される V_{DD} ピンとSOURCEピン間の電圧差を乗じた値に等しくなります。

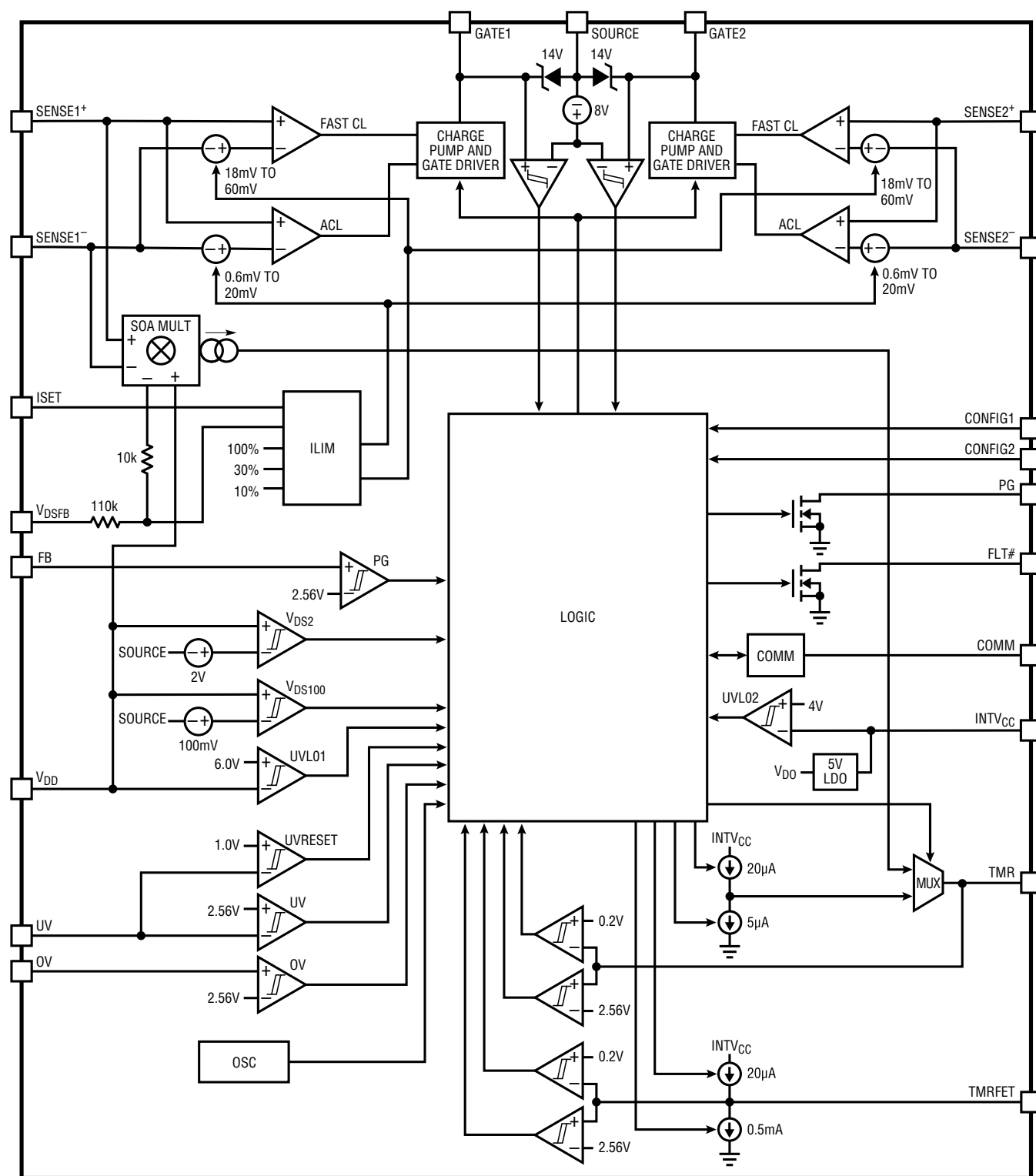
TMRFET : FET不良タイマーの入力。このピンとグラウンドの間にコンデンサを接続し、FET不良が原因でスイッチがオフになるまでのFET不良条件の持続時間を $128\text{ms}/\mu\text{F}$ に設定します。MOSFETスイッチがオフのときにUVピンがローにトグルされると、スイッチは $8\text{s}/\mu\text{F}$ のクールダウン時間後に再びオンになり、デューティ・サイクル 1.6% で動作します。使用しない場合はGNDに接続します。

UV : 低電圧コンパレータの入力。 V_{DD} とGNDの間に接続した外付けの抵抗分圧器に接続します。UVピンの電圧が2.2Vより低くなると、低電圧が検出され、スイッチはオフになります。このピンの電圧が1Vより低くなると、過電流障害とFET不良はリセットされ、スイッチは再びオンになることができます(詳細はアプリケーション情報を参照)。過電流状態での自動再試行を使用する場合は、このピンをFLT#ピンに接続します。使用しない場合はINTV_{CC}に接続します。

V_{DD} : 電源電圧入力。このピンには、6Vの低電圧ロックアウト閾値があります。 V_{DD} は、100mVの閾値を持つFET不良コンパレータの入力です。このピンは、2Vの閾値を持つストレス・コンパレータの入力でもあります。

V_{DSFB} : V_{DS} フォールドバック検出入力。外付けMOSFETのドレイン-ソース間電圧のモニタ(SOAタイマーはこの値を使用してMOSFETの電力をモニタする)と、フォールドバック電流制限の設定に使用されます。12Vシステムでは、 V_{DSFB} ピンをSOURCEピンに直接接続できます。48Vシステムでは、入力電圧が12Vを超える場合、 $10\text{k}\Omega/\text{V}$ の R_{VDSFB} 抵抗を追加し、SOAタイマーとフォールドバック回路の適切なゲインを設定する必要があります。

ブロック図



4238 BD

動作

LTC4238は、基板の電源電圧のオン／オフを確実に制御するように設計されているため、通電中のバックプレーンに対して基板を安全に挿抜できます。このデバイスには、シングル・ドライバ・モード、パラレル・モード、高ストレス段階的スタート・モード(HSSS)、低ストレス段階的スタート・モード(LSSS)の4つの動作モードがあります。それぞれのモードで、アプリケーションによって異なる安全動作領域(SOA)、 $R_{DS(ON)}$ 、およびコストの条件に対応します。

ブロック図はLTC4238のモニタリング・ブロックを示しています。最初に、2つの低電圧ロックアウト回路(UVLO1およびUVLO2)が、入力電源と内部で生成される5V電源(INTVCC)を検証します。UVLO2は、ロジックに対する電源投入時の初期化信号も生成します。低電圧(UV)コンパレータと過電圧(OV)コンパレータは、GATEをオンにする前に外部条件が有効かどうかを確認します。

通常動作では、LTC4238は、起動時のデバウンス遅延後に外付けNチャンネルMOSFETをオンにし、負荷に電力を供給します。ISETの電圧を使用して、正確な電流制限値を6mV～20mVの範囲(2mVステップ)で設定できます。起動時に、SENSE⁺とSENSE⁻間の電圧を、電流制限閾値の10%以内に、またはフォールドバックによる電流制限閾値に制御できます。外付けのゲートRCネットワークを使用して、起動時の電流を更に小さい値に設定することもできます。

出力側に過電流障害が発生すると、アクティブ電流制限(ACL)中にMOSFETに過度の電力損失が発生することがあります。各チャンネル内でこの電力を制限するために、検出電圧が電流制限値を超えると、ACLアンプは、アクティブ制御ループ内でGATE-SOURCE間電圧を下げることであり、SENSE1⁺、SENSE1⁻ピンとSENSE2⁺、SENSE2⁻ピン間の電圧を調整します。MOSFETのドレイン-ソース間電圧が高い場合、フォールドバック機能によって電流を公称電流制

限值の30%までに制限することにより、電力損失は更に低減されます。重大な出力短絡が発生した場合、検出される電流が公称電流制限値の3倍になると、高速電流リミット・コンパレータが0.8Aの電流でGATEピンの電圧を即座に引き下げます。

LTC4238は、MOSFET SOAタイマーまたは電流制限タイマーという2つの方法で、システムが過度のストレス条件にさらされる時間を制限します。タイマーはCONFIGピンで選択します。MOSFET SOAタイマーを選択した場合、GATE1によって駆動されるMOSFETの電力損失に比例する電流によって、TMRピンの電圧が引き上げられます。RCネットワークはこのMOSFETの温度特性を表し、TMRピンの電圧はMOSFETの温度上昇に比例します。TMRピンの電圧が(MOSFETの $T_{J(MAX)}$ を表す)2.56Vの閾値に達すると、過電流障害がトリガされます。両方のGATEがオフになり、SOAに基づいてMOSFETを保護します。電流制限タイマーを選択した場合、TMRピンは単一のコンデンサを駆動するように設定され、アクティブ電流制限が作動すると、TMRピンの電圧は20μAの電流によって上昇します。TMRピンの電圧が2.56Vの閾値に達すると、LTC4238は両方のGATEをオフにし、FLT#ピンがローになって障害を表示します。次に、TMRピンの電圧は、0.2Vより低くなるまで5μAの電流源によって下降します。その後、TMRピンの電圧は20μA/5μAの電流によって上昇と下降を256回繰り返し、その間にパス・トランジスタを冷却させます。FLT#ピンをUVピンに接続して過電流状態での自動再試行を有効にした場合、LTC4238は、256回のタイマー・サイクルの最後に再びオンになります。

出力電圧はFBピンとパワーグッド(PG)コンパレータを使用してモニタされ、負荷を駆動する電力を供給できるかどうか判定されます。パワーグッド条件は、PGピンによってオープン・ドレインのプルダウン・トランジスタを使用して通知されます。

アプリケーション情報

LTC4238の代表的なアプリケーションは、正の電源電圧を分配して個々のホット・スワップ式カードに電力を供給する高可用性システムです。

以降のセクションでは、最初にパラレル・モードの例を使用して、共通の機能と基本的なホット・スワップ・アプリケーションについて説明します。その後、各動作モードの独自の機能とアプリケーションを個別に説明していきます。LTC4238の基本的な48V/40Aアプリケーション回路を図1に示します。基板上の電源は、電力経路に配置される2対のNチャンネル・パス・トランジスタ(M1A-BおよびM2A-B)を使用して制御されます。抵抗 R_{S1} および R_{S2} は、M1A-BとM2A-Bを流れる電流を検出します。抵抗 R_1 、 R_2 、および R_3 は、低電圧レベルと過電圧レベルを定義します。 R_{G1-4} は、MOSFETの高周波自励発振を防ぎます。 R_7 および R_8 はパワーグッド閾値を設定し、 R_6 は目的の動作電圧に合わせて電流制限フォールドバックをスケールします。

以降のセクションでは、ターンオン、ターンオフ、および(LTC4238が検出および対応する)各種の障害について説

明します。外付け部品の選択については、設計例のセクションで詳しく説明します。

ターンオン・シーケンス

外付けMOSFETがオンになるには、いくつかの条件を満たす必要があります。最初に、外部電源 V_{DD} が6.0Vの低電圧ロックアウト・レベルを超える必要があります。次に、内部で生成される電源 $INTV_{CC}$ が4Vの低電圧閾値を超える必要があります。これにより、パワーオン・リセット・パルスが生成されます。

パワーオン・リセット・パルスの生成後、UVピンとOVピンにより、入力電力が許容範囲内であることが確認されます。ターンオンの条件を満たすには、UVコンパレータの状態が少なくとも40msの間安定している必要があります。50 μ Aの電流源でGATEピンを充電することにより、MOSFETがオンになります。GATEピンの電圧がMOSFETのスレッシュホールド電圧に達すると、MOSFETはターンオンを開始し、SOURCEピンの電圧はGATEピンの電圧に追従して上昇します。

MOSFETがオンの間、電流制限中の各MOSFETの電力損失は、図2に示すフォールドバック・プロファイルに制限され

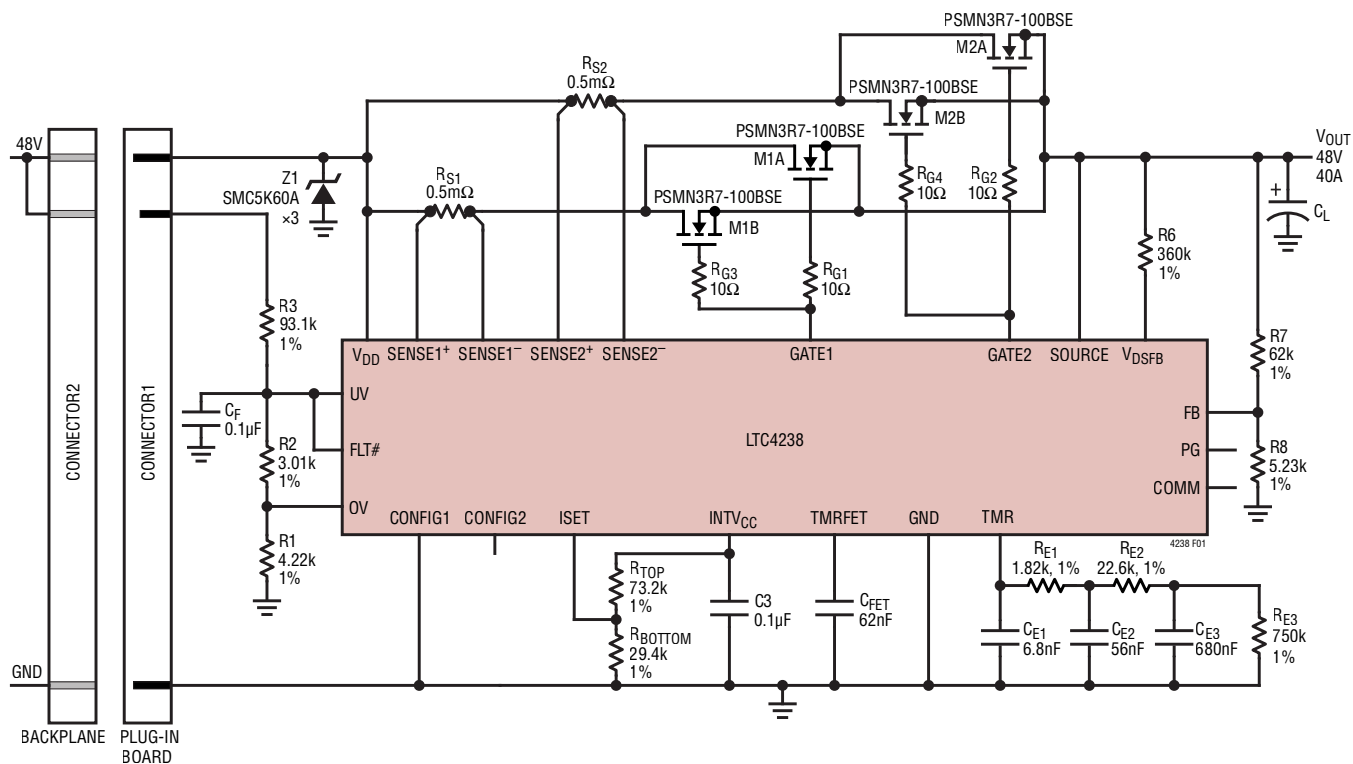


図1. パラレル・モードでS0Aタイマーを使用する48V/40Aホット・スワップ・コントローラ

アプリケーション情報

まず、 V_{DSFB} ピンとFB ピンの電圧は、R6、R7、およびR8の設定に従って、SOURCE ピンに追従して上昇します。MOSFETのドレイン-ソース間電圧が2Vの閾値より低くなり、両方のGATE ピンの電圧が8Vの閾値より高くなり、FB ピンの電圧

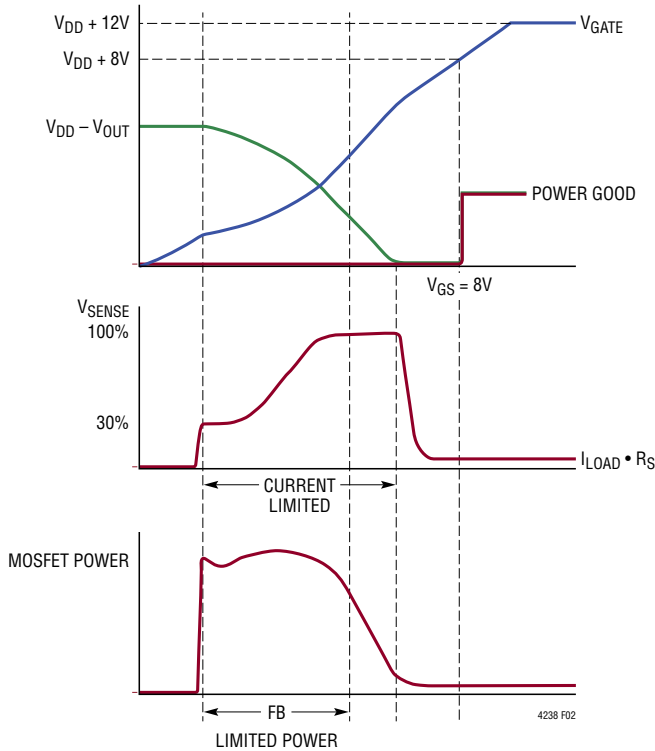


図2. 電源投入時の波形

が2.56Vの閾値を超えると、PG ピンがハイになります。これは電力が正常で負荷を駆動できることを示します。

通常動作では、GATE-SOURCE 間 (ΔV_{GATE}) の最小駆動電圧は10Vです。20V Nチャンネル MOSFET のゲートを保護するため、 ΔV_{GATE} 電圧は14V未満にクランプされます。代表的な性能特性に、 ΔV_{GATE} の駆動電圧と V_{DD} の関係を示す曲線を示します。

ターンオフ・シーケンス

カードが取り外されてバックプレーン・コネクタの短絡ピンが開放され、UV または OV コンパレータ出力の状態が変化することにより、通常のターンオフ・シーケンスが開始されます。これ以外に、GATE がオフになる障害条件がいくつかあり、入力過電圧、入力低電圧、過電流、FET 不良などが挙げられます。

MOSFET は、GATE から SOURCE へ流れる 10mA の電流と、GATE ピンの電圧をグラウンドに引き下げる 1mA の電流によってオフになります。MOSFET がオフになると、負荷容量の放電によって SOURCE と FB の電圧が低下します。FB の電圧が閾値より低くなると、PG がローになり、出力がパワーグッドではないことを示します。 V_{DD} ピンの電圧が 5.5V より低くなるか、または $INTV_{CC}$ が 3.89V の下降時低電圧ロックアウト閾値より低くなると、MOSFET の高速シャットダウンが開始されます。GATE ピンの電圧は、0.8A の電流によって SOURCE ピンの電圧まで引き下げられます。

過電流保護

LTC4238 は、短絡条件および過電流条件に対する 2 レベルの保護を備えています。負荷電流は、SENSE⁺ および SENSE⁻ ピンに接続された電流検出抵抗によってモニタされます。電流検出電圧には、アクティブ電流制限閾値と高速電流リミット・コンパレータ閾値の 2 の異なる閾値があります。高速電流リミット・コンパレータ閾値は、常に公称電流制限閾値の 3 倍です。チャンネルの検出電圧が電流制限閾値に達すると、関連するアクティブ電流制限ループが作動するまで、対応する GATE の電圧が引き下げられます。チャンネルの検出電圧が高速電流リミット・コンパレータ閾値に達するような重大な短絡または突発的な入力ステップが発生した場合は、対応する GATE の電圧が即座に SOURCE の電圧まで引き下げられ、MOSFET を流れるピーク電流を制限します。検出電圧が電流制限閾値まで低下すると、アクティブ電流制限ループが作動します。

電流制限フォールドバック

LTC4238 は、調整可能なフォールドバック電流制限機能により、MOSFET を過度の電力損失から保護します。アクティブ電流制限中は、 V_{DD} ピンと V_{DSFB} ピンによって検出される MOSFET の電圧上昇に対して、利用可能な電流は低減されます。MOSFET にかかる電圧が高くなるほど、電流制限閾値は低くなります。起動後の最低フォールドバック値は、公称電圧の 30% です。

LTC4238 の電流制限閾値の公称電圧は、ISET ピンにより、6mV ~ 20mV の範囲 (2mV ステップ) で設定されます (表1)。この機能は、選択の余地があまりない 1mΩ 程度の標準的な

アプリケーション情報

検出抵抗値を使用して、指定された電流制限を達成するのに役立ちます。閾値を最低の6mVに設定すると、高電流アプリケーションで検出抵抗の電力損失を低減できます。

様々なアプリケーションの条件を満たすために、電流制限フォールドバックには定電力プロファイルと高電力プロファイルの2種類が利用できます。フォールドバックの設定については、表3を参照してください。定電力プロファイルは、 V_{DS} に関係なく電流制限中のMOSFETの電力が一定になるように構成されています。これにより、アプリケーションのSOAの設計が簡素化され、様々な電圧および電流条件で安全電力損失時間が一定に保たれます。このプロファイルは、TMRピンの電流制限タイマーと連携して動作します。ただし、定電力フォールドバック・プロファイルは低い V_{DS} でフォールドバックを開始しますが、この状態は入力ステップ中に発生することがあります。この問題に対処するため、高電力プロファイルも用意されています。このプロファイルは、 V_{DS} が公称入力電圧の約50%に達するまでフォールドバックを開始しません。これにより、入力ステップ後にフォールドバック電流制限が作動して出力電流が負荷電流より小さくなり、出力が崩壊することを防ぎます。高電力プロファイルではMOSFETの電力損失が一定にならないため、最も厳しい電力損失は、通常はMOSFETにかかる電圧が公称電源電圧の1/2になったときに発生します。代表的な性能特性のグラフに、電流制限および電力とMOSFETの電圧の関係を示します。

更に、起動を容易にするため、LTC4238は、起動時の電流を全電流制限の10%に制限するオプションを設定できます。LTC4238の電流はパワーグッド条件が満たされるまで10%にとどまり、その時点で通常のフォールドバック・プロファイルと電流制限に切り替えられます。多くの場合、これにより、MOSFETのGATEにRCネットワークを接続して突入電流を制限する必要はなくなります。起動時に10%の電流制限を

使用する設定では、常にSOAタイマーが使用されます。このタイマーは柔軟性が高いため、起動時の低い電力レベルでの電流制限タイムアウトは長めに設定し、起動後の障害発生時の電流制限タイムアウトは短めに設定できます。

GATEのRCネットワークを使用して定電流で起動

GATEとGNDの間にオプションの直列RCネットワーク(図5の R_G および C_G)を接続すると、GATEピンのスルー・レートが制限され、突入電流が電流制限より小さく抑えられます。起動中には電流制限は作動しないため、電流制限タイマーは動作しません。したがって、小容量のタイマー・コンデンサを使用することで、SOAの小さいMOSFETを使用できます。FBピンの電圧が2.56Vの閾値を超え、 ΔV_{GATE} 電圧が8Vの閾値を超えると、パワーグッドが通知されます。この両方の条件が満たされ、MOSFETを介して電源に戻るインピーダンスが低い場合は、負荷をオンにするのに適した出力電圧が存在します。PGピンの電圧がハイになり、電力が正常であることを示します。 $I_{GATE} \cdot R_G$ がMOSFETのスレッシュホールド電圧より小さくなるような R_G を選択して、初期突入電流のスパイクを防ぎます。一方、 R_G を大きくすると、電流制限サーボ・ループの安定性が向上します(電流制限の安定性についてはアプリケーション情報を参照)。 R_G にかかる50 μ Aの I_{GATE} 電流の電圧がMOSFETの閾値より高い場合は、大きな R_G に対して並列にダイオードを追加し、 C_G の充電中に抵抗にかかる電圧を制限します(図5を参照)。段階的スタート・アーキテクチャでは、トリクルMOSFETまたはストレスMOSFET上にRCネットワークを使用できます。パラレル・アーキテクチャでは、両方のMOSFET上で同じRCネットワークを使用できます。バイパスMOSFETにはRCネットワー

表 1. ISETピンの電圧*と電流制限閾値および推奨の1%抵抗値

$\Delta V_{SNS(TH)}$ (mV)	V_{ISET} (V)	ISET Thresholds Compared with		R_{TOP} (k Ω)	R_{BOTTOM} (k Ω)	$R_{BOTTOM}/(R_{TOP} + R_{BOTTOM})$
		Lower (V)	Upper (V)			
6	0		0.357	Open	Short	0.000
8	0.714	0.357	1.071	88.7	14.7	0.143
10	1.429	1.071	1.786	73.2	29.4	0.286
12	2.143	1.786	2.5	59.0	44.2	0.429
14	2.857	2.5	3.214	44.2	59.0	0.571
16	3.571	3.214	3.929	29.4	73.2	0.714
18	4.286	3.929	4.643	14.7	88.7	0.857
20	5	4.643		Short	Open	1.000

*この表では $INTV_{CC} = 5V$ を使用

アプリケーション情報

クの電流制限機能は不要ですが、低ストレス段階的スタートにRCネットワークを使用すると、バイパスMOSFETのアンダーシュートからのリカバリ時間を短縮できます。

電流制限の安定性

多くのアプリケーションでは、LTC4238の電流制限ループは追加部品なしで安定します。ただし、特定の条件下では安定性を改善するために追加部品が必要になります。電流制限回路のドミナント・ポールは、外付けMOSFETのゲート側の容量によって設定されます。ゲートの容量が大きいほど、電流制限ループの安定性は向上します。通常、GATE-SOURCE間の容量が合計10nFあれば十分な安定性を確保できます。この容量はMOSFET固有の C_{GS} によって得られます。ループの安定性は、ゲートのRCネットワーク上の抵抗(使用している場合)のサイズを小さくすることによって低下します。この場合、GATE-SOURCE間に追加容量が必要になることがあります。電流制限の安定性の最も厳しい条件は、通常の起動後に出力がグラウンドに短絡したときに発生します。基板レイアウトもトランジェント性能に影響を与えることがあるため、基板レベルの短絡試験の実施を強く推奨します。

MOSFETの寄生発振

回路発振には、電流制限ループ以外の原因もあります。一部の高周波発振は、MOSFETそれ自体から発生します(珍問/難問集(RAQ)質問151、ハイサイドの電流検出を参照)。寄生発振には2種類のメカニズムが考えられます。第1のタイプの発振は、一般的に1MHzを超える高周波数で発生します。この高周波数発振は、図1に示すように、ゲート抵抗 $RG1 \sim RG4$ を使用して簡単に抑えられます。アプリケーションによっては、これらの抵抗が短絡トランジェントからの回復に役立つこともあります。ただし、抵抗が大きすぎると、ターンオフに長い時間がかかります。推奨される $RG1 \sim RG4$ の範囲は $5\Omega \sim 500\Omega$ です。 10Ω を使用すると、ターンオフ時間に影響を与えずに安定性を確保できます。これらの抵抗は、MOSFETのゲート・ピンに隣接して(他の接続を挟まずに)配置する必要があります。

第2のタイプの寄生発振は、MOSFETのソースの負荷が $10\mu F$ より小さく、ドレインに(巻線インダクタンスなどによる)誘導性インピーダンスが与えられたとき、 $200kHz \sim 800kHz$

の周波数で発生します。第2のタイプの発振を防ぐには、ソースに $10\mu F$ より大きい負荷を接続し、入力電源を 10Ω 、 $100nF$ の直列スナバでグラウンドにバイパスします。

基本的な電流制限タイマー使用時の過電流障害

アクティブ電流制限中は、MOSFETの電力損失は大きくなります。大きな電力損失が長引くと、MOSFETの温度が上昇し、デバイスの損傷につながる可能性があります。基本的な電流制限タイマーは、TMRピンとGNDの間に1個のコンデンサを持ち、MOSFETが電流制限モードで動作できる最大時間を設定します。このタイマーが経過すると、過電流障害が生成され、MOSFETがオフになって過熱から保護されます。

電流制限は、SENSE⁺ピンとSENSE⁻ピンの間の電流検出電圧が(フォールドバックとISETピンの電圧によって決まる)電流制限閾値レベルに達したときに開始されます。対応するGATEピンの電圧が引き下げられて安定化し、電流検出電圧は電流制限値に制限されます。パラレル・モードでは、起動中にいずれかのGATEに電流制限がかかると、電流制限タイマーが起動します。TMRピンに接続される外付けのタイマー・コンデンサは、 $20\mu A$ のプルアップ電流で充電されます。起動後は、両方のGATEピンに電流制限がかかった場合にのみ、電流制限タイマーが起動します。TMRピンが $2.56V$ の閾値に達する前に、少なくとも1本のGATEピンが電流制限を停止した場合、TMRピンは $5\mu A$ で放電します。HSSS、LSSS、またはシングル・ドライバ・モードでは、SENSE1⁺ピンとSENSE1⁻ピンの間の電流検出電圧が電流制限閾値レベルに達すると、電流制限タイマーが起動します。指定された電流制限時間遅延(t_{ACL})に対して、式1を使用してタイミング・コンデンサの値を設定します。

$$C_{TMR} = t_{ACL} \cdot 8[nF/ms] \quad (1)$$

TMRピンの電圧が $2.56V$ の閾値に達すると、LTC4238は両方のGATEをオフにし、過電流障害を生成します。MOSFETは、GATEからSOURCEへ流れる $10mA$ の電流と、GATEからグラウンドへ流れる $1mA$ の電流によってオフになります。オープンドレイン出力FLT#もローになります。過電流障害の後、TMRピンは $5\mu A$ のプルダウン電流で放電を開始します。TMRピンの電圧が $200mV$ の低閾値まで下がると、 $20\mu A$ による上昇と $5\mu A$ による下降を256回繰り返し、その間にMOSFETを冷却させます。

アプリケーション情報

過電流障害は、UVピンの電圧を1VのUVリセット閾値より低くすることによってクリアされます。FLT#がUVピンに接続されている場合、これが自動的に実行されます。TMRがクールダウン遅延を完了すると、障害がクリアされていれば、MOSFETはオンになります。クールダウン時間は150s/μFで、デューティ・サイクルは0.08%になります。

MOSFETのメーカーは、動作電圧、電流、時間の安全リミットを、安全動作領域(SOA)と呼ばれる一連の曲線で規定しています。最も厳しい動作条件でもSOAの制限範囲から外れないように、適切なタイマー容量を設定する必要があります。最も厳しい動作条件は、起動中に出力側の大きなバイパス・コンデンサを満充電するときや、大きな入力ステップを乗り切るときに発生します。基本的な電流制限タイマーを使用する場合は、タイマー容量を設定した後で、起こりうるすべての通常動作条件または障害条件で発生する最も厳しいSOA条件に耐えるMOSFETを選択しなければなりません。

図3の波形は、短絡の発生後にどのように出力がオフになるかを示しています。

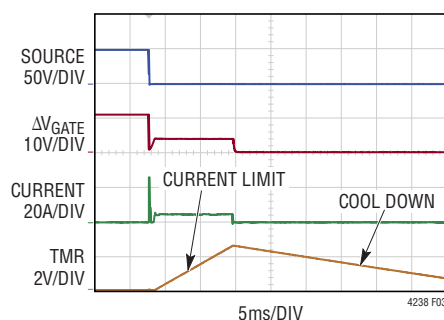


図3. GATE1、SOURCE、TMRの電流と時間

SOAタイマー使用時の過電流障害

LTC4238は、TMRピンをSOAタイマー・モードで使用することもできます。SOAタイマーは、MOSFETの電力損失の変動が大きいときにMOSFETの保護を強化します。TMRは、20μAの定電流の代わりに、GATE1によって駆動されるMOSFETの電力損失に比例する電流を出力します。5μAの内部TMRプルダウン電流はオフになります。パラレル・モードでは、両方のチャンネルのMOSFETに同じストレスが発生することを前提とします。その他のモードでは、チャンネル1のMOSFETの方に大きなストレスが発生します。TMRピンのモードは、CONFIGピンを使用して設定します。

SOAタイマーを使用する場合は、MOSFETの熱モデルを表現するRCネットワークをTMRピンに接続する必要があります(図1)。温度特性の最低精度を満たすには、少なくとも2個の抵抗と2個のコンデンサが必要です。更に多くのRC素子を使用すれば、精度が向上します。そのため、シングル・コンデンサ・タイマーよりもコストと基板面積が大きくなります。SOAタイマーの電圧は、チャンネル1 MOSFETのジャンクション温度のリアルタイムの上昇を表します。SOAタイマーの作動閾値の2.56Vは、MOSFETの最大許容ピーク温度を表します。SOAタイマーを使用すると、MOSFETの選択はずっと単純になり、最も厳しい動作条件を満たすものを選択するだけで済みます。出力短絡などの障害条件が発生した場合、SOAタイマーは、最大許容ピーク温度に達すると(TMRが作動すると)自動的にMOSFETをオフにして保護します。シングル・コンデンサ・タイマーでは、最初に、最も厳しい動作条件中にMOSFETをオンに保つことができる最小のコンデンサを選択する必要があります。次に、通常の動作条件および障害条件中に最も厳しいSOA条件に耐えるMOSFETを選択する必要があります。パラレル・モードまたは高ストレス段階的スタート・モードでは、シングル・コンデンサ・タイマーに基づいて選択されるMOSFETのコストは、SOAタイマーを使用する場合よりもかなり高くなることがあります。高電力アプリケーションでパラレル・モードまたは高ストレス段階的スタート・モードを使用する場合(特に、大きな入力ステップを伴う場合は、SOAタイマーを使用することをお勧めします。

すべての動作モードで、内部乗算器は、 V_{SENSE1} に V_{DD} と(V_{DSFB} ピンで測定される)SOURCEピンの電圧の差を乗じた値に比例する電流でTMRを駆動します(式2)。

$$I_{TMR} = \frac{400\mu A \cdot V_{SENSE1} \cdot (V_{DD} - V_{DSFB})}{20mV \cdot 12V} \quad (2)$$

例えば、 $V_{SENSE1} = 10mV$ 、 $V_{DD} - V_{DSFB} = 6V$ の場合、この電流は100μAになります。TMRの電圧が2.56Vの閾値を超えると、MOSFETはオフになり、過電流障害が検出されます。乗算器の出力電流が低いとき、RCネットワークの放電と共にTMRの電圧は低下します。FLT#がUVに接続されている場合、TMRの電圧が0.2Vより低くなると、過電流障害がクリアされてMOSFETがオンになります。

SOAタイマーが正常に動作するには、 V_{DD} が公称値でSOURCEがグラウンドのとき、 V_{DD} と V_{DSFB} の間に12Vの電圧差が必要です。 V_{DD} と V_{DSFB} の間には120kΩの内部抵抗

アプリケーション情報

があります。12V システムでは、 V_{DSFB} を SOURCE に接続する必要があります。入力電圧が 12V より高い場合は、 V_{DSFB} ピンと SOURCE ピンの間に $10k\Omega/V$ の抵抗を追加してください。例えば、48V システムの場合、2 本のピンの間に $360k\Omega$ の抵抗を追加する必要があります。

SOA タイマーは、ISET ピンによって設定される電流制限には依存しないことに注意してください。電流制限は ISET ピンで調整できます。その際に熱 RC ネットワークを変更する必要はありません。ただし、検出抵抗の値を変更する場合は、熱 RC ネットワークの変更が必要になります。20mV などの大きな電流制限閾値を使用すると、SOA タイマーの精度とダイナミック・レンジが大幅に向上します。様々な ΔV_{SENSE1} および様々な $V_{DD} - V_{DSFB}$ 電圧における SOA TMR のプルアップ電流については、[代表的な性能特性](#) を参照してください。

特定の MOSFET 用の熱 RC ネットワークを設定するには、最初に必要な数の抵抗とコンデンサを選択します。これらの素子の値は、MOSFET メーカーが提供する熱抵抗のグラフに基づいて決定します。標準的な動作条件および障害条件のタイミング範囲をカバーする $10\mu s \sim 100ms$ の範囲でグラフにフィットさせるには、通常は 3 つの抵抗と 3 つのコンデンサで十分です ([図 1](#))。フィッティング精度を向上する、あるいはフィッティング範囲を広げるには、より多くの素子を使用します。熱 RC ネットワークの設定が完了したら、式 3 に従って、熱的数値を電気的数値に変換します。

$$R_E = k \cdot R_\theta$$

$$C_E = \frac{C_\theta}{k} \quad (3)$$

ここで、 R_E は電気抵抗、 C_E は電気容量で、 R_θ は熱抵抗、 C_θ は熱容量です。変換定数 k は、式 4 で表されます。

$$k = \frac{V_{DS,MAX} \cdot I_{D,MAX} \cdot V_{TIMER(TH)}}{I_{TIMER(UP),MAX} \cdot \Delta T_{MAX}} \quad (4)$$

- $V_{DS,MAX} = V_{DSFB}$ が V_{DD} より 12V 低くなる、ドレインとソース間の最大電圧。
- $I_{D,MAX} = 20mA/R_{SENSE1}$

- $I_{TIMER(UP),MAX}$ = 最大電力損失に対応する TMR のプルアップ電流。

$$P_{MAX} = V_{DS,MAX} \cdot I_{D,MAX}$$

- $V_{TMR(TH)}$ = TMR の上昇時間閾値 (2.56V)。
- ΔT_{MAX} = MOSFET の最大許容温度上昇値。

例えば、 $V_{DS,MAX} = 58V$ 、 $I_{D,MAX} = 40A$ 、 $I_{TMR(UP),MAX} = 400\mu A$ 、 $\Delta T_{MAX} = 110^\circ C$ ($175^\circ C$ の T_{JMAX} – $65^\circ C$ の T_A) の場合、 $k = 1.4 \cdot 10^5 [V^2/^\circ C]$ になります。PSMN3R7-100BSE の温度特性を表す、3 個の抵抗とコンデンサで構成される熱 RC ネットワークを [図 1](#) に示します。

FET 不良と自動再試行

MOSFET が損傷していると、ゲートからドレインにリーク電流が流れたり、 $R_{DS(ON)}$ 性能が低下することがあります。また、基板上に異物があると、GATE ピンから、SOURCE ピン、MOSFET のドレイン、またはグラウンドへのリーク電流や短絡が発生することがあります。このような状況では、LTC4238 が GATE ピンの電圧を十分に高くすることができず、MOSFET を完全に導通させることができないか、あるいは GATE ピンの電圧を十分に高くできるが、MOSFET が所定の $R_{DS(ON)}$ に達しない場合があります。その場合、電流が電流制限値より低かったとしても、MOSFET の電力が連続的に処理可能な電力を超える状況になる可能性があります。

LTC4238 は、2 通りの方法で MOSFET の健全性をモニタし、その両方で同じように対処します。第 1 に、LTC4238 は V_{DD} ピンと SOURCE ピンの間の電圧をモニタします。 V_{DD} と SOURCE の電圧差が 100mV より大きくなると、コンパレータは DRAIN-SOURCE 間電圧 (V_{DS}) ハイ状態を検出します。第 2 に、LTC4238 は GATE ピンの電圧をモニタします。MOSFET が損傷していると、GATE ピンの電圧が十分に高くならないことがあります。GATE-SOURCE 間の電圧が 8V より低く、そのチャンネルにアクティブ電流制限がかかっている場合、GATE ロー状態が検出されます。

MOSFET がオンの間に、DRAIN-SOURCE 間電圧ハイ状態または GATE ロー状態が一方または両方の MOSFET に発生した場合、FET 不良タイマーが起動します。FET 不良条件を判定するロジックを [図 4](#) に示します。TMRFET ピンに接続される外付けのタイマー・コンデンサは、 $20\mu A$ のプルアップ電流で充電されます。タイマーが 2.56V の上昇時間閾値に

アプリケーション情報

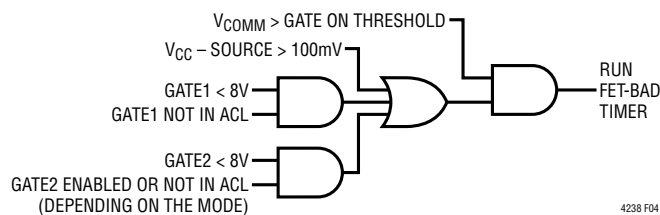


図 4. FET 不良タイマーの LOGIC 図

達すると、FET 不良条件がセットされ、デバイスがオフになり、SOURCE へ流れる 10mA の電流とグラウンドへ流れる 1mA の電流によって GATE ピンがローになります。DRAIN-SOURCE 間電圧が 100mV より低くなり、TMRFET が 2.56V の閾値に達する前に GATE ロー条件がクリアされた場合、TMRFET ピンは 500μA で放電します。指定された FET 不良時間遅延 ($t_{FET-BAD}$) について、式 5 を使用してタイミング・コンデンサの値を設定します。

$$C_{TMRFET} = t_{FET-BAD} \cdot 8[\text{nF/ms}] \quad (5)$$

起動中には、ドレイン-ソース間電圧が 100mV より高くなるため、 V_{DS} ハイ条件が存在することに注意してください。誤ってターンオフするのを防ぐため、FET 不良タイマーのタイムアウトは、許容される最大の負荷が起動するのに十分な時間に設定してください。FET 不良は、TMRFET ピンをグラウンドに接続することによってディスエーブルになります。

LTC4238 は、FET 不良を過電流障害と同じように扱います。FET 不良が検出されると、MOSFET はオフになり、TMRFET ピンは 500μA のプルダウン電流で放電を開始します。TMRFET ピンの電圧が 0.2V の閾値まで下がると、20μA による上昇と 500μA による下降を 64 回繰り返し、その間に MOSFET を冷却させます。FLT# ピンを UV ピンに接続して自動的に再試行する場合、FET 不良デューティ・サイクルは 1.6% になります。TMRFET ピンの電圧が最後に 0.2V の低閾値より低くなった後、MOSFET は再びオンになります。

低電圧および過電圧障害

UV ピンを使用して、外付けの抵抗分圧器を使って電源の低電圧条件をモニタできます。低電圧障害は、UV ピンの電圧が 2.2V の下降時閾値より低くなったときに発生します。過電圧障害は、OV ピンの電圧が 2.56V の上昇時閾値より高くなったときに発生します。低電圧障害または過電圧障害が発生した場合、LTC4238 は、SOURCE へ流れる 10mA の電流とグラウンドへ流れる 1mA の電流で GATE ピンをシャットオフします。

UV ピンの電圧が再び上昇し、40ms にわたって閾値より高くなると、GATE は再びオンになります。OV ピンの電圧が閾値より低くなると、GATE は即座に再びオンになります。UV 信号と OV 信号は、UV ピンと GND の間にコンデンサ C_F を配置することによって除去できます。

デュアル・ゲート動作モード

LTC4238 はデュアル・ゲート・ドライバを搭載しています。これらは CONFIG1 ピンと CONFIG2 ピンによってシングル・ドライバ・モード、パラレル・モード、高ストレス段階的スタート・モード (HSSS)、低ストレス段階的スタート・モード (LSSS) の 4 つの異なる動作モードに設定できます。表 2 に示すように、各モードごとに、SOA または $R_{DS(ON)}$ のメリット、GATE のオン/オフ動作、パワーグッド信号、および障害検出ロジックは異なります。

LSSS を除くすべてのモードは、加熱素子や白熱電球などの抵抗性負荷の起動をサポートしています。表 3 に示すように、デュアル・ゲート・ドライバの動作モードは、フォールドバック・プロファイルや TMR の動作と共に、CONFIG1 ピンと CONFIG2 ピンの状態によって選択されます。

パラレル

高電流アプリケーションでは、1 つの MOSFET だけでは 1mΩ 未満の $R_{DS(ON)}$ を達成できないため、通常は複数のパワー MOSFET を並列接続する必要があります。更に、負荷電流を複数のデバイス間で分け合うことで、1 つの MOSFET を使用する際に PCB の電流が集中する問題も軽減できます。

並列接続された MOSFET は、GATE-SOURCE 間電圧が十分に高くなったとき、電流を適切に分け合います。ただし、MOSFET が電流制限されている場合、ゲート閾値間に不一致があると、最も閾値の低い MOSFET に他よりも多くの電流が流れます。スレッショルド電圧は負の温度係数を持つため、この MOSFET が加熱すると、更に多くの電流が流れます。最終的に、すべての負荷電流が 1 つの MOSFET に流れることがあります。この理由で、MOSFET のグループを並列で動作させる場合は、1 つの MOSFET の SOA (安全動作領域) のみが確保されます。

LTC4238 は、独立した電流制限回路および関連する電流検出ピンを備えた 2 つのゲート・ドライバを搭載することにより、この問題を解決します。表 3 に示す設定 4、7、8、9 では、これらの 2 つのゲート・ドライバがパラレル・モードで動作し、

アプリケーション情報

表 2. LTC4238 のデュアル・ゲート動作モード

モード	シングル・ドライバ	パラレル	高ストレス段階的スタート	低ストレス段階的スタート
機能	シンプル	SOA が 2 倍、 $R_{DS(ON)}$ が 1/2	GATE1 が高 SOA の MOSFET を駆動 GATE2 が低 $R_{DS(ON)}$ の MOSFET を駆動	GATE1 が低 $R_{DS(ON)}$ 、 小 SOA の MOSFET を駆動 GATE2 が小 SOA の MOSFET を駆動
ターンオン・シーケンス		GATE1 と GATE2 が同時にオン	GATE1 が先にオン GATE1 がハイになった後で GATE2 がオン、および $V_{DD} - V_{SOURCE} < 2V$ でチャンネル 1 は ACL 状態ではない	GATE2 が先にオン $V_{FB} > 2.56V$ の場合、GATE2 が ハイになると GATE1 がオン
パワー グッドの ラッチ	セット	$V_{DD} - SOURCE < 2V$ 、および $V_{FB} > 2.56V$ 、および $\Delta V_{GATE1} > 10V$ 、および ($\Delta V_{GATE2} > 10V$ または無効)		
	リセット	FB が 2.48V より低くなる		
GATE1 の ターンオフ	$V_{COMM} < 1.4V$			$V_{COMM} < 0.2V$ または $V_{FB} < 2.56V$
GATE2 の ターンオフ	$\Delta V_{GATE1} < 8V$ 、または $V_{DD} - SOURCE > 2V$ 、またはチャンネル 1 が ACL 状態	$V_{COMM} < 1.4V$	$\Delta V_{GATE1} < 8V$ 、または $V_{DD} - SOURCE > 2V$ 、または チャンネル 1 が ACL 状態	$V_{COMM} < 0.2V$
電流制限タイマー	$V_{COMM} > 3.5V$ またはチャンネル 1 が ACL 状態の場合に動作	動作する条件は、 $V_{COMM} > 3.5V$ または 起動中： いずれかのチャンネルが ACL 状態 起動後： 両方のチャンネルが ACL 状態	$V_{COMM} > 3.5V$ またはチャンネル 1 が ACL 状態の場合に動作	$V_{COMM} > 3.5V$ または チャンネル 1 が ACL 状態の 場合に動作
FET 不良タイマー	$V_{COMM} > 1.4V$ および [$(V_{DD} - SOURCE > 100mV)$ または ($\Delta V_{GATE1} < 8V$ かつ ACL 状態ではない) または ($\Delta V_{GATE2} < 8V$ かつ イネーブルになっている)] 場合に動作	$V_{COMM} > 1.4V$ および [$(V_{DD} - SOURCE > 100mV)$ または ($\Delta V_{GATE1} < 8V$ かつ ACL 状態ではない) または ($\Delta V_{GATE2} < 8V$ かつ ACL 状態ではない)] 場合に動作	$V_{COMM} > 1.4V$ および [$(V_{DD} - SOURCE > 100mV)$ または ($\Delta V_{GATE1} < 8V$ かつ ACL 状態ではない) または ($\Delta V_{GATE2} < 8V$ かつ イネーブルになっている)] 場合に動作	$V_{COMM} > 0.2V$ および [$(V_{DD} - SOURCE > 100mV)$ または ($\Delta V_{GATE1} < 8V$ かつ ACL 状態ではない) または ($\Delta V_{GATE2} < 8V$ かつ ACL 状態ではない)] 場合に動作

表 3. LTC4238 の設定

CONFIGURATION	CONFIG2	CONFIG1	DUAL-GATE MODE	FOLDBACK PROFILE	TMR PIN TYPE	10% FOLDBACK DURING START-UP
1	Ground	Ground	HSSS/Single	High Power	Current Limit Timer	No
2	Ground	Open	HSSS/Single	Constant Power	SOA Timer	Yes
3	Ground	INTV _{CC}	HSSS/Single	High Power	SOA Timer	No
4	Open	Ground	Parallel	High Power	SOA Timer	No
5	Open	Open	LSSS	Constant Power	SOA Timer	No
6	Open	INTV _{CC}	LSSS	Constant Power	Current Limit Timer	No
7	INTV _{CC}	Ground	Parallel	Constant Power	SOA Timer	Yes
8	INTV _{CC}	Open	Parallel	Constant Power	SOA Timer	No
9	INTV _{CC}	INTV _{CC}	Parallel	High Power	Current Limit Timer	No

GATE1 と GATE2 は同時にオン／オフされます。このモードでは、LTC4238 は並列接続した MOSFET のグループを 2 つのチャンネルに分割できます。出力短絡や入力ステップなどの過電流事象発生時の電流制限中、2 つのチャンネルの独立したゲート制御によって電流をチャンネル間で均等に分割し、電流制限回路が 1 つしかないホット・スワップ・コント

ローラと比べて 2 倍の SOA 性能を実現します。これにより、小型で低価格の MOSFET を使用したり、2 倍の負荷を起動したり、SOA マージンを拡大することが可能になります。また、COMM ピンを使用して複数の LTC4238 を並列接続することにより、ターンオン、ターンオフ、および障害発生時の動作を調整し、SOA を更に拡張できます。

アプリケーション情報

図1は、パラレル・モードで48V/40Aで動作するアプリケーションの例を示しています。各チャンネルの2つのMOSFETは、各MOSFETの完全導通時の電力損失が1W以下になるように使用されます。起動後、MOSFETのドレイン-ソース間電圧が2Vより低くなり、両方のMOSFETのゲート-ソース間電圧が8Vより高くなり、FBピンの電圧が2.56Vより高くなると、電力が正常であると見なされます。ここでオープンドレイン出力PGがハイに解放されます。その後、FBピンの電圧が2.48Vより低くなると、PGはローにリセットされます。

パラレル・モード(設定9)で電流制限タイマーを選択した場合、起動中にいずれかのチャンネルに電流制限がかかると、タイマーが起動します。起動が終了してPGが解放された後は、両方のチャンネルに電流制限がかかっている場合にのみ、電流制限タイマーが動作します。SOAタイマーを選択した場合、TMRのプルアップ電流はチャンネル1のMOSFETの電力損失にのみ関連するため、RCネットワークは1つのMOSFETの温度特性を表現します。TMRが(MOSFETの最大許容温度上昇値を表す)2.56Vに達すると、GATE1とGATE2の両方がオフになり、過電流障害状態が発生してFLT#ピンがローになります。

高ストレス段階的スタート

LTC4238の2つのGATEドライバは、CONFIG2ピンをグラウンドに接続することにより、高ストレス段階的スタート・モードで動作するように設定することもできます(表3)。このモードでは、GATE1は、起動時および過度のストレスに耐えるときに、広いSOAを持つMOSFET(M1)を駆動します。GATE2は、 $R_{DS(ON)}$ が低く、SOAの条件が緩和された、より低価格のバイパスMOSFET(M2AおよびM2B)を駆動して負荷に電流を流します(図5aを参照)。高ストレス段階的スタート・モードは、大きな入力ステップまたは電源サージが発生する可能性のあるシステムに最適です。M1には全負荷電流が流れるだけでなく、負荷コンデンサを充電するための電流も流す必要があるため、M1にはこれらの条件に耐えられる広いSOAを持つものを選択する必要があります。

起動時には、GATE1が先にオンになって負荷を充電し、GATE2はオフのままになります。図5bに示すように、GATE1の電圧が十分に高くなり(GATE1の電圧がSOURCEピンの電圧より8V以上高くなり)、MOSFETのドレイン-ソース間電圧が2Vより低くなり、チャンネル1が電流制限されていない場合、GATE2がオンになります。GATE2がSOURCEピン

より8V以上高くなった後、FBピンの電圧が2.56Vより高くなると、オープンドレイン出力のPGピンはハイにラッチされます。負荷電流の大部分は、(通常はM1より $R_{DS(ON)}$ がかなり低い)M2AとM2Bによって供給されます。

このモードでは、SENSE1⁺とSENSE1⁻の間に電流検出抵抗が接続されます。一方、SENSE2⁺とSENSE2⁻はV_{DD}に接続され、GATE2の電流制限回路をディスエーブルにします。出力短絡や入力ステップなどの過電流事象が発生すると、LTC4238は即座にGATE2をオフにしてM2AとM2Bを過度のストレスから保護する一方、GATE1の電流制限はそのままにして、M1を流れる負荷電流を調整します。この状態でTMRプルアップ電流がオンになります。TMR電圧が2.56Vに達すると、GATE1がオフになり、過電流障害がログに記録されます。

高ストレス段階的スタート・モードは、SOAの条件を $R_{DS(ON)}$ の条件から切り離します。GATE1によって駆動されるMOSFET(M1)は、あらゆる動作条件でのストレスに耐えられる広いSOAを持つものを選択します。M1の $R_{DS(ON)}$ はそれほど重要ではありませんが、GATE2がオフのとき、MOSFETのドレイン-ソース間電圧を2Vより低く維持する必要があります。この条件を満たさないと、GATE2はオンになりません。GATE2によって駆動されるMOSFET(M2AおよびM2B)は、 I^2R 電力損失が最小限(通常は1W未満またはそれに近い値)に抑えられるように、 $R_{DS(ON)}$ が小さいものを選択します。GATE1に電流制限がかかるか、GATE1がローになる(GATE1とSOURCEピンの電圧差が8Vより小さくなる)か、またはMOSFETのドレイン-ソース間電圧が2Vより高くなると、GATE2はオフに切り替わるため、M2AとM2BのSOAは広くなくてもかまいません。このように、高ストレス段階的スタート・モードでは、パラレル・モードと比べて各チャンネルのMOSFETの選択が簡単になり、MOSFETの総コストも削減できます。

高ストレス段階的スタート・モードでは、GATE1がローになっているがチャンネル1にアクティブ電流制限がかかっていないとき、GATE2がイネーブルになっているがローになっているとき、またはMOSFETのドレイン-ソース間電圧が100mVより高いときに、FET不良タイマーが起動します。TMRFETの電圧が2.56Vより高くなると、FET不良がトリガされます。

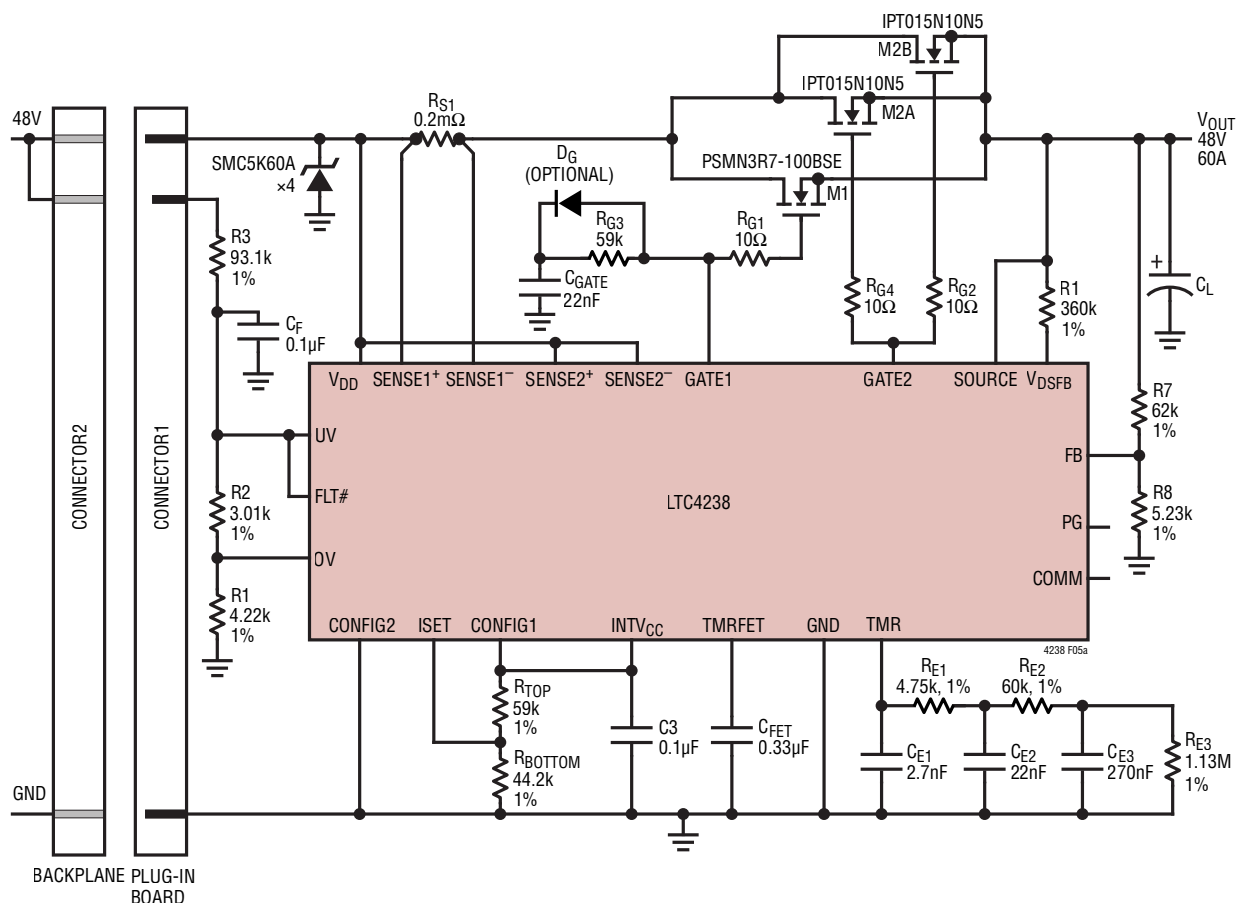
低ストレス段階的スタート

低ストレス段階的スタート・モードは、電源電圧が高精度に安定化されたアプリケーションに適しています。大きな入力

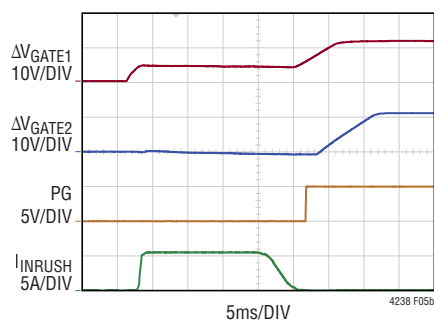
アプリケーション情報

電圧ステップが発生しないシステムでは、MOSFETのSOAに関して最も厳しい動作条件は、起動中の負荷容量の充電時に発生します。起動時の突入電流を非常に低い値に制限

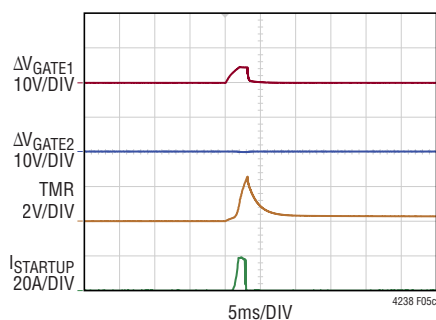
することで、起動用MOSFETのSOA条件を大きく軽減できます。更に、起動後にオンになるバイパス・パスには、スイッチング・レギュレータ・クラスの低価格のMOSFETで十分で



(a) 48V/60Aアプリケーション回路、 $T_A = 65^\circ\text{C}$



(b) 通常の起動時の波形



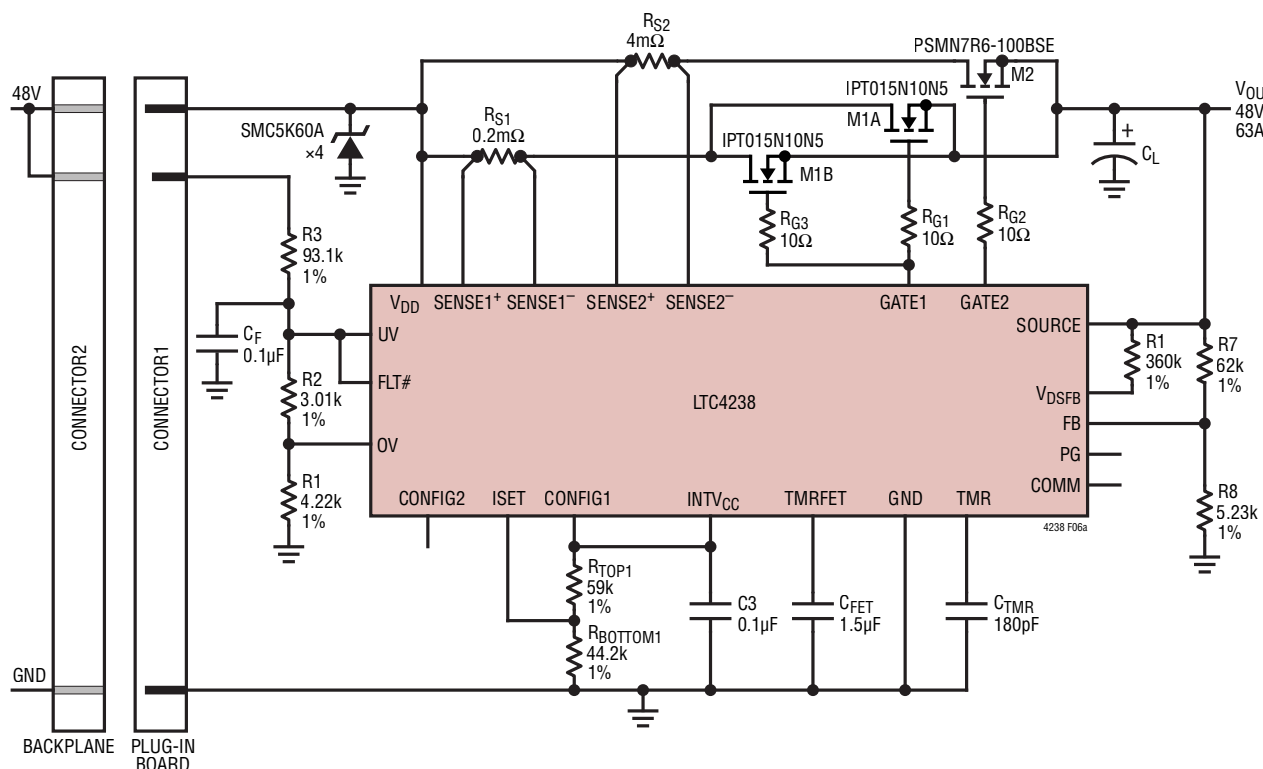
(c) 起動時の短絡

図5. 高ストレス段階的スタート・アプリケーション

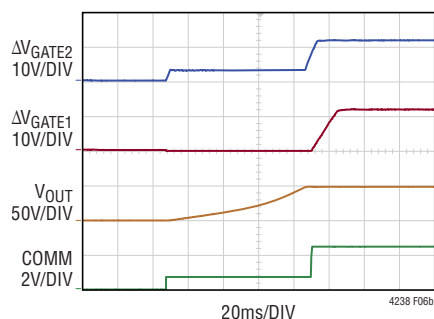
アプリケーション情報

す。したがって、このアーキテクチャでは、所定の負荷電流と $R_{DS(ON)}$ を達成するための MOSFET のコストを最小限に抑えることができます。ただし、LSSS モードでは、入力ステップや電流制限中の持続的な負荷サージを乗り切る能力が限られます。また、スタートアップ電流が小さいため、加熱素子や白熱電球などの大きな抵抗性負荷を起動できません。

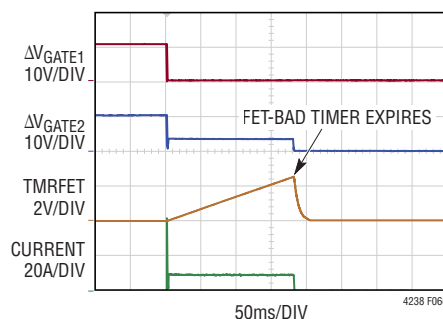
図 6a に、低ストレス段階的スタート・モードで動作する 48V/63A システムのアプリケーション回路を示します。このモードを有効にするには、表 3 の設定 5 または 6 を使用します。このモードでは、GATE2 は、小さい SOA を持つ小型で低価格の MOSFET (M2) を起動用のトリクル充電デバイスとして駆動します。GATE1 は、低 $R_{DS(ON)}$ で小さい SOA を



(a) 48V/63A アプリケーション回路



(b) 通常の起動時の波形



(c) 起動時の短絡

図 6. 低ストレス段階的スタート・アプリケーション

アプリケーション情報

持つ並列接続 MOSFET (M1A および M1B) を高い電流制限値で駆動し、全負荷電流を供給します。ターンオン・シーケンスは、図 5b に示す高ストレス段階的スタート・モードの逆になります。M2 が先にオンになり、大きな検出抵抗 RS2 が あるため、低突入電流を供給します。負荷が完全に充電され (FB ピンの電圧が 2.56V より高くなり)、起動用 MOSFET が完全に導通し ($V_{GATE2} > 8V$)、アクティブ電流制限がかかっていない場合、GATE1 がオンになります。両方のチャンネルの MOSFET が完全に導通し、ドレイン・ソース間電圧が 2V より低くなり、FB ピンの電圧が 2.56V より高くなると、パワーグッドがアサートされます。

GATE1とGATE2両方の電流制限回路の電流検出ピンは、それぞれの検出抵抗に接続する必要があります。過電流事象が発生すると、GATE1とGATE2の両方が電流制限状態にとどまり、ストレスを共有します。GATE1に電流制限がかかるとGATE2がオフになる高ストレス段階的スタート・モードとは異なり、低ストレス段階的スタート・モードでは、FBピンの電圧が2.48Vより低くなるか、または障害のためにGATE2がオフになった場合にGATE1がオフになります。

このモードでFET不良タイマーが起動される条件は、パラレル・モードと同じです(表2を参照)。FET不良タイマーは、負荷が徐々に充電されるトリクル起動中も動作するため、M2

が途中でオフにならないように、タイマーの期限を十分長い時間にプログラムする必要があります。

電流制限タイマーを選択した場合、TMRコンデンサは、チャンネル1に電流制限がかかっているときにのみ充電されます。図6aに示すような小さいTMRコンデンサを1つ使用して、M1A/M1BおよびM2の最も厳しいSOAの範囲内で、短い遅延を設定できます。SOAタイマーを選択した場合、M1AまたはM1Bの温度特性の電氣的モデルを表現するRCネットワークをTMRに接続する必要があります。起動中にM1AとM1Bがオフになった後も、TMRのプルアップ電流はM1AとM1Bの電力損失(0)に連動することに注意してください。M2には、M1AやM1Bより長い時間電流制限状態にとどまるのに十分なSOAを持つMOSFETを選択してください。そうすることで、過電流条件によってM1AとM1Bがオフになったとき、M2も自動的に保護されます。

シングル・ドライバ・モード

図7に、シングルMOSFETアプリケーションを示します。高ストレス段階的スタート・モードに設定されたこのシステムは、バイパスMOSFETが存在せずGATE2ピンがオープンの場合、LT4256のように、もう1つのホット・スワップ・コントローラとして動作します。

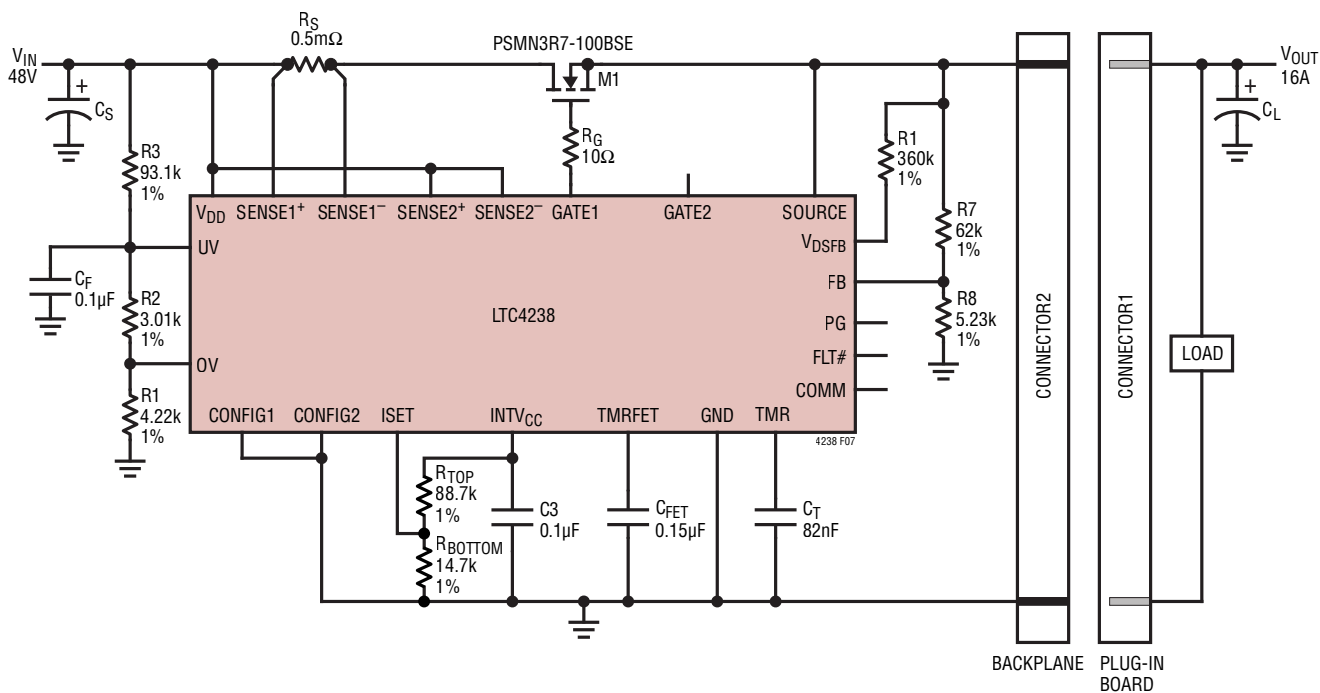


図7. HSSSモードの48V/16AシングルMOSFETシステム

アプリケーション情報

オン/オフの制御

LTC4238は、コネクタ上の短絡ピンを介してUV/OV抵抗分圧器を接続することにより、挿入時に自動的にオンになるように設定できます。アクティブ・ハイのターンオンの場合、[図8a](#)のように、短絡ピンを介して分圧器の上側を電源に接続します。アクティブ・ローのターンオンの場合、[図8b](#)のように、短絡ピンを介して分圧器の下側をグラウンドに接続します。UVピンとOVピンの定格電圧はいずれも100Vであるため、電源電圧に引き上げるときに追加の保護は不要です。

[図8c](#)に示すように、オープンドレインのプルダウンまたはロジック・レベルのNMOSをUVピンに接続すると、ロジック信号によってLTC4238のオンとオフを切り替えられます。

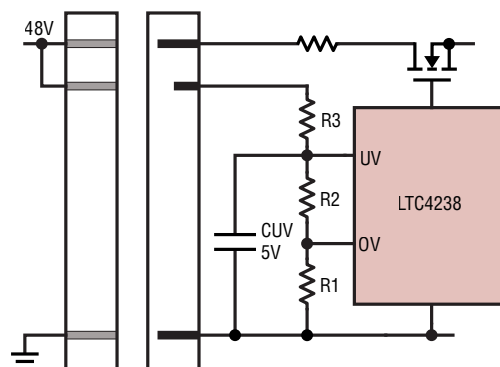
更に、COMMピンを使用して、オープンドレインのプルダウンでデバイスをGNDに引き下げることによってLTC4238をオフにできます。COMMが解放されると、障害が存在しない場合はLTC4238は即座にオンになります。

COMMピンを使用したパラレル・コントローラ

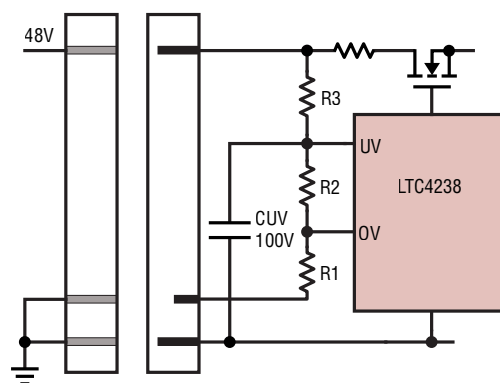
LTC4238は、複数のLTC4238が並列で動作できるようにステータスを伝達するCOMMピンを備えています。デバイスのグループ内でCOMMピンを相互接続すると、複数のデバイスが連携して動作できます。必要に応じて小さなコンデンサをCOMMノードに接続すると、ノイズ耐性が向上します。

COMMピンには4つのステートがあります。

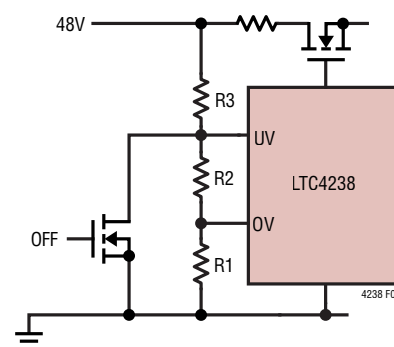
- 0Vは、どのデバイスもオンにできないという意味です。障害があるデバイスがあると、このピンの電圧は0Vに引き下げられ、バンク全体がオフになります。
- 0.8Vは、LSSSモードに設定されたデバイスの起動チャネルのみをオンにできることを示します。これらのデバイスは、起動用MOSFETが完全に導通するまで、5 μ Aのプルアップ電流でCOMMの電圧を0.8Vに調整します。
- 2.5VのCOMM電圧は、すべてのデバイスをオンにできることを示します。障害がないデバイスは、5 μ Aのプルアップ電流で2.5Vに調整されます。オンになり、電流制限がかかっているデバイスでは、2.5Vレギュレータがデイスエーブルになり、COMMピンの電圧が上昇します。
- 5Vは、すべてのデバイスに電流制限がかかっているという意味です。



(a) 短絡ピンの電源への接続



(b) 短絡ピンのグラウンドへの接続



(c) ロジック信号によるオン/オフの制御

図8. UV/OVピンによるオン/オフの制御

電流制限タイマーとして設定されている場合、1つのLTC4238にのみ、TMRピンに接続されたコンデンサが必要です。COMMピンの電圧がINTV_{CC}から1.5V以内の場合、電流制限用TMRは1つのデバイスに統合されます。残りのLTC4238のTMRピンはグラウンドに接続され、過電流障害

アプリケーション情報

は無効になります。熱ネットワークを使用する場合、個々のデバイスがそれぞれの熱ネットワークを持ち、COMMピンの状態に関係なく熱的障害を生成できます。

複数のLTC4238のCOMMピンを相互接続し、連携して動作させる場合、すべてのLTC4238のグラウンド電位に差がなく、安定している必要があります。グラウンドがバウンスすると、COMM機能に悪影響を及ぼし、絶対最大定格に違反した場合、LTC4238が損傷するおそれがあります。電流制限抵抗をCOMMピンに対して直列に配置するか、LTC4238に隣接してグラウンドとCOMMの間にショットキーまたはコンデンサを接続すると、グラウンド・ノイズが軽減されます。

COMMピンは、1つまたは複数のLTC4238用の電流制限インジケータまたはプロセッサ過熱(PROCHOTB)インジケータとしても使用できます。デバイスのグループに電流制限がかかっている場合、COMMピンはINTV_{CC}まで引き上げられます。図9に示すように、PNPと抵抗回路により、この信号をロジック信号に変換できます。

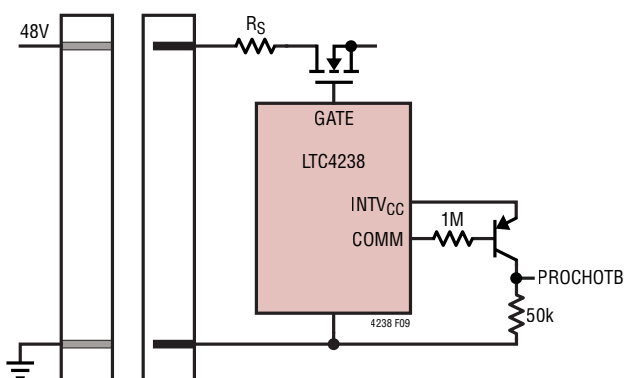


図9. COMMピンを使用した電流制限／PROCHOTの表示

電源トランジェント

カード常駐アプリケーションでは、出力短絡回路が電源の誘導性に対抗して動作するため、入力電圧は容易にUV閾値より低い電圧に低下します。

厳しい条件では電源のインダクタンスが500nH以上になり、入力電圧がV_{DD}の低電圧ロックアウト閾値の5.5Vより低くなることがあります。電流が電流制限閾値に達する前に、UVコンパレータまたはV_{DD}のUVLO回路が反応する可能性があります。100nFのフィルタ・コンデンサをUVピンに追加して、UVコンパレータの応答を電流制限の開始後まで遅らせることができます。高速電流リミット・コンパレータ

は、電流制限閾値の3倍の電圧で作動し、500nsの伝搬遅延があります。48Vアプリケーションで電源インダクタンスが2000nHより小さい場合、V_{DD}がUVLO閾値より低くなることはなさそうです。また、di/dtレートが高速なので、UVピンの応答よりずっと前に、電流は3倍のレベルに上昇します。

高速電流リミット・コンパレータが短絡電流を捕捉し始めると、入力電圧は急速に回復し、DC値をオーバーシュートします。LTC4238は、最大100Vまで損傷から保護されます。カード常駐アプリケーションでは、図1に示すように、サージ・サプレッサZ1を使用してV_{DD}ピンをクランプしてください。バックプレーン常駐アプリケーションでスパイクを最小限に抑えるには、V_{DD}とGNDの間に電解コンデンサを接続し、LTC4238の入力電源をバイパスします。

最も厳しい条件では、Z1を使って、高速電流リミット・コンパレータをトリガする高電流を吸収する必要があります。高電力アプリケーションでは、この電流をクランプするために複数のサージ・サプレッサが必要な場合があります。アプリケーションでサージ・サプレッサを接続できる安定したグラウンドが得られない場合は、入力と出力の間にサージ・サプレッサを接続し、出力容量によってスパイクを吸収することもできます。12Vアプリケーションでは、多くの20V～30V MOSFETは、50Vの前にアバランシェ・ブレイクダウンに移行します。このような場合、MOSFETがサージ・サプレッサとしても機能し、誘導性の入力電圧サージからホット・スワップ・コントローラを保護します。

設計例

設計フローでは、最初に最大負荷電力と動作電圧制限を指定します。冗長電源を使用する場合、通常はシステムの電源電圧範囲が広くなり、スイッチング時に大きな入力ステップが発生することがあります。次に、表4のおおよそのガイドラインに従って、動作モードを選択します。

表4. モード選択のガイドライン

Mode	Power Level	Supply Range
Single Driver	<800W	Narrow or Wide
Parallel	<1500W	Narrow or Wide
HSSS	>1500W	Wide
LSSS	>1500W	Narrow
Two or More LTC4238 Using the COMM Pin	>3000W	

アプリケーション情報

例1: パラレル・モードで電流制限起動および SOA タイマーを使用

設計例として、以下の仕様を使用します。V_{IN} = 48V ±20%、最大負荷電力1.4kW、起動時のアクティブ電流制限、C_L = 1500μF。上記のガイドラインに従って、パラレル・モードを選択します。パラレル・モードでは、GATE1とGATE2が並列2チャンネルのMOSFETを駆動し、起動時には負荷コンデンサを同時に充電し、起動後には負荷電流を共有し、出力過負荷や短絡などの障害条件が発生すると同時にオフになります。入力電圧は38V～58Vの範囲で変動するため、フォールドバックには高電力プロファイルを選択し、電流制限閾値をフォールドバックせずに入力電圧の変動に対処できるようにします。更に、TMRピンにはSOAタイマーを選択し、MOSFETをより効果的に保護します。設計全体を図1に示します。

最大負荷電流は次式で計算できます。

$$I_{L(MAX)} = \frac{P_{L(MAX)}}{V_{UV(ON)}} = \frac{1400W}{38V} \approx 37A \quad (6)$$

2つのチャンネルがあるため、各チャンネルを流れる最大電流は18.5Aです。

ステップ1. 電流制限を設定し、電流検出抵抗を選択します。

10mVの検出電圧と0.5mΩの検出抵抗を選択し、各チャンネルに20Aを供給します。特定の設計を実際に構築すると、接点および銅パターンの抵抗によって電流検出にわずかな誤差が生じることがあります。検出抵抗を変更することなく、この誤差をすぐに修正するには、検出電圧を2mV刻みで再調整します。例えば、検出電圧を10mVから12mVに変更すると、電流が20%増加します。

検出抵抗を並列接続して特定の抵抗値を得る場合は、検出抵抗と同じ比(k)を持つ平均化抵抗(R_A)を選択して、検出抵抗に接続する必要があります。図10を参照してください。これにより、電流制限回路は、この実効検出抵抗について正しい検出電圧を測定できます。最小の平均化抵抗が1Ωを超えないようにします。

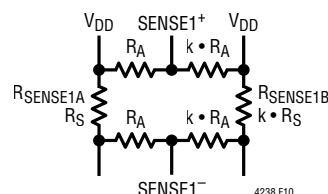


図10. 検出電圧の加重平均化

ステップ2. MOSFETを選択します。MOSFETは、負荷コンデンサC_Lが突入電流で充電される間の電力損失を処理できるサイズのものを選択します。また、最大負荷電流を流せるように、R_{DS(ON)}が十分に低い必要があります。電力を計算する際は、以下の原則に従います。

$$E_C = C_L \text{の電力量} = M1 \text{の電力量} + M2 \text{の電力量} \quad (7)$$

したがって、次のようになります。

$$E_C = \frac{1}{2}CV^2 = \frac{1}{2}(1500\mu F) \cdot (58V)^2 \approx 2.5J \quad (8)$$

起動中、電流制限フォールドバックにより、各チャンネルのMOSFETの電力損失は次式のように制限されます。

$$P_{DISS,START-UP} = \frac{10mV \cdot 30\% \cdot 58V}{0.5m\Omega} \approx 348W \quad (9)$$

C_Lの満充電までの時間は、次式で計算できます。

$$t_{CHARGEUP} = \frac{E_C}{P_{DISS,START-UP} \cdot 2MOSFETs} \quad (10)$$

$$= \frac{2.5J}{348W \cdot 2} \approx 3.6ms$$

候補となるMOSFETのSOA曲線を評価して、パッケージの熱容量がこの電力に3.6msの間耐えることを確認する必要があります。NXP PSMN3R7-100BSEのSOA曲線は、60Vの電圧で9Aに10ms耐えることを示しており、この条件を満たしています。場合によっては、最大負荷電流時の電力損失を制限範囲内に抑える目的で、またはMOSFETの最も厳しい条件のドレイン-ソース間電圧を下げる目的で、追加のMOSFETを並列で接続する必要があります。この設計では、両方のチャンネルに1対のPSMN3R7-100BSEが必要です。全負荷時のMOSFETの最も厳しい条件のドレイン-ソース間電圧は、次式で計算されます。

アプリケーション情報

$$V_{DS,MAX} = \frac{I_{CH(MAX)} \cdot R_{DS(ON),MAX}}{2} \quad (11)$$

$$= \frac{20A \cdot 3.7m\Omega}{2} = 37mV$$

全電流負荷で $V_{DD} - SOURCE$ が 100mV の FET 不良閾値に達するまでには、十分な余裕があります。

PSMN3R7-100BSE は約 10nF のゲート容量を持つため安定しそうですが、電流制限ループの短絡安定性を確認し、必要に応じて GATE と SOURCE の間にコンデンサを追加して安定性を改善する必要があります。

ステップ3. SOA タイマーのセクションで説明した手順に従って、SOA タイマーの RC ネットワークを選択します。3つの熱コンデンサと3つの熱抵抗を使うと、選択した MOSFET (PSMN3R7-100BSE) の熱抵抗グラフに対して、(このアプリケーションの標準的な動作条件に対して十分に広い) 100μs ~ 100ms の範囲では、かなり良くグラフにフィットします。使用するコンデンサと抵抗は、 $C_{\theta 1} = 0.001J/^{\circ}C$ 、 $R_{\theta 1} = 0.013^{\circ}C/W$ 、 $C_{\theta 2} = 0.008J/^{\circ}C$ 、 $R_{\theta 2} = 0.16^{\circ}C/W$ 、 $C_{\theta 3} = 0.1J/^{\circ}C$ 、 $R_{\theta 3} = 0.27^{\circ}C/W$ です。変換定数は次式で求められます。

$$k = \frac{V_{DS,MAX} \cdot I_{D,MAX}}{I_{TMR(UP),MAX}} \cdot \frac{V_{TMR(TH)}}{\Delta T_{MAX}} \quad (12)$$

$$= \frac{58V \cdot 20mA}{400\mu A \cdot 0.5m\Omega} \cdot \frac{2.56V}{175^{\circ}C - 65^{\circ}C}$$

$$= 1.4 \cdot 10^5 \left[\frac{V^2}{^{\circ}C} \right]$$

ここで、 ΔT_{MAX} は許容される最大温度上昇で、110°C が選択されています。この値は 65°C の動作温度で 175°C の最大 MOSFET 温度に相当します。その後、SOA タイマーのセクションで説明したように、熱的 R および C 値を電氣的 R および C 値に変換します。電氣的 R および C 値を計算した後、利用できる抵抗値の中で次に大きく最も近い値と、利用できるコンデンサ値の中で次に小さく最も近い値を選択します。次

に、基板の熱抵抗に対応する抵抗を、終端抵抗(最も大きいもの)に追加します。このアプリケーションの基板の熱抵抗が 5°C/W であると仮定すると、 $5 \cdot 1.4 \cdot 10^5 = 700k$ に変換されます。基板の熱抵抗に対して計算された抵抗値が 1M を超える場合、1M を選択します。これにより、基板のリーク電流によって精度が低下するのを防ぐことができます。その結果得られる電氣的コンデンサおよび抵抗は、図1と図3に示すように、 $C_{E1} = 6.8nF$ 、 $R_{E1} = 1.82k$ 、 $C_{E2} = 56nF$ 、 $R_{E2} = 22.6k$ 、 $C_{E3} = 680nF$ 、 $R_{E3} = 750k$ になります。SOA タイマーの設定が終わったら、LTspice でシミュレーションを実行して、起動と入力ステップを含むあらゆる動作条件で TMR が作動ポイントの 2.56V に到達しないことを確認します。出力過負荷や短絡などの障害条件で TMR が作動する場合は、MOSFET のピーク温度が提案された最大温度と一致しているかを確認します。場合によっては、RC ネットワークを確定する前に、上記の手順を繰り返す必要があります。

ステップ4. FET 不良タイマーを設計します。起動中は FET 不良タイマーが動作します。このタイマーが経過する前に、負荷コンデンサを満充電にする必要があります。この条件を満たさない場合、FET 不良がトリガされるとゲート出力がオフになります。3.6ms の起動時間と部品の許容誤差を考慮に入れて、安全マージンの 2 倍を確保します。

$$C_{FET} = 2 \cdot \frac{T_{START-UP}}{128ms/\mu F} = 2 \cdot \frac{3.6ms}{128ms/\mu F} \approx 56nF \quad (13)$$

より大きい容量の中で最も近い値の 62nF を選択します。

ステップ5. $V_{UV(ON)} = 36V$ 、 $V_{UV(OFF)} = 60V$ 、 $V_{PWRGD(UP)} = 33V$ 。UV/OV 入力およびパワーグッド入力の抵抗分圧器を選択します。UV および OV の抵抗ストリングの値は、次の方法で計算できます。1μA のリーク電流による誤差を 1% 未満に抑えるために、少なくとも 200μA の分圧器電流を選択します。 $R1 < 2.56V/200\mu A = 12.8k\Omega$ です。ここで、次式を計算します。

$$R2 = \frac{V_{OV(OFF)}}{V_{UV(ON)}} \cdot R1 \cdot \frac{UV_{TH(RISING)}}{OV_{TH(FALLING)}} - R1 \quad (14)$$

$$R3 = \frac{V_{UV(ON)} \cdot (R1 + R2)}{UV_{TH(RISING)}} - R1 - R2 \quad (15)$$

この設計例の場合、抵抗ストリングに 200μA より大きい電流を供給するために、R1 には 4.22k を選択します。上の式を解くと、 $R2 = 3.01k$ 、 $R3 = 93.1k$ が得られます。0.1μF のコンデ

アプリケーション情報

ンサ (C_F) を UV ピンに接続し、電源グリッチによる UV または OV 条件によって GATE がオフになることを防ぎます。

FB 分圧器の値を計算するには、R8 を選択し、R7 を計算します。R8 には 5.23k を選択します。

$$R7 = \frac{V_{PWRGD(UP)}}{I_{FB_TH(RISING)}} \cdot R8 - R8 \quad (16)$$

その結果、R7 = 62k になります。

高速電流リミット・コンパレータは 120A で作動するため、入力 TVS は、OV 閾値より高く LTC4238 の絶対最大定格の 100V より低い電圧で 120A のサージを約 1μs の間クランプする必要があります。SMC5K60A は、96.8V で 51.7A を 1ms の間クランプし、10μs の間に 23kW を消費します。120A の電流をシンクするには、この部品が 3 個必要です。

更に、0.1μF のセラミック・バイパス・コンデンサを INTV_{CC} ピンに接続します。V_{DD} ピンには、バイパス・コンデンサは不要です。

例2: 低ストレス段階的スタート・モードで基本的タイマーを使用

第2の例では、ライン・レギュレーションされた 48V 電源 (±10% の電圧変動) を使用します。出力は 2.5kW の定電力負荷です。図 6 に示すように、 $V_{UV(ON)} = 36V$ 、 $V_{OV(OFF)} = 60V$ です。負荷容量は $C_L = 2500\mu F$ として規定されています。この例では、電力が 1500W を超え、大きな入力ステップを考慮する必要がないため、低ストレス段階的スタート・モードを選択しています。LSSS では、GATE1 がローになり、ACL がかかっていない場合、FET 不良タイマーが動作します (表 2)。この条件は、まだパワーグッド電圧に達していないときに発生する可能性があります。したがって、パワーグッド電圧は入力 UV 電圧より低い電圧に設定することを推奨します。この例では、 $V_{PWRGD(UP)}$ を 33V に設定しています。チャンネル 2 の電流は、通常は最大負荷電流のごく一部 (通常は 10% 未満) でしかありません。そのため、設計の最初の段階では、通常動作時のチャンネル 2 の電流寄与は無視できます。その後の設計段階で、高電流 (チャンネル 1) パスの不足分を補い、最小入力電圧 (43V) でフル・パワー (2500W) を供給できるように、チャンネル 2 を考慮に入れてサイズを決定します。

最大負荷電流は式 17 で計算できます。

$$I_L(MAX) = P_L(MAX)/V_S(MIN) = 2500W/43V \approx 58A \quad (17)$$

2つのチャンネルが分離されているため (チャンネル 2 は起動専用チャンネルで、チャンネル 1 は負荷電流を流すためのチャンネル)、全体的な設計フローと、低ストレス段階的スタート・モードの個々のステップにおける設計上の検討事項は、パラレル・モードとは異なります。

ステップ1. 最大負荷電流を流すのに十分なバイパス MOSFET を選択します。最大チャンネル電流が 58A の場合、2つの IPT015N10N5 ($R_{DS(ON)} < 1.5m\Omega$) デバイスによってパッケージあたり 1.26W の損失が生じますが、これはエアフローがあれば許容可能です。

全負荷時に、最も厳しい条件で MOSFET にかかる電圧は、約 $58A \cdot (1.5/2)m\Omega = 43.5mV$ です。FET 不良タイマーの起動閾値は 100mV です。精度の誤差を考慮に入れても、TMRFET プルアップ電流が有効になるまでに十分な余裕があります。詳細な設計上の検討事項については、例 1 のステップ 2 を参照してください。

ステップ2. 電流制限を設定し、電流検出抵抗を選択します。この例の電流制限は、デバイスの許容誤差に対応できるだけの余裕をとって、最大負荷電流をカバーする必要があります。1つの検出抵抗に利用できる最小の抵抗 ($200\mu\Omega$) を選択します。これは金属素子抵抗です。電流制限スレッシュホールド電圧を選択する際は、まずチャンネル 1 が最大負荷電流を流すと仮定し、次に起動用チャンネルに流れる小さな電流を加算してマージンを確保します。

$$\Delta V_{SENSE(MIN)} = R_{S1} \cdot I_L(MAX) = 200\mu\Omega \cdot 58A \approx 12mV \quad (18)$$

チャンネル 1 の抵抗電力損失は、式 21 で計算されます。

$$P_{S1} = \Delta V_{SENSE(MIN)} \cdot I_L(MAX) = 12mV \cdot 58A = 696mW \quad (19)$$

この値は、金属素子検出抵抗の数ワットの電力制限の範囲内に十分に収まります。

最後に、チャンネル 2 の電流用に $4m\Omega$ の検出抵抗を選択します。

$$I_{LIM1} = \frac{\Delta V_{SENSE}}{R_{S2}} = \frac{12mV}{4m\Omega} = 3A \quad (20)$$

アプリケーション情報

総電流制限は、式21で計算されます。

$$I_{\text{LIM}} = I_{\text{LIM1}} + I_{\text{LIM2}} = \frac{12\text{mV}}{200\mu\Omega} + 3\text{A} = 63\text{A} \quad (21)$$

すべての許容誤差を考慮に入れても、これで最大負荷電流の58Aに十分なマージンが得られます。

ステップ3. TMRの動作を設計します。大きな入力ステップを考慮する必要がないため、過電流ターンオフには短い時間遅延を選択します。低ストレス段階的スタート・モードでは、TMRの機能はフィルタ付き回路ブレーカになり、その目的のためにはTMRピン上に1個のタイマー・コンデンサを使用すれば十分です。負荷電流の大部分がチャンネル1を流れるため、チャンネル1がタイマー・コンデンサの選択を左右します。チャンネル1の電流はすべて1つのMOSFETに集中する可能性があります。この例ではチャンネル1の電流制限は60Aであり、MOSFET (IPT015N10N5) は50Vおよび60Aを80μsの間処理できます。システムに発生するノイズを除去するには、ほとんどの場合、回路ブレーカで20μsフィルタリングすれば十分であることがわかっています。したがって、選択したMOSFETでこの目的を果たすことができます。TMRのプルアップ電流は20μAで、電圧閾値は2.56Vです。20μsのフィルタ遅延が得られるタイマー容量を式22で計算します。

$$C_{\text{TMR}} = \frac{I_{\text{TMR(UP),MAX}} \cdot t_{\text{FILTER}}}{V_{\text{TMR(TH)}}} \quad (22)$$

$$= \frac{20\mu\text{A} \cdot 20\mu\text{s}}{2.56\text{V}} = 156\text{pF}$$

利用できる容量の中で次に大きい値を選択します。C_{TMR} = 180pFになります。

ステップ4. 起動チャンネル(チャンネル2)とFET不良タイマーを設計します。低ストレス段階的スタート・モードでは、起動時にチャンネル2は小さいトリクル電流で負荷容量を充電します。2500μFの負荷コンデンサに必要な起動時間は、次式で計算されます。

$$t_{\text{CHARGEUP}} = \frac{\frac{1}{2} C_L \cdot V^2}{P_{\text{DISS,START-UP}}} \quad (23)$$

$$= \frac{\frac{1}{2} \cdot 2500\mu\text{F} \cdot (53\text{V})^2}{3\text{A} \cdot 30\% \cdot 53\text{V}} = 74\text{ms}$$

負荷コンデンサを満充電にできるように、FET不良タイマーは起動時間より長い時間に設定する必要があります。同時に、タイマーの持続時間中はチャンネル2用に選択したFETが全ドレイン-ソース間電圧で起動時の電流を処理できるように、FET不良タイマーは十分に短い時間に設定する必要があります。2倍の安全マージンを使用する場合、次式の値を選択します。

$$C_{\text{FET}} = \frac{2 \cdot t_{\text{START-UP}} \cdot I_{\text{TMRFET(UP)}}}{2.56\text{V}} \quad (24)$$

$$= \frac{2 \cdot 74\text{ms} \cdot 20\mu\text{A}}{2.56\text{V}} = 1.2\mu\text{F}$$

利用できる容量の中で次に大きい値(1.5μF)を使用します。起動時の電流は比較的小さいため、低価格の小さなデバイスを使用できます。このトリクル・チャンネルには、DC条件として48Vで3Aの30%フォールドバックに耐えるPSMN7R6-100Bを選択します。このデバイスのR_{DS(ON)}は、7.6mΩ以内です。起動後、このチャンネルの最も厳しい条件の電力損失は(3A)²・7.6mΩ = 68mWであり、MOSFETの容量に十分収まります。

ステップ5. シミュレーションを実行して、あらゆる動作条件および障害条件におけるチャンネル1とチャンネル2の両方のMOSFETの温度上昇を検証します。これはステップ3で選択した単一コンデンサによる回路ブレーカ・タイマーを使用するときに必要な手順です。

まず、起動中のチャンネル2 MOSFET (M2)の温度上昇を確認します。条件には、通常の起動で電流制限がかかり、最大入力電圧で2500μFの負荷コンデンサを満充電にすることが含まれます。通常の起動条件で温度上昇が高すぎる場合は、より大きなMOSFETをチャンネル2用に選択します。障害条件については、フォールドバックに定電力プロファイルを選択しているため、MOSFETの最も厳しい条件の電力損失は、全電流制限の30%でMOSFETにかかる最大電圧(53V)と同じになります。温度上昇が高すぎる場合、より大きい検出抵抗R_{S2}を選択することにより、起動時の電流制限値を小さくすることができます。この例の条件を使用した場合、通常の起動時の条件または抵抗の障害の発生時のいずれでも、M2の温度上昇は最も厳しい条件でも50°C未満であることがわかっています。したがって、選択したチャンネル2 MOSFET (PSMN7R6-100B)が、最も厳しい条件の損失を処理するのに十分なSOAを備えていることが確認されます。

アプリケーション情報

次に、起動後に多様な過負荷条件下でTMRがタイムアウトになったときのチャンネル1の温度上昇をチェックします。この例で、IPT015N10N5は、40Vの電圧がかかったときに60Aを100 μ sの間処理できます。過負荷条件下では、20 μ sの間の温度上昇はわずかです。チャンネル1の最も厳しい温度上昇が高すぎる場合、チャンネル1には、より広いSOAを持つMOSFETを選択する必要があります。

レイアウトに関する検討事項

高電力アプリケーションでは、電流の集中の最小化や2つのチャンネル間での電流の分割に、PCBレイアウトが重要な役割を果たします。パラレル・モードでは、2つのチャンネル間で電流を均等に分割するために、2つの高電流経路の R_{SENSE} とMOSFETを非常によく似たレイアウトで配置する必要があります。

正確な電流検出を実現するために、ケルビン接続も必須です。SENSE⁺およびSENSE⁻ラインは、差動信号ペアとしてレイアウトする必要があります。LTC4238のピンへのパターン長はできるだけ短くします。パターンが適切な温度に保たれる1オンス銅箔の最小パターン幅は、1Aあたり0.02インチです。1Aあたり0.03インチ以上の幅にすることを推奨します。1オンスの銅には約530 $\mu\Omega/\square$ のシート抵抗があることに注意してください。高電流アプリケーションでは、小さな抵抗が急速に大きくなります。

ノイズ耐性を向上するには、デバイスの近くで抵抗分圧器をUV、OV、およびFBピンに接続し、 V_{DD} とGNDへのパターン

を短くします。INTV_{CC}バイパス・コンデンサをINTV_{CC}ピンとGNDピンの間にできるだけ近づけて配置することも重要です。また、UVピン（および抵抗R2を介してOVピン）とGNDの間に0.1 μ Fのコンデンサ(C_F)を1つ接続すると、電源ノイズの除去に効果的です。これらの問題に対処するレイアウトを図11に示します。電源とグラウンドの間に、幅広いパターンを使用してサージ・サプレッサ(Z1)が配置されていることに注意してください。

パワーMOSFETの下にグラウンド・プレーンを配置しないことを推奨します。MOSFETが過熱した場合、ドレインの入力電圧とその下にあるグラウンド・プレーンで絶縁が破れることがあります。これにより、電源に重大な短絡が発生することがあります。

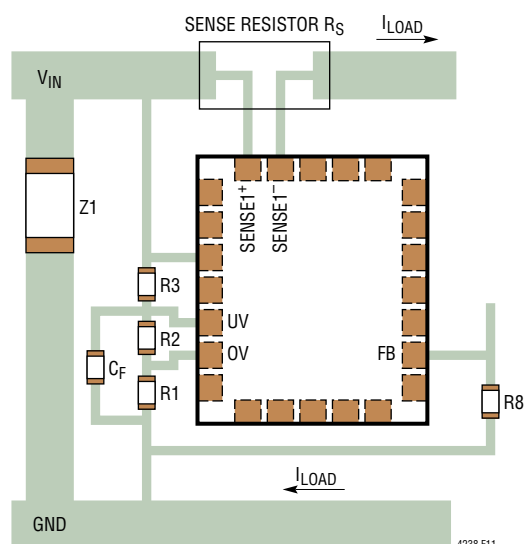
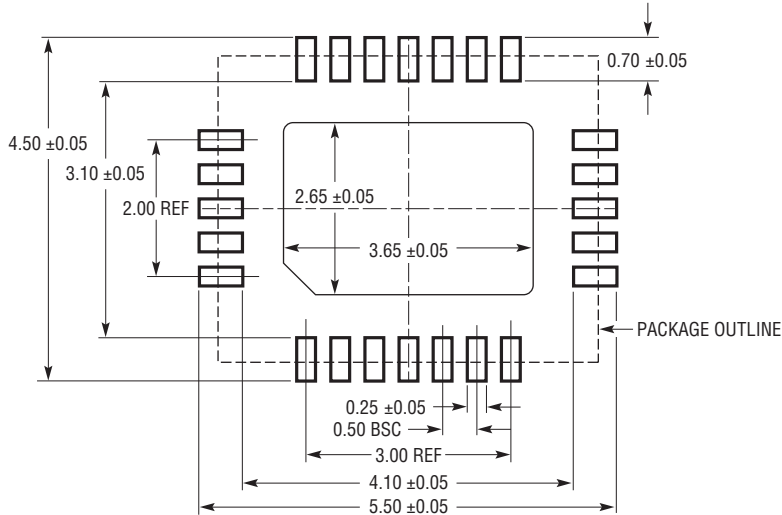


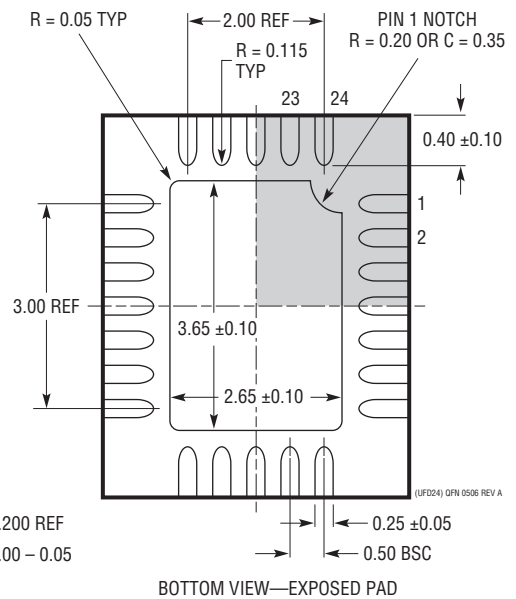
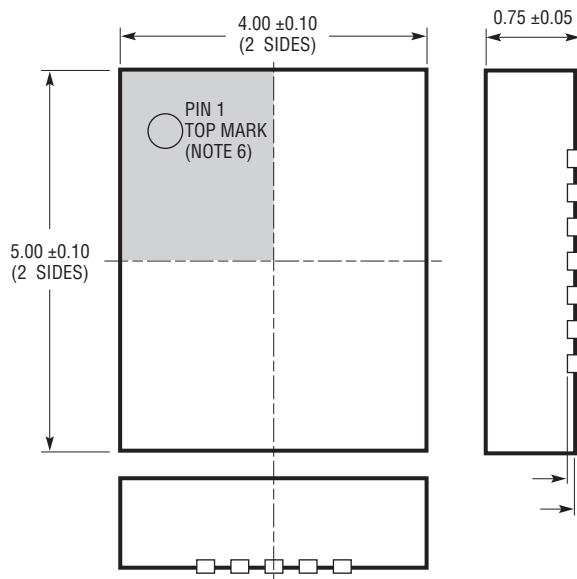
図11. 推奨のPCBレイアウト

パッケージ

UFD Package
24-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1696 Rev A)



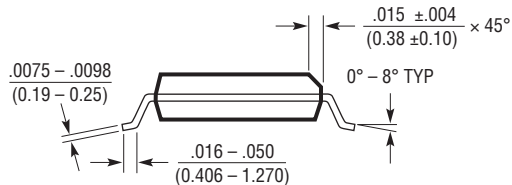
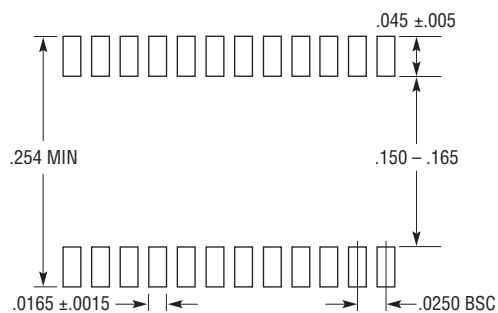
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- 注記:
- 図は JEDEC のパッケージ外形 MO-220 のバリエーション (WXXX-X) に含めるよう提案されている
 - 図は実寸とは異なる
 - 全ての寸法の単位はミリメートル
 - パッケージ底面の露出パッドの寸法にはモールドのバリを含めない。
モールドのバリ (存在する場合) はどの側でも 0.15mm を超えない
 - 露出パッドはハンダ・メッキとする
 - 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考にすぎない

パッケージ

GN Package
24-Lead Plastic SSOP (Narrow .150 Inch)
 (Reference LTC DWG # 05-08-1641 Rev B)



注記:

1. 標準寸法の単位: インチ

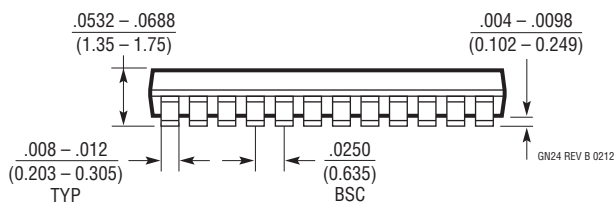
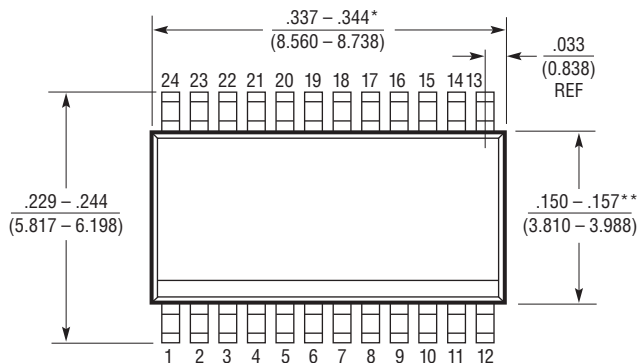
2. 寸法の単位は $\frac{\text{インチ}}{\text{(ミリメートル)}}$

3. 図は実寸とは異なる

4. 1 番ピンはベベル・エッジでもディンプルでもかまわない

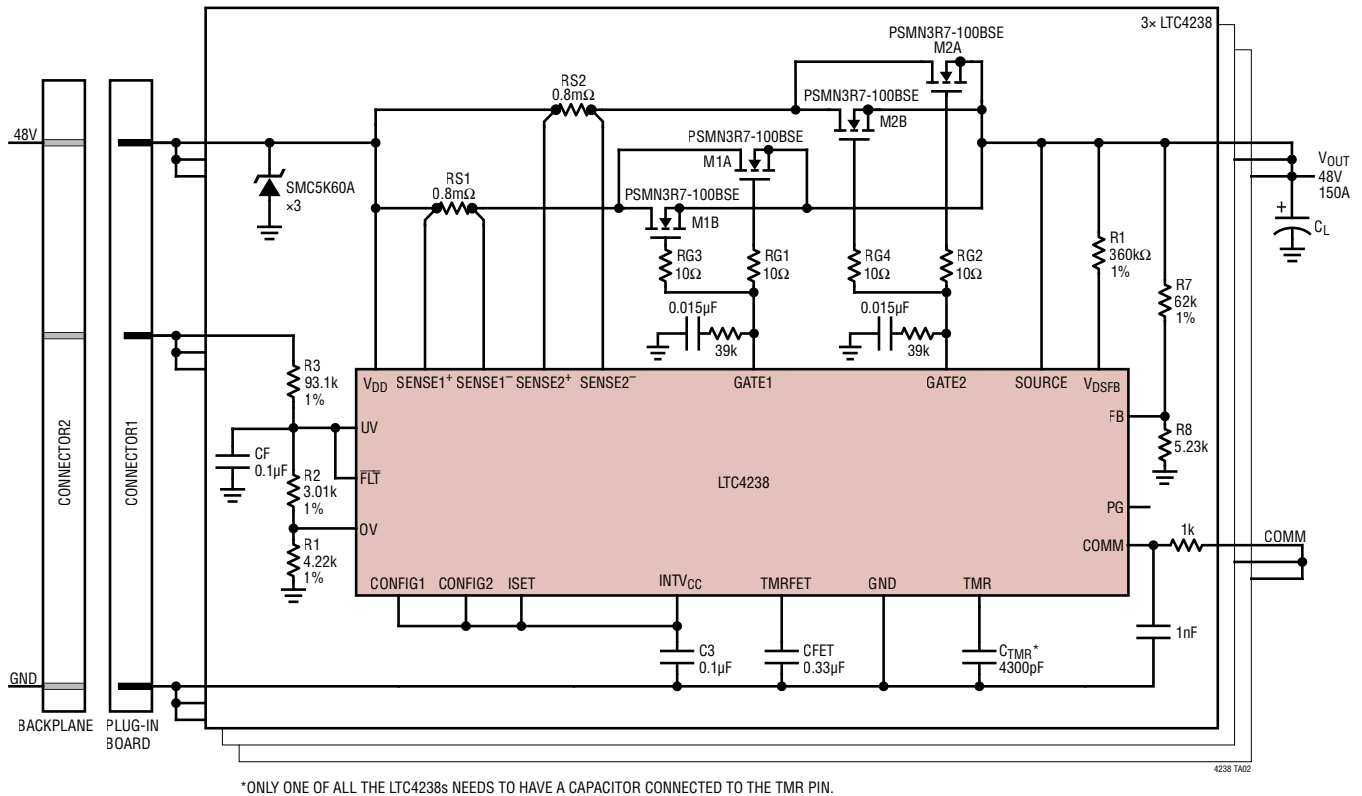
* 寸法にはモールドのバリを含まない。モールドのバリは、各サイドで 0.006 インチ (0.152mm) を超えない

** 寸法にはリード間のバリを含まない。リード間のバリは、各サイドで 0.010 インチ (0.254mm) を超えない



標準的応用例

COMM ピンで接続される 48V/150A ホット・スワップ・コントローラ



関連製品

製品番号	説明	注釈
LT [®] 1641-1/ LT1641-2	正の高電圧ホット・スワップ・コントローラ	アクティブ電流制限、電源電圧範囲: 9V~80V
LT4256-1/ LT4256-2	オープン・サーキット検出機能付き 正 48V ホット・スワップ・コントローラ	フォールドバック電流制限、オープン・サーキットおよび過電流障害出力、 電源電圧: 最大 80V
LTC4281	I ² C 互換モニタ機能付き正電圧ホット・スワップ・ コントローラ	電流、電圧、電力、電力量をモニタする 12/16 ビット ADC、内蔵 EEPROM、 I ² C、電源電圧範囲: 2.9V~33V
LTC4282	I ² C 互換モニタ機能付き、高電流正電圧ホット・ スワップ・コントローラ	デュアル・ゲート駆動、12/16 ビット ADC による電流、電圧、電力および 電力量の監視、内部 EEPROM、I ² C、電源電圧範囲: 2.9V~33V
LTC4283	電力量モニタ機能付き 48V ホット・スワップ・ コントローラ	SOA タイマー、8~16 ビット ADC による電流、電圧、電力および電力量の 監視、内蔵 EEPROM、I ² C または 1 線式ブロードキャスト
LTC4284	電力量モニタ機能付き 48V 高電流ホット・スワップ・ コントローラ	デュアル・ゲート駆動、SOA タイマー、8~16 ビット ADC による電流、電圧、 電力および電力量の監視、内蔵 EEPROM、I ² C または 1 線式ブロードキャスト
LTC4237	正の高電圧ホット・スワップ・コントローラ	アクティブ電流制限、フォールドバック電流制限、SOA タイマー、 FET 健全性モニタ、電源電圧範囲: 6.5V~80V