

高電圧バッテリー・パック向けの電流、電圧、電荷モニタ

特長

- バッテリー・スタックの電圧、電流、および電力を計測
- バッテリーの累積電荷および累積電力量を出力
- オフセットを1 μ V未満に抑えて電流を20ビットで計測
- 絶縁型 isoSPI™ インターフェースまたは SPI インターフェース内蔵
- LTC68xx/ADBMS68xx 互換、セル・モニタとの同期計測をサポート
- 最大12のバッファ付き電圧計測入力
- 最大5つのGPO、グラウンドまたは電源を駆動するか400kHzでの切替えに合わせて設定可能
- 高電位側または低電位側の電流検出
- 電流と電圧の精度:0.3%
- 電荷と電力量の精度:1%
- 真の平均ADC
- I²C EEPROM インターフェースによりボード・キャリブレーション係数を格納
- 全ての計測を対象とする閾値レジスタ
- ISO26262 準拠システム用に設計
- 入力ピンの断線検出
- 48ピンLQFPパッケージ
- オートモーティブ・アプリケーション向けのAEC-Q100認証を取得

アプリケーション

- 電気自動車およびハイブリッド車
- 絶縁型の電流検出
- バックアップ・バッテリー・システム
- 高出力携帯機器

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

概要

LTC®2949は、電気自動車やハイブリッド車などの絶縁型の電流検出アプリケーションを対象とする高精度の電流計、電圧計、温度計、電荷量計、および電力量計です。このデバイスは、最大2つの検出抵抗で生じる電圧降下とバッテリー・パックの電圧を同時にモニタリングすることにより、バッテリー・パックに流入する、あるいはバッテリー・パックから流出する電荷と電力量を推定します。

低オフセットの $\Delta\Sigma$ ADCにより、電力損失を低く抑えつつ、電圧と電流を正確に計測できます。電流と電力を絶え間なく積算することにより、バッテリー・パックが供給するか受け取る電荷と電力量を損失なく追跡できます。

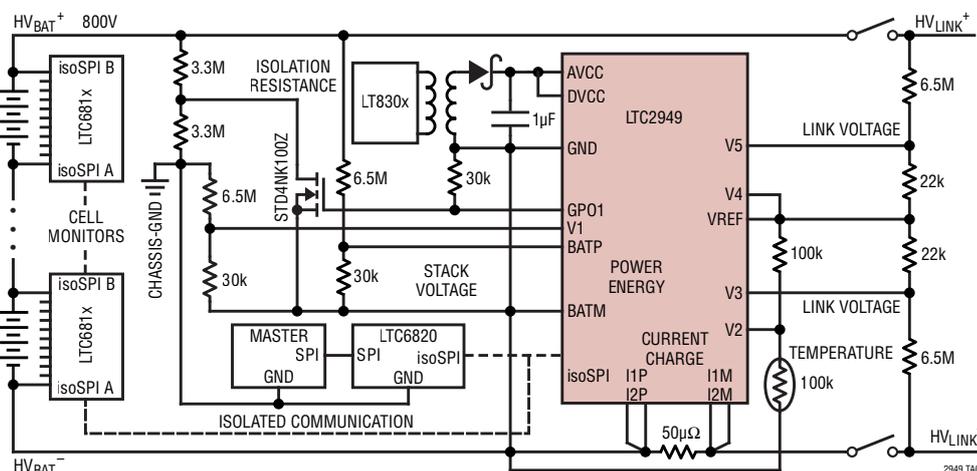
内蔵のシリアル・インターフェースは、ホストへの絶縁型 isoSPI 通信をサポートするよう構成したり、SPI インターフェースとして構成できます。

LTC2949は、外部センサーや抵抗分圧器からの電圧を計測するため、内部でバッファに接続された12の高インピーダンス入力(V1~V12)を備えているので、温度、HV-Link 電圧、シャシーの絶縁を計測することや、コンタクトの状態を監視できます。LTC2949には最大5つのプログラマブル・デジタル出力があり、グラウンド、電源、または400kHzでの切替えに設定できます。

プログラマブルな閾値レジスタとトラッキング・レジスタにより、ホストへのデジタル・トラフィックが少なくて済みます。

標準的応用例

電気自動車のバッテリー・メータ



2949 TA01

目次

特長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格	3
発注情報	3
ピン配置	3
電気的特性	4
代表的な性能特性	10
ピン機能	12
ピン機能	13
ブロック図	14
動作	15
概要	15
動作モード	16
データ・アクイジション・チャンネル	17
電力計測	20
電荷、電力量、および時間	21
過電流コンパレータ	22
シリアル・インターフェース	23
シリアル・インターフェースの概要	23
4線シリアル・ペリフェラル・インターフェース (SPI) の物理層	23
2線絶縁型インターフェース (isoSPI) の物理層	24
データ・リンク層	29
ネットワーク層	29
レジスタ・マップ	42
レジスタの説明	43
メモリ・マップとページングの仕組み	43
レジスタ・マップ PAGE0	45
レジスタ・マップ PAGE1	63
温度計測	69
アプリケーション情報	69
検出抵抗の温度補償	70
電流と電圧の入力フィルタリング	75
LTC2949の電力供給	76
パッケージ	79
標準的応用例	80
関連製品	80

絶対最大定格

(Notes 1, 2)

電源ピン

AVCC-AGND 間	-0.3V~14.5V
DVCC-DGND 間	-0.3V~14.5V
AVCC-DVCC 間	-0.1V~0.1V
DGND-AGND 間	-0.1V~0.1V

アナログ・ピン

I1P、I1M、I2P、I2M	-0.3V~V _{AVCC} + 0.3V
I1P - I1M 間、I2P - I2M 間	±1V
VBATP、VBATM	-0.3V~V _{AVCC} + 0.3V
V1~V12	-0.3V~V _{AVCC} + 0.3V
CLKO、DNC	(Note 3)

デジタル入出力ピン

IOVCC、CLKI、CSB(IM)、SCK(IP)	-0.3V~5V
SDI(ICMP)、SDO(IBIAS)	-0.3V~5V
SDA、SCL	-0.3V~2.75V

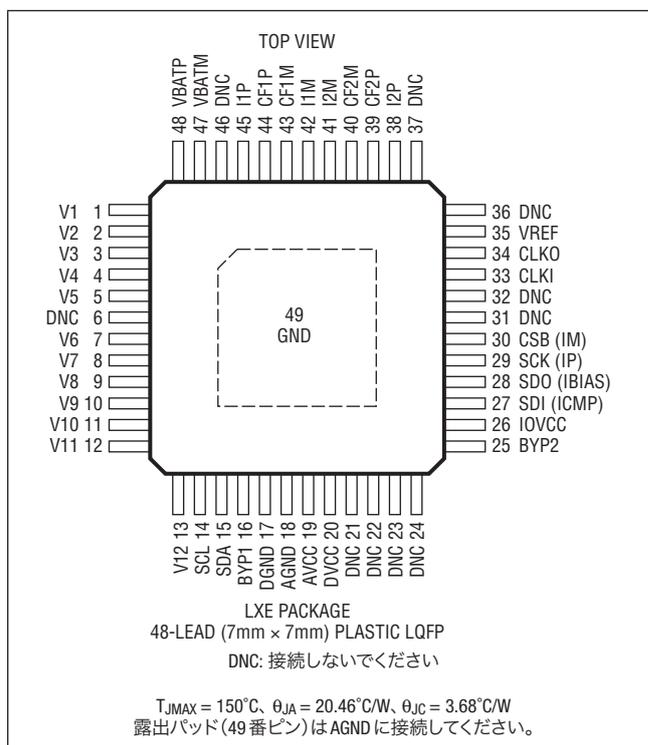
ピンへの流入電流/ピンからの流出電流

IP、IM	±30mA
SDO (IBIAS)	±10mA
V8~V12	±2mA
VREF (Note 4)	±2mA
BYP1 (Note 4)	-10mA~0mA
BYP2 (Note 4)	-10mA~0mA

動作周囲温度範囲

LTC2949I	-40°C~85°C
LTC2949H	-40°C~125°C
保存温度範囲	-65°C~150°C

ピン配置



発注情報

オートモーティブ製品**

トレイ(250個)	テープ&リール(2000個)	製品マーキング*	パッケージ	MSL 定格	温度範囲
LTC2949ILXE#3ZZPBF	LTC2949ILXE#3ZZTRPBF	LTC2949LXE	48-LEAD PLASTIC eLQFP	3	-40°C to 85°C
LTC2949HLXE#3ZZPBF	LTC2949HLXE#3ZZTRPBF	LTC2949LXE	48-LEAD PLASTIC eLQFP	3	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

テープ&リールの仕様。一部のパッケージは、#TRMPBF 接尾部の付いた指定の販売経路を通じて 500 個入りのリールで供給可能です。

**このデバイス・バージョンは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するため、管理の行き届いた製造工程により供給されます。これらのモデルは #3ZZ 接尾部により指定されます。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイスまでお問い合わせください。

電氣的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電源							
V_{AVCC}	Analog Supply Voltage		●	4.5	14	V	
V_{DVCC}	Digital Supply Voltage		●	4.5	14	V	
V_{UVLO}	Supply Undervoltage Lockout Threshold	V_{AVCC} , V_{DVCC} Falling	●		4.5	V	
I_{CC}	Average Supply Current into AVCC and DVCC	Core State: STANDBY or MEASURE	●	16	20	mA	
		Core State: SLEEP		8	15	μA	
		Core State: SLEEP	●		150	μA	
	Additional DVCC Supply Current if isoSPI in READY/ ACTIVE States Note: ACTIVE State Current Assumes $t_{CLK} = 1\ \mu\text{s}$, (Note 5)	$R_{B1} + R_{B2} = 2\text{k}$	READY	●	4.8	5.8	mA
			ACTIVE	●	6.1	7.8	mA
		$R_{B1} + R_{B2} = 20\text{k}$	READY	●	2.1	3	mA
			ACTIVE	●	2.5	3.5	mA
V_{BYP1}	BYP1 Regulated Output Voltage		●	2.25	2.5	2.75	V
	BYP1 Load Current		●	-10	0	mA	
	BYP1 Load Regulation Error	$I_{LOAD} = -10\text{mA}$	●	-15	0	mV	
	BYP1 Undervoltage Lockout Threshold		●		2.25	V	
V_{BYP2}	BYP2 Regulation Output Voltage		●	3	3.25	3.6	V
	BYP2 Load Current		●	-10	0	mA	
	BYP2 Load Regulation Error	$I_{LOAD} = -10\text{mA}$	●	-60		mV	
	Thermal Shutdown Temperature			170		$^\circ\text{C}$	
電流検出 ADC							
	Resolution (No Missing Codes)	Slow Mode Filtered (Note 7)	●	20		Bit	
		Slow Mode (Note 7)	●	18		Bit	
		Fast Mode (Note 7)	●	15		Bit	
	Full-Scale Differential Input Voltage	$V_{I1P}-V_{I1M}$, $V_{I2P}-V_{I2M}$		± 124		mV	
$VDIF_1$	Differential Input Voltage Range	$V_{I1P}-V_{I1M}$, $V_{I2P}-V_{I2M}$	●		± 110	mV	
	Pin Voltage of I1P, I1M, I2P, I2M		●	-0.11	$V_{AVCC}+0.11$	V	
	Current Sense Quantization Step	Slow Mode Filtered		237.5		nV	
		Slow Mode		950		nV	
		Fast Mode		7.60371		μV	
$CFPx$	Input Leakage Current at CF1P, CF1M, I1P, I1M, CF2P, CF2M, I2P, I2M	Core State = SLEEP/STANDBY	●		40	nA	
	Differential Input Current from CF1P to CF1M, CF2P to CF2M	Core State: MEASURE; Pin Voltages: $0\text{V} \leq V_{CF1P}, V_{CF1M}, V_{I1P}, V_{I1M}, V_{CF2P}, V_{CF2M}, V_{I2P}, V_{I2M} \leq V_{AVCC}$		$VDIF_1/100\text{k}\Omega$		μA	
	Noise	Slow Mode Filtered		160		nV _{RMS}	
		Slow Mode		320		nV _{RMS}	
		Fast Mode		3		μV_{RMS}	
	Gain Error	$ VDIF_1 \leq 110\text{mV}$			0.15	%	
			●		0.3	%	
	Offset Voltage	$I_{ADCx}, I_{xP}, I_{xM} = 0\text{V}$ $V_{AVCC} = V_{DVCC} = 5\text{V}$	Slow Mode	●	0	± 1	μV
			Fast Mode	●	0	± 2	μV
	Total Unadjusted Error	$ VDIF_1 \geq 25\text{mV}$	●		0.3	%	

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Input Voltage Common Mode Rejection at DC		●	100		dB
	Input Sampling Frequency			10.48		MHz
	Conversion Time	Slow Mode Filtered		400		ms
		Slow Mode		100		ms
		Fast Mode	●	0.782	0.8211	ms

電力ADCによる電圧計測

	Resolution (No Missing Codes)	Slow Mode (Note 7)	●	18		Bit
		Fast Mode (Note 7)	●	15		Bit
VFS _V	Full-Scale Differential Input Voltage	V _{BATP} – V _{BATM}		±6.14		V
VDIF _V	Differential Input Voltage Range	V _{BATP} – V _{BATM}	●		±4.8	V
	Pin Voltage of VBATP, VBATM	V _{AVCC} ≥ 5V	●	–0.1	V _{AVCC} +0.1	V
		V _{AVCC} < 5V	●	–0.1	V _{AVCC} -1.5	V
LSB _V	Differential Input Voltage Quantization Step	Slow Mode		46.875		μV
		Fast Mode		375.183		μV
	Input Leakage Current	Core State: SLEEP/STANDBY	●		10	nA
	Differential Input Resistance	Core State: MEASURE; Pin Voltages 0V ≤ V _{BATP} , V _{BATM} ≤ V _{AVCC}	●	50		MΩ
●			20		MΩ	
	Gain Error		●		0.3	%
	Offset	V _{BATP} = V _{BATM} = 0V	●	0	±3	LSB _V
	Voltage Total Unadjusted Error	1V ≤ VDIF _V ≤ 4.8V	●		0.4	%
	Input Voltage Common Mode Rejection at DC		●	80		dB
	Noise	Slow Mode (Note 7)		3		μV _{RMS}
		Fast Mode (Note 7)		30		μV _{RMS}
	Input Sampling Rate			5.24		MHz
	Conversion Time	Slow Mode		100		ms
		Fast Mode	●	0.782	0.8211	ms

電力ADCによる電力計測

	Resolution (No Missing Codes)	Slow Mode (Note 7)	●	18		Bit
		Fast Mode (Note 7)	●	11		Bit
FSP	Full-Scale Power	FSP = VFS _V • VFS _I /R _{ISENSE} /VDIF _V		±0.76504		[V ² /Ω]
LSB _P	Power Quantization Step	LSB _P = FSP/2 ¹⁷		5.8368		μ[V ² /Ω]
POS	Power Offset	VDIF ₁ = 0		1		LSB _P
TUE _P	Power Total Unadjusted Error	1V ≤ VDIF _V ≤ 4.8V, 25mV ≤ VDIF _I ≤ 110mV	●		0.9	%
	RMS Noise	Slow Mode; V _{BATP} – V _{BATM} = 4.8V (Note 7)		0.3		LSB _P
		Slow Mode; V _{BATP} – V _{BATM} = 0V (Note 7)		0.03		LSB _P
	Input Sampling Frequency			5.24		MHz
	Power Modulation Frequency			5.24		MHz
	Conversion Time	Slow Mode		100		ms
		Fast Mode	●	0.782	0.8211	ms

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
電力量計測						
TUE _E	Energy Total Unadjusted Error	$1\text{V} \leq \text{VDIF}_V \leq 4.8\text{V}$, $25\text{mV} \leq \text{VDIF}_I \leq 110\text{mV}$, Ideal External Clock or 4MHz Crystal	●		0.9	%
		$1\text{V} \leq \text{VDIF}_V \leq 4.8\text{V}$, $25\text{mV} \leq \text{VDIF}_I \leq 110\text{mV}$, Internal Clock	●		1.9	%
電荷計測						
TUE _C	Charge Total Unadjusted Error	$1\text{V} \leq \text{VDIF}_V \leq 4.8\text{V}$, $25\text{mV} \leq \text{VDIF}_I \leq 110\text{mV}$, Ideal External Clock or 4MHz Crystal	●		0.4	%
		$1\text{V} \leq \text{VDIF}_V \leq 4.8\text{V}$, $25\text{mV} \leq \text{VDIF}_I \leq 110\text{mV}$, Internal Clock	●		1.4	%
補助ADCによる電圧計測						
	Resolution (No Missing Codes)	(Note 7)	●	15		Bit
VFS _V	Full-Scale Differential Input Voltage	$V_{\text{VBATP}} - V_{\text{VBATM}}$, $V_{\text{MUXP}} - V_{\text{MUXN}}$		±6.14		V
VDIF _{AUX}	Differential Input Voltage Range	$V_{\text{VBATP}} - V_{\text{VBATM}}$, $V_{\text{MUXP}} - V_{\text{MUXN}}$	●		±4.8	V
	Pin Voltage of VBATP, VBATM, V1 – V12, CF1P, CF1M, CF2P, CF2M	$V_{\text{AVCC}} \geq 5\text{V}$	●	-0.1	$V_{\text{AVCC}}+0.1$	V
		$V_{\text{AVCC}} < 5\text{V}$	●	-0.1	$V_{\text{AVCC}}-1.5$	V
LSB _V	Differential Voltage Quantization Step	Slow Mode		375		μV
		Fast Mode		375.183		μV
	Input Leakage Current		●	1	10	nA
	Differential Input Resistance		●	40		MΩ
	Gain Error	$ \text{VDIF}_{\text{AUX}} \leq 4.8\text{V}$	●		0.3	%
	Offset	$V_{\text{BATP}} = V_{\text{BATM}} = 0\text{V}$	●	0	±1	LSB _V
	Total Unadjusted Error	$1\text{V} \leq \text{VDIF}_V \leq 4.8\text{V}$	●		0.4	%
	Input Voltage Common Mode Rejection at DC		●	80		dB
	Sampling Rate			5.24		MHz
	Conversion Time		●	0.782	0.8211	ms
補助ADCによるダイ上での温度計測						
	Resolution (No Missing Codes)	(Note 7)	●	13		Bit
	Full-Scale Temperature			819.2		K
ΔT _{LSB}	Temperature Quantization Step			0.2		K
	Total Unadjusted Error			±3		K
	Conversion Time			13.1		ms
	Self-Heating			20		K/W
補助ADCによる電源電圧計測						
	Resolution (No Missing Codes)	(Note 7)	●	14		Bit
	Full-Scale Differential Input Voltage			18.43		V
	A/DVCC Measurement Quantization Step			2.2583		mV
	Total Unadjusted Error		●	2	±5	%
	Conversion Time			6.55		ms
AUX MUX						
	Signal Range		●	-0.1	$V_{\text{AVCC}}+0.1$	V

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Pull-Up Current Source	Pin Voltage < $V_{AVCC} - 3.0\text{V}$	●		-250	-150	μA
	Pull-Down Current Source	Pin Voltage > 2.5V	●	200	250		μA

リファレンス電圧

VREF	Reference Voltage				3		V
	VREF Error		●			± 1	%
	VREF Temperature Coefficient				7		ppm/K
	VREF Long Term Drift				80		ppm/ $\sqrt{\text{kHr}}$
	VREF Load Regulation Error	$-0.5\text{mA} \leq I_{\text{LOAD}} \leq 0.5\text{mA}$	●	-5		0	mV
VREF2	Internal Redundant Reference Voltage				2.39		V
	VREF2 Error		●			± 0.85	%
	VREF2 Temperature Coefficient				10		ppm/K
	VREF2 Long Term Drift				80		ppm/ $\sqrt{\text{kHr}}$

過電流コンパレータ

	Pin Voltages I1P, I1M I2P, I2M		●	-0.11		$V_{AVCC} + 0.11$	V
	Total Unadjusted Error	$ V_{\text{thrl}} \leq 103\text{mV}$	●			± 5	mV
		$ V_{\text{thrl}} > 103\text{mV}$	●			± 10	mV
		$ V_{\text{thrl}} = 310\text{mV}$	●			± 20	mV
	Programmable Deglitch Time Delay	$T_{\text{degl}} 20, 80, 320\mu\text{s}$	●	$T_{\text{degl}} - 10$		$T_{\text{degl}} + 37$	μs
		$T_{\text{degl}} 1280\mu\text{s}$	●	$T_{\text{degl}} - 26$		$T_{\text{degl}} + 56$	μs

デジタル入力CLKI

	Logic Input Threshold		●	0.4		2	V
	Input Current DC Current		●			± 1	μA
	Input Capacitance	(Note 7)	●			10	pF
	External Clock Frequency		●	0.01		25	MHz

汎用出力GPIOx

	Low Level Output Voltage at GPIOx	$I_{\text{GPIOx}} = 0.5\text{mA}$	●			0.4	V
	High Level Output Voltage at GPIOx	$I_{\text{GPIOx}} = -0.25\text{mA}$	●	V_{DVCC}		-0.5	V
	GPIOx Toggling Frequency		●	370	400	430	kHz

SPIインターフェースのDC仕様: IOVCC、CSB、SCK、SDI、SDO

V_{IOVCC}	SPI Mode IOVCC Operating Voltage		●	1.8		4.5	V
	Pin Voltages CSB, SCK, SDI, SDO		●			V_{IOVCC}	V
	Logic Input Threshold (CSB, SCK, SDI)		●	$0.3 \cdot V_{\text{IOVCC}}$		$0.7 \cdot V_{\text{IOVCC}}$	V
	DC Input Current (CSB, SCK, SDI)		●			± 1	μA
	Input Capacitance (CSB, SCK, SDI)	(Note 7)	●			10	pF
	Low Level Output Voltage at SDO	$V_{\text{IOVCC}} \geq 3.3\text{V}, I_{\text{SDO}} = 3\text{mA}, 1.8\text{V} \leq V_{\text{IOVCC}} \leq 3.3\text{V}, I_{\text{SDO}} = 1\text{mA}$	●			0.4	V

SPIのタイミング条件(図7を参照)

t_{CLK}	SCK Period	(Note 6)	●	1			μs
t_1	SDI Setup Time Before SCK Rising Edge		●	25			ns
t_2	SDI Hold Time After SCK Rising Edge		●	25			ns

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_3	SCK Low	$t_{\text{CLK}} = t_3 + t_4 \geq 1 \mu\text{s}$	●	200			ns
t_4	SCK High	$t_{\text{CLK}} = t_3 + t_4 \geq 1 \mu\text{s}$	●	200			ns
t_5	CSB Rising Edge to CSB Falling Edge		●	0.65			μs
t_6	SCK Rising Edge to CSB Rising Edge	(Note 6)	●	0.8			μs
t_7	CSB Falling Edge to SCK Rising Edge	(Note 6)	●	1			μs
t_8	SCK Falling Edge to SDO Valid	(Note 9), $V_{\text{IOVCC}} \geq 3.3\text{V}$	●			60	ns
		(Note 9), $V_{\text{IOVCC}} < 3.3\text{V}$	●			150	ns

isoSPIのDC仕様(図10を参照)

	Voltage at IOVCC to Select isoSPI		●			0.5	V
V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State	●	1.9	2	2.1	V
		IDLE			0		V
I_{B}	Isolated Interface Bias Current	$R_{\text{BIAS}} = 2\text{k}\Omega$ to $20\text{k}\Omega$	●	0.1		1	mA
A_{IB}	Isolated Interface Current Gain	$V_{\text{A}} \leq 1\text{V}$, $I_{\text{B}} = 1\text{mA}$	●	18	20	22	mA/mA
		$I_{\text{B}} = 0.1\text{mA}$	●	17	20	24.5	mA/mA
V_{A}	Transmitter Pulse Amplitude	$V_{\text{A}} = V_{\text{IP}} - V_{\text{IM}} $	●			1.5	V
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{\text{TCMP}} = A_{\text{TCMP}} \cdot V_{\text{ICMP}}$	●	0.2		1.5	V
	Input Leakage Current on ICMP Pin	$V_{\text{ICMP}} = 0\text{V}$ to V_{BYP2}	●			± 1	μA
	Leakage Current on IP and IM Pins	IDLE State, V_{IP} or $V_{\text{IM}} = 0\text{V}$ to V_{BYP2}	●			± 1	μA
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{\text{CM}} = V_{\text{BYP2}}/2$ to $V_{\text{BYP2}} - 0.2\text{V}$, $V_{\text{ICMP}} = 0.2\text{V}$ to 1.5V	●	0.4	0.5	0.6	V/V
V_{CM}	Receiver Common Mode Bias	IP, IM Not Driving				$V_{\text{BYP2}} - V_{\text{ICMP}}/3 - 167\text{mV}$	V
	Receiver Input Resistance	Single-Ended to IP, IM	●	27	35	43	k Ω

isoSPIのIDLE/WAKE-UP仕様(図3を参照)

V_{WAKE}	Differential Wake-Up Voltage	$t_{\text{DWELL}} = 240\text{ns}$	●	200			mV
t_{DWELL}	Dwell Time at V_{WAKE} Before Wake Detection	$V_{\text{WAKE}} = 200\text{mV}$	●	240			ns
t_{READY}	Start-Up Time After Wake Detection		●			10	μs
t_{IDLE}	Idle Timeout Duration		●	4.3	6.4	6.7	ms

isoSPIのパルス・タイミング仕様(図10、11を参照)

$t_{\text{FILT}}(\text{CS})$	Chip-Select Signal Filter	Receiver	●	70	90	115	ns
$t_{\text{WNDW}}(\text{CS})$	Chip-Select Valid Pulse Window	Receiver	●	220	270	330	ns
$t_{1/2\text{PW}}(\text{D})$	Data Half-Pulse Width	Transmitter	●	40	50	60	ns
$t_{\text{FILT}}(\text{D})$	Data Signal Filter	Receiver	●	10	25	35	ns
$t_{\text{INV}}(\text{D})$	Data Pulse Inversion Delay	Transmitter	●	40	55	69	ns
$t_{\text{WNDW}}(\text{D})$	Data Valid Pulses Window	Receiver	●	70	90	110	ns
t_{RTN}	Data Return Delay		●		485	625	ns

 $I^2\text{C}$ インターフェースのDC仕様(SCL, SDA)

	Logic Input Threshold (SDA)		●	0.9		1.6	V
	DC Input Current (SDA)		●			± 1	μA
	Input Capacitance (SDA)	(Note 7)	●			10	pF
	Low Level Output Voltage at SDA, SCL	$I = 0.5\text{mA}$	●			0.4	V

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C インターフェースのタイミング仕様 (SCL, SDA)						
f _{SCL(MAX)}	Maximum SCL Clock Frequency		●	8	10	kHz
t _{SCLLO}	SCL Low Period		●	80		μs
t _{SDALO}	SDA Low Period		●	80		μs
t _{BUF(MIN)}	Bus Free Time Between STOP/START		●	30		μs
t _{SU,STA(MIN)}	Minimum Repeated START Setup Time		●	30		μs
t _{HD,STA(MIN)}	Minimum Hold Time (Repeated) START Condition		●	30		μs
t _{SU,STO(MIN)}	Minimum Setup Time for STOP Condition		●	30		μs
t _{SU,DAT(MIN)}	Minimum Data Setup Time Input		●	30		μs
t _{HD,DAT(MIN)}	Minimum Data Hold Time Input		●		0	ns
t _{HD,DATO}	Minimum Data Hold Time Output		●	30		μs
t _{OF}	Data Output Fall Time	(Notes 7, 8)	●	$20 + 0.1 \cdot C_B$		ns

デジタル・コアのタイミング (図3を参照)

t _{BOOT}	Core Boot-Up Time from SLEEP or POWER-OFF to STANDBY	AVCC/DVCC Pins at Minimum Operating Voltage	●		100	ms	
t _{IDLE_CORE}	Core STANDBY Cycle Time	(Note 10)	●	17	20	ms	
t _{CONT}	Core MEASURE Cycle Time	(Note 11)	●	90	100	110	ms
t _{MLOCK,M}	Memory Lock Request to Acknowledge Time	Core Status MEASURE	●		130	ms	
t _{MLOCK,S}	Memory Lock Request to Acknowledge Time	Core Status STANDBY	●		40	ms	
t _{ACKN}	Time from Core Entering STANDBY to Return to SLEEP, When Wake-Up is not Confirmed	No Write of 0x0 to Reg. WKUPACK, No Write of 0x8 to Reg. OPCTRL	●	0.6	1.5	s	

タイム・ベース

TUE _{TB}	TUE Time Base	Internal Clock			0.5	%
			●		1	%

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 正電流はピンに流れ込み、負電流はピンから流れ出す。最小値と最大値は絶対値のことを指す。

Note 3: これらのピンには電圧源も電流源も印加してはならない。これらのピンは、各ピンの説明に従って未接続のままにしておくか、容量性負荷に接続するか、水晶発振器に接続する必要がある。そうしないと、永続的損傷が生じる可能性がある。

Note 4: これらのピンには電圧源を印加してはならない。これらのピンに過大な負荷がかかると動作に支障をきたす可能性がある。

Note 5: ACTIVE ステートの電源電流 (I_{CC}) は、IP および IM で出力ドライバが動作している時間の長さにより異なる。これらの時間中、 I_{CC} は $20 \cdot I_B$ 駆動電流の分だけ増加する。最大データレートである 1MHz の場合、ドライバが動作しているのは対象の時間の約 5%。

Note 6: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に 50ns の遅延を許容する。50ns は 10m の CAT-5 ケーブル (伝播速度が光速の 66%) に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

Note 7: 設計と特性評価により性能を確保しており、出荷テストの対象外。

Note 8: C_B は 1 本のバス・ラインの容量 ($10\text{pF} < C_B < 400\text{pF}$)。

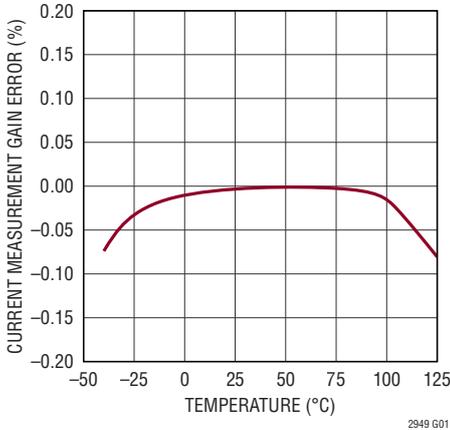
Note 9: SDO ピンでのプルアップ抵抗と負荷容量が原因で、これらの仕様には SDO の立上がり時間は含まれない。

Note 10: STATUS/FAULTS レジスタと V_{REF} レジスタが更新されたときのサイクル時間。

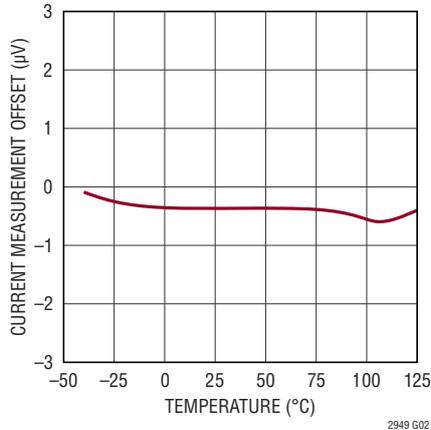
Note 11: STATUS/ALERT/FAULTS レジスタと全ての低速チャンネル計測結果が最初の更新後に更新されたときのサイクル時間。計測が有効になった後の最初の更新は 50ms (代表値) 遅延する。

代表的な性能特性

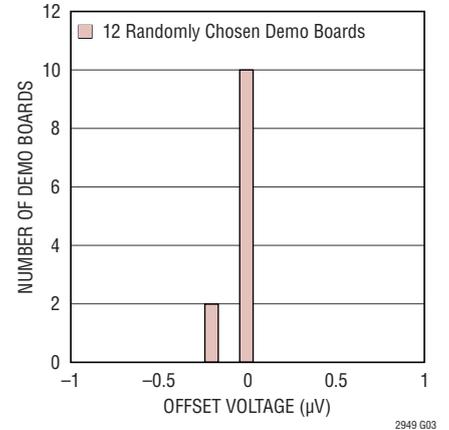
電流計測ゲイン誤差と温度



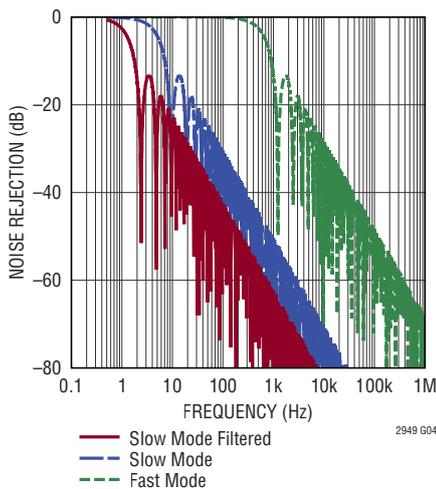
電流計測オフセットと温度



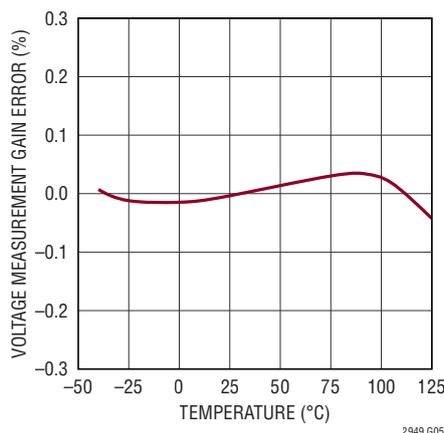
電流計測オフセットの分布



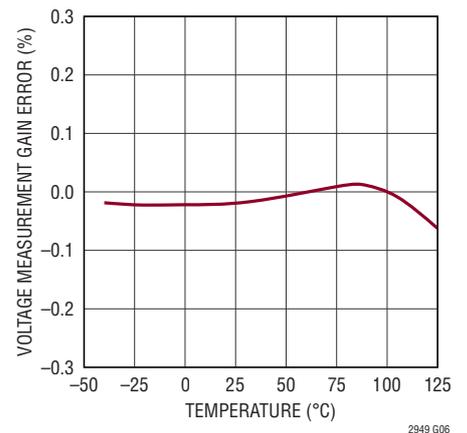
電流計測ノイズ・フィルタの応答



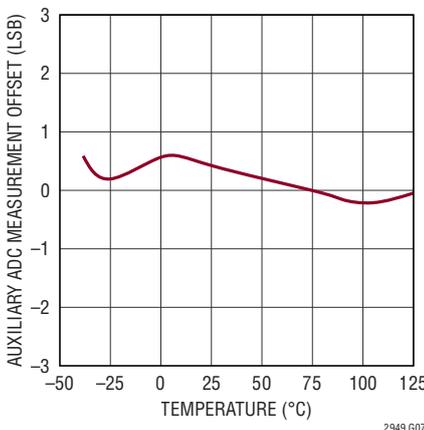
電圧ゲイン誤差としての電力と温度



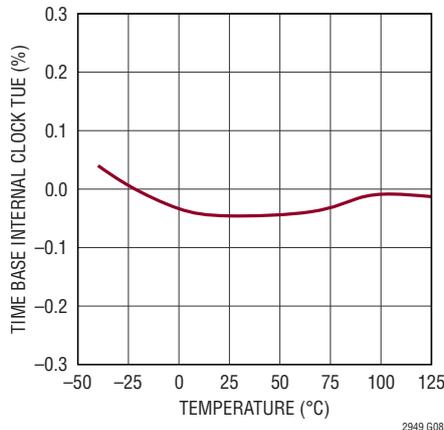
AUXADCのゲイン誤差と温度



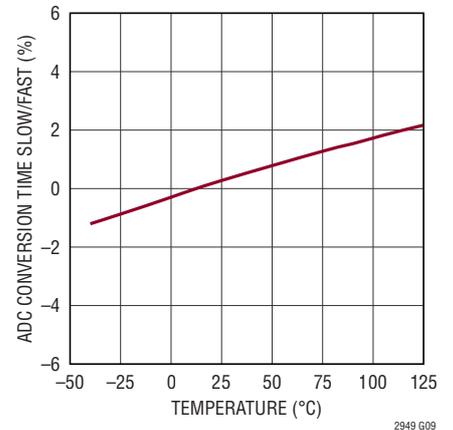
補助ADCの計測オフセットと温度



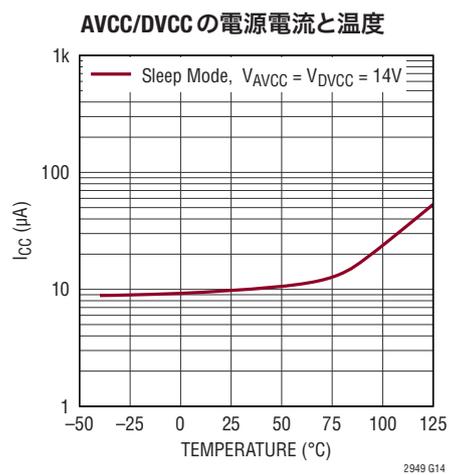
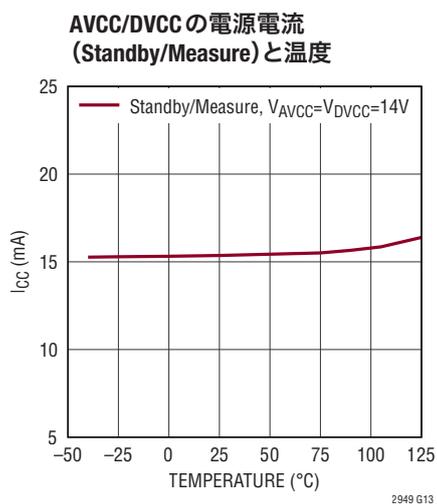
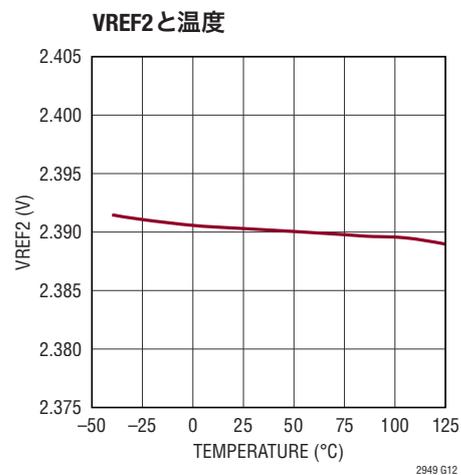
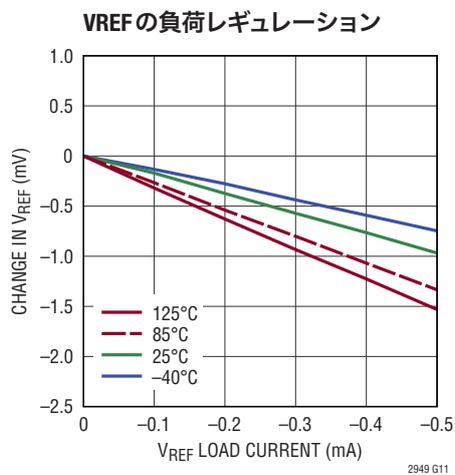
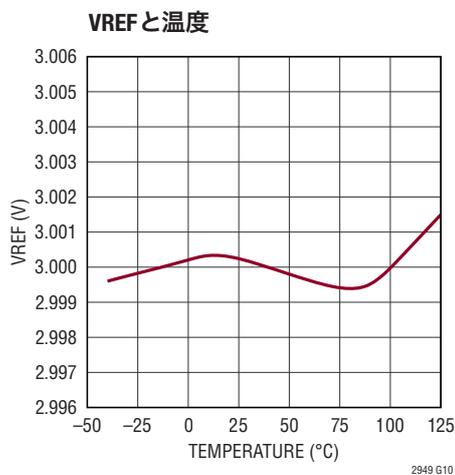
タイム・ベース内部クロックの
総合未調整誤差と温度



ADCの変換時間誤差(低速/高速)
と温度



代表的な性能特性



ピン機能

AVCC (19 番ピン) : アナログ電源電圧。このピンは $0.1\ \mu\text{F}$ (以上) のコンデンサで AGND にバイパスします。AVCC の動作電圧範囲は $4.5\text{V} \sim 14\text{V}$ です。

AGND (18 番ピン) : アナログ・グラウンド。このピンは $0.1\ \mu\text{F}$ (以上) のコンデンサで AVCC にバイパスします。

BYP1 (16 番ピン) : 内部電源電圧。BYP1 は $1\ \mu\text{F}$ のコンデンサで DGND にバイパスします。BYP1 は 2.5V に安定化されます。外部回路 (例: EEPROM) に最大 10mA を供給できます。負荷が過大になると LTC2949 の機能に障害が生じる可能性があります。

BYP2 (25 番ピン) : 3.3V の内部電源電圧。BYP2 は $1\ \mu\text{F}$ のコンデンサで DGND にバイパスします。外部回路 (例: SPI アイソレータ ADuM141E または ADuM4154) に最大 10mA を供給できます。負荷が過大になると LTC2949 の機能に障害が生じる可能性があります。

CF1P, CF1M (44, 43 番ピン) : 最初の電流チャンネルのフィルタ・コンデンサ入力。差動ノイズと高速電流変動をフィルタリングするため、CF1P と CF1M の間に $1\ \mu\text{F}$ のコンデンサを接続します。高周波のコモンモード変動を減衰させるため、AGND とフィルタ・ピンの間に $0.1\ \mu\text{F}$ のコンデンサを接続します。

CF2P, CF2M (39, 40 番ピン) : 2 番目の電流チャンネルのフィルタ・コンデンサ入力。差動ノイズと高速電流変動をフィルタリングするため、CFI2P と CFI2M の間に $1\ \mu\text{F}$ のコンデンサを接続します。高周波のコモンモード変動を減衰させるため、AGND とフィルタ・ピンの間に $0.1\ \mu\text{F}$ のコンデンサを接続します。

CLKI (33 番ピン) : クロック入力。内部クロックを使用する場合はグラウンドに接続します。計測精度を向上するには、 4MHz の水晶発振器を CLKI と CLKO の間に接続して、合致するコンデンサをグラウンドに接続するか、外部クロックを使用して駆動します。タイム・ベース・コントロールのセクションを参照してください。

CLKO (34 番ピン) : クロック出力。 使用する場合は、 4MHz の水晶発振器を CLKO と CLKI の間に接続します。使用しない場合は、未接続のままにしておきます。

CSB/IM (30 番ピン) : SPI モードではアクティブ・ローのチップ・セレクトであり、isoSPI モードでは絶縁型インターフェースの負入力/負出力です。

DGND (17 番ピン) : デジタル・グラウンド。AGND に接続してください。

DNC (21, 22, 23, 24, 31, 32, 36, 37, 46 番ピン) : 何も接続しないでください。

DVCC (20 番ピン) : 電源電圧。このピンは $1\ \mu\text{F}$ のコンデンサで DGND にバイパスします。動作電圧範囲は $4.5\text{V} \sim 14\text{V}$ です。

I1P, I1M (45, 42 番ピン) : I1ADC および過電流コンパレータ 1 の差動入力。使用しない場合は AGND に接続します。

I2P, I2M (38, 41 番ピン) : I2ADC および過電流コンパレータ 2 の差動入力。使用しない場合は AGND に接続します。

IOVCC (26 番ピン) : シリアル・インターフェースの設定ピンおよび電源ピン。isoSPI 通信の場合はこのピンを DGND に接続します。標準の SPI 通信の場合は、このピンを 1.8V 以上 4.5V 以下の電圧に接続し、 $1\ \mu\text{F}$ で DGND にバイパスします。SPI モードでは、IOVCC がシリアル・インターフェースのデジタル入出力回路に電源を供給します。

SCK/IP (29 番ピン) : SPI モードではシリアル・クロック入力であり、isoSPI モードでは絶縁型インターフェースの正入力/正出力です。

SCL (14 番ピン) : I²C マスタ・クロックのオープンドレイン出力。EEPROM のクロック入力に接続します。

SDA (15 番ピン) : I²C のデータ入力およびオープンドレイン出力。EEPROM のデータ・ラインに接続します。起動時に SDA をローにしておくと、LTC2949 が自動的に SLEEP ステートになることや、HW メモリの内蔵セルフ・テストが自動的に実行されることを防止できます。 $4.7\text{k} \sim 10\text{k}$ のプルアップ抵抗を SDA と BYP1 の間に接続して、自動スリープとメモリの内蔵セルフ・テストが正常に動作するようにします。

SDI/ICMP (27 番ピン) : SPI モードではシリアル・データ入力であり、isoSPI モードでは絶縁型インターフェースのコンパレータ電圧閾値設定ピンです。ICMP を IBIAS と DGND の間の抵抗分圧器に接続し、isoSPI レシーバーのコンパレータの電圧閾値を設定します。コンパレータの閾値は ICMP ピンの電圧の $1/2$ に設定されます。

SDO/IBIAS (28 番ピン) : SPI モードではオープンドレインのシリアル・データ出力であり、isoSPI モードでは絶縁型インターフェースの電流バイアスです。SPI モードでは、プルアップ抵抗を使用して IOVCC に接続します。isoSPI モードでは、IBIAS を DGND に抵抗分圧器を介して接続し、インターフェースの出力電流レベルを設定します。isoSPI インターフェースがイネーブルされている場合、IBIAS ピンの電圧は 2V に安定化されます。IP/IM の出力駆動電流は、IBIAS ピンから流れ出る電流 I_B の 20 倍に設定されます。

V1, V2, V3, V4, V5, V6, V7 (1, 2, 3, 4, 5, 7, 8 番ピン) : 電圧計測入力。高い入力インピーダンス ($50\text{M}\Omega$) と低もれ電流を確保するため、これらのピンの電圧は内部でバッファ処理されてから AUXADC に入力されます。使用しない場合は、フロート状態のままにしておかれません。

ピン機能

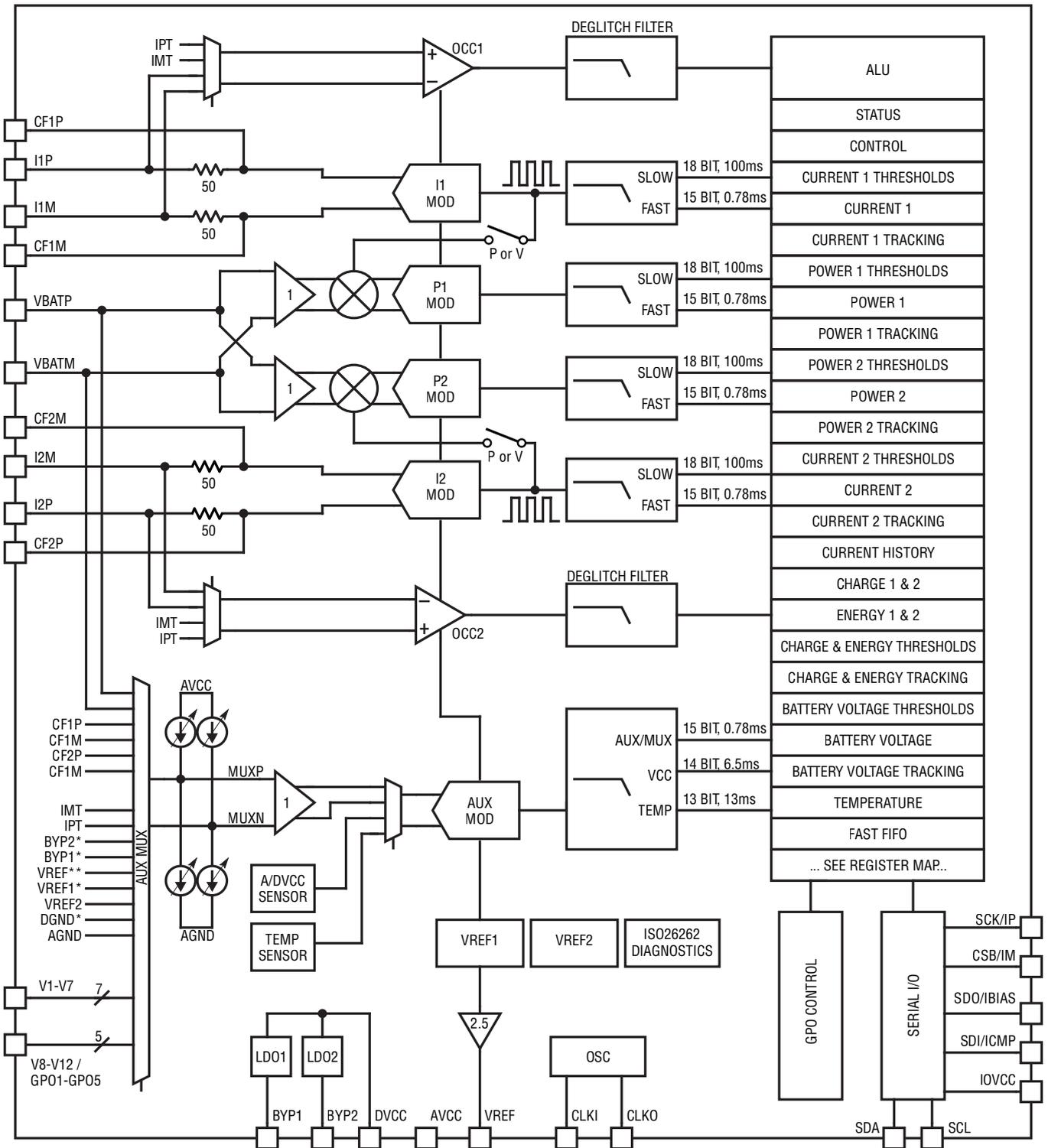
V8~12/GP01~5 (9、10、11、12、13番ピン) : 汎用の電圧入力およびデジタル出力。高い入力インピーダンス ($50\text{M}\Omega$) と低もれ電流 ($<10\text{nA}$) を確保するため、これらのピンの電圧は内部でバッファ処理されてから AUXADC に入力されます。各ピンは DVCC または DGND に切り替えることも、DVCC と DGND の間を 400kHz (代表値) で切り替えることもできます。これらのピンはスリープ・モードではスリーステートです。使用しない場合は、フロート状態のままにしてください。

VBATP、VBATM (48、47番ピン) : バッテリ電圧の計測。高い入力インピーダンス ($50\text{M}\Omega$) と低もれ電流 ($<10\text{nA}$) を確保するため、VBATP と VBATM の間の差動電圧は内部でバッファ処理されます。

VREF (35番ピン) : リファレンス電圧出力。VREF は、NTC サーミスタを使用した温度計測のため、バッファ処理された 3V のリファレンス電圧を出力します。電流負荷は 0.5mA に制限されます。このピンは $1\mu\text{F}$ のコンデンサで AGND にバイパスします。

露出パッド (49番ピン) : AGND に接続してください。

ブロック図



* Measured value not accessible by user. Only used for internal diagnostics.
 ** VREF measurement value is only accessible by user from the AUX slow channel.
 See also section 'Unused Input Pins V1-V12' for recommendation to allow VREF measurement from AUX fast channel.

See also 'Table 57. MUX Settings' for more details on AUX MUX configuration.

動作

概要

LTC2949は高精度の電流計、電圧計、電荷量計、および電力量計で、絶縁型のデータ・アクイジションが要求される電気自動車やハイブリッド車などのアプリケーションを対象としています。このデバイスは4.5V~14Vの電源電圧で動作し、最大2つの検出抵抗を流れる電流とバッテリー・パックの電圧を同時にモニタリングすることにより、バッテリー・パックに流入および流出する電荷と電力量を推定します。5つのレールtoレール低オフセット $\Delta\Sigma$ ADCにより、電力損失を低く抑えつつ、電流、電圧、および電力を正確に計測できます。LTC2949は、電圧と電流を高いサンプリング・レートで瞬時に乗算して、急な負荷変動が生じた場合でも電力を正確に推定します。電流とバッテリー電圧を計測するための入力に加え、LTC2949は外部電圧を計測するためのアナログ入力を12ピン(V1~V12)備えています。LTC2949は、内蔵のマルチプレクサを使用して、入力インピーダンスの高い差動レールtoレール電圧計測を任意の入力ピン・ペア間で実行します。V8~V12ピンを高電圧のデジタル出力として設定し、振幅をグラウンドからデジタル電源電圧(DVCC)まで可能にすることで、高電圧トランジスタなどの外付け部品を制御できます。低速モードでは、電流、電圧、電力、温度、電源電圧の自動計測サイクルを1回と、プログラマブル・マルチプレクサの設定を2回行うのに100msかかります。LTC2949はこうした計測を繰り返して、電力量、電荷、時間を再計算し、最小/最大のトラッキング・レジスタおよび閾値レジスタを更新します。このため、電流と電力を絶え間なく積算して、バッテリー・パックが供給する、または受け取る電荷と電力量を損失なく追跡できます。内蔵の発振器により、全電荷、電力量、および時間を計算するための1%高精度タイム・ベースが得られます。精度を更に高めることが必要な場合は、CLKIとCLKOの間に4MHzの水晶発振器を接続するか、外部クロックを使用できます。

時間重視のアプリケーションの場合は、変換時間を782 μ sに短縮する高速モードがあります。高速動作時に取得したデータは4つのFIFOに格納されます。これらのFIFOには、4つの同期計測パラメータからの高速ADC読出し値が最大で1000格納されます。FIFOからデータを読み出すと、同時に変換された変換結果が得られ、バッテリーのインピーダンス追跡、電流プロファイリング、またはコンタクトが閉じる前の事前充電など、その他の高速イベントのモニタリングが有効になります。閾値は低速モードで計測したパラメータに合わせて設定可能であり、LTC2949は、閾値を超えた場合にアラート・レジスタの対応するビットを設定します。最大2つのGPOでのプログラマブル・ハートビート機能により、シリアル・インターフェースとは関係なく、有効化されたアラート信号を絶縁障壁を越えて送信できます。これらのピンは

400kHzで切り替わり、アラートが生じると切替えは停止します。

LTC2949は、過電流状態の高速検出が要求されるアプリケーションに対応するため、電流チャンネルごとにプログラマブルなアナログ過電流コンパレータを備えています。プログラマブルなデグリッチ・フィルタにより、事前に定義した時間より短い過電流条件を破棄できます*。

3Vのリファレンス電圧出力(VREF)を設けており、ここにNTCサーミスタを外付けできます。また、分圧器を接続してグラウンドより低い電位の信号を計測することもできます。LTC2949は、低速モードでは、プログラマブルな係数を使用してSteinhart-Hartの式を解くことにより、最大2つの外付けNTCサーミスタの温度読出し値を線形化する手段を提供します。LTC2949は、線形化されたNTCサーミスタの温度読出し値を使用することにより、低価格シャント抵抗のユーザ設定温度係数を自動的に補償するよう設定できます。

LTC2949は、外付けのシャント抵抗および抵抗分圧器の許容誤差を補償するためのプログラマブルなゲイン補正係数を備えています。マスタのI²Cインターフェースと専用コマンドにより、外部EEPROMとの間で読出しと書込みが可能になります。外部EEPROMを使用すると、キャリブレーション係数とLTC2949のレジスタ全体の内容を格納して、電源なしでのデータ保持を確保できます。EEPROMに補正係数を格納することにより、アプリケーション基板の出荷時のキャリブレーションをモジュール方式にすることができます。

サーマル・シャットダウン回路はダイ温度が150°Cを超えると作動し、デバイスをデフォルトの状態にリセットします。ただし、サーマル・シャットダウン・ビット自体はリセットされません。

計測値は内部レジスタに格納されますが、レジスタには内蔵のSPIインターフェースまたはアナログ・デバイセズ独自のisoSPIインターフェースを介してアクセス可能であり、後者はLTC2949の完全な絶縁動作が可能です。LTC2949は、アナログ・デバイセズのマルチセル・バッテリー・モニタ(LTC68XX)との互換性を維持するために開発されました。SPIとisoSPIのいずれでも様々なバス構造が可能であり、マルチドロップやデジチェーン接続も可能です。同期A/D変換をトリガしてデータを読み出すための、アナログ・デバイセズの一連のバッテリー・セル・モニタ互換コマンドのうち、LTC2949がサポートしている数は限られています。絶縁動作で得られたデジタル・データは、外付けのコンデンサまたはトランスを介して絶縁障壁を越えて伝送されます。適切な外付け部品を選択することにより、数kVの電位差のブリッジを実現できます。

*過電流状態は、最短の応答時間にするため、専用のハートビート・ピンによって信号が出力されます。

動作

これら全ての機能により、絶縁抵抗の計測、事前充電スイッチの制御、アラーム状態の通知、コンタクタの状態のモニタリングなどのように、電流や電荷の計測を超えた多種多様なアプリケーションが可能になります。LTC2949は、機能的な安全性を重視するシステムをサポートする様々な診断機能を提供しています。詳細については、『Safety Manual』を参照してください。

動作モード

コア・ステートの説明

全ての電源電圧がそのUVLO閾値を超えると、LTC2949は起動して、全てのレジスタをデフォルトの状態に設定し、1秒後にデフォルトのSLEEPステートに入ります。このときの消費電流は10 μ A(代表値)なので、電源をバッテリーで供給している場合は挿入後の急速な放電を防止できます。

SLEEPステートでは、全てのGPOがスリーステートであり、LTC2949はシリアル・インターフェースをモニタして、SPIモードではCSBの立下がりエッジで起動シーケンスを開始します。isoSPIモードでは、まずisoSPIインターフェースをウェイクアップ・パルスによって起動してから、内部のCSBで立下がりエッジを生成するパルスを送信する必要があります。起動シーケンスの間、ホストは動作コントロール・レジスタのSLEEPビットをポーリングして、LTC2949が起動してSTANDBYモードになっていることを確認できます(ウェイクアップと起動の手順については、図20も参照)。LTC2949は、CSBの最初の立下がりエッジ後に、最大で100ms (t_{BOOT}) STANDBYステートに入ります。STANDBYステートでは、全てのリファレンス電圧が起動し、デジタル回路にクロックが供給されます。LTC2949は、STANDBYステートに入ってから1秒(t_{ACKN})以内にウェイクアップ確認コマンドを受信しなかった場合、SLEEPステートに自動的に戻ります。ウェイクアップを確認するには、レジスタWKUPACKに0x00を書き込みます。

LTC2949は、スリープ・コマンドを受信してから約200ms (t_{SLEEP})後にSLEEPステートに入ります。CSBの立下がりエッジが t_{SLEEP} の間に生じると、LTC2949はSLEEPステートに入らなくなります。SLEEPモードでは内部のアナログ電源とBYP1が遮断されるので、LTC2949がSLEEPから復帰すると、UVLOAビットとUVLODビットが設定されます。内部

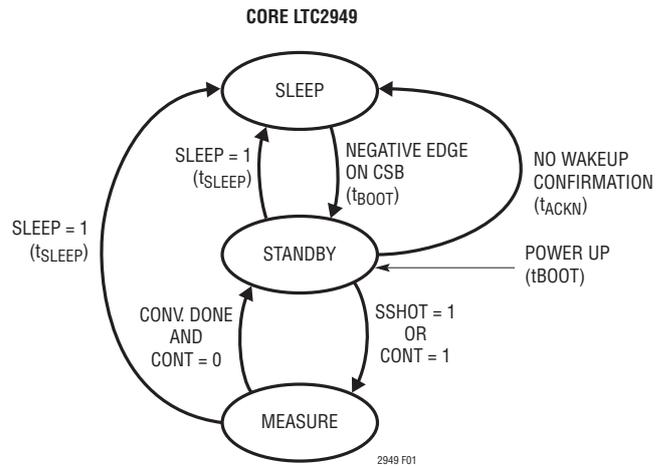


図1. LTC2949の動作ステート図

の常時オン安定化電圧は、メモリに電力を供給して、SLEEPモード中にデータを確実に保持します。AVCCまたはDVCCの電圧がUVLO閾値より低くなると、内部の常時オン電源のUVLOビットUVLOSTBYが設定され、パワーオン・リセットが実行されて、全てのレジスタがそのデフォルト値にリセットされます。STANDBYステートでは、内部回路は動作していますが、リファレンス電圧(VREF)以外の計測は行われません。STANDBYステートからは、動作コントロール・レジスタOPCTRLのシングル・ショット(SSHOT)ビットまたは連続(CONT)ビットを設定することにより、LTC2949に指示してMEASUREステートに移行させることができます。

isoSPIステートの説明

IOVCCピンを1.8V以上の電源電圧に接続すると、LTC2949は通常のSPIモードで動作し、IOVCCは全てのSPI信号の受信側回路と出力駆動回路に電源を供給します。

IOVCCをDGNDに接続すると、isoSPIポートがイネーブルされます。isoSPIポートには、異なる3つのステート(IDLE、READY、ACTIVE)があります。IDLEステートでは、isoSPIポートの電力が遮断されます。IP-IM間に差動動作が生じた場合にのみ、ウェイクアップ信号が生成されます。その後、isoSPIポートは、 t_{READY} (10 μ s)が経過してデータを送信または受信できるようになってからREADYステートに移行します。READYステートでは、消費電流が数mA増加します。

動作

通信が始まると isoSPI ポートは ACTIVE ステートになり、電源電流がクロック周波数に応じて増加します。IP-IM 間に差動動作が発生しない状態が t_{IDLE} (5.5ms) を超えると、電力節減のため、isoSPI ポートは IDLE ステートに移行します。LTC2949 コアへの通信が可能なのは、isoSPI ポートが IDLE ステートになっていない場合に限りです。つまり、LTC2949 のコアが STANDBY ステートまたは MEASURE ステートで、かつ isoSPI ポートが IDLE ステートである場合でも、通信が開始されるのは IP-IM 間に差動動作が起こってから $10\mu\text{s}$ (t_{READY}) 後になるということです。

図2に、isoSPI インターフェースと LTC2949 のコアがインターフェースをウェイクアップしてから ADC の計測を実行するまでの状態の順序を示します。推奨のウェイクアップ・シーケンス実装方法については、図20も参照してください。

データ・アキュイジション・チャンネル

LT2949 には、2つの電流 ADC (I1ADC、I2ADC)、2つの電力 ADC (P1ADC、P2ADC)、および1つの補助 ADC (AUXADC) があります。I1ADC と P1ADC をまとめてデータ・アキュイジション・チャンネル1 (CH1) を形成し、I2ADC と P2ADC でチャンネル2 (CH2) を形成します。また、AUXADC と補助マルチプレクサ (AUXMUX)、ダイ温度センサー、および電源電圧センサーでチャンネル AUX (CHAUX) を形成します。

CH1 と CH2 は、個別に 18ビットの高精度モード (低速モード、デフォルト) または 15ビットの高速モードに設定できます。高速モードを作動させると、選択したチャンネルでの変

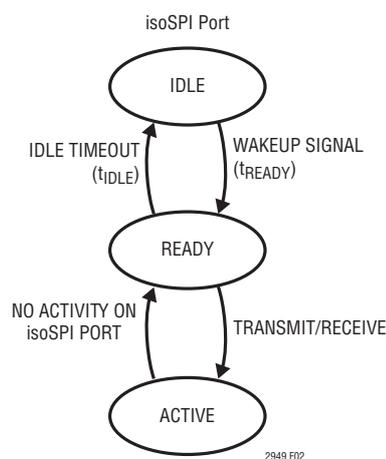


図2. isoSPI のステート図

換時間が 100ms から $782\mu\text{s}$ に短縮されます。電力 ADC を電圧 ADC として個別に設定するには、ADC 設定レジスタ (ADCCONF) での対応する PasV (Power as Voltage) ビットを設定することにより、入力バッファ通過後の電力の乗算を無効にします。

低速高精度モード

デフォルトでは、LTC2949 のアキュイジション・チャンネルは低速高精度モードであり、このモードでは、CH1 または CH2 の変換に 100ms かかり、電流と電力または電流と電圧 (PasV を設定した場合) の 18ビットの変換結果が得られます。この 100ms の間に、補助チャンネル (CHAUX) は、そのラウンドロビン (RR) モードを使用して以下に示す6種類の数値を順次計測します。それは、VBATP – VBATM (BAT) から始まり、

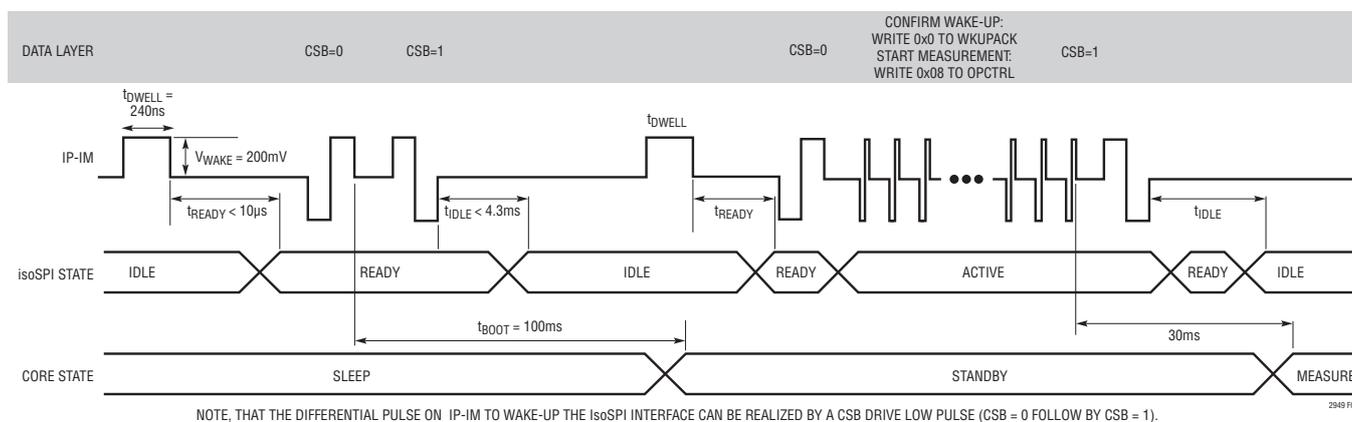


図3. IsoSPI ステートとコア・ステートのタイミング

動作

ダイ温度 (TEMP)、AVCC 電源電圧 (VCC)、マルチプレクサ設定レジスタで選択可能な2つの AUXMUX 入力 (SLOT1 および SLOT2) と、最後はリファレンス電圧 (VREF) です。更に、低速モードでの IADC1 と IADC2 の最後の4回の計測の移動平均が求められ、20ビットの結果が得られます。低速高精度モードでは、1回の変換または連続した数回の変換をトリガできます。連続低速モード (CONT) は最も代表的な動作であり、高速変換を行うための前提条件でもあります。

シングル・ショット計測モード (SSHOT)

動作コントロール・レジスタの SSHOT ビットを設定すると、LTC2949 は CH1 と CH2 の計測だけでなく、前述した6種類の補助チャンネル計測を実行して、対応する最小レジスタ、最大レジスタ、および閾値レジスタを更新し、SSHOT ビットをリセットしステータス・レジスタの UPDATE ビットを設定して、STANDBY ステートに戻ります。時間は計測されず、電荷レジスタと電力量レジスタは更新されないため、最小/最大閾値とは比較されません。ホストは STATUS レジスタの UPDATE ビットをポーリングして、計測サイクルの完了を検出できます。SSHOT ビットを設定後 20ms (`tIDLE_CORE`) 以内に計測が始まります。

連続計測モード (CONT)

動作コントロール・レジスタの CONT ビットを設定すると、LTC2949 は CH1 と CH2 の計測だけでなく、6つの補助チャンネル計測も繰り返し実行し、電力量、電荷、時間を再計算して、最小/最大のトラッキング・レジスタおよびステータス・レジスタを 100ms ごとに更新します。連続した高精度の計測を開始するには、CONT ビットの設定後、最大 20ms (`tIDLE_CORE`) かかります。このモードでは電流と電力の ADC が常に動作して、電荷と電力量を計測し損なわないようにしています。電力 ADC を設定して電圧 (PasV) を計測する場合、対応するチャンネルの電力量は累積されません。動作コントロール・レジスタの CONT ビットをリセットしない限り、LTC2949 は連続モードのままです。連続モード時に SSHOT ビットを設定すると、LTC2949 は現在の計測サイクルを完了してシングル・ショット・モードに入り、動作コントロール・レジスタの CONT ビットをクリアします。

連続計測モードでは、ホストは対応する時間レジスタ (TB1、TB2、TB3、または TB4) の増分を定期的に確認することにより、計測サイクルの終了をポーリングできます。

高精度結果の読書き

100ms の各計測サイクルが終了すると、計測量の全ての結果レジスタが更新されます。連続モードでは、累積量も更新されます。更に、各電流チャンネルの前の4つの計測値は電流履歴レジスタに格納され、その平均値は電流平均レジスタに格納されます。詳細については、レジスタ・マップのセクションを参照してください。計測結果のレジスタ更新が完了したことは、時間レジスタ (TB1~TB4) のいずれかを読み出して、変更された値を探すことで検出できます。

高速モード

LTC2949 は、変換時間が 782 μ s と短縮され、分解能が 15 ビットの高速モードを備えています。高速モードでは、開始時点厳密にして計測を開始できるので、例えば個々のセルのセル・インピーダンスを推定するために、アナログ・デバイセズのバッテリー・スタック・モニタの電圧計測と同期した計測を実行できます。

高速モード構成

LTC2949 では、高速コントロール・レジスタ (FACTRL) の対応する FACH1 ビットまたは FACH2 ビットを設定することにより、データ・アクイジション・チャンネル2を高速モードに設定しつつ、データ・アクイジション・チャンネル1を低速高精度モードのままにしておくことや、データ・アクイジション・チャンネル1と2の両方を高速モードに設定することが可能です。補助チャンネルは、CH1 および CH2 とは関係なく高速モードに設定して、ラウンドロビン (RR) モードではなく、(高速 MUX コントロール・レジスタで選択した) 単一量のみを変換できます。

短い起動遅延時間を有効にするには、LTC2949 を連続モード (CONT=1) にしてから高速変換をトリガする必要があります。高速計測をトリガするには、ADCV コマンド (高速シングル・ショット) を使用するか、高速コントロール・レジスタ (FACTRL) の FACONV ビットを設定します。ADCV コマンドは、正しい PEC を受信した直後に、選択済みチャンネルの高速変換を1回トリガして、アナログ・デバイセズのバッテリー・スタック・モニタと同期します。FACONV=1 を設定して高速計測をトリガすると、LTC2949 は FACONV または CONT がリセットされるまで一連の高速変換を実行します。高速連続モード時に取得したサンプルは、最大4つの高速入力チャンネル (I1、I2、BAT (P1 または P2 経由)、および AUX) の個々の FIFO に格納されます。

動作

CH1とCH2は、ジョイント高速モード変換が完了すると、自動的に低速高精度モードで再始動します。CH2が高速モードであったのに対してCH1が低速高精度モードを継続した場合、ADCVコマンドか、FACONVの再度の設定によって高速モード変換を要求すると、高速モードのアクイジションが完了して更なる高速モード変換を実行できる状態になった後に、CH2は変換を停止します。補助チャンネルの低速モードラウンドロビン(BAT、TEMP、VCC、SLOT1、SLOT2、VREF)は、全ての高速計測が停止してから300ms経過すると、自動的に再始動します。連続した高AUX計測レート(100msごとよりも高い頻度)が必要なアプリケーションでは、更にVREFも計測し、V1~V12への外部接続を介してオプションでVCCも測定して、ソフトウェアでの高速シングルショット計測による手動ラウンドロビン方式を実装することを推奨します。

高速モード結果の読書き

高速変換の最終結果はRDCVコマンドによって読み出すことができます。I1、I2、P1またはP2によるBAT、およびAUXの結果が順次出力され、その後にデータが新しい(0xF)か古い(0x0)かを示すインジケータが出力されます。電力ADCを電圧モード(ビットPasV=1)に設定した場合、BATは電力ADCの結果であり、それ以外の場合、電力ADCの結果は0です。両方のチャンネルが高速モードで、電力ADCを電圧モードに設定した場合、BATはPADC1から得られます。アナログ・デバイセズのバッテリー・スタック・モニタに対応するため、RDCVはLSByte(最下位バイト)を先頭に報告することに注意してください。

更に、I1、I2、P1またはP2によるBAT、およびAUXの高速変換結果のうち最新の1000個は、FIFOI1、FIFOI2、FIOBAT、およびFIOAUXで読書き可能なFIFO(先入れ先出し)レジスタに格納されます。FIFOI1から連続して読み出すことにより、最初の電流ADCのサンプルごとに以下の3バイトが連続して出力されます。それらはI1のMSB、I1のLSB、および修飾子(TAG)であり、その内容は、対応するFIFOデータは問題ない(0x00)かどうか、FIFO全体が読み出されて以降、新しいデータがFIFOに追加されていないので、対応するFIFOデータは既に読み出された(0x55、デフォルト)かどうか、またはFIFOが読み出されずにいっぱいになったので、対応するFIFOデータは上書きされた(0xAA)

かどうかを表します。その他のFIFOは、それぞれの量をそれぞれに対応して示します。ADCVコマンド(FACONV = 0のとき)またはFACONVの設定によって高速変換がトリガされると、全てのタグは初期化されてデフォルト値(0x55)になります。また、CONTをリセットすることによって連続モードを終了すると、FIFOはクリアされます。

高速変換結果のLSBサイズはRDCVおよびFIFOの読出し値と同じであり、表28に示してあります。

CH1とCH2が両方も高速モードである場合は、IADC1およびIADC2の128の変換結果が平均化され、それぞれの非累積結果レジスタCurrent1およびCurrent2に格納されてCharge1およびCharge2レジスタに追加され、バッテリーの充電と放電も高速モードでモニタされます。

同様に、PADC1とPADC2の128の変換結果が11ビットの分解能で平均化され、それぞれの非累積結果レジスタPower1およびPower2に格納されて、PADCが電力モード(PasV=0)である場合はEnergy1およびEnergy2レジスタに追加されます。CH1が低速モードでCH2が高速モードである場合は、CH1の結果のみが電流および電力の結果レジスタに報告され、CH2の結果にはRDCVまたはそれぞれのFIFOを介してアクセスできます。

データ・アクイジション・チャンネルの推奨の構成

代表的なアプリケーションの事例では、LTC2949が備えている2つのデータ・アクイジション・チャンネルが両方も1つのシャント抵抗を流れる電流をモニタできます。チャンネル1は高精度の電流計測および電力計測と電荷および電力量の積算に使用されるのに対して、チャンネル2は例えばインピーダンス計測のために電流および電圧の高速スナップショットを取ります。

あるいは、LTC2949が備えている2つのデータ・アクイジション・チャンネルを使用して、2つの異なるシャント抵抗を流れる電流をモニタすることもできます。このアプリケーションの事例では、両方のチャンネルを高速モードまたは低速モードで使用できます。CHAUXは、CH1およびCH2とはまったく無関係に設定できます。AUXADCのデフォルトのモードはRRであり、このモードはCHAUXの高速モードを有効化することによって不動作状態になります。

動作

表1. アクイジション・チャンネル構成

	シングル・シャント	デュアル・シャント	
CH1	Slow	Slow	Fast
CH2	Fast	Slow	Fast
CHAUX	RR/Fast	RR/Fast	RR/Fast

シングル・シャント構成

外付けシャント抵抗を1つだけ使用する場合は、連続した高精度の積算電荷計測および電力量計測をCH1を使用して実行できるのに対して、CH2を使用する目的は、アナログ・デバイセズのバッテリー・スタック・モニタと同期させて高速計測を実行することです。動作コントロール・レジスタ(OPCTRL)のCONTビットと高速コントロール・レジスタ(FACTRL)のFACH2ビットを設定することにより、CH1は連続した低速計測を実行するのに対して、CH2はADCVコマンドによってトリガされる高速計測に使用できます。CH1の計測結果とその積算量は100msごとに更新されるのに対して、CH2の結果はRDCVコマンドを使って読み出すことも、高速連続(FACONV)動作の場合はFIFOレジスタから取得することもできます。

デュアル・シャント高精度構成

中断のない連続した高精度のクーロン・カウントおよび電力量計測が必要なデュアル・シャント・アプリケーションでは、OPCTRLのCONTビットを設定することにより、CH1とCH2の両方を低速高精度モードに設定します。CH1とCH2の変換には100msかかり、CHAUXの新しいRRサイクルは、CH1の変換が開始されるたびに始まります。

高速の電圧データが必要な場合は、CH1およびCH2での電荷と電力量の累積を中断することなく高速モードに合わせてAUXADCを設定できます。FACONVビットとFACHAビットの設定後、AUXADCはRRモードを直ちに停止して、高速MUXコントロール・レジスタによって選択されている単一量を引き続き計測します。データはFIFOAUXに書き込まれます。FACHAビットのクリア後、AUXADCは自動的にRR動作に戻ります(300ms後)。VREF、内部ダイ温度、およびVCCの計測が可能なのは、RRを有効にしている場合に限られます。あるいは、V1~V12を外部に接続して、VREFと(外付け分圧器を介して)VCCを高速モードで計測することもできます。

デュアル・シャントによる高速計測構成

CH1とCH2は、ビットFACONV、FACH1、およびFACH2を設定することにより、両方とも高速モードに設定されます。電荷は15ビットの電流計測結果を合計することで累積され、電力量は11ビットの電力計測結果を合計することで累積されます。

1回の変換の所要時間は782 μ sであり、100msごとに新しいRRサイクルが始まります。この構成が適合するアプリケーションは、2本のシャント抵抗を使用して、電流、電圧、および電力が高速で要求されるアプリケーションです。例：インピーダンスの高速トラッキングや事前充電電圧および電流の計測。

電力計測

LTC2949は付加的なADCを使用して電力を測定します。このADCは、5.24MHzの最大サンプリング周波数で電圧(VBATP-VBATM)と電流を掛け、その後、A/D変換に起因する平均化を行います。これにより、100msの変換時間の間に電流と電圧が同相で変化した場合でも、精度が維持されます。この変化は、インピーダンスの大きなバッテリーから電力が供給された場合に発生する可能性があります。負荷によってAC電流が流れたときにバッテリーのインピーダンスが原因でBAT電圧が4Vから3Vに低下する例を図4に示します。この例では、平均電流と平均電圧を乗算することで、電力の計算値に+8%の誤差が生じていますが、これは、ピーク電流が流れた瞬間に、電圧が平均電圧より大幅に低下するからです。LTC2949が使用する方式では、この誤差が発生せず、最大50kHzの信号を使用して、規定の精度が維持されます。

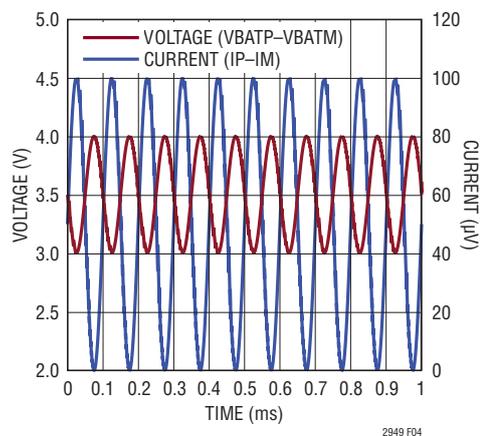


図4. 過渡信号の電力計測

動作

電荷、電力量、および時間

LTC2949は、電流と電力の計測値を一定の時間にわたって積算して、負荷に流れ込む電荷および電力量を計算します。また、積算に使用される全累積時間も常時監視します。

LTC2949は、電荷と電力量についてはそれぞれに3つのレジスタ・セットを用意しており、「時間」については4つのレジスタ・セットを用意しています。

Charge1、Energy1、およびTime1には、Channel1の累積量が入ります。Charge2、Energy2、およびTime2には、Channel2の累積量が入ります。Charge3とTime3には、Channel1とChannel2によってモニタされた電荷の合計と対応する時間が入ります。同様に、Energy4とTime4には、Channel1とChannel2によってモニタされた電力量の合計と対応する時間が入ります。詳細については、レジスタ・マップの説明の累積結果レジスタのセクションを参照してください。

各レジスタ・セットを個別に設定して、計測した電流の符号に基づいて電流と電力を累積できます。また、最小電流閾値を設定して、この値より電流が少なくなったら積算を停止することもできます。詳細については、レジスタ・マップの説明のコントロール・レジスタのセクションを参照してください。

タイム・ベース

電流と電力を積算することによって電荷と電力量を正確に計測するには、高精度の積算時間が必要です。LTC2949は、積算時間を決定するためのタイム・ベースとして、調整済みの内部発振器または外部クロックを使用します。周波数範囲が200kHz～25MHzの外部方形波クロックまたは4MHzの水晶発振器を外部クロック入力として使用できます。外部の方形波を使用する場合は、それをCLKIピンに接続し、CLKOピンは未接続のままにします。

図5に、水晶発振器を使用してリファレンス・クロックを発生する場合の推奨回路を示します。内部クロックを使用する場合は、CLKIをグラウンドに接続して、CLKOは未接続のままにします。

タイム・ベース・コントロール

LTC2949は、デフォルトでは内部発振器を使用します。外部クロックまたは水晶発振器を使用する場合は、タイム・ベース・コントロール・レジスタのPREパラメータとDIVパラメータを適切に設定する必要があります。その後、LTC2949は内部クロックを外部周波数と比較して、時間、電荷、および電力量を外部クロック周期の倍数として表します。広範囲の

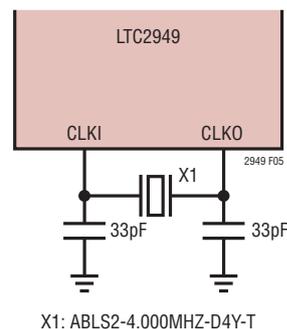


図5. 4MHzの水晶発振器を使用したリファレンス・クロック

許容外部周波数に対応するため、タイム・ベース・コントロール・レジスタによって内部プリスケアラを設定する必要があります。

プリスケアラは2段で構成されており、初段では外部周波数 f_{REF} を係数 2^{PRE} で分周し、2段目では係数DIVで分周します。PREは、タイム・ベース・コントロール・レジスタのビット[2:0]を使用して0～5の間に設定します。PREは、表2に示すように、 2^{PRE} で分周した外部周波数が1MHzより低くなるように設定します。

表2. パラメータPREと外部クロック

f_{REF}	PRE	2^{PRE}	PRE[2:0]
$0.1\text{MHz} \leq f_{REF} \leq 1\text{MHz}$	0	1	000
$1\text{MHz} \leq f_{REF} \leq 2\text{MHz}$	1	2	001
$2\text{MHz} \leq f_{REF} \leq 4\text{MHz}$	2	4	010
$4\text{MHz} \leq f_{REF} \leq 8\text{MHz}$	3	8	011
$8\text{MHz} \leq f_{REF} \leq 16\text{MHz}$	4	16	100
$16\text{MHz} \leq f_{REF} \leq 25\text{MHz}$	5	32	101
Internal	7		111

次に、プリスケアラの2段目で、初段の結果を係数DIVで分周します。DIVは、タイム・ベース・コントロール・レジスタのビット[7:3]により、0～31の間に設定します。DIVは、プリスケアラの初段の出力($f_{REF_1} = f_{REF}/2^{PRE}$)と32768Hzの間の比より小さく、比に最も近い整数値に設定します。つまり、次のようにします。

$$DIV = \text{floor}\left(\frac{f_{REF}}{2^{PRE} \cdot 32768\text{Hz}}\right)$$

水晶発振器を使用する場合、値はPRE = 2、DIV = 30となります。LTC2949のQuick Eval™ソフトウェアには、これらのパラメータの使いやすい計算プログラムが取められています。表3に、一般的な周波数の例をいくつか示します。

動作

表3. 一般的な周波数のタイム・ベース設定

f _{REF}	PRE	2 ^{PRE}	f _{REF_1} [MHz]	DIV	タイム・ベース・コントロール[7:0]
1	0	1	1	30	1111 0000
1.5	1	2	0.75	22	1011 0001
4	2	4	1	30	1111 0010
10	4	16	0.625	19	1001 1100
20	5	32	0.625	19	1001 1101
25	5	32	0.781	23	1011 1101
Int.	7			X	XXXX X111

過電流コンパレータ

LTC2949は、レールtoレールの入力同相範囲とプログラマブルな閾値を備えた2つの高速差動過電流コンパレータを内蔵しており、後段には入力グリッチを抑える構成可能フィルタが接続されています。過電流コンパレータ1 (OCC1)はピンI1PおよびI1Mに接続されているのに対して、過電流コンパレータ2 (OCC2)はI2PとI2Mの間の差動電圧を監視します。両方の過電流コンパレータを個別に構成して、正の過電流のみまたは負の過電流のみを検出するようにすることも、極性に関係なく過電流を検出するようにすることもできます。1つ以上の過電流コンパレータをイネーブルすると、GPO5はハートビート信号に変わって400kHzで切り替わる一方で、電流がその設定制限値を超えた場合、電流は目的の範囲内に収まり、ローのまま推移します。

I1PとI1Mの間にある過電流コンパレータ1 (OCC1)はコントロール・レジスタOCC1CTRLによって制御されるのに対して、過電流コンパレータ2 (OCC2)はOCC2CTRLでのコントロール・レジスタによって制御されます。どちらもレジスタ・マップのページ0にあります。OCCコントロール・レジスタは、両方とも表4に示すように整理されます。

表4. 過電流コンパレータのコントロール・レジスタ

ビット番号	名称	機能
0	OCCxEN	OCCをイネーブル
1	OCCxDAC0	DAC[0]の閾値
2	OCCxDAC1	DAC[1]の閾値
3	OCCxDAC2	DAC[2]の閾値
4	OCCxDGLT0	DGLT[0]のデグリッチ
5	OCCxDGLT1	DGLT[1]のデグリッチ
6	OCCxPOL0	POL[0]の極性
7	OCCxPOL1	POL[1]の極性

過電流コンパレータをイネーブルするには、それぞれのOCCxENを1に設定します。

OCCxPOLxビットは、表5に示すように、コンパレータの極性感度を制御します。

表5. OCCの極性設定

OCCxPOL1	OCCxPOL0	極性
0	0	Both Polarities
0	1	Positive Currents
1	0	Negative Currents

過電流コンパレータの閾値は、0~310mVの範囲のOCCxDACxビットによって個別にプログラムできます。

表6. OCCの閾値

OCCxDAC2	OCCxDAC1	OCCxDAC0	閾値 [mV]
0	0	0	0
0	0	1	26
0	1	0	52
0	1	1	78
1	0	0	103
1	0	1	155
1	1	0	207
1	1	1	310

同様に、コンパレータによって報告されない閾値超過の時間(デグリッチ時間)を、20μs~1.28msの範囲のOCCxDGLTxビットによってプログラムできます。

表7. OCCのデグリッチ時間

OCCxDGLT1	OCCxDGLT0	デグリッチ時間 [μs]
0	0	20
0	1	80
1	0	320
1	1	1280

過電流が報告されるようにするには、VCCおよびOCCステータス・レジスタ(STATVCC)のOCC1およびOCC2を設定して、GPO5のハートビート信号を停止します。出力レジスタを更新するには最大で100msかかるのに対して、ハートビートは過電流が設定済みデグリッチ時間を超えてから15μs以内に停止します。いったん過電流が発生すると、レジスタ内の結果ビットはホストによって読み出されるまで設定されたままであり、その後クリアされます。

診断のため、過電流コンパレータには、テスト入力信号IPTおよびIMTを使用するセルフテストが組み込まれています。詳細については、『Safety Manual』を参照してください。

シリアル・インターフェース

シリアル・インターフェースの概要

LTC2949には2つのシリアル・インターフェースがあり、1つはホストとの通信用であり、もう1つは外部EEPROMのアドレス指定用です。ホスト通信用のインターフェースはピン27～30から成り、IOVCCピンの電圧に応じて標準の4線シリアル・ペリフェラル・インターフェース(SPI)または2線絶縁型インターフェース(isoSPI)のいずれかに構成できます。どちらの構成を選択したかに関係なく、LTC2949はSPIスレーブとして動作します。LTC2949はアドレス指定可能モードで動作することも(SPIおよびisoSPI)、LTC68xxセル・モニタのデイズチェーンの最後の素子として動作することもできます(isoSPIのみ)。

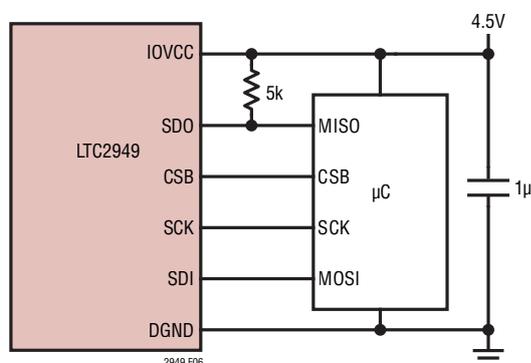


図6. 4線SPIの外部接続

ピン14および15から成る2番目のインターフェースはマスタのI²Cインターフェースなので、LTC2949のレジスタの内容を外部のEEPROMに保存したり、逆にEEPROMからレジスタに内容を戻すことができます。詳細については、外部EEPROMコントロール・レジスタのセクションを参照してください。

4線シリアル・ペリフェラル・インターフェース(SPI)の物理層

IOVCCピンを1.8V以上の電源電圧に接続すると、4線SPIのシリアル・ポートを設定できます。ロジック入力の閾値と出力振幅は、IOVCCピンの電圧で設定します。このピンはSPIマスタ・デバイスと同じ電源に接続してください。IOVCCとDGNDの間に1μFのバイパス・コンデンサを接続することを推奨します。SDIピンはよくMOSIと呼ばれ、SDOピンはMISOと呼ばれます。4線シリアル・ポートは、CPHA = 1およびCPOL = 1を使うSPIシステムで動作するように構成されています。したがって、SDIのデータは、SCKの立上がりエッジの間安定している必要があり、SDOのデータは、SCKの立下がりエッジで更新されます。このタイミングを図7に示します。最大データレートは1Mbpsです。電気的特性を参照してください。SDOはオープンドレインであり、プルアップが必要です。

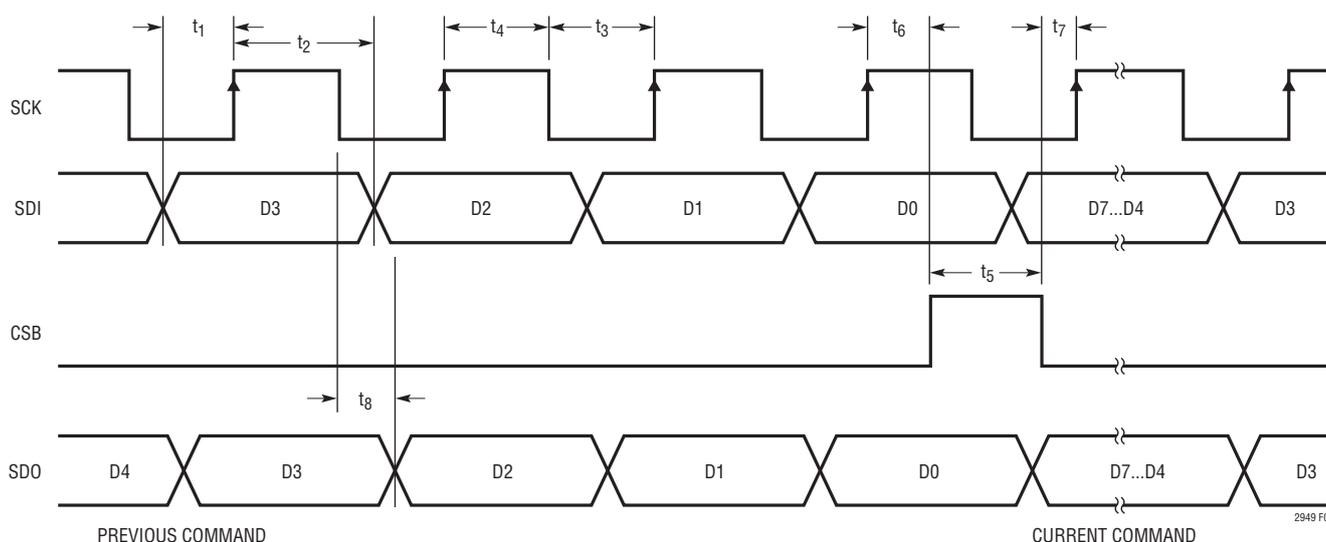


図7. 4線シリアル・ペリフェラル・インターフェースのタイミング図

シリアル・インターフェース

できます。図9は、isoSPI回路の動作を示しています。IBIASピンは2Vリファレンスによって駆動します。外付け抵抗 R_{B1} および R_{B2} によって、リファレンス電流 I_B が流れます。この電流は、トランスミッタのドライブ強度を設定します。また、 R_{B1} と R_{B2} は、ICMPピンで2Vリファレンスの分圧器を形成しています。これがレシーバー回路の閾値電圧を設定します。

isoSPIポートのウェイクアップ

isoSPIステートの説明のセクションで説明したように、isoSPIポートには3つの動作モード(IDLE、READY、ACTIVE)があります。IDLEモードでは、WAKEUP回路がIPピンおよびIMピンでの動作をモニタします。IP-IM間に差動動作が発生すると、isoSPIインターフェースがウェイクアップします。 t_{IDLE} の時間内にIP/IMに動作が発生しなかった場合、isoSPIポートは低消費電力のIDLEステートに戻ります。図3に示すように、コアがSLEEPステートにならず、(ウェイクアップ後 t_{READY} 以内に) isoSPIステートがREADYに変わると、LTC2949は通信できる状態になります。同相信号はシリアル・インターフェースをウェイクアップしません。このインターフェースは、大信号のシングルエンド・パルスまたは低振幅の対称パルスを受信した後にウェイクアップするよう設計されています。差動信号 $|IP - IM|$ は、シリアル・インターフェースを起動するウェイクアップ信号として有効になるために、 $t_{DWELL} = 240ns$ の最小持続時間の間、 $V_{WAKE} = 200mV$ 以上である必要があります。

LTC6820や互換性のあるisoSPIデバイス(例:LTC68xxセル・モニタ)が生成した「Long -1」パルスまたは「Long +1」パルス(CSBをロー、ハイに駆動)は、この条件を必ず満たします。isoSPIパルスの詳細については、以下の章を参照してください。

バイアス抵抗の選択

調整可能な信号の振幅により、システムは消費電力の見返りに通信の堅牢性を得られます。また、調整可能なコンパレータの閾値により、システムは信号損失を考慮に入れることができます。isoSPIトランスミッタの駆動電流とコンパレータの電圧閾値は、IBIASとDGNDの間の抵抗分圧器($R_{BIAS} = R_{B1} + R_{B2}$)によって設定されます。分割された電圧(V_{ICMP})はICMPピンに接続され、コンパレータの閾値がこの電圧(V_{ICMP})の半分に設定されます。isoSPIインター

フェースが(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流 I_B がIBIASピンから流れ出します。IPおよびIMピンの駆動電流は $20 \cdot I_B$ です。

例えば、分圧器の抵抗 R_{B1} が2.8k、抵抗 R_{B2} が1.21k(したがって、 $R_{BIAS} = 4k$)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 0.5mA$$

$$I_{DRV} = I_{IP} = I_{IM} = 20 \cdot I_B = 10mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 603mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 302mV$$

この例では、パルス駆動電流 I_{DRV} は10mAになり、レシーバーのコンパレータは、IP-IM間の振幅が $\pm 302mV$ より大きいパルスを検出します。絶縁障壁として1:1のトランスを使用し、ツイスト・ペア・ケーブルで接続されて両端が 100Ω の抵抗で終端される場合、送信差動信号の振幅(\pm)は、次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 0.5V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています)。

isoSPIパルスの詳細

トランスミッタが出力できるのは、3つの電圧レベル(+ V_A 、0V、および- V_A)です。正の出力は、負荷抵抗 R_M の両端のIPソース電流とIMシンク電流によって得られます。負の電圧は、IPシンク電流とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力は強制的に0Vになります。DC信号成分を除去して信頼性を向上させるために、isoSPIは2種類のパルス長がある双極性パルスを使用します。これにより、表8に示すように、4種類のパルスを送信できます。A+1パルスは正のパルスとして送信され、その次に負のパルスが送信されます。A-1パルスは負のパルスとして送信され、その次に正のパルスが送信されます。各パルスの期間は、必要な対称対の半分であるため、 $t_{1/2PW}$ として定義されます(isoSPIパルスの全持続時間は $2 \cdot t_{1/2PW}$ です)。

シリアル・インターフェース

表 8. isoSPIパルスの種類

パルスの種類	1番目のレベル ($t_{1/2PW}$)	2番目のレベル ($t_{1/2PW}$)	最終レベル
Long +1	+V _A (150ns)	-V _A (150ns)	0V
Long -1	-V _A (150ns)	+V _A (150ns)	0V
Short +1	+V _A (50ns)	-V _A (50ns)	0V
Short -1	-V _A (50ns)	+V _A (50ns)	0V

マイクロコントローラのSPI信号をisoSPIパルスに変換するには、LTC6820を使用します。絶縁障壁のもう一方の側(つまり、ケーブルの他端)では、LTC2949のIOVCCがその近くのGNDに接続されます。デバイスは送信されたパルスを受信し、表9に示すように内部でSPI信号を再構築します。更に、このポートはREADコマンドの実行時にリターン・データ・パルスを送信できますが、このデータ・パルスは、受信したパルスの t_{RTN} 後に送信されます。LTC2949のisoSPIポートはスレーブ・ポートであり、送信するのはShort -1パルスのみで、長いCSBパルスもShort +1パルスも送信しません。マスタ・ポートは、ヌル応答をロジック1として認識します(このため、読出しコマンドに対して応答がないことは、MISOラインに読出し専用の0xFF...があることに等しく、やはりPECエラーの原因になります。データ・リンク層とそれ以降の章を

参照してください)。これにより、1本のケーブルに複数のスレーブ・デバイスを接続しても、衝突が発生するリスクはありません(マルチドロップ)。READコマンドのisoSPIタイミング図を図11に示します。

表 9. LTC2949のisoSPIポートの機能

受信パルス	SPIポートの内部動作	リターン・パルス
Long +1	Drive CSB High	None
Long -1	Drive CSB Low	
Short +1	1.Set SDI = 1 2.Pulse SCK	Short -1 Pulse if Reading a 0-bit
Short -1	1.Set SDI = 0 2.Pulse SCK	(No Return Pulse if Not in READ Mode or if Reading a 1-bit)

サポートされているバス構造

LTC2949とLTC68xx-2セル・モニタのアドレス指定機能を使用すると、複数のアドレスを持つ複数のデバイスをマルチドロップ接続することにより、1つのバス上で接続できます。マルチドロップ接続は、SPIでもisoSPIでも使用できます(図12(A)参照)。LTC2949は、LTC68xxセル・モニタのデিজィチェーンと並列にも動作し、またデিজィチェーンの最後の素子としても動作します(図12(B)および(C)参照)。

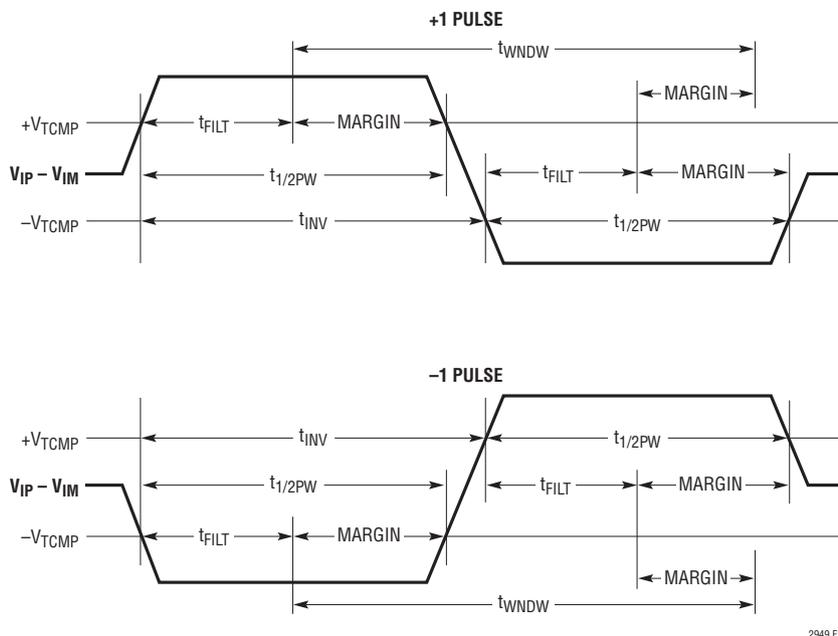


図 10. isoSPIパルスの詳細

2949 F10

シリアル・インターフェース

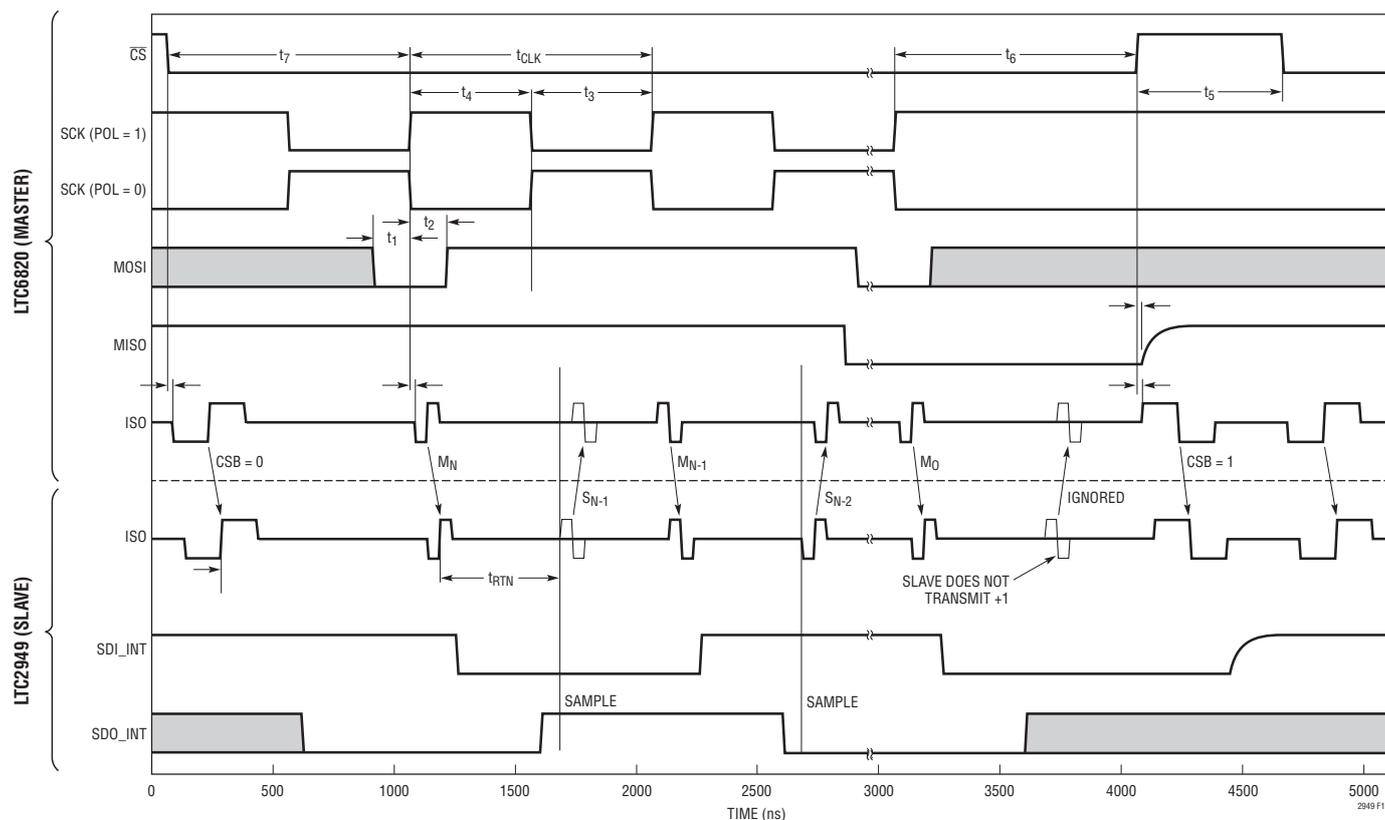


図 11. isoSPIのタイミング図

アドレス指定可能/マルチドロップ・バス構成での LTC2949

SPIモードではLTC2949をマスタに直接接続できますが、isoSPIモードではLTC6820を介して接続します。LTC68xxセル・モニタと連動させる場合は、LTC2949をマルチドロップ・バス構成で使用し、機能セットを最大限に活用して通信オーバーヘッドを最小限に抑えることを推奨します。LTC2949は、同じSPI/isoSPIバスで他のLTC68xxセル・モニタと連動できます(図12(A)、(B))。LTC2949はアドレス0xFに応答します。このアドレスはハードウェアに組み込まれており、変更できません。したがって、同じバス上にある他のLTC68xxセル・モニタを別のアドレスにピンで構成する必要があります。1つのバス上にある全てのデバイスに同時に書き込むには、ブロードキャスト・コマンドを発行します。この機能は、LTC2949とLTC68xxセル・モニタの同期A/D変換に役立ちます。共通のSDOピンはオープンドレインであり、プルアップが必要です。

可逆的なisoSPIリングに接続されたLTC2949

LTC2949は、可逆的なisoSPIリングの一方の端に接続できます。この場合は、LTC2949へのデフォルトの通信を直接のコマンドで行います。これはLTC2949をデジチェーンと並列に接続する場合と同等です。左側のLTC6820とLTC2949の間の直接リンクが動作しない場合は、LTC2949への通信を右側のLTC6820を経由しデジチェーンを通じて実行できます。これはLTC2949をデジチェーンの最上位に接続する場合と同等です。

デジチェーンの最上位にあるLTC2949

LTC2949は、そのアドレス指定機能を使用することにより、isoSPIモードまたは通常のSPIモードでLTC68xxセル・モニタのデジチェーンと並列に動作させることを推奨します。これは、通信オーバーヘッドが最小になるモードです。ただし、デジチェーンの最後の素子としての動作もサポートされています。

シリアル・インターフェース

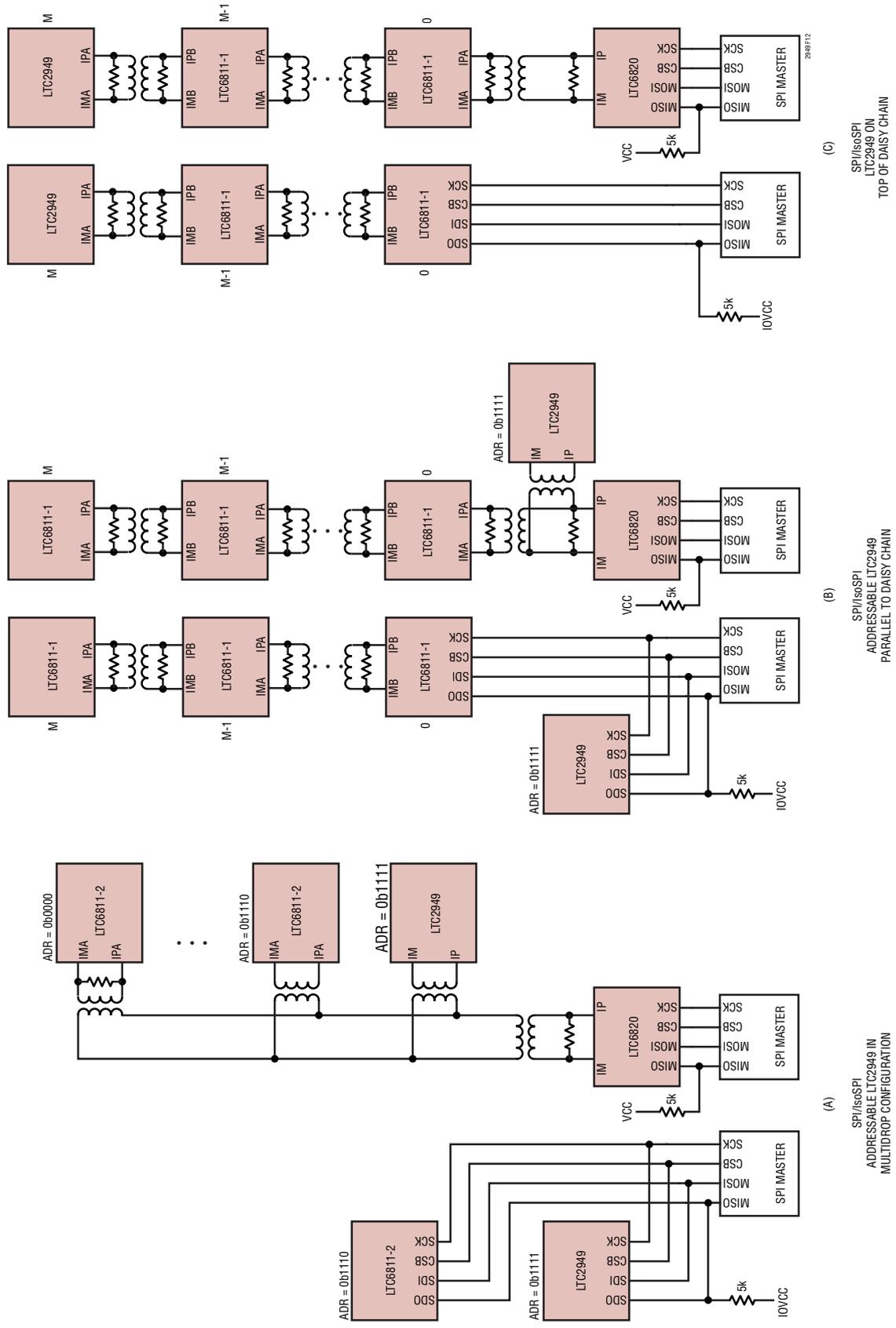


図 12. サポートされているバス構造。LTC6811 は、LTC2949 との連携動作がサポートされている全セル・モニタ・ファミリ LTC681x、ADBMS68xx の一例としてここに示しています。

シリアル・インターフェース

LTC2949にはisoSPIポートが1つしかないので、デジチェーンの最後(M番目)の素子として配置する必要があります。0番目の素子は、ポートAを介してマスタと通信します。ポートAは、ISOMODピンの接続に応じてisoSPIモードまたは通常のSPIモードとして設定できます。0番目の素子は、isoSPIを使用して、ポートBを介してデジチェーンの1番目の素子と接続します。それ以降の素子も以下同様に次の素子と接続します。LTC68xxセル・モニタがポートAをSPIとして(ISOMD = V-)動作する場合、SPIは4つの通信イベント(CSBの立下がり、CSBの立上がり、SDI = 0でのSCKの立上がり、およびSDI = 1でのSCKの立上がり)のいずれか1つを検出します。各イベントは4種類のパルスのいずれかに変換され、デジチェーンを介して送信されます。表8で説明されているように、CSBの変化を送信する場合は長いパルスが使用され、データを送信する場合は短いパルスが使用されます。両方のポートがisoSPIモードで動作している場合は、ポートAのisoSPIパルスがポートBに渡されるときに遅延時間が短くて済みます。

データ・リンク層

LTC2949では、全てのデータがバイト・グループ単位で伝送されます。全てのバイトは、8ビットで構成されます。各バイトは、最上位ビット(MSB)を先頭にして送信されます。CSBは、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、ローのままである必要があります。書き込みコマンドが有効になるのは、正しいPECが処理された後です。

ネットワーク層

LTC2949のレジスタは、書き込み対象または読み出し対象のレジスタに続いてレジスタ・データを記述した直接読み出し／書き込みコマンド(DCMD)で読書きできます。次のセクション直接読み出し／書き込みコマンド(DCMD)を参照してください。DCMDの他に、LTC2949はLTC68xxセル・モニタ互換コマンドADCVおよびRDCVをサポートしています。

LTC2949がisoSPIデジチェーンの最後の素子である場合は、DCMDを使用してLTC2949に書き込むことができますが、LTC2949からデータを読み出すことはできません。DCMDは他のLTC68xxセル・モニタによってサポートされていないため、これらのセル・モニタはポートBからポートAにデータを渡さないからです。したがって、RDCVコマンドを使用して、デジチェーンの素子としてのLTC2949からデータを読み出す必要があります。RDCVコマンドによって読み出すLTC2949のレジスタは、直前のDCMDによって設定できます。

表10に、LTC2949との通信手段をまとめています。

表10. LTC2949との通信

	デジチェーンと並列またはLTC2949単独	デジチェーンの最上位にあるLTC2949
Read of Registers	DCMD	Broadcast RDCV (RDCVCONF = 0, BCREN = 1)
Write of Registers	DCMD	
Trigger of Fast ADC Conversion	Addressed ADCV Broadcast ADCV	
Read of Fast Conversion Results	Addressed RDCV (RDCVCONF = 1, BCREN = 0)	Broadcast RDCV (RDCVCONF = 1, BCREN = 1)

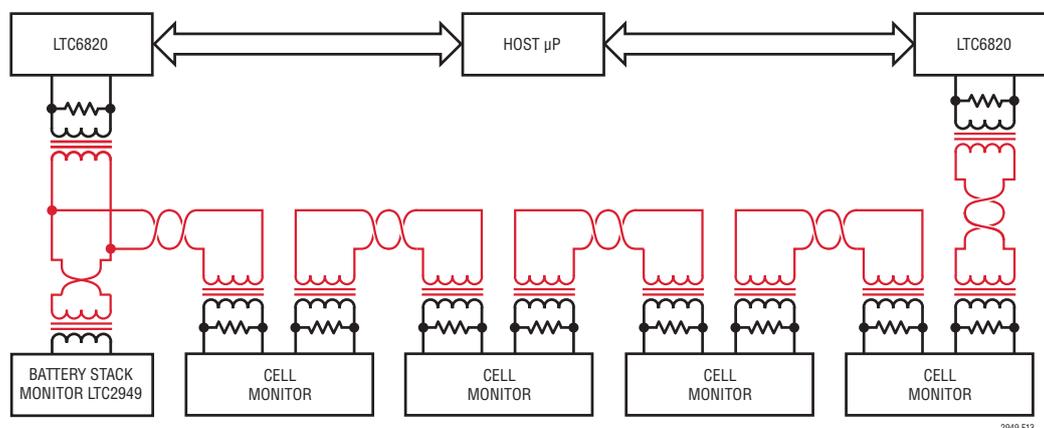


図13. 可逆的な isoSPI リングに接続された LTC2949

シリアル・インターフェース

高速計測のタイミング

以下のタイミング図に、ADCVコマンドで6セル全部を計測する場合のLTC6810のタイミングに対するLTC2949 高速シングル・ショットのタイミングを示します。他のLTC681xセル・モニタのタイミング図も同様であり、異なるのはADCとセルの数だけです。LTC681x デバイスには、フィルタの帯域幅と精度が異なるADCモードがいくつかあります。一般に、7kHzの通常動作モードでは、公称で782μsであるLTC2949の高速変換時間に非常に近い時間枠の範囲内で全てのセルが変換されます。例えば、LTC6810は、通常動作モードでは全てのセルを815μs以内に交換します。

一例として、高速変換では、LTC2949の最大4つのADCのうち設定されるのは3つ (I2、BAT、AUX) だけです。表示されているタイミングは、高速チャンネルの許容される任意の組み合わせに対して有効です。

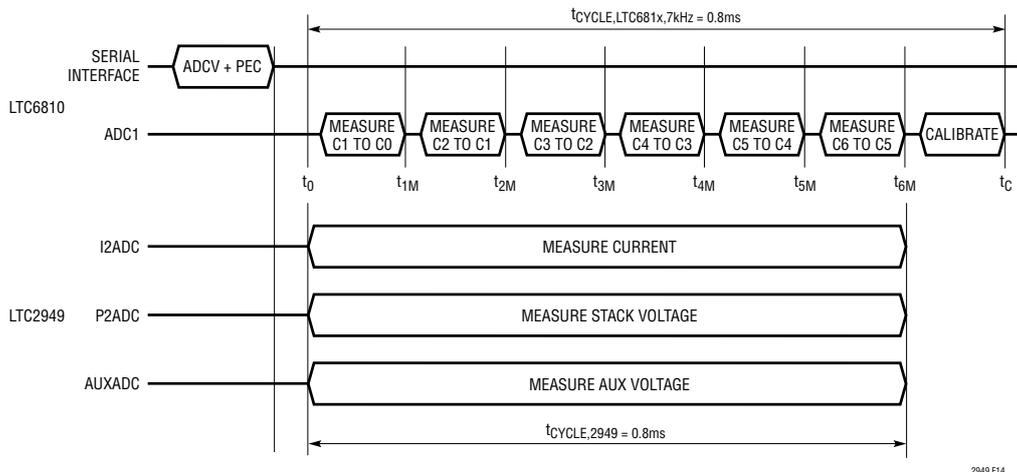


図 14. セル電圧とLTC2949の電流入力および電圧入力を計測するADCVコマンドのタイミング

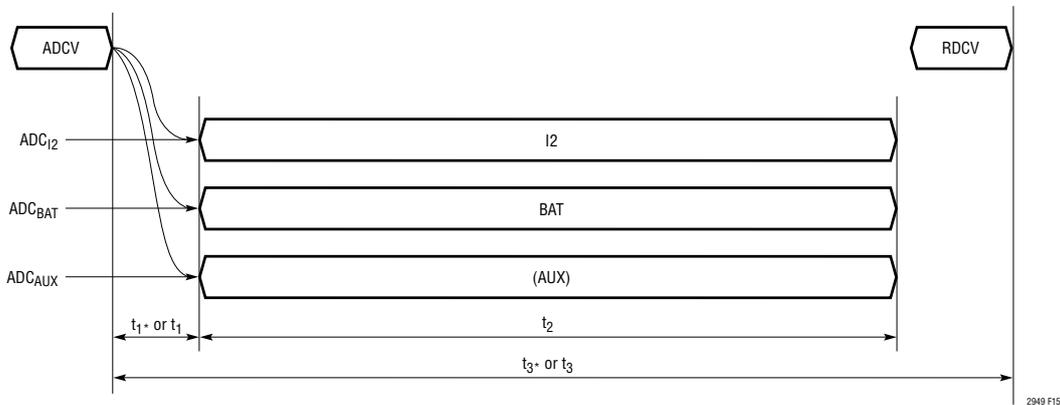


図 15. 電流入力および電圧入力を計測するLTC2949のADCVコマンドのタイミング

説明	パラメータ	値/許容値
ADVCの最後のPECバイトから変換の開始までの遅延、AUX変換なし	t ₁	6 to 8 μs
ADVCの最後のPECバイトから変換の開始までの遅延、AUX変換あり	t ₁ *	6 to 170 μs
変換時間	t ₂	742 to 821 μs
ADVCの最後のPECバイトからHS = 0x0F (変換結果の準備完了を示すRDCVによるハンドシェイク・バイトの読出し、後述の注記を参照)まで、AUXなし	t ₃	855 to 945 μs
ADVCの最後のPECバイトからHS = 0x0F (変換結果の準備完了を示すRDCVによるハンドシェイク・バイトの読出し、後述の注記を参照)まで、AUXあり	t ₃ *	855 to 1260 μs

シリアル・インターフェース

注記：RDCV データの先頭の HS バイトが 0x0F である場合、まったく同じデータ・セットの変換結果は既に有効です。RDCV データの先頭の HS バイトが 0x00 である場合、まったく同じデータ・セットの変換結果は無効です。更新後の変換結果を確認するには、RDCV を新たに発行する必要があります。RDCV データの先頭の HS バイトが 0x00 である場合、ホストは先頭の HS バイトが 0x0F に変わるまで HS バイトを読み出し続けることができます。次の RDCV コマンドでは確かに有効な変換結果が得られますが、それでも、まったく同じデータ・セットの HS バイトは 0x00 になります。これは、そのバイトが直前の RDCV で 0x0F と読み出された後であり、内部では既にクリアされていたからです。

次の図に、LTC2949 の高速連続変換のタイミングの詳細を示します。高速連続動作は、レジスタ FACTRL 内で、FACONV ビットと 1 つ以上のチャンネル・ビット (CH1、CH2、AUX) を設定する直接書込みコマンドによって始動します。

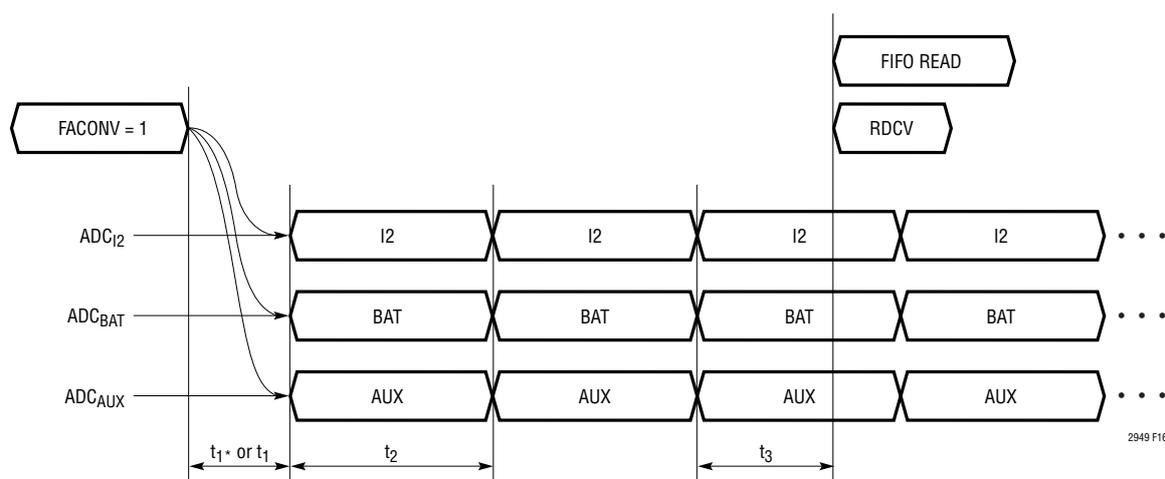


図 16. LTC2949 の電流と電圧の高速連続計測のタイミング

説明	パラメータ	値/許容値
直接の書込みの最後の PEC バイトから変換の開始までの遅延、AUX 変換なし	t_1	6 to 8 μs
直接の書込みの最後の PEC バイトから変換の開始までの遅延、AUX 変換あり	t_1^*	6 to 170 μs
変換時間	t_2	742 to 821 μs
任意のサンプルの変換の開始から HS = 0x0F (変換結果の準備完了を示す RDCV によるハンドシェイク・バイトの読出し) まで、または FIFO 読出し動作によってサンプルが供給されるまで	t_3	0 to 315 μs

シリアル・インターフェース

AUXの高速計測

高速連続モード(FCM)での計測中は、AUXのMUX構成を変更することはできません。FAMUXP、FAMUXNはいつでも書込みが可能で、常に同じ値を読み出すことができますが、新たな高速変換要求を受信すると、内部のMUXは要求された構成に限って設定されます。これは高速シングル・ショット(FSSHT)の場合はADCVコマンドであり、FCM計測の場合はFACONVビットの0から1への遷移です。

FCMを終了する場合(FACONV = 0)は、ホストが最後の変換が完了するのを待ってから、新しい高速変換をトリガする必要があります。このためには、1.26ms以上待ちます。

両方のチャンネルを高速に設定する場合は、FCMが有効な状態を128サンプル以上維持するか、FSSHT計測が100ms以上抑制されるようにする必要があります。128サンプル処理後ごとに、または100ms経過後ごとに限り、低速チャンネルのレジスタ(STATUS、FAULTS、EXTFAULTSなど)が更新されます。FACONVを定期的に有効化および無効化するか、FSSHT計測を繰り返し実行することが必要なアプリ

ケーションでは、CH1を低速モードに設定し、CH2を高速モードに設定することを推奨します。これにより、低速チャンネルが定期的に更新されるようになります。

AUXの高速ラウンドロビン計測

FSSHT計測は、様々な入力AUX MUXを介して高い更新レート(100msより短時間)で必要なアプリケーションで使用されます。オプションとして、FSSHT計測をFCM期間に組み込んで、その間に1つのMUX入力を続けて変換できます。FCM期間の変換結果は、FIFOレジスタまたはRDCVを使用して読み出すことができます。変換結果はFIFOからいつ読み出してもかまいません。それでも、FSSHTトリガ・コマンド(CONT = 1かつFACTRLがゼロ以外のときのADCV)を実行すると、FIFOは全てクリアされます。

次の表に、FCM期間に割り込む連続4回のFSSHT計測の例を示します。FSSHT計測のみが必要な場合、CONT0、CONT1の行は省略できます。

名称	MOSI / MISO	説明
CONT0	MOSI:FEF5EB50400EE4C6 MISO:XXXXXXXXXXXXXXXXXX	FACTRLに書き込んでFCMを無効にする(FACONV = 0)
MUX0	MOSI:FEF3C7984500013D6E MISO:XXXXXXXXXXXXXXXXXX	2バイトをFAMUXNに書き込んでV1とGND(NTC)のいずれかを選択する
ADCV	MOSI:FB60FADE MISO:XXXXXXXXXX	ADCVにより変換をトリガする
RDCV	MOSI:F8040970FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF MISO:XXXXXXXXX010000000000FE4AE8180F0F0F0FC602	RDCVにより変換結果を読み出す
MUX1	MOSI:FEF3C798450016C1BA MISO:XXXXXXXXXXXXXXXXXX	2バイトをFAMUXNに書き込んでVREF2とGNDのいずれかを選択する
ADCV	MOSI:FB60FADE MISO:XXXXXXXXXX	ADCVにより変換をトリガする
RDCV	MOSI:F8040970FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF MISO:XXXXXXXXX000000000000C212610F0F0F0F76B6	RDCVにより変換結果を読み出す
MUX2	MOSI:FEF3C7984517007512 MISO:XXXXXXXXXXXXXXXXXX	2バイトをFAMUXNに書き込んでGNDとVREF2_250kのいずれかを選択する
ADCV	MOSI:FB60FADE MISO:XXXXXXXXXX	ADCVにより変換をトリガする
RDCV	MOSI:F8040970FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF MISO:XXXXXXXXX000000000000C212E7180F0F0F0F1A78	RDCVにより変換結果を読み出す

シリアル・インターフェース

名称	MOSI / MISO	説明
MUX3	MOSI:FEF3C7984500174A88 MISO:XXXXXXXXXXXXXXXXXX	2バイトをFAMUXNに書き込んでVREF2_250kとGNDのいずれかを選択する
ADCV	MOSI:FB60FADE MISO:XXXXXXXX	ADCVにより変換をトリガする
RDCV	MOSI:F8040970FFFFFFFFFFFFFFFFFFFFFFFFFFFFF MISO:XXXXXXXX00000000000000C2121AE70F0F0F0F7C26	RDCVにより変換結果を読み出す
MUXCONT	MOSI:FEF3C79845111294A6 MISO:XXXXXXXXXXXXXXXXXX	2バイトをFAMUXNに書き込んでCF2PとCF2Mのいずれかを選択する (FCMの間に断線チェックを実行するために必要)
CONT1	MOSI:FEF5EB50400F6FF4 MISO:XXXXXXXXXXXXXXXXXX	FACTRLに書き込んでFCMを有効にする (FACONV = 1)

Note 1: MISOのデータは一例として示したにすぎず、実際のデータは変わる可能性がある。「X」はドント・ケア・データを示す。

Note 2: 変換結果の有効な読出しを確保するため、ADCVとRDCVの間には1.26ms以上の遅延が必須。

Note 3: 前述のMUX設定では、1つの外部ピン電圧をV1またはGNDに変換して、内部のVREF2を3つの異なる方法で変換する。この例を調整して、必要な任意のMUX構成に拡張できる。

シリアル・インターフェース

直接読出し／書込みコマンド (DCMD)

LTC2949の完全なレジスタ・マップにアクセスするため、他のLTC68xxセル・モニタが使用しない特殊な直接コマンド (DCMD) が用意されています。DCMDでは、LTC2949のレジスタ・マップとの間で任意のバイト数の読出し／書込みが可能です。LTC2949は、そのアドレス・ポインタを各データ・バイト後に自動インクリメントするので、複数のレジスタを1回のトランザクションの一部として書き込むか、または読み出すことができます。1バイトから16バイトまでのデータ・パケットの間に、2バイトのデータPECがインターリーブしています。PECなしで書き込まれたデータ・パケットは破棄されます。読出しコマンドはどのバイトでも停止できます。

表 11. 直接読出し／書込みコマンドのフォーマット

バイト	0	1	2	3	4	5	...	N+4	N+5	N+6	N+7	...	2N+6	2N+7	2N+8	...	
R/W	Master to slave (MOSI)					Write commands: Master to slave (MOSI) Read commands: Slave to master (MISO)											
Name	DCMD	RADDR	PECC0	PEC1	ID	DATA ₀	...	DATA _{N-1}	PECC0	PEC1	DATA _N	...	DATA _{2N-1}	PECC0	PEC1	...	

IDバイトは読出しコマンドと書込みコマンドを区別するために使用され、PEC当たりのデータ・バイト数(上表のパラメータN)を定義します。IDバイトはPECの一部ではありません。代わりに、冗長ビットとエラー・チェック・ビットによる固有の誤り検出機能を備えています。詳細については、以下の表を参照してください。

表 12. バイトID[7:0]のビット定義

ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
RW	NOT RW	PECC[3] XOR PECC[2]	PECC[3]	PECC[2]	PECC[1] XOR PECC[0]	PECC[1]	PECC[0]

表 13. ID[7:0]バイトのフォーマットの説明

名称	説明
RW	ID[7] = RWとは、読出し (RW=1) または書込み (RW=0) コマンドを意味します。安全なデータ転送のため、ID[6]に冗長性が追加されています。それは、RWの逆 (NOT RW、読出しが0で書込みが1の意味) です。
PECC[3:0]	PEC Configureは、PECが送信された後のデータ・バイト数を決定します。データ・バイト数は、DECIMAL(PECC[3:0])+1 (前出の表のパラメータN) です。PECCの許容値は、0~15 (PEC当たり1~16データ・バイト) です。ID[5] (= PECC[3] XOR PECC[2]) およびID[2] (= PECC[1] XOR PECC[0]) は安全なデータ転送のためのエラー・チェック・ビットです。

表 14. 直接読出し／書込みコマンドのフォーマットの詳細

名称	説明
DCMD[7:0]	直接コマンド。これは値0xFEに固定されています。
RADDR[7:0]	データの読出し元またはデータの書込み先となる開始レジスタのアドレス。
PECC _{0,1}	パケット・エラー・コード・バイトのPECC0およびPEC1には、右側に0が埋められるCAN BUS CRC15に従って15ビットのCRCが保持されます (表22書込み／読出しPECのフォーマットを参照)。バイト2~3のPECは、CCMDおよびRADDRに基づいて計算されます。それ以降の全てのPECは、直前のMデータ・バイトに基づいて計算されます。PEC当たりのデータ・バイト数はIDバイトで定義されますが、これはPECの一部ではありません。以下を参照してください。 読出しコマンドの場合、MOSIラインはドント・ケアであり、スレーブはそのMISOラインでデータPECを送信し、マスタはそのデータPECを、受信したデータを基に計算したPECと比較する必要があります。両方のPECが一致している読出しコマンドは、正常に実行されています。書込みコマンドの場合、マスタはそのMOSIラインでPECを送信する必要があり、LTC2949は受信したPECを内部計算したPECと比較します。PECが一致しなかった場合はデータが破棄され、FAULTSレジスタの外部通信PECエラー (EXTCOMMERR) フラグが立ちます。
DATA _x	データ・バイトはLTC2949のレジスタ・マップに送信されるか、レジスタ・マップから読み出されます。開始アドレスはRADDRによって与えられ、データ・バイトごとに自動インクリメントされます。

シリアル・インターフェース

LTC68xx セル・モニタと互換性のあるコマンド (RDCV、ADCV)

LTC2949は、LTC68xx セル・モニタと互換性のあるRDCVおよびADCV形式のいくつかのコマンドをサポートしています。RDCVA～RDCVF、RDAUXA～RDAUXD、RDCFGA、RDCFGB (本書では全てRDCVコマンドと呼ばれる)、ADCV、ADOW、ADOL、ADAX、ADAXD、ADCVAX、およびADCVSC (本書では全てADCVコマンドと呼ばれる)は、ブロードキャスト・コマンドおよびアドレス指定コマンドとしてサポートされます。アドレス指定コマンドは、LTC2949に限定してアドレスを指定するために使用されます。LTC2949とLTC68xxセル・モニタでの動作を同時にトリガするには、ブロードキャスト・コマンドを使用します。これは、例えば複数のデバイスのA/D変換を同時に開始する場合に便利です。LTC2949がデジタイザチェーンと並列に接続されているか、またはデジタイザチェーンの最上位にあるかに関係なく、アドレス指定ADCVコマンドはLTC2949のみを対象に計測をトリガすることが可能であり、ブロードキャストADCVコマンドはSPI/isoSPIバスに接続されている全てのデバイスを対象に同期A/D変換を実行できます。変換が始まるのは、全てのデバイスのPECが終了するときです。

LTC2949がデジタイザチェーンと並列に接続されている場合は、直接読み出しコマンド(DCMD)を使用してレジスタのデータを読み出し、更にアドレス指定RDCVコマンド(RDCVCONF=1を記述)を使用して高速変換の最終結果を読み出す必要があります。LTC2949をデジタイザチェーンの最上位に接続している場合は、REGSCTRLとRDCVCONFの設定に応じて、ブロードキャストRDCVコマンドを使用してレジスタのデータを読み出す(RDCVCONF=0)か、高速変換の最終結果を読み出す(RDCVCONF=1)必要があります。LTC2949のレジスタ・マップへの書き込みは、バスのトポロジに関係なく、必ず直接書き込みコマンド(DCMD)によって実行されます。考えられる全ての通信のシナリオのまとめについては、表10(LTC2949との通信)を参照してください。

LTC2949がADCVコマンドにตอบสนองするには、予め低速連続計測モード(OPCTRLのCONTビット)で動作していて、高速コントロール・レジスタ(FACTRL)を介して1つ以上の高速計測チャンネルを選択しておく必要があります。また、オプションとして、いずれか一方の電力ADC(電圧モードでのP1またはP2)を介して高速BAT変換も行うには、ADC設定レジスタ(ADCCONF)のP1ASVまたはP2ASVあるいはその両方を設定する必要があります。LTC2949が高速連続モード(FACONV=1)で動作している場合は、全てのADCVコマンドが無視され、取得したサンプルはFIFOレジスタ(FIFOI1、

FIFOI2、FIOBAT、FIOAUX)から読み出すことができます。それにもかかわらず、このモードであっても、RDCV(RDCVCONF=1)によって高速変換の最終結果を読み出すことは可能です。高速連続モードを無効(FACONV=0)にした場合は、どのADCVコマンドも全てのFIFOをクリアします。必要な場合は、FACONVをクリアするときに、FIFO内にあるサンプルを読み出してからADCVコマンドを送信してください。

LTC2949がデジタイザチェーンの最上位にある構成では、ブロードキャストRDCVコマンドの後に、スタック接続のLTC68xxセル・モニタがカスケード接続のシフト・レジスタになり、データが各デバイスを通して、スタック内の次のデバイスにシフトされます。この想定では、LTC2949がRDCVコマンドにตอบสนองするのは、レジスタ・コントロール・レジスタ(REGSCTRL)のブロードキャスト読み出しイネーブル・ビット(BCREN)を設定した場合だけです。

LTC2949をLTC68xxセル・モニタのデジタイザチェーンと並列に配置する構成では、BCRENビットをクリア(デフォルト)してバスの衝突を回避する必要があります。それでも、RDCVCONFビットが設定されている場合は、BCRENが設定されているかどうかに関係なく、ブロードキャストRDCVによってLTC2949の内部HSバイト(以下を参照)がクリアされることがあります。このため、LTC2949の高速変換結果を先に読み出してからLTC68xxセル・モニタからの読み出しを実行することを推奨します。あるいは、ソフトウェアのタイミング上の理由で、LTC68xxセル・モニタから先に読み出す必要がある場合は、RDCVCONFビットを先にクリアする必要があります(LTC2949から高速変換データを読み出すため、このビットは後でもう一度設定する必要があります)。

高速変換の最終結果は、RDCVコマンドによって読み出すことが可能であり、I1、I2、BAT、およびAUXの結果を(LTC68xxセル・モニタとの互換性を保つため最下位バイトを先頭に)順次出力し、その後1バイト以上のハンドシェイク(HS)バイトを出力して、データが新しい(0x0F)か古い(0x00)かを示します。LTC2949は、いったんHSバイトを送信すると、マスタがバイトを読み出している限り送信を続行します。それでも、PECは6データ・バイトごとに必ず送信されます。HSバイトは、トランザクションごとに0x00から0x0Fにのみ変化することがありますが、いったん0x0Fになると、その後は変化しません。このことから、HSバイトの0x00から0x0Fへの遷移をチェックすることにより、マスタは変換結果が得られる状態になっているかをポーリングできます。先頭のHSバイトが0x0Fである場合、該当のコマンドによって受信した変換データは既に新しく有効です。先頭のHSバイト

シリアル・インターフェース

が0x00である場合、同じトランザクションで受信したデータは、まだ更新されていません。更新済みの変換結果を読み出すためには、次のRDCVコマンドが必要であり、HSバイトはこのRDCVコマンドに対してやはり0x00と報告されます。HSバイトは直前のRDCVコマンドによって0x0Fと読み出された後に、内部で既にクリアされていたからです。

LTC2949の高速変換時間は0.8ms (代表値)です。結果をマスタが読み出せるようにするには、更なる処理時間が必要です。最も条件が厳しい場合は、変換がトリガされてから1.26ms後に、FIFOレジスタ(高速連続モードの場合)またはRDCVコマンドを使用して結果を読み出すことができます。

このため、高速シングル・ショット計測では、サポートされる最大のサンプル・レートが約0.8kspsに制限されます。高速連続計測では、サンプル・レートが1.25kspsに固定されており、前述の遅延は実際の計測からサンプルを読み出せるようになる時点までの遅延にすぎません。マスタは、高速連続モードが有効になった時点からFIFOレジスタを初めて読み出すまで1.26ms以上待機することで、最初のサンプルをFIFOから読み出すことができます。代わりに、RDCVコマンドを使用して、最初のサンプルをいつ読み出せるようになるかを確認してから(前述のHSバイトを参照)全てのサンプルをFIFOレジスタから定期的に読み出すこともできます。

表 15. ADCV/RDCV形式コマンドのフォーマット。スレーブは、RDCVコマンドの場合のみ、データをMISOラインのマスタに送信する

バイト	0	1	2	3	4	...	9	10	11	12	...	17	18	19	...	
R/W	Master to slave (MOSI)				Slave to master (MISO)											
Name	CMD0	CMD1	PECO	PEC1	DATA0	...	DATA6	PECO	PEC1	DATA7	...	DATA11	PECO	PEC1	...	

CMD0とCMD1はコマンド・バイトです。コマンドのフォーマットを表16に示します。CC[10:0]は11ビットのコマンド・コードです。サポートされているコマンド・コードの一覧を表17および表18に示します。ブロードキャスト・コマンドの値は0で、CMD0[7]からCMD0[3]までのアドレス指定コマンドの値は1です。PECは16ビットのコマンド(CMD0およびCMD1)全体を対象に計算する必要があります。

表 16. CMD0、CMD1コマンドのバイト・フォーマット。データはマスタからスレーブに送信される(MOSI)。A/Bはブロードキャスト・コマンドの場合は0、アドレス指定コマンドの場合は1。

名称	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	A/B	A/B	A/B	A/B	A/B	CC[10]	CC[9]	CC[8]
CMD1	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

シリアル・インターフェース

表 17. ADCV 形式コマンド LTC2949 は、以下のコマンドが発行されると、FACTRL/ADCCONF レジスタに応じて高速変換を実行する

名称	CMD0[7:3]	CC[10:0]	説明
ADCV	Broadcast: all 0	01xx11x0xxx	LTC2949 は、高速変換をトリガすることにより、全てのコマンドに対して同様に応答します (FACTRL レジスタによってイネーブルされた場合)。
ADOW	Addressed: all 1	01xxx1x1xxx	
ADOL		01xx00x0001	
ADAX		10xx1100xxx	
ADAXD		10xx0000xxx	
ADCVAX		10xx11x1111	
ADCVSC		10xx11x0111	

表 18. RDCV 形式コマンド高速変換結果を読み出すため、または LTC2949 からの間接メモリ・マップ読出しを行うために使用される

名称	CMD0[7:3]	CC[10:0]	説明
RDCFGA	Broadcast: all 0	0000000010	LTC2949 は、高速変換結果を送信する (デフォルト、RDCVCONF=1) か、レジスタのデータを送信する (RDCVCONF=0) ことにより、全てのコマンドに対して同様に応答します。
RDCFGB	Addressed: all 1	00000100110	
RDCVA		00000000100	
RDCVB		00000000110	
RDCVC		00000001000	
RDCVD		00000001010	
RDCVE		00000001001	
RDCVF		00000001011	
RDAUXA		00000001100	
RDAUXB		00000001110	
RDAUXC		00000001101	
RDAUXD		00000001111	

シリアル・インターフェース

RDCVコマンドでは、デジチェーンのシフト・レジスタよりはるかに長いデータ・パケットを読み出すことができます。シフト・レジスタの長さは64・Mビットで、MはLTC2949を除くチェーン内の素子の数です。LTC2949からのデータは、以下の図に従って、ビットI1[7]から始まる64・Mデータ・ビット後にマスタが受信します。PECは6データ・バイトごとに計算されます。変換結果の送信後、LTC2949は引き続きハンドシェイク(HS)バイトを送信して、データが新しい(0x0F)か古い(0x00)かを示します。ハンドシェイク・バイトの0x00から0x0Fへの遷移は、新しいデータの到着を意味し、このデータは後続のRDCVコマンドによって読み出すことができます。

表 19. RDCV コマンドのフォーマット。CMD0、CMD1 は表 18 (RDCV 形式コマンド) に従う。RDCVCONF=1 が必要。

CMD0	CMD1	PEC0	PEC1	I1[7:0]	I1[15:8]	I2[7:0]	I2[15:8]	BAT[7:0]
BAT[15:8]	PEC0	PEC1	AUX[7:0]	AUX[15:8]	HS	HS	HS	HS
PEC0	PEC1	HS	HS	HS	HS	HS	HS	PEC0
PEC1	HS	HS	HS	HS	HS	HS	HS	……

注記: 変換結果 I1、I2、BAT、AUX は電圧 (V) に変換されます。その方法は、電流の場合は LSB サイズ 7.60371µV を掛け、BAT チャンネルと AUX チャンネルの場合は 375.183µV を掛けます。

間接メモリ・アクセス RDCV コマンド

DCMD は、アドレス指定可能モードで LTC2949 からデータを読み出す推奨の方法です。LTC2949 がデジチェーンの最後の素子である場合は、RDCV を使用して LTC2949 からデータを読み出す必要があります。DCMD は LTC68xx セル・モニタによってサポートされておらず、セル・モニタをシフト・レジスタとして設定しないからです。前述したように、デフォルトでは、LTC2949 は RDCV に応答して高速モード変換結果を出力します (RDCVCONF = 1)。

LTC2949 のレジスタ・マップ全体へのアクセス権を得るため、アドレス・ポインタを設定して、そのレジスタ・アドレスで始まるデータを、後続の RDCV コマンドに応じて LTC2949 に出力させることができます。この間接メモリ・アクセス RDCV コマンドを使用するには、RDCV 構成ビット (RDCVCONF) をリセットし、REGSCTRL でブロードキャスト読出しイネーブル・ビット (BCREN) を設定して、開始ポインタを RDCV 間接アドレス・レジスタ (RDCVIADDR) に書き込む必要があります。このようにして、その後の RDCV コマンドによってあらゆるレジスタを読み出すことができます。アドレス・ポインタは、任意の長さのデータ・バーストを読み出すため、データ・バイトごとに自動的にインクリメントされます。PEC は 6 データ・バイトごとに送信されます。それに応じて REGSCTRL が適切に書き込まれたら、間接アドレス・レジスタのみを更新して、他のメモリ位置から読み出す必要があります。

RDCVIADDR から REGSCTRL までを対象とする単一の DCMD を使用する場合は、REGSCTRL の前に RDCVIADDR も書き込むことができることに注意してください。この単一書込みバーストでは、RDCVIADDR と REGSCTRL の間の 2 バイトはドント・ケアであり、0x00 を書き込むことができます。



図 17. RDCV コマンドを使用した間接メモリ・アクセス読出し手順

表 20. 間接アドレス RDCV コマンドのフォーマット。CMD0、CMD1 は表 18 (RDCV 形式コマンド) に従う。RDCVCONF = 0 および BCREN = 1 が必要

CMD0	CMD0	PEC0	PEC1	DATA ₀	DATA ₁	DATA ₂	DATA ₃	DATA ₄
DATA ₅	PEC0	PEC1	DATA ₆	DATA ₇	DATA ₈	DATA ₉	DATA ₁₀	DATA ₁₁
PEC0	PEC1	……						

DATA₀ は、RDCVIADDR に書き込まれた、開始アドレスにあるレジスタの内容です。DATA₁ は、次のアドレスにあるレジスタの内容で、以下同様です。

シリアル・インターフェース

パケット・エラー・コード

パケット・エラー・コード(PEC)は、レジスタ・グループ内の全てのビットについて計算される15ビットの巡回冗長検査(CRC)値で、この計算はPECの初期値000000000010000と、特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を使用して、渡された順番に実行されます。15ビットのPEC値の計算には、簡単な手順を定めることができます。

1. PECを000000000010000に初期化する(PECは15ビットのレジスタ・グループ)。

2. PECレジスタ・グループに送られてくる各DINビットを、次のように設定する。

IN0 = DIN XOR PEC [14]

IN3 = IN0 XOR PEC [2]

IN4 = IN0 XOR PEC [3]

IN7 = IN0 XOR PEC [6]

IN8 = IN0 XOR PEC [7]

IN10 = IN0 XOR PEC [9]

IN14 = IN0 XOR PEC [13]

3. 15ビットのPECを次のように更新する。

PEC [14] = IN14,

PEC [13] = PEC [12],

PEC [12] = PEC [11],

PEC [11] = PEC [10],

PEC [10] = IN10,

PEC [9] = PEC [8],

PEC [8] = IN8,

PEC [7] = IN7,

PEC [6] = PEC [5],

PEC [5] = PEC [4],

PEC [4] = IN4,

PEC [3] = IN3,

PEC [2] = PEC [1],

PEC [1] = PEC [0],

PEC [0] = IN0

4. 全データがシフトされるまで、ステップ2に戻る。最後のPEC(16ビット)はPECレジスタの15ビット値で、右側に0が埋められる。16ビット・ワード(0x0001)に対するPEC計算の例を表21に示します。0x0001のPECを計算してLSBに0ビットを挿入すると、0x3D6Eとなります。より長いデータ・ストリームの場合は、PECレジスタへ送られる最終データ・ビットの終了時点でPECが有効になります。LTC2949は、受け取ったどのコマンドまたはどのデータに対してもPECを計算し、それをコマンドまたはデータに続くPECと比較します。コマンドまたはデータは、PECが一致する場合にのみ有効と見なされます。また、LTC2949は、シフトアウトするデータの末尾に、計算されたPECを付加します。LTC2949に対する書込み時または読出し時のPECのフォーマットを表22に示します。

シリアル・インターフェース

表 21. 0x0001 の PEC 計算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC Word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
IN0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
Clock Cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

表 22. 書き込み/読出しの PEC フォーマット

名称	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

向上した PEC 計算

PECを使用すると、LTC2949から読み出したシリアル・データが有効であり、それが外部のノイズ発生源によって破壊されていないことを確信できます。これは信頼できる通信を確保するには重要な機能であり、LTC2949では、LTC2949に対する全ての読出しデータと全ての書き込みデータについて、PECを計算する必要があります。このため、PECを計算するための効率的な手段を持つことが重要になります。以下に示すコードは、ルックアップ・テーブルから生成されたPEC

計算方法を簡単に実装できることを示しています。ここには2つの関数があり、1つ目の関数init_PEC15_Table()は、マイクロコントローラの起動時に1度だけ呼び出され、PEC15テーブルの配列(pec15Table[])を初期化します。このテーブルは、今後の全てのPEC計算で使用されます。また、起動時にinit_PEC15_Table()関数を実行するのではなく、pec15テーブルをマイクロコントローラにハード・コードすることもできます。pec15()関数は、PECを計算し、与えられた任意の長さのバイト配列で、正確な15ビットのPECを返します。

シリアル・インターフェース

```

/*****

```

```

Copyright 2012 Linear Technology Corp. (LTC)
Permission to freely use, copy, modify, and distribute this software for any
purpose with or without fee is hereby granted, provided that the above
copyright notice and this permission notice appear in all copies:

```

```

THIS SOFTWARE IS PROVIDED "AS IS" AND LTC DISCLAIMS ALL WARRANTIES
INCLUDING ALL IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS. IN NO
EVENT SHALL LTC BE LIABLE FOR ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL
DAMAGES OR ANY DAMAGES WHATSOEVER RESULTING FROM ANY USE OF SAME, INCLUDING
ANY LOSS OF USE OR DATA OR PROFITS, WHETHER IN AN ACTION OF CONTRACT, NEGLIGENCE
OR OTHER TORTUOUS ACTION, ARISING OUT OF OR IN CONNECTION WITH THE USE OR
PERFORMANCE OF THIS SOFTWARE.

```

```

*****/

```

```

int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
{
    for (int i = 0; i < 256; i++)
    {
        remainder = i << 7;
        for (int bit = 8; bit > 0; --bit)
        {
            if (remainder & 0x4000)
            {
                remainder = ((remainder << 1));
                remainder = (remainder ^ CRC15poly)
            }
            else
            {
                remainder = ((remainder << 1));
            }
        }
        pec15Table[i] = remainder&0xFFFF;
    }
}

unsigned int16 pec15 (char *data , int len)
{
    int16 remainder,address;

    remainder = 16;//PEC seed
    for (int i = 0; i < len; i++)
    {
        address = ((remainder >> 7) ^ data[i]) & 0xff;//calculate PEC table address
        remainder = (remainder << 8 ) ^ pec15Table[address];
    }
    return (remainder*2);//The CRC15 has a 0 in the LSB so the final value must be
multiplied by 2
}

```

レジスタ・マップ

PAGE 0															
0x00	0x01	0x02	0x03	0x04	0x05	0x06	0x07	0x08	0x09	0x0A	0x0B	0x0C	0x0D	0x0E	0x0F
0x00		C1						E1							
0x10		C2						E2							
0x20															
0x30															
0x40															
0x50															
0x60															
0x70															
0x80															
0x90															
0xA0															
0xB0															
0xC0															
0xD0															
0xE0															
0xF0															

PAGE 1															
0x00	0x01	0x02	0x03	0x04	0x05	0x06	0x07	0x08	0x09	0x0A	0x0B	0x0C	0x0D	0x0E	0x0F
0x00															
0x10															
0x20															
0x30															
0x40															
0x50															
0x60															
0x70															
0x80															
0x90															
0xA0															
0xB0															
0xC0															
0xD0															
0xE0															

 = reserved registers can be used to store custom data to external EEPROM
 = registers can be used to store custom data to external EEPROM, if they are initialized by the host controller after EEPROM restore.

See chapter "External EEPROM Control Register" for more details on using the optional external EEPROM

図 18. レジスタ・マップ

レジスタの説明

レジスタの命名規則

RW	読出し／書込み
RO	読出し専用
SO	設定専用
DEF	デフォルト値
SI	符号付き整数
UI	符号なし整数

メモリ・マップとページングの仕組み

LTC2949のメモリ・マップは、2ページ(PAGE0およびPAGE1)で編成されています。PAGE0には低速チャンネルの結果の全ての数量、コントロール・レジスタおよびステータス・レジスタが格納されているのに対して、PAGE1には全ての閾値レジスタおよび設定レジスタが格納されています。各ページには0x00～0xEFに及ぶレジスタのアドレス空間があり、各レジスタは8ビットで1バイトのデータで構成されます。レジスタ0xF0～0xFFは、両方のレジスタ・ページに共通です。0xFFにあるレジスタREGSCTRLはこの範囲の一部であり、ページを切り替えるのに使用されます。以下を参照してください。理解しやすいように、以下に示すPAGE1の全てのレジスタ・アドレスはp1.0xYYと表記するのに対して、PAGE0のアドレスはそのまま0xYYと表記します。

複数バイトのデータは、最上位バイトを最下位アドレスにして格納されます(リトルエンディアン)。例えば、数量C1のMSBであるC1[47:40]は、PAGE0のアドレス0x00に格納されます。

LTC2949のメモリ・マップからデータを読み出す場合は(直接コマンドと間接メモリ・アクセスRDCVコマンド(RDCVCONF=0)のどちらを使用するかに関係なく)、MSByte(最上位バイト)を最初に報告するのに対して、RDCV(RDCVCONF=1)によって高速変換結果を読み出した場合は、LSByte(最下位バイト)を最初に報告することに注意してください。

レジスタ・マップの一部のアドレスは使用されず、予備になっています。また、明確に記述されていない予備以外のレジスタのビットも予備になっています。未使用の予備レジスタまたは予備以外のレジスタの予備ビットに書き込むと、LTC2949の望ましくない動作を招く恐れがあるため、予備以外のレジスタの予備ビットには0を書き込んでください。未使用レジスタを読み出しても通常は無害ですが、ランダムなデータが返されます。ソフトウェアでデバイスのリビジョンを確認する必要がある場合、詳細に関しては弊社までお問い合わせください。

レジスタ・コントロール・レジスタ

レジスタ・コントロール・レジスタ(0xFF)は、アクティブなメモリ・ページを選択し、LTC2949を設定してブロードキャスト読出しコマンドにตอบสนองさせることが可能であり、RDCVコマンドを間接メモリ・アクセス・モードに設定して、メモリ・ロック機能を提供します。

表 23. コントロール・レジスタ REGSCTRL (0xFF)

ビット	記号	タイプ	デフォルト	動作
0	PAGE	RW	0	メモリ・マップのページ選択。 0:メモリ・マップのPAGE0が選択される。 1:メモリ・マップのPAGE1が選択される。
2	BCREN	RW	0	ブロードキャスト読出しのイネーブル 0:LTC2949はブロードキャスト読出しコマンドにตอบสนองしない 1:LTC2949はブロードキャスト読出しコマンドにตอบสนองする
[5:4]	MLK[1:0]	RW	00	メモリ・ロック 00:メモリはロックされていない 01:マスクによってメモリ・ロックを要求されている 10:メモリはロックされている
7	RDCVCONF	RW	1	RDCV構成ビット 0:間接メモリ・アクセス・モード。RDCVはRDCVIADDR(0xFC)に書き込まれたアドレスで始まるデータを報告する。 1:RDCVコマンドは最新の高速チャンネル変換結果を報告する。

レジスタの説明

LTC2949は、メモリ・ロック機能により、メモリにアクセスするときにレジスタ間の同期性を保ちます。メモリ・ロックは、ビットMLK[1:0]を01に設定すれば、マスタ側から要求できます。この時点で、LTC2949はそのレジスタを、例えば計測結果によって更新します。この間、LTC2949のメモリに対する読出しおよび書込みアクセスは、レジスタREGSCTRおよびRDCVIADDRを除いて阻止されます。LTC2949は、全てのレジスタを更新した後、MLK[1:0]を10に設定して、メモリがロックされていることをマスタに通知します。MLK[1:0]に00を書き込むことによってマスタがメモリのロックを解除するまで、LTC2949はメモリ・マップをそれ以上更新しません。

LTC2949内部メモリは、メモリがロックされている間も引き続き更新されるので、値の累積とアラートの更新は中断されません。いったんメモリがロックされると、マスタは1バイトのアクセスであっても一貫したデータを読み出すことができます。こうした1回の読出しトランザクション間にデータが変化することはありません。また、結果パラメータの値を操作すること、例えば、ChargeやEnergyなどに特定の初期値を設定することができます。複数バイトの読出しバーストおよび書込みバーストについては、16バイトの単一行の範囲(レジ

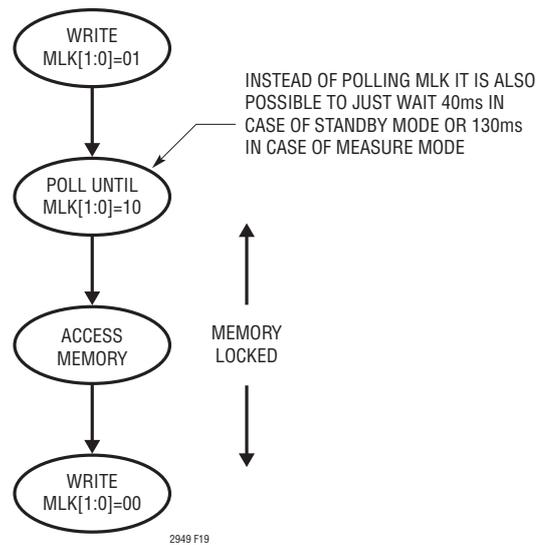


図19. メモリ・ロック

スタ範囲 0x00~0x0F, 0x10~0x1F, ... および 0xE0~0xEF) 内の同期性が常にサポートされており、メモリ・ロックは必要ありません。

表 24. 動作コントロール OPCTRL (0xF0)

ビット	記号	タイプ	デフォルト	動作
0	SLEEP	RW	0	0: 通常動作 1: SLEEP。LTC2949がSLEEPステートを終了するのは、SPIモードではCSBピンがローになった場合であり、isoSPIモードではウェイクアップ・パルスに続いて別の「Long -1」パルスが送信された場合です。
1	CLR	SO	0	1: クリア。以下に示す累積レジスタとトラッキング(最大/最小)レジスタはクリアされる: C1、E1、TB1、C2、E2、TB2、C3、TB4、E4、TB4 IMAX、IMIN、PMAX、PMIN、VMAX、VMIN、TEMPMAX、TEMPMIN、VDVCCMAX、VDVCCMIN、SLOTXMAX、SLOTXMIN
2	SSHOT	SO	0	1: シングル・ショット計測。LTC2949はMEASUREステートに移行し、電流、電圧、電力、温度、V _{CC} 、SLOT1、SLOT2、V _{REF} の一連の計測を1回完了させてから、STANDBYステートに戻ります。結果レジスタが更新され、STANDBYに戻るときにSSHOTがクリアされます。CONTを設定すると、進行中の変換サイクルの完了後にレジスタはクリアされ、シングル・ショット計測が実行されます。
3	CONT	RW	0	0: 連続計測が無効になる 1: 連続計測が有効になるのは最大でt _{IDLE CORE} 後。計測サイクルは絶えず実行されます。電荷、電力量、および時間の計測は連続モードでのみ有効です。
5	ADJUPD	SO	0	データの同期性を確保するため、2番目のページの設定レジスタでの変更が有効になるのは、閾値設定を除き、更新手順の後に限られますが、これは設定ビットADJUPDによって初期化されます。新しい設定値が有効になると、LTC2949はADJUPDビットをリセットします。閾値レジスタへの変更はどの時点で行ってかまいません。また、ADJUPDの手順は必要ありません。 1: 閾値設定を除き、2番目のメモリ・ページでの設定レジスタの更新を要求する。 0: 更新完了
7	RST	SO	0	0: 通常動作。1: デバイスをリセットする。デフォルトのリセット機能はロックされているので、このビットに1を書き込んでも影響はありません。デバイスをリセットする手順については、RSTUNLCKを参照してください。

Note 9: ADJUPDが発行されるのは、STANDBYモードの場合に限られます。推奨の実装方法は、連続モードに移行する前に、ADJUPDを初期化ルーチンの最後の動作として設定することです。いったんADJUPDを設定すると、LTC2949が内部更新処理を終了して、ADJUPDビットが自動的にクリアされるまでに最大で100msかかります。したがって、クリアの対象となるADJUPDビットをポーリングして、動作がいつ完了するか示すこともできます。

CONTが有効化された後にADJUPDをアサートすることが必要な場合には、まずCONTビットをクリアし、次に100ms待機して全ての計測サイクルが完了したことを確認してから、ADJUPDをアサートする必要があります。ADJUPDが自動的にクリアされたら、連続モードにもう一度入ることができます。

STANDBYモードに移るときに100msの待機時間がかからないようにするため、CONTのクリアとCLRの設定を同時に実行して、LTC2949によってクリアされるビットCLRをポーリングすることもできます。これは、以前から進行中の計測サイクルが終了することも意味します。

レジスタの説明

ステータス・レジスタ (0x80)、障害レジスタ (0xDC~0xDD)、およびアラート・レジスタ (0x81~0x87) は、常にメモリ・ロックなしで読み出すことができます。それでも、これらのレジスタをクリアすることが必要になったら、アラートや障害の報告が欠落しないように、メモリ・ロックは必須になります。メモリがロックされているときにアラート状態になった場合、LTC2949は、ホストによってメモリのロックが解除された後に、対応するビットを設定します。STANDBYモードで特定の障害が発生する可能性があるため、この規則には、コアの状態とは関係なく従う必要があります。

高速変換はメモリ・ロック機能の影響を受けないので、FAMUX設定値の変更、高速シングル・ショットのトリガ、RDCVによる結果の読出しは引き続き可能です。また、高速連続計測時にFIFOから変換結果を読み出すこともできます。

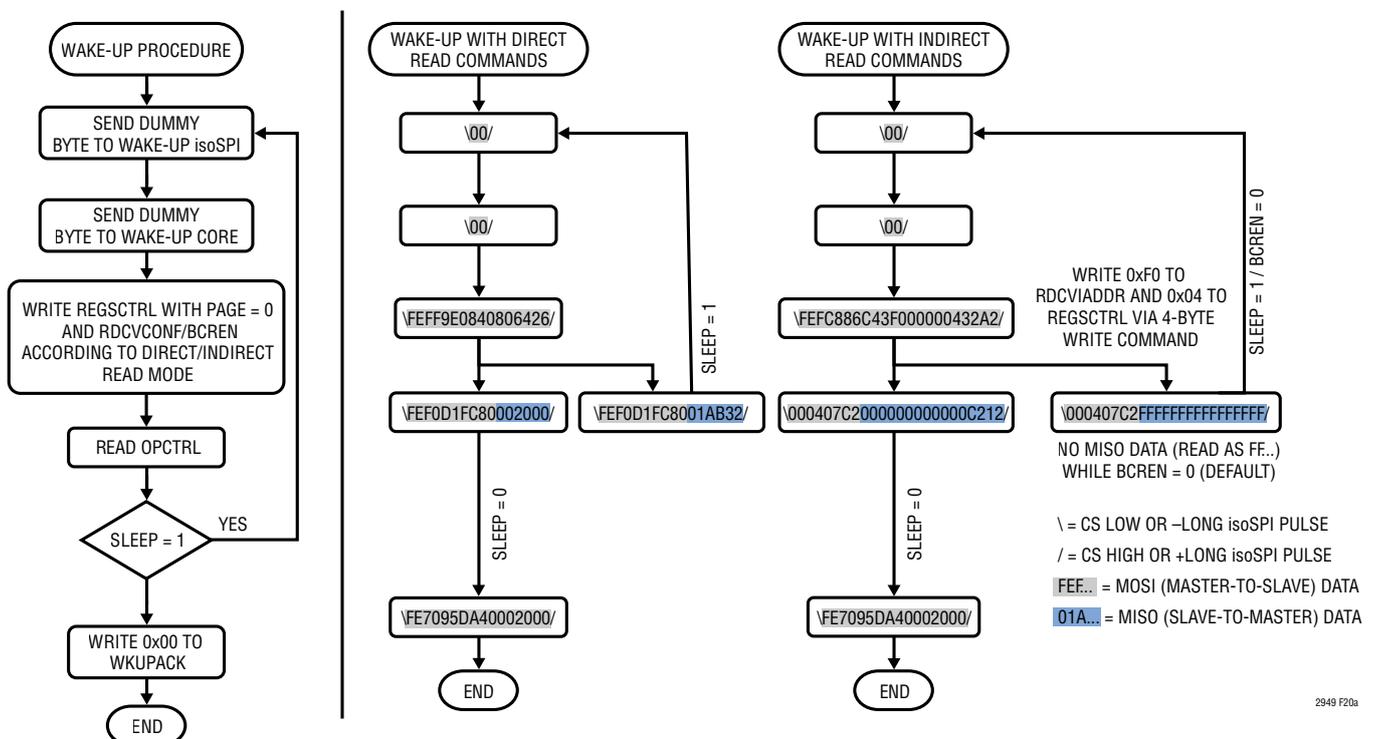
動作コントロール・レジスタ

動作コントロール・レジスタ OPCTRL (0xF0) は、LTC2949がそのコア・ステート (SLEEP、STANDBY、MEASURE) 間を遷移するのを制御します。更に、このレジスタを使用すると、累積レジスタとトラッキング・レジスタをクリアして、設定レジスタの変更を有効化することや、LTC2949をリセットすることができます。

レジスタ・マップ PAGE0

ウェイクアップ・アクノレッジ

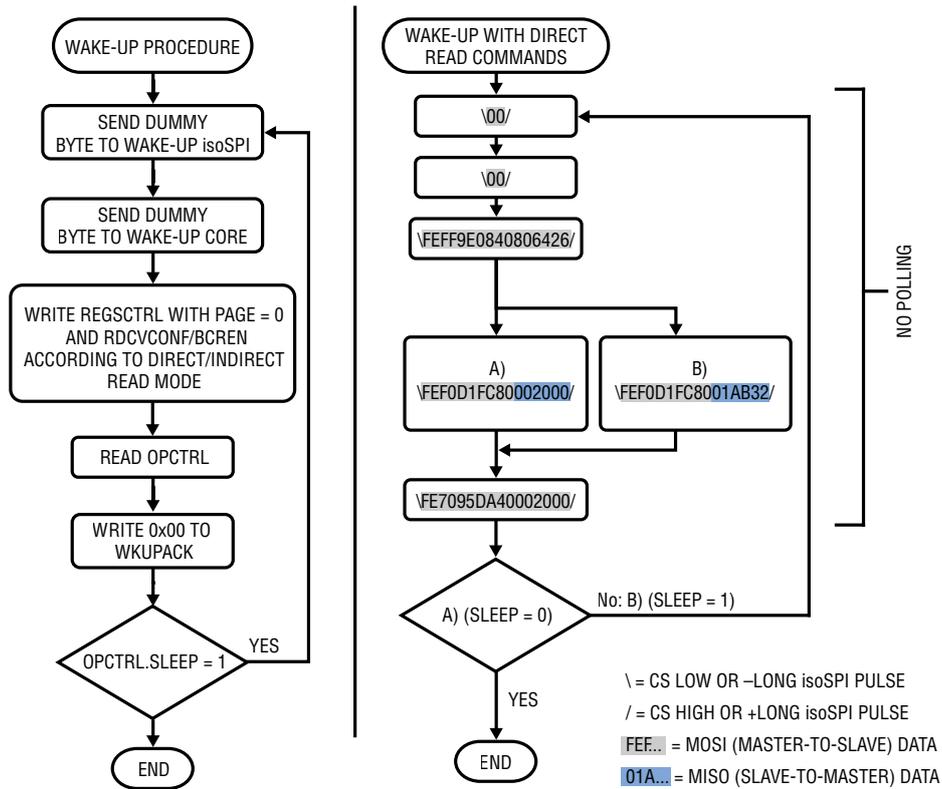
LTC2949は、STANDBYステートに入ってから1秒以内にウェイクアップ確認コマンドを受信しなかった場合、SLEEPステートに自動的に戻ります。ウェイクアップの確認は、レジスタ 0x70 に 0x00 を書き込むか、計測を開始すれば済みます。ウェイクアップを確認する前に、WKUPACK は 0xFF から 0x00 へのカウントダウンを約1秒以内に報告します。ウェイクアップの確認後、カウントダウンは停止し、WKUPACK は 0x00 を静的に報告します。



注記：デジチェーンの最上位で動作する場合は、isoSPIチェーンをウェイクアップする必要があるたびに、複数のダミー・バイトを送信する必要があります。推奨の手順については、最新のセル・モニタ (例: LTC6812) のデータシートに記載されている「デジチェーンのウェイクアップ」の章も参照してください。

図 20a. 直接または間接の読出しシナリオに対する推奨のウェイクアップ手順のフロー・チャートおよび SPI トランザクションの例

レジスタの説明



2949 F20b

図 20b. ポーリングなしのシーケンスで実装された推奨のウェイクアップ手順のフロー・チャート

レジスタの説明

表 25. ウェイクアップ・アクノレッジ・レジスタ (0x70)

ビット	記号	タイプ	デフォルト	動作
[7:0]	WKUPACK	RW	上記参照	0x00:ウェイクアップが確認されました。デバイスはSLEEPに戻りません。 それ以外:ウェイクアップは確認されていません。デバイスはSLEEPに戻ります。

LTC2949をデジチェーンの最上位に接続するアプリケーションでは、LTC2949からの読出しが可能になる前にREGSCTRLのBCRENビットを設定しておく必要があります。これが可能なのは、起動シーケンスが終了した後だけです。クリアの対象となるSLEEPビットのポーリングを引き続き実装するには、BCREN=1 (それ以外のビットは全て0)を設定したREGSCTRLへの書き込みをOPCTRLの読出しに挿み込みます。また、この場合は、RDCVコマンドによる間接のレジスタ読出し (この理由からRDCVCONF=0)を意味するので、REGSCTRLへの書き込みをRDCVIADDR (0xF0に設定)と一緒に1回の4バイト・バーストで実行できます。また、RDCVIADDRとREGSCTRLの間の2バイトは、0x00に設定します。したがって、書き込み対象の4バイトは0xF0、0x00、0x00、0x04となり、次のRDCVコマンドがOPCTRLの内容を報告します。それでも起動シーケンスが完了しない場合、LTC2949はブロードキャストRDCVコマンドを無視するので、マスタは常に0xFF (これもSLEEP=1と互換性あり)を読み出します。ここでは、8バイトを読み出した場合にPEC=0xFFFFとなることが含まれます (この場合にはPECまで読み出す必要はありません)。起動後、OPCTRLは0x00が読み出されます。

累積結果レジスタ

表26と表27のレジスタには、電荷、電力量、および時間の累積量が格納されます。時間レジスタは符号なしの整数値であるのに対して、電荷レジスタと電力量レジスタは2の補数の符号付き整数値です。各累積量の値を求めるには、それぞれのレジスタ値に、表26 (内部クロックまたは水晶発振器をリファレンス・クロックとして使用する場合) または表27 (外部リファレンス・クロックを使用する場合)の対応するLSB値を掛けます。

表 26. 水晶発振器または内部クロックと組み合わせる場合の累積結果レジスタのパラメータ

アドレス	名称	タイプ	デフォルト	パラメータ	LSB (4MHzの水晶発振器 または内部クロック)	PRE (4MHzの 水晶発振器)	DIV (4MHzの 水晶発振器)	単位	SI/UI
0x00	C1[47:0]	RW	0x00	Charge1 = C1 • LSBC1	LSBC1 = 377.887e-12	2	30	Vs	SI
0x06	E1[47:0]	RW	0x00	Energy1 = E1 • LSBE1	LSBE1 = 2.32175e-09	2	30	V ² s	SI
0x0C	TB1[31:0]	RW	0x00	Time1 = TB1 • LSBTB1	LSBTB1 = 397.777E-06	2	30	s	UI
0x10	C2[47:0]	RW	0x00	Charge2 = C2 • LSBC2	LSBC2 = 377.887e-12	2	30	Vs	SI
0x16	E2[47:0]	RW	0x00	Energy2 = E2 • LSBE2	LSBE2 = 2.32175e-09	2	30	V ² s	SI
0x1C	TB2[31:0]	RW	0x00	Time2 = TB2 • LSBTB2	LSBTB2 = 397.777E-06	2	30	s	UI
0x24	C3[63:0]	RW	0x00	Charge3 = C3 • LSBC3	LSBC3 = 377.887e-12	2	30	Vs	SI
0x2C	TB3[31:0]	RW	0x00	Time3 = TB3 • LSBTB3	LSBTB3 = 397.777E-06	2	30	s	UI
0x34	E4[63:0]	RW	0x00	Energy4 = E4 • LSBE4	LSBE4 = 2.32175e-09	2	30	V ² s	SI
0x3C	TB4[31:0]	RW	0x00	Time4 = TB4 • LSBTB4	LSBTB4 = 397.777E-06	2	30	s	UI

Charge1、Energy1、およびTime1には、Channel1の累積量が入ります。Charge2、Energy2、およびTime2には、Channel2の累積量が入ります。Charge3とTime3には、Channel1とChannel2によってモニタされた電荷の加重合計と対応する時間が入ります。同様に、Energy4とTime4には、Channel1とChannel2によってモニタされた電力量の加重合計と対応する時間が入ります。

CH1とCH2に異なる検出抵抗を使用している場合、LTC2949はゲイン設定レジスタに設定した検出抵抗の比(RSRATIO)を使用して正しい加重合計 Charge3およびEnergy4を計算します。

内部クロックを使用する場合は、PREとDIVをデフォルト値に設定します。そのためには、レジスタ(0xE9)に0x07を書き込みます。そうでない場合は、PRE(0xE9)[2:0]およびDIV(0xE9)[7:3]の値をタイム・ベース・コントロールのセクションに従って設定してください。

レジスタの説明

表 27. 外部クロックと組み合わせる場合の累積結果レジスタのパラメータ

アドレス	名称	タイプ	デフォルト	パラメータ	LSB	単位	SI/UI
0x00	C1[47:0]	RW	0x00	Charge1 = C1 • LSBC1	$LSBC1 = 1.21899e-5 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	Vs	SI
0x06	E1[47:0]	RW	0x00	Energy1 = E1 • LSBE1	$LSBE1 = 7.4895e-5 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	V ² s	SI
0x0C	TB1[31:0]	RW	0x00	Time1 = TB1 • LSBTB1	$LSBTB1 = 12.8315 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	s	UI
0x10	C2[47:0]	RW	0x00	Charge2 = C2 • LSBC2	$LSBC2 = 1.21899e-5 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	Vs	SI
0x16	E2[47:0]	RW	0x00	Energy2 = E2 • LSBE2	$LSBE2 = 7.4895e-5 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	V ² s	SI
0x1C	TB2[31:0]	RW	0x00	Time2 = TB2 • LSBTB2	$LSBTB2 = 12.8315 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	s	UI
0x24	C3[63:0]	RW	0x00	Charge3 = C3 • LSBC3	$LSBC3 = 1.21899e-5 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	Vs	SI
0x2C	TB3[31:0]	RW	0x00	Time3 = TB3 • LSBTB3	$LSBTB3 = 12.8315 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	s	UI
0x34	E4[63:0]	RW	0x00	Energy4 = E4 • LSBE4	$LSBE4 = 7.4895e-5 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	V ² s	SI
0x3C	TB4[31:0]	RW	0x00	Time4 = TB4 • LSBTB4	$LSBTB4 = 12.8315 \cdot 1/f_{EXT} \cdot 2^{PRE} \cdot (DIV+1)$	s	UI

注記: PREとDIVの値は、タイム・ベース・コントロールのセクションに従って計算する。

例えば、外部クロック周波数が10MHzの場合は、PREの値を4に設定して、DIVの値を19に設定することが必要です。f_{EXT} = 10MHzでは、LSBC1を390.078e-12 VSとして計算します。Charge1の値を求めるには、C1レジスタの内容にLSBC1を掛けます。この場合、C1レジスタの値は0x 75 5A 10つまり7690768なので、得られるCharge1は0.003 VSです。検出抵抗が300μΩの場合、これは10Asに相当します。

LSBの値は、LTC2949用のQuick Evalソフトウェアを使用するか、LTC2949のコード・セクションに記載されているC/C++ヘッダ・ファイルを使用することにより、簡単に計算できます(詳細については、LTC2949の評価用ボードDC2732Aのマニュアルを参照)。電荷、電力量、および時間のレジスタは、ゼロ以外の初期値にプリセットできます。連続モードでは、それぞれの量の全バイトを同じマルチバイト・トランザクションに書き込むか、メモリがロックされているときに書き込む必要があります。

非累積結果レジスタ

表 28のレジスタには、電流、電力、電圧、温度、VCC、およびVREFの計測値が格納されます。全ての量は2の補数符号付き整数値として表現されます。

Current 1は、CF1PとCF1Mの間で検出された差動電圧を表します。Current 2は、CF2PとCF2Mの間で検出された差動電圧を表します。バッテリー電圧(BAT)は、VBATPピンとVBATMピンの間の差動電圧です。Power 1はBATとCurrent 1の瞬時の乗算です。Power 2はBATとCurrent 2の瞬時の乗算です。Temperatureは、シリコンに組み込んだ温度センサーの温度です。VCCは、A/DVCCピンとAGNDピンの間の電圧です。レジスタSLOT1およびSLOT2には、表 58に従って選択された2つのマルチプレクサ入力の結果が格納されます。また、これらのレジスタを設定して、NTC設定レジスタ(表 70)によって電圧または温度を出力できます。VREFは、VREFピンとAGNDピンの間の電圧です。直前の4つの電流計測値の移動平均は、I1AVGおよびI2AVGに格納されます。これら4つの電流計測値は、電流履歴レジスタに格納されます。Current 1 History 1は、Current 1の直前の結果であり、Current 1 History 2はCurrent 1 History 1の直前の電流結果であり、以下同様です。全ての計測値は、のLSB値によって大きさが調整されます。計測されたパラメータの物理的な値を計算するには、レジスタの値に該当のLSB値を乗じます。

表 28. 非累積結果レジスタのパラメータ

アドレス	名称	タイプ	デフォルト	パラメータ	LSB	単位	SI/UI
0x90	I1[23:0]	RO	0x00	Current 1	950	nV	SI
0x93	P1[23:0]	RO	0x00	Power 1 (Power, P1ASV=0)	5.8368	μ[V ²]	SI
				Power 1 (Voltage, P1ASV=1)	46.875	μV	SI
0x96	I2[23:0]	RO	0x00	Current 2	950	nV	SI
0x99	P2[23:0]	RO	0x00	Power 2 (Power, P2ASV=0)	5.8368	μ[V ²]	SI
				Power 2 (Voltage, P2ASV=1)	46.875	μV	SI

レジスタの説明

表 28. 非累積結果レジスタのパラメータ(続き)

アドレス	名称	タイプ	デフォルト	パラメータ	LSB	単位	SI/UI
0x9C	I1AVG[23:0]	RO	0x00	Current 1 Moving Average	237.5	nV	SI
0xA0	BAT[15:0]	RO	0x00	Battery Voltage	375	μV	SI
0xA2	TEMP [15:0]	RO	0x00	Temperature	0.2	°C	SI
0xA4	VCC[15:0]	RO	0x00	Voltage at A/DVCC	2.26	mV	SI
0xA6	SLOT1 [15:0]	RO	0x00	SLOT 1 (Voltage)	375	μV	SI
				SLOT 1 (Temp.)	0.2	°C	SI
0xA8	SLOT2 [15:0]	RO	0x00	SLOT 2 (Voltage)	375	μV	SI
				SLOT 2 (Temp)	0.2	°C	SI
0xAA	VREF[15:0]	RO	0x00	Voltage at VREF	375	μV	SI
0xAC	I2AVG [23:0]	RO	0x00	Current 2 Moving Average	237.5	nV	SI
0xB3	I1H1 [23:0]	RO	0x00	Current 1 History 1	950	nV	SI
0xB6	I1H2[23:0]	RO	0x00	Current 1 History 2	950	nV	SI
0xB9	I1H3 [23:0]	RO	0x00	Current 1 History 3	950	nV	SI
0xBC	I1H4 [23:0]	RO	0x00	Current 1 History 4	950	nV	SI
0xC3	I2H1 [23:0]	RO	0x00	Current 2 History 1	950	nV	SI
0xC6	I2H2 [23:0]	RO	0x00	Current 2 History 2	950	nV	SI
0xC9	I2H3[23:0]	RO	0x00	Current 2 History 3	950	nV	SI
0xCC	I2H4 [23:0]	RO	0x00	Current 2 History 4	950	nV	SI
0xF7	FIFO1 [15:0]	RO	0x00	Fast Current 1	7.60371	μV	SI
0xF8	FIFO2 [15:0]	RO	0x00	Fast Current 2	7.60371	μV	SI
0xF9	FIOBAT[15:0]	RO	0x00	Fast Battery Voltage	375.183	μV	SI
0xFA	FIOAUX[15:0]	RO	0x00	Fast AUX HVMUX	375.183	μV	SI

FIFOレジスタ0xF7~0xFAでは、高速連続モードで変換結果を読み出すことができます。これらのレジスタから読み出す場合には、内部アドレスの自動インクリメントが停止するので、任意のバイト数の固定アドレスを読み出すことができます。サンプルごとに3バイト(MSB、LSB、およびTAG)を読み出す必要があります。詳細については、高速モードのセクションと以下の説明も参照してください。

レジスタI1AVG(0x9C)およびI2AVG(0xAC)は、それぞれレジスタ0xB0および0xC0にコピーされます。したがって、0x9C~0x9Eは0xB0~0xB2と同じ値を報告し、0xAC~0xAEは0xC0~0xC2と同じ値を報告します。

表 29. FIFOレジスタの読出しフォーマット。

データ・バイト	名称	説明
0	S _N [15:8]	計測済みサンプルNのMSB
1	S _N [7:0]	計測済みサンプルNのLSB
2	TAG _N	サンプルNのタグ
3	S _{N+1} [15:8]	計測済みサンプルN+1のMSB
4	S _{N+1} [7:0]	計測済みサンプルN+1のLSB
5	TAG _{N+1}	サンプルN+1のタグ
...
3*M	S _{N+M} [15:8]	計測済みサンプルN+MのMSB
3*M+1	S _{N+M} [7:0]	計測済みサンプルN+MのLSB
3*M+2	TAG _{N+M}	サンプルN+Mのタグ

レジスタの説明

データ・バイト列ではPECバイトを数えていません。PECバイトの数は、PECごとのデータ・バイトの設定により異なります (DCMDではIDバイト、RDCVでは6に固定)。最大のデータ・スループットを得るためには、FIFOからの読み出しはDCMDを用いて1 PEC当たり16バイトのデータを3サンプルの倍数で読み出します (= 48データ・バイト + 3 × 2 PECバイト)。

表 30. FIFOのTAG定義

TAG	名称	説明
0x00	OK	有効、新しいサンプル
0x55	RDOVR	読み出し超過、サンプルは既に読み出し済み
0xAA	WROVR	書き込み超過、FIFOは完全にいっぱいになっており、1つ以上のサンプルが既に過剰に書き込まれている

LTC2949は常にデジチェーンと並列に接続することを推奨します。また、可逆的なisoSPIチェーンの一方の端にLTC2949を接続するシナリオでは、直接読み出しコマンドを使用してデフォルトの通信を実行してください。LTC2949への直接のisoSPIリンクが動作しない場合に限り、通信はデジチェーンを通じて実行します。

LTC2949がデジチェーンの最上位にあるこの構成では、ブロードキャストRDCVコマンドの後に、スタック接続のLTC68xxセル・モニタがカスケード接続のシフト・レジスタになり、データが各デバイスを通して、スタック内の次のデバイスにシフトされます。この場合には、読み出しトランザクションの終了時に、一定数のサンプル・スタックが常にシフト・レジスタにあり、それがマスタに転送されることはありません。

サンプルの損失を防止したり最小限に抑えるためのいくつかの方法があります。高速連続モードを停止する (FACONV=0) か、またはFIFOを空になるまで読み出してから高速連続計測を繰り返します (FACONV=1)。この結果、計測を行わない時間枠が生じ、この時間がサンプルを読み出すのにかかる時間と等しくなります。例えば、シリアル・クロック・レートが1Mビット/秒の場合は、24のサンプル(4バイトのコマンドとPEC、72のデータ・バイト、24のデータPECバイトを合計すると100バイト、つまり800ビットになる)を読み出すのに0.8ms (およそ1回分の高速変換時間)がかかります。これよりクロック速度が遅いかサイクル時間が長い場合は、サイクルごとに読み出されるサンプル数が増えるので、次の方法の方が効率的です。

代替の方法は、FIFOの読み出しバーストを十分に長くしてFIFOが必ず空になるようにし、TAGがRDOVRのサンプルを1つ以上読み出す必要があるというものです。また、この場合でも、TAGがOKのサンプルがRDOVRの後に1つ到着することがあり、そのためデジチェーンのシフト・レジスタで詰まることがあります。シフト・レジスタの遅延時間(デジチェーン内のデバイスの数×8バイト×8ビット/バイト/SPIクロック速度)が1回の高速変換時間より長い場合は、デジチェーン内の複数のサンプルが詰まることがあります。

トラッキング・レジスタ

トラッキング・レジスタは、最後のリセット以降の直前の変換の最大値と最小値を常時監視します。値のスケールは、表31のLSB値を使用して、非累積結果レジスタの値と同じ方法で実行します。負の値は、最小のレジスタが更新されたときの正の値より小さい値(より最小)として処理されます。

例: レジスタの値I1MAX(0x40, 0x41)が0000 0001 1111 0100b = 01 F4h = 500dであるとは、得られる検出抵抗信号の最大値が $500 \cdot 3.8\mu\text{V} = 1.9\text{mV}$ であることを示しています。レジスタの値I1MIN(0x42, 0x43)が1111 1010 0010 0100b = FA 24h = -1500dであるとは、得られる検出抵抗信号の最小値が $-1500 \cdot 3.8\mu\text{V} = -5.7\text{mV}$ であることを示しています。他の追跡パラメータ値の計算は、対応するLSBの値を使用して同様に実行されます。

レジスタの説明

表 31. トラッキング・レジスタ

アドレス	名称	タイプ	デフォルト	パラメータ	LSB	単位	SI/UI
0x40	I1MAX[15:0]	RW	0x8000	Max I1 Current	3.8	μV	SI
0x48	I2MAX[15:0]	RW	0x8000	Max I2 Current	3.8	μV	SI
0x42	I1MIN[15:0]	RW	0x7FFF	Min I1 Current	3.8	μV	SI
0x4A	I2MIN[15:0]	RW	0x7FFF	Min I2 Current	3.8	μV	SI
0x44	P1MAX[15:0]	RW	0x8000	Max Power 1 (or Battery Voltage for P1ASV=1)	23.347 (187.5)	μ[V ²] (μV)	SI
0x4C	P2MAX[15:0]	RW	0x8000	Max Power 2 (or Battery Voltage for P2ASV=1)	23.347 (187.5)	μ[V ²] (μV)	SI
0x46	P1MIN[15:0]	RW	0x7FFF	Min Power 1 (or Battery Voltage for P1ASV=1)	23.347 (187.5)	μ[V ²] (μV)	SI
0x4E	P2MIN[15:0]	RW	0x7FFF	Min Power 2 (or Battery Voltage for P2ASV=1)	23.347 (187.5)	μ[V ²] (μV)	SI
0x50	BATMAX[15:0]	RW	0x8000	Max Battery Voltage	375	μV	SI
0x52	BATMIN[15:0]	RW	0x7FFF	Min Battery Voltage	375	μV	SI
0x54	TEMPMAX[15:0]	RW	0x8000	Max Temperature	0.2	°C	SI
0x56	TEMPMIN[15:0]	RW	0x7FFF	Min Temperature	0.2	°C	SI
0x58	VCCMAX[15:0]	RW	0x8000	Max Voltage at A/DVCC	2.26	mV	SI
0x5A	VCCMIN[15:0]	RW	0x7FFF	Min Voltage at A/DVCC	2.26	mV	SI
0x5C	SLOT1MAX[15:0]	RW	0x8000	Max Voltage (or Temperature) at SLOT1	375 (0.2)	μV (°C)	SI
0x5E	SLOT1MIN[15:0]	RW	0x7FFF	Min Voltage (or Temperature) at SLOT1	375 (0.2)	μV (°C)	SI
0x60	SLOT2MAX[15:0]	RW	0x8000	Max Voltage (or Temperature) at SLOT2	375 (0.2)	μV (°C)	SI
0x62	SLOT2MIN[15:0]	RW	0x7FFF	Min Voltage (or Temperature) at SLOT2	375 (0.2)	μV (°C)	SI

電流と電力のトラッキング・レジスタが通知するのは、それぞれの18ビット結果レジスタの上位16ビットだけであり、LSBの値が4倍大きくなることに注意してください。

STATUS、(EXT)FAULTS、閾値およびオーバーフロー・アラート・レジスタ

以下の章で説明するレジスタは、電圧閾値の超過、電荷または電力量のオーバーフロー、電源の低電圧などのような特定のイベントを信号で通知するために使用されます。電源投入後は、メモリをロックし、STATUS、FAULTS、およびEXTFAULTSレジスタを読み出し、デフォルト値を確認してクリアし、最後にメモリのロックを解除することを推奨します。通常動作時は、これらのレジスタがUPDATEビットを除き全て0であることが定期的に検査されます。それ以外の値は障害の発生を意味します。

イベント発生時には、STATUS、アラート(0x81~0x87)、FAULTS、およびEXTFAULTSレジスタのどのビットもLTC2949によって1に設定されますが、自動的にクリアされることはありません。1にセットされているビットをマスタが読み出したら、対応策を講じて(例えば、電荷オーバーフローの場合は電荷レジスタをクリアして)、メモリをロックし(REGSCTRLを参照)、1がセットされているレジスタに0を書き込みリセットし、その後メモリのロックを解除します。

メモリ・ロックを使用せずにこれらのレジスタに書き込むことは推奨しません。障害報告やアラート報告を失いかねないからです。

ステータス・レジスタと障害レジスタ

ステータス (STATUS) レジスタは、レジスタの更新、低電圧ロックアウト、およびリファレンス・クロック・エラーのステータスを通知します。電源投入時に、全ての低電圧ロックアウトおよびパワーオン・リセットは1に設定されます。シャットダウンからの復帰後、ビット UVLOA および UVLOD が設定されます。LTC2949 が計測サイクルを終了して結果レジスタ、累積レジスタ、およびトラッキング・レジスタを更新すると、UPDATE は1に設定されます。

AVCC の電源電圧が低すぎて ADC が正常に動作できない場合、ADCERR は1に設定されます。ADCERR が設定されている場合、結果レジスタの値は無効であり、破棄されます。内部タイム・ベースがオーバーフローすると、TBERR は1に設定されます。これは、CLKI での外部クロックに対して PRE と DIV の値の設定が正しくないことを示しています。TBERR が設定されている場合、累積結果レジスタの値は破棄されます。

表 32. STATUS (0x80)

ビット	記号	タイプ	デフォルト	動作
0	UVLOA	RW	1	1: アナログ領域または変換中の ADC での低電圧
1	PORA	RW	1	1: アナログ領域での低電圧により、パワーオン・リセットが発生した
2	UVLOSTBY	RW	1	1: スタンバイ領域での低電圧
3	UVLOD	RW	1	1: デジタル領域での低電圧
4	UPDATE	RW	0	1: 結果レジスタが更新された
5	ADCERR	RW	0	1: 変換中の低電圧により、ADC の変換は無効
6	TBERR	RW	0	1: 内部タイム・ベース・レジスタのオーバーフロー。累積結果レジスタの値は無効

LTC2949 は、起動時に内蔵セルフ・テスト・ルーチンによって検査される数種類のメモリを内蔵しています。個々のブロックのエラーは、EXTFAULTS レジスタおよび FAULTS レジスタによって報告されます。FAULTS レジスタは、その他に内部 (オンチップ) 通信および外部 (SPI/isoSPI インターフェースではマスタからスレーブへの) 通信でのエラーを報告して、サーマル・シャットダウンや高速チャンネルのエラーといったイベントを示します。

表 33. EXTFAULTS (0xDC)

ビット	記号	タイプ	デフォルト	動作
0	HD1BITERR	RW	0	1: ハミング・デコーダの1ビット・エラー
1	ROMERR	RW	0	1: ROM の CRC エラー
2	MEMERR	RW	0	1: メモリ・エラー
3	FCAERR	RW	0	1: 高速チャンネルのエラー
4	XRAMERR	RW	0	1: XRAM エラー
5	IRAMERR	RW	0	1: IRAM エラー
7	HWMBISTEXEC	RW	1	1: メモリの内蔵セルフ・テストが実行された。電源投入時に SDA を外部からローにすると、メモリの内蔵セルフ・テストはスキップされ、このビットは0になります。4.7k~10k のプルアップ抵抗を SDA と BYP1 の間に接続して、メモリの内蔵セルフ・テストが正常に動作することを確認します。

レジスタの説明

表 34. FAULTS (0xDD)

ビット	記号	タイプ	デフォルト	動作
0	PROMERR	RW	0	1: 内蔵の PROM に格納されている調整値のエラー
1	TSD	RW	0	1: 過熱によるシャットダウン
2	INTCOMMERR	RW	0	1: 内部通信のパリティ・チェックが不合格
3	EXTCOMMERR	RW	0	1: 外部通信 (SPI/isoSPI) での PEC エラーが発生した
4	FAERR	RW	0	1: 高速モード・エラー、詳細については、『Safety Manual』を参照
5	HWBIST	RW	0	1: ハードウェアの内蔵セルフ・テスト時のエラー
6	CRC CFG	RW	0	1: 内部 RAM のゲイン係数の CRC エラー
7	CRC MEM	RW	0	1: ユーザ・アクセス可能なレジスタの CRC エラー

閾値レジスタとオーバーフロー・アラート・レジスタ

閾値レジスタとオーバーフロー・アラート・レジスタが設定されるのは、それぞれの閾値を超えた場合、またはレジスタがオーバーフローした場合です。閾値は閾値レジスタのセクションで設定されます。

レジスタがオーバーフローに近づいていることを警告するため、累積量はガード値に照らして絶えずチェックされます。ガード値は、公称では各レジスタの最大値の 90% に設定されます。いずれかの量がガード閾値を超えると、LTC2949 はステータス・レジスタの対応するオーバーフロー・ビットを設定し、アラートを生成して (有効化されている場合)、累積を続行します。電圧入力最大のは、通常、オーバーフロー・アラートが通知されてから数時間後にロールオーバーが行われるので、該当するアキュムレータをメモリ・ロック手順に従って読み出してからクリアすることにより、データ損失の防止措置を取る時間がホストに与えられます。32 ビットの量 (時間) のオーバーフロー閾値は 3865470565 LSB です。48 ビットの量 (電荷および電力量) の場合は ± 126663739519794 LSB です。

累積電荷量、累積電力量、累積時間の閾値コンパレータおよびオーバーフロー・コンパレータは、内部で浮動小数点フォーマットを使用します。これにより、ビット・レベルで比較するとわずかな違いが発生するように見えますが、複数の累積結果レジスタとそれぞれの閾値レジスタとを比較した場合の精度は、常に 0.001% より良好になります。

アラート・レジスタ (0x81~0x87) によって報告するには、アラート状態が 200ms 以上現れる必要があります。GPO5 でのハートビートを停止することにより、OCC1 または OCC2 によって検出された過電流状態のみを数 μ s 以内にホストに通知できます。

レジスタの説明

表 35. 電圧、温度の閾値アラート STATVT (0x81)

ビット	記号	タイプ	デフォルト	動作
0	BATH	RW	0	1: 電圧 (VBATP – VBATM 間) の上限閾値を超えた
1	BATL	RW	0	1: 電圧 (VBATP – VBATM 間) の下限閾値を超えた
2	TEMPH	RW	0	1: 温度の上限閾値を超えた
3	TEMPL	RW	0	1: 温度の下限閾値を超えた
4	SLOT1H	RW	0	1: SLOT1 の上限閾値を超えた
5	SLOT1L	RW	0	1: SLOT1 の下限閾値を超えた
6	SLOT2H	RW	0	1: SLOT2 の上限閾値を超えた
7	SLOT2L	RW	0	1: SLOT2 の下限閾値を超えた

表 36. 電流、電力の閾値アラート STATIP (0x82)

ビット	記号	タイプ	デフォルト	動作
0	I1H	RW	0	1: Current1 の上限閾値を超えた
1	I1L	RW	0	1: Current1 の下限閾値を超えた
2	P1H	RW	0	1: Power1 の上限閾値を超えた
3	P1L	RW	0	1: Power1 の下限閾値を超えた
4	I2H	RW	0	1: Current2 の上限閾値を超えた
5	I2L	RW	0	1: Current2 の下限閾値を超えた
6	P2H	RW	0	1: Power2 の上限閾値を超えた
7	P2L	RW	0	1: Power2 の下限閾値を超えた

表 37. 電荷の閾値アラート STATC (0x83)

ビット	記号	タイプ	デフォルト	動作
0	C1H	RW	0	1: Charge1 の上限閾値を超えた
1	C1L	RW	0	1: Charge1 の下限閾値を超えた
2	C2H	RW	0	1: Charge2 の上限閾値を超えた
3	C2L	RW	0	1: Charge2 の下限閾値を超えた
4	C3H	RW	0	1: Charge3 の上限閾値を超えた
5	C3L	RW	0	1: Charge3 の下限閾値を超えた

表 38. 電力量の閾値アラート STATE (0x84)

ビット	記号	タイプ	デフォルト	動作
0	E1H	RW	0	1: Energy1 の上限閾値を超えた
1	E1L	RW	0	1: Energy1 の下限閾値を超えた
2	E2H	RW	0	1: Energy2 の上限閾値を超えた
3	E2L	RW	0	1: Energy2 の下限閾値を超えた
6	E4H	RW	0	1: Energy4 の上限閾値を超えた
7	E4L	RW	0	1: Energy4 の下限閾値を超えた

表 39. 電荷、電力量のオーバーフロー・アラート STATCEOF (0x85)

ビット	記号	タイプ	デフォルト	動作
0	C1OVF	RW	0	1: Charge1 のオーバーフロー・アラート
1	C2OVF	RW	0	1: Charge2 のオーバーフロー・アラート
2	C3OVF	RW	0	1: Charge3 のオーバーフロー・アラート
4	E1OVF	RW	0	1: Energy1 のオーバーフロー・アラート
5	E2OVF	RW	0	1: Energy2 のオーバーフロー・アラート
7	E4OVF	RW	0	1: Energy4 のオーバーフロー・アラート

レジスタの説明

表 40. タイム・ベース・アラート STATTB (0x86)

ビット	記号	タイプ	デフォルト	動作
0	T1TH	RW	0	1:Time1の閾値を超えた
1	T2TH	RW	0	1:Time2の閾値を超えた
2	T3TH	RW	0	1:Time3の閾値を超えた
3	T4TH	RW	0	1:Time4の閾値を超えた
4	T1OVF	RW	0	1:Time1のオーバーフロー
5	T2OVF	RW	0	1:Time2のオーバーフロー
6	T3OVF	RW	0	1:Time3のオーバーフロー
7	T4OVF	RW	0	1:Time4のオーバーフロー

表 41. VCCOCCの閾値アラート STATVCC (0x87)

ビット	記号	タイプ	デフォルト	動作
0	VCCH	RW	0	1:VCCの上限閾値を超えた
1	VCCL	RW	0	1:VCCの下限閾値を超えた
2	OCC1H	RW	0	1:Current1がOCC1の閾値より高い状態がデグリッチ時間を超えた
3	OCC2H	RW	0	1:Current2がOCC2の閾値より高い状態がデグリッチ時間を超えた

注記: メモリをロックしてステータス (0x80)、障害 (0xDC~0xDD)、およびアラート (0x81~0x87) レジスタをクリアし、障害報告とアラート報告の抜けがないようにする必要があります。詳細については、REGSCTRLの説明を参照してください。

マスク・レジスタ

マスク・レジスタは、どのアラートがハートビートを停止するかを制御します。マスク・レジスタ・ビットが0にリセットされていて、それぞれの閾値を超えているとハートビート状態となります。この時 GPIO4HBCCTRL レジスタの相当ビットがハートビートに設定されると、GPO4ピンの出力は停止し固定されます。

ステータス・マスク・レジスタ (STATUSM) のある1つのビットを0に設定すると、レジスタ STATUS (0x80) の対応する複数のビットがハートビートを停止します。ステータス・マスク・レジスタのある1つのビットを1に設定すると、ハートビートはレジスタ STATUS (0x80) の対応するビットの影響を受けなくなります。

表 42. ステータス・マスク STATUSM (0x88)

ビット	記号	タイプ	デフォルト	動作
0	UVLOAM	RW	1	STATUS (0x80) の UVLOA をマスク
3	UVLODM	RW	1	STATUS (0x80) の UVLOD をマスク
4	UPDATEM	RW	1	STATUS (0x80) の UPDATE をマスク
5	ADCERRM	RW	1	STATUS (0x80) の ADCERR をマスク
6	TBCERRM	RW	1	STATUS (0x80) の TBCERR をマスク

STATVTMの複数のビットを0に設定すると、レジスタ STATVT (0x81) の対応する複数のビットがハートビートを停止します。STATVTMのある1つのビットを1に設定すると、ハートビートはレジスタ STATVT (0x81) の対応する複数のビットの影響を受けなくなります。

表 43. 電圧、温度の閾値アラート・マスク STATVT (0x89)

ビット	記号	タイプ	デフォルト	動作
0	BATHM	RW	1	STATVT (0x81) の BATH をマスク
1	BATLM	RW	1	STATVT (0x81) の BATL をマスク
2	TEMPHM	RW	1	STATVT (0x81) の TEMPH をマスク
3	TEMPLM	RW	1	STATVT (0x81) の TEMPL をマスク
4	SLOT1HM	RW	1	STATVT (0x81) の SLOT1H をマスク
5	SLOT1LM	RW	1	STATVT (0x81) の SLOT1L をマスク
6	SLOT2HM	RW	1	STATVT (0x81) の SLOT2H をマスク
7	SLOT2LM	RW	1	STATVT (0x81) の SLOT2L をマスク

レジスタの説明

STATIPMの複数のビットを0に設定すると、レジスタSTATIP (0x82)の複数のビットがハートビートを停止します。STATIPMレジスタのある1つのビットを1に設定すると、ハートビートはレジスタSTATIP (0x82)の対応する複数のビットの影響を受けなくなります。

表 44. 電流、電力の閾値アラート・マスク STATIPM (0x8A)

ビット	記号	タイプ	デフォルト	動作
0	I1HM	RW	1	STATIP (0x82)のI1Hをマスク
1	I1LM	RW	1	STATIP (0x82)のI1Lをマスク
2	P1HM	RW	1	STATIP (0x82)のP1Hをマスク
3	P1LM	RW	1	STATIP (0x82)のP1Lをマスク
4	I2HM	RW	1	STATIP (0x82)のI2Hをマスク
5	I2LM	RW	1	STATIP (0x82)のI2Lをマスク
6	P2HM	RW	1	STATIP (0x82)のP2Hをマスク
7	P2LM	RW	1	STATIP (0x82)のP2Lをマスク

STATCMの複数のビットを0に設定すると、レジスタSTATC (0x83)の複数のビットがハートビートを停止します。STATCMのある1つのビットを1に設定すると、ハートビートはレジスタSTATC (0x83)の対応する複数のビットの影響を受けなくなります。

表 45. 電荷の閾値アラート・マスク STATCM (0x8B)

ビット	記号	タイプ	デフォルト	動作
0	C1HM	RW	1	STATC (0x83)のC1Hをマスク
1	C1LM	RW	1	STATC (0x83)のC1Lをマスク
2	C2HM	RW	1	STATC (0x83)のC2Hをマスク
3	C2LM	RW	1	STATC (0x83)のC2Lをマスク
4	C3HM	RW	1	STATC (0x83)のC3Hをマスク
5	C3LM	RW	1	STATC (0x83)のC3Lをマスク

STATEMの複数のビットを0に設定すると、レジスタSTATE (0x84)の複数のビットがハートビートを停止します。STATEMレジスタのある1つのビットを1に設定すると、ハートビートはレジスタSTATE (0x84)の対応する複数のビットの影響を受けなくなります。

表 46. 電力量の閾値アラート・マスク STATEM (0x8C)

ビット	記号	タイプ	デフォルト	動作
0	E1HM	RW	1	STATE (0x84)のE1Hをマスク
1	E1LM	RW	1	STATE (0x84)のE1Lをマスク
2	E2HM	RW	1	STATE (0x84)のE2Hをマスク
3	E2LM	RW	1	STATE (0x84)のE2Lをマスク
6	E4HM	RW	1	STATE (0x84)のE4Hをマスク
7	E4LM	RW	1	STATE (0x84)のE4Lをマスク

STATCEOFMの複数のビットを0に設定すると、レジスタSTATCEOF (0x85)の複数のビットがハートビートを停止します。STATCEOFMレジスタのある1つのビットを1に設定すると、ハートビートはレジスタSTATCEOF (0x85)の対応する複数のビットの影響を受けなくなります。

表 47. 電荷、電力量のオーバーフロー・アラート・マスク STATCEOFM (0x8D)

ビット	記号	タイプ	デフォルト	動作
0	C1OFM	RW	1	STATCEOF (0x85)のC10VFをマスク
1	C20FM	RW	1	STATCEOF (0x85)のC20VFをマスク
2	C30FM	RW	1	STATCEOF (0x85)のC30VFをマスク
4	E10FM	RW	1	STATCEOF (0x85)のE10VFをマスク
5	E20FM	RW	1	STATCEOF (0x85)のE20VFをマスク
7	E40FM	RW	1	STATCEOF (0x85)のE40VFをマスク

レジスタの説明

STATBMMの複数のビットを0に設定すると、レジスタSTATTB (0x86)の複数のビットがハートビートを停止します。STATBMMレジスタのある1つのビットを1に設定すると、ハートビートはレジスタSTATTB (0x86)の対応する複数のビットの影響を受けなくなります。

表 48. タイム・ベース・アラート・マスク STATBMM (0x8E)

ビット	記号	タイプ	デフォルト	動作
0	T1THM	RW	1	STATTB (0x86)のT1THをマスク
1	T2THM	RW	1	STATTB (0x86)のT2THをマスク
2	T3THM	RW	1	STATTB (0x86)のT3THをマスク
3	T4THM	RW	1	STATTB (0x86)のT4THをマスク
4	T10FM	RW	1	STATTB (0x86)のT10VFをマスク
5	T20FM	RW	1	STATTB (0x86)のT20VFをマスク
6	T30FM	RW	1	STATTB (0x86)のT30VFをマスク
7	T40FM	RW	1	STATTB (0x86)のT40VFをマスク

STATVCCMの複数のビットを0に設定すると、レジスタSTATVCC (0x87)の複数のビットがハートビートを停止します。STATVCCMレジスタのある1つのビットを1に設定すると、ハートビートはレジスタSTATVCC (0x87)の対応する複数のビットの影響を受けなくなります。

表 49. V_{CC}の閾値アラート・マスク STATVCCM (0x8F)

ビット	記号	タイプ	デフォルト	動作
0	VCCH	RW	1	STATVCC (0x87)のVCCHをマスク
1	VCCL	RW	1	STATVCC (0x87)のVCCLをマスク

過電流コンパレータOCC1およびOCC2の結果をSTATVCC (0x87)で報告するビットには、対応するマスク・ビットがSTATVCCMに存在しないことに注意してください。したがって、ハートビートに対するOCC1とOCC2の影響は、GPO4とGPO5のいずれに対してもマスクできません。過電流の比較をしない場合は、OCCxCTRLのイネーブル・ビットをクリアする必要があります(デフォルト)。

コントロール・レジスタ

コントロール・レジスタは、マルチプレクサ入力を選択し、電荷、電力量、および時間の累積を制御し、GPIOピンを設定し、過電流コンパレータの閾値を設定して、外部クロックを使用する場合はタイム・ベースをセットアップします。

過電流コントロール・レジスタを使用すると、過電流コンパレータの閾値およびデグリッチ・フィルタを設定できます。過電流コンパレータのセクションも参照してください。

表 50. OCC1CTRL (0xDE)

ビット	記号	タイプ	デフォルト	動作
0	OCC1EN	RW	0	OCC1のイネーブル・ビット。GPO5はハートビートとして設定される
[3:1]	OCC1DAC [2:0]	RW	000	OCC1の閾値設定ビット、表6(OCCの閾値)を参照
[5:4]	OCC1DGLT [1:0]	RW	00	OCC1のデグリッチ時間設定ビット、表7(OCCのデグリッチ時間)を参照。
[7:6]	OCC1POL [1:0]	RW	00	OCC1の極性設定ビット、表5(OCCの極性設定)を参照

表 51. OCC2CTRL (0xDF)

ビット	記号	タイプ	デフォルト	動作
0	OCC2EN	RW	0	OCC2のイネーブル・ビット。GPO5はハートビートとして設定される
[3:1]	OCC2DAC [2:0]	RW	000	OCC2の閾値設定ビット、表6(OCCの閾値)を参照
[5:4]	OCC2DGLT [1:0]	RW	00	OCC2のデグリッチ時間設定ビット、表7(OCCのデグリッチ時間)を参照。
[7:6]	OCC2POL [1:0]	RW	00	OCC2の極性設定ビット、表5(OCCの極性設定)を参照

レジスタの説明

アキュムレータ・コントロール・レジスタおよび不感帯レジスタを使用すると、Charge1、Energy1、Charge2、Energy2、Charge3、およびEnergy4 (C1、E1、C2、E2、C3、E4) の累積を制御できます。累積は有効にしても無効にしてもかまいません。計測した電流の符号と絶対値に基づいて条件付きで有効にすることもできます。C1には累積されたI1が格納され、C2には累積されたI2が格納され、E1には累積されたP1が格納され、E2には累積されたP2が格納されます。C3には、I1とI2の累積合計をゲイン設定パラメータで重み付けした値(ゲイン設定レジスタのセクションを参照)が格納され、E4にはP1とP2の重み付けした累積合計が格納されます。

例えば、ACCCTRL1のビット0とACCCTRL2のビット1を設定すると、C1には正電流I1の累積値が格納され、C3には負電流の累積値が格納されます。

表 52. アキュムレータ・コントロール ACCCTRL1 (0xE1)

ビット	記号	タイプ	デフォルト	動作
[1:0]	ACC1I1 [1:0]	RW	00	Charge1/Charge2およびEnergy1/Energy2の累積制御。 00: 累積は常に行われる、 01: 電流が正の場合のみ、 10: 電流が負の場合のみ、 11: 累積は行われない。
[3:2]	ACC2I2 [1:0]	RW	00	

表 53. アキュムレータ・コントロール ACCCTRL2 (0xE2)

ビット	記号	タイプ	デフォルト	動作
[1:0]	ACC3I1 [1:0]	RW	00	Charge3およびEnergy4の累積制御。 00: 累積は常に行われる、 01: 電流が正の場合のみ、 10: 電流が負の場合のみ、 11: 累積は行われない。
[3:2]	ACC3I2 [1:0]	RW	00	
[5:4]	ACC4I1 [1:0]	RW	00	
[7:6]	ACC4I2 [1:0]	RW	00	

電流の計測経路にわずかなオフセット電圧があると、長時間の積算を実行した後は大きな電荷誤差が発生します。アキュムレータ・レジスタと不感帯レジスタを使用すると、I1とI2を累積する前にそれらの最小絶対値を設定できます。

表 54. 累積不感帯 ACCIDB1 (0xE4)

ビット	記号	タイプ	デフォルト	動作
[7:0]	ACCIDB1	RW	0x0	累積に関するCurrent 1の不感帯。I1の絶対値がこの値以上である場合、I1とP1は累積され、C1、E1、C3、E4は更新されます。それぞれの閾値との比較は更新の直後に実行されます。I1の絶対値の方が小さい場合は、I1とP1は累積されず、C1とE1は更新されません。単位は電流I1 (0x90)のLSBと同じです。

表 55. 累積不感帯 ACCIDB2 (0xE5)

ビット	記号	タイプ	デフォルト	動作
[7:0]	ACCIDB2	RW	0x0	累積に関するCurrent 2の不感帯。I2の絶対値がこの値以上である場合、I2とP2は累積され、C2、E2、C3、E4は更新されます。それぞれの閾値との比較は更新の直後に行われます。I2の絶対値の方が小さい場合は、I2とP2は累積されず、C2とE2は更新されません。単位は電流I2 (0x96)のLSBと同じです。

レジスタの説明

タイム・ベース・コントロール・レジスタは、内部と外部のいずれかのリファレンス・クロックを選択し、外部リファレンス・クロックを使用する場合はタイム・ベース・パラメータを設定します。内部リファレンス・クロックをイネーブルするには、PRE[2:0] = 111bまたは7d(デフォルト)を設定します。外部リファレンス・クロックを使用するには、PRE[2:0]およびDIV[4:0]の値を外部クロックの周波数に従って設定します。詳細については、タイム・ベース・コントロールのセクションを参照してください。

表 56. タイム・ベース・コントロール TBCTRL (0xE9)、デフォルト値: 0x07

ビット	記号	タイプ	デフォルト	動作
[2:0]	PRE [2:0]	RW	111	プリスケアラの値 [2:0]、 バイナリ・コード、 表 2. パラメータ PRE と外部クロックを参照
[7:3]	DIV [4:0]	RW	00000	分周器の値 [4:0]、 バイナリ・コード、 表 3 を参照

マルチプレクサ入力はマルチプレクサ・コントロール・レジスタで選択します。マルチプレクサ出力 MUXP および MUXN のそれぞれについて、5 ビットのワードで接続先の入力を選択します。

表 57. MUX の設定

MUXP/MUXN の設定		選択される入力
Binary [4:0]	Dec	
11XXX	31-24	予備
10111	23	VREF2 (250k 経由)、詳細については、『Safety Manual』を参照
10110	22	VREF2
10101	21	予備
10100	20	CF1P
10011	19	CF1M
10010	18	CF2P
10001	17	CF2M
10000	16	VBATP
01111	15	VBATM
01110	14	IPT、詳細については、『Safety Manual』を参照
01101	13	IMT、詳細については、『Safety Manual』を参照
01100	12	V12
01011	11	V11
01010	10	V10
01001	9	V9
01000	8	V8
00111	7	V7
00110	6	V6
00101	5	V5
00100	4	V4
00011	3	V3
00010	2	V2
00001	1	V1
00000	0	AGND

レジスタの説明

低速高精度モードでは、補助チャンネル(CH AUX)がラウンドロビン・モードで2つの差動入力信号を変換します。2つのスロットのそれぞれについて、MUXPおよびMUXNにマルチプレクスされる入力を選択するには、対応する5ビットの設定値を次の4つのレジスタにプログラムします。

高速モードでは、補助チャンネル(CH AUX)が変換する差動入力信号は1つだけであり、この信号を選択するには、高速MUXPおよびMUXNコントロール・レジスタの対応する5ビット設定値を選択すれば済みます。

高速連続計測時には、AUX MUXの設定を変更できません。高速計測のタイミングの章の注記を参照してください。

表 58. 低速モードでのマルチプレクサ・コントロール・レジスタ

ADDR	ビット	記号	タイプ	デフォルト	動作
0xEB	[4:0]	SLOT1MUXN [4:0]	RW	00000	Slot1 MUXN [4:0]の設定、バイナリ・コード、表 57を参照
0xEC	[4:0]	SLOT1MUXP [4:0]	RW	00000	Slot1 MUXP [4:0]の設定、バイナリ・コード、表 57を参照
0xED	[4:0]	SLOT2MUXN [4:0]	RW	00000	Slot2 MUXN [4:0]の設定、バイナリ・コード、表 57を参照
0xEE	[4:0]	SLOT2MUXP [4:0]	RW	00000	Slot2 MUXP [4:0]の設定、バイナリ・コード、表 57を参照

表 59. 高速モードでのマルチプレクサ・コントロール・レジスタ

ADDR	ビット	記号	タイプ	デフォルト	動作
0xF3	[4:0]	FAMUXN [4:0]	RW	00000	高速モードでのMUXN [4:0]の設定、バイナリ・コード、表 57を参照
0xF4	[4:0]	FAMUXP [4:0]	RW	00000	高速モードでのMUXP[4:0]の設定、バイナリ・コード、表 57を参照

高速コントロール・レジスタにより、高速変換を設定してトリガできます。

FGPIOCTRLおよびFACTRLに書き込むときには、タイミング上の制約があります。FGPIOCTRLの説明を参照してください。

表 60. 高速コントロール・レジスタFACTRL (0xF5)

ビット	記号	タイプ	デフォルト	動作
0	FACONV	RW	0	連続した高速変換の有効化(1)/無効化(0)。FACHA、FACH1、FACH2の1つ以上のビットを設定した場合は、変換結果がFIFOに書き込まれます。
1	FACHA	RW	0	チャンネルAUXの高速モード設定ビット。高速変換が始まるのは、FACONVの立上がりエッジ後またはADCVコマンドの発行後数 μ s以内です。
2	FACH1	RW	0	チャンネル1の高速モード設定ビット。高速変換が始まるのは、FACONVの立上がりエッジ後またはADCVコマンドの発行後数 μ s以内です。
3	FACH2	RW	0	チャンネル2の高速モード設定ビット。高速変換が始まるのは、FACONVの立上がりエッジ後またはADCVコマンドの発行後数 μ s以内です。

レジスタの説明

GPO コントロール・レジスタでは、0xF1 および 0xF2 の GPO CTRL ビットを設定することにより、対応する GPO ピンをスリーステート、ロー、ハイ、400kHz での切替えのいずれかに設定できます。

GPO4 および GPO5 は、400kHz の周波数で切り替わるハートビート・ピンとして使用可能であり、アラートが発生するとスタティック・ローになります。GPO5 はいずれかの過電流コンパレータをイネーブルすることによって作動し、これらのコンパレータが送出したアラート専用であるのに対して、GPO4 は、マスク・レジスタがマスクしなかったアラートにตอบสนองするように、GPO4 ハートビート・コントロール・レジスタ (0xE8) によって設定できます。GPO4 ハートビート・コントロール・レジスタでの設定値は、0xF2 での GPO4CTRL の設定値を無効にします。同様に、0xF1 での GPO5CTRL の設定値は、過電流コンパレータをイネーブルすることで無効になります。

表 61. GP04 ハートビート・コントロール GPIO4HBCTRL (0xE8)

ビット	記号	タイプ	デフォルト	動作
0	GP04HBEN	RW	0	GP04 ハートビート・マスタ・イネーブルのコントロール 0: GP04 はハートビートとして設定されない。 1: GP04 はハートビートとして設定され、マスクなしアラート (マスク・レジスタ参照) が GP04 のハートビートを停止する

表 62. 電流源と GPO5 コントロール FCURGPIOCTRL (0xF1)

ビット	記号	タイプ	デフォルト	動作
[1:0]	GPO5CTRL [1:0]	RW	00	GPO5 CTRL: [00]=スリーステート [01]=ロー (DGND) [10]=400kHz で切替え [11]=ハイ (DVCC)
4	MUXPCURPOL	RW	0	0: MUXP には 250 μ A の電流が流れ込む 1: MUXP からは 250 μ A の電流が流れ出す
5	MUXPCUREN	RW	0	0: MUXP の電流源はオフ 1: MUXP の電流源はオン
6	MUXNCURPOL	RW	0	0: MUXN には 250 μ A の電流が流れ込む 1: MUXN からは 250 μ A の電流が流れ出す
7	MUXNCUREN	RW	0	0: MUXN の電流源はオフ 1: MUXN の電流源はオン

MUXP および MUXN での 250 μ A 電流源により、全てのマルチプレクサ入力で断線検出が可能です。電流源は、イネーブルされると、ADC が接続されている間は入力に接続され、チャンネルが低速か高速に関係なく、変換を実行します。一般に、断線検出は高速チャンネルによって実行されます。その手順は、まず電流源、GPO、および MUX のコントロール・レジスタに書き込み (0xF1~0xF4 への 4 バイトの書き込み)、ADCV を送信することによって高速変換をトリガし、RDCV によって結果を読み出して、最後に 0xF1~0xF4 に 4 バイトをもう一度書き込むことにより、次の MUX 入力および電流源構成を設定するというものです。このように、電流源が専用ピン上でイネーブルされるタイミングは、正確に合わせられます。詳細については、『Safety Manual』を参照してください。

MUXP でのイネーブルされた電流源により、VREF の内部計測値が変化 (MUXPCURPOL = 1/0 のとき約 4V / 約 0.7V) しますが、この変化は外部の VREF ピンには現れません。また、NTC サーミスタによる温度計測やシャント抵抗の温度ドリフトの補償も (有効化した場合は) アラートの対象になります。これらは VREF の内部計測に依存するためです。VREF をいずれかの Vx ピンに外部接続することにより、常に VREF の正確な電圧を計測できます。不使用の入力ピン V1~V12 のセクションも参照してください。

レジスタの説明

表 63. GPO コントロール FGPICTRL (0xF2)

ビット	記号	タイプ	デフォルト	動作
[1:0]	GPO1CTRL [1:0]	RW	00	GPO1-4 CTRL: [00]=スリーステート [01]=ロー (DGND) [10]=400kHz で切替え [11]=ハイ (DVCC)
[3:2]	GPO2CTRL [1:0]	RW	00	
[5:4]	GPO3CTRL [1:0]	RW	00	
[7:6]	GPO4CTRL [1:0]	RW	00	

GPO ピンをスリーステートに設定した場合は、表 57 に従って、対応するマルチプレクサ設定を選択することにより、GPO ピンを補助チャンネルへのアナログ入力 (V8~V12) として使用できます。

レジスタ FCURGPICTRL への書き込みは、すぐには有効になりません。変更が有効になるのは、むしろ FGPICTRL に書き込んでからに限定されます。したがって、常に 1 回のバーストで両方のレジスタに書き込むことを推奨します。

更に、FGPICTRL および FACTRL に書き込むときには、タイミング上の制約があります。これらのレジスタへの書き込みは、常に 1ms 以上遅延させる必要があります。このため、FGPICTRL と FACTRL に 1 回のバーストで書き込むことはできません。通常は、これらのレジスタを制御するコード・セクションを適切に分割すれば容易に実現できます。

表 64. RDCV 間接アドレス (0xFC)

ビット	記号	タイプ	デフォルト	動作
[7:0]	RDCVIADDR	RW	0	RDCV コマンドによる間接メモリ・アクセスのアドレス・ポインタ。間接アドレス指定 RDCV コマンドのセクションを参照してください。

以下のレジスタは、ソフトウェアをデバッグする目的に限って提供されています。これにより、ホスト・コントローラとコアのシステム・クロックを同期させることができます。DBGCNT がコアによってリセットされるのは、メモリ・ページ 0 の最後のレジスタが更新された後です。こうなるのは、通常では低速モードの電流／電力変換が終了 (I1、I2、P1、P2 の EOC) してから 23ms 後です。

表 65. DBGCNT (0xD5)

記号	SI/UI	動作
DBGCNT	UI	デバッグ・カウンタ。ミリ秒単位でカウントし、コア・サイクルごとリセットされます。MEASURE モードでは、通常 0~100 をカウントします。STANDBY モードでは、通常 0~17 をカウントします。

レジスタの説明

レジスタ・マップ PAGE1

LTC2949レジスタ・マップのPAGE1には、閾値レジスタと設定レジスタが格納されています。閾値レジスタを使用すると、閾値を計測量ごとに設定できます。設定レジスタを使用すると、アプリケーションおよびボード固有のパラメータおよび設定値を格納できます。これらは、通常は動作時に変更する必要がないものです。

ソフトウェア・リセット

LTC2949はソフトウェア・リセット機能を備えており、次の表で説明しています。

表 66. RSTUNLCK (p1.0xA9)

記号	動作
RSTUNLCK	<p>0x55をこのレジスタに書き込むと、OPCTRL内でのリセット機能のロックが解除されます。LTC2949をスリープ・モードにした後に、OPCTRへの書き込みコマンドの値を0x80にすると、リセット信号が送出されます。LTC2949をリセットする詳細な手順は以下のとおりです。</p> <ol style="list-style-type: none"> 1.OPCTRL (0xF0) に0を書き込む 2.RSTUNLCK (ページ1の0xA9) に0x55を書き込む 3.130ms待つ 4.SLEEPに移行する(OPCTRLでSLEEPビットを設定) 5.20ms待つ 6.OPCTRL (0xF0) に0x80を書き込む

閾値レジスタ

閾値レジスタは、閾値を計測量ごとに設定します。計測値が閾値を超えると、アラートがトリガされ、閾値アラート・レジスタとオーバーフロー・アラート・レジスタ (0x81~0x87) の対応するビットが設定されます。レジスタGPIO4HBCTRL (0xE8)でGPO4のハートビートを有効にすると、複数のレジスタ (0x88~0x8F)でのマスクなしアラートによってGPO4でのハートビートが停止します。値のスケールリングは、表26、表27、および表28。非累積結果レジスタのパラメータでのLSB値を使用して、対応する結果レジスタの値と同じ方法で実行します。

表 67. 閾値レジスタ

アドレス	名称	タイプ	デフォルト	パラメータ
p1.0x00	C1TH[47:0]	RW	0x7FFF FFFF FFFF	Charge1 threshold high
p1.0x06	C1TL[47:0]	RW	0x8000 0000 0000	Charge1 threshold low
p1.0x0C	TB1TH[31:0]	RW	0xFFFF FFFF	Timebase1 threshold high
p1.0x10	E1TH[47:0]	RW	0x7FFF FFFF FFFF	Energy1 threshold high
p1.0x16	E1TL[47:0]	RW	0x8000 0000 0000	Energy1 threshold low
p1.0x20	C2TH[47:0]	RW	0x7FFF FFFF FFFF	Charge2 threshold high
p1.0x26	C2TL[47:0]	RW	0x8000 0000 0000	Charge2 threshold low
p1.0x2C	TB2TH[31:0]	RW	0xFFFF FFFF	Timebase2 threshold high
p1.0x30	E2TH[47:0]	RW	0x7FFF FFFF FFFF	Energy2 threshold high
p1.0x36	E2TL[47:0]	RW	0x8000 0000 0000	Energy2 threshold low
p1.0x44	C3TH[63:0]	RW	0x7FFF FFFF FFFF FFFF	Charge3 threshold high
p1.0x4C	TB3TH[31:0]	RW	0xFFFF FFFF	Timebase3 threshold high
p1.0x54	C3TL[63:0]	RW	0x8000 0000 0000 0000	Charge3 threshold low

レジスタの説明

表 67. 閾値レジスタ (続き)

アドレス	名称	タイプ	デフォルト	パラメータ
p1.0x64	E4TH[63:0]	RW	0x7FFF FFFF FFFF FFFF	Energy4 threshold high
p1.0x6C	TB4TH[31:0]	RW	0xFFFF FFFF	Timebase4 threshold high
p1.0x74	E4TL[63:0]	RW	0x8000 0000 0000 0000	Energy4 threshold low
p1.0x80	I1TH[15:0]	RW	0x7FFF	Current1 threshold high
p1.0x82	I1TL[15:0]	RW	0x8000	Current1 threshold low
p1.0x84	P1TH[15:0]	RW	0x7FFF	Power1 threshold high
p1.0x86	P1TL[15:0]	RW	0x8000	Power1 threshold low
p1.0x88	I2TH[15:0]	RW	0x7FFF	Current2 threshold high
p1.0x8A	I2TL[15:0]	RW	0x8000	Current2 threshold low
p1.0x8C	P2TH[15:0]	RW	0x7FFF	Power2 threshold high
p1.0x8E	P2TL[15:0]	RW	0x8000	Power2 threshold low
p1.0x90	BATTH[15:0]	RW	0x7FFF	BAT threshold high
p1.0x92	BATTL[15:0]	RW	0x8000	BAT threshold low
p1.0x94	TEMPH[15:0]	RW	0x7FFF	Die temperature threshold high
p1.0x96	TEMPTL[15:0]	RW	0x8000	Die temperature threshold low
p1.0x98	VCCTH[15:0]	RW	0x7FFF	VCC threshold high
p1.0x9A	VCCTL[15:0]	RW	0x8000	VCC threshold low
p1.0xA0	SLOT1TH[15:0]	RW	0x7FFF	Slot1 threshold high
p1.0xA2	SLOT1TL[15:0]	RW	0x8000	Slot1 threshold low
p1.0xA4	SLOT2TH[15:0]	RW	0x7FFF	Slot2 threshold high
p1.0xA6	SLOT2TL[15:0]	RW	0x8000	Slot2 threshold low

FLOAT24のフォーマット

以下の段落で説明するNTC設定パラメータとゲイン補正係数は、IEEE 754規格に従ってFLOAT24フォーマットで表される浮動小数点数として格納されます。LTC2949の実装では、符号に1ビット、63をバイアスとした2の補数フォーマットでの指数部に7ビット、仮数部に16ビットを使用しており、指数部が全て0で満たされていない限り、暗黙の先頭ビットの値は1です。一例として、0.95という値は、以下に示すように3バイトの数0x3EE666で表されます。

表 68. FLOAT24の例

3E								E6								66							
0	0	1	1	1	1	1	0	1	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Sign		Exponent						Mantissa MSB								Mantissa LSB							
1 x		2^(62-63) x						(1+0.899994)															

$$= 0.5 \cdot 1.899994 = 0.94999$$

LTC2949のデモ・ボードを制御するGUIは、数値のFLOAT24への変換をサポートしています。また、LTC2949のコード・セクション (<https://www.analog.com/jp/products/ltc2949.html#product-tools>) では、このためにC/C++で記述された変換関数を提供しています。

LTC2949.cppには、以下の変換関数が含まれています。

```
void LTC2949_FloatToF24Bytes(float f32, byte* bytes)
```

```
void LTC2949_F24BytesToFloat(byte* bytes, float* f32)
```

レジスタの説明

設定レジスタ

以下のレジスタを使用すると、LTC2949を特定アプリケーション向けに設定できます。LTC2949はSTANDBYモードになっている必要があり、動作コントロール・レジスタ(OPCTRL)のADJUPDビットを設定することによってこれらのレジスタの更新を要求し、変更を有効にする必要があるので注意してください。

ADC 設定レジスタ

ADC 設定レジスタを使用すると、P1ADCおよびP2ADCでの電力の乗算を無効にして、Slot1/2計測のNTCサーミスタ線形化をオンすることができます。

表 69. ADC 設定 ADCCONF (p1.0xDF)

ビット	記号	タイプ	デフォルト	動作
0	P1ASV	RW	0	0:P1ADCを電力モードに設定 1:P1ADCを電圧モードに設定
1	P2ASV	RW	0	0:P2ADCを電力モードに設定 1:P2ADCを電圧モードに設定
3	NTC1	RW	0	0: SLOT1の電圧計測。 SLOT1の出力LSB = 375 μ V 1: SLOT1のNTCサーミスタによる温度計測。 SLOT1の出力LSB = 0.2 $^{\circ}$ C
4	NTC2	RW	0	0: SLOT2の電圧計測。 SLOT2の出力LSB = 375 μ V 1: SLOT2のNTCサーミスタによる温度計測。 SLOT2の出力LSB = 0.2 $^{\circ}$ C
6	NTCSLOT1	RW	0	0: I1 (I2)に関するシャントのTC補正は、SLOT1 (SLOT2)を介して温度計測とリンクされる。 1: I1およびI2に関するシャントのTC補正は、SLOT1を介してのみ温度計測とリンクされる。

NTCサーミスタによる温度計測の詳細については、NTC設定レジスタと温度計測のセクションを参照してください。

LSBサイズに関するP1ASV/P2ASVの影響や電力ADC関連の計測/設定については、表28および表31を参照してください。

表 70. FACTRL 設定と ADCVCONF (PxASV) 設定の可能な組み合わせ

FACONV	FACH1	FACH2	P1ASV	P2ASV	FAST BAT (b)	SLOW P1	SLOW P2
X	1	0	X	X		Not Supported!	
X	0	1	1	1		Not Supported!	
X	0	0	X	X	N/A	18-Bit Power or Voltage	
X	0	1	0	0	N/A	18-Bit Power	N/A
X	0	1	0	1	P2	18-Bit Power	N/A
X	0	1	1	0	N/A	18-Bit Voltage	N/A
1	1	1	0	0	N/A	11-Bit Power (c)	
1	1	1	0	1	P2	11-Bit Power (c)	11-Bit Voltage (c)
1	1	1	1	0	P1	11-Bit Voltage (c)	11-Bit Power (c)
1	1	1	1	1	P1	11-Bit Voltage (c)	
0	1	1	0	0	N/A	18-Bit Power (a)	
0	1	1	0	1	P2	18-Bit Power (a)	18-Bit Voltage (a)
0	1	1	1	0	P1	18-Bit Voltage (a)	18-Bit Power (a)
0	1	1	1	1	P1	18-Bit Voltage (a)	

a) 全ての高速シングル・ショット計測は、低速チャンネル計測に割り込みます。低速チャンネルが更新を再開するのは、高速シングル・ショット計測が160ms以上ない場合に限りです。

b) 1つの電力ADCによる高速BAT (VBATP-VBATM) 電圧計測。AUX ADCを使用して高速モード (FACHA=1) でまたは低速モードでVBATP-VBATMを計測することは、やはり常に可能です。

c) 高速モードに設定されたチャンネルの電力ADC (PxASV=0) は、P1/P2レジスタを介して100msの更新レートで11ビットの変換を実行できます。LSBサイズは同じままですが、この場合にサポートされる分解能は11ビットにとどまります。

レジスタの説明

NTC 設定レジスタ

ADC 設定レジスタのビット NTC1 および NTC2 を設定すると、LTC2949 は、NTC 抵抗とリファレンス抵抗を比較して Steinhart-Hart の式を解くことにより、対応する CHAUX スロットの温度の結果を報告します。NTC 設定レジスタでは、Steinhart-Hart 係数 (A、B、C) とリファレンス抵抗の値を設定できます。

更に、2つまでの外付け検出抵抗の直線的な温度係数は、熱的に密接に結合した NTC サーミスタで補償できます。温度補償を有効にするには、それぞれの温度係数とそのリファレンス温度 (T_0) を NTC 設定レジスタで書き込みます。詳細については、温度計測と検出抵抗の温度補償のセクションを参照してください。

表 71. NTC 設定レジスタ

アドレス	名称	タイプ	デフォルト	パラメータ	単位	フォーマット
p1.0xAA	RREF1[23:0]	RW	0x000000	NTC1 reference resistor	Ω	Float24
p1.0xAD	RREF2[23:0]	RW	0x000000	NTC2 reference resistor	Ω	Float24
p1.0xD0	NTC1A[23:0]	RW	0x000000	NTC1 Coefficient A		Float24
p1.0xD3	NTC1B[23:0]	RW	0x000000	NTC1 Coefficient B		Float24
p1.0xD6	NTC1C[23:0]	RW	0x000000	NTC1 Coefficient C		Float24
p1.0xD9	RS1TC[23:0]	RW	0x000000	Sense resistor 1 (RS1) temperature coefficient (TC)	1/K	Float24
p1.0xDC	RS1T0[16:0]	RW	0x0000	Reference temperature for TC compensation of RS1	$^{\circ}\text{C}$	Float24
p1.0xE0	NTC2A[23:0]	RW	0x000000	NTC2 Coefficient A		Float24
p1.0xE3	NTC2B[23:0]	RW	0x000000	NTC2 Coefficient B		Float24
p1.0xE6	NTC2C[23:0]	RW	0x000000	NTC2 Coefficient C		Float24
p1.0xE9	RS2TC[23:0]	RW	0x000000	Sense resistor 2 (RS2) temperature coefficient (TC)	1/K	Float24
p1.0xEC	RS2T0[16:0]	RW	0x0000	Reference temperature for TC compensation of RS2	$^{\circ}\text{C}$	Float24
p1.0x7C	RS1TC2[23:0]	RW	0x000000	2nd order TC of sense resistor 1	$1/\text{K}^2$	Float24
p1.0x5C	RS2TC2[23:0]	RW	0x000000	2nd order TC of sense resistor 2	$1/\text{K}^2$	Float24

リファレンス温度 RS1T0 および RS2T0 を格納している 2 つの 16 ビット・レジスタでは、仮数部の最下位バイト (LSB) が暗黙的に 0 になることに注意してください。

ゲイン設定レジスタ

LTC2949 は、外付け部品の許容誤差を補償するため、2 つの電流検出抵抗、バッテリー電圧分圧器、および 4 つのマルチプレクサ入力を対象とするゲイン補正係数を、レジスタ・マップの計測ページ 1 の 0xB0 と 0xCF の間にあるゲイン設定レジスタに格納できます。これらの係数をデフォルト値の 1.0 とは異なる値に設定すると、LTC2949 はそれに応じて電流、電圧、電力、電荷、および電力量の計算値を補正します。LTC2949 のアキュムレータは、2 つの検出抵抗を流れる電荷と電力量の合計を計算するように設定できるので、2 つの検出抵抗間の公称比 $\text{RSRATIO} = R_{S1}/R_{S2}$ も格納できます。その後、LTC2949 は CH2 の計測値 (I_2 、 P_2) に RSRATIO を乗じてから、その結果を電荷 (C3) または電力量 (E4) の合計に加えます。これらの係数は、前述した IEEE 754 規格に従って、全て Float24 フォーマットで格納されます。

表 72. ゲイン設定レジスタ

アドレス	名称	タイプ	デフォルト	パラメータ	フォーマット
p1.0xB0	RS1GC[23:0]	RW	0x3F00 00	Sense resistor 1 (R_{S1}) gain correction factor	Float24
p1.0xB3	RS2GC[23:0]	RW	0x3F00 00	Sense resistor 2 (R_{S2}) gain correction factor	Float24
p1.0xB6	RSRATIO[23:0]	RW	0x3F00 00	Nominal ratio of R_{S1} to R_{S2}	Float24
p1.0xB9	BATGC[23:0]	RW	0x3F00 00	BAT gain correction factor	Float24
p1.0xC0	MUX1GC[23:0]	RW	0x3F00 00	Gain correction factor for MUX setting 1	Float24
p1.0xC3	MUX2GC[23:0]	RW	0x3F00 00	Gain correction factor for MUX setting 2	Float24
p1.0xC6	MUX3GC[23:0]	RW	0x3F00 00	Gain correction factor for MUX setting 3	Float24
p1.0xC9	MUX4GC[23:0]	RW	0x3F00 00	Gain correction factor for MUX setting 4	Float24

レジスタの説明

表 72. ゲイン設定レジスタ(続き)

アドレス	名称	タイプ	デフォルト	パラメータ	フォーマット
p1.0xBC	MUXPSET1[4:0]	RW	0x00	MUXP gain correction setting 1	MUXP バイナリ・コード、表 57 を参照
p1.0xBD	MUXNSET1[4:0]	RW	0x00	MUXN gain correction setting 1	MUXN バイナリ・コード、表 57 を参照
p1.0xBE	MUXPSET2[4:0]	RW	0x00	MUXP gain correction setting 2	MUXP バイナリ・コード、表 57 を参照
p1.0xBF	MUXNSET2[4:0]	RW	0x00	MUXN gain correction setting 2	MUXN バイナリ・コード、表 57 を参照
p1.0xCC	MUXPSET3[4:0]	RW	0x00	MUXP gain correction setting 3	MUXP バイナリ・コード、表 57 を参照
p1.0xCD	MUXNSET3[4:0]	RW	0x00	MUXN gain correction setting 3	MUXN バイナリ・コード、表 57 を参照
p1.0xCE	MUXPSET4[4:0]	RW	0x00	MUXP gain correction setting 4	MUXP バイナリ・コード、表 57 を参照
p1.0xCF	MUXNSET4[4:0]	RW	0x00	MUXN gain correction setting 4	MUXN バイナリ・コード、表 57 を参照

一例として、公称 $100\mu\Omega$ の検出抵抗を CH1 に使用したものの、ボードのキャリブレーションによって検出抵抗の値が $102\mu\Omega$ であることが分かった場合は、 $100/102 = 0.9804$ という係数を $RS1GC[23:0] = \text{float24}(0.9804) = 0x3EF5F5$ に書き込みます。

検出抵抗の公称値は $10m\Omega$ であるが、CH2 に使用した実際の値は $9.8m\Omega$ であるとする、係数 1.024 を $RS2GC[23:0] = \text{float24}(1.024) = 0x3F0624$ にプログラムして、係数 0.01 を $RSRATIO[23:0] = \text{float24}(0.01) = 0x3847AE$ にプログラムします。

多くのアプリケーションでは、LTC2949 が外付け抵抗分圧器を使用して高電圧を計測しますが、電圧の精度は、抵抗の許容誤差に起因するゲイン誤差によって低下します。LTC2949 を使用すると、バッテリー電圧の計測値と 4 つのプログラマブル MUX 設定値のゲイン補正係数を格納できます。例: レジスタ $MUX1GC[23:0] = 0x3ECCCC$ 、 $MUXPSET1[7:0] = 0x01$ 、および $MUXNSET1[7:0] = 0x02$ である場合、LTC2949 はゲイン補正係数 0.9 を $V1$ と $V2$ の間の差動計測値に適用します。表 57 も参照してください。

$MUX[1-4]GC \sim MUX[P,N]SET[1-4]$ までの割り当ては、MUX 設定の極性とは関係ありません。前述の例に関連して、 $V1-V2$ と $V2-V1$ の計測値には同じゲイン補正係数が適用されます。また、 $MUXPSET1$ と $MUXNSET1$ の抵抗値を交換しても、同じ動作になります。ゲイン補正パラメータと計測値との間の関係性を表 73 にまとめています。

全てのゲイン設定レジスタは外部の EEPROM にコピーできるので、アプリケーション基板の出荷時のキャリブレーションをモジュール方式にすることができます。

表 73. ゲイン補正パラメータと計測との関係

名称	対象の計測
BATGC	低速計測と高速計測の BAT P1、P2、E1、E2、E4 SLOT[1,2]MUX[P,N]を任意の極性のVBATP、VBATMに設定した場合はSLOT[1,2]のAUX計測 FAMUX[P,N]を任意の極性のVBATP、VBATMに設定した場合は高速AUX変換
MUX[1-4]GC	SLOT[1,2]MUX[P,N]が任意の極性のMUX[P,N]SET[1-4]に一致する場合はSLOT[1,2]のAUX計測
RS[1,2]GC	I1、I2、P1、P2、C1、C2、C3、E1、E2、E4
RSRATIO	C3、E4 (注記: C3に蓄積された電荷は $(I1 + RSRATIO \cdot I2) \cdot dT$ で、E4に蓄積された電力量は $(P1 + RSRATIO \cdot P2) \cdot dT$)

レジスタの説明

外部EEPROMコントロール・レジスタ

LTC2949に電力が供給されていないときのデータ損失を防止するため、LTC2949はそのレジスタの内容全部を専用のI²Cインターフェースを介して外部のEEPROMに格納できます。EEPROMへの通信はEEPROMコントロール・レジスタ(EEPROMCTRL)によって制御されます。

表 74. EEPROM コントロール・レジスタ EEPROMCTRL (p1.0x50)

ビット	記号	タイプ	デフォルト	動作	持続時間
0	INIT	SO	0	Write signature to EEPROM	40ms
1	CHECK	SO	0	Check the signature in EEPROM	25ms
2	SAVE	SO	0	Save MEM (but special row) to EEPROM	1100ms
3	RESTORE	SO	0	Restore EEPROM to MEM (but special row)	1250ms
4	INITRSL	RW	0	Result of INIT	
5	CHECKRSL	RW	0	Result of CHECK	
6	SAVERSL	RW	0	Result of SAVE	
7	RESTORERSL	RW	0	Result of RESTORE	

EEPROMCTRLの下位4ビットは設定専用であり、EEPROMとの専用通信をトリガするのに対して、上位4ビットは読出し／書き込みであり、通信が正常に終了すると、「持続時間」の列に示す代表的な時間の経過後にLTC2949によって設定され、次の通信が要求される前にホストからの書き込みコマンドによってリセットされる必要があります。

その他の相互通信を実行する前に、INITビットの設定によってEEPROMを初期化する必要があります。これにより、LTC2949は定義済みのシグネチャをEEPROMに書き込みます。いったんシグネチャが書き込まれると、LTC2949はINITビットをリセットして、EEPROMがI²Cプロトコルに従ってアクノレッジを返した場合、INITRSLビットを設定します。EEPROMとのその他の相互通信の前に、このシグネチャの読出しと検査が行われます。更に、このシグネチャを検査するには、まずビットCHECKを設定し、ビットCHECKがLTC2949によってリセットされた後に、ビットCHECKRSLが設定されていることを検証します。

ビットSAVEを設定すると、LTC2949は、両方のレジスタ・ページの最後の共通行を除き、メモリ全体をEEPROMに保存します。加えて、レジスタ全体の内容を基に計算したCRCもEEPROMに保存します。LTC2949は、ビットSAVERSLを設定することにより、シグネチャの検査とEEPROMのアクノレッジに基づいて、正常な保存動作を信号で通知します。

ビットRESTOREを設定すると、LTC2949はEEPROMの内容をその内部RAMにコピーし、CRCを計算して、CRCが正しいと判明していた場合はビットRESTORERSLを設定します。

外部EEPROMと通信するには、LTC2949をSTANDBYモードにして、データの損失やデータの破壊を防止することが必要です。

多くのアプリケーションでは、シリアル番号などの追加カスタム・データを格納することが要求されます。その目的に対しては、予備のレジスタp1.0x1C~p1.0x1F(4バイト)およびp1.0x3C~p1.0x3F(4バイト)を使用できます。更に、基板固有の初期化が必要なく、したがってホスト・コントローラによって初期化されるLTC2949のレジスタを使用してカスタム・データを格納することもできます。例えば、全てのアクムレータは、単にゼロで初期化されるか、何らかの充電状態アルゴリズムによって初期化されます。全ての閾値は、一般にハード・コードされているか、システム内の上位インスタンスによって初期化されます。マルチプレクサ設定レジスタは、プログラムによって調整されます。最小／最大トラッキング・レジスタは、ホスト・コントローラで初期化できます。図18に示すレジスタ・マップは、記載されているレジスタの概要を示しています。これら全てを使用すると、カスタム・データ・バイト数を240バイトまで増やすことができます。

このデータにアクセスするため、ホストはEEPROM RESTOREコマンドを出力し、全てのレジスタとカスタム・データを読み出して、その後レジスタを目的の値に初期化します。

レジスタの説明

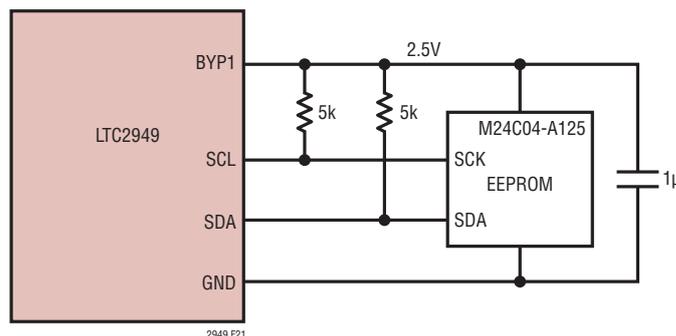


図21. EEPROMの接続。推奨の4kビット・オートモーティブ向け認定済みEEPROM (EEC内蔵の場合: STMicroelectronics製 M24C04-A125、またはEECを内蔵しない場合: Microchip製 AT24C04Cまたは24AA04)

アプリケーション情報

温度計測

LTC2949の高インピーダンス入力V1~V12を使用すると、以下に示すようにサーミスタやリファレンス抵抗によって温度を計測できます。

ADC設定レジスタのビットNTC1またはNTC2を設定すると、LTC2949は、サーミスタ(NTC) R_{NTC} の抵抗とリファレンス抵抗を比較してSteinhart-Hartの式を解くことにより、対応するCHAUXスロットの低速高精度モードでの温度の結果を報告します。

$$\frac{1}{T} = A + B \cdot \ln R_{NTC} + C \cdot (\ln R_{NTC})^3$$

リファレンス抵抗 R_{REF} およびSteinhart-Hart係数(A、B、C)の値はNTC設定レジスタに格納する必要があります。Steinhart-Hart係数は、サーミスタ・メーカーによって提供される、一般的に仕様規定されているパラメータですが、与えられた抵抗の表から推定することもできます。

図22に示すアプリケーションについて、NTC設定レジスタから関係のあるレジスタを以下の表に示します。

VREFはV1~V12の場合と同じADCで計測されるので、VREFの不完全性とADCのゲイン誤差が温度計測の精度に影響することはありません。

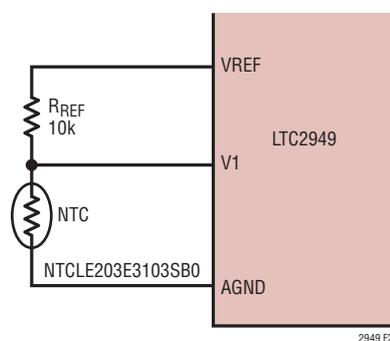


図22. サーミスタの接続

表75. NTC設定レジスタでのNTC1の値

パラメータ	値	単位	アドレス	名称	値	フォーマット
NTC1 reference resistor	10k	Ω	p1.0xAA	RREF1[23:0]	0x4C3880	Float24
NTC1 Coefficient A	1.1382e-3		p1.0xD0	NTC1A[23:0]	0x352A5F	Float24
NTC1 Coefficient B	2.3267e-4		p1.0xD3	NTC1B[23:0]	0x32E7F1	Float24
NTC1 Coefficient C	0.93243e-7		p1.0xD6	NTC1C[23:0]	0x279079	Float24

アプリケーション情報

検出抵抗の温度補償

LTC2949は、外付けのNTCサーミスタによる温度計測値に基づいて、使用した電流検出抵抗の温度依存性を2次まで補償するよう設定できます。温度補償を有効にするには、検出抵抗の温度係数(TC、TC2)とそのリファレンス温度(T_0)をNTC設定レジスタに書き込みます。LTC2949は、検出抵抗の公称値 R_0 からの温度起因のずれを次式に従って補償します。

$$R_{\text{SENSE}} = R_0 \cdot [1 + TC \cdot (T - T_0) + TC2 \cdot (T - T_0)^2]$$

温度係数とリファレンス温度は、NTC設定レジスタで検出抵抗ごとに個別に設定できます。表76に、温度係数が3900ppm/Kの銅箔検出抵抗のプログラム係数を示します。この抵抗の公称値 R_0 は20°Cで計測されたものです。

一方または両方のチャンネルについて温度補償を有効にした場合、CH1に接続されている検出抵抗は、CHAUXの最初のスロットの間に計測されたNTC1の温度で補償されるのに対して、CH2に接続されている検出抵抗は、CHAUXの2番目のスロットの間に計測されたNTC2の温度で補償されます。マルチプレクサの設定は、対応するNTCサーミスタに接続されている入力ピンがそれぞれのスロットの間に選択されるように設定する必要があります。CHAUXを高速モードに変更すると、最後のNTC温度計測はラウンドロビン・モードで行われ、温度補償に使用されます。

次の線形方程式系を解き、R対T(単位:K)の抵抗表を基に3つの値 $R_1(T_1)$ 、 $R_2(T_2)$ 、 $R_3(T_3)$ を使ってA、B、Cを計算する必要があります。

$$\begin{pmatrix} T_1^{-1} \\ T_2^{-1} \\ T_3^{-1} \end{pmatrix} = \begin{pmatrix} 1 & \ln R_1 & \ln^3 R_1 \\ 1 & \ln R_2 & \ln^3 R_2 \\ 1 & \ln R_3 & \ln^3 R_3 \end{pmatrix} \begin{pmatrix} A \\ B \\ C \end{pmatrix}$$

この線形方程式系を解くと、A、B、Cは次のように表すことができます。

$$l_1 = \ln R_1$$

$$l_2 = \ln R_2$$

$$l_3 = \ln R_3$$

$$m_2 = \frac{T_2^{-1} - T_1^{-1}}{l_2 - l_1}$$

$$m_3 = \frac{T_3^{-1} - T_1^{-1}}{l_3 - l_1}$$

$$C = \frac{m_3 - m_2}{l_3 + l_2 + l_1}$$

$$B = m_2 - C \cdot (l_1^2 + l_1 \cdot l_2 + l_2^2)$$

$$A = T_1^{-1} - (B + l_1^2 \cdot C) \cdot l_1$$

アプリケーション情報

シングル・シャントのシナリオの場合は、1つのNTCとSLOT1の組み合わせによって計測された温度を使用して両方のチャンネルを補償できます。ADCCONF、ビットNTCSLOT1を参照してください。

isoSPIのセットアップ

LTC2949は、消費電力またはノイズ耐性に合わせて各アプリケーションのisoSPIリンクを最適化できます。isoSPIシステムの消費電力とノイズ耐性は、事前に設定された I_B 電流によって決まります。 I_B 電流の範囲は $100\mu\text{A}$ ～ 1mA です。 I_B が小さいと、READYおよびACTIVEステートでのisoSPIの消費電力が少なく済みますが、 I_B が大きいと、対応する終端抵抗 R_M 両端の差動信号電圧 V_A の振幅が大きくなります。 I_B は、図23に示すように、 I_{BIAS} ピンとGNDの間に接続した抵抗 R_{B1} と R_{B2} の和によって設定されます。ほとんどのアプリ

ケーション設定では、 I_B を 0.5mA に設定すると、消費電力とノイズ耐性の折り合いをうまくつけることができます。この I_B の設定を1:1のトランスと $R_M = 100\Omega$ で使用する場合は、 R_{B1} を 2.8k 、 R_{B2} を 1.2k に設定します。標準のCAT5ツイスト・ペアケーブルでは、この設定で最大50mの通信が可能です。50mより長いケーブルが必要なアプリケーションでは、 I_B を 1mA に増やすことを推奨します。これにより、ケーブルでの挿入損失の増大が補償され、高いノイズ耐性が維持されます。したがって、50mを超えるケーブルを使用する場合や、巻数比が1:1のトランスと $R_M = 100\Omega$ を使用する場合は、 R_{B1} を 1.4k 、 R_{B2} を 600Ω にします。アプリケーションの要求に応じて、その他の I_B 設定を使用して消費電力を低減することやノイズ耐性を向上させることができます。閾値電圧 V_{ICMP} を設定して R_{B1} と R_{B2} の抵抗値を選択する場合には、以下の規則に従ってください。

表 76. 検出抵抗の温度係数

パラメータ	値	単位	アドレス	名称	値	フォーマット
Sense resistor 1 (RS1) temperature coefficient (TC)	0.0039	1/K	p1.0xD9	RS1TC[23:0]	0x36FF2E	Float24
Reference temperature for TC compensation of RS1	20	°C	p1.0xDC	RS1T0[16:0]	0x4340	Float24, 2 bytes

注記: 銅箔の場合に限り、1次温度係数が関係しているので、TC2=0.0(デフォルト)。

表 77. 検出抵抗の温度補償を有効にする手順

	何を	どのように、どこで	アドレス
ステップ1	LTC2949をスタンバイ・モードに設定	OPCTRLでCONT = 0	0xF0
ステップ2	NTCおよび R_{SENSE} のデータを書込み	NTC設定レジスタ	表71を参照
ステップ3	AUXスロットを温度モードに設定	ADC設定レジスタでNTCx = 1	p1.0xDF
ステップ4	接続されたNTCによりMUX入力チャンネルを選択	マルチプレクサ設定レジスタ	0xEB~0xEE
ステップ5	設定レジスタを更新	OPCTRLでADJUP = 1	0xF0
ステップ6	LTC2949を連続モードに設定	OPCTRLでCONT = 1	0xF0

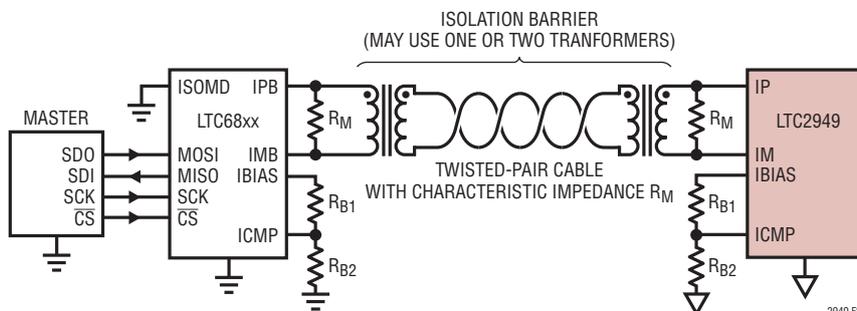


図 23. isoSPI 回路

アプリケーション情報

ケーブルが50mより短い場合:

$$I_B = 0.5\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = \frac{1}{2} \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = (2/I_B) - R_{B2}$$

ケーブルが50mより長い場合:

$$I_B = 1\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/4 \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = (2/I_B) - R_{B2}$$

isoSPIリンクの最大データ・レートは、使用するケーブルの長さによって決まります。ケーブルが10m以下の場合、最大1MHzのSPIクロック周波数が可能です。ケーブルの長さが長くなるにつれて、可能な最大SPIクロック・レートは減少します。これはケーブルによって伝播遅延が増加した結果であり、このためタイミングの規格外れが発生する可能性があります。CAT5 ツイスト・ペア・ケーブルを使用した場合、ケーブル長が長くなるに従って最大データ・レートがどのように減少するかを図24に示します。ケーブルの遅延は、 t_{CLK} 、 t_6 、 t_7 の3つのタイミング仕様に影響を与えます。電気的特性の表では、これらの仕様のそれぞれが100nsまで減定格され、50nsのケーブル遅延が許容されます。更に長いケーブルの場合は、最小のタイミング・パラメータを次に示すように計算できます。

$$t_{CLK}, t_6 \text{ and } t_7 > 0.9\mu\text{s} + 2 \cdot t_{CABLE}$$

トランス選択ガイド

図23に示すように、1つのトランスまたは1対のトランスによって、2つのisoSPIポート間のisoSPI信号を絶縁します。isoSPI信号は、最大1.6V_{P-P}のプログラム可能なパルス振幅と、50nsおよび150nsのパルス幅を備えています。これらのパルスは、必要な忠実度で送信できるようにするために、シス

テムで必要なのはトランスの1次側インダクタンスを60μHより大きくして、巻数比を1:1にすることです。また、漏れインダクタンスが2.5μHより少ないトランスを使用することも必要です。パルス波形の観点から、1次側インダクタンスが最も影響するのは、50nsおよび150nsパルスのドループです。1次側インダクタンスが小さすぎると、パルスの振幅は減少し始め、パルスの周期にわたって減衰します。パルス・ドループが厳しい場合、レシーバーから見た実効パルス幅が大幅に狭まり、ノイズ・マージンが減少します。低下のパーセント値が全パルス振幅と比較して小さい値である限り、ある程度の低下は許容されます。漏れインダクタンスが主に影響するのは、パルスの立上がり時間と立下がり時間です。立上がり時間と立下がり時間が長いと、パルス幅は実質的に減少します。パルス幅は、ICMPピンで設定されている閾値を信号が超える時間に依りて、レシーバーにより決定されます。立上がり時間と立下がり時間が長いと、タイミングのマージンは減少します。一般的には、パルス・エッジをできるだけ高速に保つのが最善です。また、トランスを評価する場合には、巻線の並列容量に留意することも大切です。トランスのCMRRは低周波では非常に良好ですが、この除去比特性は高周波では低下します。その原因は、主として巻線間の容量です。トランスを選択する場合には、できれば巻線の並列容量が少ないものを選ぶのが最善です。

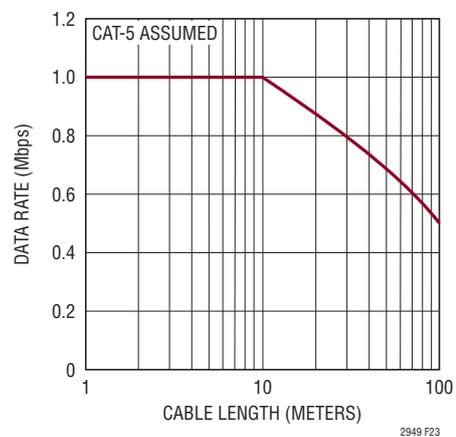


図24. データ・レートとケーブル長

アプリケーション情報

トランスを選択する場合、同様に重要なのは、アプリケーションに合わせて適切な絶縁定格の製品を選ぶことです。トランスの動作電圧定格は、アプリケーションに合わせて製品を選択するときの重要な仕様です。デジタイズ・リンクを相互接続した場合にデバイスが受けるストレスは、代表的なアプリケーションでは60V未満なので、通常のパルス・トランスやLANタイプのトランスで十分です。マルチドロップ接続やLTC6820に接続する場合は、一般に、良好な長期信頼性を確保するため、はるかに高い動作電圧定格が必要となる可能性があります。通常は、動作電圧をバッテリー・スタック全体の電圧に一致させるのが確実です。残念なことに、トランスのメーカーは1秒間のHVテストしか規定しないことが多く、これは製品の長期(永続)的な定格と同等ではありません。例えば、ほとんどの安全規格によると、1.5kV定格のトランスは継続的に230Vを扱えることを期待されており、3kVのデバイスは長期間1100Vに対応できることを期待されていますが、メーカーがこれらのレベルを必ずしも認証するわけではありません(仕様については実際のメーカー・データを参照)。通常、高電圧のトランスを、メーカーは高絶縁タイプまたは強化絶縁タイプと呼んでいます。isoSPIリンクで評価されたトランスの一覧を表78に示します。

EMC

最高の電磁適合性(EMC)性能を得るため、図25および図26のいずれかの回路を使用することを推奨します。トランスのセンター・タップは、10nFのコンデンサでバイパスします。センター・タップ・コンデンサは、同相信号を減衰するのに役立ちます。10nFよりも大きなセンター・タップ・コンデンサの使用は避けてください。使用するとisoSPIトランスミッタのコモンモード電圧を安定化できないためです。センター・タップのないトランスを使用する場合は、終端抵抗を2等分して、IP線とIM線の間で直列で接続します。図に示すように、2つの抵抗の中心をコンデンサでバイパスします。コモンモード電流の除去性能を向上するには、LTC2949のIP線およびIM線と直列にコモンモード・チョークも配置します。コモンモード・チョークにより、EMI耐性が向上するだけで

なく、EMI放射が減少します。コモンモード・チョークを選択する場合は、50MHz以下の信号に対する差動モード・インピーダンスが20Ω以下のものにします。イーサネット・アプリケーションで使用されるものと同様のコモンモード・チョークを推奨します。

isoSPI信号線のレイアウトは、回路の耐性を最大限に引き上げる重要な役割も果たしています。以下に示すレイアウトのガイドラインに従ってください。

1. トランスはisoSPIケーブル・コネクタにできるだけ近づけて配置する。距離は2cm以下に保つ。LTC2949をトランスから少なくとも1cm~2cm離して配置して、デバイスを磁界結合から切り離す。
2. 最上部品層では、トランスの下、isoSPIコネクタの下、またはトランスとコネクタの間にグラウンド・プレーンを配置しない。
3. isoSPI信号のパターンは、グラウンド・メタルまたはスペースによって周囲の回路およびパターンから分離する。内部層上のグラウンド・プレーンによって分離されている場合を除き、パターンがisoSPI信号線と交差しないようにする。

isoSPI駆動電流はプログラマブルであり、消費電力とノイズ耐性との兼ね合いを調整できます。LTC2949のノイズ耐性は、バルク電流注入(BCI)検査によって評価済みです。BCI検査では、1MHz~400MHzの周波数範囲にわたってツイストペア線に複数の設定レベルで電流を注入します。I_B電流が最小(100μA)の場合でも、isoSPIシリアル・リンクは40mAのBCI検査にビット・エラーなしで合格できました。40mAのBCI検査レベルは、産業用アプリケーションに対しては十分です。オートモーティブ・アプリケーションでは、BCI条件がはるかに厳しいため、LTC2949のI_Bを1mA、つまり最大電力レベルに設定します。isoSPIシステムは、200mAのBCI検査に伝送ビット・エラーなしで合格できます。200mAの検査レベルは、オートモーティブ条件としては代表的です。

アプリケーション情報

表 78. 推奨のトランス

メーカー	製品番号	温度範囲	V _{WORKING}	V _{HIPOT/60S}	CT	CMC	H	L	幅 (幅/リード)	ピン	AEC-Q200
推奨のデュアル・トランス											
Pulse	HX1188FNL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	6.0mm	12.7mm	9.7mm	16SMT	-
Pulse	HX0068ANL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	2.1mm	12.7mm	9.7mm	16SMT	-
Pulse	HM2100NL	-40°C to 105°C	1000V	4.3kVDC	-	●	3.4mm	14.7mm	14.9mm	10SMT	●
Pulse	HM2112ZNL	-40°C to 125°C	1000V	4.3kVDC	●	●	4.9mm	14.8mm	14.7mm	12SMT	●
Sumida	CLP178-C20114	-40°C to 125°C	1000V (est)	3.75kV _{RMS}	●	●	9mm	17.5mm	15.1mm	12SMT	-
Sumida	CLP0612-C20115		600V _{RMS}	3.75kV _{RMS}	●	-	5.7mm	12.7mm	9.4mm	16SMT	-
Würth	7490140110	-40°C~+85°C	250V _{RMS}	4kV _{RMS}	●	●	10.9mm	24.6mm	17.0mm	16SMT	-
Würth	7490140111	0°C to 70°C	1000V (est)	4.5kV _{RMS}	●	-	8.4mm	17.1mm	15.2mm	12SMT	-
Würth	749014018	0°C to 70°C	250V _{RMS}	4kV _{RMS}	●	●	8.4mm	17.1mm	15.2mm	12SMT	-
Halo	TG110-AE050N5LF	-40°C to 85/125°C	60V (est)	1.5kV _{RMS}	●	●	6.4mm	12.7mm	9.5mm	16SMT	●
推奨のシングル・トランス											
Pulse	PE-68386NL	-40°C to 130°C	60V (est)	1.5kVDC	-	-	2.5mm	6.7mm	8.6mm	6SMT	-
Pulse	HM2101NL	-40°C to 105°C	1000V	4.3kVDC	-	●	5.7mm	7.6mm	9.3mm	6SMT	●
Pulse	HM2113ZNL	-40°C to 125°C	1600V	4.3kVDC	●	●	3.5mm	9mm	15.5mm	6SMT	●
Würth	750340848	-40°C to 105°C	250V	3kV _{RMS}	-	-	2.2mm	4.4mm	9.1mm	4SMT	-
Würth	750317011	-40°C~+125°C	800V	3kV _{RMS}	●	-	7.62mm	9.14mm	12.95mm	6SMT	-
Halo	TGR04-6506V6LF	-40°C to 125°C	300V	3kV _{RMS}	●	-	10mm	9.5mm	12.1mm	6SMT	-
Halo	TGR04-A6506NA6NL	-40°C to 125°C	300V	3kV _{RMS}	●	-	9.4mm	8.9mm	12.1mm	6SMT	●
Halo	TDR04-A550ALLF	-40°C to 105°C	1000V	5kV _{RMS}	●	-	6.4mm	8.9mm	16.6mm	6TH	●
TDK	ALT4532V-201-T001	-40°C to 105°C	60V (est)	~1kV	●	-	2.9mm	3.2mm	4.5mm	6SMT	●
Sumida	CEEH96BNP-LTC6804/11	-40°C to 125°C	600V	2.5kV _{RMS}	-	-	7mm	9.2mm	12.0mm	4SMT	-
Sumida	CEP99NP-LTC6804	-40°C to 125°C	600V	2.5kV _{RMS}	●	-	10mm	9.2mm	12.0mm	8SMT	-
Sumida	ESMIT-4180/A	-40°C to 105°C	250V _{RMS}	3kV _{RMS}	-	-	3.5mm	5.2mm	9.1mm	4SMT	●
TDK	VGT10/9EE-204S2P4	-40°C to 125°C	250V (est)	2.8kV _{RMS}	●	-	10.6mm	10.4mm	12.7mm	8SMT	-

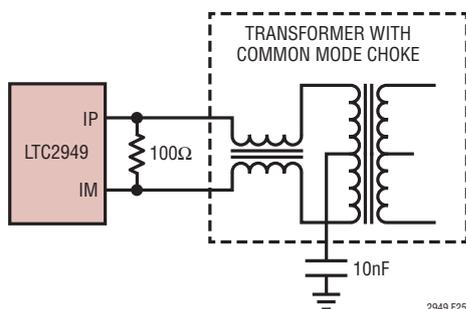


図 25. EMC 向上のための推奨の isoSPI 回路

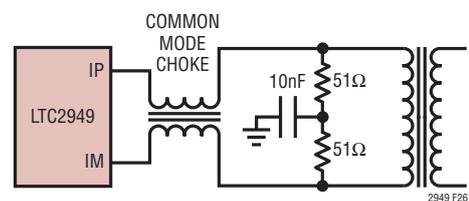


図 26. センター・タップのないトランスを使用して最高の EMC 性能を得るための推奨の isoSPI 回路

表 79. 推奨のコモンモード・チョーク

メーカー	製品番号
TDK	ACT45B-220-2P
Murata	DLW43SH510XK2
Würth	744232102

アプリケーション情報

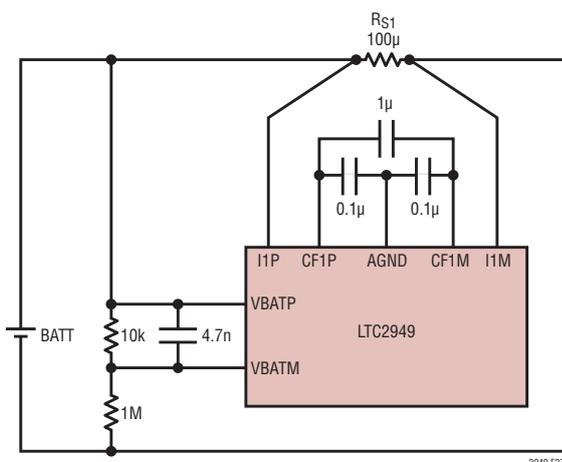


図27. 入力フィルタリング

電流と電圧の入力フィルタリング

電流、電力、電圧に対するADCの電気的性能を最大限に発揮させるには、図27に示すように、CFP、CFM、VBATP、VBATMの各ピンに入力フィルタリング回路を接続します。これらの部品により、ノイズの低減に最適な入力フィルタ処理が実行されます。電流入力と電圧入力での時定数を等しくすることで、両経路での遅延時間の差に起因する過渡信号の電力計測時の誤差を最小限に抑えます。

不使用の入力ピンV1～V12

入力ピンV1～V12を使用しない場合は、フロート状態のままにしておいても、GNDに接続してもかまいません。それでも、V8～V12をGNDに接続することは推奨しません。これらのピンは、デジタル出力として使用される場合、オプションでハイに駆動される可能性があるからです。

LTC2949のアプリケーションと構成によっては、未使用だった入力に以下の外部接続を適用することが有益であり、場合によっては適用することが必要と考えられます。

1. VREFピンをV1～V12のいずれかに接続する
 - a. 内部の低速AUXラウンドロビンでの高速AUX計測の影響については、高速モード構成のセクションの最後の段落を参照してください。レジスタVREFは、高速AUX変換の実行中は更新されません。
 - b. VREFの内部計測値は、電流源(レジスタFCURGPIOCTRLを参照)がイネーブルされている間に変更されます。この動作条件では、VREF電圧を任意で計測するために、Vxいずれかの入力に常に接続します。

c. VREFを使用して抵抗分圧器をバイアスすることで、GNDより低い電圧を計測できます。これらの想定では、VxとVREFの間の差動電圧を計測する必要がありますが、それが可能なのは、VREFをV1～V12のいずれかのピンに接続している場合だけです。

2. 分圧した電源電圧AVCC/DVCC (例:GNDとVxの間に10k、およびVxとAVCC/DVCCの間に20k)をV1～V12のいずれかに接続する
 - a. 1.aと同じ。レジスタVCCは、高速AUX変換の実行中は更新されません。
3. NTCをV1～V12のいずれかに接続する
 - a. 温度計測のセクションを参照してください。
4. VREFピンを4kの外付け抵抗を介してV1～V12のいずれかに接続する
 - a. 内部電流源を診断できます。
5. BYP1ピンとBYP2ピンをV1～V12の異なる未使用ピンに接続する。
 - a. 内蔵セルフ・テストに加えて、内部生成の電源電圧を診断できます。

高抵抗値の抵抗分圧器

LTC2949で計測する対象の高電圧は分圧する必要があります。オプションとして、VREFを介してバイアスし、LTC2949の電源電圧レールの±100mV以内にする方法や、ADCのフルスケール差動入力電圧範囲(±4.8V、代表値)内にする方法もあります。一般に、数本の抵抗を直列に接続することで、個々の抵抗の電圧降下と消費電力を最小限に抑えます。図1. LTC2949の動作ステート図に、V1を介してAUX ADCによって信号を計測する一例として、代表的な図を示します。計測は、BAT入力(VBATP、VBATM)を介してAUX ADCまたは電力ADC(P1/P2を電圧として計測)によって同様に実行されます。

LTC2949の全ての電圧入力はバッファ処理されています。計測時の差動入力インピーダンスは50Mより大きくなることが確認されています。図1に示すような代表的な抵抗分圧器の場合は、50Mを超えるこの等価抵抗の影響は無視できます。誤差は次のように計算できます。

$$\text{公称ゲイン係数: } g = R_{\text{low}} / (R_{\text{low}} + R_{\text{high}})$$

アプリケーション情報

低電位側の実効抵抗: $R_{lowd} = R_{low} \cdot R_d / (R_{low} + R_d)$, $R_d = 50e5$

実効ゲイン係数: $g_d = R_{lowd} / (R_{lowd} + R_{high})$

例の値: $R_{low} = 30^3$, $R_{high} = 5 \cdot 1.3e6$

ゲイン係数誤差: $err = g_d/g - 1 = -0.06\%$

計測中の差動入力カインピーダンスは非線形であり、入力信号が減少するのに応じて増加し、また温度に応じて変化することがあります。この理由から、出荷時のボード・テスト手順の間に補正できるのは一部分だけです。それでも、フルスケール入力範囲と全動作温度範囲にわたって50Mを超える値がサポートされているので、前述の説明で計算された誤差は、最も厳しい条件での誤差になります。

高電圧はADCの計測値から次のように計算されます。

分圧器をGNDに接続した場合: $V_{HVa} = V_{ADC}/g$

分圧器をVREFに接続した場合: $V_{HVb} = V_{ADC}/g + V_{REF}$

全ての抵抗分圧器は静的許容誤差の影響を受けるので、既知の入力信号を入力して、ADCの計測値から実際に測定したゲインを計算すれば補正できます。LTC2949は、ゲイン補正係数GC=ノミナル(表記上)のゲイン/実際に測定したゲインを関連のゲイン補正レジスタ(BATGC、MUX1GC~MUX4GC)に書き込むことにより、この誤差を補償できます。オプションの外部EEPROMをこれらのキャリブレーション係数の不揮発性メモリとして使用できます。

LTC2949のゲイン補正レジスタは、値が1.0近辺に制限されておらず、例えば10.0という値を書き込むことが可能であり、この係数は他の係数と同様に適用されます。それでも、結果レジスタのサイズによる制限があります。このサイズは、BAT、SLOT1/2、高速AUX計測結果のようなAUX-ADC計測結果では(符号を含む)16ビットです。このため、レジスタの絶対最大値は、だいたい12.3V ($375\mu V \cdot [2^{15}-1]$)になります。結果のクリッピングやオーバーフローを防止するため、前述の例で示したような公称の係数からのずれ(例えば、抵抗分圧器の公称比からのずれ)を補正するゲイン補正係数を使用することを常に推奨します。その後、ホスト・コントローラ・ソフトウェアは、ハードコードされた公称の係数(例:6.53M/30k)を保持し、LTC2949は、ボードのキャリブレーション時に外部EEPROMに格納された値に基づいて微調整を行います。

LTC2949の電力供給

LTC2949は、4.5V~14Vの単電源電圧が必要です。電源電流の最大値は、動作時は20mAであり、スリープ時は120μAです。isoSPIを選択した場合は、通信時に最大7mAが追加で必要です。適した電源を選択して設計する場合には、GPOピンに接続されている回路を駆動するのに必要な電流も検討する必要があります。

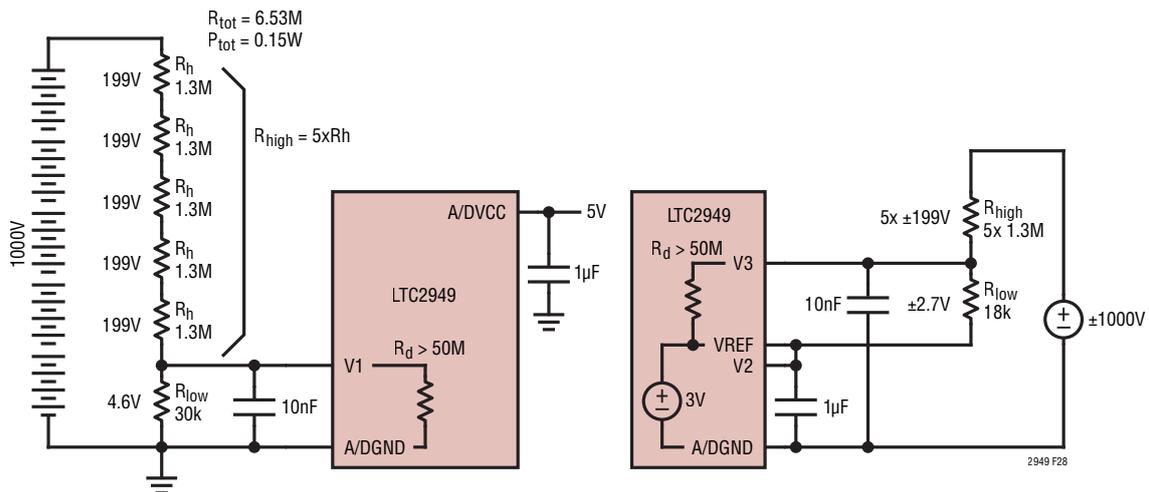


図28. 左:AUX ADC入力V1を介して1000Vのバッテリー電圧を計測するための高抵抗値の抵抗分圧器。右:±1000Vを計測できるようにVREFに接続した抵抗分圧器。

アプリケーション情報

非絶縁型電源

アナログ・デバイセスは、LDO、スイッチ・モード電源、 μ Moduleレギュレータを含む幅広い非絶縁型電源ソリューションを提供しています。LTC2949は主に高電圧のバッテリー・アプリケーションをターゲットにしているため、LT8315を検討できます。LT8315を使用する場合は、図29に示すように、最大560Vの高電圧バッテリーからLTC2949に電力を直接供給できます。

絶縁型電源

バッテリーからLTC2949に電力を直接供給できないほとんどの高電圧バッテリー・アプリケーションでは、絶縁型電源が必要です。アナログ・デバイセスのLT3999 DC/DCコンバータと絶縁定格の高いトランスを使用するシンプルなDC/DCコンバータを図30に示します。

フライバック・コンバータのLT830Xファミリと適したトランスの組み合わせも、考えられる選択肢の1つです。

製品番号	V_{IN} の範囲	パワー・スイッチ	最大 P_{OUT}	パッケージ
LT8300	6V to 100V	0.26A/150V	2W	SOT23-5
LT8303	5.5V to 100V	0.45A/150V	5W	SOT23-5
LT8301	2.7V to 42V	1.2A/65V	6W	SOT23-5
LT8302	2.8V to 42V	3.6A/65V	18W	S0-8E
LT8304/-1	3V to 100V	2A/150V	24W	S0-8E

フライバック・コンバータの最小負荷条件は、通常はLTC2949のスリープ電流よりはるかに大きいので、検討する必要があります。出力電圧がLTC2949の動作定格を超えないようにするには、12Vのツェナー・ダイオード(例: NXP: BZX384-B12, 115)を接続してください。

トランスの仕様と設計は、前述したDC/DCコンバータをうまく利用する上で最も重要であると考えられます。推奨部品のデータシートには、飽和電流、インダクタンス、絶縁電圧定格、沿面距離のような重要なパラメータに関する詳細な情報が記載されています。

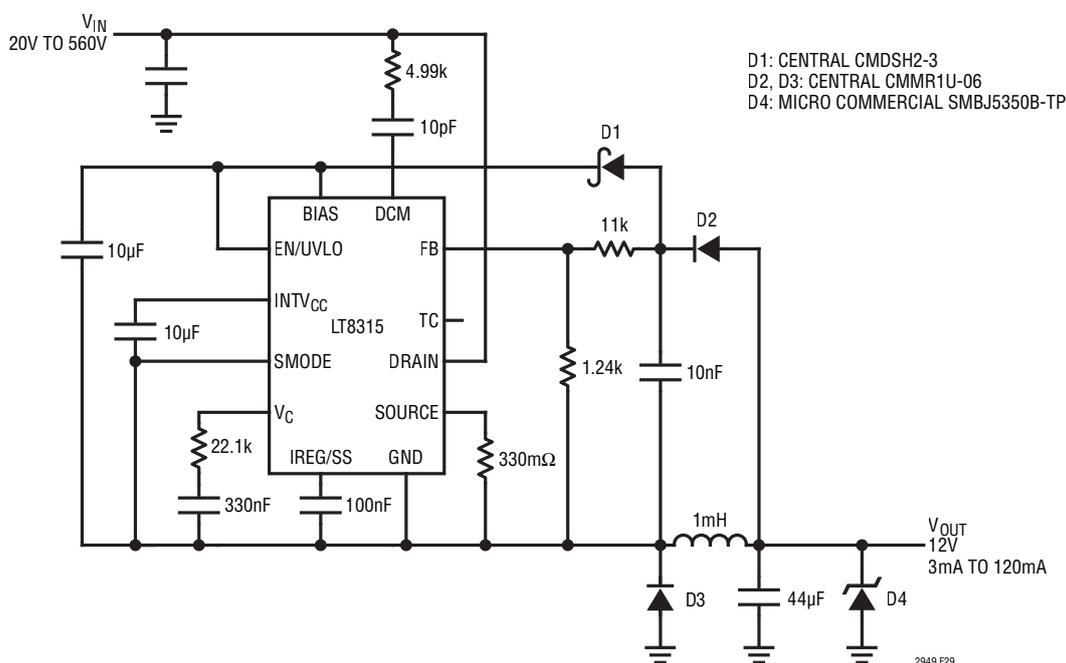


図29. 非絶縁型電源電圧生成回路

アプリケーション情報

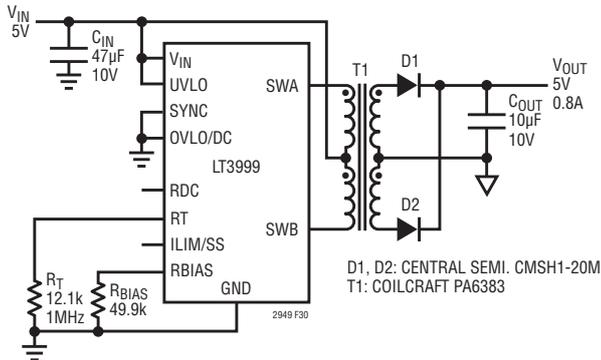


図30. 絶縁型電源電圧生成回路(プッシュプル・トランス使用)

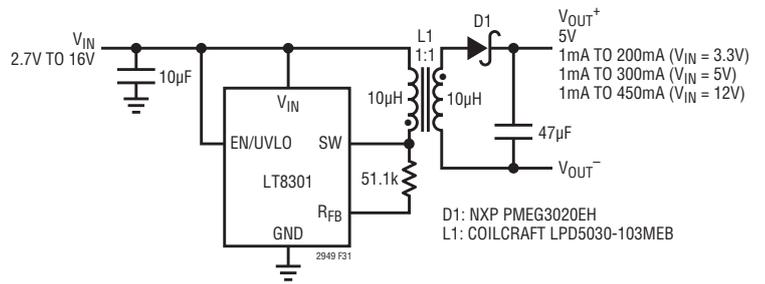


図31. 絶縁型電源電圧生成回路(フライバック・コンバータ使用)

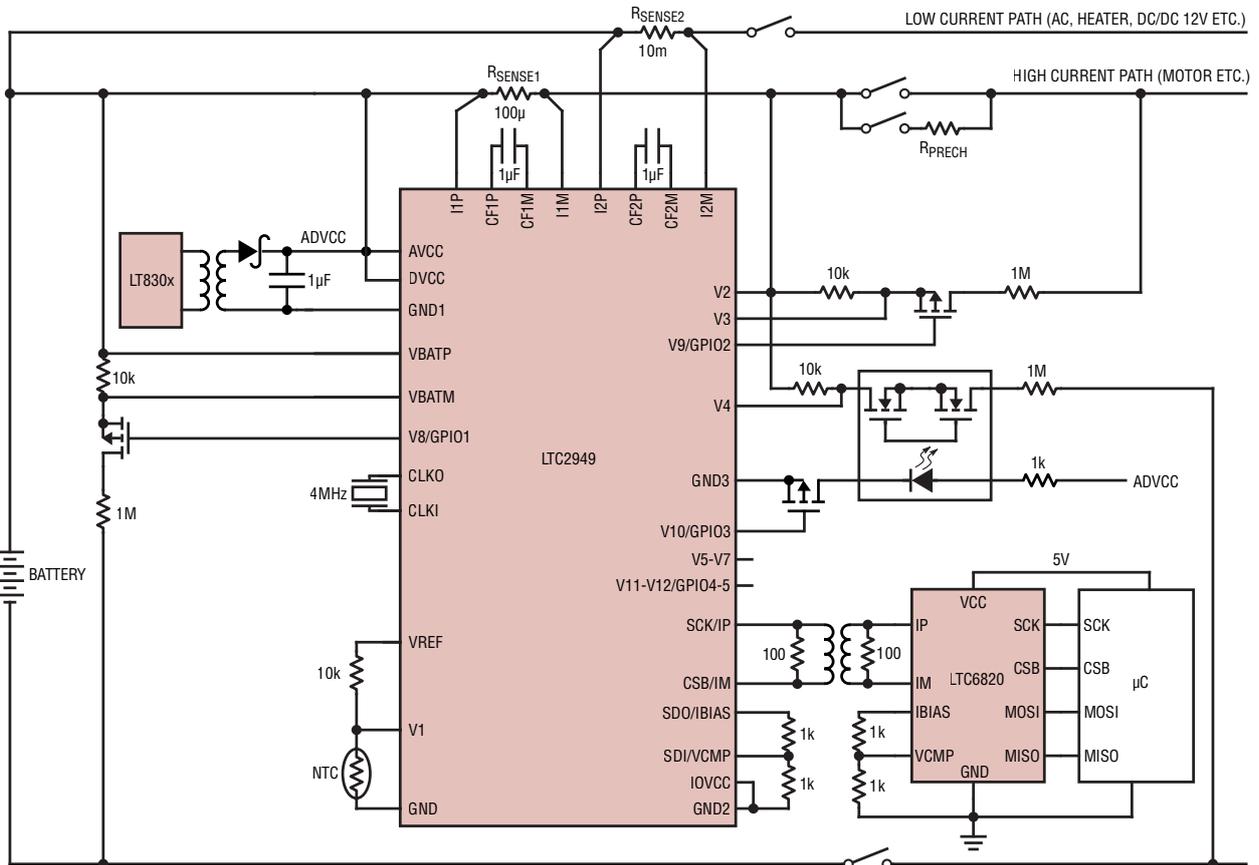
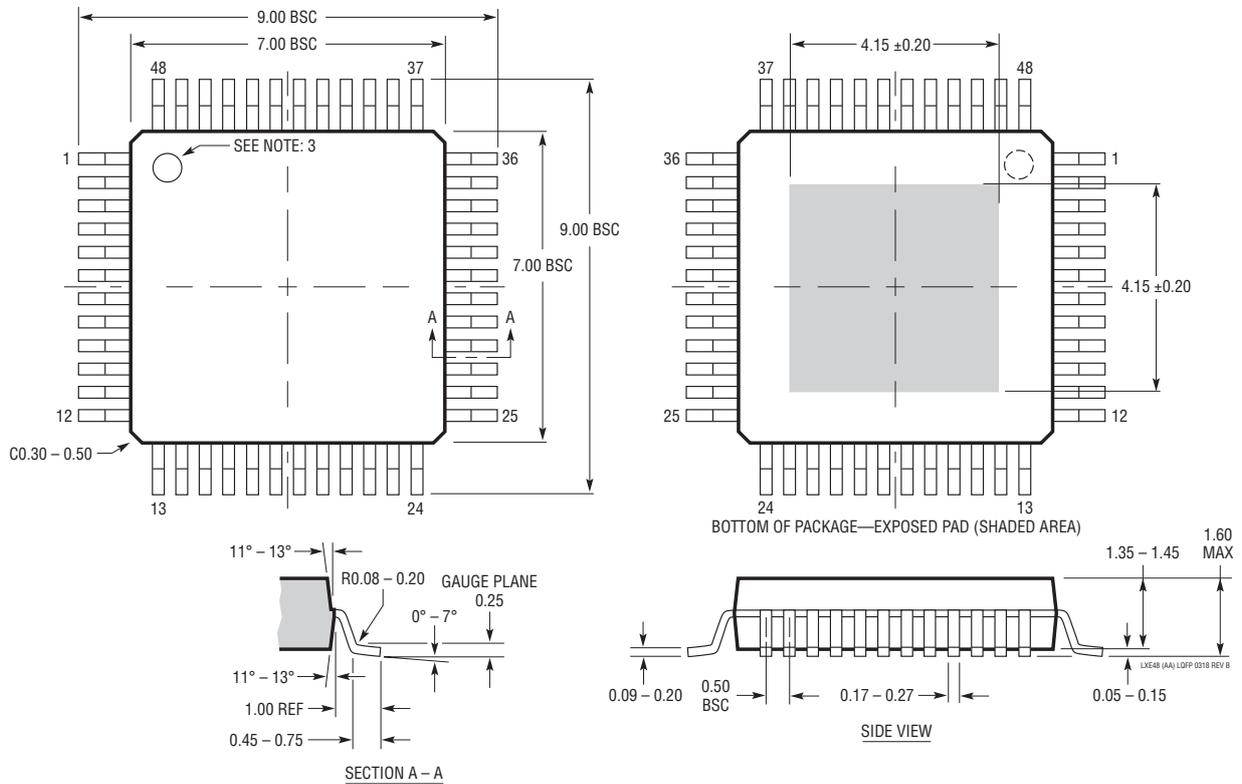


図32. 2つの検出抵抗を流れる高電位側の電流検出によるバッテリー・モニタリング、バッテリー電圧の計測、温度計測、および事前充電電圧の計測。絶縁型電源、絶縁型NMOSゲート駆動回路、およびPhotoMOSリレーを使用。

パッケージ

LXE Package
48-Lead Plastic Exposed Pad LQFP (7mm × 7mm)
 (Reference LTC DWG #05-08-1927 Rev B)
Exposed Pad Variation AA



- 注：
1. 寸法はミリメートル
 2. パッケージの寸法にはモールドのバリを含まない。
 モールドのバリは（存在する場合）、露出パッドの各サイドおよびピン間で 0.25mm (10mil)、更に露出パッドのコーナーでは最大で 0.50mm (20mil) を超えないこと
 3. 1 番ピンの識別マークはモールドで形成したくばみ
 4. 図は実寸とは異なる

